



## [12] 发明专利说明书

专利号 ZL 200510075898. X

[45] 授权公告日 2009 年 10 月 28 日

[11] 授权公告号 CN 100555322C

[22] 申请日 2005.5.20

US4965793 1990.10.23

[21] 申请号 200510075898. X

US5016876 1991.5.21

[30] 优先权

111 - 3200 - 111 - 3203. G, BUMS, K,

[32] 2004.5.20 [33] US [31] 10/850,095

VAIDYANATHAN, O, GAY. BELLILE, X, MARCHAL, ARRAY, PROCESSING, FOR, CHANNEL, EQUALIZATION. 2002 IEEE INTERNATIONAL, 第 CONFERENCE ON ACOUSTICS, SPEECH, AND SIGNAL PROCESSING, PROCEEDINGS (ICASSP '02) 卷. 2002

[73] 专利权人 英特尔公司

审查员 梁 燕

地址 美国加利福尼亚州

[72] 发明人 L·利品考特

[56] 参考文献

[74] 专利代理机构 上海专利商标事务所有限公司  
代理人 李 玲

CN1392985A 2003.1.22

权利要求书 2 页 说明书 10 页 附图 5 页

WO99/1983A2 1999.4.1

US4243987 1981.1.6

US6237029B1 2001.5.22

CN 1496518 A 2004.5.12

US5522083A 1996.5.28

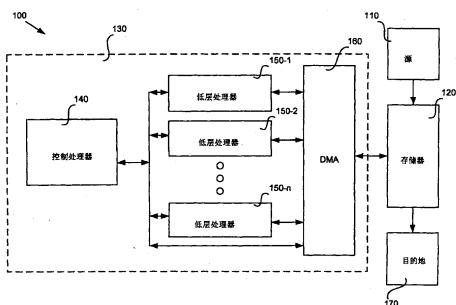
EP1414014A2 2004.2.8

[54] 发明名称

用于视频处理的分级处理器架构

[57] 摘要

一种系统可以包括一个存储器、多个低级处理器和一个控制处理器。存储器可以存储指示数据，由指示数据所描述的其它数据，以及指令。低级处理器可以基于指令来处理其它数据。控制处理器可以从指示数据确定处理其它数据所需要的指令子集。控制处理器也可以使得指令子集下载至多个低级处理器中的至少一个处理器中。



1. 一种信息处理系统，其特征在于，所述系统包括：

存储器，用于存储指示数据，以及由指示数据所描述的视频数据，和指令；

多个低层处理器，用于基于指令对视频数据解码；

控制处理器，用于从指示数据中确定解码视频数据所需要的指令子集，以及使得指令的子集加载至多个低层处理器中的至少一个低层处理器中，

与存储器、多个低层处理器和控制处理器连接的直接存储器存取器件，协调指示数据、视频数据和指令的传输，

其中，所述控制处理器能够与多个低层处理器的每一个相连接。

2. 根据权利要求 1 所述的系统，其特征在于，所述各个低层处理器包括一个第一尺寸的指令存储器，以及，

其中，所述控制处理器包括一个至少十倍于第一尺寸的第二尺寸的指令存储器。

3. 根据权利要求 1 所述的系统，其特征在于，所述直接存储器存取器件和多个低层处理器包括于一个共用的芯片中。

4. 根据权利要求 3 所述的系统，其特征在于，所述控制处理器包括于一个共用的芯片中。

5. 根据权利要求 1 所述的系统，其特征在于，还包括：

数据源，用于向存储器提供指示数据和视频数据。

6. 根据权利要求 5 所述的系统，其特征在于，所述数据源包括：

调谐器或通信电路。

7. 根据权利要求 1 所述的系统，其特征在于，还包括：

数据目的地，用于接收已经由多个低层处理器所解码后的视频数据。

8. 根据权利要求 7 所述的系统，其特征在于，所述数据目的地包括：存储器件或者输出接口。

9. 一种信息处理方法，其特征在于，所述方法包括：

由控制处理器从指示数据中确定所需执行的任务；

将执行所述任务的指令加载至低层处理器；和

执行所述指令以执行视频数据方面的任务。

10. 根据权利要求 9 所述的方法，其特征在于，还包括：

在执行任务期间将视频数据传输至低层处理器。

11. 根据权利要求 9 所述的方法，其特征在于，所述指示数据描述视频数据。

12. 根据权利要求 11 所述的方法，其特征在于，所述指示数据包括至少一种视频数据的编码方式。

13. 根据权利要求 11 所述的方法，其特征在于，所述指示数据包括至少一种视频数据的显示模式。

14. 根据权利要求 9 所述的方法，其特征在于，还包括：

由控制处理器且在所述加载之后，从另一指示数据中确定所需执行另一任务；和，

将执行另一任务的其它指令加载至另一低层处理器。

15. 根据权利要求 14 所述的方法，其特征在于，

执行其它指令，以便于对另一指示数据所描述的另一视频数据执行另一任务。

16. 一种信息处理装置，其特征在于，所述装置包括：

低层处理器，用于基于提供给其的程序处理视频数据；

控制处理器，用于基于描述视频数据的指示数据来确定提供给低层处理器的适当程序；和，

存储器存取器，连接着低层处理器和控制处理器，以便于向低层处理器提供视频数据和适当程序以及向低层处理器提供指示数据。

17. 根据权利要求 16 所述的装置，其特征在于，所述低层处理器和存储器存取器包括于一个封装中。

18. 根据权利要求 16 所述的装置，其特征在于，所述低层处理器包括至少 8 个不同的处理器。

19. 根据权利要求 16 所述的装置，其特征在于，所述低层处理器包括第一指令存储器，和，

其中，所述控制处理器包括至少是所述第一指令存储器的十倍大的第二指令存储器。

## 用于视频处理的分级处理器架构

### 技术领域

所请求的发明的实现一般可涉及信息处理，尤其涉及处理接收到的视频信息。

### 背景技术

某些类型的处理任务可涉及复杂的算法以及要处理的相当多的数据。视频信息的解码，和/或编码就是这类任务中的一种。例如，视频信息的不同隔行扫描方案，帧的类型，排序等等都会对处理视频传入流的处理器呈现出算法的复杂性。稍微高的帧率和/或每帧的像素数量也会呈现出相当多的要处理的数据量(即，计算负载)。

处理这类任务的一种方法可以是使用能够处理逻辑复杂任务以及还能够足以快速/有能力地处理相当多数据量的处理器。然而，这样的方法会涉及在相对较快的时钟频率下工作的相对较大的复杂处理器。在相对较快的时钟频率下工作的较大的复杂处理器会消耗相对较大量的功率。

### 发明内容

本发明提供一种信息处理系统，包括：存储器，用于存储指示数据以及由指示数据所描述的视频数据，和指令；多个低层处理器，用于基于指令对视频数据解码；控制处理器，用于从指示数据中确定解码视频数据所需要的指令子集，以及使得指令的子集加载至多个低层处理器中的至少一个低层处理器中；与存储器、多个低层处理器和控制处理器连接的直接存储器存取器件，协调指示数据、视频数据和指令的传输，其中，所述控制处理器能够与多个低层处理器的每一个相连接。

本发明还提供一种信息处理方法，包括以下步骤：由控制处理器从指示数据中确定所需执行的任务；将所需执行任务的指令加载至低层处理器；和执行指令以执行视频数据方面的任务。

本发明还提供一种信息处理装置，包括：低层处理器，用于基于提供给其的程序处理视频数据；控制处理器，用于基于描述视频数据的指示数据来确定提供给低层处理器的适当程序；和存储器存取器，连接着低层处理器和控制处

理器，以便于向低层处理器提供视频数据和适当程序以及向低层处理器提供指示数据。

### 附图说明

附图——被纳入本说明书并构成其一部分——例示了与本发明的原理相一致的一个或多个实现，并和本描述一起解释此类实现。附图并不一定按比例绘制，而是相反将重点放在例示本发明的原理。附图包括：

图 1 图示说明示例系统；

图 2 是例示对数据操作的过程的流程图；

图 3 是示例视频处理算法；

图 4 例示了图 1 的系统如何可实现图 3 的算法；以及

图 5 例示了图 4 中的各个程序可如何被存储在存储器中。

### 具体实施方法

下列详细描述参考附图。在不同附图中使用相同的附图标记来标识相同或类似的元件。在下列描述中，出于说明而非限制的目的，阐述详细细节，例如，具体结构、架构、接口、技术等等，以便提供对所请求发明的各个方面 的透彻理解。然而，很显然，本领域技术人员在从本公开获益之后，所请求的本发明的各个方面都可在不背离这些所说明细节的其它示例中实现。在某些实例中，省略了众所周知的设备、电路和方法的描述，从而避免由于所不需要的细节使得本发明的描述变得模糊。

图 1 例示了示例系统 100。系统 100 的示例实现可以包括个人视频记录仪 (PVR) 或者数字多功能磁盘记录仪 (DVD—R)，但是所请求的发明并不限制于这一方面。例如，系统 100 可被体现在通用计算机、便携式设备、消费类电子设备或者其它电子系统中。尽管系统 100 可被体现在单一的设备中，但是在某些实现中，系统 100 的某些组件可以是远程和/或与系统 100 的其它组件物理分离的。此外，尽管系统 100 被例示为包括分立部件，但是这些部件可在硬件、软件/固件、或其某种组合中实现。当在硬件中实现时，系统 100 的某些组件可被组合到某一芯片或者设备中。

系统 100 可以包括数据源 110、存储器 120、数据处理器 130、和数据目的地 170。源 110 可以将数据发送到存储器 120，并且存储器 120 中的数据可由数据处理器 130 来处理。经处理的数据可被发送到目的地 170。出于解释的目的，所发送且对其操作的数据可以包括媒体数据(例如，视频信息)，但是所

请求的发明并不限制于这方面。数据处理器 130 可以处理与本文描述一致的媒体信息之外的其它类型数据。

源 110 可以包括向系统 100 其余部分提供媒体信息的设备。由源 110 提供的媒体信息可以包括以诸如 MPEG—1、MPEG—2、MPEG—4、H. 264、Windows（视窗）媒体视频版本 9 (WMV9) 和先进视频系统 (AVS) 格式所编码的视频信息。所请求的本发明并不限制于上述特别提及的格式；根据本文所披露的方案还可以使用任何现在已知的或者以后将开发的媒体格式。

在某些实现中，源 110 可以包括调谐器，用于将视频信息(例如，高清晰度 (HD) MPEG—2 的信息)流或信道与媒体信息的其它码流或信道相分离。在某些实现中，源 110 可以包括用于从存储媒介读取媒体信息的读取器。例如，这类读取器可以包括用于从 DVD、硬盘、半导体存储器件或其它存储媒介提取视频信息的光、磁和/或电读取器，。

在某些实现中，源 110 可以包括用于从通信链路(未示出)接收媒体信息的接收器电路。源 110 中的这类接收器可被设置成从有线、光或者无线传输媒介接收信息。源 110 中的接收器可与调谐器或其它设备结合或者不与其结合地操作，以将期望信息与其它接收到的信息分开。

存储器 120 可以接收来自源 110 的媒体信息并且存储该媒体信息。如果由数据处理器 130 指令，则存储器 120 可以向目的地 170 提供经处理的媒体数据，和/或当被数据处理器 130 触发时，目的地 170 可以读取这类经处理的媒体数据。存储器 120 可以包括随机存储器(RAM)，以助益数据的快速传输和存储。根据系统 100 的设计参数，这类 RAM 可以是同步、异步、双数据速率 (DDR)，等等。

除了存储媒体数据之外，存储器 120 还可以存储由数据处理器 130 和/或其它组件所使用的指令。这类指令可以是任务专用的，并且在被请求时被提供给数据处理器 130。存储器 120 可以包括一个或多个这样的指令集，当由数据处理器 130 加载时，这些指令集使得数据处理器 130 能够对接收自源 110 的数据(即，媒体或视频数据)执行各种处理任务。

数据处理器 130 可以包括控制处理器 140，多个低层处理器 150-1、150-2，…，150-n(共称为“低层处理器 150”)，和直接存储器存取(DMA) 160。在某些实现中，所有元件 130—160 可位于相同的芯片或封装中。然而，在某些实现中，低层处理器 150 和 DMA 160 可处于一个芯片或封装中，而控制处理

器 140 可处于一分开的芯片或封装中。其它组合和实现是可能的。

控制处理器 140 可包括足够的指令存储器来控制和/协调较相对复杂的处理操作。在处理这类复杂操作(例如，解码视频信息)时，控制处理器可以确定哪些资源为任务所需(例如，通过分析诸如解码算法的算法)以及向任务分配资源(例如，通过适当地配置低层处理器 150)。在后者——分配功能——中，控制处理器 140 可被设置成从存储器 120 中将任务专用的指令加载至低层处理器 150。

某些处理操作可以是“数据驱动”(即，由来自源 110 的数据所定义)，并且控制处理器 140 可以检查指示数据，以确定应该执行何种处理。控制处理器 140 可以随后使用来自存储器 120 的适当指令来配置低层处理器 150，以处理在指示数据之后的来自源 110 的数据。控制处理器 140 也可以指派低层处理器 150 中的某些处理器来并行处理某些数据和/或执行某些任务。根据需要，基于新接收到的指示数据，控制处理器 140 可重新配置低层处理器 150。此控制方案将在下文中更详细地进行讨论。

为了处理涉及逻辑复杂任务和相对较大的数据量的任务，控制处理器 140 可以处理逻辑复杂度并可按需将低层处理器 150 配置成“运行中”以处理数据量。为了完成这些功能，控制处理器 140 可以在它的指令存储器中具有空间，其空间是如低层处理器 150 的指令数量的大约十倍以上(即，至少是大十倍)。在一个实现中，控制处理器 140 可以有大约 32 千字节(KB)指令 RAM，尽管所请求的发明在这一方面并没有限制。

低层处理器 150 可以包括多个具有比控制处理器 140 少(例如，少于其的十分之一)的指令存储器量的处理器。在一个实现中，低层处理器 150 各自可以具有大约 1.5 千字节(KB)的指令 RAM，尽管所请求的发明在这一方面并没有限制。因为更少量的指令存储器，所以各个低层处理器 150 可以执行对应于相对较小的代码大小的任务。低层处理器 150 也可以缺少，例如，一个或多个高速缓冲存储器、深度流水线、分支预测、前瞻性执行，等等。然而，低层处理器 150 相对较小的存储器和相对简单的结构使之相对于更复杂的处理器来说可以节省功率和尺寸。在某些实现中，低层处理器 150 可以在结构和能力上是同构的，并且在某些实现中，低层处理器 150 可以在结构和/或能力上是不同构的。

尽管为了便于解释起见而在图 1 中没有明确说明，但是在某些实现中，低

层处理器 150 可例如以矩阵型布置互连，其中一个低层处理器 150 可以与一个、两个、三个，或者多个其它低层处理器 150 相连接。在某些实现中，可以有个位数的低层处理器 150(例如，4 个或 8 个)，而在其它实现中，可以有两位数的低层处理器 150(例如，16、20、32、40，等等)。同样，尽管将低层处理器 150 描述为执行处理任务，但在某些实现中，各个低层处理器 150 可以结合一个或多个低层处理器 150 来执行子任务。对于低层处理器 150 来说，采用其它架构和处理流程的变化都是有可能并且预期的。

在任何事件中，低层处理器 150 可以接收来自存储器 120 的指令和数据，以便于基于来自控制处理器 140 的指示使用那些指令来进行处理。取决于所接收到的指令，低层处理器 150 的每一个可以根据在处理器中不同处理任务的可能性来被布置成专用处理器。低层处理器 150 可被布置成可以并行方式来检索和处理它们各自的数据。此外，任一个低层处理器 150 都可尽可能经常地在它的当前任务完成时进行重新配置(例如，接收不同的指令)。然而，控制处理器 140 可以重新使用(即，不是重新配置)某些低层处理器 150，只要这些处理器已被配置成适用于所需执行的任务。由于由控制处理器 140 来配置低层处理器 150，所以数据处理器 130 可被称为分级处理器。

DMA 160 可以从存储器 120 读取数据和/或向存储器 120 写入数据。这样做，DMA 160 可助益控制处理器 140 从源 110 中读取指示数据。DMA 160 也向低层处理器 150 提供指令数据以及要被处理的数据。DMA 160 也可以控制在低层处理器 150 之间的数据流动。尽管 DMA 160 被例示为采用单个连接连接至存储器 120，但是，应该理解的是，这仅仅示出了 DMA 160 与存储器 120 之间的双向数据传输，但并不限制所请求的发明。实际上，在 DMA 160 和存储器 120 之间可以存在着一个或多个其它(例如，控制)连接，即使图 1 中没有明确示出。这一示例性原理也可应用于图 1 中所示的其它连接。

数据目的地 170 可被布置成存储或输出经处理的数据(例如，经解码的媒体或者视频数据)。在某些实现中，目的地 170 可以包括一输出接口，该接口用于提供另一系统或者系统 100 的另一组件(未显示)对数据处理器 130 所处理的数据的访问。这种物理输出接口可以是光、电、无线等等，并且可遵照用于传输和/或访问数据的一种或多种现有或将来开发的接口规范。

在某些实现中，目的地 170 可以包括适用于存储经处理的数据的存储设备。例如，目的地 170 可以包括用于存储信息的硬盘或闪存。在某些实现中，

目的地 170 可以包括用于向便携式存储媒介传输经处理的信息的可写光驱动器(例如, DVD—RW, 等等)。显示处理器(未示出)可访问目的地 170 中所存储的信息以进行后期的回放或者一些其它目的。

尽管已针对目的地 170 讨论了几个示例性实现,但是所请求的发明不应限制于上述明确提到的那些,而是应该包含任何能够传输或存储来自存储器 120 的经处理信息的设备或接口。例如,在某些实现中,目的地 170 并不一定需要与源 110 相分离或者分开。在某些实现中,经解码的视频信息可以重新插入(例如,通过在另一信道中的反(back)调制)到接收它的流中。

图 2 是例示对数据进行操作的过程 200 的流程图。尽管为了便于解释处理器 200 可参照系统 100 进行讨论,但是所请求的发明并不限制于这一方面。处理可始于控制处理器 140 从存储器 120 中读取指示数据并基于该指示数据确定一项或多项要执行的任务 [动作 210]。控制处理器 140 可以使用在它的指令存储器中所驻留的指令(例如,形成一种算法)来作出此确定。在一个以下将作更详细的讨论的示例中,控制处理器 140 对视频数据执行解码算法,以及所使用的指示数据可以是,例如,视频数据的特殊帧具有的那种类型的编码。

控制处理器 140 可以继续处理,以安排用于执行一项或多项任务的指令被加载至一个或多个低层处理 150[动作 220]。在某些实现中,控制处理器 140 可以指令 DMA 160 访问存储器 120 中的适当指令(例如,微代码程序)并将指令向前传递至低层处理器 150。在某些实现中,控制处理器 140 可以指令低层处理器 150 通过 DMA 160 从存储器 120 获取指令。只要指示数据先于其它要处理的数据,则控制处理器 140 就以相对较小的延迟或者等待时间将指令加载至低层处理器 150。

已经接收到指令的低层处理器 150 可以执行指令,以执行由控制处理器 140 所确定的一项或多项任务[动作 230]。这类执行可以在加载指令稍后开始,也许只对低层处理器 150 作出较少的配置(例如,存储器 120 中检索数据的地方)之后开始。作为动作 230 的一部分,或者作为较早的动作,控制处理器 140 或者低层处理器 150 可以对 DMA 160 进行编程,以在它们任务处理期间向/从低层处理器 150 投递/接收数据。尽管单个低层处理器 150 可以执行一项计算任务,但是,在某些实现中,两个或多个低层处理器 150 可协作以执行一项任务。同样,在某些实现中,低层处理器 150 可并行地执行其各自的任务或这类任务的部分。

低层处理器 150 可以按需通过 DMA 160 向/从存储器 120 传输数据以进行它们各自的处理任务[动作 240]。当完成此处理时，就将经处理的数据传输至存储器 120 进行缓冲和/或传输至目的地 170。

可针对连续计算任务按需重复动作 210—240。如以上所描述的，控制处理器 140 可以执行和/或协调动作 210 和 220，且低层处理器 150 可执行和/或协调动作 230 和 240。动作 210—240 的重复可以取决于存储器 120 何时接收到指示数据。如果，例如，直至低层处理器 150 已经处理好数据之后才接收到下一段指示数据(例如，指示下一任务或者下一组任务的)，则控制处理器 140 直至在动作 240 之后才重复动作 210，如图 2 中的实线箭头所示。

然而，如果在低层处理器 150 已经处理好数据之前就已经接收到下一段指示数据，则控制处理器 140 就可以在动作 220 之后重复动作 210，如图 2 中的虚线所示。在这种情况下，如果新的指示数据是可用的，则控制处理器 140 就可以结束向部分低层处理器 150 加载指令，并且在低层处理器 150 在动作 230 和 240 中执行的同时，它可以在动作 210 和 220 中确定任务和加载指令。在控制处理器 140 和低层处理器 150 之间的其它处理流程都有可能与本文所讨论的方式相一致。

现在，将提供有助于理解系统 100 和过程 200 的特定实例。如以下所讨论的，尽管系统 100 和过程 200 可以负责解码视频信息，但是所请求的发明并不限于此。此外，系统 100 和过程 200 可以负责远比以下所讨论的复杂的算法，无论是视频解码还是其它类型。

图 3 例示了示例视频处理算法 300。算法 300 可以执行功能 A—G 的一个或多个以解码一帧视频信息，这取决于该帧是帧内编码(I)图像、预测(P)图像还是双向预测(B)图像，以及取决于具体 I、P 或 B 图像是否包括隔行扫描或者逐行扫描的视频信息。这种帧类型(例如，B 帧)和视频信息的模式(例如，隔行扫描)可以是指示数据的一个示例，因为该指示数据指示应该对帧内的视频数据的其余部分进行何种处理任务。

出于示例的目的，假设接收到隔行扫描的 B 帧，算法 300 就确定用于解码这帧视频信息而要执行的功能 D 和 G。图 3 中的箭头例示了作出执行哪种功能的确定所要采取的逻辑步骤。功能 D 和 G 可以表示解码隔行扫描 B 帧视频数据所需的截然不同的计算任务。当然，可以采用比解码这样一幅视频信息所需的两个步骤更多或更少的步骤，所示的两个步骤仅是为了例示和解释。

图 4 例示了系统 100 可如何实现算法 300，这被指定为算法 400 以指示不同的实现。为了比较的目的，还可以假定所要处理的视频信息是隔行扫描的 B 帧。如图所示，控制处理器 140 可以步进通过算法 400 的逻辑部分[动作 210]以确定对隔行扫描的 B 类型帧的数据应该执行哪些任务。

随后，控制处理器 140 将程序 2[动作 220]加载至一个或多个低层处理器 150 并使之被执行。基于程序 2 的复杂性，控制处理器 140 可以将相对应的指令加载至单个低层处理器 150 或者多个低层处理器 150。控制处理器 140 可以确定是否将程序 2 分布在多个低层处理器 150 上，或者这可以是预先确定的，并且可以反映出例如，程序 2 是如何存储在存储器 120 中的。一旦控制处理器 140 已经加载了程序 2，如果指示数据(例如，帧类型和/或模式)可为另一视频数据帧所用，就可以再次执行动作 210 和 220。

低层处理器 150 可以随后执行功能 D 和 G——程序 2 的第一和第二部分[动作 230/240]。在某些实现中，一个低层处理器(例如，150-1)可以执行 D 和 G 两种功能。在某些实现中，一个低层处理器(例如，150-1)可以执行功能 D，而另一低层处理器(例如，150-2)可以执行功能 G。在某些实现中，两个和多个低层处理器 150 可以协作以执行功能 D 和 G 的至少之一，例如，功能 G。其他实现可与本文的描述相一致。

图 5 例示了程序 0-5 如何被存储在存储器 120 中。结构 500 可以包括数据结构，例如，在存储器 120 中的链接表、数组等等。程序 0-5 可以驻留在结构 500 中的特定地址处，在概念上可以由结构中的行来例示。在某些实现中，可以由低层处理器 150 的任一个来执行相同版本的程序(例如，程序 2)。

定义结构 500 中的列的虚线表示对应不同低层处理器 150 的程序(例如，程序 2)的不同处理的可能性。

在某些实现中，例如，程序(例如，程序 2)可以分成给不同低层处理器(例如，150-1 至 150-3)来执行的多个部分(例如，在图 5 中为 3 个部分，但这不应该限制所请求的发明)。例如，程序 2 的第一部分可以是执行功能 D 的指令，而程序 2 的第二(和可能的第三)部分可以是执行功能 G 的指令。在某些实现中，不同的低层处理器 150 可巧妙地加载不同版本的程序(例如，程序 2 或者其部分)以帮助寻址、数据传输等等。

将高度复杂任务与本文所描述的计算集约式任务分开允许系统 100 包括能够处理算法的逻辑复杂性的可能较低性能(例如，较低功率)控制处理器 140

和用于处理算法计算负载的许多较低复杂性(例如，较小和/或较低功率)的低层处理器 150。使用这样的方案，比起针对相同计算操作(例如，视频解码)的其它可能方案，系统 100 可以消耗更少的功率。系统 100 可以获得高性能和低功率的两种用途，因为例如在视频解压缩中，指示数据(例如，有关将要进行的什么处理任务的详细信息)在其它数据的前头发送。使用这种指示数据，控制处理器 140 可在运行中定制和/或重新配置数据处理器 130 的其余部分，以便仅执行后续的任务。

与本发明原理相一致的一个或多个实现的先前描述提供了例示和描述，但是并不旨在穷举或者将本发明的范围限于所公开的精确形式。各种修改和变化鉴于以上示教是可能的，或者可从本发明的各种实现的实践中获取。

例如，本文所描述的分级处理方案并不限制于视频数据。相反，它可被应用于关于可用来配置低层处理器 150、或者其它处理器或在运行中可编程的逻辑的指示数据(例如，指示将来处理任务的数据)的任何数据。同样，尽管被表示为单个设备，但是在某些实现中，存储器 120 可以包括多个器件。例如，要处理的数据可被存储在较大的 RAM 中，而适用于低层处理器 150 的指令可被存储在较小的 RAM、专用只读存储器 (ROM)，或者某些其它分开的存储器件中。

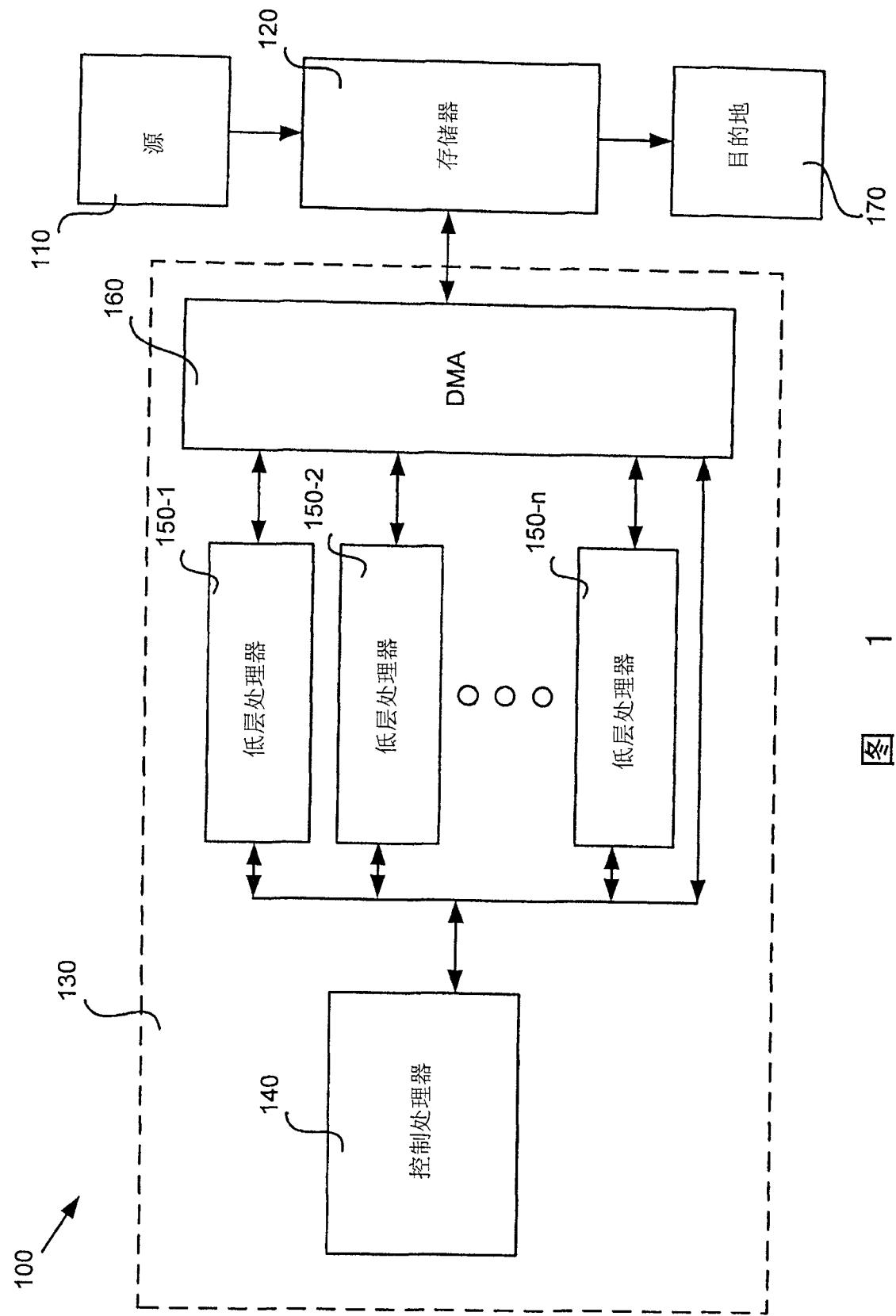
此外，尽管控制处理器 140 处理较为复杂的算法，而低层处理器 150 进行数据的处理，但是这种复杂性和处理的硬性分离并不是始终发生的。例如，控制处理器 140 可以在某些情况下处理数据，而低层处理器 150 可以在某些情况下处理有限的逻辑解析和/或作出决策。然而，在这种混合式方案中，仍希望低层处理器 150 可以处理尽可能多的数据以及控制处理器 140 可以处理尽可能多的复杂算法。同样，尽管视频信息的解码已被描述为一个实现，但是在其它实现中，其它功能也是可能的。例如，系统 100 可以被布置成编码媒体信息，再现媒体信息，建模物理现象，或者执行其它可能涉及大量数据处理的相对复杂的数值操作。

此外，在图 2 中的动作并不一定要以所示的次序来实现；所有动作也并不一定都要执行。同样，不依赖于其它动作的那些动作可以与其它动作并行执行。此外，在该图中至少部分动作是可实现为在机器可读媒介中实现的指令或者一组指令。

本申请的描述中所使用的元件、动作或指令并不应该被认为是本发明的关键或必需，除非明确描述为如此。同样，如本文所使用的，冠词“一”旨在包

---

括一个或者多个项目。而在试图表示只有一个项目时，可以使用“一个”或者相似语言。可对所请求的发明的上述实现作出变化和修改而实质上不脱离本发明的精神和原理。所有这类修改和变化旨在包括在此处本公开的范围之内并由所附权利要求所保护。



图

1

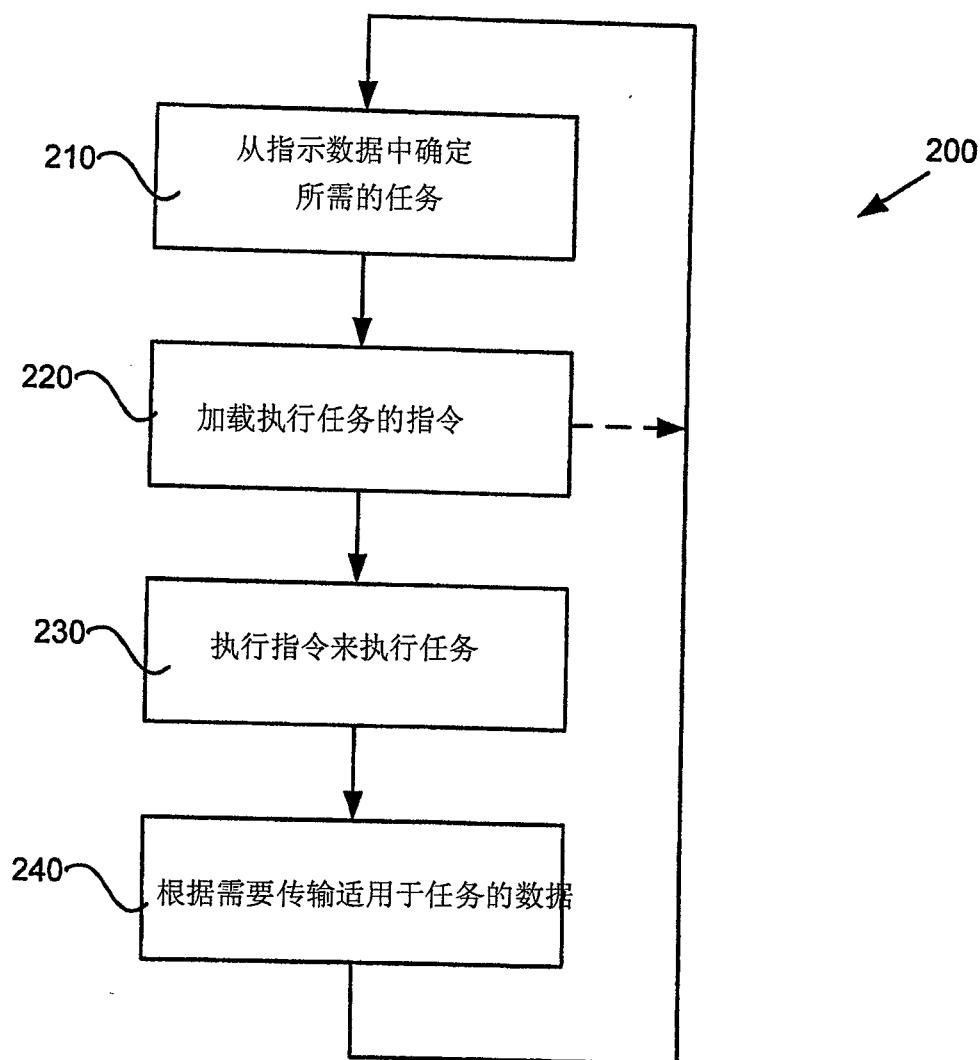


图 2

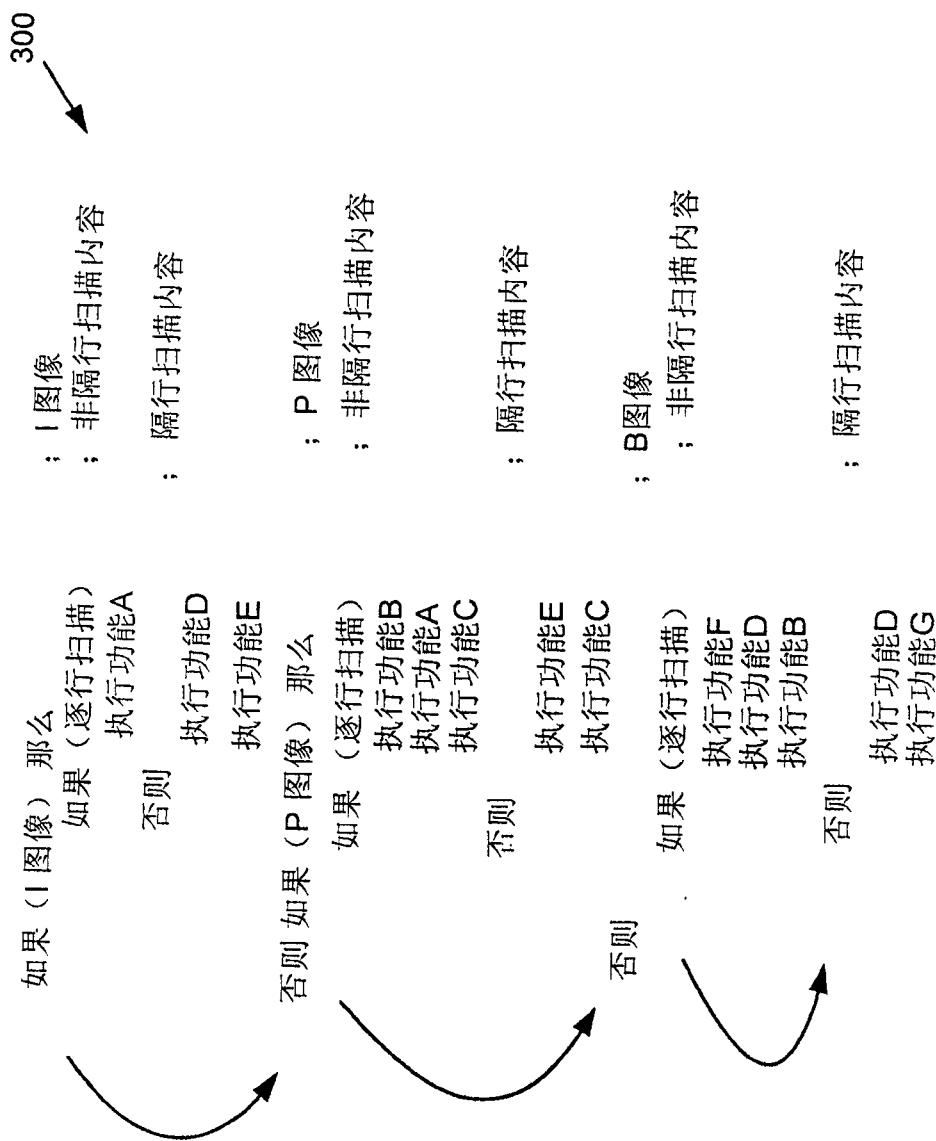


图 3

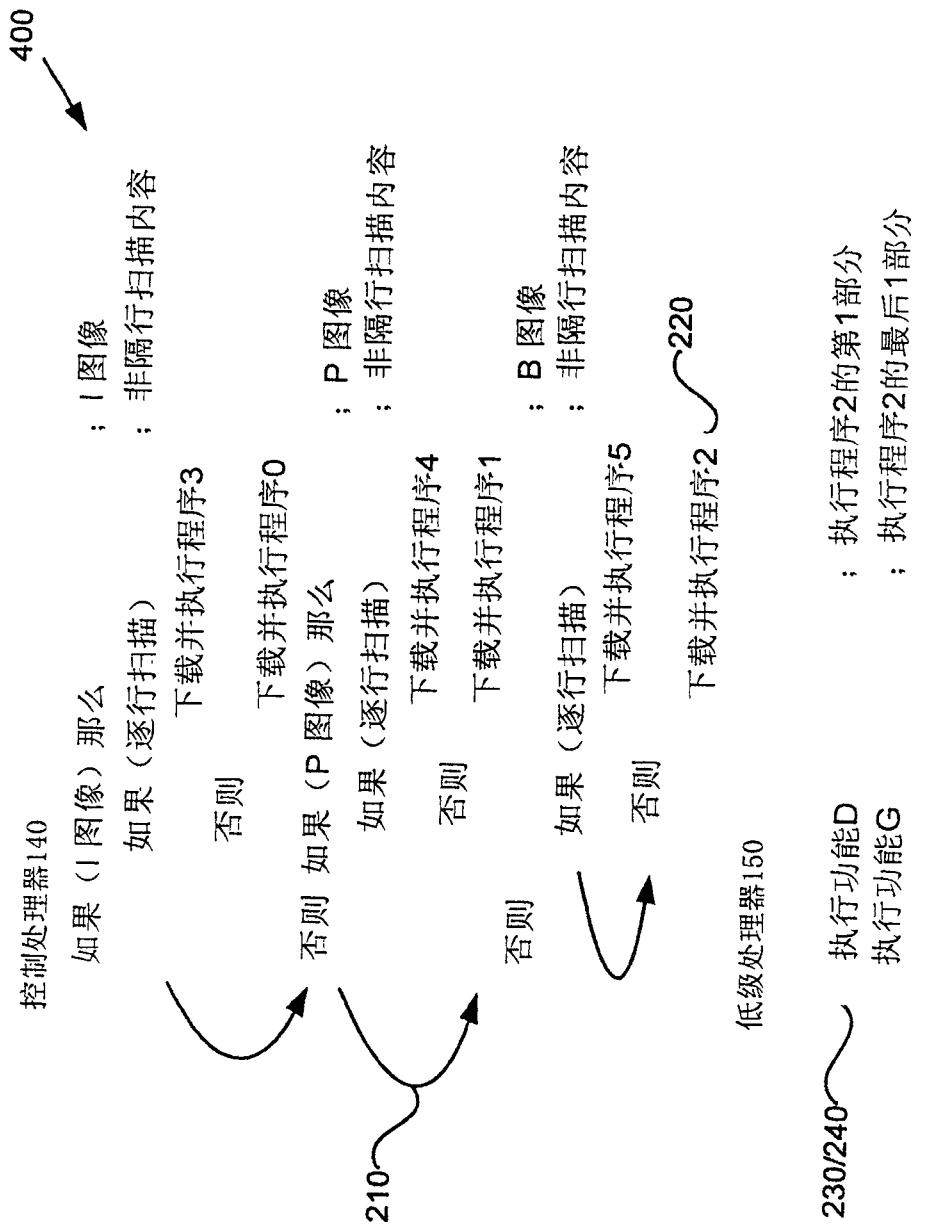


图 4

