

⑫

DEMANDE DE BREVET D'INVENTION

A1

⑭ Date de dépôt : 15.01.91.

⑮ Priorité : 31.05.90 KR 9008199.

⑯ Date de la mise à disposition du public de la demande : 06.12.91 Bulletin 91/49.

⑰ Liste des documents cités dans le rapport de recherche : *Le rapport de recherche n'a pas été établi à la date de publication de la demande.*

⑱ Références à d'autres documents nationaux apparentés :

⑴ Demandeur(s) : SAMSUNG ELECTRONICS CO., LTD. — KR.

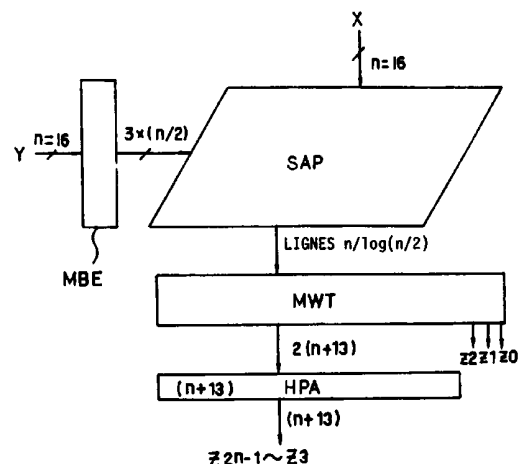
⑵ Inventeur(s) : Han Tack Don et Moh Sang Man.

⑶ Titulaire(s) :

⑷ Mandataire : Cabinet Regimbeau Martin Schrimpf Warcoin Ahner.

⑸ Multiplicateur parallèle utilisant un réseau de saut et un arbre de wallace modifié.

⑹ Un multiplicateur parallèle à réseau de saut et arbre de Wallace modifié comprenant un encodeur de Booth modifié (MBE) pour encoder un multiplicateur (Y) selon un algorithme de Booth modifié, un réseau de saut (SAP) destiné à des produits partiels, un arbre de Wallace modifié (MWT) pour additionner des bits binaires, et un additionneur hybride à préfixe (HPA) pour additionner deux lignes finales, dans lequel une multiplication rapide de 0 (log n) est effectuée de façon continue sans état d'attente d'une sortie de report et la régularité de l'agencement du multiplicateur parallèle est améliorée de sorte que la surface de microplaquette nécessaire et les coûts de fabrication sont réduits.



La présente invention concerne un multiplicateur parallèle et, de façon plus particulière, un multiplicateur parallèle binaire utilisant un algorithme de Booth modifié, un réseau de saut et un
5 arbre de Wallace modifié.

Le multiplicateur parallèle binaire a été largement employé dans divers systèmes tels qu'une unité logique arithmétique (ULA) d'ordinateurs de haute performance, un photocopieur, un système de traitement
10 de signaux numériques, un multiplicateur à matrice, ainsi qu'une microplaquette à buts spéciaux, de sorte que de nombreux procédés ont été proposés pour réduire les surfaces de microplaquette et améliorer la vitesse de fonctionnement du multiplicateur parallèle binaire.
15 Par exemple, il est bien connu que la vitesse de multiplication du multiplicateur parallèle peut être considérablement accrue en utilisant l'algorithme de Booth modifié tel que décrit dans "COMPUTER ARITHMETIC" (pages 129 à 212, 1979) et "NIKKEI ELECTRONICS" (pages
20 76 à 89, 29 Mai 1978) de John Wiley & Sons Co.

Les multiplicateurs parallèles classiques sont basés sur divers algorithmes et techniques. Parmi de nombreux multiplicateurs qui ont été proposés, des multiplicateurs généraux à performance supérieure sont
25 divisés en deux types, qui produisent tous deux $n/2$ lignes de produits partiels dans leur étape initiale par les algorithmes de Booth modifiés où n est le nombre de bits de deux entrées du multiplicateur Y et du multiplicande X . La partie la plus essentielle de tels multiplicateurs parallèles est le circuit
30 d'addition multiopérande qui ajoute l'une à l'autre les $n/2$ lignes de produits partiels et les réduit à deux lignes. Pour réaliser ces circuits additionneurs, on utilise un réseau d'additionneur complet et l'arbre de
35 Wallace.

Le multiplicateur parallèle utilisant le réseau est agencé en une structure de réseau à deux dimensions composée de cellules additionneuses complètes. Dans ce type de multiplicateurs, les sorties de cellules dans une ligne actuelle sont introduites de façon séquentielle dans des cellules d'une ligne suivante. Ainsi, ce type de multiplicateurs présente une complexité de temps de retard de $O(n)$ et leur temps de multiplication est lent de par son principe.

La Fig. 1 représente une structure schématique d'ensemble d'un multiplicateur parallèle classique utilisant le réseau. A la Fig. 1, un multiplicande X de 16 bits est amené à huit cellules additionneuses de multiplicande CL1, CL2, CL3 ..., CL8 et un multiplicateur Y à 16 bits est amené à un encodeur de Booth modifié MBE. Puis, l'encodeur de Booth modifié MBE encode le multiplicateur Y à 16 bits selon l'algorithme de Booth modifié et fournit ces sorties encodées aux huit cellules additionneuses CL1, CL2, CL3 ..., CL8, où chaque sortie encodée est un signal à 3 bits.

Les huit cellules additionneuses de lignes, de la première à la huitième, CL1 à CL8, additionnent respectivement le multiplicande X à la sortie encodée de l'encodeur de Booth modifié MBE et la cellule additionneuse de première ligne CL1 envoie sa sortie à la cellule additionneuse de deuxième ligne CL2. Puis, la valeur de sortie de la cellule additionneuse de première ligne CL1 est ajoutée à nouveau à la valeur de la cellule additionneuse de deuxième ligne CL2, la valeur de multiplication de la cellule additionneuse de deuxième ligne CL2 est ajoutée de façon séquentielle à ceci et envoyée finalement à un additionneur rapide FAD. Pour la multiplication de compléments, quatre bits, constitués par les deux bits les moins significatifs et leurs compléments, sont amenés à l'additionneur rapide

FAD à partir de chaque cellule additionneuse de ligne. Ainsi, une résultante de l'additionneur rapide FAD comporte finalement une valeur de $2n$ -bits. Dans le multiplicateur parallèle, les sorties de chaque ligne sont amenées de façon séquentielle à chaque ligne suivante comme mentionné ci-dessus.

Par conséquent, le temps de multiplication de deux entrées est lent proportionnellement au nombre de bits des entrées. Ce multiplicateur n'est donc pas approprié pour une multiplication à haute vitesse, même si ce type de multiplicateur est facile à appliquer pour un faible nombre de bits, une faible vitesse et une petite surface de microplaquette.

En revanche, les multiplicateurs parallèles utilisant l'arbre de Wallace ont un temps d'opération plus rapide de $O(\log n)$, mais il faut une grande surface de microplaquette à structure irrégulière. Ainsi, cet arbre de Wallace n'est pas approprié pour une petite surface de microplaquette et un coût réduit. En outre, comme représenté à la Fig. 6, une sortie de report est amenée après un retard de porte et une sortie de somme est fournie après un retard de deux portes puisque, dans des circuits généraux CMOS ou NMOS, la somme est obtenue en utilisant la sortie de report, qui est dans un état d'attente jusqu'à ce que la somme soit amenée, de sorte que la sortie de report précédemment amenée n'est pas additionnée directement. La Fig. 2 représente une structure schématique d'ensemble d'un multiplicateur classique utilisant l'arbre de Wallace et la Fig. 5 représente une structure schématique de l'arbre de Wallace.

Dans les deux multiplicateurs utilisant le réseau ou l'arbre de Wallace, l'étape finale consiste à additionner deux lignes finales. Ces deux types d'additionneurs classiques présentent pourtant des inconvénients en ce qui concerne la vitesse de

multiplication et la surface de microplaquette. Le besoin de multiplicateurs plus efficaces susceptible d'améliorer la vitesse de multiplication et la surface de microplaquette subsiste donc.

5 La présente invention a pour but de réaliser un multiplicateur parallèle utilisant l'algorithme de Booth modifié, le réseau de saut et l'arbre de Wallace modifié d'une manière telle que la surface de microplaquette puisse être minimisée et que la vitesse
10 de multiplication puisse être accrue. Selon la présente invention, on améliore le temps de multiplication de deux entrées en utilisant le réseau de saut, la structure en arbre de Wallace modifié et un additionneur hybride à préfixe dont la complexité de
15 temps d'opération est de $O(\log n)$, tandis que l'on minimise la surface de microplaquette en améliorant la régularité de la structure, et la conception est simplifiée en utilisant le réseau de saut et l'additionneur hybride à préfixe, et à cet effet le
20 multiplicateur parallèle utilisant un réseau de saut et un arbre de Wallace modifié, est caractérisé, selon un premier aspect de l'invention, en ce qu'il comprend: un encodeur de Booth modifié pour encoder un multiplicateur selon un algorithme de Booth modifié et
25 fournissant des sorties encodées ; un réseau de saut destiné à effectuer des produits partiels à partir d'un multiplicande et desdites sorties encodées dudit encodeur de Booth modifié et à les additionner après avoir sauté un intervalle prédéterminé ; un arbre de
30 Wallace modifié pour additionner des bits binaires provenant dudit réseau de saut à haute vitesse ; et un additionneur hybride à préfixe pour additionner deux lignes finales provenant dudit arbre de Wallace modifié.

35 Selon une modalité, ledit réseau de saut est composé de huit cellules additionneuses de lignes, de la

première à la huitième, pour réduire le nombre de
lignes de produits partiels de $n/2$ à $n/\log(n/2)$,
lesdites cellules additionneuses étant respectivement
multipliées par les cellules additionneuses suivantes
5 après un saut de $n/(2\log(n/2))$.

Ledit intervalle de saut dans ledit réseau de
saut peut être de $n/(2\log(n/2))$, lesdites lignes de
produit partiel formant un groupe par $n/(2\log(n/2))$, le
nombre de sauts devant être $\log(n/2) - 3$, et la
10 complexité de temps d'opération des sauts devant être
 $\log(n/2) - 2$.

Selon une autre modalité, ledit additionneur hybride à
préfixe est composé de pg cellules, bp cellules, bn
cellules, de cellules blanches et de cellules de somme
15 qui satisfont aux équations suivantes:

i) cellule pg

$$(p_{1,1})' = (a_1 + b_1)'$$

$$(g_{1,1})' = (a_1 \cdot b_1)'$$

ii) cellule bp

$$20 \quad (p_{j,2k+1})' = (p_{j,2k} \cdot p_{j,2k})'$$

$$(g_{j,2k+1})' = (p_{j,2k} \cdot g_{j,2k} + g_{j,2k})'$$

iii) cellule bn

$$p_{j,2k} = ((p_{j,2k-1})' + (p_{j,2k-1})')'$$

$$g_{j,2k} = ((p_{j,2k-1})' + ((g_{j,2k-1})'(g_{j,2k-1})'))'$$

25 iv) cellule blanche

$$p_{1,k} = (p_{1,k-1})'$$

$$g_{1,k} = (g_{1,k-1})'$$

v) cellule d'addition

$$s_1 = ((c_1 + (p_{1,1})' \cdot (c_{1-1})') ((g_{1,1})' + (c_{1-1})'))'$$

30 Selon une autre modalité, ledit arbre de Wallace
modifié est composé de: trois premiers additionneurs
complets pour recevoir des sorties de multiplication
dudit réseau de saut ; un deuxième additionneur complet
pour additionner les sorties de report ou retenue desdits trois
35 premiers additionneurs ; un troisième additionneur
complet pour additionner les sorties de somme desdits

trois premiers additionneurs ; un quatrième additionneur complet pour additionner lesdites sorties de somme et de report desdits deuxième et troisième additionneurs complets ; et un cinquième additionneur complet pour additionner des sorties de report dudit quatrième additionneur complet et des sorties de somme desdits troisième et quatrième additionneurs complets.

Dans ce cas, ledit arbre de Wallace modifié peut être composé de: trois premiers additionneurs complets pour additionner des valeurs de multiplication dudit réseau de saut ; un deuxième additionneur complet pour additionner des sorties de report ; un troisième additionneur complet pour additionner des sorties de somme ; et un quatrième et un cinquième additionneurs complets pour une étape finale, lesdits troisième et quatrième additionneurs complets comprenant des cellules à entrée positive et sortie négative ; et lesdits deuxième, troisième et cinquième additionneurs complets comprenant des cellules à entrée négative et sortie positive.

Dans ce cas, lesdites cellules à entrée positive et sortie négative peuvent comprendre des transistors CMOS satisfaisant aux équations suivantes:

$$C_{out}' = (c_{in}(a + b) + a \cdot b)'$$

$$Sum' = (C_{out}'(a + b + c_{in}) + a \cdot b \cdot c_{in})$$

Dans ce même cas, lesdites cellules à entrée négative et sortie positive peuvent comprendre des transistors CMOS satisfaisants aux équations suivantes:

$$C_{out} = ((c_{in}' + a' \cdot b') \cdot (a' + b'))'$$

$$Sum = ((C_{out} + a' \cdot b' \cdot c_{in}') \cdot (a' + b' + c_{in}'))'$$

Selon un autre aspect de l'invention, le multiplicateur parallèle utilisant un réseau de saut et un arbre de Wallace modifié est caractérisé en ce qu'il comprend: un encodeur de Booth modifié pour encoder un multiplicateur et fournir les sorties encodées selon un algorithme de Booth modifié ; un réseau de saut pour

fournir des produits partiels par une opération de multiplication d'un multiplicande par lesdites sorties encodées et pour ajouter lesdits produits partiels après avoir sauté un intervalle de saut prédéterminé ;
5 un arbre de Wallace modifié pour additionner des bits binaires fournis par ledit réseau de saut ; et un additionneur hybride à préfixe pour additionner les deux lignes finales provenant dudit arbre de Wallace modifié. Selon une modalité particulière, ledit
10 additionneur hybride à préfixe peut, dans ce cas, utiliser le réseau de saut et l'arbre de Wallace modifié comme additionneurs rapides généraux..

Ces buts, objets et avantages de la présente invention ainsi que d'autres ressortiront de la
15 description qui suit des modes de réalisation préférés prise en liaison avec les dessins annexés, dans lesquels:

la Fig. 1 est un schéma représentant un multiplicateur parallèle du type à réseau utilisant un
20 algorithme de Booth classique ;

la Fig. 2 est un schéma représentant un multiplicateur parallèle utilisant l'algorithme de Booth classique et l'arbre de Wallace ;

la Fig. 3 est un schéma représentant un
25 multiplicateur parallèle selon la présente invention ;

la Fig. 4 est un schéma représentant la structure d'un réseau de saut selon la présente invention ;

la Fig. 5 est un schéma représentant deux structures d'arbres de Wallace, la Fig. 5(A)
30 représentant l'arbre de Wallace classique et la Fig. 5(B) un arbre de Wallace modifié selon la présente invention ;

la Fig. 6 est un schéma de circuit représentant une cellule additionneuse complète CMOS selon la
35 présente invention, la Fig. 6(A) étant une logique à

entrée positive et sortie négative et la Fig. 6(B) une logique à entrée négative et sortie positive ; et

la Fig; 7 est un schéma représentant un additionneur hybride à préfixe.

5 La Fig. 3 représente une structure générale schématique d'un multiplicateur parallèle selon la présente invention. A la Fig. 3, la présente invention comprend un encodeur de Booth modifié MBE pour encoder une valeur d'un multiplicateur Y selon l'algorithme de
10 Booth modifié, un réseau de saut SAP relié à l'encodeur de Booth modifié MBE pour produire des lignes de produits partiels d'un multiplicande X par la valeur encodée et pour ajouter les lignes de produits partiels après avoir sauté un intervalle de saut prédéterminé,
15 un arbre de Wallace modifié MWT relié au réseau de saut SAP pour additionner rapidement des nombres binaires provenant du réseau de saut SAP, et un additionneur hybride à préfixe HPA relié à l'arbre de Wallace modifié MWT pour additionner des valeurs de deux lignes
20 fournies par l'arbre de Wallace modifié MWT.

En premier lieu, $n/2$ lignes de produits partiels sont produites en utilisant l'algorithme de Booth modifié en vue d'une multiplication parallèle de deux signaux X et Y à n-bits où n (=16) indique un bit d'un
25 signal d'entrée. Puis, l'encodeur de Booth modifié MBE produit $3 * (n/2)$ sorties encodées depuis le multiplicateur Y à amener au réseau de saut SAP. Puis, le réseau de saut SAP produit les lignes de produits partiels par le multiplicande X et les sorties encodées
30 de l'encodeur de Booth modifié MBE à amener à l'arbre de Wallace modifié MWT.

Le procédé de production des rangées de produits partiels est le même que celui qui est décrit à la Fig. 1. En particulier, le réseau de saut SAP réduit le
35 nombre des produits partiels de $n/2$ à $n/\log(n/2)$. Le réseau de saut SAP améliore aussi la régularité de la

structure de multiplicateur par le temps de multiplication de $O(\log n)$ et minimise la surface de microplaquette grâce à une structure simple.

Puis, l'arbre de Wallace modifié MWT est utilisé pour réduire les résultants du réseau de saut SAP en deux lignes en les additionnant de façon répétée. L'arbre de Wallace modifié MWT permet un temps de multiplication plus rapide que celui de l'arbre de Wallace classique puisque la sortie de report ne présente pas d'état d'attente. Pour améliorer le temps de multiplication et la surface de microplaquette, chaque cellule du réseau de saut SAP et de l'arbre de Wallace modifié MWT est composée de cellules à entrée positive et sortie négative et de cellules à entrée négative et sortie positive qui sont agencées en alternance.

Finalement, l'additionneur hybride à préfixe HPA, à faible surface de microplaquette et à haute vitesse, est utilisé pour additionner les deux lignes finales. Par rapport au multiplicateur parallèle utilisant le réseau classique, la présente invention utilise un temps de multiplication plus rapide, réduit de $O(n)$ à $O(\log n)$, même si la surface de microplaquette est accrue.

En outre, selon la présente invention, le multiplicateur parallèle à réseau de saut SAP et l'arbre de Wallace modifié MWT réduisent la complexité de $O(2n^2 \log n)$ à $O(n^2 \log n + 2n^2)$, de sorte que la surface de microplaquette peut être minimisée et la vitesse de multiplication est accrue dans la plage inférieure à 128 bits, même si le temps de multiplication est de $O(\log n)$ d'une manière équivalente au cas classique.

Selon le présent circuit, puisque l'addition de deux nombres de n -bits est effectuée par la combinaison de l'encodeur de Booth modifié MBE, du réseau de saut

SAP, de l'arbre de Wallace modifié MWT et de l'additionneur hybride à préfixe HPA, la sortie devient 2n-bits et $(n/2) * 3$ lignes de sortie encodées sont engendrées à partir du multiplicateur Y en utilisant l'encodeur de Booth modifié MBE selon l'algorithme de Booth modifié. Par conséquent, trois sorties encodées des i-ièmes lignes sont les suivantes:

$$ONE_i = y_{2i} \oplus y_{2i-1}$$

$$TWO_i = (y_{2i+1})' \cdot y_{2i} \cdot y_{2i-1} + y_{2i+1} \cdot (y_{2i})' \cdot (y_{2i-1})'$$

$$NEG_i = y_{2i+1} ((y_{2i})' + (y_{2i-1})')$$

($0 \leq i \leq n/2 - 1$ et $y_{-1} = 0$), où le symbole " ' " indique "____", ce qui signifie un "non" logique.

Puisque la ligne de produits partiels est produite à partir des trois lignes de sorties encodées, les $n/2$ lignes de produits partiels sont engendrées en appliquant les lignes de sortie de l'encodeur de Booth modifié MBE et le multiplicande à n-bits aux cellules additionneuses respectives. Un j-ième bit de la i-ième de ligne de produits partiels est défini comme suit:

$$P_{i,j} = (ONE_i \cdot x_j + TWO_i \cdot x_{j-1}) \oplus NEG_i$$

($0 \leq i \leq n/2 - 1$, $0 \leq j \leq n$, $x_{-1} = 0$ et $x_n = x_{n-1}$).

Le produit partiel $P_{i,j}$ est décalé vers la gauche de deux bits lorsque l'indice i augmente de un, de sorte que l'indice j représentant une colonne est augmentée de deux.

Le nombre de lignes de produits partiels est réduit de $n/2$ à $n/\log(n/2)$ en utilisant le réseau de saut SAP. La structure du réseau de saut SAP est représentée à la Fig. 4. Le réseau de saut SAP comprend une cellule additionneuse de première ligne CL11, une cellule additionneuse de deuxième ligne CL12, ..., et une cellule additionneuse de huitième ligne CL18. La cellule additionneuse de première ligne CL11 est mise en oeuvre lorsque la cellule additionneuse de quatrième ligne CL14 saute trois lignes et, de même, la cellule additionneuse de deuxième ligne CL12 est mise en oeuvre

par la cellule additionneuse de cinquième ligne CL15. Par conséquent, chaque cellule additionneuse de ligne est mise en oeuvre après un saut de trois lignes.

Pour amener un temps d'opération proportionnel à $\log(n/2)$, l'intervalle de saut est déterminé pour être égal à $n/(2\log(n/2))$. Puis, $n/2$ lignes de produits partiels sont respectivement composées de $\log(n/2)$ groupes par $n/(2\log(n/2))$ lignes, où les trois premiers groupes sont additionnés simultanément par la cellule additionneuse complète, de sorte que l'intervalle de saut devient $\log(n/2)-3$ et le temps d'opération du réseau de saut SAP devient $\log(n/2)-2$. Les sorties de report et de somme de chaque cellule dans un groupe actuel sont amenées à des lignes correspondantes d'un groupe suivant, et, en particulier, la sortie de report est amenée à une cellule plus élevée de un ordre.

La sortie de report $C_{i,j}$ et la sortie de somme $S_{i,j}$ de la cellule additionneuse complète de la i -ième ligne et de la j -ième colonne sont respectivement représentées comme suit:

$$C_{i,j} = f_c(P_{i,j}, S_{i-n/2\log(n/2)}, j, C_{i-n/2\log(n/2)}, j-1)$$

$$S_{i,j} = f_s(P_{i,j}, S_{i-n/2\log(n/2)}, j, C_{i-n/2\log(n/2)}, j-1)$$

f_c et f_s représentent des fonctions destinées à obtenir des sorties de report et de somme respectivement, et chacun des trois arguments représente un opérande, un addande, et le report respectivement, et la loi commutative est satisfaite. De plus, i est situé dans la plage de $n/\log(n/2)$ à $n/2-1$, tandis j est dans la plage de $2i$ à $2i + n$.

D'autre part, dans le cas où $C_{i,j}$ est nul et $S_{i,j}$ égale $P_{i,j}$ dans la plage de $0 \leq i \leq n/\log(n/2) - 1$, alors $P_{i,j}$, $S_{i,j}$ et $C_{i,j}$ sont considérés comme nuls dans la plage prédéterminée de i et j . Les lignes de $n/\log(n/2)$ bits sont amenées à l'arbre de Wallace modifié MWT et finalement réduites à deux lignes. L'arbre de Wallace modifié MWT utilise une allure

d'opération rapide en supprimant l'état d'attente de la sortie de report de chaque cellule. Dans l'arbre de Wallace classique, en revanche, la sortie de report d'une cellule additionneuse complète CMOS est amenée après un retard d'une porte et la sortie de somme est amenée après un autre retard de porte, en utilisant la sortie de report de sorte que la sortie de somme exige un retard de deux portes comme représenté à la Fig. 6, puisque la sortie de report se trouve dans un état d'attente jusqu'à ce que la sortie de somme soit amenée. Pour réduire le temps d'opération en supprimant cet état d'attente de la sortie de report, l'arbre de Wallace modifié MWT fournit directement la sortie de report de la cellule suivante sans l'état d'attente, là où les cellules additionneuses complètes respectives sont agencées en alternance avec une entrée positive et une sortie négative, et avec une entrée négative et une sortie positive, comme décrit plus loin. Par exemple, l'arbre de Wallace modifié MWT représenté à la Fig. 5(B) utilise une surface de microplaquette presque égale en dimensions à celle de l'arbre de Wallace classique, mais permet une allure de multiplication plus rapide.

La Fig. 5(A) représente l'agencement de l'arbre de Wallace classique. Les valeurs de sortie de multiplication P0 à P8 du réseau de saut SAP sont amenées aux additionneurs complets 11, 21 et 31. Les sorties de report et les sorties de somme des additionneurs complets 11, 21 et 31 sont amenées à leurs additionneurs complets suivants de façon répétée, de sorte qu'une sortie à 2 bits est finalement engendrée à partir de deux additionneurs complets 43 et 44.

La Fig. 2 représente le multiplicateur parallèle classique utilisant l'algorithme de Booth modifié et l'arbre de Wallace modifié, dans lequel l'arbre de

Wallace modifié est d'une structure semblable à celle qui est représentée à la Fig. 5(A), mais ses additionneurs complets ne sont composés que des cellules de sortie à entrée positive et sortie positive. Les sorties finales de report et de somme de l'additionneur complet 44 sont amenées à l'additionneur rapide FAD pour donner la valeur de multiplication. Dans les additionneurs complets, FApn représente la cellule de à entrée positive et sortie négative, alors que FAnp représente la cellule à entrée négative et à sortie positive.

La Fig. 5(B) représente la structure de l'arbre de Wallace modifié MWT selon la présente invention. L'arbre de Wallace modifié MWT comprend des additionneurs complets 61, 71 et 81 pour recevoir les sorties de multiplication P0 à P8 du réseau de saut SAP, un additionneur complet 91 pour additionner les sorties de report des additionneurs complets 61, 71 et 81, un additionneur complet 92 pour additionner les sorties de somme des additionneurs complets 61, 71 et 81, un additionneur complet 93 pour additionner une sortie de somme d'un additionneur complet 91 et les sorties de report des additionneurs complets 91 et 92, et un additionneur complet 94 pour additionner la sortie de report de l'additionneur complet 93 et les sorties de somme des additionneurs complets 92 et 93. Dans ce circuit, les additionneurs complets destinés seulement à des sorties de report sont séparés de ceux qui sont destinés seulement à des sorties de somme, de sorte que l'état d'attente ne se produit pas. Chaque cellule du réseau de saut SAP et de l'arbre de Wallace modifié MWT est prévue pour être essentiellement un additionneur complet.

Dans ce multiplicateur parallèle, le retard de cellule et la surface de microplaquette sont réduits de façon simultanées en disposant en alternance des

cellules à entrée positive et à sortie négative et des cellules à entrée négative et à sortie positive. De cette manière, des inverseurs sont enlevés de l'étape de sortie de cellule et, ainsi, les sorties de chaque cellule sont amenées rapidement, avec un retard d'une porte seulement et le nombre de portes est également réduit. Les équations logiques de la cellule additionneuse complète à entrée positive et sortie négative sont les suivantes:

$$\begin{aligned} C_{out}' &= (c_{in}(a + b) + a.b)' \\ Sum' &= (C_{out}'(a + b + c_{in}) + a.b.c_{in})' \end{aligned}$$

LA Fig. 6(A) représente l'additionneuse complète CMOS destinée à la mise en oeuvre de ces équations. En revanche, les équations logiques de la cellule additionneuse à entrée négative et sortie positive sont les suivantes:

$$\begin{aligned} C_{out} &= ((c_{in}' + a'.b').(a' + b'))' \\ Sum &= ((C_{out} + a'.b'.c_{in}').(a' + b' + c_{in}'))' \end{aligned}$$

La Fig. 6(B) représente l'additionneur complet CMOS destiné à la mise en oeuvre de ces équations, où a , b , c_{in} doivent être respectivement des signaux d'entrée et en particulier c_{in} indique l'entrée de report provenant du bit le plus élevé d'un ordre. L'additionneur hybride à préfixe HPA est utilisé comme étape finale d'un multiplicateur parallèle pour réaliser effectivement l'addition. L'additionneur hybride à préfixe HPA est un additionneur supérieur à faible surface de microplaquette et temps d'opération rapide de sorte que, lorsque l'additionneur hybride à préfixe HPA est appliqué au multiplicateur, la performance générale est améliorée. Les fonctions logiques de chaque cellule sont les suivantes:

i) cellule pg

$$\begin{aligned} (p_{1,1})' &= (a_1 + b_1)' \\ (g_{1,1})' &= (a_1 . b_1)' \end{aligned}$$

ii) cellule bp

$$(p_{j.2k+1})' = (p_{i.2k}.p_{j.2k})'$$

$$(g_{j.2k+1})' = (p_{j.2k}.g_{i.2k} + g_{j.2k})'$$

iii) cellule bn

$$5 \quad p_{j.2k} = ((p_{i.2k-1})' + (p_{j.2k-1})')'$$

$$g_{j.2k} = ((p_{i.2k-1})' + ((g_{i.2k-1})'(g_{j.2k-1})'))'$$

iv) cellule blanche

$$p_{i.k} = (p_{i.k-1})'$$

$$g_{i.k} = (g_{i.k-1})'$$

10 v) cellule d'addition

$$s_i = ((c_i + (p_{i.1})'.(c_{i-1})') ((g_{i.1})' + (c_{i-1})'))'$$

La Fig. 7 représente la structure de

l'additionneur hybride à préfixe HPA qui additionne
deux nombres de 16 bits ($a_{16}, a_{15}, \dots, a_1$) et ($b_{16},$

15 $b_{15}, \dots, b_1$) pour obtenir le résultat ($s_{17}, s_{16}, \dots$

s_1). A la Fig. 7, deux indices p ou g indiquent la
ligne ou la colonne respectivement et a_i, b_i, c_i et s_i
indiquent le i-ième opérande, le i-ième addande, le i-
ième report et la i-ième somme respectivement. Chaque

20 cellule décrite ci-dessus comprend des transistors NMOS
et PMOS. Cet additionneur hybride à préfixe HPA a déjà
été décrit dans la IEEE International Conference on
Computer Design sous le titre de "VLSI Design of High-
Speed, Low-Area Addition circuitry" par le présent

25 demandeur. Dans cette invention, la vitesse rapide de
fonctionnement peut être obtenue en utilisant

l'additionneur hybride à préfixe HPA (voir document de
la conférence IEEE mentionné ci-dessus). Le

multiplieur parallèle de la présente invention

30 comporte une surface de microplaquette plus importante
que le multiplieur utilisant le réseau, tout en
utilisant de préférence un temps de multiplication
réduit de $O(n)$ à $O(\log n)$.

Par rapport au multiplieur utilisant l'arbre

35 de Wallace modifié classique, qui a été connu comme
l'algorithme de multiplication parallèle le plus

rapide, la surface de microplaquette du multiplicateur utilisant à la fois le réseau de saut SAP et l'arbre de Wallace modifié MWT est réduite de $O(2n^2 \log n)$ à $O(n^2 \log n + 2n^2)$, même si le temps d'opération est $O(\log n)$ aussi bien dans l'arbre de Wallace modifié classique que dans cet arbre de Wallace modifié MWT. Mais, dans la plage inférieure à 128 bits, l'arbre de Wallace modifié MWT est plus rapide que l'arbre classique en vitesse de multiplication, en exerçant les effets suivants:

1) Une multiplication rapide de $O(\log n)$ est effectuée et la régularité est améliorée de sorte que la surface de microplaquette est minimisée et que la conception devient simple, ce qui réduit les coûts de fabrication ;

2) En utilisant le réseau de saut SAP, la régularité est améliorée et de cette manière la surface de microplaquette est minimisée et la conception devient simple, en maintenant le temps de fonctionnement de $O(\log n)$;

3) En utilisant l'arbre de Wallace modifié MWT, le temps de fonctionnement est réduit en éliminant l'état d'arrêt 802 de la sortie de report ;

4) En utilisant l'additionneuse hybride à préfixe HPA, le temps d'opération est réduit et la régularité est améliorée, de sorte que la surface de microplaquette est minimisée ;

5) En agencant en alternance les cellules à entrée positive et à sortie négative et les cellules à entrée négative et à sortie positive, le temps de retard est réduit et le nombre de portes est également réduit;

6) Par comparaison avec le multiplicateur parallèle utilisant le réseau, le temps d'opération est réduit de $O(n)$ à $O(\log n)$, même si la surface de microplaquette est importante. En comparant en outre

avec le multiplicateur parallèle qui n'utilise que l'arbre de Wallace classique, le multiplicateur utilisant à la fois le réseau de saut SAP et l'arbre de Wallace modifié MWT selon la présente invention

5 présente une surface de microplaquette minimisée de $O(2n^2 \log n)$ à $O(n^2 \log n + 2n^2)$ et son allure de fonctionnement devient plus rapide dans la plage inférieure à 128 bits, malgré la complexité du temps d'opération de $O(\log n)$.

10 7) Par conséquent, il est développé un multiplicateur parallèle et un additionneur supérieur, à haute performance; et

8) En appliquant le multiplicateur parallèle selon la présente invention à l'unité logique
15 arithmétique (ALU), au télécopieur, au système de traitement de signaux numériques, au multiplicateur de matrice et à la microplaquette à but particulier, leur capacité de performance de ces appareils peut être améliorée.

20 L'invention n'est en aucune façon limitée au mode de réalisation décrit ci-dessus. Diverses modifications du mode de réalisation décrit ainsi que d'autres modes de réalisation de l'invention apparaîtront à l'homme de l'art en se référant à la description de l'invention.

25 Les revendications annexées doivent donc couvrir toutes modifications ou modes de réalisation situés à l'intérieur du vrai cadre de la présente invention.

Revendications

1. Multiplicateur parallèle utilisant un réseau de saut (SAP) et un arbre de Wallace modifié (MWT), caractérisé en ce qu'il comprend:

5 un encodeur de Booth modifié (MBE) pour encoder un multiplicateur selon un algorithme de Booth modifié et fournissant des sorties encodées ;

un réseau de saut (SAP) destiné à effectuer des produits partiels à partir d'un multiplicande et
10 desdites sorties encodées dudit encodeur de Booth modifié et à les additionner après avoir sauté un intervalle prédéterminé ;

un arbre de Wallace modifié (MWT) pour additionner à haute vitesse des bits binaires provenant dudit
15 réseau de saut ; et

un additionneur hybride à préfixe (HPA) pour additionner deux lignes finales provenant dudit arbre de Wallace modifié.

2. Multiplicateur parallèle selon la
20 revendication 1, caractérisé en ce que ledit réseau de saut (SAP) est composé de cellules additionneuses de lignes, de la première à la huitième, (CL11 à CL18) pour réduire le nombre de lignes de produits partiels de $n/2$ à $n/\log(n/2)$, lesdites cellules
25 additionneuses étant respectivement multipliées par les cellules additionneuses suivantes après un saut de $n/(2\log(n/2))$.

3. Multiplicateur parallèle selon la revendication 1, caractérisé en ce que ledit arbre de
30 Wallace modifié (MWT) est composé de:

trois premiers additionneurs complets (61, 71, 81) pour recevoir des sorties de multiplication (P0 à P8) dudit réseau de saut (SAP);

un deuxième additionneur complet (91) pour
35 additionner les sorties de report desdits trois premiers additionneurs ;

un troisième additionneur complet (92) pour additionner les sorties de somme desdits trois premiers additionneurs ;

5 un quatrième additionneur complet (93) pour additionner lesdites sorties de somme et de report desdits deuxième et troisième additionneurs complets (91 et 92); et

10 un cinquième additionneur complet (94) pour additionner des sorties de report dudit quatrième additionneur complet (93) et des sorties de somme desdits troisième et quatrième additionneurs complets (92 et 93).

4. Multiplicateur parallèle selon la revendication 1, caractérisé en ce que ledit additionneur hybride à
15 préfixe (HPA) est composé de pg cellules, bp cellules, bn cellules, de cellules blanches et de cellules de somme qui satisfont aux équations suivantes:

i) cellule pg

$$(p_{1,1})' = (a_1 + b_1)'$$

20 $(g_{1,1})' = (a_1 \cdot b_1)'$

ii) cellule bp

$$(p_{j,2k+1})' = (p_{j,2k} \cdot p_{j,2k})'$$

$$(g_{j,2k+1})' = (p_{j,2k} \cdot g_{j,2k} + g_{j,2k})'$$

iii) cellule bn

25 $p_{j,2k} = ((p_{j,2k-1})' + (p_{j,2k-1})')'$

$$g_{j,2k} = ((p_{j,2k-1})' + ((g_{j,2k-1})'(g_{j,2k-1})'))'$$

iv) cellule blanche

$$p_{1,k} = (p_{1,k-1})'$$

$$g_{1,k} = (g_{1,k-1})'$$

30 v) cellule d'addition

$$s_1 = ((c_1 + (p_{1,1})' \cdot (c_{1-1})') ((g_{1,1})' + (c_{1-1})'))'$$

5. Multiplicateur parallèle selon la revendication 1, caractérisé en ce que ledit intervalle de saut dans ledit réseau de saut (SAP) est de $n/(2\log(n/2))$,
35 lesdites lignes de produit partiel forment un groupe par $n/(2\log(n/2))$, le nombre de sauts doit être

$\log(n/2) - 3$, et la complexité de temps d'opération des sauts doit être $\log(n/2) - 2$.

6. Multiplicateur parallèle selon la revendication 3, caractérisé en ce que ledit arbre de Wallace modifié (MWT) est composé de:

trois premiers additionneurs complets (61,71,81) pour additionner des valeurs de multiplication (P0 à P8) dudit réseau de saut ;

un deuxième additionneur complet (91) pour additionner des sorties de report ;

un troisième additionneur complet (92) pour additionner des sorties de somme ; et

un quatrième et un cinquième additionneurs complets (93,94) pour une étape finale,

lesdits trois premiers et quatrième additionneurs complets comprenant des cellules à entrée positive et sortie négative ; et

lesdits deuxième, troisième et cinquième additionneurs complets comprenant des cellules à entrée négative et sortie positive.

7. Multiplicateur parallèle selon la revendication 6, caractérisé en ce que lesdites cellules (61,71,81,93) à entrée positive et sortie négative comprennent des transistors CMOS satisfaisant aux équations suivantes:

$$C_{out}' = (c_{in}(a + b) + a.b)'$$

$$Sum' = (C_{out}'(a + b + c_{in}) + a.b.c_{in})'$$

8. Multiplicateur parallèle selon la revendication 6, caractérisé en ce que lesdites cellules (91,92,94) à entrée négative et sortie positive comprennent des transistors CMOS satisfaisants aux équations suivantes:

$$C_{out} = ((c_{in}' + a'.b').(a' + b'))'$$

$$Sum = ((C_{out} + a'.b'.c_{in}').(a' + b' + c_{in}'))'$$

9. Multiplicateur parallèle utilisant un réseau de saut (SAP) et un arbre de Wallace modifié (MWT) caractérisé en ce qu'il comprend:

- un encodeur de Booth modifié (MBE) pour encoder un
- 5 multiplicateur et fournir les sorties encodées selon un algorithme de Booth modifié ;
- un réseau de saut (SAP) pour fournir des produits partiels par une opération de multiplication d'un multiplicande par lesdites sorties encodées et pour
- 10 ajouter lesdits produits partiels après avoir sauté un intervalle de saut prédéterminé ;
- un arbre de Wallace modifié (MWT) pour additionner des bits binaires fournis par ledit réseau de saut ; et
- un additionneur hybride à préfixe (HPA) pour
- 15 additionner les deux lignes finales provenant dudit arbre de Wallace modifié.

10. Multiplicateur parallèle selon la revendication 9, caractérisé en ce que ledit additionneur hybride à préfixe (HPA) utilise le réseau de
- 20 saut (SAP) et l'arbre de Wallace modifié (MWT) comme additionneurs rapides généraux.

FIG.1

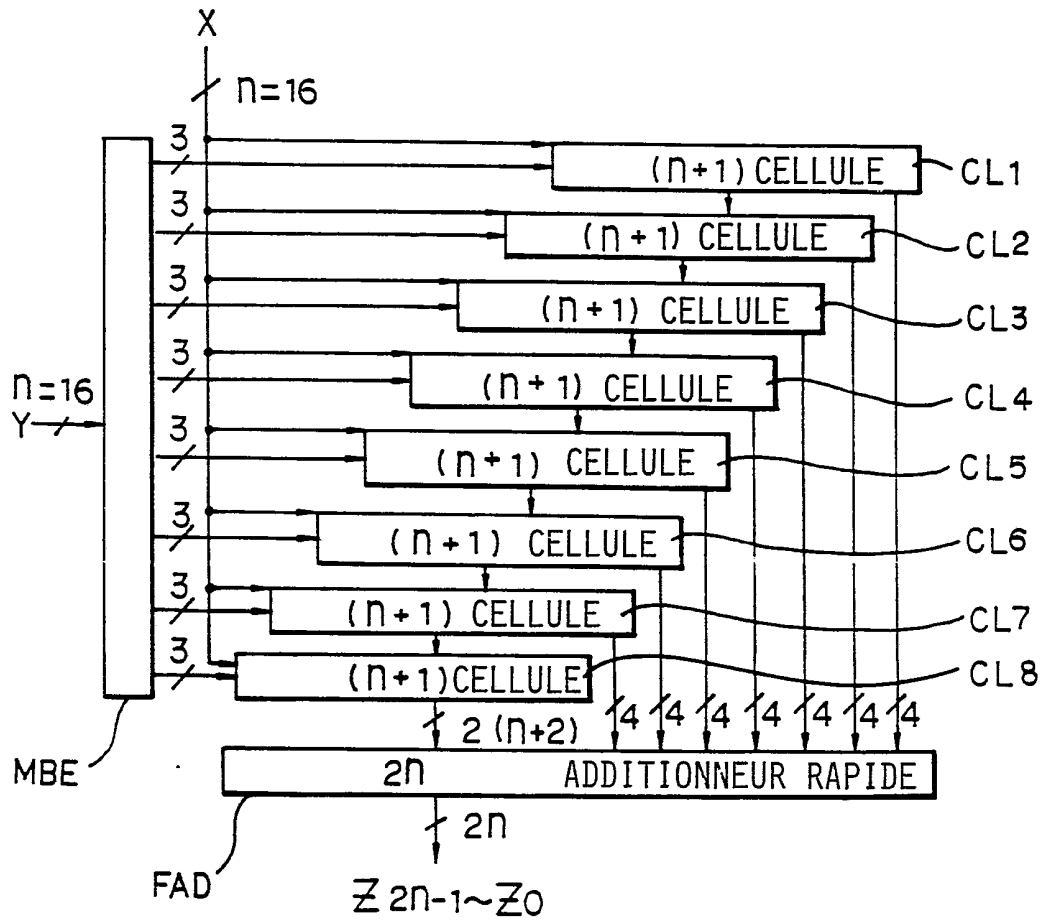


FIG. 2

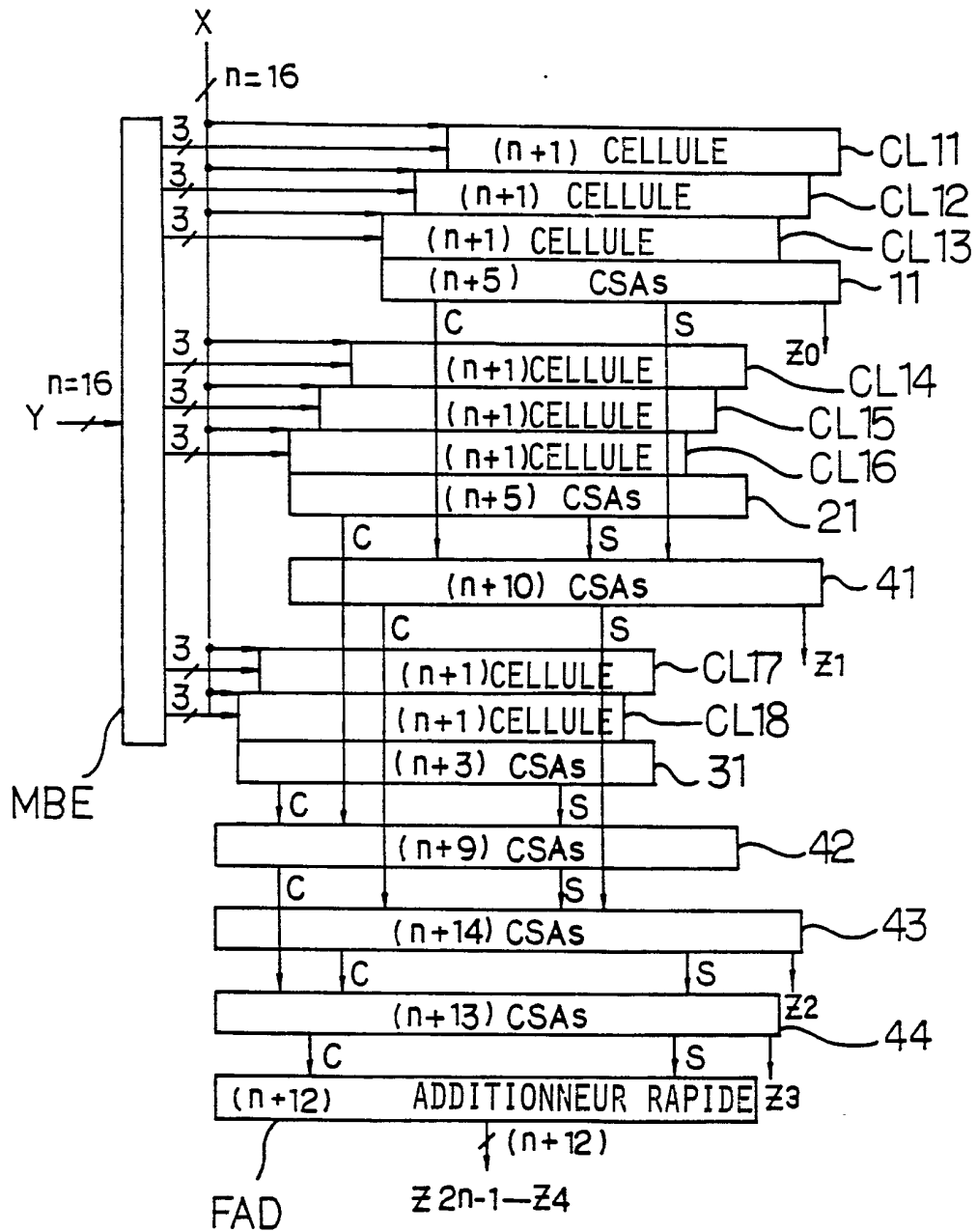


FIG. 3

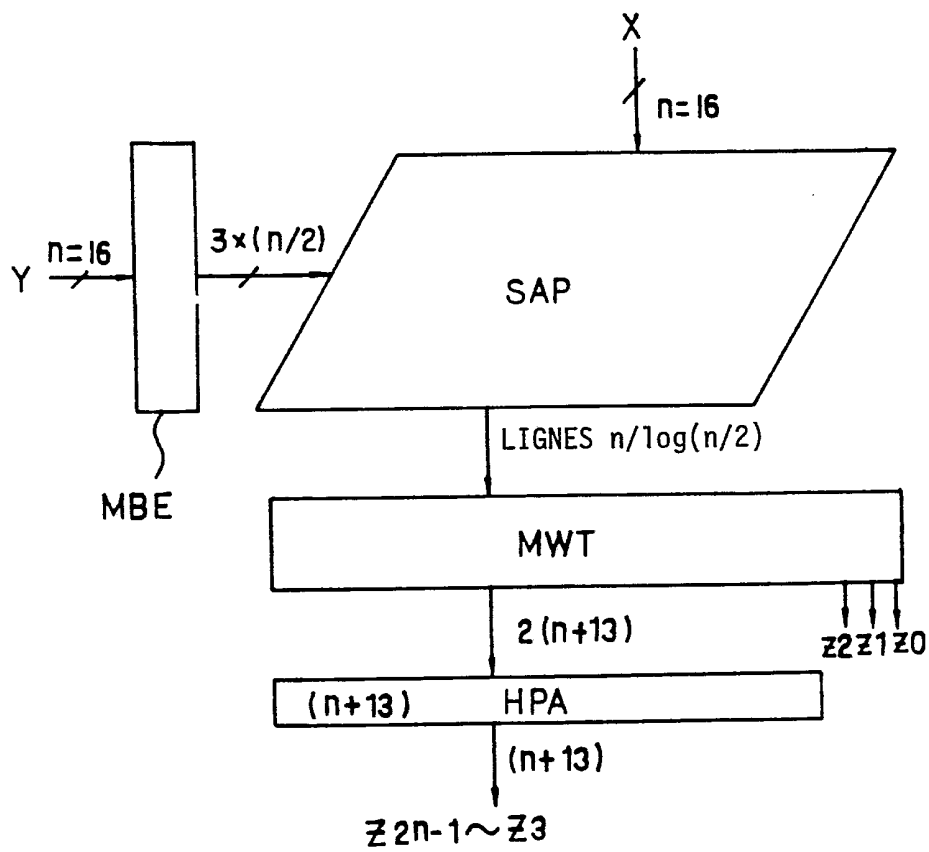


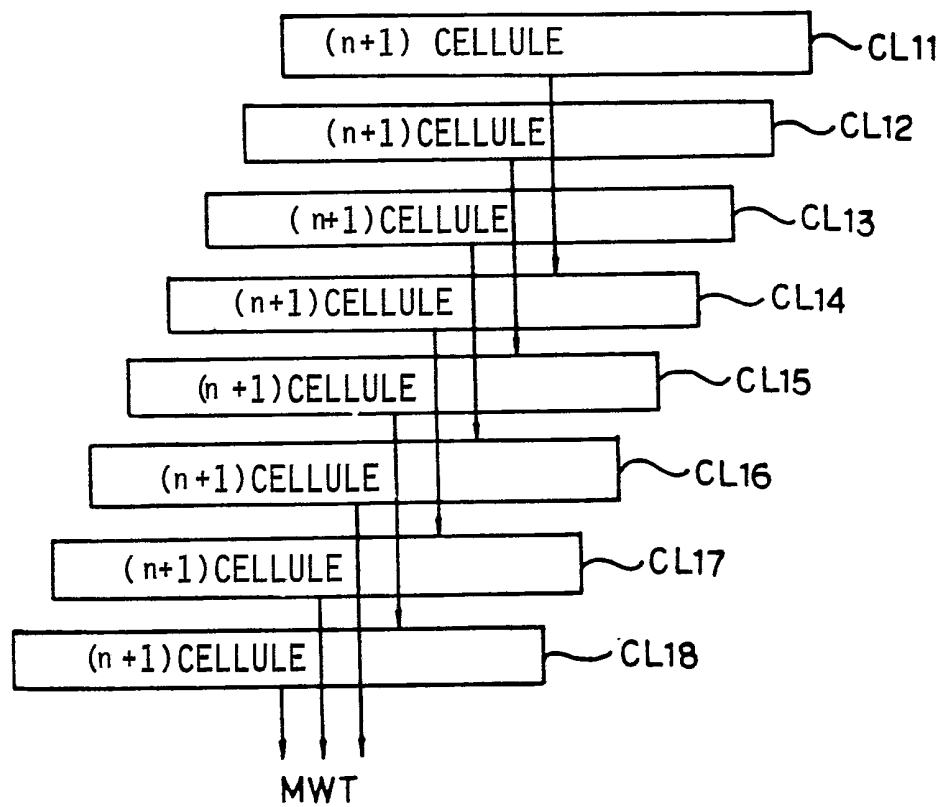
FIG. 4SAP

FIG. 5(A)

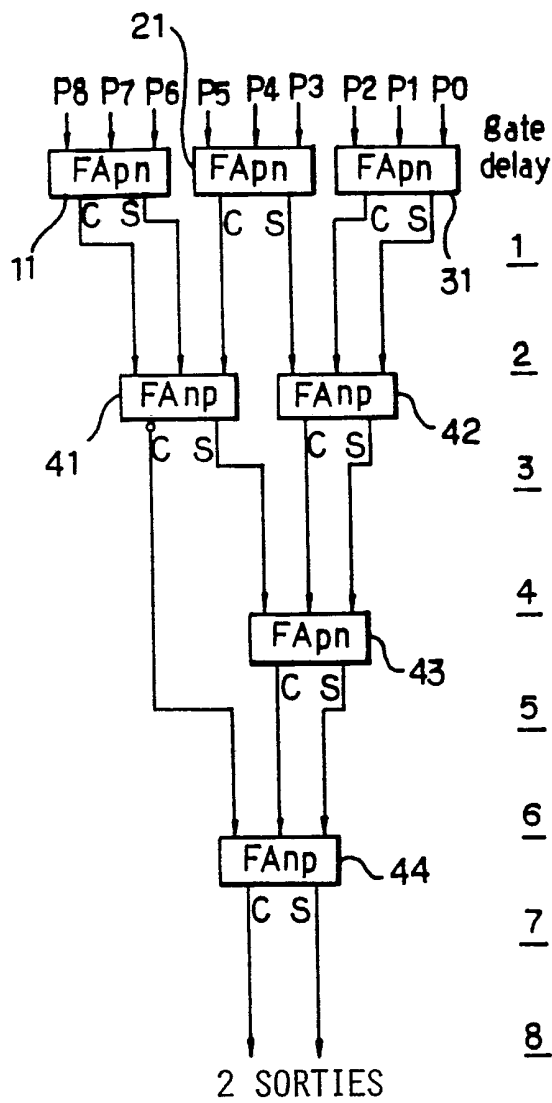


FIG. 5(B)

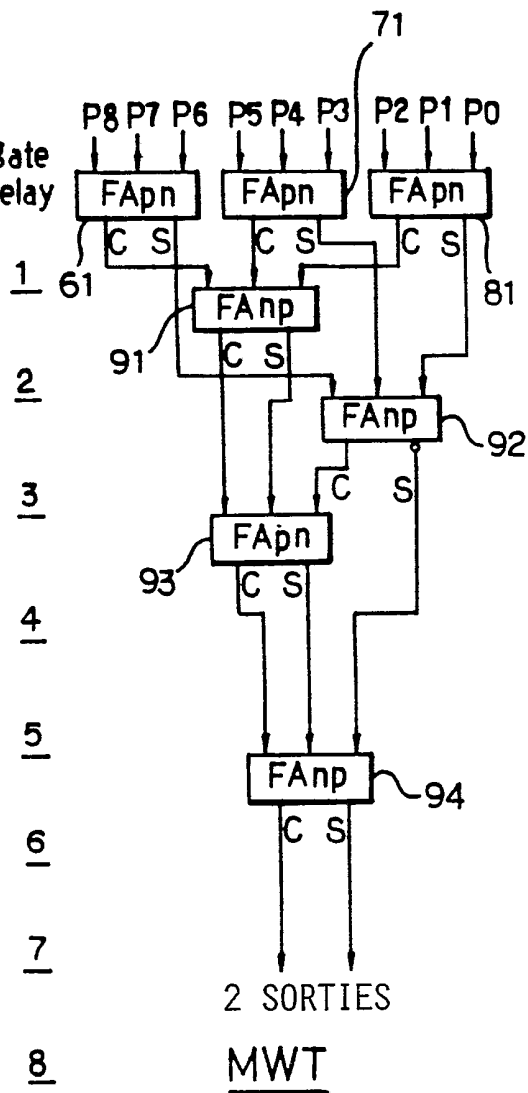


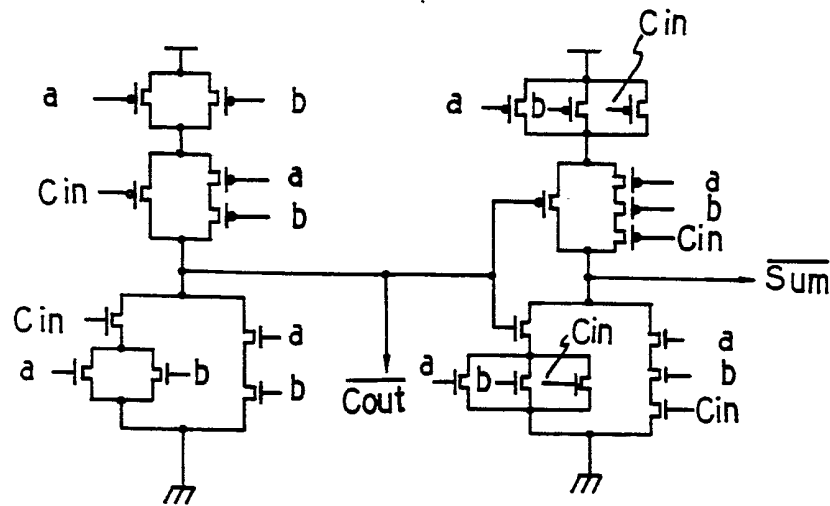
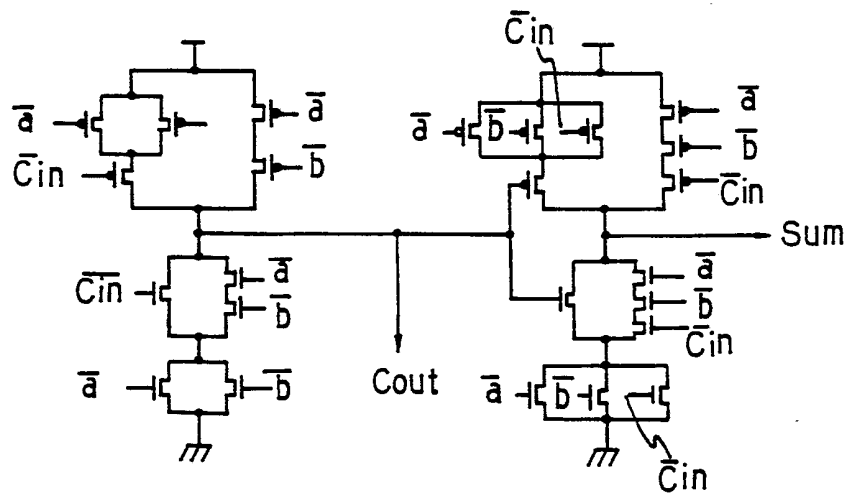
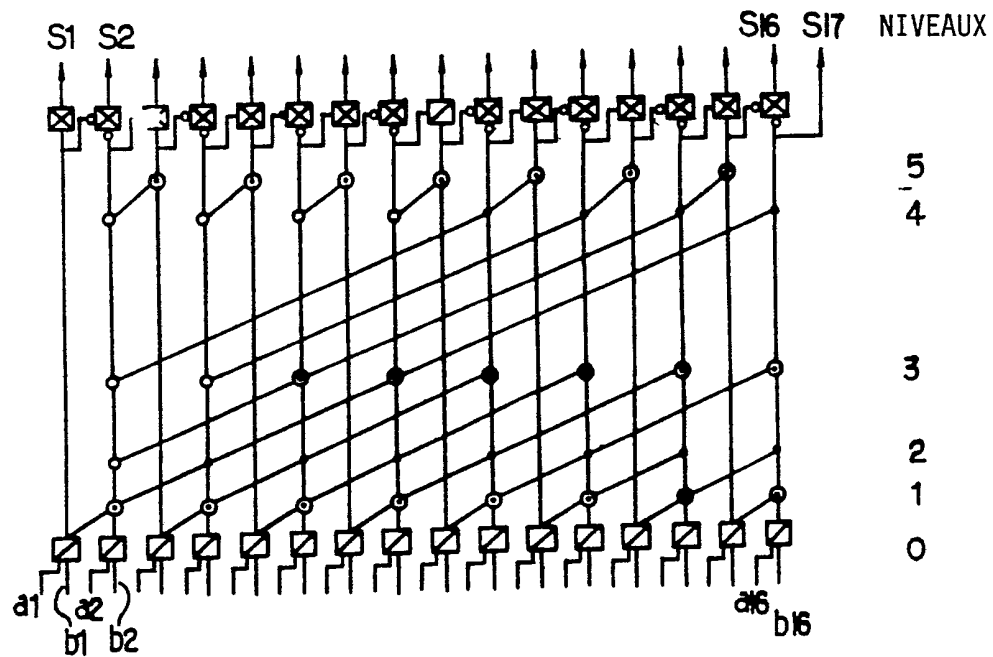
FIG. 6(A)**FIG. 6(B)**

FIG. 7



HPA

