

A1

**DEMANDE
DE BREVET D'INVENTION**

(21)

N° 82 10537

(54)

Micro-ordinateur.

(51)

Classification internationale (Int. Cl. ³). G 06 F 15/02.

(22)

Date de dépôt..... 16 juin 1982.

(33)

(32)

(31)

Priorité revendiquée : Japon, 16 juin 1981, n° 92826/1981.

(41)

Date de la mise à la disposition du
public de la demande..... B.O.P.I. — « Listes » n° 50 du 17-12-1982.

(71)

Déposant : Société dite : SONY CORPORATION, résidant au Japon.

(72)

Invention de : Joji Fukuda et Yoshihiko Matsumoto.

(73)

Titulaire : *Idem* (71)

(74)

Mandataire : Cabinet Bert, de Keravenant et Herrburger,
115, bd Haussmann, 75008 Paris.

" Micro-ordinateur ".

La présente invention concerne un micro-ordinateur et notamment un micro-ordinateur qui comporte un
5 affichage à tube cathodique.

Récemment, les micro-ordinateurs de table se sont développés dans une très large mesure. De tels micro-ordinateurs utilisent généralement une unité centrale de traitement (CPU) à 8 bits, avec des adresses à 16 bits de
10 façon que l'unité CPU puisse accéder directement à une zone mémoire à 64K positions c'est-à-dire entre les adresses hexadécimales 0000H jusqu'à FFFFH, chaque position contenant une donnée à 8 bits (c'est-à-dire un octet). Ainsi dans un ordinateur domestique du type ci-dessus qui utilise un
15 microprocesseur à 8 bits, on peut avoir 32K de positions dans la zone-mémoire, par exemple comme zone de mémoire morte (ROM) pour enregistrer un programme de commande et/ou un interpréteur BASIC, les autres parties d'adresses ou de mémoire parmi les 32K positions pouvant servir de zones de
20 mémoire vive (RAM)

Toutefois lorsqu'on utilise un micro-ordinateur avec un dispositif d'affichage ou de contrôle à tube cathodique (CRT), il faut avoir une zone de mémoire vive RAM vidéo. Par exemple pour un affichage vidéo ou graphique de
25 640 x 400 points, un bit étant attribué à un point, il faut une mémoire vive RAM, vidéo de 32K octets ou moins. Il en résulte qu'il y a peu ou pas de zones de mémoire vive RAM

pour la programmation par l'utilisateur. Pour étendre la zone de mémoire et éviter de tels inconvénients, on a proposé de prévoir plusieurs ensembles de mémoires qui sont reliés sélectivement au microprocesseur CPU sous la commande du programme du système. Toutefois comme la commutation des différents ensembles de mémoires doit se faire en fonction du programme, cette commutation est complexe et la vitesse de traitement du programme est réduite. De plus, l'établissement d'un tel programme est une opération relativement complexe puisqu'il faut faire le travail avec une attention et un soin extrêmes pour éviter les erreurs.

La présente invention a pour but de créer un micro-ordinateur remédiant aux inconvénients des solutions de l'art antérieur, notamment un micro-ordinateur de table destiné à être combiné à un affichage sur tube cathodique, et ayant une zone de mémoire-tampon vidéo pour l'affichage cathodique qui est intégré dans une zone d'adresses entrée/sortie du micro-ordinateur.

L'invention a également pour but de créer un micro-ordinateur dans lequel la zone des adresses directement accessibles par l'utilisateur pour la programmation ne soit pas diminuée, en attribuant une zone de mémoire-tampon vidéo à une zone d'adresses entrée/sortie du micro-ordinateur ou une zone de mémoire-tampon vidéo pour l'affichage cathodique commandé par les instructions entrée/sortie du microprocesseur CPU.

A cet effet, l'invention concerne un micro-ordinateur qui comporte un moyen de traitement central fonctionnant avec des données de n bits et des informations d'adresses de m bits, un bus, une mémoire morte pour enregistrer un programme de commande et qui est reliée à l'unité centrale de traitement par le bus, une première mémoire vive comme zone de travail reliée au moyen de traitement central par le bus, une seconde mémoire vive, distincte pour l'affichage vidéo reliée au moyen de traitement central par le bus

et destinée à être accédée par des instructions entrée/sortie du moyen de traitement central.

La présente invention sera décrite plus en détail à l'aide des dessins annexés, dans lesquels :

5 - les figures 1A et 1B sont des schémas servant à expliquer le fonctionnement de l'unité centrale de traitement du micro-ordinateur selon l'invention.

 - la figure 2 est un schéma-bloc d'un micro-ordinateur correspondant à un mode de réalisation de l'in-
10 vention.

 - les figures 3A et 3B sont des schémas servant à expliquer les attributions des adresses de mémoire du micro-ordinateur selon la figure 2.

 - les figures 4A-4D sont des schémas servant à
15 expliquer le branchement entre l'unité centrale de traitement et la mémoire-tampon vidéo selon l'invention.

DESCRIPTION DETAILLEE D'UN MODE DE REALISATION PREFERENTIEL:

Selon les dessins et notamment la figure 2, un micro-ordinateur selon un mode de réalisation de l'invention
20 comprend une unité centrale de traitement (CPU) 1 qui peut par exemple être le microprocesseur Z80A de Zilog (marque) ou les microprocesseurs NSC-800 de National Semiconductor (marque). Ci-après le microprocesseur CPU 1 sera le micro-processeur Z80A qui servira à l'illustration de l'invention.
25 Le micro-ordinateur selon l'invention comporte également une mémoire morte ROM 2 qui enregistre un programme de commande et un programme interpréteur BASIC, et qui contient par exemple 32K positions d'adresses à 8 bits allant de l'adresse 0000H jusqu'à l'adresse 7FFFH comme représenté à la figure
30 3A. Le micro-ordinateur comporte également une mémoire vive RAM 3 qui permet d'inscription du programme de l'utilisateur et qui constitue également une zone de travail pour le microprocesseur CPU 1. Comme représenté à la figure 3B, la mémoire vive RAM 3 contient également 32K positions d'adres-
35 ses à 8 bits allant de l'adresse 8000H jusqu'à l'adresse

FFFFH. Il est à remarquer que les numéros des positions d'adresses à 8 bits sont uniquement donnés à titre d'exemple et l'invention n'est pas limitée à ces cas particuliers. Un bus de données 4 à 8 bits, un bus d'adresses inférieures à 8 bits, 5L et un bus d'adresses supérieures à 8 bits 5H sont reliés aux bornes de données D_0-D_7 , aux bornes d'adresses A_0-A_7 et aux bornes d'adresses A_8-A_{15} respectives du microprocesseur CPU 1 de la mémoire morte ROM 2 et de la mémoire vive RAM 3 pour l'échange des informations.

10 Pour commander la lecture de l'information de la mémoire morte ROM 2 et de la mémoire vive RAM 3, le microprocesseur CPU 1 fournit un signal de demande de mémoire $\overline{MREQ}$ et/ou un signal de lecture $\overline{RD}$ aux entrées respectives de la porte OU 6 pour dériver un signal de mémoire $\overline{MEMR}$ qui
15 est fourni aux bornes de lecture respectives $\overline{R}$ de chacune des mémoires ROM 2 et RAM 3. De la même manière, pour effectuer une opération d'inscription dans la mémoire RAM 3, un signal $\overline{WR}$ est généré par le microprocesseur CPU 1 et un signal d'inscription $\overline{WR}$ et/ou le signal de demande de mé-
20 moire $\overline{MREQ}$ sont fournis aux entrées respectives de la porte OU 7. Ce dernier circuit donne un signal d'inscription de mémoire $\overline{MEMW}$ qui est fourni à la borne d'inscription $\overline{W}$ de la mémoire RAM 3.

Dans l'ordinateur selon l'invention comme re-
25 présenté à la figure 2, on a un maximum de 256 ports I/O (entrée/sortie) externes 11 qui peuvent être reliés au microprocesseur CPU 1, chaque port étant repéré par un numéro de port n compris entre 00H et FFH. On peut toutefois avoir un nombre de ports I/O, 11 inférieur à 256. Par exem-
30 ple, on peut avoir les ports numérotés de 80H jusqu'à FFH. Un ensemble de dispositifs I/O (entrée/sortie) externes tels qu'un clavier 21 et une cassette à bande magnétique 22 peuvent être reliés à chaque port I/O 11 avec un maximum de 256 dispositifs externes I/O pour chaque port. Pour facili-
35 ter la compréhension de l'invention, un seul port I/O 11

représenté à la figure 2 sera décrit ci-après. Le port I/O 11 se compose des bornes de données D_0-D_7 reliées au bus de données 4 et les bornes d'adresses A_0-A_7 reliées au bus d'adresses inférieures 5L. De la même manière, comme indiqué précédemment pour les mémoires ROM 2 et RAM 3, le microprocesseur CPU 1 commande la lecture et l'inscription d'une information par le port I/O 11. Ainsi, le microprocesseur CPU 11 génère un signal de demande I/O (entrée/sortie) $\overline{IORQ}$ et le signal de demande I/O et/ou le signal de lecture $\overline{RD}$ sont fournis aux entrées respectives de la porte OU 8 qui fournit à son tour un signal de lecture I/O (entrée/sortie) $\overline{IOR}$ à la borne de lecture $\overline{R}$ du port I/O 11. De la même manière, le signal de demande I/O $\overline{IORQ}$ et/ou le signal d'inscription $\overline{WR}$ sont fournis par le microprocesseur CPU 1 aux entrées respectives d'une porte OU 9 qui à son tour fournit un signal d'inscription I/O, $\overline{IOW}$ à une borne d'inscription $\overline{W}$ du port I/O 11. La lecture et l'inscription d'une information entre le port I/O 11 et le microprocesseur 1 se font de cette façon.

Uniquement à titre d'exemple, on décrira ci-après les instructions de travail d'un microprocesseur Z80A pour l'échange des données entre un port I/O, 11 externe et le microprocesseur CPU 1 (et par conséquence, la mémoire RAM 3). On remarque d'abord que le microprocesseur Z80A comporte au moins A, B, C, D, E, H et L registres généraux et le transfert des données à 8 bits entre un port I/O 11 externe et un ou plusieurs de ces registres se fait par le bus de données 4. L'information d'adresse correspondante est transférée par le bus d'adresses à 16 bits formé du bus d'adresses supérieures à 8 bits, 5H et du bus d'adresses inférieures à 8 bits, 5L. On peut en particulier utiliser les instructions I/O suivantes :

I-1 IN A, n

Cette instruction transfère la donnée à 8 bits

d'un port d'entrée portant la référence n (n compris entre 0 et 255) jusqu'au registre A du microprocesseur CPU.

I-A OUT n, A

- 5 Cette instruction transfère la donnée à 8 bits du registre A du microprocesseur à un port de sortie désigné par le numéro de port n. Il est à remarquer qu'avec ses instructions la donnée à 8 bits du registre A apparaît à la fois sur les bornes de données D₀-D₇ et sur les bornes d'adresses A₈-A₁₅.
 10 Dans ces conditions, les bornes d'adresses inférieures à 8 bits A₀-A₇ reçoivent l'information d'adresses et indique le numéro de port n comme représenté à la figure 1A.

II-1 IN r, (C)

- 15 Cette instruction transfère la donnée sur un port (identifié par le numéro de port n) désigné par la paire de registres BC à un registre r, le registre r étant l'un des registres A, B, C, D, E, H, L.

II-A OUT (C), r

- 20 Cette instruction transfère les données du registre r au port (identifié par le numéro de port n) désigné par la paire de registres BC. A la figure 1B, la donnée correspondant au registre r apparaît sur les bornes de données D₀-D₇ ; le registre C contient l'information des bornes d'adresses A₀-A₇ correspondant au numéro de port n et le
 25 registre B contient l'information des bornes d'adresses A₈-A₁₅ correspondant au dispositif I/O (entrée/sortie) relié au port désigné. Comme on a 8 bits d'informations dans le registre C, on peut brancher un maximum de 256 dispositifs
 30 I/O (c'est-à-dire entre 0 et 255 dispositifs) sur chaque port comme cela a été indiqué.

Il découle clairement de l'exposé ci-dessus que les instructions de transfert de bloc suivantes sont également utilisées dans le microprocesseur CPU 1 :

- 35 III-1 INIR, INDR

Pour ces instructions, un ensemble d'octets de données c'est-à-dire des blocs de données peut être transféré d'un port n à la mémoire principale. Dans ce cas, la paire de registres BC est utilisée pour déterminer le numéro de port (registre C) et le nombre d'octets à transférer (registre B). Le bloc de données est transféré à une position de mémoire dont l'adresse est déterminée par la paire de registres HL. Par exemple, la position de la dernière adresse à laquelle la donnée doit être transférée est stockée dans la paire de registres HL.

Le registre B est alors utilisé comme compteur; ce registre décompte jusqu'à zéro. En particulier, la valeur contenue dans le registre B est décrémentée en permanence d'une unité et au cours de chaque décrément d'une unité, il y a transfert d'un octet du bloc. Lorsque la grandeur enregistrée dans le registre B est égale à zéro, tous les octets du bloc de données ont été transférés vers le port I/O respectif désigné par le registre C.

III-2 OTIR, OTDR

Pour ces instructions, on peut transférer un bloc de données de la mémoire principale à un port I/O désigné par le registre C. La paire de registres HL et le registre B sont utilisés de la même manière que celle décrite ci-dessus.

A titre d'exemple des instructions ci-dessus, on peut utiliser le programme suivant pour effectuer ce transfert :

```

LD      HL, 08FFH
LD      BC, FF03H
OTDR

```

A l'aide de ce programme, la dernière adresse de la mémoire principale à laquelle est enregistrée la donnée est chargée dans la paire de registres HL par l'instruction de chargement LD c'est-à-dire la dernière adresse

08FFH. Le numéro de port n est chargé dans le registre C c'est-à-dire 03H et le nombre d'octets qu'il faut transférer est chargé dans le registre B c'est-à-dire FFH. La valeur chargée dans le registre B est alors décrémentée en continu
 5 jusqu'à ce que cette valeur soit égale à zéro ; pendant chaque décrément d'une unité, un octet du bloc de données situé aux adresses 0800H ... 08FFH de la mémoire principale est transféré au port désigné par le numéro de port 03H. Lorsque la grandeur enregistrée dans le registre B est égale à
 10 zéro, tous les octets du bloc de données sont transférés.

Selon une caractéristique de l'invention, il est prévu une mémoire vive vidéo RAM 12, distincte comme mémoire-tampon utilisée dans l'affichage des résultats traités et, comme représenté à la figure 3B, il lui est attribué
 15 32K adresses de mémoire correspondant aux adresses 0000H jusqu'à 7FFFH (exemple). Pour faciliter le transfert des données entre la mémoire vive vidéo RAM 12 et le microprocesseur Z80A (figure 2), les bornes d'adresses inférieures à 8 bits A_0-A_7 de la mémoire vidéo RAM 12 sont reliées au
 20 bus d'adresses supérieures 5H correspondant aux bornes d'adresses supérieures à 8 bits A_8-A_{15} du microprocesseur CPU 1 de la mémoire morte ROM 2 et de la mémoire vive RAM 3. De la même manière, les bornes d'adresses supérieures à 8 bits A_8-A_{15} de la mémoire vidéo RAM 12 sont reliées au bus
 25 d'adresses inférieures 5L correspondant aux bornes d'adresses inférieures, à 8 bits A_0-A_7 du microprocesseur CPU 1 de la mémoire morte ROM 2 et de la mémoire vive RAM 3. En outre, un signal de lecture I/O, $\overline{IOR}$ et un signal d'inscription I/O $\overline{IOW}$ provenant des portes OU 8 et 9 respectives sont
 30 fournis à une borne de lecture $\overline{R}$ et à une borne d'inscription $\overline{W}$ respectives de la mémoire vidéo RAM 12 pour commander les opérations de lecture et d'inscription. Les bornes de données D_0-D_7 de la mémoire vidéo RAM 12 sont également reliées au bus de données 4. Pour afficher le contenu de la
 35 mémoire vive vidéo RAM 12, il est prévu un écran cathodique

de contrôle 13 relié à la mémoire vive vidéo RAM 12 pour lire séquentiellement les données de la mémoire vidéo RAM 12 et fourni ces données au dispositif d'affichage à tube cathodique 23.

5 Dans le micro-ordinateur selon l'invention, représenté à la figure 2, les mémoires morte ROM 2 et vive RAM 3 sont associées aux zones de commande de mémoire respectives du microprocesseur CPU 1 alors que la mémoire vive vidéo RAM 12 est associée à une zone I/O (entrée/sortie) du
10 microprocesseur. De cette façon, la mémoire vive vidéo RAM 12 peut être adressée par la paire de registres BC du microprocesseur CPU 1 en réponse aux instructions I/O comme examiné précédemment, par exemple pour les instructions II-1 et II-2. Ainsi, par suite de cette attribution pour les mé-
15 moires ROM 2 et RAM 3 et RAM 12, la zone de travail ou zone programmable utilisable dans la mémoire RAM 3 n'est pas réduite par la zone de mémoire vive vidéo RAM, ce qui permet à l'utilisateur de disposer d'une plus grande zone de programme. De plus comme la zone de la mémoire vive vidéo RAM
20 12 peut avoir jusqu'à 32K octets, on peut réaliser une fonction graphique ayant une résolution élevée correspondant par exemple à 640 x 400 points. Il est à remarquer que les instructions ou ordres fournis par le micro-ordinateur CPU 1 aux mémoires ROM 2 et RAM 3 peuvent être analogues à ceux
25 utilisés dans un micro-ordinateur classique et les instructions I/O ou ordres I-1, I-2, II-1, II-2, III-1 et III-2 peuvent facilement être utilisés dans la mémoire vive vidéo RAM 12. En d'autres termes, il est important d'avoir une mémoire vidéo RAM 12, distincte qui est accédée par les
30 instructions I/O du microprocesseur CPU 1. En conséquence, la mémoire vive vidéo RAM 12 peut être considérée comme un autre port I/O ou un autre dispositif I/O.

Il est également à remarquer que comme précédemment examiné, les connexions entre les bornes d'adresses
35 inférieures à 8 bits A_0-A_7 et les bornes d'adresses supé-

rieures à 8 bits A_8-A_{15} de la mémoire vive vidéo RAM 12 sont inversées ou sont échangées par rapport à celles du microprocesseur CPU 1 et des mémoires ROM 2 et RAM 3 comme représenté aux figures 4A-4C au moins lorsque le micropro-

5 cesseur CPU 1 est un microprocesseur Z80A. En conséquence, le transfert des blocs d'une unité de 256 octets peut se faire entre la mémoire vive RAM 3 et la mémoire vidéo RAM 12 en réponse aux instructions I/O, III-1 et III-2. Par exemple, le programme OTDR ci-dessus peut servir à réaliser

10 ce transfert. Dans ces conditions, la valeur enregistrée dans le registre C désigne la mémoire vive vidéo RAM 12. Avec un tel programme, on peut facilement transférer directement les données de la mémoire vive RAM 3 à la mémoire vive vidéo RAM 12 sans aucune mémoire-tampon ou dispositif ana-

15 logue. Comme représenté à la figure 4D, les adresses inférieures à 8 bits A_0-A_7 du microprocesseur CPU 1 enregistrées dans le registre C correspondent aux positions d'adresses respectives du port I/O 11 ou de la mémoire vidéo RAM 12 alors que les instructions I/O I-1, I-2, II-1, II-2, III-1,

20 III-2 peuvent servir dans la mémoire vive vidéo 12 de façon analogue à un micro-ordinateur classique.

Il est à remarquer que dans la présente invention, il est inutile de d'abord choisir un ensemble de mémoires puis accéder à cet ensemble. La vitesse d'exécution

25 du programme n'est pas diminuée et il n'est pas nécessaire que le programmeur prépare un programme complexe.

REVENDICATIONS

1°) Micro-ordinateur comportant une unité centrale de traitement CPU (1) avec des données à n bits et des adresses à m bits, un bus (4), une mémoire morte ROM (2),
5 pour enregistrer un programme de commande, cette mémoire étant également reliée à l'unité central de traitement CPU (1) par le bus (4), une première mémoire vive RAM (3) comme zone de travail reliée à l'unité centrale de traitement CPU (1) par le bus (4) et une seconde mémoire vive distincte
10 RAM (12) pour l'affichage vidéo (13, 23), cette mémoire étant reliée à l'unité centrale de traitement CPU (1) par le bus, et cette mémoire étant destinée à être accédée par les instructions I/O (entrée/sortie) de l'unité centrale de traitement.

15 2°) Micro-ordinateur selon la revendication 1, caractérisé en ce que n est égal à huit et m est égal à seize.

3°) Micro-ordinateur selon la revendication 2, caractérisé en ce que l'unité centrale de traitement CPU
20 (1) est le microprocesseur Z80A.

4°) Micro-ordinateur selon la revendication 3, caractérisé en ce que le bus comporte un bus d'adresses et l'unité centrale de traitement CPU (1) comporte des bornes d'adresses supérieures à 8 bits (A_8-A_{15}) et des bornes
25 d'adresses inférieures à 8 bits (A_0-A_7) et la seconde mémoire vive RAM (12) comporte des bornes d'adresses supérieures à 8 bits reliées aux bornes d'adresses inférieures à 8 bits de l'unité centrale de traitement CPU (1) par l'intermédiaire du bus et les bornes d'adresses inférieures à
30 8 bits sont reliées aux bornes d'adresses supérieures à 8 bits de l'unité centrale de traitement (1) par le bus d'adresses.

5°) Micro-ordinateur selon la revendication 4, caractérisé en ce que le bus d'adresses comporte un bus
35 d'adresses supérieures à 8 bits (5H) pour relier les bornes

d'adresses supérieures à 8 bits de l'unité centrale de traitement CPU (1) aux bornes d'adresses inférieures à 8 bits de la seconde mémoire vive RAM (12) et un bus d'adresses inférieures (5L) à 8 bits pour relier les bornes d'adresses inférieures à 8 bits (A_0-A_7) de l'unité centrale de traitement (1) aux bornes d'adresses supérieures à 8 bits de la seconde mémoire vive RAM 12.

6°) Micro-ordinateur selon la revendication 1, caractérisé en ce que le bus comporte un bus de données et l'unité centrale de traitement (1) comporte des bornes de données et la seconde mémoire vive RAM (12) comporte des bornes de données reliées aux bornes de données de l'unité centrale de traitement CPU (1) par le bus de données.

7°) Micro-ordinateur selon la revendication 1, caractérisé en ce qu'il comporte un moyen d'affichage pour afficher une image vidéo en réponse aux données vidéo enregistrées dans la seconde mémoire vive RAM (12).

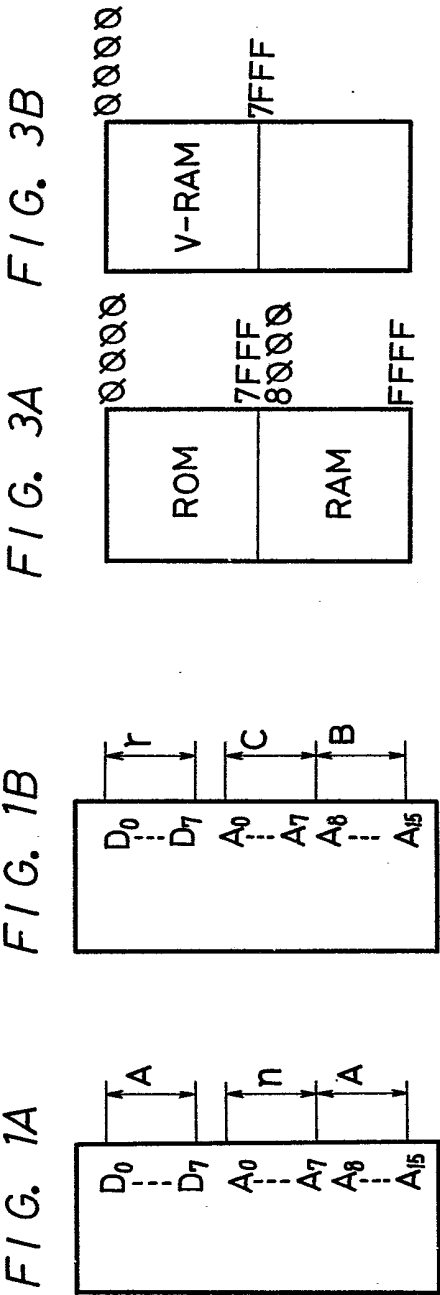


FIG. 3A

FIG. 3B

