

圖 1

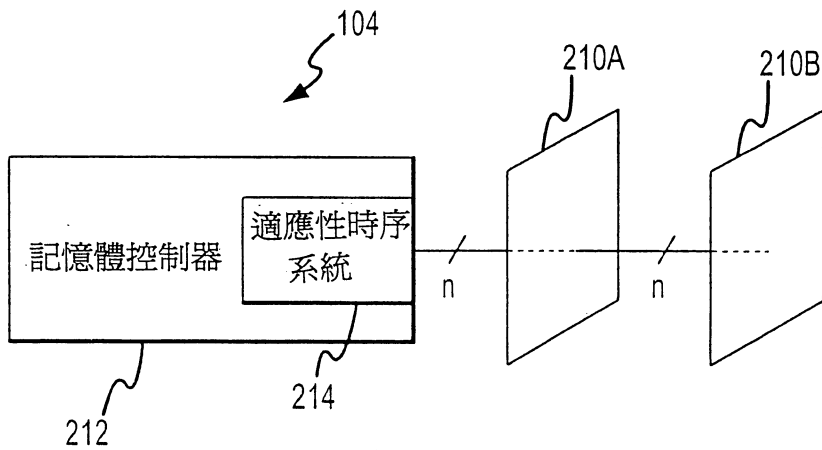


圖 2

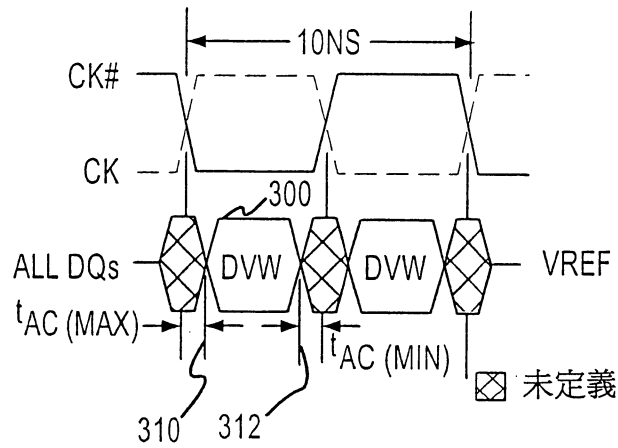


圖 3

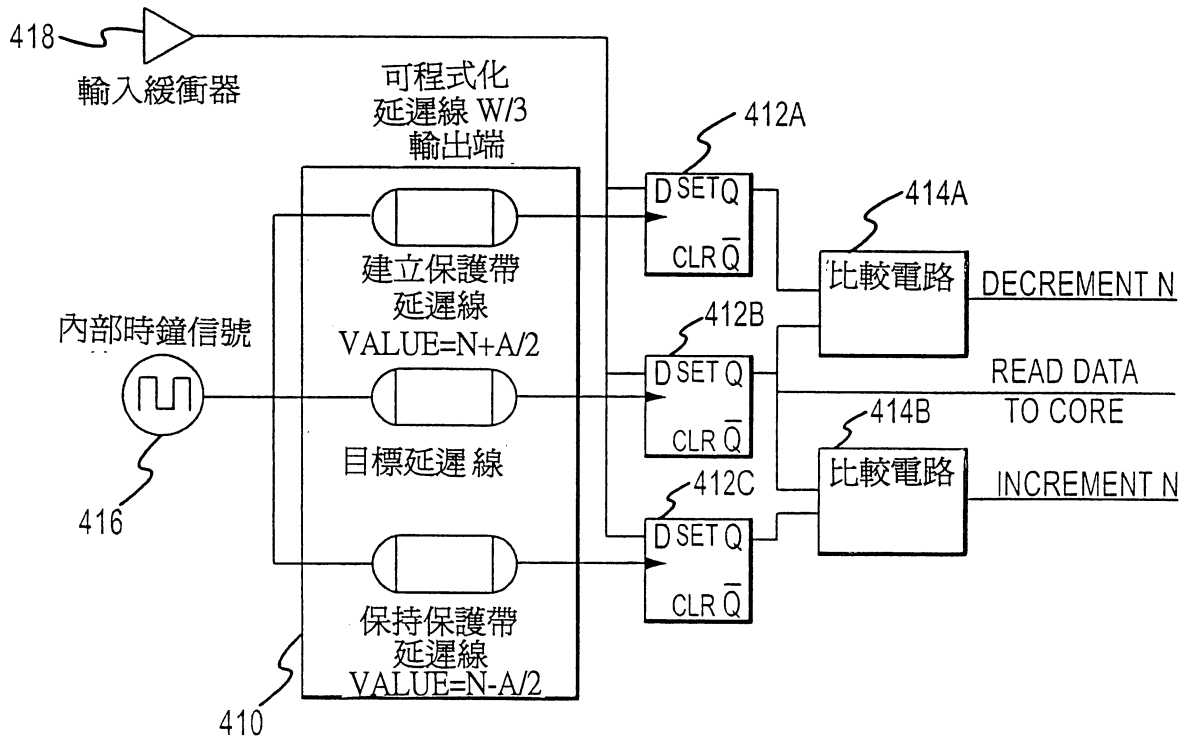


圖 4

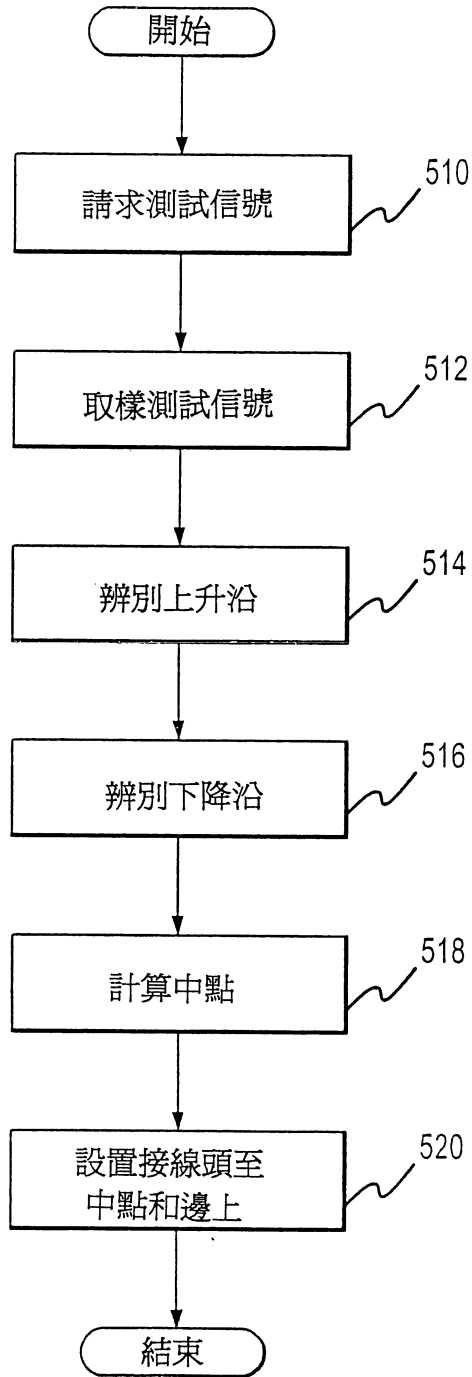


圖 5

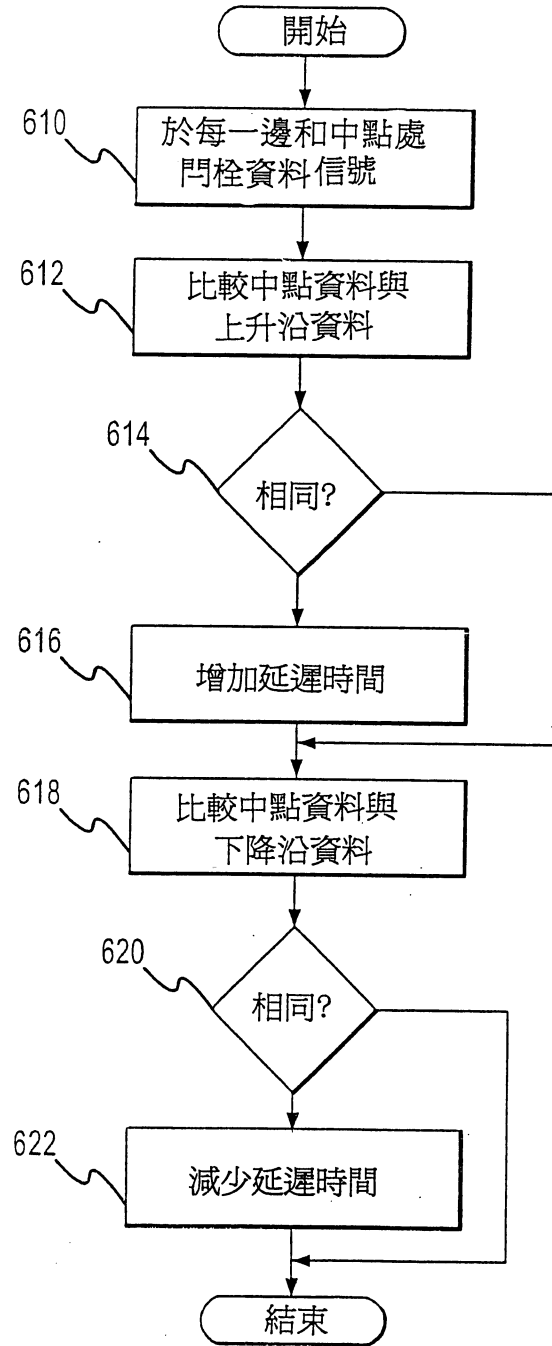


圖 6

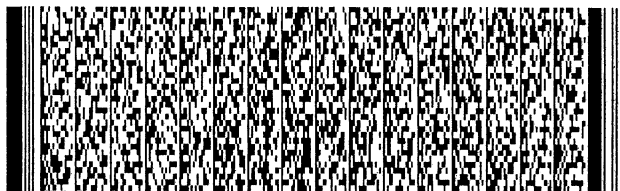


申請日期： 92. 1. 30	IPC分類
申請案號： 92102145	G06F 13/6

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	資料傳輸之方法及裝置
	英文	METHOD AND APPARATUS FOR DATA TRANSFER
二、 發明人 (共1人)	姓名 (中文)	1. 拉伯治, 保羅 A.
	姓名 (英文)	1. LaBERGE, Paul A.
	國籍 (中英文)	1. 美國 US
	住居所 (中文)	1. 美國明尼蘇達州55126岸景市山溪路5772號
	住居所 (英文)	1. 5772 Ridge Creek Road Ct., Shoreview, Minnesota 55126 USA
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 美光科技股份有限公司
	名稱或姓名 (英文)	1. Micron Technology, Inc.
	國籍 (中英文)	1. 美國 US
	住居所 (營業所) (中文)	1. 美國愛達荷州83706-9632樹城南聯邦道8000號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. 8000 South Federal Way, Boise, Idaho 83706-9632, US
	代表人 (中文)	1. 麥克 林區
	代表人 (英文)	1. Michael L. LYNCH



一、本案已向

國家(地區)申請專利	申請日期	案號	主張專利法第二十四條第一項優先權
美國 US	2002/02/11	10/073,611	有

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

熟習該項技術者易於獲得,不須寄存。

五、發明說明 (1)

一、【發明所屬之技術領域】

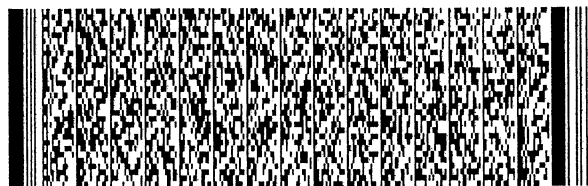
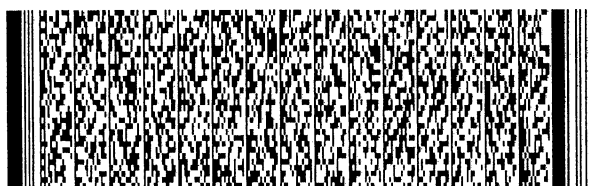
本發明係關於一種記憶體裝置、系統及其方法，且特別是關於一種記憶體存取之時序。

二、【先前技術】

許多電子系統與每個電腦均包括一個存儲記憶體。以暫時存儲而言，許多系統使用隨機存取記憶體 (RAM)，以求高速存取和低成本。幾種類型的隨機存取記憶體 (RAM) 和其他記憶體裝置，已隨著電腦和其他電子系統的發展而得到進一步的發展。

使用記憶體存取與檢索之資訊，即是藉由資料源元件將資料致能於複數個資料線上而獲得。在同步系統中，資料輸出與擷取以共用之自由運行系統時鐘作為參考。然而，當輸出存取時間與射程時間 (flight time) 之總量接近位元時間 (bit time，資料率的倒數) 時，即可達到此系統的最大資料率。雖然產生最初資料發送或後期資料擷取的延遲時鐘使得資料率有所增長，但此方法卻未解決相對於任何固定時鐘訊號之資料有效視窗 (DVM, data eye)，例如由於溫度、電壓或負載上的變化，所引發的資料有效視窗的移動。

許多記憶體，如各種雙數據率同步動態RAM (DDR SDRAM)，係與資料選通脈衝 (data strobe) 一起運行，以

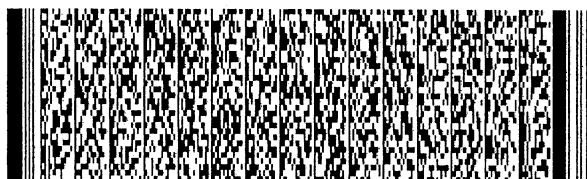


五、發明說明 (2)

在資料線上的資料最可能有效之時，進行存取記憶體。複數個資料選通脈衝係為複數個非自由運行的信號，此非自由運行信號由驅動此複數個資料信號的裝置，如寫操作的記憶體控制器、讀操作的記憶體，進行驅動。讀操作中，複數個資料選通脈衝信號與複數個資料信號相互成邊緣對齊(edge-aligned)，使得所有的資料和資料選通脈衝藉由記憶體且使用同樣的內部時鐘信號，而得以致能。因此，複數個資料信號和複數個選通脈衝信號標稱上係為同時產生。

然而，一般的記憶體並未在資料有效視窗之當中部分產生資料選通脈衝。因此，讀取記憶體的外部系統典型地會延遲讀取複數條資料線，直至有效資料呈現在資料線上。記憶體控制器延遲所接收的選通脈衝至資料有效窗口的中心。許多記憶體系統，藉使用延遲鎖相(DDL)電路與存取記憶體同步進行，以產生緊隨資料選通脈衝之後的合適延遲。然而，鎖相電路耗費了早已擁擠的積體電路之區域。使用選通脈衝與延遲鎖相電路在測試元件品質上出現困難。而且，許多系統使用記憶體控制系統，控制幾個互不相同且互相獨立的記憶體模組。

此外，為了於每個記憶體模組中插入合適的延遲，記憶體控制器包括每個記憶體模組專用的僕延遲鎖相電路(slave DDL circuits)和控制僕延遲鎖相電路運行的主延



五、發明說明 (3)

遲鎖相電路(master DDL circuits)。每個額外的延遲鎖相電路要占用積體電路中額外的區域，因此會傾向於增大記憶體系統的尺寸，提高其成本、增加電消耗，且使結構複雜。在匯流排上結合一個或多個位元之附加的複數個主鎖相電路電路將使問題惡化。

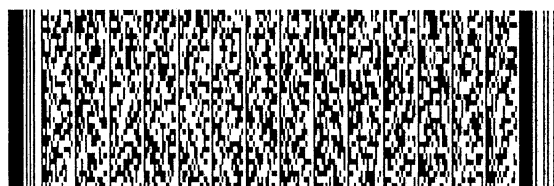
三、【發明內容】

本發明之記憶體系統及其方法包括一記憶體，和控制存取記憶體之適應性時序系統。此適應性時序系統擷取位於資料線之資料有效視窗內的資料。實施例中，此適應性時序系統包括延遲電路，此延遲電路於資料有效視窗之中點處取樣資料信號。此適應性時序系統亦可包括辨識電路，此辨識電路辨識資料有效視窗中的中點是否對應於資料有效視窗中的一個實際中點，且相應地調整此延遲電路。

四、【實施方式】

本發明的目的特別適用於結合使用記憶體元件的電子系統。然而，應該認知到的是，所揭露的描述並非用以限制本發明之使用或應用。相反地，希望能更加清楚地描述本實施例。

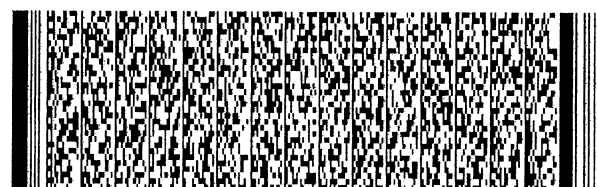
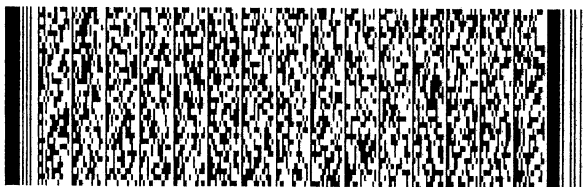
參考圖1，藉由本發明之各方面，電子系統100包括處理器102，記憶體系統104和資料源/資料目的地106。此電



五、發明說明 (4)

子系統100包含一個使用記憶體的系统，如傳統的個人電腦系統。然而，此電子系統100亦可包含任何合適的電子系統，如通信系統、電腦系統、娛樂系統、控制系統、可攜式電子裝置、視聽元件、或工廠控制系統，及各種可依特定系統和環境變化的元件。處理器102一般控制電子系統的操作，且亦可包含合適的處理器或控制器，如英特爾公司 (Intel)、德州儀器公司 (Texas Instrument)，或超微公司 (Advances Micro Devices Microprocessor) 之微處理器。資料源/資料目的地106可包含電子系統100內適合發送/接收資料的元件，其包括傳統的周邊設備，如硬體驅動裝置、光的存儲系統、磁帶存儲系統、印表機、鍵盤、跟蹤設備，或提供類似功能者。資料源/資料目的地106作為例示性元件，主要由一資料源 (如鍵盤或感測器)，一資料目的地 (如顯示器或話筒)，或兩者兼而有之 (如硬體驅動器或收發器) 所組成的元件。

記憶體系統104包含用以存儲資料的存儲系統。此記憶體系統104包含任何合適的記憶體系統，其可供存儲資料，且傳輸記憶體系統104與資料源/資料目的地106或處理器102之間的資料。參考圖2，本發明之記憶體系統104包括一個或一個以上的記憶體模組210A，210B和記憶體控制器212。記憶體模組210可包含任何存儲資料的系統，如傳統的ROM、SRAM、DRAM、SDRAM，或任何其他合適的存儲

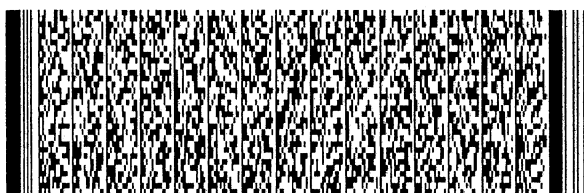


五、發明說明 (5)

系統。本發明之記憶體模組210 包含美光公司(Micron)的 DDR SDRAMs，如Micron MT46V64M4256Mb DDR SDRAMs。

記憶體控制器212控制記憶體模組210之存取，其包含資料的來回傳輸，且亦可進行進一步的功能和操作。資料交換以任何合適的方法或技術，沿n根資料線，於記憶體控制系統104和資料源/資料目的地106之間進行。本實施例之傳統的資料傳輸過程，藉由在資料線之資料有效視窗中擷取資料的方式傳輸資料。例如，參考圖3，在本實施例之源同步系統(source synchronous system)內，於時鐘信號(CK)和互補時鐘信號(CK#)之交叉時致能資料於資料線上。第一周期時間($t_{AC}(MAX)$)經過之後，所有的資料位元才有效(DQs)，以此定義為資料有效視窗300的上升沿310。此複數個資料位元在資料有效視窗300中保持有效，直到下一個時鐘信號交叉以前之第二周期時間($t_{AC}(MIN)$)處，此定義為資料有效視窗300之下降沿。資料有效視窗300的寬度可能改變，例如由於負載、溫度/電壓的變動所導致的。同樣，資料有效視窗300之上升沿310和下降沿312的位置相對於此複數個時鐘信號可能改變。

在另一狀況下，記憶體控制器212控制記憶體模組210之存取操作的時序，以此更正確地擷取資料。在理想的資料擷取狀況中，本發明之記憶體控制器212在資料有效視窗300近似中點處擷取資料。記憶體控制器212更恰當地識



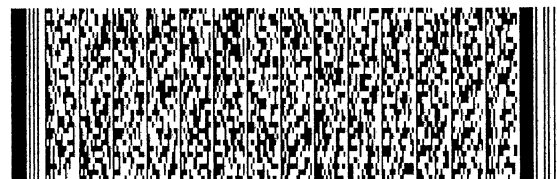
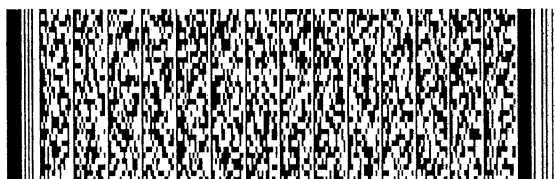
五、發明說明 (6)

別資料有效視窗300在寬度和相對位置的變化。

參考圖2和圖3，本發明之記憶體控制器212包括一適應性時序系統214，其控制記憶體模組210之存取。一般而言，此適應性時序系統214係控制一段期間，此段期間內資料被門栓，以供資料來回傳輸於記憶體模組210。當被致能的資料最可能為有效的時候，適當地控制時序以門栓資料。因此，此適應性時序系統214識別資料信號內資料有效視窗300的位置。此外，適應性時序系統214可追蹤資料有效視窗300內的變化。

資料有效視窗和其特徵上的變化可以任何合適的方式辨識。例如，此適應性時序系統214恰當地識別與跟蹤資料有效視窗300中上升沿310和下降沿312的變化。藉由辨識資料有效視窗300中的上升沿310和下降沿312，且各自改變上升沿310和下降沿312之邊緣位置，資料有效視窗300的中點可被預估，且最佳的存取時間可被調整。而且，藉由大量取樣和追蹤時序信號內的多個點，其他特徵如中點、上升沿310與下降沿312的變化率亦可被追蹤。

此外，記憶體控制器212可對不同的記憶體模組210使用不同的操作特徵。例如，近熱源(heat source)附近的第一模組210A可能溫度上升，且以更快於另一記憶體模組210B的速度改變其資料有效視窗300。記憶體控制器212對

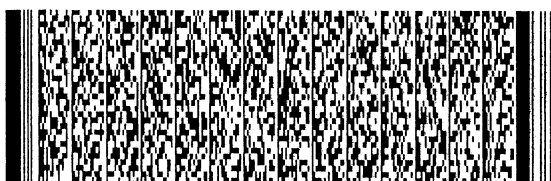


五、發明說明 (7)

於每個模組210A、210B恰當地使用不同的資料有效視窗300之特徵，比如不同的中點和資料有效視窗的沿310、312。而且，記憶體控制器212可包括複數個適應性時序系統214。例如，專用於資料線上每個位元(bit)、半位元組(nibble)、位元組(byte)，可適當地使用多個適應性時序系統214。

為辨識資料有效視窗300之上升沿310和下降沿312，實施例之適應性時序系統214比較資料有效視窗300之標稱上升沿310和標稱下降沿312上的信號值與標稱中點上的信號值。如果適應性時序系統214在資料有效視窗300之近似實際中點處，取樣一觸發信號(toggling signal)，則資料有效視窗300之標稱上升沿310和標稱下降沿312上的取樣資料往往實質等同於近似實際中點處的取樣資料。然而，除上升沿310和下降沿312以外的取樣資料，往往隨資料有效視窗300內取樣資料的不同而有所不同。

參考圖4，本發明之適應性時序系統214包括一延遲電路410、複數個門栓電路412，和至少一個比較電路414。一般而言，延遲電路410藉由時序信號/資料信號在不同的時間致能複數個延遲時鐘信號。門栓電路412接收來自資料源106的時序信號或資料信號，且接收來自延遲電路410的複數個延遲時鐘信號，以在延遲時鐘信號期間門栓資料，且提供此門栓信號至比較電路414和資料目的地106。

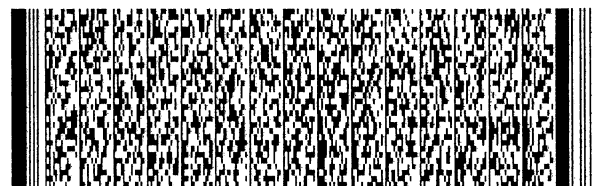
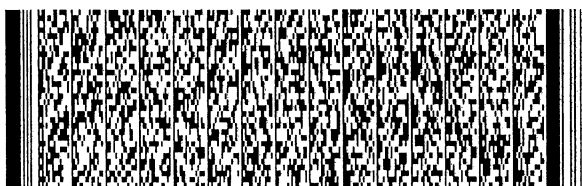


五、發明說明 (8)

比較電路414在不同的時間接收來自門栓電路412取樣之門栓信號，且比較複數個門栓信號以辨別其間的差異，亦可相應調整延遲電路410之延遲時鐘信號的時序。

具體而言，本發明之延遲電路410在不同時間致能複數個信號。延遲電路410可包含在不同時間產生信號的適當系統，如可程式化的多接頭(multi-tap)的延遲線。已程式化之複數個接線頭的延遲，可對應任何適當的間隔和適當大小的資料有效視窗300。例如，延遲電路410可包含一個三接頭的延遲線，此延遲線具有一個中心接線頭，對應於資料有效窗口300之標稱近似中點。其他兩個接線頭適當地分別對應於資料有效視窗300之標稱中點兩邊上的一建立的保護帶(setup guard-band)和一保持的保護帶(hold guard-band)。延遲電路410亦接收一內部的時鐘信號416，例如一一般的自由運行(general free-running)之記憶體控制器212的時鐘信號，此時鐘信號適合以更高於資料信號之頻率操作，以方便資料有效視窗300內時序或資料信號的多次取樣。

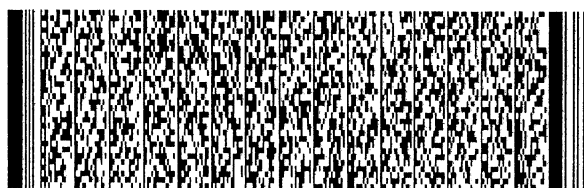
為了識別資料有效視窗300在特徵上的變化與對應於所需之資料有效視窗300的時間間隔，則選擇一個時間間隔。藉由此時間間隔，使保護帶間隔從資料有效視窗300之標稱中點分離。本發明之保護帶，以近似或略微小於資料有效視窗300之期望時間間隔(expected duration)的一



五、發明說明 (9)

半來設置。因此，第一接線頭於資料有效視窗300上升沿310（標稱上升沿）之後立即回應一延遲，且第三接線頭同樣於資料有效視窗300之下降沿312（標稱下降沿）之前立即回應一延遲。每個接線頭的延遲可編程加以調整，以便資料有效視窗300之一個已調中點(adjusted midpoint)移動時作出回應，例如溫度/電壓的變動。

閘栓電路412接收資料源106的資料，且在接收延遲電路410之延遲時鐘信號後，於其輸出端閘栓輸入信號。閘栓電路412可包含任何適當的系統，以便於接收到延遲時鐘信號之時，致能且保留資料。本實施例之延遲電路410之每一輸出端連接一對應的閘栓電路412。每個閘栓電路412包含一組電路，其用以在致能閘栓信號時於輸出端閘栓輸入值。每個閘栓電路412可包含一組具有資料輸入端之電路、一個用於閘栓信號之時鐘輸入端與一個輸出端，例如正反器。資料輸入端連接資料源106，例如透過緩衝器418。本發明之資料源106為記憶體模組210。時鐘輸入連接延遲電路410之對應接線頭的複數個輸出端，且閘栓電路連接比較電路414。中心閘栓電路的輸出端，亦連接資料目的地106。當延遲電路410之不同的接線頭致能其各自的延遲時鐘信號時，且於致能延遲時鐘信號之時，每個閘栓電路412被啟動，以擷取由閘栓電路412接收的輸入資料。因此，每個閘栓電路412以不同的時間擷取自資料源106接收的資料，如時序或資料信號之中點、上升沿310和

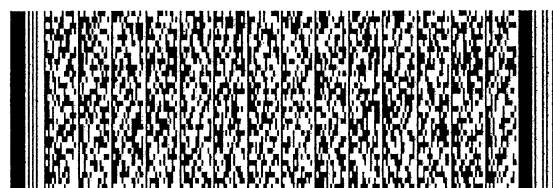
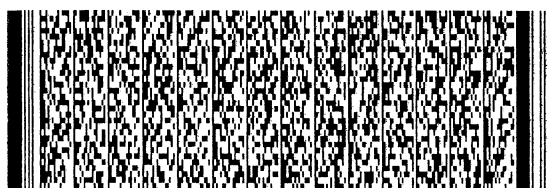


五、發明說明 (10)

下降沿312。

比較電路414自至少兩個閘栓電路412接收閘栓資料，且比較此資料，以產生一輸出信號。此比較電路414包含可供確定信號是否實質相同或不同之任意系統。本實施例之比較電路414包含一傳統的比較電路，此比較電路接收自中心閘栓電路412B的輸入信號和另一閘栓電路412A、412C的輸入信號。比較電路414比較此複數個信號，且確定複數個信號間的差異是否超過所選的最低限度。若是，比較電路414產生第一比較信號（如邏輯高信號）；若否，比較電路414產生第二比較信號（如邏輯低信號）。

記憶體系統104適合以任意適應性方式來回應自比較電路414的信號，以決定是否需要調整，以及如何調整一個或一個以上延遲電路410之接線頭上的複數個延遲。藉由回應此比較電路414的信號，延遲電路410可調整相關於延遲電路410接線頭上的複數個延遲至相對於資料訊號之所需位置。當比較電路414指示閘栓電路412之複數個信號實質相等時，則標稱沿附近的信號（上升沿310或下降沿312）與標稱中點上的信號相匹配。因而，標稱沿上的信號係位於此資料有效視窗300內。假使此複數個信號實質不匹配的，則此標稱沿上的信號係位於資料有效視窗300以外，因而，代表資料有效視窗300內產生變化。如此，不同延遲電路410接線頭中的延遲可加以調整，以移動中



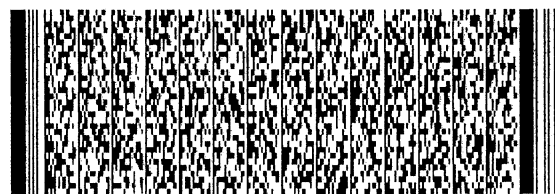
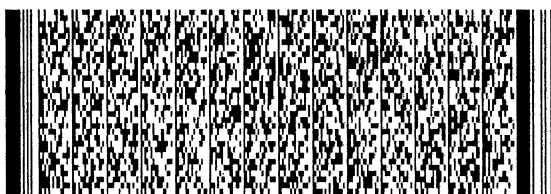
五、發明說明 (11)

心接線頭至資料有效窗口300之近似中點處。

本實施例之記憶體控制器212依適當的方法或運演算法則，調整三個延遲接線頭的延遲。例如，當比較電路414指示此資料有效視窗300已經移動，可變更每個接線頭的延遲，以移位不同接線頭的延遲，進而使標稱近似中點更靠近資料有效視窗300中的實際中點。遠離中心的接線頭之延遲亦可加以調整，以使遠離中心接線頭的標稱近似邊更靠近資料有效窗口300中的實際上升沿310和實際下降沿312。例如，可增加一個或一個以上周期或半個周期的記憶體控制器212時鐘，或從不同接線頭之現有的延遲值中刪減。

延遲電路可以適當的方式調整。例如，可選擇調整延遲的特定技術，以減少雜訊的影響或系統上的其他短期效應。實施例之記憶體控制器可要求自比較電路414送來資料有效視窗300已移動之兩個或兩個以上連續指示。而且，記憶體控制器可送來限定值，使得複數個接線頭的複數個延遲在一特定的時間間隔內只能調整有限次數，或調節量有一定的限制。此限制之類型和值，可根據特定系統或應用的準則加以選擇。

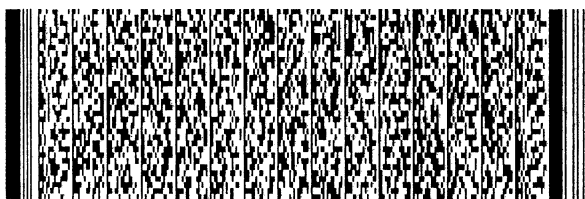
記憶體系統104可於最初時校準適應性時序系統214。校準程序提供標稱中點、標稱上升沿310和標稱下降沿312



五、發明說明 (12)

的初始值。初始值可以適當的方式提供，如使用預先的預設值，或測試資料有效視窗300的資訊。例如，參考圖5，本實施例之校準過程，記憶體控制器212最初自相關的記憶體模組210中請求一已知的時序信號（步驟510）。時序信號可為合適的任意信號，如一預先設定的時序信號，一傳統的脈衝信號，一寫操作和讀操作以產生一已知的信號，或資料信號本身。實施例中，時序信號為二進位元高信號和低信號間交替變換的一觸發信號。

當致能此時序信號時，記憶體控制器212在時序信號的幾個點上取樣時序信號（步驟512），例如使用適應性時序電路。本實施例之記憶體控制器適合在一個或一個以上時序信號的周期內，於幾個點之上方取樣時序信號，以進行掃描此時序信號。此複數個取樣則被加以分析，以辨別此信號有效視窗300的近似上升沿310和近似下降沿312（步驟514，516），且相對於此自由運行的時鐘計算此近似中點。例如，記憶體控制器212可辨別第一個和最後一個取樣資料，此第一和最後一個取樣資料緊隨達此時序信號之已知起始值的一資料選通脈衝。延遲電路410則適當地加以編程，以設置中心接線頭之延遲於資料有效窗口300之近似中點處，而外部接線頭於近似上升沿310和近似下降沿312處（步驟520）。記憶體系統104則以正常的運行處理，使用中心接線頭作為門栓電路信號，以擷取資料。校準過程在任何時候可被重覆，例如以定期的間隔執行一

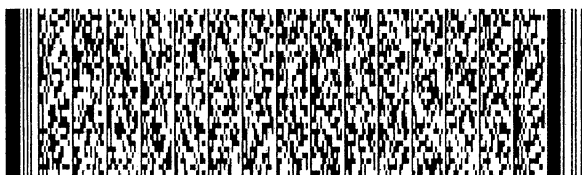


五、發明說明 (13)

次。

記憶體系統104被校準之後，系統可以任一期望的時間加以調整。當記憶體系統104運行時，適應性時序系統214可檢驗資料有效視窗300，以確定是否資料有效視窗300的中點已漂移(drift)。此適應性時序系統214可以任意時間檢驗資料有效視窗，例如連續地進行、以定期的間隔、或計時器截止之時。而且，此適應性時序系統214在漂移事件中可調整標稱中點、標稱上升沿310和標稱下降沿312。如果記憶體控制器212與複數個存儲模組210或部件同時運行時，則適應性時序系統214對每個記憶體模組210A，210B或記憶體部件進行調整處理。

例如，當記憶體模組210溫度上升時，此資料有效視窗300可能移動。存儲系統104偶爾檢查資料有效視窗300，例如依據系統的溫度/電壓時間常數。例如，記憶體控制器212提供校準(CALIBRATE)指令至記憶體，以不長於此溫度/電壓時間常數的定期間隔，請求此時序信號。另一實施例之記憶體控制器212可包括一時間常數計時器，以觸發此調整過程。如果此記憶體控制器212於正常的運行中讀取一觸發態樣(如使用資料信號)，足夠檢驗資料有效視窗300中的特徵，則此時間常數計時器可被重置。如果時間常數計時器截止(expires)，則可啟動調整過程。因此，適應性時序系統214可連續地在讀取操作時取



五、發明說明 (14)

樣複數個選通脈衝，且當讀操作未發生時，隨機更新此延遲電路410。因此，僅當足夠的態樣還未被收到，且時間常數計時器已截止時，才進行完整的調整過程。

參考圖6，本實施例之記憶體控制器212藉由接收此時序信號的方式進行定時調整過程，其中此時序信號亦可為任何適合可供辨別資料有效視窗300內移位元的信號，例如由記憶體模組210產生的一預設的信號、傳統的選通脈衝信號、或資料信號本身。當接收到此時序信號時，延遲電路410之複數個接線頭產生複數個信號，此複數個信號促使門栓電路412以不同的時間擷取如標稱上升沿310、標稱下降沿312和中點處的信號（步驟610）。門栓電路412提供複數個輸出信號至比較電路414，以此比較此複數個信號，且進一步確定是否此資料信號的上升沿310和下降沿312已移位。例如，比較電路414A比較此上升沿310與中點（步驟612）。如果資料係為相同（步驟614），則此標稱上升沿310還位於資料有效視窗300內，且不必進行調整。如果資料係為不相同，則資料有效視窗300已移動。因此，此標稱上升沿310、標稱下降沿312和中點可增加一選定量（步驟616）、或取決於任一所選定的準則或運演算法則。

同樣，比較電路414B比較上升沿312的資料與中點的資料（步驟618）。如果資料係為相同（步驟620），則標

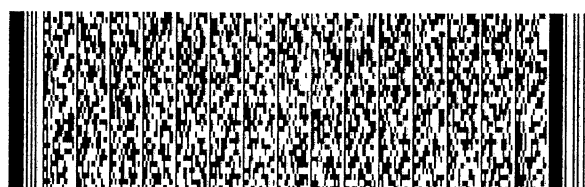
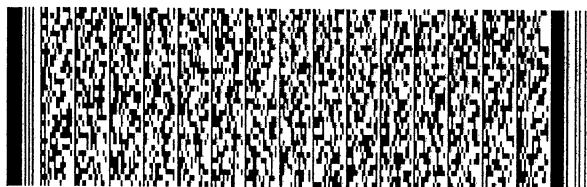


五、發明說明 (15)

稱上升沿312還位於資料有效視窗300內，且不必作調整。如果資料係為不相同，則資料有效視窗300已經移動。因此，標稱上升沿310、標稱下降沿312和中點可減少一選定量（步驟622）、或取決於任一選定的準則或運演算法則。因此，延遲電路410適當地加以編程，以移位複數個接線頭的不同延遲，使得中心接線頭被重新定位至一已調中點和已調之上升沿310和下降沿312。

上述是將本實施例結合延遲電路410加以描述，而其中延遲電路410具有三個接線頭（tap），一個為資料有效視窗300的標稱中點，兩個係為資料有效視窗300的標稱上升沿和標稱下降沿。然而，亦提供複數個額外接線頭，以收集有關此資料信號之其他部分的資料。例如，額外設計複數個接線頭以介於資料有效視窗300之中點和資料有效視窗300的沿310、312之間，且同樣地可連接比較電路414。門栓電路412連接複數個額外接線頭，且此門栓電路412收集的資料，除可辨識資料有效視窗300之變化外，亦可用於辨別資料有效視窗300之變化率。

本發明之特徵，其他優點及問題之解決方案均以具體實施例加以描述。然而，其他類似之特徵、優點、問題之解決方案亦未作為申請專利範圍之嚴格必要特徵。術語"包含"，或任何其他的變動，企圖涵蓋專利範圍之範疇內，使得製程、方法或裝置包含一系列尚未包括在內的元件，

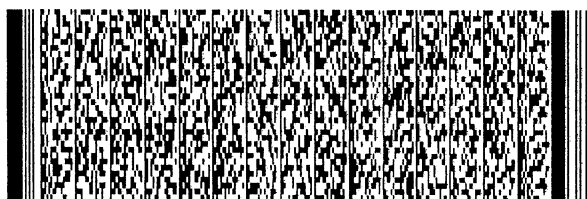


五、發明說明 (16)

且亦可包括其他未清楚羅列於此製程、方法或裝置內的元件。

前已述及，本發明以具體實施例加以描述。然而，在未背離本發明如後之申請專利範圍所述之範疇內，實施例可作各種變化和修改。因此，實施例與圖式僅作為示例性說明，而非加以限制。且此類修改企圖均包括在本發明之申請專利範圍內。

藉由以上具體實施例之詳述，係希望能更加清楚描述本創作之特徵與精神，而上述之說明並非對本創作範疇的限制。相反地，其目的是希望能涵蓋各種改變極具相等性的安排於本創作所欲申請之專利範圍的範疇內。



圖式簡單說明

五、【圖示簡單說明】

為解釋本創作，附上圖式並做以下的敘述。其中類似的編號表示類似的元件：

圖1為本發明之電子系統之方框圖。

圖2為記憶體系統之方框圖。

圖3為時鐘信號，互補時鐘信號和複數個資料信號之信號波形。

圖4為適應性時序系統之方框圖。

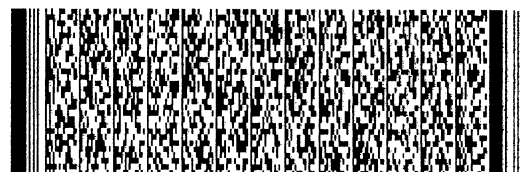
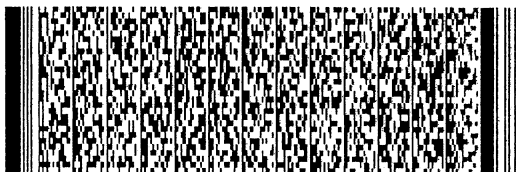
圖5為校準過程之流程圖。

圖6為時序調整過程之流程圖。

圖中的元件和連接僅以簡化、清晰之方式示意性表示，而未成比例地繪出。例如，相對於其他元件而言，誇大圖中某些元件的尺寸有助於增進本發明之實施例的理解。

圖示元件符號說明

100	電子系統	102	處理器
104	記憶體系統	106	資料源/資料目的地
210A, B	記憶體模組	212	記憶體控制器
214	適應性時序系統	300	資料有效視窗中
310	上升沿	312	下降沿
410	延遲電路	412A, B, C	門栓電路
414A, B	比較電路	416	內部時鐘信號



圖式簡單說明

418

緩衝器



四、中文發明摘要 (發明名稱：資料傳輸之方法及裝置)

本發明之記憶體系統及其方法包括一記憶體，和控制存取記憶體的一適應性時序系統。適應性時序系統擷取位於資料線之資料有效視窗內的資料。實施例中，適應性時序系統包括一延遲電路，此延遲電路於資料有效視窗之中點處，取樣資料信號。適應性時序系統亦可包括一辨識電路，此辨識電路辨識資料有效視窗中的中點是否對應於資料有效視窗中的一實際中點，且相應地調整延遲電路。

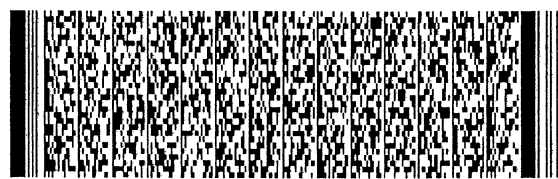
伍、(一)、本案代表圖為：第1圖

(二)、本案代表圖之元件代表符號簡單說明：

100：電子系統	102：處理器
104：記憶體系統	106：資料源/資料目的地

六、英文發明摘要 (發明名稱：METHOD AND APPARATUS FOR DATA TRANSFER)

A memory system and method according to various aspects of the present invention comprises a memory and an adaptive timing system for controlling access to the memory. The adaptive timing system captures data in a data valid window (DVW) in a data signal. In one embodiment, the adaptive timing system comprises a delay circuit for sampling the data signal at a midpoint of the



四、中文發明摘要 (發明名稱：資料傳輸之方法及裝置)

六、英文發明摘要 (發明名稱：METHOD AND APPARATUS FOR DATA TRANSFER)

DVM. The adaptive timing system may also comprise an identifying circuit for identifying whether the midpoint of the DVW corresponds to an actual midpoint of the DVM and adjusting the delay circuit accordingly.



六、申請專利範圍

1. 一種記憶體控制器，適用於控制資料自一資料源傳輸至一資料目的地，包含：

一延遲電路，用以在不同的時間產生複數個延遲時鐘信號，其中該延遲電路係在該時序信號內一資料有效視窗(data valid window)中的一標稱沿和一標稱中點產生該些延遲時鐘信號；

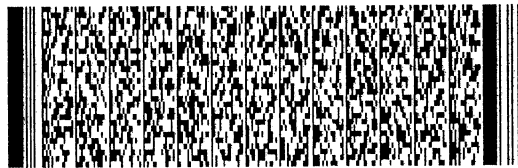
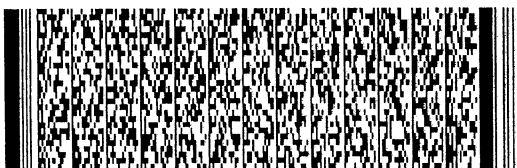
複數個門栓器，回應該複數個延遲時鐘信號，每一門栓器接收來自該資料源之一時序信號，每一門栓器，回應該延遲時鐘信號，產生一門栓信號對應於來自該資料源之該時序信號；以及

一比較電路，回應該複數個門栓器的複數個門栓信號，其中該比較電路產生一比較信號以對應於該複數個門栓信號間之一差異。

2. 如申請專利範圍第1項所述之記憶體控制器，其中該比較電路根據對應於該標稱沿的該門栓信號與對應於該標稱中點的該門栓信號間的一差異產生該比較信號。

3. 如申請專利範圍第1項所述之記憶體控制器，其中該延遲電路回應該比較信號，且根據該比較信號調整一延遲時鐘信號至少其中之一的時序。

4. 如申請專利範圍第1項所述之記憶體控制器，其中該資料源展現一電壓時間常數和一溫度時間常數，而延遲電路



六、申請專利範圍

以實質等於或小於該電壓時間常數和該溫度時間常數兩者之一的時間間隔，產生該延遲時鐘信號。

5. 如申請專利範圍第1項所述之記憶體控制器，其中該延遲電路包含一多接頭的延遲線。

6. 如申請專利範圍第1項所述之記憶體控制器，其中該延遲電路結合一自由運行的時鐘而產生該複數個延遲時鐘信號。

7. 一種電子系統，包含：

一資料源，產生一資料信號和一時序信號；

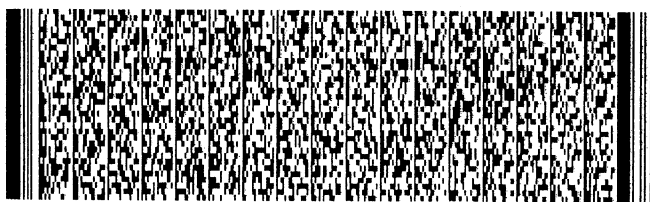
一資料目的地；

一時序信號分析裝置，分析來自該資料源之該時序信號，其中該時序信號分析裝置根據該時序信號辨識該資料信號內之一資料有效窗口；

一資料擷取裝置，用以自該資料源來的資料信號中的資料有效窗口內擷取一資料，其中該資料擷取裝置包含一延遲電路，該延遲電路係在該時序信號內一資料有效視窗中的一標稱沿和一標稱中點產生該些延遲時鐘信號；

一資料傳輸裝置，傳輸該擷取資料至該資料目的地；
以及

一資料調整裝置，根據該時序信號分析裝置，調整該資料擷取裝置。



六、申請專利範圍

8. 如申請專利範圍第7項所述之電子系統，其中該時序信號分析裝置包含一比較電路，該比較電路根據對應於一標稱沿的一門栓信號與對應於一標稱中點的一門栓信號間的一差異產生一比較信號。

9. 如申請專利範圍第7項所述之電子系統，其中該延遲電路包含一多接頭的延遲線。

10. 如申請專利範圍第7項所述之電子系統，其中該延遲電路結合一自由運行的時鐘以產生複個延遲時鐘信號。

11. 一種資料傳輸系統，適用於將資料自一資料源傳輸至一資料目的地，包含：

一取樣器，在多個時間對該資料源來的一時序信號進行取樣；以及

一比較電路，分析來自該取樣器之複數個取樣資料，以辨識該時序信號內一資料有效視窗（DVW）之一上升沿、一下降沿和一中點；

其中該取樣器在該資料有效視窗之一標稱上升沿，一標稱下降沿和一標稱中點之處取樣該時序信號；以及

該比較電路將該標稱上升沿和標稱下降沿的取樣資料與自該標稱中點的取樣資料作比較。



六、申請專利範圍

12. 如申請專利範圍第11項所述之資料傳輸系統，其中該比較電路更調整該取樣器取樣該時序信號之取樣時間。

13. 如申請專利範圍第11項所述之資料傳輸系統，其中該比較電路更調整至少一取樣時間，以對應於該資料有效視窗中至少一識別的上升沿、一下降沿和一中點。

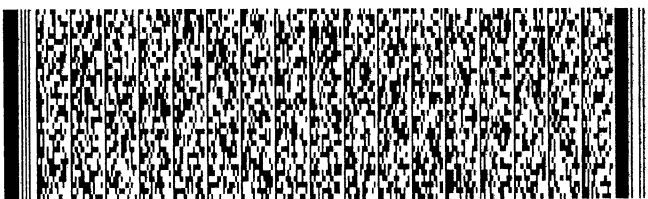
14. 如申請專利範圍第11項所述之資料傳輸系統，其中該取樣器包含一多接頭的延遲線。

15. 如申請專利範圍第11項所述之資料傳輸系統，其中該取樣器結合一自由運行時鐘信號，於多個時間對該資料源來的一時序信號進行取樣。

16. 一種記憶體控制系統，適用於控制一記憶體模組之存取，包含：

一取樣電路，對一時序信號中進行取樣，其中該取樣電路自該資料有效視窗之一標稱中點和之一標稱上升沿和一標稱下降沿中至少其中之一進行取樣，且分析電路比較該標稱中點的取樣資料與該標稱上升沿和該標稱下降沿的取樣資料；以及

一分析電路，接收自該取樣電路之複數個取樣資料，且根據該時序信號辨識一資料有效視窗（DVW）。



六、申請專利範圍

17. 如申請專利範圍第16項所述之記憶體控制系統，其中於該資料有效視窗之近似中點處該取樣電路產生一資料擷取信號。
18. 如申請專利範圍第16項所述之記憶體控制系統，其中該分析電路調整該取樣電路之取樣資料，以使於該資料有效窗口之近似中點處取得一中點樣本。
19. 如申請專利範圍第16項所述之記憶體控制系統，其中該分析電路包含一多接頭的延遲線。
20. 如申請專利範圍第16項所述之記憶體控制系統，其中該取樣電路結合一自由運行時鐘信號取樣以執行取樣。



四、中文發明摘要 (發明名稱：資料傳輸之方法及裝置)

本發明之記憶體系統及其方法包括一記憶體，和控制存取記憶體的一適應性時序系統。適應性時序系統擷取位於資料線之資料有效視窗內的資料。實施例中，適應性時序系統包括一延遲電路，此延遲電路於資料有效視窗之中點處，取樣資料信號。適應性時序系統亦可包括一辨識電路，此辨識電路辨識資料有效視窗中的中點是否對應於資料有效視窗中的一實際中點，且相應地調整延遲電路。

伍、(一)、本案代表圖為：第1圖

(二)、本案代表圖之元件代表符號簡單說明：

100：電子系統

102：處理器

104：記憶體系統

106：資料源/資料目的地

六、英文發明摘要 (發明名稱：METHOD AND APPARATUS FOR DATA TRANSFER)

A memory system and method according to various aspects of the present invention comprises a memory and an adaptive timing system for controlling access to the memory. The adaptive timing system captures data in a data valid window (DVW) in a data signal. In one embodiment, the adaptive timing system comprises a delay circuit for sampling the data signal at a midpoint of the

