

EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

voltage-controlled oscillator (13_2) are determined in accordance with the assessment result; the bias when the high/low of the oscillation frequencies is inverted is determined as the optimal bias; and the optimal bias is supplied to a core circuit. As a result, the present invention can provide a voltage setting circuit, a semiconductor integrated circuit, and a voltage setting method that enable easy control of the operation of a core circuit in a broadband.

(57) 要約: 本発明の電圧設定回路 (1 1) は、第 1 の分布型電圧制御発振器 (1 3 __ 1) と第 2 の分布型電圧制御発振器 (1 3 __ 2) との発振周波数を比較する周波数比較器 (1 4) と、第 1 の分布型電圧制御発振器 (1 3 __ 1) と第 2 の分布型電圧制御発振器 (1 3 __ 2) との発振周波数の高低を判定する周波数判定回路 (1 5) とを備え、判定結果に応じて、第 1 の分布型電圧制御発振器 (1 3 __ 1) に供給するバイアスと第 2 の分布型電圧制御発振器 (1 3 __ 2) に供給するバイアスを決定し、発振周波数の高低が反転するときのバイアスを最適バイアスとして決定し、最適バイアスをコア回路に供給する。これにより、本発明は、コア回路の広帯域での動作を容易に制御できる電圧設定回路、半導体集積回路および電圧設定方法を提供できる。

明 細 書

発明の名称：電圧設定回路、半導体集積回路および電圧設定方法 技術分野

[0001] 本発明は、電子回路を制御する電圧設定回路、半導体集積回路および電圧設定方法に関する。

背景技術

[0002] 光通信、無線通信、レーダー・センシング等の様々な分野で広帯域な電子回路（例：増幅器回路、ミキサ回路等）が必要である。バイポーラトランジスタを用いて広帯域な回路を設計する場合、コア回路内の各トランジスタが最も高速に動作する電流（以下、「最適電流」という。）となるように、バイアス電圧（以下、「バイアス」という。）を与える必要がある。例えば、コア回路として図8に示す分布型の増幅器回路51（非特許文献1）を用いた場合、透過特性（S21）のバイアス依存性（図9）が得られる。本回路の例では、Vbのバイアスによって各単位セルのトランジスタに流れる電流が変化する。Vb=-1.45Vにおいて最適電流が流れ、帯域が最も広い（図中、511）。バイアス（Vb）がこのバイアスより高いとき（図中、512）及び低いとき（図中、513）、周波数特性が劣化することを確認される。

[0003] 一方、製造後の回路はプロセスや電圧、温度等の様々なばらつきによる影響を受けるため、最適バイアスは設計時の値から外れることが多い。そのため、実際に使用するたびに、バイアスを調整し最適な値に設定する必要がある。従来、最適バイアスの検出および設定を行う方法として、図10に示すように、VNAのような周波数掃引型測定器61を用いて周波数特性をモニタリングし、帯域が最も広くなるようにバイアス生成器65から出力されるバイアスを調整し、コア回路62に設定していた（非特許文献1、2）。

先行技術文献

非特許文献

[0004] 非特許文献1: T. Jyo et al., "A 241-GHz-Bandwidth Distributed Amplifier with 10-dBm P1dB in 0.25- μ m InP DHBT Technology," 2019 IEEE/MTT-S International Microwave Symposium (IMS), Boston, MA, USA, 2019, pp. 1430-1433, doi: 10.1109/MWSYM.2019.8700975.

非特許文献2: T. Jyo et al., "A DC to 194-GHz Distributed Mixer in 250-nm InP DHBT Technology," 2020 IEEE/MTT-S International Microwave Symposium (IMS), Los Angeles, CA, USA, 2020, pp. 771-774, doi: 10.1109/IMS30576.2020.9223832.

発明の概要

発明が解決しようとする課題

[0005] しかしながら、従来の方法で必要な周波数掃引型測定器は一般的に高価なため、導入するためのコストが高くなるという課題ある。また、多数のコア回路を使用する場合、全回路に対して最適バイアスを設定する必要があるため、使用開始できるまでに長時間を要するという課題がある。さらに、コア回路の使用環境（温度等）が変化した場合、最適バイアスも変化するため、コア回路の使用環境（温度等）が変化するたびに、最適バイアスを設定し直す必要があるという課題がある。

課題を解決するための手段

[0006] 上述したような課題を解決するために、本発明に係る電圧設定回路は、コア回路に最適バイアスを供給する電圧設定回路であって、第1の分布型電圧制御発振器と、第2の分布型電圧制御発振器と、前記第1の分布型電圧制御発振器と前記第2の分布型電圧制御発振器との発振周波数を比較する周波数比較器と、前記第1の分布型電圧制御発振器と前記第2の分布型電圧制御発振器との発振周波数の高低を判定する周波数判定回路と、前記判定結果に応じて、前記第1の分布型電圧制御発振器に供給するバイアスと前記第2の分布型電圧制御発振器に供給するバイアスを決定し、前記発振周波数の高低が反転するときの前記バイアスを前記最適バイアスとして決定するバイアス生成器制御回路と、前記バイアスを生成して、前記第1の分布型電圧制御発振

器と前記第2の分布型電圧制御発振器とに供給し、前記最適バイアスを前記コア回路に供給するバイアス生成器とを備え、前記第1の分布型電圧制御発振器の単位セルと、前記第2の分布型電圧制御発振器の単位セルとの構成が、前記コア回路の単位セルの構成と同じであることを特徴とする。

[0007] また、本発明に係る電圧設定回路は、コア回路に最適バイアスを供給する電圧設定回路であって、第1の分布型電圧制御発振器と、第2の分布型電圧制御発振器と、前記第1の分布型電圧制御発振器の電源電圧に流れる電流をモニタリングする第1の電流モニタと、前記第2の分布型電圧制御発振器の電源電圧に流れる電流をモニタリングする第2の電流モニタと、前記コア回路の電源電圧に流れる電流をモニタリングする第3の電流モニタと、前記第1の分布型電圧制御発振器と前記第2の分布型電圧制御発振器との発振周波数を比較する周波数比較器と、前記第1の分布型電圧制御発振器と前記第2の分布型電圧制御発振器との発振周波数の高低を判定する周波数判定回路と、前記判定結果に応じて、前記第1の分布型電圧制御発振器に供給するバイアスと前記第2の分布型電圧制御発振器に供給するバイアスを決定し、前記コア回路に供給する前記最適バイアスを制御するバイアス生成器制御回路と、前記バイアスを生成して前記第1の分布型電圧制御発振器と前記第2の分布型電圧制御発振器とに供給し、前記最適バイアスを生成して前記コア回路に供給するバイアス生成器とを備え、前記発振周波数の高低が反転するときの前記第1の電流モニタの電流値と前記第2の電流モニタでモニタリングされる電流値に基づき、前記最適バイアスが調整され、前記第1の分布型電圧制御発振器の単位セルと、前記第2の分布型電圧制御発振器の単位セルと、前記コア回路の単位セルにおけるトランジスタのサイズが同じであることを特徴とする。

[0008] また、本発明に係る電圧設定方法は、第1の分布型電圧制御発振器と、第2の分布型電圧制御発振器と、コア回路とを備える半導体集積回路において、前記コア回路に最適バイアスを設定する電圧設定方法であって、前記第1の分布型電圧制御発振器に第1のバイアスを供給するステップと、前記第2

の分布型電圧制御発振器に前記バイアスと所定の電圧差を有する第２のバイアスを供給するステップと、前記第１の分布型電圧制御発振器の発振周波数と前記第２の分布型電圧制御発振器の発振周波数とを比較するステップと、前記第１の分布型電圧制御発振器の発振周波数が、前記第２の分布型電圧制御発振器の発振周波数より高い場合に、前記第１のバイアスと前記第２のバイアスそれぞれに所定の電圧を増減するステップと、前記増減された前記第１のバイアスと前記第２のバイアスそれぞれを、前記第１の分布型電圧制御発振器と、前記第２の分布型電圧制御発振器それぞれに供給するステップと、前記増減された前記第１のバイアスと前記第２のバイアスそれぞれにおける前記第１の分布型電圧制御発振器の発振周波数と前記第２の分布型電圧制御発振器の発振周波数とを比較するステップと、前記増減された前記第１のバイアスと前記第２のバイアスそれぞれにおける前記第１の分布型電圧制御発振器の発振周波数と、前記第２の分布型電圧制御発振器の発振周波数との高低が反転するときに、前記第２の分布型電圧制御発振器に供給されたバイアスを前記最適バイアスと決定するステップとを備える。

[0009] また、本発明に係る電圧設定方法は、第１の分布型電圧制御発振器と、第２の分布型電圧制御発振器と、コア回路とを備える半導体集積回路において、前記コア回路に最適バイアスを設定する電圧設定方法であって、前記第１の分布型電圧制御発振器に第１のバイアスを供給するステップと、前記第２の分布型電圧制御発振器に前記バイアスと所定の電圧差を有する第２のバイアスを供給するステップと、前記第１の分布型電圧制御発振器の発振周波数と前記第２の分布型電圧制御発振器の発振周波数とを比較するステップと、前記第１の分布型電圧制御発振器の発振周波数が、前記第２の分布型電圧制御発振器の発振周波数より高い場合に、前記第１のバイアスと前記第２のバイアスそれぞれに所定の電圧を増減するステップと、前記増減された前記第１のバイアスと前記第２のバイアスそれぞれを、前記第１の分布型電圧制御発振器と、前記第２の分布型電圧制御発振器それぞれに供給するステップと、前記増減された前記第１のバイアスと前記第２のバイアスそれぞれにお

る前記第 1 の分布型電圧制御発振器の発振周波数と前記第 2 の分布型電圧制御発振器の発振周波数とを比較するステップと、前記増減された前記第 1 のバイアスと前記第 2 のバイアスそれぞれにおける前記第 1 の分布型電圧制御発振器の発振周波数と、前記第 2 の分布型電圧制御発振器の発振周波数との高低が反転するときに、前記第 1 の分布型電圧制御発振器に流れる電流と、前記第 2 の分布型電圧制御発振器に流れる電流とをモニタリングするステップと、前記モニタリングされる電流値に基づき決定される電流値が前記コア回路に流れるように、前記コア回路に供給する前記最適バイアスを決定するステップとを備える。

発明の効果

[0010] 本発明によれば、コア回路の広帯域での動作を容易に制御できる電圧設定回路、半導体集積回路および電圧設定方法を提供できる。

図面の簡単な説明

[0011] [図1]図 1 は、本発明の第 1 の実施の形態に係る半導体集積回路の構成を示すブロック図である。

[図2A]図 2 A は、本発明の第 1 の実施の形態に係る半導体集積回路におけるコア回路の構成を示すブロック図である。

[図2B]図 2 B は、本発明の第 1 の実施の形態に係る半導体集積回路におけるコア回路の素子特性を示す図である。

[図3A]図 3 A は、本発明の第 1 の実施の形態に係る電圧設定回路における分布型電圧制御発振器の構成を示すブロック図である。

[図3B]図 3 B は、本発明の第 1 の実施の形態に係る電圧設定回路における分布型電圧制御発振器の素子特性を示す図である。

[図4]図 4 は、本発明の第 1 の実施の形態に係る電圧設定回路の動作を説明するためのフローチャート図である。

[図5]図 5 は、本発明の第 1 の実施の形態に係る半導体集積回路の構成の一例を示すブロック図である。

[図6]図 6 は、本発明の第 2 の実施の形態に係る半導体集積回路の構成を示す

ブロック図である。

[図7]図7は、本発明の第3の実施の形態に係る半導体集積回路の構成を示すブロック図である。

[図8]図8は、従来の分布型増幅器回路の構成を示すブロック図である。

[図9]図9は、従来の分布型増幅器回路の素子特性を示す図である。

[図10]図10は、従来の電圧設定方法を説明するための図である。

発明を実施するための形態

[0012] <第1の実施の形態>

本発明の第1の実施の形態に係る電圧設定回路および半導体集積回路について、図1～図5を参照して説明する。

[0013] <半導体集積回路と電圧設定回路の構成>

本実施の形態に係る半導体集積回路10は、図1に示すように、同一チップ1上に、電圧設定回路11と、電圧設定回路11が接続するコア回路12とを備える。

[0014] 電圧設定回路11は、2つの分布型(distributed)電圧制御発振器(Voltage-controlled oscillator、以下、「VCO」という。)13__1、13__2と、周波数比較器14と、周波数判定回路15と、バイアス生成器制御回路16と、バイアス生成器17とを備える。

[0015] コア回路12には、図2Aに示すように、分布型増幅器回路を用いる。分布型増幅器回路において、トランジスタ回路より構成される単位セルが伝送線路を介して並列に接続され、50Ωで終端化される。終端化される一方の端子に電圧Vbが印加され、半導体集積回路10では、電圧設定回路11により最適化された電圧Vb__optが印加される。

[0016] コア回路12の単位セルでは、2つのトランジスタ123、124が直列に接続され、伝送線路122と接続される。2つのトランジスタの一方のトランジスタ(第1のトランジスタ)123では、コレクタが出力側の接点bで伝送線路122と接続し、ベースにVcas1が入力される。他方のトラ

ンジスタ（第2のトランジスタ）124では、ベースに V_b が印加される側の接点aで伝送線路122と接続し、エミッタに電圧 V_{EE} が供給される。

[0017] コア回路12において、等価回路として伝送線路122が L 、 C 、 R を有する。

[0018] 図2Bに、コア回路（分布型増幅器回路）12における透過特性（ S_{21} ）のバイアス依存性を示す。コア回路（分布型増幅器回路）12では、 V_b のバイアスによって各単位セルのトランジスタに流れる電流が変化し、周波数特性が変化する。 $V_b = -1.45\text{ V}$ において最適電流が流れ、帯域が最も広い（図中、125）。以下、最適電流が流れるときのバイアス（ V_b ）を「最適バイアス」という。バイアス（ V_b ）が最適バイアスより高いとき（図中、126）及び低いとき（図中、127）には、帯域が狭くなり周波数特性が劣化する。

[0019] 分布型 $VCO(1)_{13_1}$ 、 $VCO(2)_{13_2}$ は、図3Aに示す構成を有し、単位セルとコンデンサが伝送線路を介して並列に接続される。分布型 $VCO(1)_{13_1}$ 、 $VCO(2)_{13_2}$ の単位セルは、コア回路12の単位セルと同じ構成を有する。

[0020] 分布型 $VCO(1)_{13_1}$ 、 $VCO(2)_{13_2}$ の単位セルでは、それぞれの単位セルで2つのトランジスタが直列に接続され、伝送線路と接続される。2つのトランジスタの一方のトランジスタ（第1のトランジスタ） 133_1 、 133_2 では、コレクタが出力側の接点bで伝送線路 132_1 、 132_2 と接続し、ベースに V_{cas1} が入力される。他方のトランジスタ（第2のトランジスタ） 134_1 、 134_2 では、ベースに V_b が印加される側の接点aで伝送線路 132_1 、 132_2 と接続し、エミッタに電圧 V_{EE} が供給される。

[0021] 図3Bに、 $VCO(1)_{13_1}$ と $VCO(2)_{13_2}$ に用いられた分布型 VCO の発振周波数のバイアス依存性を示す。 $V_b = -1.45\text{ V}$ でトランジスタに最適電流が流れ、発振周波数が最大となる。

[0022] 分布型 $VCO(1)_{13_1}$ 、 $VCO(2)_{13_2}$ には、バイアス V_b

1、 V_{b2} が入力され、バイアス V_{b1} と V_{b2} との間に電圧差を有する。

[0023] 周波数比較器14は、例えば、ギルバードセル回路により構成される。周波数の高低を示す信号を出力する。例えば、 $VCO(1)_{13_1}$ の周波数が高ければ高電圧信号H、 $VCO(2)_{13_2}$ の周波数が高ければ低電圧信号Lを出力する。

[0024] 周波数判定回路15は、デジタル処理回路により構成され、周波数比較器14の出力がHレベルとLレベルいずれかを判定する。その結果、周波数比較器14に入力された2つの信号の周波数の高低が判定される。

[0025] バイアス生成器制御回路16は、周波数判定回路15の判定結果に基づき、バイアス生成器17で生成するバイアス値を決定して、バイアス生成器17を制御する。

[0026] バイアス生成器17は、バイアスを生成して、分布型 $VCO(1)_{13_1}$ 、 $VCO(2)_{13_2}$ それぞれに入力する。また、最適バイアスを生成して、コア回路12に供給する。

[0027] <電圧設定回路の動作>

本実施の形態に係る電圧設定回路11の動作を、以下に説明する。

[0028] 本発明では分布型 $VCO(1)_{13_1}$ 、 $VCO(2)_{13_2}$ 内で使用されるトランジスタに最適電流が流れている時に、分布型 $VCO(1)_{13_1}$ 、 $VCO(2)_{13_2}$ の発振周波数が最も高くなる性質を用いて最適バイアスの検出を行う。

[0029] 図3Bに示す $VCO(1)_{13_1}$ 、 $VCO(2)_{13_2}$ の発振周波数のバイアス依存性では、 $V_b = -1.45V$ でトランジスタに最適電流が流れ、発振周波数が最大となる。このバイアス($V_b = -1.45V$)は、図2Bに示すように、コア回路(分布型増幅器回路)12が最も広帯域の周波数特性を示すバイアスと一致する。

[0030] したがって、コア回路12と同じ単位セルを有する分布型 $VCO(1)_{13_1}$ 、 $VCO(2)_{13_2}$ の発振周波数が最大となる最適バイアスを検出して、この最適バイアスをコア回路12のバイアスとして設定すれば、コ

ア回路 1 2 を最も広帯域に動作させることができる。

[0031] 電圧設定回路 1 1 において、最適バイアスを検出するために、本発明では同じ構成の分布型 VCO を 2 つ (VCO (1) 1 3__1 と VCO (2) 1 3__2) を用いる。ただし 2 つの分布型 VCO (1) 1 3__1、VCO (2) 1 3__2 に供給するバイアスには所定の電圧差を設ける。例えば、分布型 VCO (1) 1 3__1 にバイアス V b 1、分布型 VCO (2) 1 3__2 にバイアス V b 2 と設定するとき、V b 1 の方に 1 0 m V だけ高いバイアスを設定する。

[0032] 電圧設定回路 1 1 の動作プロセスの一例を、図 4 に示すフローチャート図を参照して説明する。

[0033] 初めに、2 つの分布型 VCO、VCO (1) 1 3__1 と VCO (2) 1 3__2 それぞれにバイアス V b 1、V b 2 (初期バイアス) が供給される (ステップ 2 0 1)。

[0034] 次に、周波数比較器 1 4 と周波数判定回路 1 5 で、VCO (1) 1 3__1 と VCO (2) 1 3__2 とで発振周波数が比較され、VCO (1) 1 3__1 の発振周波数の方が高いか否かが判定される (ステップ 2 0 2)。

[0035] 次に、VCO (1) 1 3__1 の周波数の方が高い場合には、バイアス生成器制御回路 1 6 で、V b 1 と V b 2 それぞれ所定の電圧 (例えば、1 0 m V) を加えた電圧値が決定され、バイアス生成器 1 7 が制御される (ステップ 2 0 3)。

[0036] 次に、バイアス生成器 1 7 により、VCO (1) 1 3__1 と VCO (2) 1 3__2 に V b 1 と V b 2 が供給される (ステップ 2 0 4)。

[0037] 次に、再度、周波数比較器 1 4 と周波数判定回路 1 5 で、VCO (1) 1 3__1 と VCO (2) 1 3__2 とで発振周波数が比較され、VCO (1) 1 3__1 の発振周波数の方が高いか否かが判定される (ステップ 2 0 5)

[0038] その結果、VCO (1) 1 3__1 の周波数の方が高い場合には、ステップ 2 0 3 に戻り、再度、V b 1 と V b 2 それぞれ所定の電圧を加えた電圧値が決定され、同様のステップが繰り返される。

- [0039] 一方、VCO(1)13__1の周波数の方が高くない場合、すなわちVCO(1)13__1の周波数の方が低い場合、またはVCO(1)13__1とVCO(2)13__2との発振周波数が等しい場合には、Vb2を最適バイアスVb__optに決定する。このように、VCO(1)13__1とVCO(2)13__2との発振周波数の高低が反転するときのバイアスを、最適バイアスVb__optに決定する(ステップ206)。
- [0040] また、上記ステップ202で、VCO(1)13__1の周波数の方が高くない場合(VCO(1)13__1の周波数の方が低い場合、またはVCO(1)13__1とVCO(2)13__2との発振周波数が等しい場合)には、バイアス生成器制御回路16で、Vb1とVb2それぞれ所定の電圧(例えば、10mV)を減少させた電圧値が決定され、バイアス生成器17が制御される(ステップ207)。
- [0041] 次に、バイアス生成器17により、VCO(1)13__1とVCO(2)13__2にVb1とVb2が供給される(ステップ208)。
- [0042] 次に、再度、周波数比較器14と周波数判定回路15で、VCO(1)13__1とVCO(2)13__2とで発振周波数が比較され、VCO(1)13__1の発振周波数の方が高いか否かが判定される(ステップ209)。
- [0043] その結果、VCO(1)13__1の周波数の方が高くない場合(VCO(1)13__1の周波数の方が低い場合、またはVCO(1)13__1とVCO(2)13__2との発振周波数が等しい場合)には、ステップ207に戻り、再度、Vb1とVb2それぞれ所定の電圧を減少させた電圧値が決定され、同様のステップが繰り返される。
- [0044] 一方、VCO(1)13__1の周波数の方が高い場合には、Vb1を最適バイアスVb__optに決定する。このように、VCO(1)13__1とVCO(2)13__2との発振周波数の高低が反転するときのバイアスを、最適バイアスVb__optに決定する(ステップ210)。
- [0045] 最後に、上述の通り決定された最適バイアスVb__optがコア回路12に供給される。

- [0046] 本実施の形態では、VCO(1)13__1にVCO(2)13__2よりも高いバイアスを供給する例を示したが、VCO(2)13__2にVCO(1)13__1よりも高いバイアスを供給してもよい。また、ステップ202でVCO(2)13__2の発振周波数を用いて判定してもよい。
- [0047] このように、本実施の形態に係る電圧設定回路11では、2つの分布型VCO(1)13__1、VCO(2)13__2それぞれに所定の電圧差を設けて電圧を供給して、出力される周波数の高低を判定し、この判定結果に応じて、Vb1とVb2を段階的に増加または減少させ、発振周波数が極大となるバイアスを検出する。このバイアスを最適バイアスVb__optに決定して、コア回路12に供給する。
- [0048] 以上のように、異なる電圧を印加して発振させる2つの発振器の出力（周波数）差に基づいて発振器の最適電圧（バイアス）を取得して、この最適電圧により発振器と同じ単位セルからなるコア回路12を制御できる。
- [0049] 本実施の形態に係る電圧設定回路によれば、最適バイアスの検出および設定をチップ内で閉じて行うことが可能になるため、周波数掃引型測定器を用いる必要がなくなり、容易に最適バイアスの検出と設定を行い、コア回路を広帯域に動作でき、コストを削減できる。
- [0050] また、最適バイアスが自動で検出され設定されるので、多数の回路を用いる場合や使用環境が変化する場合に、回路を動作させるたびに周波数特性を測定する必要がなくなり、回路の使用開始までに要する時間を大幅に削減可能である。
- [0051] このように、本実施の形態に係る電圧設定回路は、コア回路と同じ単位セルを有する分布型電圧制御発振器（VCO）の最適バイアスを決定することにより、コア回路の最適バイアスを決定して制御する。
- [0052] 本実施の形態に係る電圧設定回路および半導体集積回路において、分布型VCOは、コア回路に近い位置に配置することが望ましい。チップ面内で素子特性が不均一であるので、素子間の距離を短くしたほうが不均一な特性の分布の影響を抑制できる。その結果、最適バイアスの設定精度を向上させる

ことができるからである。

[0053] 本実施の形態に係る半導体集積回路 10 では、同一チップ 1 上に、2つの分布型 VCO (1) 13__1、VCO (2) 13__2 と、周波数比較器 14 と、周波数判定回路 15 と、バイアス生成器制御回路 16 と、バイアス生成器 17 とを備える例を示したが、これに限らない。図 5 に示すように、半導体集積回路 10__1 では、周波数判定回路 15 とバイアス生成器制御回路 16 とバイアス生成器 17 は、同一チップ 1 上に配置されなくてもよい。この配置であっても、周波数比較器 14 の出力信号と各バイアスは直流 (DC) 信号なので、最適バイアスの検出および設定の精度に影響せず、同様の効果を奏する。

[0054] <第 2 の実施の形態>

本発明の第 2 の実施の形態に係る電圧設定回路および半導体集積回路について、図 6 を参照して説明する。

[0055] 本実施の形態に係る半導体集積回路 30 は、図 6 に示すように、同一チップ 1 上の異なる基板、基板 (1) 2__1 と基板 (2) 2__2 それぞれに、電圧設定回路 31 と、電圧設定回路 31 が接続するコア回路 32 とを備える。その他の構成、効果は、第 1 の実施の形態と同様である。

[0056] ここで、VCO (1) 33__1 と VCO (2) 33__2 との電源電圧 (VEE) 用の端子と、コア回路 32 の電源電圧 (VEE) 用の端子それぞれに、デカップリングコンデンサ 38__1、38__2 が接続される。デカップリングコンデンサ 38__1、38__2 により、発振器のノイズがコア回路 32 に結合をすることを防ぐことが可能になる。

[0057] ここで、デカップリングコンデンサ 38__1、38__2 は、それぞれの電源電圧 (VEE) 近傍に配置されることが望ましく、デカップリングコンデンサ 38__1、38__2 との電源電圧 (VEE) との距離が短いほど、ノイズを低減できる。

[0058] さらに、コア回路 32 に供給される Vb__opt の配線にデカップリングコンデンサ 38__3 が接続されることにより、発振器のノイズがコア回路 3

2に結合をすることを防ぐことが可能になる。ここで、デカップリングコンデンサ38__3は、コア回路32の近傍に配置されることが望ましく、デカップリングコンデンサ38__3とコア回路32との距離が短いほど、ノイズを低減できる。

[0059] 電圧設定回路31は、第1の実施の形態における動作プロセス(図4)と同様に動作する。

[0060] 本実施の形態に係る電圧設定回路によれば、容易に最適バイアスの検出と設定を行い、コア回路を広帯域に動作でき、コスト、時間を削減できるとともに、発振器のノイズの影響を抑制できる。

[0061] <第3の実施の形態>

本発明の第3の実施の形態に係る電圧設定回路および半導体集積回路について、図7を参照して説明する。第1、2の実施の形態では、分布型VCOにコア回路と同じ構成の単位セルを用いる。本実施の形態に係る電圧設定回路41は、分布型VCO(1)43__1、VCO(2)43__2にコア回路42と同じ構成の単位セルを用いることが困難である場合に対応できる。

[0062] <半導体集積回路と電圧設定回路の構成>

本実施の形態に係る半導体集積回路40は、図7に示すように、第1の実施の形態と同様に、同一チップ1上に、電圧設定回路41と、電圧設定回路41が接続するコア回路42とを備え、電圧設定回路41は、2つの分布型VCO(1)43__1、VCO(2)43__2と、周波数比較器44と、周波数判定回路45と、バイアス生成器制御回路46と、バイアス生成器47とを備える。

[0063] さらに、半導体集積回路40は、VCO(1)43__1とVCO(2)43__2とコア回路42それぞれの電源電圧に流れる電流をモニタリングする回路を有する電流モニタ48__1、48__2、48__3を備える。

[0064] また、VCO(1)43__1とVCO(2)43__2におけるトランジスタのサイズ(エミッタ長)と、コア回路42におけるトランジスタのサイズ(エミッタ長)が同じである。

[0065] <電圧設定回路の動作>

本実施の形態に係る電圧設定回路41の動作を、以下に説明する。

[0066] 初めに、第1の実施の形態と同様に、 V_{b1} と V_{b2} のバイアスを段階的に増減させ、 $VCO(1)_{43_1}$ と $VCO(2)_{43_2}$ の発振周波数を比較して、両者の発振周波数の高低が反転するときのバイアスを最適バイアスに決定する。このように、発振周波数が極大となるバイアスを最適バイアスとして検出する。

[0067] 次に、 $VCO(1)_{43_1}$ と $VCO(2)_{43_2}$ における最適バイアスにおける電流（最適電流）を電流モニタ48_1、48_2でモニタリングする。

[0068] 次に、 $VCO(1)_{43_1}$ と $VCO(2)_{43_2}$ における最適電流に基づき、コア回路42における最適電流を決定する。コア回路42における最適電流には、例えば、 $VCO(1)_{43_1}$ と $VCO(2)_{43_2}$ における最適電流のいずれか一方を用いてもよいし、両者の平均電流値を用いてもよい。また、 $VCO(1)_{43_1}$ または $VCO(2)_{43_2}$ では単位セル1個を用い、コア回路42では単位セルN個を用いる場合、コア回路の最適電流 $=N \times VCO(1)_{43_1}$ または $VCO(2)_{43_2}$ の最適電流となる。例えば、 $VCO(1)_{43_1}$ または $VCO(2)_{43_2}$ では単位セル1個を用い、コア回路42では単位セル6個を用いる場合、コア回路の最適電流 $=6 \times VCO(1)_{43_1}$ または $VCO(2)_{43_2}$ の最適電流となる。

[0069] 次に、コア回路42の電流モニタ48_3でコア回路42に流れる電流をモニタリングして、上述のコア回路42の最適電流がコア回路42に流れるように、バイアスを調整する（最適電流となるバイアスが最適バイアス V_{b_opt} である）。

[0070] 本実施の形態に係る電圧設定回路によれば、分布型VCOにコア回路と同じ構成の単位セルを用いることなく、コア回路の最適電流を容易に設定でき、コア回路を広帯域に動作させることが可能である。

- [0071] 本実施の形態に係る半導体集積回路において、第1の実施の形態と同様に、分布型VCOは、コア回路に近い位置に配置することが望ましい。
- [0072] また、本実施の形態に係る半導体集積回路において、第1の実施の形態と同様に、周波数判定回路とバイアス生成器制御回路とバイアス生成器は、同一チップ上に配置されなくてもよい。
- [0073] また、本実施の形態に係る半導体集積において、第2の実施の形態と同様に、同一チップ上の異なる基板、基板(1)と基板(2)それぞれに、電圧設定回路と、電圧設定回路が接続するコア回路とを備えてもよい。
- [0074] さらに、上述の第1～第3の実施の形態において、コア回路に最適バイアスが設定された後、2つの分布型VCOと周波数比較器、周波数大小判定回路の電源をオフにすることによって、消費電力の削減とコア回路のノイズ削減が可能になる。
- [0075] 本発明の実施の形態では、電圧設定回路の分布型VCOの単位セルとコア回路において共通する単位セルに、2つのトランジスタを直列に接続した構成を用いたが、これに限らない。単位セルは1つのトランジスタを用いた構成でもよいし、複数のトランジスタを用いた構成でもよく、発振回路を構成でき、電圧設定回路の分布型VCOとコア回路とで同一の構成であればよい。
- [0076] 本発明の実施の形態では、コア回路に増幅器回路を用いる例を示したが、これに限らず、ミキサでもよい。
- [0077] 本発明の実施の形態では、電圧設定回路および半導体集積回路の構成、電圧設定方法などにおいて、各構成部の構造、寸法、材料等の一例を示したが、これに限らない。電圧設定回路、半導体集積回路および電圧設定方法が効果を奏するものであればよい。

産業上の利用可能性

- [0078] 本発明は、光通信、無線通信、レーダー・センシング等に用いる機器、デバイスの電子回路に適用することができる。

符号の説明

- [0079] 1 1 電圧設定回路
- 1 2 コア回路
- 1 3 __ 1、1 3 __ 2 分布型電圧制御発振器
- 1 4 周波数比較器
- 1 5 周波数判定回路
- 1 6 バイアス生成器制御回路
- 1 7 バイアス生成器
- 1 2 1、1 3 1 __ 1、1 3 1 __ 2 単位セル

請求の範囲

[請求項1]

コア回路に最適バイアスを供給する電圧設定回路であって、
第1の分布型電圧制御発振器と、
第2の分布型電圧制御発振器と、
前記第1の分布型電圧制御発振器と前記第2の分布型電圧制御発振器との発振周波数を比較する周波数比較器と、
前記第1の分布型電圧制御発振器と前記第2の分布型電圧制御発振器との発振周波数の高低を判定する周波数判定回路と、
前記判定結果に応じて、前記第1の分布型電圧制御発振器に供給するバイアスと前記第2の分布型電圧制御発振器に供給するバイアスを決定し、前記発振周波数の高低が反転するときの前記バイアスを前記最適バイアスとして決定するバイアス生成器制御回路と、
前記バイアスを生成して、前記第1の分布型電圧制御発振器と前記第2の分布型電圧制御発振器とに供給し、前記最適バイアスを前記コア回路に供給するバイアス生成器とを備え、
前記第1の分布型電圧制御発振器の単位セルと、前記第2の分布型電圧制御発振器の単位セルとの構成が、前記コア回路の単位セルの構成と同じであることを特徴とする電圧設定回路。

[請求項2]

コア回路に最適バイアスを供給する電圧設定回路であって、
第1の分布型電圧制御発振器と、
第2の分布型電圧制御発振器と、
前記第1の分布型電圧制御発振器の電源電圧に流れる電流をモニタリングする第1の電流モニタと、
前記第2の分布型電圧制御発振器の電源電圧に流れる電流をモニタリングする第2の電流モニタと、
前記コア回路の電源電圧に流れる電流をモニタリングする第3の電流モニタと、
前記第1の分布型電圧制御発振器と前記第2の分布型電圧制御発振

器との発振周波数を比較する周波数比較器と、

前記第 1 の分布型電圧制御発振器と前記第 2 の分布型電圧制御発振器との発振周波数の高低を判定する周波数判定回路と、

前記判定結果に応じて、前記第 1 の分布型電圧制御発振器に供給するバイアスと前記第 2 の分布型電圧制御発振器に供給するバイアスを決定し、前記コア回路に供給する前記最適バイアスを制御するバイアス生成器制御回路と、

前記バイアスを生成して前記第 1 の分布型電圧制御発振器と前記第 2 の分布型電圧制御発振器とに供給し、前記最適バイアスを生成して前記コア回路に供給するバイアス生成器とを備え、

前記発振周波数の高低が反転するときの前記第 1 の電流モニタの電流値と前記第 2 の電流モニタでモニタリングされる電流値に基づき、前記最適バイアスが調整され、

前記第 1 の分布型電圧制御発振器の単位セルと、前記第 2 の分布型電圧制御発振器の単位セルと、前記コア回路の単位セルにおけるトランジスタのサイズが同じであることを特徴とする電圧設定回路。

[請求項3] 請求項 1 又は請求項 2 に記載の電圧設定回路と、
 前記コア回路と
 を備える半導体集積回路。

[請求項4] 前記電圧設定回路と、前記コア回路とを同一チップ上に備えることを特徴とする請求項 3 に記載の半導体集積回路。

[請求項5] 前記電圧設定回路が第 1 の基板に配置され、
 前記コア回路が第 2 の基板に配置され、
 前記第 1 の分布型電圧制御発振器と前記第 2 の分布型電圧制御発振器との電源電圧用端子と、前記コア回路の電源電圧用端子と、前記バイアス生成器から前記コア回路に前記最適バイアスが供給される配線それぞれに、デカップリングコンデンサが接続されることを特徴とする請求項 3 又は請求項 4 に記載の半導体集積回路。

[請求項6] 第1の分布型電圧制御発振器と、第2の分布型電圧制御発振器と、コア回路と、周波数比較器と、周波数判定回路とを備える半導体集積回路において、前記コア回路に最適バイアスを設定する電圧設定方法であって、

前記第1の分布型電圧制御発振器に第1のバイアスを供給するステップと、

前記第2の分布型電圧制御発振器に前記第1のバイアスと所定の電圧差を有する第2のバイアスを供給するステップと、

前記第1の分布型電圧制御発振器の発振周波数と前記第2の分布型電圧制御発振器の発振周波数とを比較するステップと、

前記第1の分布型電圧制御発振器の発振周波数が、前記第2の分布型電圧制御発振器の発振周波数より高い場合に、前記第1のバイアスと前記第2のバイアスそれぞれに所定の電圧を増減するステップと、

前記増減された前記第1のバイアスと前記第2のバイアスそれぞれを、前記第1の分布型電圧制御発振器と、前記第2の分布型電圧制御発振器それぞれに供給するステップと、

前記増減された前記第1のバイアスと前記第2のバイアスそれぞれにおける前記第1の分布型電圧制御発振器の発振周波数と前記第2の分布型電圧制御発振器の発振周波数とを比較するステップと、

前記増減された前記第1のバイアスと前記第2のバイアスそれぞれにおける前記第1の分布型電圧制御発振器の発振周波数と、前記第2の分布型電圧制御発振器の発振周波数との高低が反転するときに、前記第2の分布型電圧制御発振器に供給された第2のバイアスを前記最適バイアスと決定するステップと

を備える電圧設定方法。

[請求項7] 第1の分布型電圧制御発振器と、第2の分布型電圧制御発振器と、コア回路と、周波数比較器と、周波数判定回路とを備える半導体集積回路において、前記コア回路に最適バイアスを設定する電圧設定方法

であって、

前記第 1 の分布型電圧制御発振器に第 1 のバイアスを供給するステップと、

前記第 2 の分布型電圧制御発振器に前記第 1 のバイアスと所定の電圧差を有する第 2 のバイアスを供給するステップと、

前記第 1 の分布型電圧制御発振器の発振周波数と前記第 2 の分布型電圧制御発振器の発振周波数とを比較するステップと、

前記第 1 の分布型電圧制御発振器の発振周波数が、前記第 2 の分布型電圧制御発振器の発振周波数より高い場合に、前記第 1 のバイアスと前記第 2 のバイアスそれぞれに所定の電圧を増減するステップと、

前記増減された前記第 1 のバイアスと前記第 2 のバイアスそれぞれを、前記第 1 の分布型電圧制御発振器と、前記第 2 の分布型電圧制御発振器それぞれに供給するステップと、

前記増減された前記第 1 のバイアスと前記第 2 のバイアスそれぞれにおける前記第 1 の分布型電圧制御発振器の発振周波数と前記第 2 の分布型電圧制御発振器の発振周波数とを比較するステップと、

前記増減された前記第 1 のバイアスと前記第 2 のバイアスそれぞれにおける前記第 1 の分布型電圧制御発振器の発振周波数と、前記第 2 の分布型電圧制御発振器の発振周波数との高低が反転するときに、前記第 1 の分布型電圧制御発振器に流れる電流と、前記第 2 の分布型電圧制御発振器に流れる電流とをモニタリングするステップと、

前記モニタリングされる電流値に基づき決定される電流値が前記コア回路に流れるように、前記コア回路に供給する前記最適バイアスを決定するステップと

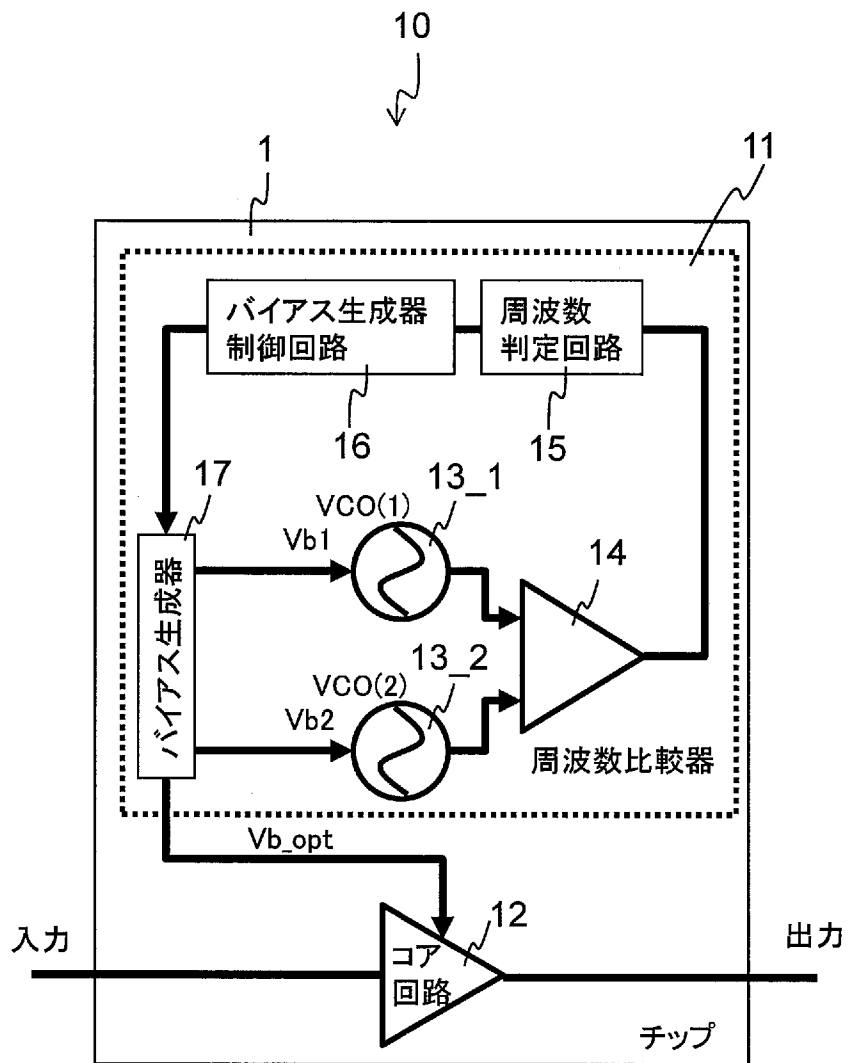
を備える電圧設定方法。

[請求項 8]

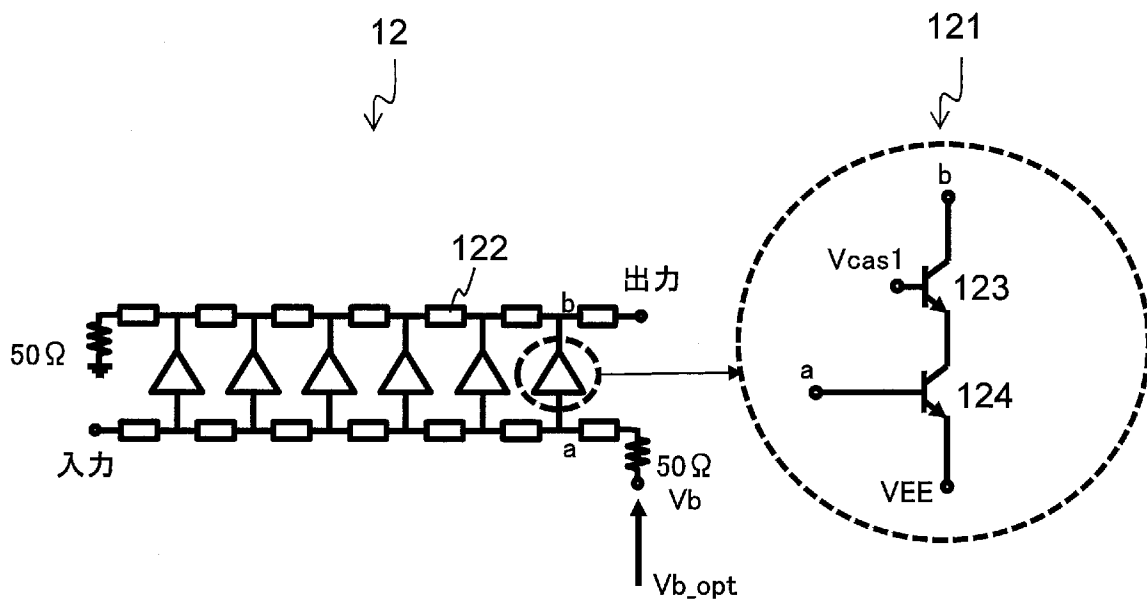
前記コア回路に前記最適バイアスを設定した後、前記第 1 の分布型電圧制御発振器と、前記第 2 の分布型電圧制御発振器と、前記周波数比較器と、前記周波数判定回路との電源をオフにするステップ

を備える請求項 6 又は請求項 7 に記載の電圧設定方法。

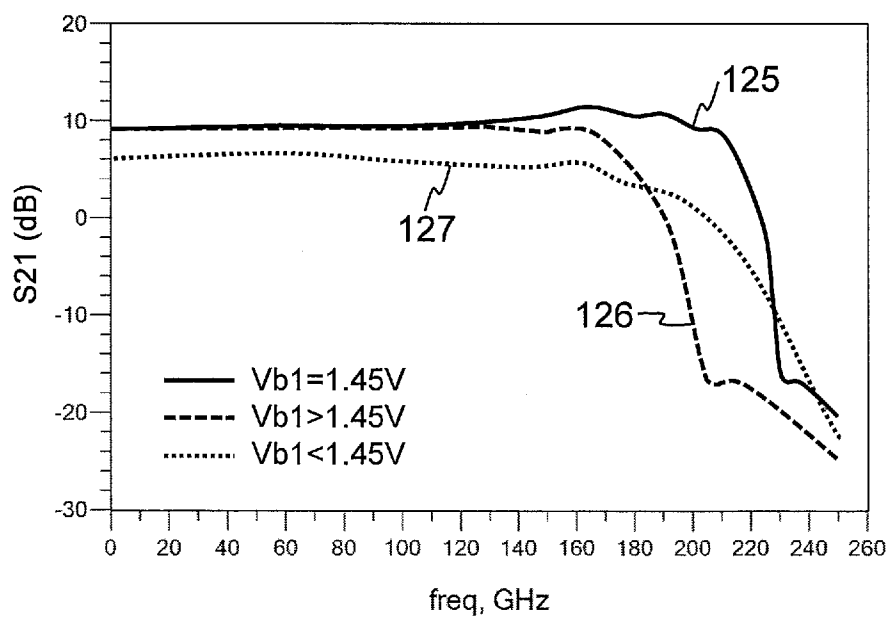
[図1]



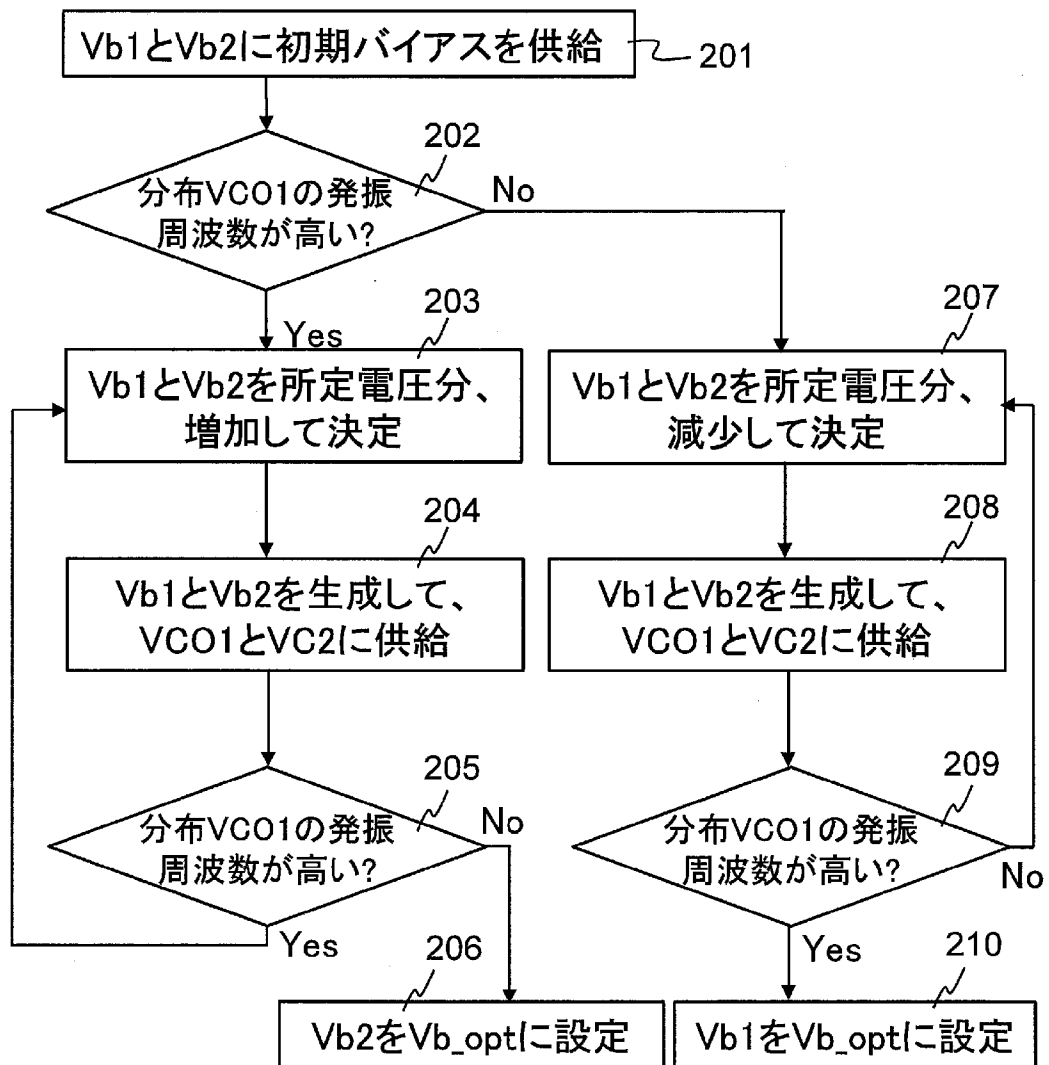
[図2A]



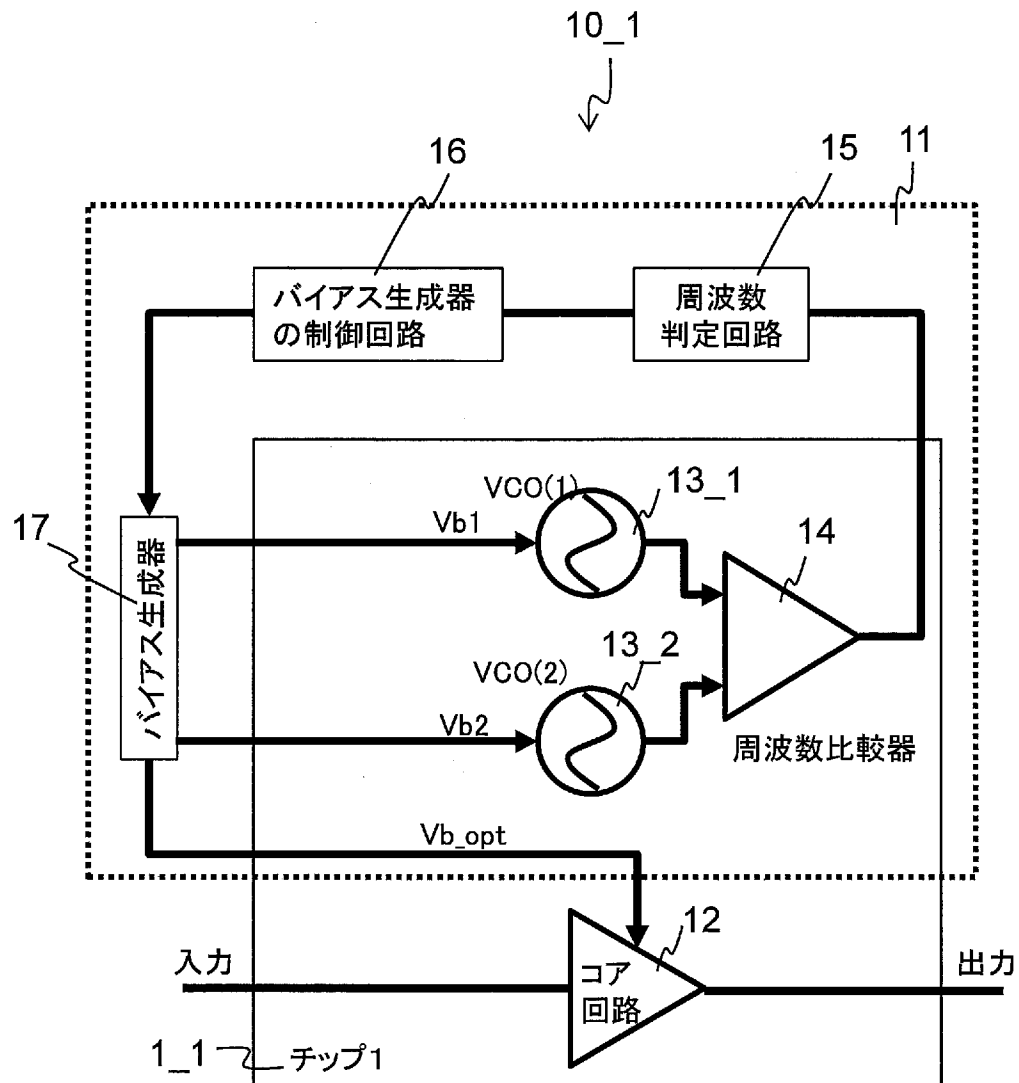
[図2B]



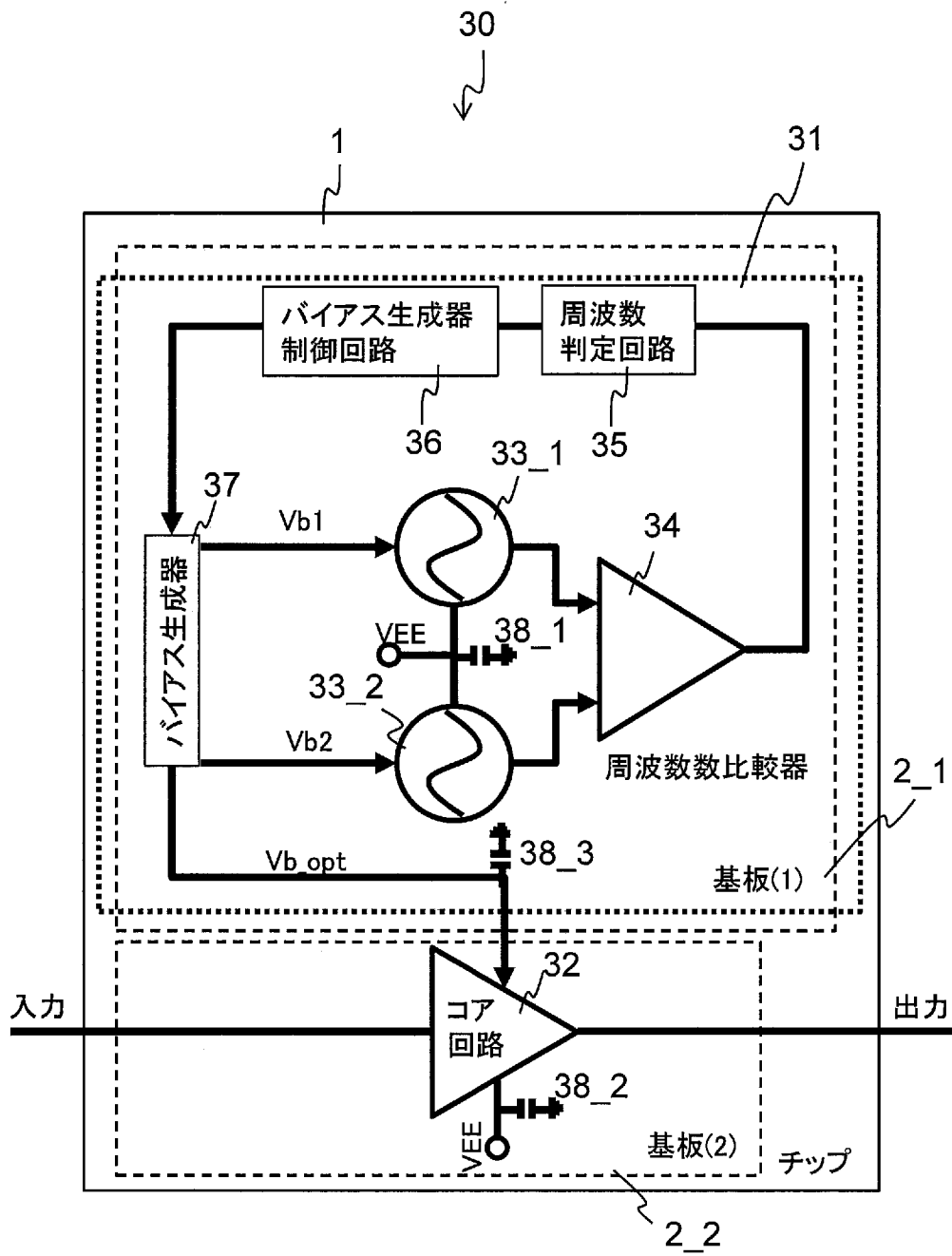
[図4]



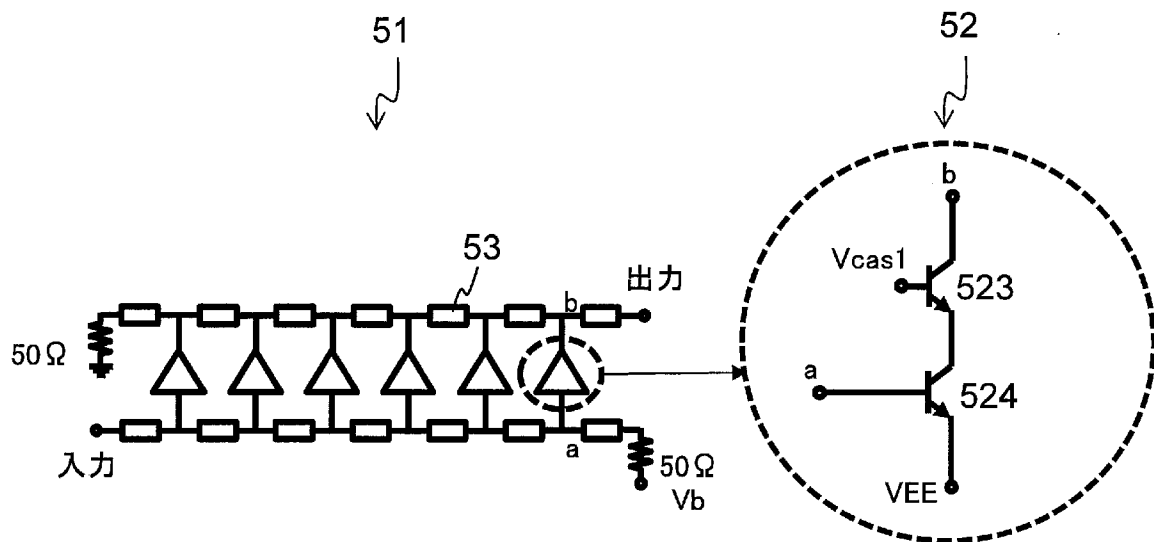
[図5]



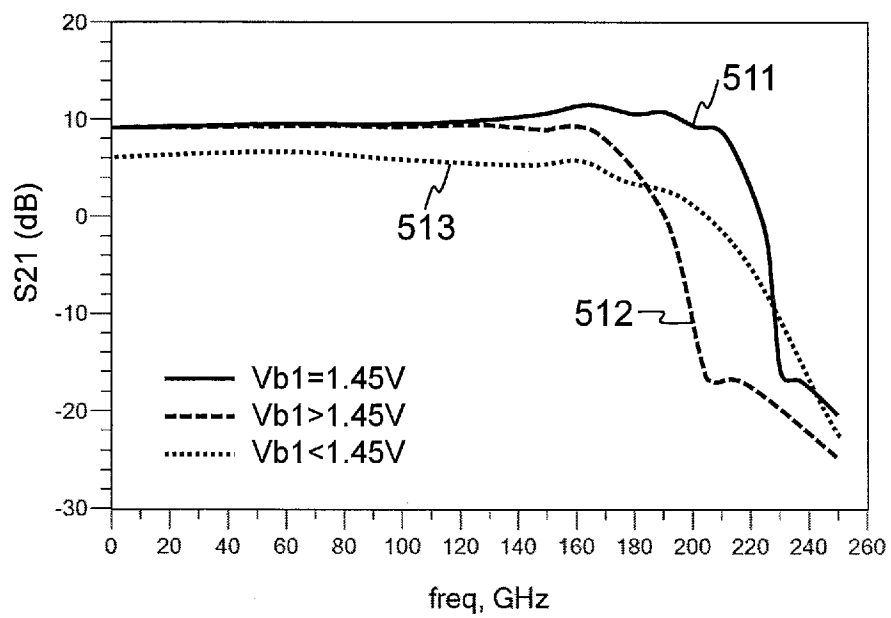
[図6]



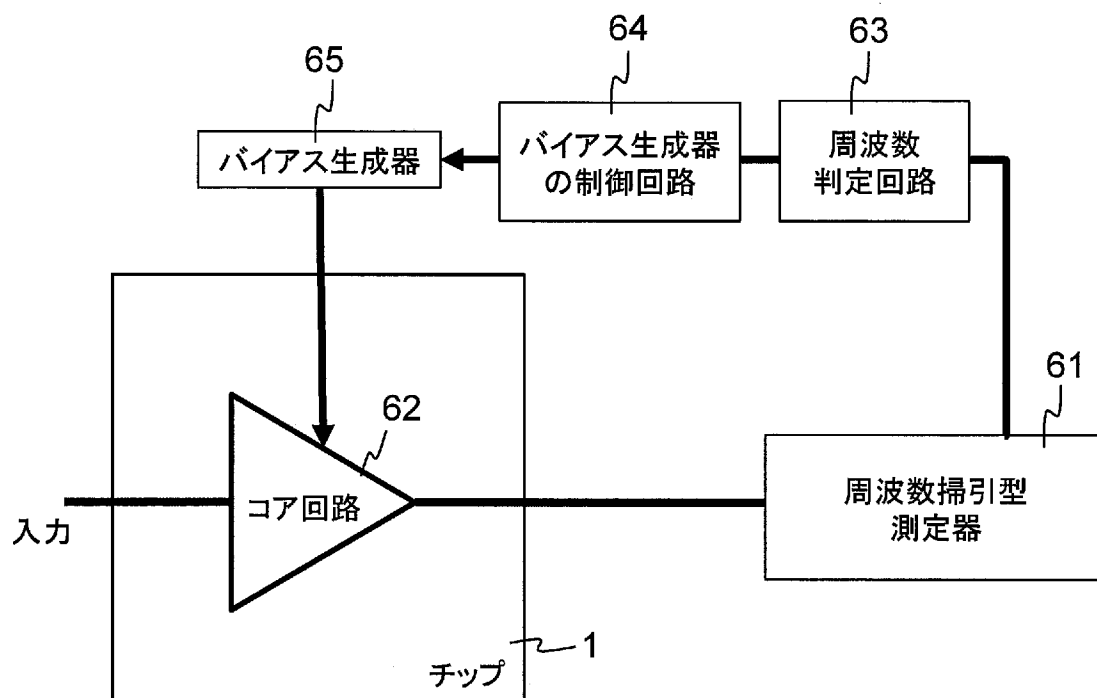
[図8]



[図9]



[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/006157

A. CLASSIFICATION OF SUBJECT MATTER

H03B 5/18(2006.01)i; H03L7/00(2006.01)i; H03F 1/30(2006.01)i

FI: H03L7/00 210; H03B5/18 Z; H03F1/30

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03B5/18; H03L7/00; H03F1/30

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2021

Registered utility model specifications of Japan 1996-2021

Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2015-522225 A (SI-WARE SYSTEMS) 03 August 2015 (2015-08-03) paragraphs [0006], [0019]-[0021], fig. 4	1-8
A	JP 2008-53784 A (TOSHIBA CORP) 06 March 2008 (2008-03-06) paragraphs [0028]-[0040], fig. 1	1-8
A	JP 7-58556 A (NEC ENG LTD) 03 March 1995 (1995-03-03) paragraphs [0016]-[0031], fig. 1-4	1-8
A	JP 2012-15602 A (FUJITSU LTD) 19 January 2012 (2012-01-19) paragraphs [0014]-[0018], fig. 1	1-8
A	US 2009/0072916 A1 (ANALOGIES S.A.) 19 March 2009 (2009-03-19) paragraphs [0033]-[0053], fig. 1, 3	1-8

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
30 March 2021 (30.03.2021)

Date of mailing of the international search report
06 April 2021 (06.04.2021)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2021/006157

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2015-522225 A	03 Aug. 2015	US 2013/0271226 A1 paragraphs [0006], [0036]-[0038], fig. 4 WO 2014/008231 A2 CN 104782049 A	
JP 2008-53784 A	06 Mar. 2008	US 2008/0048795 A1 paragraphs [0039]- [0051], fig. 1 (Family: none)	
JP 7-58556 A	03 Mar. 1995	US 2011/0316633 A1 paragraphs [0031]- [0036], fig. 1	
JP 2012-15602 A	19 Jan. 2012	EP 2418767 A1 EP 1940017 A2 paragraphs [0025]- [0047], fig. 1, 3	
US 2009/0072916 A1	19 Mar. 2009		

A. 発明の属する分野の分類（国際特許分類（IPC）） H03B 5/18(2006.01)i; H03L 7/00(2006.01)i; H03F 1/30(2006.01)i FI: H03L7/00 210; H03B5/18 Z; H03F1/30		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H03B5/18; H03L7/00; H03F1/30		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2021年 日本国実用新案登録公報 1996-2021年 日本国登録実用新案公報 1994-2021年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2015-522225 A（エスアイウェア システムズ）03.08.2015（2015-08-03） 段落[0006], [0019]-[0021], 図4	1-8
A	JP 2008-53784 A（株式会社東芝）06.03.2008（2008-03-06） 段落[0028]-[0040], 図1	1-8
A	JP 7-58556 A（日本電気エンジニアリング株式会社）03.03.1995（1995-03-03） 段落[0016]-[0031], 図1-4	1-8
A	JP 2012-15602 A（富士通株式会社）19.01.2012（2012-01-19） 段落[0014]-[0018], 図1	1-8
A	US 2009/0072916 A1（ANALOGIES S.A.）19.03.2009（2009-03-19） 段落[0033]-[0053], 図1, 3	1-8
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 30.03.2021		国際調査報告の発送日 06.04.2021
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 竹内 亨 5W 8388 電話番号 03-3581-1101 内線 3576

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/006157

引用文献			公表日	パテントファミリー文献	公表日
JP	2015-522225	A	03.08.2015	US 2013/0271226 A1 段落[0006], [0036]- [0038], 図4 WO 2014/008231 A2 CN 104782049 A	
JP	2008-53784	A	06.03.2008	US 2008/0048795 A1 段落[0039]-[0051], 図1	
JP	7-58556	A	03.03.1995	(ファミリーなし)	
JP	2012-15602	A	19.01.2012	US 2011/0316633 A1 段落[0031]-[0036], 図1 EP 2418767 A1	
US	2009/0072916	A1	19.03.2009	EP 1940017 A2 段落[0025]-[0047], 図1, 3	