



MINISTERO DELLO SVILUPPO ECONOMICO  
DIREZIONE GENERALE PER LA TUTELA DELLA PROPRIETÀ INDUSTRIALE  
UFFICIO ITALIANO BREVETTI E MARCHI

# UTBM

|                           |                        |
|---------------------------|------------------------|
| <b>DOMANDA NUMERO</b>     | <b>101980900000275</b> |
| <b>Data Deposito</b>      | <b>18/02/1980</b>      |
| <b>Data Pubblicazione</b> | <b>18/08/1981</b>      |

|                               |           |
|-------------------------------|-----------|
| <b>Priorità</b>               | 322.112   |
| <b>Nazione Priorità</b>       | CA        |
| <b>Data Deposito Priorità</b> | 22-FEB-79 |

Titolo

RICEVITORE DIGITALE DI CHIAMATA, PER LA RICEZIONE DI TONO SEGNALI MODULATI  
IMPULSIVAMENTE IN CODICE

COHN-SFETCU, 1-1-1

4/64207 vc.

Descrizione dell'invenzione avente per titolo:

"" RICEVITORE DIGITALE DI CHIAMATA, PER LA RICEZIONE  
DI TONO SEGNALI MODULATI IMPULSIVAMENTE IN CODICE ""

a nome: NORTHERN TELECOM LIMITED

a: 1600 Dorchester Boulevard West,  
Montreal, Quebec, Canada, H3H 1R1

di nazionalità canadese ed elettivamente domici-  
liata a tutti gli effetti di Legge a Milano -  
Via Dogana, 1 presso il mandatario Ufficio Brevetti  
Ing. C. Gregorj -

(Deposit. il 18 FEB 1980

No. 19986 A, 80

RIASSUNTO

La presente invenzione si riferisce ad un  
ricevitore digitale di chiamata in grado di conver-  
tire i segnali di chiamata modulati impulsivamente  
in codice (PCM) in un formato del segnale che risul-  
ta compatibile con un combinatore, o "controller"  
presente in un associato impianto di commutazione  
telefonica a multiplex a divisione di tempo (TDM).  
Nel ricevitore, vengono generati segnali di orienta-  
mento, in sincronismo con il funzionamento dell'im-  
pianto di commutazione, in modo tale dirigere il  
funzionamento di un filtro a condivisione del tempo.

DESCRIZIONE MODIFICATA

(ART. 49 D.P.R. 338/1979)

ISTANZA DEPOSITATA

16 74-10-80

UFFICIO BREVETTI  
Ing. C. GREGORJ

Il filtro esplica una pluralità di funzioni, con una serie di segnali modulati impulsivamente in codice (PCM) ricevuti dall'impianto di commutazione TDM e genera, dagli stessi, una serie di segnali correlati ad ognuna delle funzioni del filtro. Un traslatore identifica due segnali derivati dal filtro, presentanti ampiezze superiori a quelle degli altri mentre se i due segnali persistono in modo sostanzialmente continuo (a) attraverso un periodo di tempo prestabilito, (b) entro una gamma relativa di ampiezza prestabilita e (c) uno dei due segnali presenta almeno un rapporto segnale/rumore di valore prestabilito rispetto ad un altro segnale derivato dal filtro, corrispondente ad una funzione di non attenuazione del filtro, il traslatore indica la ricezione di una chiamata multifrequenza mediante generazione di segnali appropriati nel formato richiesto per i segnali.

---

DESCRIZIONE DELL'INVENZIONE

La presente invenzione si riferisce, in generale, a ricevitori di chiamata con tono segnali e riguarda, in particolare, un ricevitore concretizzato in forma digitale, utilizzato per la traslazione dei tono segnali modulati impulsivamente in codice

(PCM) in un formato di segnale compatibile con un combinatore in un impianto di commutazione telefonico.

I ricevitori telefonici di chiamata, utilizzati per ricevere una chiamata su doppino di abbonato a più frequenze oppure una chiamata su linee di giunzione multifrequenza (MF) sono passati da uno sviluppo circuitale analogico ad uno sviluppo circuitale di tipo digitale, in conformità a quanto esemplificato nel brevetto statunitense N.3.537.001, rilasciato il 27 Ottobre 1970 a nome J.J.Friend e nel brevetto statunitense N.3.790.720, rilasciato il 5 Febbraio 1974 a nome K.R.Schartmann. Tuttavia, deve essere rilevato che questi ricevitori sono stati progettati per la ricezione di chiamate analogiche e gli stessi non sono direttamente adattabili per la ricezione di segnali digitali. Conseguentemente, in un sistema telefonico a modulazione impulsiva codificata (PCM), a multiplex a divisione di tempo (TDM), viene impiegato un convertitore digitale/analogico per convertire i campioni PCM da un canale TDM selezionato, in un segnale analogico. Successivamente, il ricevitore di chiamata, rivela l'appropriata chiamata e converte la chiamata stessa



in un codice compatabile con il funzionamento di un associato impianto di commutazione TDM.

L'impiego di elaboratori di segnali digitali per l'elaborazione di segnali digitali senza dover convertire i segnali digitali in un formato analogico, e' stato descritto da S.L.Freeny in una memoria intitolata "Special Purpose Hardware for Digital Filtering" apparsa nella pubblicazione "proceedings of the IEEE", Vol.63, pagg.633-648, Aprile 1975, e da J.Allen, in un memoria intitolata "Computer Architecture for Signal Processing", apparsa nella pubblicazione "proceedings of the IEEE", Vol.63, pagg.624-632, Aprile 1975. Quantunque interessanti per l'elaborazione digitale delle chiamate PCM, direttamente, senza operare dapprima la conversione dei campioni PCM in segnali analogici, queste proposte, in passato, non sono risultate economicamente competitive nell'ambito della telefonia.

Deve essere rilevato che esistono, in telefonia, due tipi di chiamata, o segnalazione, utilizzando combinazioni di frequenze e costituite dalla chiamata su doppino DIGITONE o TOUCHTONE (marchi registrati) e dalla chiamata su linee di giunzione R1 o R2. La distinzione principale fra i due tipi di chiamata e' rappresentata dal fatto che il formato

DIGITONE o TOUCHTONE consiste di due tono segnali che appartengono alle rispettive bande di alta frequenza e di bassa frequenza. Conseguentemente, e' vantaggioso sfruttare le tecniche del passaggio per lo zero per la rivelazione del tono segnale dopo la separazione, nel filtro, del segnale ricevuto, in due bande di frequenza. Questa soluzione non e' applicabile alla chiamata R1 o R2 per la quale e' valida una combinazione di qualsiasi due toni di una pluralità di toni prescritti. Nel brevetto statunitense No.4.076.965, rilasciato a nome R.E.Olsen e E.A. Munter, il 28 Febbraio 1978, e' stato illustrato un complesso circuitale misto, di tipo digitale ed analogico, complesso e voluminoso, richiesto in un ricevitore flessibile di chiamata MF, di tipo analogico, adatto per l'impiego in formati di segnalazione, o chiamata, a frequenza singola e multifrequenza.

Risulta quindi evidente che la realizzazione di un ricevitore MF puramente digitale, per la ricezione e la distinzione fra una pluralità di diversi tono segnali codificati in forma PCM, richiede una progettazione molto flessibile, suggerendo in tal modo l'impiego di un elaboratore, o processore digitale. Tuttavia, in qualsiasi progetto pratico, il costo di

concretizzazione di un ricevitore di questo tipo deve risultare confrontabile e favorevole nei confronti dei costi degli attuali ricevitori analogici esistenti nei sistemi PCM. Gli attuali ricevitori di chiamata PCM che sono stati proposti e che vengono concretizzati con l'impiego di sistemi a microprocessore di tipo digitale, operano in modo troppo lento per consentire di soddisfare, economicamente, i requisiti in tempo reale richiesti per la chiamata telefonica.

In conformità ai principi della presente invenzione, viene ottenuto un miglioramento sostanziale nella velocità operativa di un ricevitore di chiamata per mezzo dello svolgimento di una elaborazione semplice ma fortemente ripetitiva dei segnali in un circuito digitale specializzato, mentre una elaborazione più complessa ma meno ripetitiva viene convenientemente condotta con l'ausilio di un microprocessore. In una forma pratica realizzativa dell'invenzione, il tempo reale richiesto per la ricezione dei segnali di chiamata è stato ridotto in misura sufficiente a permettere al ricevitore di chiamata di venire condiviso temporalmente fra una pluralità di canali di comunicazione.

Il ricevitore di chiamata proposto dall'inven-

zione include mezzi per la ricezione di campioni di segnali PCM da un canale TDM selezionato da un combinatore, o "controller" in un associato impianto di commutazione TDM e mezzi di filtraggio, di tipo digitale, per generare rappresentazioni, sotto forma di segnali binari, delle funzioni del filtro svolte sui campioni dei segnali ricevuti ed ognuno corrispondente ad un'ampiezza del segnale, con una frequenza selezionata nei campioni dei segnali ricevuti. Un traslatore genera segnali rappresentativi dei dati, indicanti la segnalazione, o chiamata e compatibili con il formato dei segnali del "controller", in risposta ai valori di ampiezza dei segnali delle rappresentazioni dei segnali binari.

I mezzi di filtraggio, di tipo digitale, svolgono le funzioni di un filtro per una pluralità di specifiche frequenze prestabilite, tali mezzi di filtraggio venendo concretizzati sotto forma di un circuito includente una logica cablata per la definizione di ogni funzione del filtro. La logica cablata viene vantaggiosamente concretizzata sotto forma di una memoria per sole operazioni di lettura (ROM). Il filtro digitale opera ad una velocità maggiore di quella richiesta per la ricezione di un canale di un campione PCM e, di conseguenza, questo filtro

puo' essere vantaggiosamente condiviso, temporalmente, fra i canali. La velocità intrinseca del filtro viene ulteriormente migliorata disponendo l'utilizzazione della memoria ROM secondo una configurazione parallelo/serie in modo tale che, nel tempo reale disponibile, possano venire ricevuti più di due canali di campioni PCM.

Il traslatore comprende, essenzialmente, un microprocessore che viene fatto funzionare in accordo con istruzioni logiche, in combinazione con vari segnali di tempificazione e di orientamento, generati nel ricevitore di chiamata. Il traslatore riceve i segnali in uscita dal filtro e converte questi segnali in segnali rappresentativi di dati, indicativi della segnalazione e compatibili con il formato dei segnali del combinatore.

In una forma pratica realizzativa conforme all'invenzione, la velocità di funzionamento del ricevitore di chiamata, viene ulteriormente migliorata per mezzo dell'adozione di modi di funzionamento alternati. All'inizio della chiamata, l'elaboratore determina la validità della chiamata iniziale, per mezzo dello svolgimento di una prima serie di funzioni di elaborazione, con segnali provenienti dai

mezzi di filtraggio di tipo digitale. Al proseguimento della chiamata, a partire dall'inizio della stessa, l'elaboratore svolge una serie differente di funzioni di durata inferiore a quella della prima serie di funzioni, allo scopo di verificare semplicemente la continuità della segnalazione.

La presente invenzione risulterà più evidente dall'analisi della seguente descrizione dettagliata riferita ad una forma pratica realizzativa della stessa, tale trattazione essendo considerata in unione ai disegni allegati, nei quali:

la figura 1 costituisce un diagramma schematico a blocchi di un ricevitore di chiamata, di tipo digitale, costruito in conformità ai principi della presente invenzione, detto ricevitore essendo collegato ad un impianto di commutazione telefonico;

la figura 2 rappresenta un diagramma schematico a blocchi di un circuito di controllo della sequenza e della tempificazione utilizzato nel ricevitore di chiamata rappresentato schematicamente nella figura 1;

la figura 3 rappresenta un diagramma schematico a blocchi di un filtro digitale e di un registro buffer di ingresso impiegati nel ricevitore di chia\_

mata schematizzato nella figura 1;

la figura 4 rappresenta un diagramma schematico a blocchi di un circuito traslatore impiegato nel ricevitore di chiamata schematizzato nella figura 1;

la figura 5 costituisce un diagramma dei tempi illustrante alcune operazioni selezionate del ricevitore di chiamata schematizzato nelle figure 1, 2, 3 e 4; e

la figura 6 costituisce un diagramma di flusso delle funzioni del circuito traslatore di chiamata schematizzato nella figura 4.

La struttura ed il principio di funzionamento della versione esemplificativa dell'invenzione, verranno brevemente descritti con riferimento alla figura 1 e, successivamente, verrà riportata una descrizione più dettagliata, facendo riferimento alla parte rimanente dei disegni. Vari dettagli concernenti la generazione delle varie tensioni richieste per il funzionamento della versione esemplificativa illustrata e descritta, non sono stati riportati per il fatto che la previsione dei vari alimentatori e lo stabilimento delle varie connessioni di alimentazione rientrano nelle conoscenze di un esperto del settore

specifico. Inoltre, non e' stato ritenuto necessario illustrare o descrivere l'instradamento dei vari segnali di tempificazione, o di orologio, tipicamente richiesti per il funzionamento dei vari circuiti reperibili in commercio e rappresentati, ad esempio, dai flip-flop, dai registri, e così via, ad eccezione di quelle aree nelle quali questa descrizione si riferisce a particolari segnali di tempificazione o nei casi in cui questo serva a facilitare la spiegazione e la comprensione della forma pratica realizzativa dell'invenzione in oggetto.

In alcune aree della versione esemplificativa descritta, vengono impiegate memorie per sole operazioni di lettura (ROM), tipicamente del tipo a circuito integrato con collegamenti fusi, dette memorie venendo utilizzate per lo svolgimento di varie funzioni. Questo tipo di memoria ROM e' caratteristico per il fatto che la struttura a circuito integrato della stessa e' essenzialmente rappresentata da quella di un numero elevato di reti logiche individuali, del tipo a logica cablata, ognuna delle quali e' selettivamente collegabile ad una pluralità di terminali di uscita, in risposta al rispettivo segnale univoco di indirizzo. La versione esemplificativa puo'



venire pure concretizzata mediante sostituzione di una o di più unità di memorie ROM con altri dispositivi alternati di memoria. Alcuni esempi di questi dispositivi alternativi di memoria sono rappresentati dalle memorie ad accesso casuale (RAM - random access memory), dalle memorie per sole operazioni di lettura, di tipo programmabile (PROM - programmable read only memory) e dalle memorie per sole operazioni di lettura, elettronicamente programmabili (EPROM - electronically programmable read only memory). Tuttavia, deve essere rilevato che questi ed altri dispositivi alternati di memoria tendono a risultare più costosi, maggiormente volatili e, di conseguenza, meno affidabili delle memorie ROM.

L'impianto di commutazione digitale schematizzato nella figura 1 e' collegato, in pratica, a varie linee digitali o analogiche di giunzione o a qualsiasi combinazione delle stesse. Questo impianto puo' essere pure collegato a vari doppiini telefonici di abbonato. Tuttavia, queste varianti non sono state illustrate per il fatto che non sono pertinenti alla descrizione di un ricevitore per chiamate telefoniche PCM MF in un sistema telefonico digitale. L'impianto di commutazione digitale la opera in un formato includente trentadue bytes a dieci bits, per ogni quadro, la

frequenza di ripetizione di quadro essendo pari, all'incirca, a 8 KHz. Un ricevitore PCM MF risulta associato all'impianto di commutazione digitale 1a, in modo tale da ricevere la segnalazione dalle linee di giunzione (trunks), attraverso l'impianto di commutazione 1a. Trentadue canali PCM sono collegati dall'impianto di commutazione digitale 1a, attraverso una linea di giunzione per segnali PCM, a carattere seriale 2, ai registri di memoria temporanea, vale a dire ai registri buffer di ingresso 30 presenti nel ricevitore 1b. I segnali di tempificazione, o di orologio, corrispondenti alla frequenza dei bit dei segnali PCM sulla linea di giunzione 2, vengono alimentati, dall'impianto di commutazione digitale 1a, ad un circuito di controllo della sequenza e della tempificazione 10, presente nel ricevitore 1b, attraverso un conduttore 3 utilizzato per il convogliamento dei segnali di orologio, o di tempificazione. Un canale omnibus 4 per i registri di registrazione e' collegato, dall'impianto di commutazione digitale 1a, ai registri di memoria temporanea di ingresso 30 ed al circuito 10 di controllo della sequenza e della tempificazione. Il canale omnibus dei registri di scrittura 4 convoglia i segnali da un

combinatore, o "controller" nell'impianto di commutazione digitale 1a, in modo tale che determinati canali selezionati fra i trentadue canali dei campioni PCM, possano venire registrati in registri selezionati fra i registri buffer di ingresso 30. Il circuito 10 di controllo della sequenza e della tempificazione, genera segnali di lettura su di un canale omnibus 27a dei registri di lettura, in modo tale che i campioni PCM/<sup>che</sup>sono stati registrati serialmente nei registri buffer 30, possano venire trasmessi, selettivamente, in parallelo, ad un filtro digitale 30a, attraverso i conduttori 30b. Dopo che il contenuto di uno dei registri di transito 30 e' stato trasmesso al filtro digitale 30a, viene generato un segnale su di un conduttore appropriato fra i vari conduttori di un canale omnibus 28a per l'azzeramento dei registri, per mezzo del circuito 10 di controllo della sequenza e della tempificazione, in modo tale da provocare l'azzeramento del corrispondente registro buffer. Il filtro digitale 30a fornisce i rispettivi segnali di uscita rappresentativi del segnale ricevuto di ogni campione del canale selezionato e fornisce pure i segnali rappresentativi delle componenti delle funzioni del filtro corrispondenti a sei

bande del tono segnale multifrequenza. Questi segnali di uscita si evidenziano, secondo un formato serie/parallelo, sui conduttori 43, 44a e 45a, contraddistinti dai riferimenti "segno", "pari" e "dispari", rispettivamente. Questi conduttori convogliano l'uscita del sistema a filtro digitale, ad un circuito traslatore di chiamata 50. Il sistema a filtro digitale 30a ed il circuito traslatore di chiamata 50 vengono entrambi controllati e sincronizzati dai segnali generati nel circuito 10 di controllo della sequenza e della tempificazione. I segnali di orientamento e di tempificazione vengono convogliati attraverso un canale omnibus di orientamento 20 ed un canale omnibus di tempificazione 29. Questi canali omnibus sono collegati dal circuito 10 di controllo della sequenza e della tempificazione, al filtro digitale 30a ed al circuito traslatore di chiamata 50. Il circuito traslatore di chiamata 50 riceve, periodicamente, l'uscita proveniente dal filtro digitale 30a e genera codici dei segnali binari, compatibili con il funzionamento del combinatore presente nell'impianto di commutazione 1a e rappresentanti lo stato di segnalazione di ognuno dei quattro canali selezionati fra i trentadue canali.

Ogni codice di segnale, a carattere binario, include le informazioni in un formato del tipo illustrato, ad esempio, nella Tabella A.

TABELLA A

| Funzione                              | bit del<br>segnale<br>7 | bit<br>di stato<br>6 | bit di<br>errore<br>5 | bit di<br>stato<br>4 | Codice cifra/errore |       |       |       |
|---------------------------------------|-------------------------|----------------------|-----------------------|----------------------|---------------------|-------|-------|-------|
|                                       |                         |                      |                       |                      | bit 3               | Bit 2 | bit 1 | bit 0 |
| Segnale<br>valido                     | 1                       | Y                    | 0                     | Y                    | X                   | X     | X     | X     |
| Pausa                                 | 0                       | 0                    | 0                     | 0                    | 0                   | 0     | 0     | 0     |
| Errore<br>spettra<br>le               | 1                       | Y                    | 1                     | Y                    | 0                   | Z     | Z     | Z     |
| Errore<br>di tem-<br>pifica-<br>zione | 1                       | Y                    | 1                     | Y                    | X                   | X     | X     | X     |

Nella Tabella precedentemente riportata, XXXX denota il codice a quattro bits di una cifra, ZZZ denota il codice a tre bits di un errore spettrale mentre YY denota un codice a due bits della gamma di potenza dei segnali.

L'impianto di commutazione digitale 1a indirizza il circuito traslatore di chiamata 50 attraverso un canale omnibus di selezione 82 collegato fra le unità considerate, in modo tale da indicare che viene richiesta l'informazione di segnalazione, o di chiamata in modo tale da indicare da quale dei quattro canali, la stessa viene richiesta. Il circuito traslatore di chiamata 50 risponde all'indirizzo presente sul canale omnibus di selezione 82 mediante trasmissione di un codice binario, in accordo con il formato riportato nella Tabella A, per lo stato del canale selezionato, attraverso un canale omnibus 83 per i dati di uscita, al complesso di commutazione digitale 1a.

Facendo riferimento specifico alla figura 2, puo' essere rilevato che il circuito 10 di controllo della sequenza e della tempificazione, include un contatore 11 presentante un proprio terminale di ingresso per i segnali di orologio CK collegato al

conduttore 3 per i segnali di orologio, o di temporizzazione precedentemente indicato con riferimento alla descrizione della figura 1. Il contatore 11 include pure un ingresso di caricamento LD e le uscite Q0 - Q8 oltre ad una uscita Q14. Un segnale, sincronizzato con la frequenza di quadro dell'impianto di commutazione digitale 1a, viene alimentato all'ingresso di caricamento LD, attraverso un conduttore 19a, in modo tale da sincronizzare il contatore 11 all'avviamento. Le uscite Q0 - Q8 sono costituite dall'origine dei vari conduttori 0-8 presenti nel canale omnibus 20 di convogliamento dei segnali di orientamento. L'uscita Q14 e' collegata ad un terminale di ingresso D1 di un registro 12 a due bits. Il contatore 11 puo' venire realizzato con l'impiego di componenti facilmente reperibili in commercio e consistenti di un circuito divisore per 10 seguito da tre circuiti divisori per 16. In una disposizione di questo tipo, soltanto l'ingresso di caricamento LD del circuito divisore per 10, risulta attivamente collegato al conduttore 19a e, pertanto, quando viene generato il segnale di caricamento, soltanto il circuito divisore per 10 viene azzerato. Il registro a due bits 12 puo' consistere di due circuiti a flip-flop,

di tipo D, collegati in conformità a quanto rappresentato nella figura 2. Le uscite Q1 e  $\overline{Q2}$  del circuito a registro 12, sono collegate ai rispettivi ingressi di una porta logica AND 13 la cui uscita costituisce l'origine di un conduttore 13a per i segnali di ripristino. Il registro 12, in combinazione con la porta logica AND 13, genera un segnale di ripristino ad ogni 8 millisecondi, sul conduttore dei segnali di ripristino 13a, in risposta ai segnali derivati dalle uscite Q5 e Q14 del contatore 11. Nel canale 20 di convogliamento dei segnali di orientamento, i conduttori 7 ed 8 vengono collegati agli ingressi A0 ed A1, rispettivamente, dei decodificatori 27 e 28. Ogni decodificatore 27 e 28 include le uscite Q0 - Q3. Le uscite del decodificatore 27 rappresentano l'origine dei conduttori 0-3 del canale omnibus 27a dei registri mentre le uscite del decodificatore 28 comprendono l'origine dei conduttori 0-3 del conduttore 28a dei segnali di azzeramento dei registri. L'interconnessione di questi canali omnibus e del canale omnibus 20 di convogliamento dei segnali di orientamento, risulterà in seguito evidente dalla descrizione delle figure 3 e 4, rispettivamente.



I circuiti multivibratori monostabili 91-94 includono, individualmente, un ingresso collegato ad uno dei conduttori 0-3, rispettivamente, previsti nel canale omnibus 4 di scrittura dei registri. Ognuno dei circuiti multivibratori monostabili MV 91-94, include pure una uscita collegata ad un ingresso di una porta logica OR 95 la quale presenta la propria uscita collegata ad un conduttore 96 per i segnali di sincronizzazione.

La parte rimanente del circuito 10 di controllo della sequenza e della tempificazione, riportato nella figura 2, riguarda la generazione dei segnali di tempificazione che vengono alimentati sui vari conduttori corrispondenti e che rientrano nella designazione generale dei conduttori dei segnali di tempificazione 29 indicati nella figura 1. Una memoria per sole operazioni di lettura ROM 14, include gli ingressi A0-A6 per i segnali di indirizzo collegati ai conduttori 0-6, rispettivamente, presenti nel canale omnibus 20 di convogliamento dei segnali di orientamento, mentre include pure un ingresso A7 per i segnali di indirizzo collegato al conduttore per i segnali di ripristino 13a. L'unità di memoria ROM 14 include pure le uscite di convogliamento dei dati D0-D7, l'uscita per i dati D0 comprendendo

l'origine di un conduttore 9 presente nel canale omnibus 20 di convogliamento dei segnali di orientamento. Un registro a 8 bits 15 include gli ingressi D0 e D6 collegati alle uscite D1 e D3 dell'unità di memoria ROM 14. Gli ingressi D1, D2, D3 e D7 del registro 15 sono collegati alle uscite Q0, Q1, Q2 e Q6, rispettivamente, di detto registro. L'uscita Q1 del registro in questione, e' rappresentata dall'origine di un conduttore 21 per i segnali di caricamento mentre l'uscita Q6 comprende l'origine di un conduttore 24 per i segnali di orologio per i registri di caricamento. Le uscite Q0 e Q1 del registro 15 sono collegate agli ingressi di una porta logica NOR 37 la cui uscita e' collegata all'origine di un conduttore 37a di alimentazione dei segnali di arresto. L'uscita Q3 del registro 15 e' collegata all'origine di un conduttore 22 per l'azzeramento del registro accumulatore. Una uscita Q7 del registro 15 e' collegata ad un ingresso di una porta logica OR 17 la quale presenta un altro ingresso collegato in modo tale da ricevere i segnali di orologio, o di tempificazione, dal conduttore 3. L'uscita della porta logica OR 17, e' collegata al terminale di ingresso di abilitazione EN (enable) del circuito decodificatore 28. Un regi-

stro 16, del tipo a 8 bits, include gli ingressi D1 e D2 collegati all'uscita D5 ed all'uscita D6, rispettivamente, dell'unità di memoria ROM 14. Gli ingressi D6 e D7 del registro 16 sono collegati al conduttore per i segnali di sincronizzazione 96 e ad una uscita Q6 del registro 16, rispettivamente. Una uscita Q1 del registro 16 e' collegata all'origine di un conduttore 23 per il registro di caricamento. L'uscita Q2 del registro 16 e' collegata ad un terminale di ingresso D4 dello stesso registro. La corrispondente uscita Q4 e' collegata ad un terminale di ingresso D5. L'uscita Q2 e' pure collegata all'origine di un conduttore per il registro di uscita di integrazione, indicato in 25, mentre una uscita Q5 del registro 16 e' collegata all'origine di un conduttore ad accesso diretto per la memoria RAM. L'uscita Q6 e' pure collegata ad un terminale di ingresso di una porta logica OR 17 mentre una uscita Q7 del registro 16 e' collegata ad un altro ingresso della porta logica OR 19, attraverso un invertitore 18. L'uscita della porta logica OR 19 e' collegata, per mezzo del conduttore 19a, al terminale di ingresso di caricamento LD del contatore 11.

Con riferimento specifico alla figura 2 ed al

diagramma dei tempi riportato nella figura 5, verrà ora descritto il principio di funzionamento del circuito di controllo della sequenza e della tempificazione. Tutte le scale dei tempi e le varie forme d'onda riportate nella figura 5, sono state indicate secondo l'appropriata relazione temporale. In corrispondenza della parte superiore della figura 5 sono stati rappresentati sessantaquattro quadri di canali TDM occupanti un periodo pari, all'incirca, a otto millisecondi. La scala dei tempi è stata rappresentata in forma espansa allo scopo di evidenziare un segnale di ripristino sul conduttore 13a coincidente con il sessantaquattresimo quadro. Un singolo quadro interessa un periodo pari, all'incirca a centoventicinque microsecondi e lo stesso include trentadue canali, da 0 a 31. Anche in questo caso, la scala dei tempi è stata espansa allo scopo di evidenziare i canali dei bytes PCM ognuno dei quali presenta dieci periodi binari da 0 a 9. Ogni periodo binario corrisponde, all'incirca a trecentonovanta nanosecondi e corrisponde al periodo dei segnali di orologio sul conduttore 3 di convogliamento dei segnali di orologio. Le forme d'onda rimanenti nella figura 5 sono state rappresentate rispetto alla seconda espansione della scala dei tempi e dei periodi dei bits PCM men-

tre la distinzione più breve, in termini temporali, e' pari alla metà di un periodo binario. Queste forme d'onda sono accompagnate da scritte che consentono di rendere evidente il punto di presenza ed i tempi di presenza con riferimento ai circuiti delle altre figure.

Il contatore 11 schematizzato nella figura 2, conteggia i segnali di orologio, o di tempificazione che si rendono disponibili sul conduttore 3 mentre il risultato del conteggio e' costituito da una sequenza di numeri binari che appare sui conduttori 0-8 del canale omnibus 20 di trasferimento dei segnali di orientamento. In un esempio specifico, i segnali di orologio, o di tempificazione presenti sul conduttore 3, presentano una frequenza di ripetizione impulsiva pari a 2,56 MHz. Il contatore 11 viene sincronizzato con la tempificazione dei canali PCM, per mezzo di un segnale di ripristino che si rende disponibile sul conduttore 19a e che opera in modo tale per cui la porzione a divisione per dieci del contatore 11 può venire caricata con tutti elementi a carattere binario zero. Il segnale di ripristino si verifica in risposta ad un segnale di scrittura che si evidenzia su di un conduttore

presente nel canale omnibus 4 che convoglia i segnali di scrittura dei registri. L'associato complesso circuitale a multivibratore, comprendente i multi\_vibratori 91 - 94, risponde al segnale di scrittura provocando l'abilitazione del terminale di ingresso D6 del registro 16, attraverso la porta logica OR 95 ed il conduttore 96 di convogliamento dei segnali di orologio. La corrispondente uscita Q6 del registro viene abilitata e, pertanto, il segnale di ripristino si renderà disponibile sul conduttore 19a attraverso la porta logica OR 19. Quando l'uscita Q6 viene abilitata, l'uscita Q7 del registro in questione viene corrispondentemente abilitata, allo scopo di determinare il termine del segnale di ripristino attraverso l'invertitore 18 e la porta logica OR 19. I segnali di ripristino, presentanti una durata impulsiva pari, all'incirca a 125 microsecondi ed un periodo del ciclo di circa 8 millisecondi, si rendono disponibili sul conduttore di ripristino 13a. I segnali di ripristino presenti sul conduttore 13a rappresentano il risultato della divisione dei segnali di orologio presenti sul conduttore 3, per  $10 \times 2^{11}$  e della registrazione degli stessi nel registro 12 le cui uscite <sup>Q1 e Q2</sup> vengono trattate, secondo la logica AND, dalla porta logica AND 13. L'unità di

memoria ROM 14 viene indirizzata dal contatore 11 e la stessa include la logica richiesta per pilotare i registri 15 e 16, unitamente alle porte associate, per la generazione dei segnali di temporizzazione illustrati nel diagramma dei tempi riportato nella figura 5.

Facendo ora riferimento specifico alla figura 3 puo' essere rilevato che i registri di transito, vale a dire i registri buffer 30 precedentemente definiti con riferimento alla figura 1, sono formati dai registri serie-parallelo 31-34 a 8 bits. Ognuno dei registri 31-34 include tre ingressi di controllo rappresentati, in modo specifico, da un ingresso di abilitazione EN (enable) collegato ad un rispettivo conduttore presente nel canale omnibus 4 di convogliamento dei segnali di scrittura per i registri, da un ingresso di selezione SEL (select) collegato ad un rispettivo conduttore nel canale omnibus 27a di convogliamento dei segnali di lettura dei registri e da un terminale di ingresso di cancellazione, o di azzeramento CL (clear) collegato ad un rispettivo conduttore presente nel canale omnibus 28a di convogliamento dei segnali di azzeramento dei registri. Ognuno dei registri 31-34 include pure un ingresso

seriale SI collegato al conduttore 2 di convogliamento dei segnali seriali PCM della linea di giunzione ed una uscita PO formata da otto conduttori in parallelo collegati ai conduttori 0-7 del canale omnibus di uscita in parallelo PCM 30b.

Nel funzionamento, i segnali di scrittura, o di registrazione, vengono ricevuti dal complesso, o impianto di commutazione digitale 1a, attraverso il canale omnibus 4 di convogliamento dei segnali di registrazione per i registri. Un segnale di registrazione presente su di un conduttore nel canale omnibus 4 di convogliamento dei segnali di registrazione, opera in modo tale per cui l'associato registro fra i vari registri di transito di ingresso 31 - 34 puo' caricare, in serie, un campione PCM dalla linea di giunzione 2. Entro il successivo intervallo di 8 millisecondi, viene generato, da parte del decodificatore 27, un segnale di lettura il quale si rende disponibile su di un corrispondente conduttore del canale omnibus 27a in modo tale che i contenuti del registro di transito di ingresso possano evidenziarsi, attraverso l'uscita in parallelo PO, sul canale omnibus 30b. Immediatamente dopo, un segnale di cancellazione, o di azzeramento, si



rende disponibile sul corrispondente conduttore del canale omnibus 28a di convogliamento dei segnali di azzeramento dei registri, in modo tale che il registro corrispondente possa venire azzerato, vale a dire portato ad una condizione di contenimento di tutti elementi a carattere binario zero. Nel caso in cui non si verifichi la presenza di alcun successivo segnale di scrittura diretto verso il registro di transito di ingresso, per un certo periodo di tempo, l'azzeramento del registro impedisce al circuito successivo, di ricevere false indicazioni ripetute dei campioni PCM.

Nel filtro digitale, un registro di transito 35, a 8 bits, risulta collegato fra il canale omnibus PCM in parallelo 30b ed una memoria lineare/quadratica per sole operazioni di lettura ROM 36. Otto terminali di ingresso per i dati, contraddistinti dai riferimenti D0-D7 del registro 35, sono collegati al canale omnibus PCM parallelo 30b mentre un terminale di ingresso per i segnali di orologio CK, e' collegato al conduttore 24 di trasferimento dei segnali di orologio di caricamento dei registri. Otto uscite Q0 - Q7 del registro 35, sono collegate ai corrispondenti otto ingressi di indirizzo A0 - A7 dell'unità di memoria ROM 36. Un terminale

di ingresso per i segnali di indirizzo, A8, dell'unità di memoria ROM 36, e' collegato al conduttore 4 del canale omnibus 20 di convogliamento dei segnali di orientamento. L'uscita dell'unità di memoria ROM 36 e' collegata agli ingressi parallelo dei registri di spostamento dei dati, di ordine pari e di ordine dispari 38 e 39, rispettivamente, in modo tale che il registro di ordine pari 38 possa ricevere soltanto i bits di uscita di significato pari mentre il registro di ordine dispari 39 possa ricevere soltanto i bits di uscita presentanti un significato di numero dispari. Il conduttore 21 di convogliamento dei segnali di caricamento e' collegato ai terminali di ingresso di caricamento LD dei registri di spostamento 38 e 39. Ogni registro di spostamento 38 e 39 include pure una uscita seriale SO collegata ad un corrispondente ingresso seriale SI (serial input) mentre presenta pure un ingresso di mantenimento H (hold) collegato al conduttore 37a di convogliamento dei segnali di arresto.

L'unità di memoria ROM 36 viene utilizzata per espandere ogni campione del segnale PCM nella propria rappresentazione lineare e per fornire una

approssimazione della potenza di ogni campione.

Conseguentemente, l'unità di memoria ROM 36 contiene le rappresentazioni lineari e le corrispondenti rappresentazioni lineari quadratiche approssimate di duecentocinquantesi parole PCM a otto bits, utilizzate per la trasmissione nell'impianto di commutazione digitale. I dati PCM, provenienti dai registri 31-34, vengono selettivamente applicati, attraverso il registro 35, agli ingressi di indirizzo AO-A7 dell'unità di memoria ROM 36. Durante l'applicazione di una rispettiva parola PCM, il segnale applicato al terminale di ingresso di indirizzo A8 opera in modo tale per cui l'unità di memoria ROM 36 può venire indirizzata nella propria porzione di memoria approssimativamente quadratica lineare e, successivamente, nella propria porzione di memoria lineare. I bits di ordine pari e di ordine dispari della parola quadratica approssimata e della parola lineare si evidenziano alla uscita dell'unità di memoria ROM 36 e gli stessi vengono individualmente caricati negli ingressi parallelo dei registri di spostamento 38 e 39, rispettivamente, sotto il controllo del segnale di caricamento presente sul conduttore 23 per i segna-

li di caricamento dei registri.

Un filtro, costituito da una unità di memoria ROM 40, include gli ingressi di indirizzo A0-A9 e le uscite per i dati D0-D15, collegate ad un accumulatore presentante un sommatore 41 a 16 bits ed un registro 42 a 16 bits. Il registro 42 a 16 bits, include un terminale di ingresso di cancellazione, o di azzeramento, collegato al conduttore 22 di convogliamento dei segnali di cancellazione del registro accumulatore. Gli ingressi di indirizzo A0 e A1 dell'unità di memoria ROM 40, sono collegati alle uscite seriali S0 dei registri di spostamento di ordine pari 38 e di ordine dispari 39, attraverso i conduttori 38a e 39a, rispettivamente. I registri 44 e 45 di spostamento, di ordine pari e di ordine dispari, del tipo a otto bits, includono ingressi parallelo per la ricezione dei bits di ordine pari 0 - 12 ed anche del bit 15 e dei bits di ordine dispari 1 - 11 oltre al bit 15, rispettivamente, dalla uscita del sommatore 41. Le uscite seriali S0 del registro di spostamento di ordine pari 44 e del registro di spostamento 45, di ordine dispari, sono collegate ai conduttori di ordine pari e di ordine dispari 44a e 45a, rispettivamente, ed agli ingressi seriali SI dei registri di spostamento dei dati di ordine pari

e di ordine dispari 46 e 47 a 312 bits. Ognuno dei registri di spostamento 44 e 45 include un ingresso per i segnali di caricamento LD collegati al conduttore 21 per i segnali di caricamento, mentre ognuno dei registri include un ingresso per i dati seriali SI collegati in comune ad una uscita AI proveniente dall'ultimo stadio del registro di spostamento 45 di ordine dispari. L'uscita AI rappresenta pure l'origine del conduttore 43 di convogliamento dei segnali rappresentativi del "segno". Le uscite seriali SO dei registri di spostamento 46 e 47 sono collegate agli ingressi degli indirizzi A2 e A3 dell'unità di memoria ROM 40 ed agli ingressi seriali SI dei registri di spostamento dei dati 48 e 49 di ordine pari e di ordine dispari, di tipo seriale, a 320 bits. Il registro di spostamento 48 include una uscita seriale SO collegata all'ingresso di indirizzo A4 dell'unità di memoria ROM 40 mentre il registro di spostamento 49 include una uscita seriale SO collegata all'ingresso di indirizzo A5 dell'unità di memoria ROM 40. I rimanenti ingressi di indirizzo A6 - A9 dell'unità di memoria ROM 40 sono collegati ai conduttori 4, 5, 6 e 9 del canale omnibus 20 di convogliamento dei segnali di orientamento.

L'unità di memoria ROM 40, costituente il filtro precedentemente definito, contiene i dati nelle locazioni di memoria che sono accessibili per mezzo di indirizzi binari. Il filtro ROM 40, in combinazione con l'associato complesso circuitale, opera in modo tale per cui il sistema a filtro digitale può assumere, in modo indirizzabile, le caratteristiche di sei filtri a banda stretta e le caratteristiche di un filtro non attenuante per mezzo del quale l'uscita approssimativamente quadratica lineare, derivata dall'unità di memoria ROM 36, può venire trasferita attraverso il filtro digitale. Ogni banda passante del filtro a banda stretta corrisponde ad una delle sei frequenze di segnalazione MF. L'impiego della caratteristica di un filtro non attenuante risulta conveniente poiché consente l'ottenimento di una via con l'ausilio della quale l'uscita approssimativamente quadratica lineare, derivata dall'unità di memoria ROM 36 può venire convogliata attraverso il sistema a filtro digitale. Questa uscita potrebbe venire direttamente convogliata al circuito traslatore di chiamata schematizzato nella figura 4 ma, tuttavia, deve essere rilevato che questa soluzione risulta economicamente più impegnativa poiché comporta l'impiego di

almeno un ulteriore circuito buffer e l'impiego di appropriati conduttori di convogliamento dei segnali di tempificazione.

Nel funzionamento, il valore quadratico lineare approssimato e, successivamente, il valore lineare di un campione PCM, vengono sequenzialmente registrati nei registri di ordine dispari e di ordine pari 38 e 39. I registri 38 e 39 spostano, serialmente, i bits registrati, attraverso i conduttori 38<sub>a</sub> e 39<sub>a</sub>, negli ingressi di indirizzo AO ed A1 del filtro ROM 40. I dati vengono pure fatti ricircolare attraverso i registri 38 e 39, per mezzo dei rispettivi ingressi seriali SI. Conseguentemente, ogni volta che si verifica la presenza di un indirizzo sul canale omnibus di orientamento 20, i bits dei dati derivati dall'unità di memoria ROM 36 vengono alimentati, serialmente, a coppie, al filtro ROM 40, progredendo dai bits meno significativi ai bits più significativi. Quando il bit meno significativo dell'indirizzo presente sul canale omnibus di orientamento, si verifica ad una frequenza pari ad un decimo della frequenza dei segnali di tempificazione, o di orologio, del sistema, presenti sul conduttore 3, la funzione di

riciclo del registro di spostamento 38 e del registro di spostamento 39, viene arrestata per due di ogni dieci segnali di orologio, per mezzo di un segnale di arresto convogliato tramite il conduttore 37a di convogliamento dei segnali di arresto. Ogni valore lineare viene alimentato, dai registri 38 e 39, alla memoria ROM 40, per sette volte, in conformità a quanto precedentemente descritto ogni volta in presenza di un differente indirizzo fra i sette indirizzi di funzione del filtro dal canale omnibus 20 di convogliamento dei segnali di orientamento. Ogni volta che un valore quadratico approssimato viene caricato nei registri 38 e 39, lo stesso viene alimentato una volta in presenza dell'indirizzo di funzione del filtro non attenuante.

Il filtro ROM 40 genera segnali di lettura in corrispondenza delle uscite DO-D15 ad ogni presenza del segnale di orologio, o di tempificazione. I segnali di lettura vengono accumulati per un periodo di otto cicli del segnale di orologio, per mezzo dell'azione esercitata dal sommatore 41 e del registro 42. Poiche' lo spazio nell'accumulatore risulta limitato, l'interconnessione fra l'uscita del registro 42 e l'ingresso del sommatore



re 41, e' disposta in modo tale da spostare i dati registrati di due posti nella direzione di minor significato ad ogni addizione, scartando in tal modo i due bits meno significativi. L'indirizzo sul canale omnibus 20 di convogliamento dei segnali di orientamento, include un segnale sul nono conduttore il quale viene abilitato nell'istante in cui l'ottavo, o ultimo campione si rende disponibile in corrispondenza degli ingressi A0 - A5 del filtro ROM 40. Questo provoca una lettura di "complemento a due" in corrispondenza delle uscite D0 - D15 del filtro ROM 40 la quale effettua una operazione di sottrazione nell'accumulatore. Al termine di ogni accumulazione, i registri di spostamento 44 e 45 vengono caricati con il risultato accumulato che si presenta sotto forma di un segnale binario di complemento a due. I dati cablati nel filtro ROM 40 ed il complesso circuitale configurato in conformità a quanto precedentemente descritto, consentono di produrre una uscita costituente una rappresentazione a  $1/4$  dell'ampiezza filtrata, vale a dire del valore della potenza, a seconda dei casi. Poiche' i dati si presentano sotto forma binaria di complemento a 2, gli stessi vengono moltiplicati per quattro per

generare il valore richiesto della funzione del filtro mediante caricamento del bit di segno 15 del valore accumulato, nel primo stadio di ognuno dei registri di spostamento 44 e 45. Il bit di segno 15 viene pure caricato in corrispondenza dell'ultimo stadio del registro di spostamento 15 mentre i bits 13 e 14 provenienti dal sommatore 41 vengono ignorati. Il registro accumulatore 42 viene quindi impostato ad una condizione di presenza di tutti elementi a carattere binario zero, per mezzo di un segnale presente sul conduttore 22 di trasferimento dei segnali di azzeramento del registro accumulatore. Commensurati con l'uscita del campione dai registri di spostamento 38 e 39, i bits dei dati provenienti dai registri 44 e 45 vengono accettati in corrispondenza degli ingressi seriali SI dei registri di spostamento 46 e 47, rispettivamente. Nel frattempo, il bit 15 rappresentativo del segno, viene continuamente caricato in corrispondenza degli ingressi seriali SI dei registri 44 e 45, attraverso il conduttore 43 di spostamento dei bits rappresentativi del segno.

I registri di spostamento a 312 bits, indicati in 46 e 47, vengono fatti funzionare, in modo continuo, alla frequenza del segnale di orologio, o di

tempificazione del sistema, in modo tale da registrare i bits dei dati sui conduttori 44a e 45a. In dieci periodi di orologio, i primi 8 bits registrati sono rappresentati da dati mentre gli ultimi due bits registrati vengono ignorati. Deve essere pure rilevato che il canale omnibus di convogliamento dei segnali di orientamento, trasporta dieci indirizzi per ogni campione. Pertanto, la lunghezza combinata dei registri di spostamento 44, 46 e 45, 47, e' tale per cui il risultato del precedente campione filtrato, proveniente da un dato canale, viene sincronizzato con il campione attuale appartenente al dato canale. In modo analogo, l'uscita dei registri 48, 49, a 320 bits fornisce in sincronismo, il precedente campione, in precedenza filtrato, del dato canale. L'indirizzamento del filtro ROM 40, in combinazione con i contenuti dei dati del filtro ROM 40, provvede all'azione richiesta di filtraggio per sei frequenze e per la potenza. Poiche' gli otto indirizzi presenti sul canale omnibus di convogliamento dei segnali di orientamento non vengono effettivamente impiegati in questa forma pratica realizzativa dell'invenzione, i dati cablati nel filtro ROM 40, corrispondenti a questa funzione del filtro vengono disposti in modo tale da

risultare tutti pari a zero.

Con riferimento specifico alla figura 4, puo' essere rilevato che i segnali binari presenti sul conduttore di convogliamento del segnale rappresentativo della condizione "pari" 44a e sul conduttore 43 di convogliamento del segnale rappresentativo del segno, vengono ricevuti, bit per bit, dal circuito di traslazione della chiamata, attraverso una porta logica ad OR-ESCLUSIVO 52. In modo analogo, i segnali binari presenti sul conduttore 45a di convogliamento dei bits dispari ed anche i segnali presenti sul conduttore 43 di convogliamento dei bits di segno, vengono ricevuti, bit per bit, attraverso un'altra porta ad OR-ESCLUSIVO 53. Le uscite delle porte ad OR-ESCLUSIVO 52 e 53 sono collegate agli ingressi A1 ed A2 di un sommatore a due bits 51. Il conduttore di convogliamento dei segnali di ripristino 13a e' collegato, per mezzo di un invertitore 57, agli ingressi delle porte logiche AND 54 e 55 ed al terminale di ingresso di cancellazione CL (clear) di un flip-flop 56. Una uscita del flip-flop 56 e' collegata ad un terminale di ingresso di riporto C (carry) del sommatore 51. Le uscite delle porte logiche AND 54 e 55 vengono

alimentate agli ingressi B1 e B2 del sommatore 51.

Il sommatore 51 include le uscite S1 e S2 collegate agli ingressi seriali SI di due registri di spostamento di ordine pari e di ordine dispari 60 e 61, a 320 bits. Le uscite seriali SO dei registri di spostamento 60 e 61 sono collegate agli ingressi seriali SI di due registri di spostamento 64 e 65, rispettivamente, a quattro bits ed agli ingressi delle porte logiche AND 54 e 55. Le uscite parallelo dei registri di spostamento 64 e 65 sono collegate agli ingressi di un registro buffer 66 a 8 bits le cui uscite sono collegate ad un canale omnibus di convogliamento dei dati 81. Il registro di spostamento 66 include pure un terminale di ingresso CK per i segnali di orologio, collegato al conduttore 25 in uscita dal registro 16 mentre presenta pure un terminale di ingresso EN per i segnali di abilitazione, collegato al conduttore 13a di convogliamento dei segnali di ripristino.

Un elaboratore 70, una unità di memoria di sole operazioni di lettura ROM 71 ed una memoria per i dati, del tipo ad accesso casuale RAM 72 sono interconnessi attraverso il canale omnibus 81 di riferimento dei dati ed un canale omnibus di trasferimento degli indirizzi 80. L'elaboratore 70 presenta un proprio

terminale di ingresso collegato al conduttore 13a di convogliamento dei segnali di ripristino ed una uscita di registrazione nella memoria RAM, collegata ad un ingresso di una porta logica OR 77. L'uscita della porta logica OR 77 e' collegata ad un ingresso di abilitazione di scrittura della memoria RAM 72. Un gruppo di registri indirizzabili di uscita 85 e' collegato fra il canale omnibus di convogliamento dei dati 81 ed il canale omnibus 83 di convogliamento dei dati di uscita. Un decodificatore 73 include opportuni ingressi collegati ai cinque conduttori più significativi presenti nel canale omnibus 80 di convogliamento degli indirizzi, una uscita collegata, attraverso un conduttore 74 di convogliamento dei segnali di selezione per la memoria ROM, all'unità di memoria ROM 71, una uscita collegata, attraverso un conduttore 75 di selezione dell'unità di memoria RAM, all'unità di memoria RAM 72 ed una uscita collegata all'ingresso per i segnali di abilitazione alla scrittura WE (write enable) dei registri 85. Gli ingressi di indirizzo di scrittura W1 e W2 dei registri 85 sono collegati a due conduttori del canale omnibus di convogliamento degli indirizzi 80. I registri 85 includono pure gli ingressi di indirizzo di lettura R1, R2 ed un ingresso RE per i segnali di

abilitazione di lettura, tutti collegati al canale omnibus 82 di convogliamento dei segnali di selezione. Un registro degli indirizzi 67, ad accesso diretto in memoria, e' collegato tra il canale omnibus di convogliamento dei segnali di orientamento 20 ed il canale omnibus degli indirizzi 80. Il registro 67 include un terminale di ingresso per i segnali di orologio CK collegato al conduttore 25 ed un terminale di ingresso per i segnali di abilitazione EN collegato ad una uscita di riconoscimento del ripristino 70a dell'elaboratore 70.

Nel funzionamento, l'uscita derivata dal filtro digitale 30a, schematizzato nella figura 1, viene alimentata al circuito traslatore di chiamata 50, attraverso il conduttore 44a di convogliamento dei bits pari ed attraverso il conduttore 45a di trasferimento dei bits dispari, due bits di dati alla volta mentre il bit rappresentativo del segno risulta continuamente presente sul conduttore 43 di alimentazione dei bits di segno 43, per la durata di dieci cicli di orologio. I bits dei dati, di ordine pari, e di ordine dispari vengono trattati, secondo la logica ad OR-ESCLUSIVO, con il bit rappresentativo del segno, dalle porte logiche 52 e 53,

rispettivamente e vengono quindi alimentati agli ingressi A1 ed A2 del sommatore 51. Il sommatore 51, le porte logiche AND 54 e 55, il flip-flop 56 ed i registri 60 e 61, in combinazione, svolgono una integrazione separata e distinta del valore assoluto di ogni uscita della funzione del filtro per ognuno dei canali TDM ricevuti, durante un periodo di tempo di 8 millisecondi. I segnali in uscita dal sommatore 51 vengono ritardati con riferimento alla presenza degli stessi, in corrispondenza degli ingressi B1 e B2, per mezzo dei registri di spostamento 60 e 61, di ordine <sup>pari</sup> e di ordine dispari, a 320 bits. Un segnale di riporto, presente in corrispondenza dell'uscita di eccedenza, o di "overflow" S3 del sommatore 51, viene ritardato, di un periodo del segnale di orologio, da parte del flip-flop 56 e viene quindi alimentato al terminale di ingresso di riporto C (carry) del sommatore 51. Con questo sistema, le corrispondenti uscite delle funzioni del filtro per i corrispondenti campioni dei canali, vengono sincronizzate ed accumulate in un periodo di tempo di 8 millisecondi, secondo quanto determinato dal segnale di ripristino presente sul conduttore 13a. Il segnale di ripristino viene abilitato per un periodo della frequenza di quadro pari, all'incirca, a 125 microsecondi. L'asserzione del



segnale di ripristino inibisce le porte logiche AND 54 e 55 ed azzerà il flip-flop 56, in modo tale da iniziare un nuovo periodo di accumulazione. Inoltre, durante la presenza del segnale di ripristino, i dati risultanti dalle passate integrazioni, vengono spostati al di fuori dei registri di spostamento 60 e 61, attraverso i registri di spostamento 64 e 65 e vengono quindi registrati, in forma parallelo, nel registro 66. Il processore 70 viene disattivato dal segnale di ripristino, per la durata del periodo di 125 microsecondi, in modo tale che sotto il controllo del segnale di orologio presente sul conduttore 25, i dati ricevuti dal registro 66 possano venire assemblati in bytes in parallelo ed alimentati al canale omnibus 81 di convogliamento dei dati.

Nello stesso tempo, il registro 67 trasferisce i segnali presenti sul canale omnibus di convogliamento dei segnali di guida, o di orientamento, sul canale omnibus 80 degli indirizzi. Pertanto, in risposta al segnale presente sulla linea di accesso diretto alla memoria RAM, indicata in 26, la memoria ad accesso casuale RAM 72 può registrare tutti i dati accumulati nel periodo di integrazione appena completato, in corrispondenza delle locazioni di indirizzo determinate

dai segnali presenti sul canale omnibus di convogliamento dei segnali di orientamento, ed in una gamma di indirizzi determinata dalle connessioni permanenti di ingresso dei segnali 67a sul registro di transito 67. Al termine del periodo di mantenimento del segnale di ripristino, della durata di 125 microsecondi, tutte le informazioni riguardanti la chiamata, sono state caricate nell'unità di memoria RAM 72. L'elaboratore 70 riprende il funzionamento con il complesso circuitale associato, in modo tale da operare una traslazione della chiamata in codici compatibili con l'impianto di commutazione digitale in accordo con quanto rappresentato, a titolo di esempio nella Tabella A.

Per facilitare lo svolgimento di questa funzione, l'elaboratore 70 viene governato, nella propria operazione, per lo svolgimento delle funzioni descritte nel diagramma di flusso riportato nella figura 6, per mezzo di un'appropriata sequenza di codici di istruzione alloggiati, sotto forma di una logica accessibile da un indirizzo, nell'unità di memoria ROM 71. Non e' stato ritenuto necessario riportare una descrizione dettagliata del principio di funzionamento dell'elaboratore poiche' questo rientra nell'ambito di

una persona esperta di applicazioni degli elaboratori elettronici, per la specificazione di un'appropriate sequenza di codici di istruzione adatti per la concretizzazione pratica delle funzioni illustrate nel diagramma di flusso schematizzato nella figura 6, e secondo quanto riportato nella Tabella A. Deve essere sottolineato il fatto che qualsiasi dato elaboratore e' limitato dalla propria gamma di funzioni e dalla velocità con la quale lo stesso e' in grado di operare. Ovviamente, qualsiasi elaboratore selezionato, in combinazione con una specifica serie di codici di istruzione, deve essere sufficientemente veloce da elaborare i risultati di ogni funzione del filtro entro il periodo compreso fra i periodi di mantenimento del segnale di ripristino. Nella versione esemplificativa precedentemente riportata, e' stato riscontrato soddisfacente l'impiego di un noto microprocessore del tipo 8085, fatto funzionare con un tempo di ciclo di 1,3 microsecondi, ed attivato con istruzioni logiche per la concretizzazione pratica delle funzioni riportate nel diagramma di flusso della figura 6.

Nella traslazione della chiamata, il tempo reale disponibile per l'elaborazione puo' venire miglio\_

rato sottoponendo soltanto la chiamata MF inizializzata, ad un rigoroso test di validità sottoponendo, nel contempo, la chiamata MF uscente, ad una verifica di continuità che richiede un tempo reale inferiore per l'elaborazione, rispetto a quanto si verifica per la prova di validità. Questo metodo risulta particolarmente utile in un ricevitore di chiamata adatto a ricevere la chiamata su doppino poichè la manipolazione manuale della chiamata si estende spesso per un tempo maggiore di quello essenziale. Conseguentemente, le uscite di una pluralità di filtri digitali adattate ad un formato di chiamata, o segnalazione su doppino, possono venire traslate per mezzo di un singolo processore.

Nel diagramma di flusso riportato nella figura 6, nella quale sono state rappresentate due vie alternative per l'elaborazione dei risultati istantanei di qualsiasi periodo di 8 millisecondi, sono stati rappresentati due modi di funzionamento. In corrispondenza della parte sinistra del diagramma di flusso, sono state evidenziate le funzioni richieste per determinare la validità della segnalazione MF iniziale di una cifra. Sul lato destro del diagramma di flusso, sono state rappresentate le funzioni richieste per la determinazione di una segnalazione

continua MF di una cifra.

All'inizio di un periodo di 8 millisecondi, inizia l'operazione del circuito di traslazione 50 della segnalazione, o chiamata. Vengono dapprima identificate le tre ampiezze maggiori delle funzioni del filtro, memorizzate nell'unità di memoria RAM 72. Se due dei tre segnali identificati risultano superiori ad un'ampiezza prefissata e si è verificata una chiamata nei precedenti due periodi di 8 millisecondi, la cifra chiamata viene decodificata. Se questa cifra corrisponde alla rispettiva cifra del canale, decodificata nel precedente periodo di 8 millisecondi, la stessa viene caricata in un appropriato registro fra i vari registri di uscita 85. Tuttavia, se la cifra rappresenta una terza ricorrenza di una cifra differente, la cifra decodificata viene designata come errore.

All'inizio di un periodo di 8 millisecondi, se non si riscontrano due ampiezze, nell'unità di memoria RAM 72 al di sopra di una soglia prefissata, come si verifica nel precedente periodo di 8 millisecondi, una indicazione di pausa viene caricata nell'appropriato registro fra i vari registri di uscita 85.

Nel caso in cui esistano due ampiezze al di sopra della soglia ma con presenza di una pausa precedente, le ampiezze vengono sottoposte alla prova di validità la quale include una serie di verifiche per accertare se vengono soddisfatti i requisiti per la chiamata MF. Le ampiezze vengono confrontate per la verifica di uno sbilanciamento, tipicamente denominato "twist", superiore a circa 7 decibel. Se e' presente uno sbilanciamento superiore a 7 db, il segnale viene classificato come "non valido". Nel caso di uno sbilanciamento accettabile, la più piccola delle tre ampiezze viene confrontata con l'ampiezza intermedia, per uno sbilanciamento superiore a circa 12 db. Se e' presente uno sbilanciamento inferiore a 12 db, la chiamata viene considerata come invalida. Se questo sbilanciamento risulta accettabilmente elevato, l'ampiezza maggiore viene confrontata con un valore approssimato di potenza dal periodo del campione, allo scopo di determinare se la componente massima di chiamata MF risulta almeno di 20 db superiore a quella di altri segnali considerati come rumore, che si verificano nel periodo di campionamento. Se dalle funzioni precedentemente indicate, si riscontrano due ampiez-

ze che rappresentano una segnalazione valida, la cifra rappresentata dalle stesse viene decodificata. Se il precedente periodo di 8 millisecondi e' stato indicato come una pausa, la cifra decodificata viene caricata nell'appropriato registro di uscita 85.

In una forma pratica realizzativa dell'invenzione, la memoria ROM 40 del filtro, presente nel filtro digitale 30a, include una logica indirizzabile, secondo quanto riportato nelle Tabelle successive. La logica indirizzabile provvede a sei funzioni del filtro a banda stretta ed alla funzione di un filtro non attenuante. Le sei funzioni del filtro a banda stretta presentano, individualmente, una banda passante corrispondente ad uno di sei toni segnali presentanti le seguenti frequenze: 700 Hz, 900 Hz, 1100 Hz, 1300 Hz, 1500 Hz e 1700 Hz, rispettivamente. Deve essere rilevato che queste rappresentano le frequenze dei toni segnali standard nel formato di chiamata MF del Nord America. Le voci riportate nelle Tabelle successive si riferiscono ad una memoria ROM 40 formata da quattro dispositivi ROM (0 - 3) ognuno dei quali fornisce quattro dei sedici posti di uscita dell'uni-

tà di memoria ROM 40 con i rispettivi "posti" di indirizzo collegati in comune. Ognuna delle Tabelle riporta valori secondo la notazione esadecimale, mentre i bits meno significativi degli indirizzi si estendono attraverso la parte superiore della tavola, i bits più significativi degli indirizzi estendendosi lungo il lato sinistro della tavola, la logica indirizzabile essendo rappresentata dal corpo della tavola corrispondente.



## Logica indirizzabile per ROM 40-0

| ADDR | 00 | 01 | 02 | 03 | 04 | 05 | 06 | 07 | 08 | 09 | 0A | 0B | 0C | 0D | 0E | 0F |
|------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| 000: | 0  | 1  | 2  | 3  | 0  | 1  | 2  | 3  | 0  | 1  | 2  | 3  | 0  | 1  | 2  | 3  |
| 010: | 0  | 1  | 2  | 3  | 0  | 1  | 2  | 3  | 0  | 1  | 2  | 3  | 0  | 1  | 2  | 3  |
| 020: | 0  | 1  | 2  | 3  | 0  | 1  | 2  | 3  | 0  | 1  | 2  | 3  | 0  | 1  | 2  | 3  |
| 030: | 0  | 1  | 2  | 3  | 0  | 1  | 2  | 3  | 0  | 1  | 2  | 3  | 0  | 1  | 2  | 3  |
| 040: | 0  | 0  | 0  | 0  | 1  | 1  | 1  | 1  | 3  | 3  | 3  | 3  | 4  | 5  | 5  | 5  |
| 050: | F  | F  | F  | F  | 0  | 0  | 0  | 0  | 2  | 2  | 2  | 2  | 4  | 4  | 4  | 4  |
| 060: | E  | E  | E  | E  | F  | F  | F  | F  | 1  | 1  | 1  | 1  | 3  | 3  | 3  | 3  |
| 070: | D  | D  | D  | D  | E  | E  | E  | E  | 0  | 0  | 0  | 0  | 2  | 2  | 2  | 2  |
| 080: | 0  | 0  | 0  | 0  | 1  | 1  | 1  | 1  | 2  | 2  | 3  | 3  | 4  | 4  | 4  | 4  |
| 090: | F  | F  | F  | F  | 0  | 0  | 0  | 0  | 2  | 2  | 2  | 2  | 3  | 3  | 3  | 3  |
| 0A0: | E  | E  | E  | E  | F  | F  | F  | F  | 1  | 1  | 1  | 1  | 2  | 2  | 2  | 2  |
| 0B0: | D  | D  | D  | D  | E  | E  | E  | E  | 0  | 0  | 0  | 0  | 1  | 1  | 1  | 1  |
| 0C0: | 0  | 0  | 0  | 0  | 1  | 1  | 1  | 1  | 2  | 2  | 2  | 2  | 3  | 3  | 3  | 3  |
| 0D0: | F  | F  | F  | F  | 0  | 0  | 0  | 0  | 1  | 1  | 1  | 1  | 2  | 2  | 2  | 2  |
| 0E0: | E  | E  | E  | E  | F  | F  | F  | F  | 0  | 0  | 0  | 0  | 1  | 1  | 1  | 2  |
| 0F0: | D  | D  | D  | D  | E  | E  | E  | E  | F  | F  | F  | F  | 0  | 0  | 1  | 1  |
| 100: | 0  | 0  | 0  | 0  | 1  | 1  | 1  | 1  | 2  | 2  | 2  | 2  | 3  | 3  | 3  | 3  |
| 110: | F  | F  | F  | F  | 0  | 0  | 0  | 0  | 1  | 1  | 1  | 1  | 2  | 2  | 2  | 2  |
| 120: | E  | E  | E  | E  | F  | F  | F  | F  | 0  | 0  | 0  | 0  | 1  | 1  | 1  | 1  |
| 130: | D  | D  | D  | D  | E  | E  | E  | E  | F  | F  | F  | F  | 0  | 0  | 0  | 0  |
| 140: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 1  | 1  | 1  | 1  | 2  | 2  | 2  | 2  |
| 150: | F  | F  | F  | F  | F  | F  | F  | F  | 0  | 0  | 0  | 0  | 1  | 1  | 1  | 1  |
| 160: | E  | E  | E  | E  | E  | E  | E  | F  | F  | F  | F  | F  | 0  | 0  | 0  | 0  |
| 170: | D  | D  | D  | D  | D  | D  | E  | E  | E  | E  | E  | E  | F  | F  | F  | F  |
| 180: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 1  | 1  | 1  | 1  | 1  | 1  |
| 190: | F  | F  | F  | F  | F  | F  | F  | F  | F  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 1A0: | E  | E  | E  | E  | E  | E  | E  | E  | F  | F  | F  | F  | F  | F  | F  | F  |
| 1B0: | D  | D  | D  | D  | D  | D  | D  | D  | E  | E  | E  | E  | E  | E  | E  | E  |
| 1C0: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 1D0: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 1E0: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 1F0: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 200: | 0  | 1  | E  | F  | 0  | 1  | E  | F  | 0  | 1  | E  | F  | 0  | 1  | E  | F  |
| 210: | 0  | 1  | E  | F  | 0  | 1  | E  | F  | 0  | 1  | E  | F  | 0  | 1  | E  | F  |
| 220: | 0  | 1  | E  | F  | 0  | 1  | E  | F  | 0  | 1  | E  | F  | 0  | 1  | E  | F  |
| 230: | 0  | 1  | E  | F  | 0  | 1  | E  | F  | 0  | 1  | E  | F  | 0  | 1  | E  | F  |
| 240: | 0  | 0  | F  | F  | 1  | 1  | 1  | 1  | C  | C  | C  | C  | E  | E  | E  | F  |
| 250: | F  | F  | E  | F  | 0  | 0  | 0  | 0  | B  | B  | B  | B  | D  | D  | D  | D  |
| 260: | 1  | 1  | 1  | 1  | 3  | 3  | 3  | 3  | E  | E  | E  | E  | 0  | 0  | 0  | 0  |
| 270: | 0  | 0  | 0  | 0  | 2  | 2  | 2  | 2  | D  | D  | D  | D  | F  | F  | F  | F  |
| 280: | 0  | 0  | F  | F  | 1  | 1  | 1  | 1  | D  | D  | C  | D  | E  | E  | E  | E  |
| 290: | F  | F  | E  | F  | 0  | 0  | 0  | 0  | C  | C  | C  | C  | D  | D  | D  | D  |
| 2A0: | 1  | 1  | 1  | 1  | 3  | 3  | 3  | 3  | E  | E  | E  | E  | 0  | 0  | 0  | 0  |
| 2B0: | 0  | 0  | 0  | 0  | 2  | 2  | 2  | 2  | D  | E  | D  | D  | F  | F  | F  | F  |
| 2C0: | 0  | 0  | F  | F  | 1  | 1  | 1  | 1  | D  | D  | D  | D  | E  | E  | E  | E  |
| 2D0: | F  | F  | E  | F  | 0  | 0  | 0  | 0  | C  | C  | C  | C  | D  | D  | D  | D  |
| 2E0: | 1  | 1  | 1  | 1  | 3  | 3  | 3  | 3  | F  | F  | F  | F  | 0  | 0  | 0  | 0  |
| 2F0: | 0  | 0  | 0  | 0  | 2  | 2  | 2  | 2  | E  | E  | E  | E  | F  | F  | F  | F  |
| 300: | 0  | 0  | F  | F  | 1  | 1  | 0  | 0  | D  | E  | D  | D  | E  | F  | E  | E  |
| 310: | F  | F  | E  | F  | 0  | 0  | F  | 0  | D  | D  | C  | C  | E  | E  | D  | D  |
| 320: | 1  | 1  | 1  | 1  | 2  | 2  | 2  | 2  | F  | F  | F  | F  | 0  | 0  | 0  | 0  |
| 330: | 0  | 0  | 0  | 0  | 1  | 2  | 1  | 1  | E  | E  | E  | E  | F  | F  | F  | F  |
| 340: | 0  | 0  | F  | F  | 0  | 0  | 0  | 0  | E  | E  | E  | E  | F  | F  | F  | F  |
| 350: | F  | F  | E  | F  | F  | F  | F  | F  | D  | D  | D  | D  | E  | E  | E  | E  |
| 360: | 1  | 1  | 1  | 1  | 2  | 2  | 2  | 2  | 0  | 0  | 0  | 0  | 1  | 1  | 1  | 1  |

|      |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |
|------|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| 370: | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | F | F | F | F | 0 | 0 | 0 | 0 |
| 380: | 0 | 0 | F | F | 0 | 0 | 0 | 0 | F | F | E | F | F | F | F | F |
| 390: | F | F | E | E | F | F | F | F | E | E | E | E | E | E | E | E |
| 3A0: | 1 | 1 | 1 | 1 | 2 | 2 | 2 | 2 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 1 |
| 3B0: | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | F | F | 0 | 0 | 0 | 0 |
| 3C0: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 3D0: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 3E0: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 3F0: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

Logica indirizzabile per ROM 40-1

| ADDR | 00 | 01 | 02 | 03 | 04 | 05 | 06 | 07 | 08 | 09 | 0A | 0B | 0C | 0D | 0E | 0F |
|------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| 000: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 010: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 020: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 030: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 040: | 0  | 0  | 0  | 1  | A  | B  | B  | B  | 5  | 5  | 6  | 6  | F  | 0  | 0  | 1  |
| 050: | 0  | 1  | 1  | 1  | B  | B  | C  | C  | 5  | 6  | 6  | 7  | 0  | 1  | 1  | 1  |
| 060: | 1  | 1  | 2  | 2  | C  | C  | C  | D  | 6  | 7  | 7  | 7  | 1  | 1  | 2  | 2  |
| 070: | 2  | 2  | 3  | 3  | C  | D  | D  | E  | 7  | 7  | 8  | 8  | 2  | 2  | 2  | 3  |
| 080: | 0  | 0  | 1  | 1  | 7  | 8  | 8  | 9  | F  | F  | 0  | 0  | 6  | 7  | 8  | 8  |
| 090: | 0  | 1  | 1  | 2  | 8  | 9  | 9  | A  | 0  | 0  | 1  | 1  | 7  | 8  | 8  | 9  |
| 0A0: | 1  | 2  | 2  | 3  | 9  | 9  | A  | B  | 1  | 1  | 2  | 2  | 8  | 9  | 9  | A  |
| 0B0: | 2  | 3  | 3  | 4  | A  | A  | B  | B  | 1  | 2  | 3  | 3  | 9  | A  | A  | B  |
| 0C0: | 0  | 0  | 1  | 2  | 4  | 4  | 5  | 6  | 8  | 9  | 9  | A  | C  | D  | D  | E  |
| 0D0: | 0  | 1  | 2  | 3  | 5  | 5  | 6  | 7  | 9  | 9  | A  | B  | D  | E  | E  | F  |
| 0E0: | 1  | 2  | 3  | 3  | 5  | 6  | 7  | 8  | A  | A  | B  | C  | E  | E  | F  | 0  |
| 0F0: | 2  | 3  | 4  | 4  | 6  | 7  | 8  | 8  | B  | B  | C  | D  | F  | F  | 0  | 1  |
| 100: | 0  | 0  | 1  | 2  | 0  | 1  | 1  | 2  | 0  | 1  | 2  | 2  | 0  | 1  | 2  | 3  |
| 110: | 0  | 1  | 2  | 3  | 1  | 1  | 2  | 3  | 1  | 2  | 2  | 3  | 1  | 2  | 3  | 3  |
| 120: | 1  | 2  | 3  | 4  | 2  | 2  | 3  | 4  | 2  | 3  | 3  | 4  | 2  | 3  | 4  | 4  |
| 130: | 2  | 3  | 4  | 5  | 2  | 3  | 4  | 5  | 3  | 4  | 4  | 5  | 3  | 4  | 5  | 5  |
| 140: | 0  | 0  | 1  | 2  | B  | C  | D  | E  | 7  | 8  | 9  | A  | 3  | 4  | 5  | 6  |
| 150: | 0  | 1  | 2  | 3  | C  | D  | E  | F  | 8  | 9  | A  | B  | 4  | 5  | 6  | 7  |
| 160: | 1  | 2  | 3  | 4  | D  | E  | F  | 0  | 9  | A  | B  | C  | 5  | 6  | 7  | 8  |
| 170: | 2  | 3  | 4  | 5  | E  | F  | 0  | 1  | A  | B  | C  | D  | 6  | 7  | 8  | 9  |
| 180: | 0  | 1  | 2  | 3  | 7  | 8  | 9  | A  | E  | F  | 0  | 1  | 5  | 6  | 7  | 8  |
| 190: | 0  | 1  | 2  | 3  | 8  | 9  | A  | B  | F  | 0  | 1  | 2  | 6  | 7  | 8  | 9  |
| 1A0: | 1  | 2  | 3  | 4  | 9  | A  | B  | C  | 0  | 1  | 2  | 3  | 7  | 8  | 9  | A  |
| 1B0: | 2  | 3  | 4  | 5  | A  | B  | C  | D  | 1  | 2  | 3  | 4  | 8  | 9  | A  | B  |
| 1C0: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 1D0: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 1E0: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 1F0: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 200: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 210: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 220: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 230: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 240: | 0  | 0  | F  | F  | A  | B  | 9  | A  | A  | B  | 9  | A  | 5  | 5  | 4  | 4  |
| 250: | 0  | 1  | F  | 0  | B  | B  | A  | A  | B  | B  | A  | B  | 6  | 6  | 5  | 5  |
| 260: | E  | E  | D  | E  | 9  | 9  | 8  | 8  | 9  | 9  | 8  | 8  | 3  | 4  | 3  | 3  |
| 270: | F  | F  | E  | E  | 9  | A  | 9  | 9  | A  | A  | 9  | 9  | 4  | 5  | 3  | 4  |
| 280: | 0  | 0  | E  | F  | 7  | 8  | 6  | 7  | 0  | 1  | F  | 0  | 8  | 8  | 7  | 7  |
| 290: | 0  | 1  | F  | 0  | 8  | 9  | 7  | 7  | 1  | 2  | 0  | 1  | 9  | 9  | 8  | 8  |

Logica indirizzabile per ROM 40-2

[illegible]

|      |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |
|------|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| 200: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 210: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 220: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 230: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 240: | 0 | 6 | 3 | 9 | 9 | 0 | C | 3 | C | 3 | F | 6 | 6 | C | 9 |
| 250: | C | 2 | F | 5 | 6 | C | 9 | F | 8 | F | B | 2 | 2 | 9 | 5 |
| 260: | 7 | D | A | 0 | 1 | 7 | 4 | A | 3 | A | 7 | D | D | 4 | 0 |
| 270: | 3 | A | 6 | D | D | 3 | 0 | 6 | 0 | 6 | 3 | 9 | 9 | 0 | D |
| 280: | 0 | 9 | E | 7 | A | 3 | 8 | 1 | B | 4 | 9 | 2 | 5 | E | 3 |
| 290: | D | 6 | B | 4 | 8 | 1 | 6 | F | 9 | 2 | 7 | 0 | 3 | C | 1 |
| 2A0: | 4 | D | 2 | B | E | 7 | C | 5 | F | 8 | D | 6 | 9 | 2 | 7 |
| 2B0: | 2 | B | 0 | 9 | C | 5 | A | 3 | D | 6 | R | 4 | 7 | 0 | 5 |
| 2C0: | 0 | B | 9 | 4 | 2 | D | C | 7 | B | 6 | 4 | F | D | 8 | 7 |
| 2D0: | E | 9 | 8 | 3 | 1 | C | A | 5 | 9 | 4 | 3 | E | C | 7 | 5 |
| 2E0: | 3 | E | C | 7 | 5 | 0 | F | A | E | 9 | 7 | 2 | 0 | B | A |
| 2F0: | 1 | C | B | 6 | 4 | F | D | 8 | C | 7 | 6 | 1 | F | A | 8 |
| 300: | 0 | C | 6 | 3 | 3 | 0 | 9 | 6 | 9 | 5 | F | C | C | 9 | 2 |
| 310: | E | B | 5 | 1 | 2 | F | 8 | 5 | 7 | 4 | E | A | B | 8 | 1 |
| 320: | 2 | F | 8 | 5 | 6 | 2 | C | 9 | B | 8 | 1 | E | F | B | 5 |
| 330: | 1 | E | 7 | 4 | 4 | 1 | B | 7 | A | 7 | 0 | D | D | A | 4 |
| 340: | 0 | E | 3 | 1 | D | C | 0 | F | 4 | 2 | 7 | 5 | 2 | 0 | 5 |
| 350: | F | D | 2 | 0 | D | B | 0 | E | 3 | 1 | 6 | 4 | 1 | F | 4 |
| 360: | 1 | 0 | 4 | 3 | F | E | 2 | 1 | 5 | 4 | 8 | 7 | 3 | 2 | 6 |
| 370: | 0 | F | 3 | 2 | E | D | 1 | 0 | 5 | 3 | 8 | 6 | 2 | 1 | 5 |
| 380: | 0 | 0 | 0 | 0 | 3 | 3 | 3 | 3 | 8 | 8 | 8 | 8 | C | C | C |
| 390: | F | F | F | F | 3 | 3 | 3 | 3 | 8 | 8 | 8 | 8 | C | C | C |
| 3A0: | 0 | 0 | 0 | 0 | 4 | 4 | 4 | 4 | 9 | 9 | 9 | 9 | C | C | C |
| 3B0: | 0 | 0 | 0 | 0 | 3 | 3 | 3 | 3 | 8 | 8 | 8 | 8 | C | C | C |
| 3C0: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 3D0: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 3E0: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 3F0: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

Logica indirizzabile per ROM 40-3

| ADDR | 00 | 01 | 02 | 03 | 04 | 05 | 06 | 07 | 08 | 09 | 0A | 0B | 0C | 0D | 0E | 0F |
|------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| 000: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 010: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 020: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 030: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 040: | 0  | 7  | E  | 5  | C  | 3  | A  | 1  | 8  | F  | 6  | D  | 4  | B  | 2  | 9  |
| 050: | 5  | D  | 4  | B  | 1  | 8  | F  | 6  | D  | 4  | B  | 2  | 9  | 0  | 7  | E  |
| 060: | A  | 2  | 9  | 0  | 6  | E  | 5  | C  | 2  | 9  | 0  | 7  | E  | 5  | C  | 3  |
| 070: | F  | 7  | E  | 5  | B  | 3  | A  | 1  | 7  | E  | 5  | C  | 3  | A  | 1  | 8  |
| 080: | 0  | 0  | 0  | 0  | 7  | 7  | 7  | 7  | E  | E  | E  | E  | 5  | 5  | 5  | 5  |
| 090: | E  | F  | F  | F  | 5  | 5  | 5  | 5  | C  | C  | C  | C  | 3  | 3  | 3  | 3  |
| 0A0: | C  | D  | D  | D  | 3  | 4  | 4  | 4  | A  | A  | A  | A  | 1  | 1  | 1  | 1  |
| 0B0: | A  | B  | B  | B  | 1  | 2  | 2  | 2  | 8  | 8  | 8  | 8  | F  | F  | F  | F  |
| 0C0: | 0  | 2  | 5  | 8  | 8  | A  | D  | 0  | 0  | 2  | 5  | 8  | 8  | A  | D  | 0  |
| 0D0: | 8  | B  | E  | 1  | 0  | 2  | 5  | 8  | 8  | A  | D  | 0  | 0  | 2  | 5  | 8  |
| 0E0: | 0  | 3  | 6  | 9  | 8  | B  | E  | 1  | 0  | 2  | 5  | 8  | 8  | A  | D  | 0  |
| 0F0: | 8  | B  | E  | 1  | 0  | 3  | 6  | 9  | 8  | B  | E  | 1  | 0  | 2  | 5  | 8  |
| 100: | 0  | D  | A  | 8  | 8  | 5  | 2  | 0  | 0  | D  | A  | 8  | 8  | 5  | 2  | 0  |
| 110: | C  | A  | 7  | 5  | 4  | 1  | E  | C  | C  | 9  | 6  | 4  | 4  | 1  | E  | C  |
| 120: | 8  | 6  | 3  | 1  | 0  | E  | B  | 9  | 8  | 5  | 2  | 0  | 0  | D  | A  | 8  |
| 130: | 4  | 2  | F  | D  | C  | A  | 7  | 5  | 4  | 2  | F  | D  | C  | 9  | 6  | 4  |

|      |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |
|------|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| 140: | 0 | 7 | F | 7 | F | 6 | E | 6 | E | 5 | D | 5 | D | 4 | C | 4 |
| 150: | 2 | A | 2 | A | 1 | 9 | 1 | 9 | 0 | 7 | F | 7 | F | 6 | E | 6 |
| 160: | 4 | C | 4 | C | 3 | B | 3 | B | 2 | A | 2 | A | 1 | 8 | 0 | 8 |
| 170: | 6 | E | 6 | E | 5 | D | 5 | D | 4 | C | 4 | C | 3 | B | 3 | B |
| 180: | 0 | 0 | 0 | 1 | B | B | B | C | 6 | 6 | 6 | 7 | 1 | 1 | 1 | 2 |
| 190: | C | D | D | E | 7 | 8 | 8 | 9 | 2 | 2 | 2 | 3 | D | D | D | E |
| 1A0: | 8 | 9 | 9 | A | 3 | 4 | 4 | 5 | E | F | F | 0 | 9 | A | A | B |
| 1B0: | 4 | 5 | 5 | 6 | F | 0 | 0 | 1 | A | B | B | C | 5 | 6 | 6 | 7 |
| 1C0: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1D0: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1E0: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1F0: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 200: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 210: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 220: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 230: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 240: | 0 | 7 | 2 | 9 | C | 3 | D | 4 | 8 | 0 | A | 1 | 4 | C | 6 | D |
| 250: | 5 | D | 7 | E | 1 | 8 | 2 | 9 | D | 5 | F | 6 | 9 | 1 | B | 2 |
| 260: | 6 | D | 7 | E | 2 | 9 | 3 | A | E | 6 | 0 | 7 | A | 1 | B | 2 |
| 270: | B | 2 | C | 3 | 7 | E | 8 | F | 3 | B | 5 | C | F | 7 | 1 | 8 |
| 280: | 0 | 0 | 0 | 0 | 7 | 7 | 6 | 6 | 2 | 3 | 2 | 2 | 9 | A | 9 | 9 |
| 290: | E | F | E | E | 5 | 5 | 4 | 4 | 0 | 1 | 0 | 0 | 7 | 8 | 7 | 7 |
| 2A0: | 4 | 4 | 3 | 3 | B | B | A | A | 6 | 7 | 6 | 6 | D | D | C | C |
| 2B0: | 2 | 2 | 1 | 1 | 9 | 9 | 8 | 8 | 4 | 5 | 4 | 4 | B | C | B | B |
| 2C0: | 0 | 2 | B | E | 8 | A | 2 | 5 | 0 | 3 | B | E | 8 | B | 3 | 6 |
| 2D0: | 8 | B | 3 | 6 | 0 | 2 | A | D | 8 | B | 3 | 6 | 0 | 3 | B | E |
| 2E0: | 0 | 2 | A | D | 8 | A | 2 | 5 | 0 | 3 | B | E | 8 | A | 2 | 5 |
| 2F0: | 8 | A | 2 | 5 | 0 | 2 | A | D | 8 | B | 3 | 6 | 0 | 3 | B | E |
| 300: | 0 | D | 6 | 3 | 8 | 5 | D | A | 0 | E | 6 | 3 | 8 | 6 | E | B |
| 310: | C | A | 2 | F | 4 | 1 | A | 6 | C | A | 2 | F | 4 | 2 | A | 7 |
| 320: | 8 | 5 | D | A | 0 | D | 5 | 2 | 8 | 6 | E | B | 0 | D | 5 | 2 |
| 330: | 4 | 1 | 9 | 6 | C | 9 | 1 | E | 4 | 2 | A | 7 | C | A | 2 | F |
| 340: | 0 | 7 | 1 | 9 | F | 6 | F | 7 | 2 | A | 3 | B | 1 | 9 | 2 | A |
| 350: | 2 | A | 3 | B | 1 | 9 | 2 | A | 4 | C | 5 | D | 3 | B | 4 | C |
| 360: | C | 3 | C | 4 | B | 2 | B | 3 | E | 5 | E | 6 | D | 4 | D | 5 |
| 370: | E | 5 | E | 6 | D | 4 | D | 5 | 0 | 8 | 1 | 9 | F | 6 | F | 7 |
| 380: | 0 | 0 | 0 | 0 | B | B | A | A | A | B | A | A | 5 | 6 | 5 | 5 |
| 390: | C | D | C | C | 7 | 8 | 7 | 7 | 6 | 7 | 6 | 6 | 1 | 2 | 1 | 1 |
| 3A0: | 8 | 8 | 7 | 7 | 3 | 3 | 2 | 2 | 2 | 2 | 1 | 1 | D | D | C | C |
| 3B0: | 4 | 4 | 3 | 3 | F | F | E | E | E | E | E | E | 9 | 9 | 8 | 8 |
| 3C0: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 3D0: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 3E0: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 3F0: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

In una versione differente del ricevitore di chiamata progettato per la ricezione di toni di chiamata su doppiino PCM, viene richiesta la logica indirizzabile nell'unità di memoria ROM 40 per fornire sette funzioni del filtro per frequenze differenti rispetto alle frequenze precedentemente riportate e, di conseguenza, la logica indirizzabile varierà in misura corrispondente.

#### RIVENDICAZIONI

1. Ricevitore di chiamata per la ricezione di tono segnali modulati impulsivamente in codice (PCM - pulse code modulated), caratterizzato dal fatto che comprende:

un circuito ricevitore (30) per la ricezione di segnali PCM da un canale selezionato; un circuito (10) per la generazione di serie di segnali di orientamento, o di guida, ognuno di detti segnali di orientamento, o di guida, della serie, corrispondendo ad una funzione predeterminata di un filtro nel ricevitore di chiamata;

un circuito filtro digitale (30a) includente un dispositivo convertitore (36 - figura 3), per convertire ognuno dei segnali PCM ricevuti in un corrispondente segnale binario lineare presentante una

pluralità di bits, detto circuito filtro digitale essendo sensibile ai segnali di orientamento ed ai segnali binari lineari, per lo svolgimento di una pluralità di funzioni del filtro a banda passante, con i segnali binari lineari come diretti ai segnali di orientamento, e di guida e per la generazione di segnali, dal filtro, corrispondenti alle ampiezze dei segnali binari lineari presentanti frequenze corrispondenti a quelle frequenze definite dalle rispettive funzioni del filtro a banda passante;

un circuito traslatore (50) sensibile ai segnali di orientamento ed ai segnali del filtro, per la rivelazione della presenza di una chiamata con toni PCM e per la traslazione di detta chiamata in segnali rappresentativi di dati secondo un formato codificato prefissato di segnali.

2. Ricevitore di chiamata secondo la rivendicazione 1, in cui il circuito traslatore e' caratterizzato dal fatto che comprende:

un circuito (51-65 - figura 4) per integrare i segnali del filtro attraverso un periodo di tempo prefissato, allo scopo di derivare un segnale binario integrato corrispondente ad un valore di ampiezza per una serie di ognuna delle funzioni del filtro;

un dispositivo di memoria temporanea (72) per memorizzare temporaneamente i segnali binari integrati;

un dispositivo di memoria (71) presentante istruzioni logiche memorizzate in corrispondenza di locazioni accessibili per mezzo di un indirizzo;

un processore, o elaboratore (70), collegato in modo tale da leggere detti segnali binari integrati, memorizzati temporaneamente, e dette istruzioni logiche memorizzate, detto elaboratore essendo operabile in accordo con dette istruzioni logiche memorizzate, per identificare i due segnali di ampiezza maggiore fra detti segnali binari integrati, memorizzati temporaneamente, e per confrontare i segnali identificati, l'uno rispetto all'altro, allo scopo di determinare l'entità dello scostamento, vale a dire dello sbilanciamento fra gli stessi.

3. Ricevitore di chiamata, secondo la rivendicazione 2, caratterizzato dal fatto che il dispositivo convertitore opera pure in modo tale da convertire i segnali PCM ricevuti in un segnale di potenza corrispondente ad un valore approssimativamente al quadrato del corrispondente segnale binario lineare ed in cui l'elaboratore e' operabile in accordo con dette istruzioni logiche memorizzate, per confronta-



re il segnale di potenza con uno dei segnali identificati, allo scopo di determinare un rapporto segnale/rumore presentante un valore accettabile per una chiamata multifrequenza (MF) valida.

4. Ricevitore di chiamata secondo la rivendicazione 1, caratterizzato dal fatto che:

il dispositivo convertitore opera pure in modo tale da convertire i segnali PCM ricevuti in segnali binari di potenza, ognuno corrispondente ad un valore quadratico approssimato di un corrispondente segnale binario lineare ed in cui il circuito traslatore e' caratterizzato dal fatto che comprende:

un circuito (51-65) per integrare individualmente i segnali del filtro corrispondenti ad ogni funzione del filtro ed ai segnali di potenza attraverso un periodo di tempo prefissato, allo scopo di derivare un segnale binario integrato corrispondente ad una serie di ognuna di dette funzioni del filtro di segnali binari di potenza;

un dispositivo di memorizzazione temporanea (72) per memorizzare temporaneamente i segnali binari integrati;

un dispositivo di memoria (71) presentante istruzioni logiche memorizzate in corrispondenza di lo\_

cazioni accessibili per mezzo di un indirizzo;

un elaboratore (70) collegato in modo tale da leggere detti segnali memorizzati temporaneamente e dette istruzioni logiche memorizzate, detto elaboratore essendo operabile in accordo con dette istruzioni logiche memorizzate, per identificare i tre segnali di livello più elevato fra detti segnali integrati che sono stati memorizzati, per confrontare i due segnali di livello maggiore, fra detti segnali identificati, per una entità di sbilanciamento accettabilmente piccola per una segnalazione, o chiamata valida, per confrontare il secondo segnale identificato, di livello più elevato, con il segnale identificato, di livello più basso, per una quantità di differenza accettabilmente elevata per una segnalazione, o chiamata valida e per confrontare uno dei segnali identificati, di livello maggiore, con i segnali binari di potenza per un rapporto segnale/rumore accettabilmente elevato per una chiamata valida.

5. Ricevitore di chiamata secondo la rivendicazione 1, in cui detto circuito filtrante, di tipo digitale, e' caratterizzato dal fatto che comprende:

un dispositivo di memoria (40) presentante bytes di bits di dati memorizzati in corrispondenza di locazioni accessibili per mezzo di un indirizzo, nel dispositivo stesso, terminali per gli indirizzi (A) e terminali per i dati (D), una pluralità di terminali, o "posti" di accesso per gli indirizzi essendo collegati in modo tale da ricevere una porzione di ognuno dei segnali di orientamento, detto dispositivo di memoria essendo disposto in modo tale da alimentare bytes selezionati fra detti bytes in corrispondenza dei terminali di uscita dei dati in risposta agli stati dei segnali dei terminali di ricezione degli indirizzi;

un circuito accumulatore (41, 42) collegato ai terminali di uscita dei dati di detto dispositivo di memoria (40), per accumulare i bytes dei dati entro un intervallo di tempo prestabilito, allo scopo di generare uno di detti segnali di ampiezza;

un complesso circuitale di ingresso (38, 39, 46, 47, 48, 49) collegato in modo tale da ricevere i bits dei segnali binari lineari dal dispositivo convertitore ed in modo tale da ricevere detti segnali di ampiezza, detti mezzi di ingresso venendo utilizzati per alimentare, in modo sincrono, ai terminali

degli indirizzi, il segnale istantaneo, a carattere binario lineare, con il corrispondente segnale di ampiezza precedente e con il corrispondente segnale di ampiezza immediatamente precedente, ognuno di detti segnali venendo alimentato, in questo modo, secondo un formato serie/parallelo dei bits.

6. Ricevitore di chiamata secondo la rivendicazione 1, in cui il circuito di filtraggio, di tipo digitale, e' caratterizzato dal fatto che comprende:

un dispositivo di memoria (40) presentante bytes di bits dei dati memorizzati in corrispondenza di locazioni accessibili da un indirizzo, nello stesso, terminali per i dati (D) ed una pluralità di terminali per gli indirizzi rappresentati da primi terminali (A0, A1), da secondi terminali (A2, A3), da terzi terminali (A4, A5) e da terminali di ricezione dei segnali di orientamento (A6 - A9), i terminali degli indirizzi di orientamento essendo collegati in modo tale da ricevere i segnali di orientamento, o di guida, detti bits dei dati essendo disposti in modo tale da facilitare le funzioni del filtro, secondo quanto selezionato dai segnali di orientamento, detti mezzi di memoria essendo disposti in modo tale da alimentare determinati bytes sele\_

zionati fra detti bytes di bits dei dati in corrispondenza dei terminali per i dati, in risposta agli stati dei segnali dei terminali di ricezione dei segnali di indirizzo;

primi circuiti di ingresso (38, 39), collegati fra il dispositivo convertitore ed i primi terminali per gli indirizzi per alimentare, sequenzialmente, i bits di ogni segnale binario lineare, in raggruppamenti parallelo di almeno due, ai primi terminali degli indirizzi ad ogni presenza di uno dei segnali di orientamento;

un circuito accumulatore (41, 42) collegato ai terminali di alimentazione dei dati di detto dispositivo di memoria (40) per l'accumulazione dei bytes per la durata di ognuno dei vari segnali individuali di orientamento, per generare un corrispondente segnale fra detti segnali di ampiezza;

circuiti di uscita (44, 45), collegati fra il circuito accumulatore ed il circuito traslatore (50-figura 1) per trasferire sequenzialmente, all'uscita, i bits di ogni segnale di ampiezza in detti raggruppamenti parallelo;

secondi circuiti di ingresso (46, 47) collegati

fra i circuiti di uscita ed i secondi terminali di indirizzo, per ritardare l'arrivo di detti raggruppamenti parallelo di ogni segnale di ampiezza <sup>in</sup> corrispondenza dei secondi terminali di indirizzo, di un periodo di tempo prestabilito, per sincronizzare ogni segnale di ampiezza con un successivo e corrispondente segnale binario lineare e la presenza della corrispondente funzione del filtro;

terzi circuiti di ingresso (48, 49) collegati ai terzi terminali di indirizzo (A4, A5) per ritardare l'arrivo di detti raggruppamenti parallelo di ogni segnale di ampiezza in corrispondenza dei terzi terminali di indirizzo, di una quantità prefissata di tempo, per sincronizzare ogni segnale di ampiezza con un segnale binario lineare successivo rispetto al corrispondente segnale successivo e la presenza della corrispondente funzione del filtro;

in modo tale che detti segnali di ampiezza possano venire generati in modo sequenziale.

7. Ricevitore di chiamata secondo la rivendicazione 1, caratterizzato dal fatto che:

il circuito traslatore include un processore (70) ed un dispositivo (71) operante in modo tale

da consentire all'elaboratore di determinare la validità della chiamata iniziale PCM MF, per mezzo dello svolgimento di una serie di funzioni di processo che richiedono un primo periodo di tempo finito per lo svolgimento e per provocare il funzionamento dell'elaboratore allo scopo di determinare la continuità della chiamata continua PCM MF per mezzo di un'altra serie di funzioni di processo che richiedono, per lo svolgimento, un periodo di tempo inferiore al primo periodo di tempo.

8. Ricevitore di chiamata multifrequenza (MF) per la ricezione di una chiamata PCM MF traslata, in un formato codificato dei segnali compatibile con un combinatore, o "controller" in un impianto di commutazione multiplex a divisione di tempo (TDM-figura 1), detto ricevitore di chiamata essendo caratterizzato dal fatto che comprende:

un circuito di controllo della sequenza e della tempificazione (10-figura 1) collegato in modo tale da poter venire sincronizzato con l'impianto di commutazione TDM, per generare una serie di segnali di orientamento su di una base ripetitiva;

un circuito filtro a condivisione temporale (30a) sensibile ai segnali di orientamento, per lo

svolgimento di una pluralità di funzioni prefissate del filtro a banda passante, con una serie di segnali PCM ricevuti dall'impianto di commutazione TDM e per generare, dagli stessi, una corrispondente serie di segnali di ampiezza correlati ad ognuna di dette funzioni del filtro;

un circuito traslatore di chiamata (50), sensibile ai segnali di orientamento ed a detti segnali di ampiezza, per determinare la presenza di una chiamata valida e per operare la traslazione di detta chiamata valida in segnali rappresentativi di dati in un formato codificato prestabilito dei segnali.

9. Metodo per la traslazione di una chiamata PCM MF in un formato codificato di segnali, compatibile con un combinatore, o "controller" in un impianto di commutazione TDM, detto metodo includendo le seguenti fasi:

(a) ricezione di segnali PCM selezionati dall'impianto di commutazione TDM;

(b) conversione di ognuno dei segnali PCM ricevuti in un corrispondente segnale binario lineare presentante una pluralità di bits, caratterizzato dal fatto che comprende le seguenti fasi:



(c) generazione di almeno una serie di segnali di orientamento con ogni presenza di quadro nel formato dei segnali PCM;

(d) svolgimento di una pluralità di funzioni di un filtro a banda passante con i segnali a carattere binario lineare, come dirette dai segnali di orientamento e generazione di segnali di ampiezza consistenti di bits dei segnali e corrispondenti alle ampiezze dei segnali binari lineari presentanti frequenze corrispondenti alle frequenze definite dalla rispettiva funzione del filtro a banda passante; e

(e) rivelazione della presenza di una chiamata multifrequenza (MF) dai segnali rappresentativi delle ampiezze, e traslazione della chiamata multifrequenza in accordo con i segnali di orientamento, in segnali rappresentativi di dati in detto formato dei segnali.

10. Metodo secondo la rivendicazione 9, caratterizzato dal fatto che la fase (d) viene svolta in un filtro digitale includente una memoria (40) presentante bytes di bits dei dati memorizzati in corrispondenza di locazioni accessibili, per mezzo di un indirizzo, nella stessa, la fase (d) essendo

pure caratterizzata dalle seguenti fasi:

(f) lettura, da parte della memoria, di detti bytes, come selezionati dai segnali di indirizzo applicati alla stessa, detti segnali di indirizzo consistendo di bits dei segnali ed includendo una porzione di ognuno dei segnali di orientamento;

(g) accumulazione dei bytes letti dalla memoria per un periodo di tempo prefissato, allo scopo di generare uno di detti segnali rappresentativi dell'ampiezza;

(h) generazione di una porzione di ognuno di detti segnali di indirizzo da un determinato segnale fra detti segnali binari lineari, <sup>dal</sup>corrispondente segnale precedente, rappresentativo dell'ampiezza e dal corrispondente segnale, rappresentativo dell'ampiezza, che precede detto segnale precedente; e

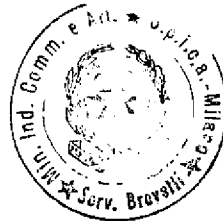
(i) applicazione di detta porzione, in modo sequenziale, in un formato seriale/parallelo, in gruppi di almeno sei bits, ognuno alla memoria, durante il periodo di tempo prestabilito.

11. Metodo secondo la rivendicazione 9, in cui la fase (e) e' caratterizzata dalle fasi consistenti nel determinare se la chiamata e' iniziale, o continua e, nel primo caso, nello svolgere una serie di funzioni di elaborazione per determinare la va-

lidità della chiamata e, nel secondo caso, nello svolgere una serie differente di funzioni di elaborazione, allo scopo di determinare la continuità della chiamata attuale rispetto alla chiamata immediatamente precedente.

Milano, 18 Febbraio 1980 -

UFFICIO BREVETTI  
Ing. C. GREGORI



P. U. B. R. G. G. G.  
(P. U. B. R. G. G. G.)

COHN-SFETCU, 1-1-1

4/64207 vc.

Descrizione dell'invenzione avente per titolo:

" " RICEVITORE DIGITALE DI CHIAMATA, PER LA RICEZIONE  
DI TONO SEGNALI MODULATI IMPULSIVAMENTE IN CODICE " "

a nome: NORTHERN TELECOM LIMITED

a: 1600 Dorchester Boulevard West,  
Montreal, Quebec, Canada, H3H 1R1

di nazionalità canadese ed elettivamente domici-  
liata a tutti gli effetti di Legge a Milano -  
Via Dogana, 1 presso il mandatario Ufficio Brevetti  
Ing. C. Gregorj -

(Deposit. il **18 FEB. 1980** No. **19986A/80**)

RIASSUNTO

La presente invenzione si riferisce ad un  
ricevitore digitale di chiamata in grado di conver-  
tire i segnali di chiamata modulati impulsivamente  
in codice (PCM) in un formato del segnale che risul-  
ta compatibile con un combinatore, o "controller"  
presente in un associato impianto di commutazione  
telefonica a multiplex a divisione di tempo (TDM).  
Nel ricevitore, vengono generati segnali di orienta-  
mento, in sincronismo con il funzionamento dell'im-  
pianto di commutazione, in modo tale dirigere il  
funzionamento di un filtro a condivisione del tempo.

UFFICIO BREVETTI  
ING. C. GREGORJ

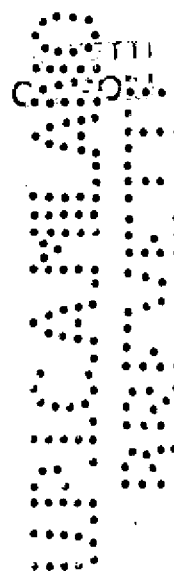
Il filtro esplica una pluralità di funzioni, con una serie di segnali modulati impulsivamente in codice (PCM) ricevuti dall'impianto di commutazione TDM e genera, dagli stessi, una serie di segnali correlati ad ognuna delle funzioni del filtro. Un traslatore identifica due segnali derivati dal filtro, presentanti ampiezze superiori a quelle degli altri mentre se i due segnali persistono in modo sostanzialmente continuo (a) attraverso un periodo di tempo prestabilito, (b) entro una gamma relativa di ampiezza prestabilita e (c) uno dei due segnali presenta almeno un rapporto segnale/rumore di valore prestabilito rispetto ad un altro segnale derivato dal filtro, corrispondente ad una funzione di non attenuazione del filtro, il traslatore indica la ricezione di una chiamata multifrequenza mediante generazione di segnali appropriati nel formato richiesto per i segnali.

---

DESCRIZIONE DELL'INVENZIONE

La presente invenzione si riferisce, in generale, a ricevitori di chiamata con tono segnali e riguarda, in particolare, un ricevitore concretizzato in forma digitale, utilizzato per la traslazione dei tono segnali modulati impulsivamente in codice





in un codice compatibile con il funzionamento di un associato impianto di commutazione TDM.

L'impiego di elaboratori di segnali digitali per l'elaborazione di segnali digitali senza dover convertire i segnali digitali in un formato analogico, e' stato descritto da S.L.Freeny in una memoria intitolata "Special Purpose Hardware for Digital Filtering" apparsa nella pubblicazione "proceedings of the IEEE", Vol.63, pagg.633-648, Aprile 1975, e da J.Allen, in un memoria intitolata "Computer Architecture for Signal Processing", apparsa nella pubblicazione "proceedings of the IEEE", Vol.63, pagg.624-632, Aprile 1975. Quantunque interessanti per l'elaborazione digitale delle chiamate PCM, direttamente, senza operare dapprima la conversione dei campioni PCM in segnali analogici, queste proposte, in passato, non sono risultate economicamente competitive nell'ambito della telefonia.

Deve essere rilevato che esistono, in telefonia, due tipi di chiamata, o segnalazione, utilizzando combinazioni di frequenze e costituite dalla chiamata su doppiino DIGITONE o TOUCHTONE (marchi registrati) e dalla chiamata su linee di giunzione R1 o R2. La distinzione principale fra i due tipi di chiamata e' rappresentata dal fatto che il formato

DIGITONE o TOUCHTONE consiste di due tono segnali che appartengono alle rispettive bande di alta frequenza e di bassa frequenza. Conseguentemente, e' vantaggioso sfruttare le tecniche del passaggio per lo zero per la rivelazione del tono segnale dopo la separazione, nel filtro, del segnale ricevuto, in due bande di frequenza. Questa soluzione non e' applicabile alla chiamata R1 o R2 per la quale e' valida una combinazione di qualsiasi due toni di una pluralità di toni prescritti. Nel brevetto statunitense No.4.076.965, rilasciato a nome R.E.Olsen e E.A. Munter, il 28 Febbraio 1978, e' stato illustrato un complesso circuitale misto, di tipo digitale ed analogico, complesso e voluminoso, richiesto in un ricevitore flessibile di chiamata MF, di tipo analogico, adatto per l'impiego in formati di segnalazione, o chiamata, a frequenza singola e multifrequenza.

Risulta quindi evidente che la realizzazione di un ricevitore MF puramente digitale, per la ricezione e la distinzione fra una pluralità di diversi tono segnali codificati in forma PCM, richiede una progettazione molto flessibile, suggerendo in tal modo l'impiego di un elaboratore, o processore digitale. Tuttavia, in qualsiasi progetto pratico, il costo di



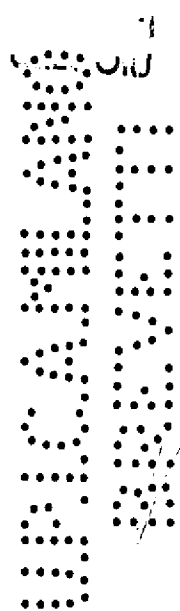
concretizzazione di un ricevitore di questo tipo deve risultare confrontabile e favorevole nei confronti dei costi degli attuali ricevitori analogici esistenti nei sistemi PCM. Gli attuali ricevitori di chiamata PCM che sono stati proposti e che vengono concretizzati con l'impiego di sistemi a microprocessore di tipo digitale, operano in modo troppo lento per consentire di soddisfare, economicamente, i requisiti in tempo reale richiesti per la chiamata telefonica.

In conformità ai principi della presente invenzione, viene ottenuto un miglioramento sostanziale nella velocità operativa di un ricevitore di chiamata per mezzo dello svolgimento di una elaborazione semplice ma fortemente ripetitiva dei segnali in un circuito digitale specializzato, mentre una elaborazione più complessa ma meno ripetitiva viene convenientemente condotta con l'ausilio di un microprocessore. In una forma pratica realizzativa dell'invenzione, il tempo reale richiesto per la ricezione dei segnali di chiamata è stato ridotto in misura sufficiente a permettere al ricevitore di chiamata di venire condiviso temporalmente fra una pluralità di canali di comunicazione.

Il ricevitore di chiamata proposto dall'inven-

zione include mezzi per la ricezione di campioni di segnali PCM da un canale TDM selezionato da un combinatore, o "controller" in un associato impianto di commutazione TDM e mezzi di filtraggio, di tipo digitale, per generare rappresentazioni, sotto forma di segnali binari, delle funzioni del filtro svolte sui campioni dei segnali ricevuti ed ognuno corrispondente ad un'ampiezza del segnale, con una frequenza selezionata nei campioni dei segnali ricevuti. Un traslatore genera segnali rappresentativi dei dati, indicanti la segnalazione, o chiamata e compatibili con il formato dei segnali del "controller", in risposta ai valori di ampiezza dei segnali delle rappresentazioni dei segnali binari.

I mezzi di filtraggio, di tipo digitale, svolgono le funzioni di un filtro per una pluralità di specifiche frequenze prestabilite, tali mezzi di filtraggio venendo concretizzati sotto forma di un circuito includente una logica cablata per la definizione di ogni funzione del filtro. La logica cablata viene vantaggiosamente concretizzata sotto forma di una memoria per sole operazioni di lettura (ROM). Il filtro digitale opera ad una velocità maggiore di quella richiesta per la ricezione di un canale di un campione PCM e, di conseguenza, questo filtro



puo' essere vantaggiosamente condiviso, temporalmente, fra i canali. La velocità intrinseca del filtro viene ulteriormente migliorata disponendo l'utilizzazione della memoria ROM secondo una configurazione parallelo/serie in modo tale che, nel tempo reale disponibile, possano venire ricevuti più di due canali di campioni PCM.

Il traslatore comprende, essenzialmente, un microprocessore che viene fatto funzionare in accordo con istruzioni logiche, in combinazione con vari segnali di tempificazione e di orientamento, generati nel ricevitore di chiamata. Il traslatore riceve i segnali in uscita dal filtro e converte questi segnali in segnali rappresentativi di dati, indicativi della segnalazione e compatibili con il formato dei segnali del combinatore.

In una forma pratica realizzativa conforme all'invenzione, la velocità di funzionamento del ricevitore di chiamata, viene ulteriormente migliorata per mezzo dell'adozione di modi di funzionamento alternati. All'inizio della chiamata, l'elaboratore determina la validità della chiamata iniziale, per mezzo dello svolgimento di una prima serie di funzioni di elaborazione, con segnali provenienti dai

mezzi di filtraggio di tipo digitale. Al proseguimento della chiamata, a partire dall'inizio della stessa, l'elaboratore svolge una serie differente di funzioni di durata inferiore a quella della prima serie di funzioni, allo scopo di verificare semplicemente la continuità della segnalazione.

La presente invenzione risulterà più evidente dall'analisi della seguente descrizione dettagliata riferita ad una forma pratica realizzativa della stessa, tale trattazione essendo considerata in unione ai disegni allegati, nei quali:

la figura 1 costituisce un diagramma schematico a blocchi di un ricevitore di chiamata, di tipo digitale, costruito in conformità ai principi della presente invenzione, detto ricevitore essendo collegato ad un impianto di commutazione telefonico;

la figura 2 rappresenta un diagramma schematico a blocchi di un circuito di controllo della sequenza e della tempificazione utilizzato nel ricevitore di chiamata rappresentato schematicamente nella figura 1;

la figura 3 rappresenta un diagramma schematico a blocchi di un filtro digitale e di un registro buffer di ingresso impiegati nel ricevitore di chia\_

mata schematizzato nella figura 1;

la figura 4 rappresenta un diagramma schematico a blocchi di un circuito traslatore impiegato nel ricevitore di chiamata schematizzato nella figura 1;

la figura 5 costituisce un diagramma dei tempi illustrante alcune operazioni selezionate del ricevitore di chiamata schematizzato nelle figure 1, 2, 3 e 4; e

la figura 6 costituisce un diagramma di flusso delle funzioni del circuito traslatore di chiamata schematizzato nella figura 4.

La struttura ed il principio di funzionamento della versione esemplificativa dell'invenzione, verranno brevemente descritti con riferimento alla figura 1 e, successivamente, verrà riportata una descrizione più dettagliata, facendo riferimento alla parte rimanente dei disegni. Vari dettagli concernenti la generazione delle varie tensioni richieste per il funzionamento della versione esemplificativa illustrata e descritta, non sono stati riportati per il fatto che la previsione dei vari alimentatori e lo stabilimento delle varie connessioni di alimentazione rientrano nelle conoscenze di un esperto del settore

specifico. Inoltre, non e' stato ritenuto necessario illustrare o descrivere l'instradamento dei vari segnali di tempificazione, o di orologio, tipicamente richiesti per il funzionamento dei vari circuiti reperibili in commercio e rappresentati, ad esempio, dai flip-flop, dai registri, e così via, ad eccezione di quelle aree nelle quali questa descrizione si riferisce a particolari segnali di tempificazione o nei casi in cui questo serva a facilitare la spiegazione e la comprensione della forma pratica realizzativa dell'invenzione in oggetto.

In alcune aree della versione esemplificativa descritta, vengono impiegate memorie per sole operazioni di lettura (ROM), tipicamente del tipo a circuito integrato con collegamenti fusi, dette memorie venendo utilizzate per lo svolgimento di varie funzioni. Questo tipo di memoria ROM e' caratteristico per il fatto che la struttura a circuito integrato della stessa e' essenzialmente rappresentata da quella di un numero elevato di reti logiche individuali, del tipo a logica cablata, ognuna delle quali e' selettivamente collegabile ad una pluralità di terminali di uscita, in risposta al rispettivo segnale univoco di indirizzo. La versione esemplificativa puo'

venire pure concretizzata mediante sostituzione di una o di più unità di memorie ROM con altri dispositivi alternati di memoria. Alcuni esempi di questi dispositivi alternativi di memoria sono rappresentati dalle memorie ad accesso casuale (RAM - random access memory), dalle memorie per sole operazioni di lettura, di tipo programmabile (PROM - programmable read only memory) e dalle memorie per sole operazioni di lettura, elettronicamente programmabili (EPROM - electronically programmable read only memory). Tuttavia, deve essere rilevato che questi ed altri dispositivi alternati di memoria tendono a risultare più costosi, maggiormente volatili e, di conseguenza, meno affidabili delle memorie ROM.

L'impianto di commutazione digitale schematizzato nella figura 1 e' collegato, in pratica, a varie linee digitali o analogiche di giunzione o a qualsiasi combinazione delle stesse. Questo impianto puo' essere pure collegato a vari doppiini telefonici di abbonato. Tuttavia, queste varianti non sono state illustrate per il fatto che non sono pertinenti alla descrizione di un ricevitore per chiamate telefoniche PCM MF in un sistema telefonico digitale. L'impianto di commutazione digitale la opera in un formato includente trentadue bytes a dieci bits, per ogni quadro, la

frequenza di ripetizione di quadro essendo pari, all'incirca, a 8 KHz. Un ricevitore PCM MF risulta associato all'impianto di commutazione digitale 1a, in modo tale da ricevere la segnalazione dalle linee di giunzione (trunks), attraverso l'impianto di commutazione 1a. Trentadue canali PCM sono collegati dall'impianto di commutazione digitale 1a, attraverso una linea di giunzione per segnali PCM, a carattere seriale 2, ai registri di memoria temporanea, vale a dire ai registri buffer di ingresso 30 presenti nel ricevitore 1b. I segnali di tempificazione, o di orologio, corrispondenti alla frequenza dei bit dei segnali PCM sulla linea di giunzione 2, vengono alimentati, dall'impianto di commutazione digitale 1a, ad un circuito di controllo della sequenza e della tempificazione 10, presente nel ricevitore 1b, attraverso un conduttore 3 utilizzato per il convogliamento dei segnali di orologio, o di tempificazione. Un canale omnibus 4 per i registri di registrazione e' collegato, dall'impianto di commutazione digitale 1a, ai registri di memoria temporanea di ingresso 30 ed al circuito 10 di controllo della sequenza e della tempificazione. Il canale omnibus dei registri di scrittura 4 convoglia i segnali da un



combinatore, o "controller" nell'impianto di commutazione digitale 1a, in modo tale che determinati canali selezionati fra i trentadue canali dei campioni PCM, possano venire registrati in registri selezionati fra i registri buffer di ingresso 30. Il circuito 10 di controllo della sequenza e della tempificazione, genera segnali di lettura su di un canale omnibus 27a dei registri di lettura, in modo tale che i campioni PCM/<sup>che</sup>sono stati registrati serialmente nei registri buffer 30, possano venire trasmessi, selettivamente, in parallelo, ad un filtro digitale 30a, attraverso i conduttori 30b. Dopo che il contenuto di uno dei registri di transito 30 e' stato trasmesso al filtro digitale 30a, viene generato un segnale su di un conduttore appropriato fra i vari conduttori di un canale omnibus 28a per l'azzeramento dei registri, per mezzo del circuito 10 di controllo della sequenza e della tempificazione, in modo tale da provocare l'azzeramento del corrispondente registro buffer. Il filtro digitale 30a fornisce i rispettivi segnali di uscita rappresentativi del segnale ricevuto di ogni campione del canale selezionato e fornisce pure i segnali rappresentativi delle componenti delle funzioni del filtro corrispondenti a sei

bande del tono segnale multifrequenza. Questi segnali di uscita si evidenziano, secondo un formato serie/parallelo, sui conduttori 43, 44a e 45a, contraddistinti dai riferimenti "segno", "pari" e "dispari", rispettivamente. Questi conduttori convogliano l'uscita del sistema a filtro digitale, ad un circuito traslatore di chiamata 50. Il sistema a filtro digitale 30a ed il circuito traslatore di chiamata 50 vengono entrambi controllati e sincronizzati dai segnali generati nel circuito 10 di controllo della sequenza e della tempificazione. I segnali di orientamento e di tempificazione vengono convogliati attraverso un canale omnibus di orientamento 20 ed un canale omnibus di tempificazione 29. Questi canali omnibus sono collegati dal circuito 10 di controllo della sequenza e della tempificazione, al filtro digitale 30a ed al circuito traslatore di chiamata 50. Il circuito traslatore di chiamata 50 riceve, periodicamente, l'uscita proveniente dal filtro digitale 30a e genera codici dei segnali binari, compatibili con il funzionamento del combinatore presente nell'impianto di commutazione 1a e rappresentanti lo stato di segnalazione di ognuno dei quattro canali selezionati fra i trentadue canali.

Ogni codice di segnale, a carattere binario, include le informazioni in un formato del tipo illustrato, ad esempio, nella Tabella A.

TABELLA A

| Funzione                              | bit del<br>segnale<br>7 | bit<br>di stato<br>6 | bit di<br>errore<br>5 | bit di<br>stato<br>4 | Codice cifra/errore |       |       |       |
|---------------------------------------|-------------------------|----------------------|-----------------------|----------------------|---------------------|-------|-------|-------|
|                                       |                         |                      |                       |                      | bit 3               | Bit 2 | bit 1 | bit 0 |
| Segnale<br>valido                     | 1                       | Y                    | 0                     | Y                    | X                   | X     | X     | X     |
| Pausa                                 | 0                       | 0                    | 0                     | 0                    | 0                   | 0     | 0     | 0     |
| Errore<br>spettra<br>le               | 1                       | Y                    | 1                     | Y                    | 0                   | Z     | Z     | Z     |
| Errore<br>di tem-<br>pifica-<br>zione | 1                       | Y                    | 1                     | Y                    | X                   | X     | X     | X     |

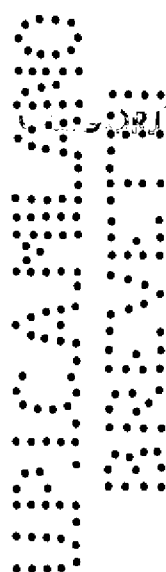
UNICAR 800  
800 000 000

Nella Tabella precedentemente riportata, XXXX denota il codice a quattro bits di una cifra, ZZZ denota il codice a tre bits di un errore spettrale mentre YY denota un codice a due bits della gamma di potenza dei segnali.

L'impianto di commutazione digitale la indirizza il circuito traslatore di chiamata 50 attraverso un canale omnibus di selezione 82 collegato fra le unità considerate, in modo tale da indicare che viene richiesta l'informazione di segnalazione, o di chiamata in modo tale da indicare da quale dei quattro canali, la stessa viene richiesta. Il circuito traslatore di chiamata 50 risponde all'indirizzo presente sul canale omnibus di selezione 82 mediante trasmissione di un codice binario, in accordo con il formato riportato nella Tabella A, per lo stato del canale selezionato, attraverso un canale omnibus 83 per i dati di uscita, al complesso di commutazione digitale la.

Facendo riferimento specifico alla figura 2, puo' essere rilevato che il circuito 10 di controllo della sequenza e della tempificazione, include un contatore 11 presentante un proprio terminale di ingresso per i segnali di orologio CK collegato al

conduttore 3 per i segnali di orologio, o di temporizzazione precedentemente indicato con riferimento alla descrizione della figura 1. Il contatore 11 include pure un ingresso di caricamento LD e le uscite Q0 - Q8 oltre ad una uscita Q14. Un segnale, sincronizzato con la frequenza di quadro dell'impianto di commutazione digitale 1a, viene alimentato all'ingresso di caricamento LD, attraverso un conduttore 19a, in modo tale da sincronizzare il contatore 11 all'avviamento. Le uscite Q0 - Q8 sono costituite dall'origine dei vari conduttori 0-8 presenti nel canale omnibus 20 di convogliamento dei segnali di orientamento. L'uscita Q14 e' collegata ad un terminale di ingresso D1 di un registro 12 a due bits. Il contatore 11 puo' venire realizzato con l'impiego di componenti facilmente reperibili in commercio e consistenti di un circuito divisore per 10 seguito da tre circuiti divisori per 16. In una disposizione di questo tipo, soltanto l'ingresso di caricamento LD del circuito divisore per 10, risulta attivamente collegato al conduttore 19a e, pertanto, quando viene generato il segnale di caricamento, soltanto il circuito divisore per 10 viene azzerato. Il registro a due bits 12 puo' consistere di due circuiti a flip-flop,



di tipo D, collegati in conformità a quanto rappresentato nella figura 2. Le uscite Q1 e  $\overline{Q2}$  del circuito a registro 12, sono collegate ai rispettivi ingressi di una porta logica AND 13 la cui uscita costituisce l'origine di un conduttore 13a per i segnali di ripristino. Il registro 12, in combinazione con la porta logica AND 13, genera un segnale di ripristino ad ogni 8 millisecondi, sul conduttore dei segnali di ripristino 13a, in risposta ai segnali derivati dalle uscite Q5 e Q14 del contatore 11. Nel canale 20 di convogliamento dei segnali di orientamento, i conduttori 7 ed 8 vengono collegati agli ingressi A0 ed A1, rispettivamente, dei decodificatori 27 e 28. Ogni decodificatore 27 e 28 include le uscite Q0 - Q3. Le uscite del decodificatore 27 rappresentano l'origine dei conduttori 0-3 del canale omnibus 27a dei registri mentre le uscite del decodificatore 28 comprendono l'origine dei conduttori 0-3 del conduttore 28a dei segnali di azzeramento dei registri. L'interconnessione di questi canali omnibus e del canale omnibus 20 di convogliamento dei segnali di orientamento, risulterà in seguito evidente dalla descrizione delle figure 3 e 4, rispettivamente.

I circuiti multivibratori monostabili 91-94 includono, individualmente, un ingresso collegato ad uno dei conduttori 0-3, rispettivamente, previsti nel canale omnibus 4 di scrittura dei registri. Ognuno dei circuiti multivibratori monostabili MV 91-94 include pure una uscita collegata ad un ingresso di una porta logica OR 95 la quale presenta la propria uscita collegata ad un conduttore 96 per i segnali di sincronizzazione.

La parte rimanente del circuito 10 di controllo della sequenza e della tempificazione, riportato nella figura 2, riguarda la generazione dei segnali di tempificazione che vengono alimentati sui vari conduttori corrispondenti e che rientrano nella designazione generale dei conduttori dei segnali di tempificazione 29 indicati nella figura 1. Una memoria per sole operazioni di lettura ROM 14, include gli ingressi A0-A6 per i segnali di indirizzo collegati ai conduttori 0-6, rispettivamente, presenti nel canale omnibus 20 di convogliamento dei segnali di orientamento, mentre include pure un ingresso A7 per i segnali di indirizzo collegato al conduttore per i segnali di ripristino 13a. L'unità di memoria ROM 14 include pure le uscite di convogliamento dei dati D0-D7, l'uscita per i dati D0 comprendendo

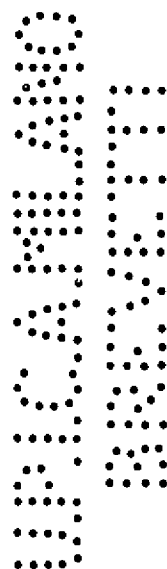
l'origine di un conduttore 9 presente nel canale omnibus 20 di convogliamento dei segnali di orientamento. Un registro a 8 bits 15 include gli ingressi D0 e D6 collegati alle uscite D1 e D3 dell'unità di memoria ROM 14. Gli ingressi D1, D2, D3 e D7 del registro 15 sono collegati alle uscite Q0, Q1, Q2 e Q6, rispettivamente, di detto registro. L'uscita Q1 del registro in questione, e' rappresentata dall'origine di un conduttore 21 per i segnali di caricamento mentre l'uscita Q6 comprende l'origine di un conduttore 24 per i segnali di orologio per i registri di caricamento. Le uscite Q0 e Q1 del registro 15 sono collegate agli ingressi di una porta logica NOR 37 la cui uscita e' collegata all'origine di un conduttore 37a di alimentazione dei segnali di arresto. L'uscita Q3 del registro 15 e' collegata all'origine di un conduttore 22 per l'azzeramento del registro accumulatore. Una uscita Q7 del registro 15 e' collegata ad un ingresso di una porta logica OR 17 la quale presenta un altro ingresso collegato in modo tale da ricevere i segnali di orologio, o di tempificazione, dal conduttore 3. L'uscita della porta logica OR 17, e' collegata al terminale di ingresso di abilitazione EN (enable) del circuito decodificatore 28. Un regi-



stro 16, del tipo a 8 bits, include gli ingressi D1 e D2 collegati all'uscita D5 ed all'uscita D6, rispettivamente, dell'unità di memoria ROM 14. Gli ingressi D6 e D7 del registro 16 sono collegati al conduttore per i segnali di sincronizzazione 96 e ad una uscita Q6 del registro 16, rispettivamente. Una uscita Q1 del registro 15 e' collegata all'origine di un conduttore 23 per il registro di caricamento. L'uscita Q2 del registro 16 e' collegata ad un terminale di ingresso D4 dello stesso registro. La corrispondente uscita Q4 e' collegata ad un terminale di ingresso D5. L'uscita Q2 e' pure collegata all'origine di un conduttore per il registro di uscita di integrazione, indicato in 25, mentre una uscita Q5 del registro 16 e' collegata all'origine di un conduttore ad accesso diretto per la memoria RAM. L'uscita Q6 e' pure collegata ad un terminale di ingresso di una porta logica OR 17 mentre una uscita Q7 del registro 16 e' collegata ad un altro ingresso della porta logica OR 19, attraverso un invertitore 18. L'uscita della porta logica OR 19 e' collegata, per mezzo del conduttore 19a, al terminale di ingresso di caricamento LD del contatore 11.

Con riferimento specifico alla figura 2 ed al

diagramma dei tempi riportato nella figura 5, verrà ora descritto il principio di funzionamento del circuito di controllo della sequenza e della tempificazione. Tutte le scale dei tempi e le varie forme d'onda riportate nella figura 5, sono state indicate secondo l'appropriata relazione temporale. In corrispondenza della parte superiore della figura 5 sono stati rappresentati sessantaquattro quadri di canali TDM occupanti un periodo pari, all'incirca, a otto millisecondi. La scala dei tempi e' stata rappresentata in forma espansa allo scopo di evidenziare un segnale di ripristino sul conduttore 13a coincidente con il sessantaquattresimo quadro. Un singolo quadro interessa un periodo pari, all'incirca a centoventicinque microsecondi e lo stesso include trentadue canali, da 0 a 31. Anche in questo caso, la scala dei tempi e' stata espansa allo scopo di evidenziare i canali dei bytes PCM ognuno dei quali presenta dieci periodi binari da 0 a 9. Ogni periodo binario corrisponde, all'incirca a trecentonovanta nanosecondi e corrisponde al periodo dei segnali di orologio sul conduttore 3 di convogliamento dei segnali di orologio. Le forme d'onda rimanenti nella figura 2 sono state rappresentate rispetto alla seconda espansione della scala dei tempi e dei periodi dei bits PCM men-



tre la distinzione più breve, in termini temporali, e' pari alla metà di un periodo binario. Queste forme d'onda sono accompagnate da scritte che consentono di rendere evidente il punto di presenza ed i tempi di presenza con riferimento ai circuiti delle altre figure.

Il contatore 11 schematizzato nella figura 2, conteggia i segnali di orologio, o di tempificazione che si rendono disponibili sul conduttore 3 mentre il risultato del conteggio e' costituito da una sequenza di numeri binari che appare sui conduttori 0-8 del canale omnibus 20 di trasferimento dei segnali di orientamento. In un esempio specifico, i segnali di orologio, o di tempificazione presenti sul conduttore 3, presentano una frequenza di ripetizione impulsiva pari a 2,56 MHz. Il contatore 11 viene sincronizzato con la tempificazione dei canali PCM, per mezzo di un segnale di ripristino che si rende disponibile sul conduttore 19a e che opera in modo tale per cui la porzione a divisione per dieci del contatore 11 puo' venire caricata con tutti elementi a carattere binario zero. Il segnale di ripristino si verifica in risposta ad un segnale di scrittura che si evidenzia su di un conduttore

presente nel canale omnibus 4 che convoglia i segnali di scrittura dei registri. L'associato complesso circuitale a multivibratore, comprendente i multivibratori 91 - 94, risponde al segnale di scrittura provocando l'abilitazione del terminale di ingresso D6 del registro 16, attraverso la porta logica OR 95 ed il conduttore 96 di convogliamento dei segnali di orologio. La corrispondente uscita Q6 del registro viene abilitata e, pertanto, il segnale di ripristino si renderà disponibile sul conduttore 19a attraverso la porta logica OR 19. Quando l'uscita Q6 viene abilitata, l'uscita Q7 del registro in questione viene corrispondentemente abilitata, allo scopo di determinare il termine del segnale di ripristino attraverso l'invertitore 18 e la porta logica OR 19. I segnali di ripristino, presentanti una durata impulsiva pari, all'incirca a 125 microsecondi ed un periodo del ciclo di circa 8 millisecondi, si rendono disponibili sul conduttore di ripristino 13a. I segnali di ripristino presenti sul conduttore 13a rappresentano il risultato della divisione dei segnali di orologio presenti sul conduttore 3, per  $10 \times 2^{11}$  e della registrazione degli stessi nel registro 12 le cui uscite vengono trattate, secondo la logica AND, dalla porta logica AND 13. L'unità di

memoria ROM 14 viene indirizzata dal contatore 11 e la stessa include la logica richiesta per pilotare i registri 15 e 16, unitamente alle porte associate, per la generazione dei segnali di temporizzazione illustrati nel diagramma dei tempi riportato nella figura 5.

Facendo ora riferimento specifico alla figura 3 puo' essere rilevato che i registri di transito, vale a dire i registri buffer 30 precedentemente definiti con riferimento alla figura 1, sono formati dai registri serie-parallelo 31-34 a 8 bits. Ognuno dei registri 31-34 include tre ingressi di controllo rappresentati, in modo specifico, da un ingresso di abilitazione EN (enable) collegato ad un rispettivo conduttore presente nel canale omnibus 4 di convogliamento dei segnali di scrittura per i registri, da un ingresso di selezione SEL (select) collegato ad un rispettivo conduttore nel canale omnibus 27a di convogliamento dei segnali di lettura dei registri e da un terminale di ingresso di cancellazione, o di azzeramento CL (clear) collegato ad un rispettivo conduttore presente nel canale omnibus 28a di convogliamento dei segnali di azzeramento dei registri. Ognuno dei registri 31-34 include pure un ingresso

seriale SI collegato al conduttore 2 di convogliamento dei segnali seriali PCM della linea di giunzione ed una uscita PO formata da otto conduttori in parallelo collegati ai conduttori 0-7 del canale omnibus di uscita in parallelo PCM 30b.

Nel funzionamento, i segnali di scrittura, o di registrazione, vengono ricevuti dal complesso, o impianto di commutazione digitale 1a, attraverso il canale omnibus 4 di convogliamento dei segnali di registrazione per i registri. Un segnale di registrazione presente su di un conduttore nel canale omnibus 4 di convogliamento dei segnali di registrazione, opera in modo tale per cui l'associato registro fra i vari registri di transito di ingresso 31 - 34 puo' caricare, in serie, un campione PCM dalla linea di giunzione 2. Entro il successivo intervallo di 8 millisecondi, viene generato, da parte del decodificatore 27, un segnale di lettura il quale si rende disponibile su di un corrispondente conduttore del canale omnibus 27a in modo tale che i contenuti del registro di transito di ingresso possano evidenziarsi, attraverso l'uscita in parallelo PO, sul canale omnibus 30b. Immediatamente dopo, un segnale di cancellazione, o di azzeramento, si

rende disponibile sul corrispondente conduttore del canale omnibus 28a di convogliamento dei segnali di azzeramento dei registri, in modo tale che il registro corrispondente possa venire azzerato, vale a dire portato ad una condizione di contenimento di tutti elementi a carattere binario zero. Nel caso in cui non si verifichi la presenza di alcun successivo segnale di scrittura diretto verso il registro di transito di ingresso, per un certo periodo di tempo, l'azzeramento del registro impedisce al circuito successivo, di ricevere false indicazioni ripetute dei campioni PCM.

Nel filtro digitale, un registro di transito 35, a 8 bits, risulta collegato fra il canale omnibus PCM in parallelo 30b ed una memoria lineare/quadratica per sole operazioni di lettura ROM 36. Otto terminali di ingresso per i dati, contraddistinti dai riferimenti DO-D7 del registro 35, sono collegati al canale omnibus PCM parallelo 30b mentre un terminale di ingresso per i segnali di orologio CK, e' collegato al conduttore 24 di trasferimento dei segnali di orologio di caricamento dei registri. Otto uscite Q0 - Q7 del registro 35, sono collegate ai corrispondenti otto ingressi di indirizzo AO - A7 dell'unità di memoria ROM 36. Un terminale

di ingresso per i segnali di indirizzo, A8, dell'unità di memoria ROM 36, e' collegato al conduttore 4 del canale omnibus 20 di convogliamento dei segnali di orientamento. L'uscita dell'unità di memoria ROM 36 e' collegata agli ingressi parallelo dei registri di spostamento dei dati, di ordine pari e di ordine dispari 38 e 39, rispettivamente, in modo tale che il registro di ordine pari 38 possa ricevere soltanto i bits di uscita di significato pari mentre il registro di ordine dispari 39 possa ricevere soltanto i bits di uscita presentanti un significato di numero dispari. Il conduttore 21 di convogliamento dei segnali di caricamento e' collegato ai terminali di ingresso di caricamento LD dei registri di spostamento 38 e 39. Ogni registro di spostamento 38 e 39 include pure una uscita seriale SO collegata ad un corrispondente ingresso seriale SI (serial input) mentre presenta pure un ingresso di mantenimento H (hold) collegato al conduttore 37a di convogliamento dei segnali di arresto.

L'unità di memoria ROM 36 viene utilizzata per espandere ogni campione del segnale PCM nella propria rappresentazione lineare e per fornire una



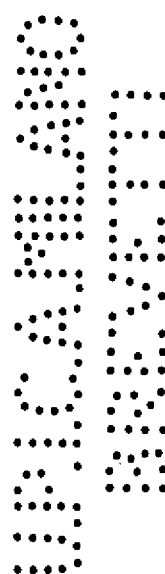
approssimazione della potenza di ogni campione.

Conseguentemente, l'unità di memoria ROM 36 contiene le rappresentazioni lineari e le corrispondenti rappresentazioni lineari quadratiche approssimate di duecentocinquantesi parole PCM a otto bits, utilizzate per la trasmissione nell'impianto di commutazione digitale. I dati PCM, provenienti dai registri 31-34, vengono selettivamente applicati, attraverso il registro 35, agli ingressi di indirizzo AO-A7 dell'unità di memoria ROM 36. Durante l'applicazione di una rispettiva parola PCM, il segnale applicato al terminale di ingresso di indirizzo A8 opera in modo tale per cui l'unità di memoria ROM 36 può venire indirizzata nella propria porzione di memoria approssimativamente quadratica lineare e, successivamente, nella propria porzione di memoria lineare. I bits di ordine pari e di ordine dispari della parola quadratica approssimata e della parola lineare si evidenziano alla uscita dell'unità di memoria ROM 36 e gli stessi vengono individualmente caricati negli ingressi parallelo dei registri di spostamento 38 e 39, rispettivamente, sotto il controllo del segnale di caricamento presente sul conduttore 23 per i segna\_

li di caricamento dei registri.

Un filtro, costituito da una unità di memoria ROM 40, include gli ingressi di indirizzo A0-A9 e le uscite per i dati D0-D15, collegate ad un accumulatore presentante un sommatore 41 a 16 bits ed un registro 42 a 16 bits. Il registro 42 a 16 bits, include un terminale di ingresso di cancellazione, o di azzeramento, collegato al conduttore 22 di convogliamento dei segnali di cancellazione del registro accumulatore. Gli ingressi di indirizzo A0 e A1 dell'unità di memoria ROM 40, sono collegati alle uscite seriali S0 dei registri di spostamento di ordine pari 38 e di ordine dispari 39, attraverso i conduttori 38a e 39a, rispettivamente. I registri 44 e 45 di spostamento, di ordine pari e di ordine dispari, del tipo a otto bits, includono ingressi parallelo per la ricezione dei bits di ordine pari 0 - 12 ed anche del bit 15 e dei bits di ordine dispari 1 - 11 oltre al bit 15, rispettivamente, dalla uscita del sommatore 41. Le uscite seriali S0 del registro di spostamento di ordine pari 44 e del registro di spostamento 45, di ordine dispari, sono collegate ai conduttori di ordine pari e di ordine dispari 44a e 45a, rispettivamente, ed agli ingressi seriali SI dei registri di spostamento dei dati di ordine pari

e di ordine dispari 46 e 47 a 312 bits. Ognuno dei registri di spostamento 44 e 45 include un ingresso per i segnali di caricamento LD collegati al conduttore 21 per i segnali di caricamento, mentre ognuno dei registri include un ingresso per i dati seriali SI collegati in comune ad una uscita AI proveniente dall'ultimo stadio del registro di spostamento 45 di ordine dispari. L'uscita AI rappresenta pure l'origine del conduttore 43 di convogliamento dei segnali rappresentativi del "segno". Le uscite seriali SO dei registri di spostamento 46 e 47 sono collegate agli ingressi degli indirizzi A2 e A3 dell'unità di memoria ROM 40 ed agli ingressi seriali SI dei registri di spostamento dei dati 48 e 49 di ordine pari e di ordine dispari, di tipo seriale, a 320 bits. Il registro di spostamento 48 include una uscita seriale SO collegata all'ingresso di indirizzo A4 dell'unità di memoria ROM 40 mentre il registro di spostamento 49 include una uscita seriale SO collegata all'ingresso di indirizzo A5 dell'unità di memoria ROM 40. I rimanenti ingressi di indirizzo A6 - A9 dell'unità di memoria ROM 40 sono collegati ai conduttori 4, 5, 6 e 9 del canale omnibus 20 di convogliamento dei segnali di orientamento.



L'unità di memoria ROM 40, costituente il filtro precedentemente definito, contiene i dati nelle locazioni di memoria che sono accessibili per mezzo di indirizzi binari. Il filtro ROM 40, in combinazione con l'associato complesso circuitale, opera in modo tale per cui il sistema a filtro digitale può assumere, in modo indirizzabile, le caratteristiche di sei filtri a banda stretta e le caratteristiche di un filtro non attenuante per mezzo del quale l'uscita approssimativamente quadratica lineare, derivata dall'unità di memoria ROM 36, può venire trasferita attraverso il filtro digitale. Ogni banda passante del filtro a banda stretta corrisponde ad una delle sei frequenze di segnalazione MF. L'impiego della caratteristica di un filtro non attenuante risulta conveniente poiché consente l'ottenimento di una via con l'ausilio della quale l'uscita approssimativamente quadratica lineare, derivata dall'unità di memoria ROM 36 può venire convogliata attraverso il sistema a filtro digitale. Questa uscita potrebbe venire direttamente convogliata al circuito traslatore di chiamata schematizzato nella figura 4 ma, tuttavia, deve essere rilevato che questa soluzione risulta economicamente più impegnativa poiché comporta l'impiego di

almeno un ulteriore circuito buffer e l'impiego di appropriati conduttori di convogliamento dei segnali di tempificazione.

Nel funzionamento, il valore quadratico lineare approssimato e, successivamente, il valore lineare di un campione PCM, vengono sequenzialmente registrati nei registri di ordine dispari e di ordine pari 38 e 39. I registri 38 e 39 spostano, serialmente, i bits registrati, attraverso i conduttori 38a e 39a, negli ingressi di indirizzo AO ed AI del filtro ROM 40. I dati vengono pure fatti ricircolare attraverso i registri 38 e 39, per mezzo dei rispettivi ingressi seriali SI. Conseguentemente, ogni volta che si verifica la presenza di un indirizzo sul canale omnibus di orientamento 20, i bits dei dati derivati dall'unità di memoria ROM 36 vengono alimentati, serialmente, a coppie, al filtro ROM 40, progredendo dai bits meno significativi ai bits più significativi. Quando il bit meno significativo dell'indirizzo presente sul canale omnibus di orientamento, si verifica ad una frequenza pari ad un decimo della frequenza dei segnali di tempificazione, o di orologio, del sistema, presenti sul conduttore 3, la funzione di

riciclo del registro di spostamento 38 e del registro di spostamento 39, viene arrestata per due di ogni dieci segnali di orologio, per mezzo di un segnale di arresto convogliato tramite il conduttore 37a di convogliamento dei segnali di arresto. Ogni valore lineare viene alimentato, dai registri 38 e 39, alla memoria ROM 40, per sette volte, in conformità a quanto precedentemente descritto ogni volta in presenza di un differente indirizzo fra i sette indirizzi di funzione del filtro dal canale omnibus 20 di convogliamento dei segnali di orientamento. Ogni volta che un valore quadratico approssimato viene caricato nei registri 38 e 39, lo stesso viene alimentato una volta in presenza dell'indirizzo di funzione del filtro non attenuante.

Il filtro ROM 40 genera segnali di lettura in corrispondenza delle uscite D0-D15 ad ogni presenza del segnale di orologio, o di tempificazione. I segnali di lettura vengono accumulati per un periodo di otto cicli del segnale di orologio, per mezzo dell'azione esercitata dal sommatore 41 e del registro 42. Poiche' lo spazio nell'accumulatore risulta limitato, l'interconnessione fra l'uscita del registro 42 e l'ingresso del sommatore

re 41, e' disposta in modo tale da spostare i dati registrati di due posti nella direzione di minor significato ad ogni addizione, scartando in tal modo i due bits meno significativi. L'indirizzo sul canale omnibus 20 di convogliamento dei segnali di orientamento, include un segnale sul nono conduttore il quale viene abilitato nell'istante in cui l'ottavo, o ultimo campione si rende disponibile in corrispondenza degli ingressi A0 - A5 del filtro ROM 40. Questo provoca una lettura di "complemento a due" in corrispondenza delle uscite D0 - D15 del filtro ROM 40 la quale effettua una operazione di sottrazione nell'accumulatore. Al termine di ogni accumulazione, i registri di spostamento 44 e 45 vengono caricati con il risultato accumulato che si presenta sotto forma di un segnale binario di complemento a due. I dati cablati nel filtro ROM 40 ed il complesso circuitale configurato in conformità a quanto precedentemente descritto, consentono di produrre una uscita costituente una rappresentazione a  $1/4$  dell'ampiezza filtrata, vale a dire del valore della potenza, a seconda dei casi. Poiche' i dati si presentano sotto forma binaria di complemento a 2, gli stessi vengono moltiplicati per quattro per

generare il valore richiesto della funzione del filtro mediante caricamento del bit di segno 15 del valore accumulato, nel primo stadio di ognuno dei registri di spostamento 44 e 45. Il bit di segno 15 viene pure caricato in corrispondenza dell'ultimo stadio del registro di spostamento 15 mentre i bits 13 e 14 provenienti dal sommatore 41 vengono ignorati. Il registro accumulatore 42 viene quindi impostato ad una condizione di presenza di tutti elementi a carattere binario zero, per mezzo di un segnale presente sul conduttore 22 di trasferimento dei segnali di azzeramento del registro accumulatore. Commentati con l'uscita del campione dai registri di spostamento 38 e 39, i bits dei dati provenienti dai registri 44 e 45 vengono accettati in corrispondenza degli ingressi seriali SI dei registri di spostamento 46 e 47, rispettivamente. Nel frattempo, il bit 15 rappresentativo del segno, viene continuamente caricato in corrispondenza degli ingressi seriali SI dei registri 44 e 45, attraverso il conduttore 43 di spostamento dei bits rappresentativi del segno.

I registri di spostamento a 312 bits, indicati in 46 e 47, vengono fatti funzionare, in modo continuo, alla frequenza del segnale di orologio, o di



tempificazione del sistema, in modo tale da registrare i bits dei dati sui conduttori 44a e 45a. In dieci periodi di orologio, i primi 8 bits registrati sono rappresentati da dati mentre gli ultimi due bits registrati vengono ignorati. Deve essere pure rilevato che il canale omnibus di convogliamento dei segnali di orientamento, trasporta dieci indirizzi per ogni campione. Pertanto, la lunghezza combinata dei registri di spostamento 44, 46 e 45, 47, e' tale per cui il risultato del precedente campione filtrato, proveniente da un dato canale, viene sincronizzato con il campione attuale appartenente al dato canale. In modo analogo, l'uscita dei registri 48, 49, a 320 bits fornisce in sincronismo, il precedente campione, in precedenza filtrato, del dato canale. L'indirizzamento del filtro ROM 40, in combinazione con i contenuti dei dati del filtro ROM 40, provvede all'azione richiesta di filtraggio per sei frequenze e per la potenza. Poiche' gli otto indirizzi presenti sul canale omnibus di convogliamento dei segnali di orientamento non vengono effettivamente impiegati in questa forma pratica realizzativa dell'invenzione, i dati cablati nel filtro ROM 40, corrispondenti a questa funzione del filtro vengono disposti in modo tale da

risultare tutti pari a zero.

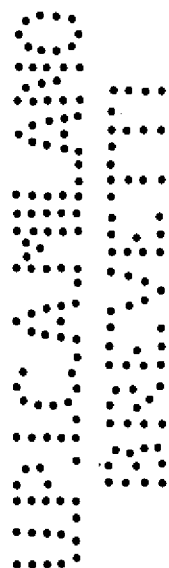
Con riferimento specifico alla figura 4, puo' essere rilevato che i segnali binari presenti sul conduttore di convogliamento del segnale rappresentativo della condizione "pari" 44a e sul conduttore 43 di convogliamento del segnale rappresentativo del segno, vengono ricevuti, bit per bit, dal circuito di traslazione della chiamata, attraverso una porta logica ad OR-ESCLUSIVO 52. In modo analogo, i segnali binari presenti sul conduttore 45a di convogliamento dei bits dispari ed anche i segnali presenti sul conduttore 43 di convogliamento dei bits di segno, vengono ricevuti, bit per bit, attraverso un'altra porta ad OR-ESCLUSIVO 53. Le uscite delle porte ad OR-ESCLUSIVO 52 e 53 sono collegate agli ingressi A1 ed A2 di un sommatore a due bits 51. Il conduttore di convogliamento dei segnali di ripristino 13a e' collegato, per mezzo di un invertitore 57, agli ingressi delle porte logiche AND 54 e 55 ed al terminale di ingresso di cancellazione CL (clear) di un flip-flop 56. Una uscita del flip-flop 56 e' collegata ad un terminale di ingresso di riporto C (carry) del sommatore 51. Le uscite delle porte logiche AND 54 e 55 vengono

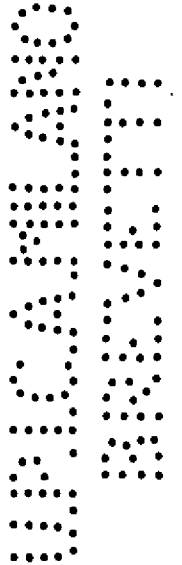
alimentate agli ingressi B1 e B2 del sommatore 51.

Il sommatore 51 include le uscite S1 e S2 collegate agli ingressi seriali SI di due registri di spostamento di ordine pari e di ordine dispari 60 e 61, a 320 bits. Le uscite seriali SO dei registri di spostamento 60 e 61 sono collegate agli ingressi seriali SI di due registri di spostamento 64 e 65, rispettivamente, a quattro bits ed agli ingressi delle porte logiche AND 54 e 55. Le uscite parallelo dei registri di spostamento 64 e 65 sono collegate agli ingressi di un registro buffer 66 a 8 bits le cui uscite sono collegate ad un canale omnibus di convogliamento dei dati 81. Il registro di spostamento 66 include pure un terminale di ingresso CK per i segnali di orologio, collegato al conduttore 25 in uscita dal registro 16 mentre presenta pure un terminale di ingresso EN per i segnali di abilitazione, collegato al conduttore 13a di convogliamento dei segnali di ripristino.

Un elaboratore 70, una unità di memoria di sole operazioni di lettura ROM 71 ed una memoria per i dati, del tipo ad accesso casuale RAM 72 sono interconnessi attraverso il canale omnibus 81 di riferimento dei dati ed un canale omnibus di trasferimento degli indirizzi 80. L'elaboratore 70 presenta un proprio

terminale di ingresso collegato al conduttore 13<sub>a</sub>  
di convogliamento dei segnali di ripristino ed una  
uscita di registrazione nella memoria RAM, collegata  
ad un ingresso di una porta logica OR 77. L'uscita  
della porta logica OR 77 e' collegata ad un ingresso  
di abilitazione di scrittura della memoria RAM 72.  
Un gruppo di registri indirizzabili di uscita 85 e'  
collegato fra il canale omnibus di convogliamento  
dei dati 81 ed il canale omnibus 83 di convogliamento dei dati di uscita. Un decodificatore 73 include opportuni ingressi collegati ai cinque conduttori più significativi presenti nel canale omnibus 80 di convogliamento degli indirizzi, una uscita collegata, attraverso un conduttore 74 di convogliamento dei segnali di selezione per la memoria ROM, all'unità di memoria ROM 71, una uscita collegata, attraverso un conduttore 75 di selezione dell'unità di memoria RAM, all'unità di memoria RAM 72 ed una uscita collegata all'ingresso per i segnali di abilitazione alla scrittura WE (write enable) dei registri 85. Gli ingressi di indirizzo di scrittura W1 e W2 dei registri 85 sono collegati a due conduttori del canale omnibus di convogliamento degli indirizzi 80. I registri 85 includono pure gli ingressi di indirizzo di lettura R1, R2 ed un ingresso RE per i segnali di

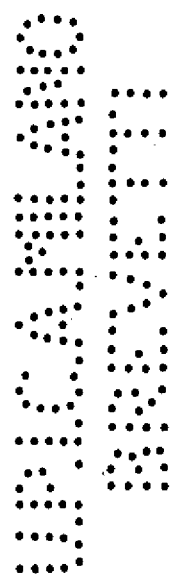




abilitazione di lettura, tutti collegati al canale omnibus 82 di convogliamento dei segnali di selezione. Un registro degli indirizzi 67, ad accesso diretto in memoria, e' collegato tra il canale omnibus di convogliamento dei segnali di orientamento 20 ed il canale omnibus degli indirizzi 80. Il registro 67 include un terminale di ingresso per i segnali di orologio CK collegato al conduttore 25 ed un terminale di ingresso per i segnali di abilitazione EN collegato ad una uscita di riconoscimento del ripristino 70a dell'elaboratore 70.

Nel funzionamento, l'uscita derivata dal filtro digitale 30a, schematizzato nella figura 1, viene alimentata al circuito traslatore di chiamata 50, attraverso il conduttore 44a di convogliamento dei bits pari ed attraverso il conduttore 45a di trasferimento dei bits dispari, due bits di dati alla volta mentre il bit rappresentativo del segno risulta continuamente presente sul conduttore 43 di alimentazione dei bits di segno 43, per la durata di dieci cicli di orologio. I bits dei dati, di ordine pari, e di ordine dispari vengono trattati, secondo la logica ad OR-ESCLUSIVO, con il bit rappresentativo del segno, dalle porte logiche 52 e 53,

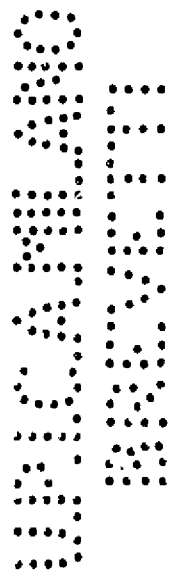
rispettivamente e vengono quindi alimentati agli ingressi A1 ed A2 del sommatore 51. Il sommatore 51, le porte logiche AND 54 e 55, il flip-flop 56 ed i registri 60 e 61, in combinazione, svolgono una integrazione separata e distinta del valore assoluto di ogni uscita della funzione del filtro per ognuno dei canali TDM ricevuti, durante un periodo di tempo di 8 millisecondi. I segnali in uscita dal sommatore 51 vengono ritardati con riferimento alla presenza degli stessi, in corrispondenza degli ingressi B1 e B2, per mezzo dei registri di spostamento 60 e 61, di ordine <sup>pari</sup> e di ordine dispari, a 320 bits. Un segnale di riporto, presente in corrispondenza dell'uscita di eccedenza, o di "overflow" 53 del sommatore 51, viene ritardato, di un periodo del segnale di orologio, da parte del flip-flop 56 e viene quindi alimentato al terminale di ingresso di riporto C (carry) del sommatore 51. Con questo sistema, le corrispondenti uscite delle funzioni del filtro per i corrispondenti campioni dei canali, vengono sincronizzate ed accumulate in un periodo di tempo di 8 millisecondi, secondo quanto determinato dal segnale di ripristino presente sul conduttore 13a. Il segnale di ripristino viene abilitato per un periodo della frequenza di quadro pari, all'incirca, a 125 microsecondi. L'asserzione del



segnale di ripristino inibisce le porte logiche AND 54 e 55 ed azzerà il flip-flop 56, in modo tale da iniziare un nuovo periodo di accumulazione. Inoltre, durante la presenza del segnale di ripristino, i dati risultanti dalle passate integrazioni, vengono spostati al di fuori dei registri di spostamento 60 e 61, attraverso i registri di spostamento 64 e 65 e vengono quindi registrati, in forma parallelo, nel registro 66. Il processore 70 viene disattivato dal segnale di ripristino, per la durata del periodo di 125 microsecondi, in modo tale che sotto il controllo del segnale di orologio presente sul conduttore 25, i dati ricevuti dal registro 66 possano venire assemblati in bytes in parallelo ed alimentati al canale omnibus 81 di convogliamento dei dati. Nello stesso tempo, il registro 67 trasferisce i segnali presenti sul canale omnibus di convogliamento dei segnali di guida, o di orientamento, sul canale omnibus 80 degli indirizzi. Pertanto, in risposta al segnale presente sulla linea di accesso diretto alla memoria RAM, indicata in 26, la memoria ad accesso casuale RAM 72 può registrare tutti i dati accumulati nel periodo di integrazione appena completato, in corrispondenza delle locazioni di indirizzo determinate

dai segnali presenti sul canale omnibus di convogliamento dei segnali di orientamento, ed in una gamma di indirizzi determinata dalle connessioni permanenti di ingresso dei segnali 67a sul registro di transito 67. Al termine del periodo di mantenimento del segnale di ripristino, della durata di 125 microsecondi, tutte le informazioni riguardanti la chiamata, sono state caricate nell'unità di memoria RAM 72. L'elaboratore 70 riprende il funzionamento con il complesso circuitale associato, in modo tale da operare una traslazione della chiamata in codici compatibili con l'impianto di commutazione digitale in accordo con quanto rappresentato, a titolo di esempio nella Tabella A.

Per facilitare lo svolgimento di questa funzione, l'elaboratore 70 viene governato, nella propria operazione, per lo svolgimento delle funzioni descritte nel diagramma di flusso riportato nella figura 6, per mezzo di un'appropriata sequenza di codici di istruzione alloggiati, sotto forma di una logica accessibile da un indirizzo, nell'unità di memoria ROM 71. Non è stato ritenuto necessario riportare una descrizione dettagliata del principio di funzionamento dell'elaboratore poiché questo rientra nell'ambito di





una persona esperta di applicazioni degli elaboratori elettronici, per la specificazione di un'appropriate sequenza di codici di istruzione adatti per la concretizzazione pratica delle funzioni illustrate nel diagramma di flusso schematizzato nella figura 6, e secondo quanto riportato nella Tabella A. Deve essere sottolineato il fatto che qualsiasi dato elaboratore e' limitato dalla propria gamma di funzioni e dalla velocità con la quale lo stesso e' in grado di operare. Ovviamente, qualsiasi elaboratore selezionato, in combinazione con una specifica serie di codici di istruzione, deve essere sufficientemente veloce da elaborare i risultati di ogni funzione del filtro entro il periodo compreso fra i periodi di mantenimento del segnale di ripristino. Nella versione esemplificativa precedentemente riportata, e' stato riscontrato soddisfacente l'impiego di un noto microprocessore del tipo 8085, fatto funzionare con un tempo di ciclo di 1,3 microsecondi, ed attivato con istruzioni logiche per la concretizzazione pratica delle funzioni riportate nel diagramma di flusso della figura 6.

Nella traslazione della chiamata, il tempo reale disponibile per l'elaborazione puo' venire miglio\_

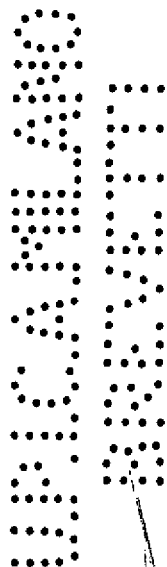
rato sottoponendo soltanto la chiamata MF inizializzata, ad un rigoroso test di validità sottoponendo, nel contempo, la chiamata MF uscente, ad una verifica di continuità che richiede un tempo reale inferiore per l'elaborazione, rispetto a quanto si verifica per la prova di validità. Questo metodo risulta particolarmente utile in un ricevitore di chiamata adatto a ricevere la chiamata su doppino poichè la manipolazione manuale della chiamata si estende spesso per un tempo maggiore di quello essenziale. Conseguentemente, le uscite di una pluralità di filtri digitali adattate ad un formato di chiamata, o segnalazione su doppino, possono venire traslate per mezzo di un singolo processore.

Nel diagramma di flusso riportato nella figura 6, nella quale sono state rappresentate due vie alternative per l'elaborazione dei risultati istantanei di qualsiasi periodo di 8 millisecondi, sono stati rappresentati due modi di funzionamento. In corrispondenza della parte sinistra del diagramma di flusso, sono state evidenziate le funzioni richieste per determinare la validità della segnalazione MF iniziale di una cifra. Sul lato destro del diagramma di flusso, sono state rappresentate le funzioni richieste per la determinazione di una segnalazione

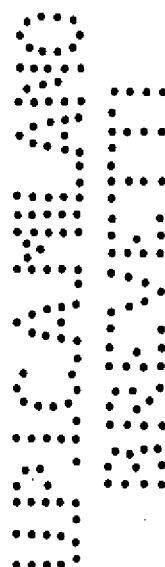
continua MF di una cifra.

All'inizio di un periodo di 8 millisecondi, inizia l'operazione del circuito di traslazione 50 della segnalazione, o chiamata. Vengono dapprima identificate le tre ampiezze maggiori delle funzioni del filtro, memorizzate nell'unità di memoria RAM 72. Se due dei tre segnali identificati risultano superiori ad un'ampiezza prefissata e si è verificata una chiamata nei precedenti due periodi di 8 millisecondi, la cifra chiamata viene decodificata. Se questa cifra corrisponde alla rispettiva cifra del canale, decodificata nel precedente periodo di 8 millisecondi, la stessa viene caricata in un appropriato registro fra i vari registri di uscita 85. Tuttavia, se la cifra rappresenta una terza ricorrenza di una cifra differente, la cifra decodificata viene designata come errore.

All'inizio di un periodo di 8 millisecondi, se non si riscontrano due ampiezze, nell'unità di memoria RAM 72 al di sopra di una soglia prefissata, come si verifica nel precedente periodo di 8 millisecondi, una indicazione di pausa viene caricata nell'appropriato registro fra i vari registri di uscita 85.

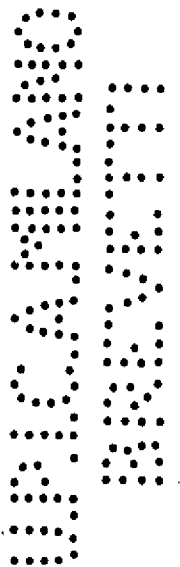


Nel caso in cui esistano due ampiezze al di sopra della soglia ma con presenza di una pausa precedente, le ampiezze vengono sottoposte alla prova di validità la quale include una serie di verifiche per accertare se vengono soddisfatti i requisiti per la chiamata MF. Le ampiezze vengono confrontate per la verifica di uno sbilanciamento, tipicamente denominato "twist", superiore a circa 7 decibel. Se e' presente uno sbilanciamento superiore a 7 db, il segnale viene classificato come "non valido". Nel caso di uno sbilanciamento accettabile, la più piccole delle tre ampiezze viene confrontata con l'ampiezza intermedia, per uno sbilanciamento superiore a circa 12 db. Se e' presente uno sbilanciamento inferiore a 12 db, la chiamata viene considerata come invalida. Se questo sbilanciamento risulta accettabilmente elevato, l'ampiezza maggiore viene confrontata con un valore approssimato di potenza dal periodo del campione, allo scopo di determinare se la componente massima di chiamata MF risulta almeno di 20 db superiore a quella di altri segnali considerati come rumore, che si verificano nel periodo di campionamento. Se dalle funzioni precedentemente indicate, si riscontrano due ampiez-

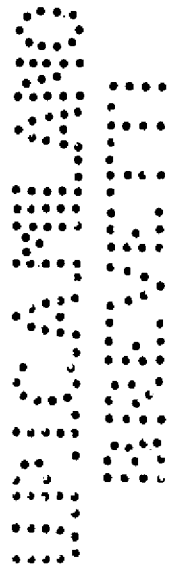


ze che rappresentano una segnalazione valida, la cifra rappresentata dalle stesse viene decodificata. Se il precedente periodo di 8 millisecondi e' stato indicato come una pausa, la cifra decodificata viene caricata nell'appropriato registro di uscita 85.

In una forma pratica realizzativa dell'invenzione, la memoria ROM 40 del filtro, presente nel filtro digitale 30a, include una logica indirizzabile, secondo quanto riportato nelle Tabelle successive. La logica indirizzabile provvede a sei funzioni del filtro a banda stretta ed alla funzione di un filtro non attenuante. Le sei funzioni del filtro a banda stretta presentano, individualmente, una banda passante corrispondente ad uno di sei toni segnali presentanti le seguenti frequenze: 700 Hz, 900 Hz, 1100 Hz, 1300 Hz, 1500 Hz e 1700 Hz, rispettivamente. Deve essere rilevato che queste rappresentano le frequenze dei toni segnali standard nel formato di chiamata MF del Nord America. Le voci riportate nelle Tabelle successive si riferiscono ad una memoria ROM 40 formata da quattro dispositivi ROM (0 - 3) ognuno dei quali fornisce quattro dei sedici posti di uscita dell'uni-



tà di memoria ROM 40 con i rispettivi "posti" di indirizzo collegati in comune. Ognuna delle Tabelle riporta valori secondo la notazione esadecimale mentre i bits meno significativi degli indirizzi si estendono attraverso la parte superiore della tavola, i bits più significativi degli indirizzi estendendosi lungo il lato sinistro della tavola, la logica indirizzabile essendo rappresentata dal corpo della tavola corrispondente.



Logica indirizzabile per ROM 40-0

UFFICIO BREVETTI  
Ing. C. GREGORI

| ADDR | 00 | 01 | 02 | 03 | 04 | 05 | 06 | 07 | 08 | 09 | 0A | 0B | 0C | 0D | 0E | 0F | ... |
|------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|-----|
| 000: | 0  | 1  | 2  | 3  | 0  | 1  | 2  | 3  | 0  | 1  | 2  | 3  | 0  | 1  | 2  | 3  | ... |
| 010: | 0  | 1  | 2  | 3  | 0  | 1  | 2  | 3  | 0  | 1  | 2  | 3  | 0  | 1  | 2  | 3  | ... |
| 020: | 0  | 1  | 2  | 3  | 0  | 1  | 2  | 3  | 0  | 1  | 2  | 3  | 0  | 1  | 2  | 3  | ... |
| 030: | 0  | 1  | 2  | 3  | 0  | 1  | 2  | 3  | 0  | 1  | 2  | 3  | 0  | 1  | 2  | 3  | ... |
| 040: | 0  | 0  | 0  | 0  | 1  | 1  | 1  | 1  | 3  | 3  | 3  | 3  | 4  | 5  | 5  | 5  | ... |
| 050: | F  | F  | F  | F  | 0  | 0  | 0  | 0  | 2  | 2  | 2  | 2  | 4  | 4  | 4  | 4  | ... |
| 060: | E  | E  | E  | E  | F  | F  | F  | F  | 1  | 1  | 1  | 1  | 3  | 3  | 3  | 3  | ... |
| 070: | D  | D  | D  | D  | E  | E  | E  | E  | 0  | 0  | 0  | 0  | 2  | 2  | 2  | 2  | ... |
| 080: | 0  | 0  | 0  | 0  | 1  | 1  | 1  | 1  | 2  | 2  | 3  | 3  | 4  | 4  | 4  | 4  | ... |
| 090: | F  | F  | F  | F  | 0  | 0  | 0  | 0  | 2  | 2  | 2  | 2  | 3  | 3  | 3  | 3  | ... |
| 0A0: | E  | E  | E  | E  | F  | F  | F  | F  | 1  | 1  | 1  | 1  | 2  | 2  | 2  | 2  | ... |
| 0B0: | D  | D  | D  | D  | E  | E  | E  | E  | 0  | 0  | 0  | 0  | 1  | 1  | 1  | 1  | ... |
| 0C0: | 0  | 0  | 0  | 0  | 1  | 1  | 1  | 1  | 2  | 2  | 2  | 2  | 3  | 3  | 3  | 3  | ... |
| 0D0: | F  | F  | F  | F  | 0  | 0  | 0  | 0  | 1  | 1  | 1  | 1  | 2  | 2  | 2  | 2  | ... |
| 0E0: | E  | E  | E  | E  | F  | F  | F  | F  | 0  | 0  | 0  | 0  | 1  | 1  | 1  | 1  | ... |
| 0F0: | D  | D  | D  | D  | E  | E  | E  | E  | F  | F  | F  | F  | 0  | 0  | 1  | 1  | ... |
| 100: | 0  | 0  | 0  | 0  | 1  | 1  | 1  | 1  | 2  | 2  | 2  | 2  | 3  | 3  | 3  | 3  | ... |
| 110: | F  | F  | F  | F  | 0  | 0  | 0  | 0  | 1  | 1  | 1  | 1  | 2  | 2  | 2  | 2  | ... |
| 120: | E  | E  | E  | E  | F  | F  | F  | F  | 0  | 0  | 0  | 0  | 1  | 1  | 1  | 1  | ... |
| 130: | D  | D  | D  | D  | E  | E  | E  | E  | F  | F  | F  | F  | 0  | 0  | 0  | 0  | ... |
| 140: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 1  | 1  | 1  | 1  | 2  | 2  | 2  | 2  | ... |
| 150: | F  | F  | F  | F  | F  | F  | F  | F  | 0  | 0  | 0  | 0  | 1  | 1  | 1  | 1  | ... |
| 160: | E  | E  | E  | E  | E  | E  | E  | F  | F  | F  | F  | F  | 0  | 0  | 0  | 0  | ... |
| 170: | D  | D  | D  | D  | D  | D  | E  | E  | E  | E  | E  | E  | F  | F  | F  | F  | ... |
| 180: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 1  | 1  | 1  | 1  | 1  | 1  | ... |
| 190: | F  | F  | F  | F  | F  | F  | F  | F  | F  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | ... |
| 1A0: | E  | E  | E  | E  | E  | E  | E  | E  | F  | F  | F  | F  | F  | F  | F  | F  | ... |
| 1B0: | D  | D  | D  | D  | D  | D  | D  | D  | E  | E  | E  | E  | E  | E  | E  | E  | ... |
| 1C0: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | ... |
| 1D0: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | ... |
| 1E0: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | ... |
| 1F0: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | ... |
| 200: | 0  | 1  | E  | F  | 0  | 1  | E  | F  | 0  | 1  | E  | F  | 0  | 1  | E  | F  | ... |
| 210: | 0  | 1  | E  | F  | 0  | 1  | E  | F  | 0  | 1  | E  | F  | 0  | 1  | E  | F  | ... |
| 220: | 0  | 1  | E  | F  | 0  | 1  | E  | F  | 0  | 1  | E  | F  | 0  | 1  | E  | F  | ... |
| 230: | 0  | 1  | E  | F  | 0  | 1  | E  | F  | 0  | 1  | E  | F  | 0  | 1  | E  | F  | ... |
| 240: | 0  | 0  | F  | F  | 1  | 1  | 1  | 1  | C  | C  | C  | C  | E  | E  | E  | E  | ... |
| 250: | F  | F  | E  | F  | 0  | 0  | 0  | 0  | B  | B  | B  | B  | D  | D  | D  | D  | ... |
| 260: | 1  | 1  | 1  | 1  | 3  | 3  | 3  | 3  | E  | E  | E  | E  | 0  | 0  | 0  | 0  | ... |
| 270: | 0  | 0  | 0  | 0  | 2  | 2  | 2  | 2  | D  | D  | D  | D  | F  | F  | F  | F  | ... |
| 280: | 0  | 0  | F  | F  | 1  | 1  | 1  | 1  | D  | D  | C  | D  | E  | E  | E  | E  | ... |
| 290: | F  | F  | E  | F  | 0  | 0  | 0  | 0  | C  | C  | C  | C  | D  | D  | D  | D  | ... |
| 2A0: | 1  | 1  | 1  | 1  | 3  | 3  | 3  | 3  | E  | E  | E  | E  | 0  | 0  | 0  | 0  | ... |
| 2B0: | 0  | 0  | 0  | 0  | 2  | 2  | 2  | 2  | D  | E  | D  | D  | F  | F  | F  | F  | ... |
| 2C0: | 0  | 0  | F  | F  | 1  | 1  | 1  | 1  | D  | D  | D  | D  | E  | E  | E  | E  | ... |
| 2D0: | F  | F  | E  | F  | 0  | 0  | 0  | 0  | C  | C  | C  | C  | D  | D  | D  | D  | ... |
| 2E0: | 1  | 1  | 1  | 1  | 3  | 3  | 3  | 3  | F  | F  | F  | F  | 0  | 0  | 0  | 0  | ... |
| 2F0: | 0  | 0  | 0  | 0  | 2  | 2  | 2  | 2  | E  | E  | E  | E  | F  | F  | F  | F  | ... |
| 300: | 0  | 0  | F  | F  | 1  | 1  | 0  | 0  | D  | E  | D  | D  | E  | F  | E  | E  | ... |
| 310: | F  | F  | E  | F  | 0  | 0  | F  | 0  | D  | D  | C  | C  | E  | E  | D  | D  | ... |
| 320: | 1  | 1  | 1  | 1  | 2  | 2  | 2  | 2  | F  | F  | F  | F  | 0  | 0  | 0  | 0  | ... |
| 330: | 0  | 0  | 0  | 0  | 1  | 2  | 1  | 1  | E  | E  | E  | E  | F  | F  | F  | F  | ... |
| 340: | 0  | 0  | F  | F  | 0  | 0  | 0  | 0  | E  | E  | E  | E  | F  | F  | F  | F  | ... |
| 350: | F  | F  | E  | F  | F  | F  | F  | F  | D  | D  | D  | D  | E  | E  | E  | E  | ... |
| 360: | 1  | 1  | 1  | 1  | 2  | 2  | 2  | 2  | 0  | 0  | 0  | 0  | 1  | 1  | 1  | 1  | ... |

|      |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |
|------|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| 370: | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | F | F | F | F | 0 | 0 | 0 | 0 |
| 380: | 0 | 0 | F | F | 0 | 0 | 0 | 0 | F | F | E | F | F | F | F | F |
| 390: | F | F | E | E | F | F | F | F | E | E | E | E | E | E | E | E |
| 3A0: | 1 | 1 | 1 | 1 | 2 | 2 | 2 | 2 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 1 |
| 3B0: | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | F | F | 0 | 0 | 0 | 0 |
| 3C0: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 3D0: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 3E0: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 3F0: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

Logica indirizzabile per ROM 40-1

| ADDR | 00 | 01 | 02 | 03 | 04 | 05 | 06 | 07 | 08 | 09 | 0A | 0B | 0C | 0D | 0E | 0F |
|------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| 000: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 010: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 020: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 030: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 040: | 0  | 0  | 0  | 1  | A  | B  | B  | B  | 5  | 5  | 6  | 6  | F  | 0  | 0  | 1  |
| 050: | 0  | 1  | 1  | 1  | B  | B  | C  | C  | 5  | 6  | 6  | 7  | 0  | 1  | 1  | 1  |
| 060: | 1  | 1  | 2  | 2  | C  | C  | C  | D  | 6  | 7  | 7  | 7  | 1  | 1  | 2  | 2  |
| 070: | 2  | 2  | 3  | 3  | C  | D  | D  | E  | 7  | 7  | 8  | 8  | 2  | 2  | 2  | 3  |
| 080: | 0  | 0  | 1  | 1  | 7  | 8  | 8  | 9  | F  | F  | 0  | 0  | 6  | 7  | 8  | 8  |
| 090: | 0  | 1  | 1  | 2  | 8  | 9  | 9  | A  | 0  | 0  | 1  | 1  | 7  | 8  | 8  | 9  |
| 0A0: | 1  | 2  | 2  | 3  | 9  | 9  | A  | B  | 1  | 1  | 2  | 2  | 8  | 9  | 9  | A  |
| 0B0: | 2  | 3  | 3  | 4  | A  | A  | B  | B  | 1  | 2  | 3  | 3  | 9  | A  | A  | B  |
| 0C0: | 0  | 0  | 1  | 2  | 4  | 4  | 5  | 6  | 8  | 9  | 9  | A  | C  | D  | D  | E  |
| 0D0: | 0  | 1  | 2  | 3  | 5  | 5  | 6  | 7  | 9  | 9  | A  | B  | D  | E  | E  | F  |
| 0E0: | 1  | 2  | 3  | 3  | 5  | 6  | 7  | 8  | A  | A  | B  | C  | E  | E  | F  | 0  |
| 0F0: | 2  | 3  | 4  | 4  | 6  | 7  | 8  | 8  | B  | B  | C  | D  | F  | F  | 0  | 1  |
| 100: | 0  | 0  | 1  | 2  | 0  | 1  | 1  | 2  | 0  | 1  | 2  | 2  | 0  | 1  | 2  | 3  |
| 110: | 0  | 1  | 2  | 3  | 1  | 1  | 2  | 3  | 1  | 2  | 2  | 3  | 1  | 2  | 3  | 3  |
| 120: | 1  | 2  | 3  | 4  | 2  | 2  | 3  | 4  | 2  | 3  | 3  | 4  | 2  | 3  | 4  | 4  |
| 130: | 2  | 3  | 4  | 5  | 2  | 3  | 4  | 5  | 3  | 4  | 4  | 5  | 3  | 4  | 5  | 5  |
| 140: | 0  | 0  | 1  | 2  | B  | C  | D  | E  | 7  | 8  | 9  | A  | 3  | 4  | 5  | 6  |
| 150: | 0  | 1  | 2  | 3  | C  | D  | E  | F  | 8  | 9  | A  | B  | 4  | 5  | 6  | 7  |
| 160: | 1  | 2  | 3  | 4  | D  | E  | F  | 0  | 9  | A  | B  | C  | 5  | 6  | 7  | 8  |
| 170: | 2  | 3  | 4  | 5  | E  | F  | 0  | 1  | A  | B  | C  | D  | 6  | 7  | 8  | 9  |
| 180: | 0  | 1  | 2  | 3  | 7  | 8  | 9  | A  | E  | F  | 0  | 1  | 5  | 6  | 7  | 8  |
| 190: | 0  | 1  | 2  | 3  | 8  | 9  | A  | B  | F  | 0  | 1  | 2  | 6  | 7  | 8  | 9  |
| 1A0: | 1  | 2  | 3  | 4  | 9  | A  | B  | C  | 0  | 1  | 2  | 3  | 7  | 8  | 9  | A  |
| 1B0: | 2  | 3  | 4  | 5  | A  | B  | C  | D  | 1  | 2  | 3  | 4  | 8  | 9  | A  | B  |
| 1C0: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 1D0: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 1E0: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 1F0: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 200: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 210: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 220: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 230: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 240: | 0  | 0  | F  | F  | A  | B  | 9  | A  | A  | B  | 9  | A  | 5  | 5  | 4  | 4  |
| 250: | 0  | 1  | F  | 0  | B  | B  | A  | A  | B  | B  | A  | B  | 6  | 6  | 5  | 5  |
| 260: | E  | E  | D  | E  | 9  | 9  | 8  | 8  | 9  | 9  | 8  | 8  | 3  | 4  | 3  | 3  |
| 270: | F  | F  | E  | E  | 9  | A  | 9  | 9  | A  | A  | 9  | 9  | 4  | 5  | 3  | 4  |
| 280: | 0  | 0  | E  | F  | 7  | 8  | 6  | 7  | 0  | 1  | F  | 0  | 8  | 8  | 7  | 7  |
| 290: | 0  | 1  | F  | 0  | 8  | 9  | 7  | 7  | 1  | 2  | 0  | 1  | 9  | 9  | 8  | 8  |



Logica indirizzabile per ROM 40-2

[illegible]

|      |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |
|------|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| 200: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 210: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 220: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 230: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 240: | 0 | 6 | 3 | 9 | 9 | 0 | C | 3 | C | 3 | F | 6 | 6 | C | 9 |
| 250: | C | 2 | F | 5 | 6 | C | 9 | F | 8 | F | B | 2 | 2 | 9 | 5 |
| 260: | 7 | D | A | 0 | 1 | 7 | 4 | A | 3 | A | 7 | D | D | 4 | 0 |
| 270: | 3 | A | 6 | D | D | 3 | 0 | 6 | 0 | 6 | 3 | 9 | 9 | 0 | D |
| 280: | 0 | 9 | E | 7 | A | 3 | 8 | 1 | B | 4 | 9 | 2 | 5 | E | 3 |
| 290: | D | 6 | B | 4 | 8 | 1 | 6 | F | 9 | 2 | 7 | 0 | 3 | C | 1 |
| 2A0: | 4 | D | 2 | B | E | 7 | C | 5 | F | 8 | D | 6 | 9 | 2 | 7 |
| 2B0: | 2 | B | 0 | 9 | C | 5 | A | 3 | D | 6 | B | 4 | 7 | 0 | 5 |
| 2C0: | 0 | B | 9 | 4 | 2 | D | C | 7 | B | 6 | 4 | F | D | 8 | 7 |
| 2D0: | E | 9 | 8 | 3 | 1 | C | A | 5 | 9 | 4 | 3 | E | C | 7 | 5 |
| 2E0: | 3 | E | C | 7 | 5 | 0 | F | A | E | 9 | 7 | 2 | 0 | B | A |
| 2F0: | 1 | C | B | 6 | 4 | F | D | 8 | C | 7 | 6 | 1 | F | A | 8 |
| 300: | 0 | C | 6 | 3 | 3 | 0 | 9 | 6 | 9 | 5 | F | C | C | 9 | 2 |
| 310: | E | B | 5 | 1 | 2 | F | 8 | 5 | 7 | 4 | E | A | B | 8 | 1 |
| 320: | 2 | F | 8 | 5 | 6 | 2 | C | 9 | B | 8 | 1 | E | F | B | 5 |
| 330: | 1 | E | 7 | 4 | 4 | 1 | B | 7 | A | 7 | 0 | D | D | A | 4 |
| 340: | 0 | E | 3 | 1 | D | C | 0 | F | 4 | 2 | 7 | 5 | 2 | 0 | 5 |
| 350: | F | D | 2 | 0 | D | B | 0 | E | 3 | 1 | 6 | 4 | 1 | F | 4 |
| 360: | 1 | 0 | 4 | 3 | F | E | 2 | 1 | 5 | 4 | 8 | 7 | 3 | 2 | 6 |
| 370: | 0 | F | 3 | 2 | E | D | 1 | 0 | 5 | 3 | 8 | 6 | 2 | 1 | 5 |
| 380: | 0 | 0 | 0 | 0 | 3 | 3 | 3 | 3 | 8 | 8 | 8 | 8 | C | C | C |
| 390: | F | F | F | F | 3 | 3 | 3 | 3 | 8 | 8 | 8 | 8 | C | C | C |
| 3A0: | 0 | 0 | 0 | 0 | 4 | 4 | 4 | 4 | 9 | 9 | 9 | 9 | C | C | C |
| 3B0: | 0 | 0 | 0 | 0 | 3 | 3 | 3 | 3 | 8 | 8 | 8 | 8 | C | C | C |
| 3C0: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 3D0: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 3E0: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 3F0: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

Logica indirizzabile per ROM 40-3

| ADDR | 00 | 01 | 02 | 03 | 04 | 05 | 06 | 07 | 08 | 09 | 0A | 0B | 0C | 0D | 0E | 0F |
|------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| 000: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 010: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 020: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 030: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 040: | 0  | 7  | E  | 5  | C  | 3  | A  | 1  | 8  | F  | 6  | D  | 4  | B  | 2  | 9  |
| 050: | 5  | D  | 4  | B  | 1  | 8  | F  | 6  | D  | 4  | B  | 2  | 9  | 0  | 7  | E  |
| 060: | A  | 2  | 9  | 0  | 6  | E  | 5  | C  | 2  | 9  | 0  | 7  | E  | 5  | C  | 3  |
| 070: | F  | 7  | E  | 5  | B  | 3  | A  | 1  | 7  | E  | 5  | C  | 3  | A  | 1  | 8  |
| 080: | 0  | 0  | 0  | 0  | 7  | 7  | 7  | 7  | E  | E  | E  | E  | 5  | 5  | 5  | 5  |
| 090: | E  | F  | F  | F  | 5  | 5  | 5  | 5  | C  | C  | C  | C  | 3  | 3  | 3  | 3  |
| 0A0: | C  | D  | D  | D  | 3  | 4  | 4  | 4  | A  | A  | A  | A  | 1  | 1  | 1  | 1  |
| 0B0: | A  | B  | B  | B  | 1  | 2  | 2  | 2  | 8  | 8  | 8  | 8  | F  | F  | F  | F  |
| 0C0: | 0  | 2  | 5  | 8  | 8  | A  | D  | 0  | 0  | 2  | 5  | 8  | 8  | A  | D  | 0  |
| 0D0: | 8  | B  | E  | 1  | 0  | 2  | 5  | 8  | 8  | A  | D  | 0  | 0  | 2  | 5  | 8  |
| 0E0: | 0  | 3  | 6  | 9  | 8  | B  | E  | 1  | 0  | 2  | 5  | 8  | 8  | A  | D  | 0  |
| 0F0: | 8  | B  | E  | 1  | 0  | 3  | 6  | 9  | 8  | B  | E  | 1  | 0  | 2  | 5  | 8  |
| 100: | 0  | D  | A  | 8  | 8  | 5  | 2  | 0  | 0  | D  | A  | 8  | 8  | 5  | 2  | 0  |
| 110: | C  | A  | 7  | 5  | 4  | 1  | E  | C  | C  | 9  | 6  | 4  | 4  | 1  | E  | C  |
| 120: | 8  | 6  | 3  | 1  | 0  | E  | B  | 9  | 8  | 5  | 2  | 0  | 0  | D  | A  | 8  |
| 130: | 4  | 2  | F  | D  | C  | A  | 7  | 5  | 4  | 2  | F  | D  | C  | 9  | 6  | 4  |

|      |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |
|------|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| 140: | 0 | 7 | F | 7 | F | 6 | E | 6 | E | 5 | D | 5 | D | 4 | C | 4 |
| 150: | 2 | A | 2 | A | 1 | 9 | 1 | 9 | 0 | 7 | F | 7 | F | 5 | E | 6 |
| 160: | 4 | C | 4 | C | 3 | B | 3 | B | 2 | A | 2 | A | 1 | 8 | 0 | 8 |
| 170: | 6 | E | 6 | E | 5 | D | 5 | D | 4 | C | 4 | C | 3 | 7 | 3 | B |
| 180: | 0 | 0 | 0 | 1 | B | B | B | C | 6 | 6 | 6 | 7 | 1 | 1 | 1 | 2 |
| 190: | C | D | D | E | 7 | 8 | 8 | 9 | 2 | 2 | 2 | 3 | D | D | D | B |
| 1A0: | 8 | 9 | 9 | A | 3 | 4 | 4 | 5 | E | F | F | 0 | 9 | 8 | A | B |
| 1B0: | 4 | 5 | 5 | 6 | F | 0 | 0 | 1 | A | B | B | C | 5 | 5 | 6 | 7 |
| 1C0: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1D0: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1E0: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1F0: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 200: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 210: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 220: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 230: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 240: | 0 | 7 | 2 | 9 | C | 3 | D | 4 | 8 | 0 | A | 1 | 4 | C | 6 | D |
| 250: | 5 | D | 7 | E | 1 | 8 | 2 | 9 | D | 5 | F | 6 | 9 | 1 | B | 2 |
| 260: | 6 | D | 7 | E | 2 | 9 | 3 | A | E | 6 | 0 | 7 | A | 1 | B | 2 |
| 270: | B | 2 | C | 3 | 7 | E | 8 | F | 3 | B | 5 | C | F | 7 | 1 | 8 |
| 280: | 0 | 0 | 0 | 0 | 7 | 7 | 6 | 6 | 2 | 3 | 2 | 2 | 9 | A | 9 | 9 |
| 290: | E | F | E | E | 5 | 5 | 4 | 4 | 0 | 1 | 0 | 0 | 7 | 8 | 7 | 7 |
| 2A0: | 4 | 4 | 3 | 3 | B | B | A | A | 6 | 7 | 6 | 6 | D | D | C | C |
| 2B0: | 2 | 2 | 1 | 1 | 9 | 9 | 8 | 8 | 4 | 5 | 4 | 4 | B | C | B | B |
| 2C0: | 0 | 2 | B | E | 8 | A | 2 | 5 | 0 | 3 | B | E | 8 | B | 3 | 6 |
| 2D0: | 8 | B | 3 | 6 | 0 | 2 | A | D | 8 | B | 3 | 6 | 0 | 3 | B | E |
| 2E0: | 0 | 2 | A | D | 8 | A | 2 | 5 | 0 | 3 | B | E | 8 | A | 2 | 5 |
| 2F0: | 8 | A | 2 | 5 | 0 | 2 | A | D | 8 | B | 3 | 6 | 0 | 3 | B | E |
| 300: | 0 | D | 6 | 3 | 8 | 5 | D | A | 0 | E | 6 | 3 | 8 | 6 | E | B |
| 310: | C | A | 2 | F | 4 | 1 | A | 6 | C | A | 2 | F | 4 | 2 | A | 7 |
| 320: | 8 | 5 | D | A | 0 | D | 5 | 2 | 8 | 6 | E | B | 0 | D | 5 | 2 |
| 330: | 4 | 1 | 9 | 6 | C | 9 | 1 | E | 4 | 2 | A | 7 | C | A | 2 | F |
| 340: | 0 | 7 | 1 | 9 | F | 6 | F | 7 | 2 | A | 3 | B | 1 | 9 | 2 | A |
| 350: | 2 | A | 3 | B | 1 | 9 | 2 | A | 4 | C | 5 | D | 3 | B | 4 | C |
| 360: | C | 3 | C | 4 | B | 2 | B | 3 | E | 5 | E | 6 | D | 4 | D | 5 |
| 370: | E | 5 | E | 6 | D | 4 | D | 5 | 0 | 8 | 1 | 9 | F | 6 | F | 7 |
| 380: | 0 | 0 | 0 | 0 | B | B | A | A | A | B | A | A | 5 | 6 | 5 | 5 |
| 390: | C | D | C | C | 7 | 8 | 7 | 7 | 6 | 7 | 6 | 6 | 1 | 2 | 1 | 1 |
| 3A0: | 8 | 8 | 7 | 7 | 3 | 3 | 2 | 2 | 2 | 2 | 1 | 1 | D | D | C | C |
| 3B0: | 4 | 4 |   |   |   |   |   |   |   |   |   |   |   |   |   |   |

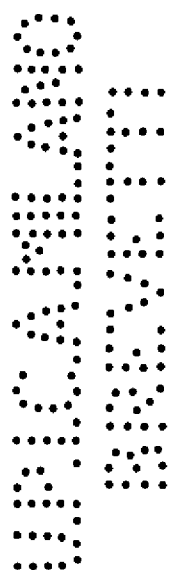
In una versione differente del ricevitore di chiamata progettato per la ricezione di toni di chiamata su doppiino PCM, viene richiesta la logica indirizzabile nell'unità di memoria ROM 40 per fornire sette funzioni del filtro per frequenze differenti rispetto alle frequenze precedentemente riportate e, di conseguenza, la logica indirizzabile varierà in misura corrispondente.

#### RIVENDICAZIONI

1. Ricevitore di chiamata per la ricezione di tono segnali modulati impulsivamente in codice (PCM - pulse code modulated), caratterizzato dal fatto che comprende:

un circuito ricevitore (30) per la ricezione di segnali PCM da un canale selezionato; un circuito (10) per la generazione di serie di segnali di orientamento, o di guida, ognuno di detti segnali di orientamento, o di guida, della serie, corrispondendo ad una funzione predeterminata di un filtro nel ricevitore di chiamata;

un circuito filtro digitale (30a) includente un dispositivo convertitore (36 - figura 3), per convertire ognuno dei segnali PCM ricevuti in un corrispondente segnale binario lineare presentante una

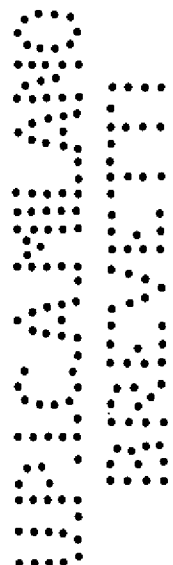


pluralità di bits, detto circuito filtro digitale essendo sensibile ai segnali di orientamento ed ai segnali binari lineari, per lo svolgimento di una pluralità di funzioni del filtro a banda passante, con i segnali binari lineari come diretti ai segnali di orientamento, e di guida e per la generazione di segnali, dal filtro, corrispondenti alle ampiezze dei segnali binari lineari presentanti frequenze corrispondenti a quelle frequenze definite dalle rispettive funzioni del filtro a banda passante;

un circuito traslatore (50) sensibile ai segnali di orientamento ed ai segnali del filtro, per la rivelazione della presenza di una chiamata con toni PCM e per la traslazione di detta chiamata in segnali rappresentativi di dati secondo un formato codificato prefissato di segnali.

2. Ricevitore di chiamata secondo la rivendicazione 1, in cui il circuito traslatore e' caratterizzato dal fatto che comprende:

un circuito (51-65 - figura 4) per integrare i segnali del filtro attraverso un periodo di tempo prefissato, allo scopo di derivare un segnale binario integrato corrispondente ad un valore di ampiezza per una serie di ognuna delle funzioni del filtro;

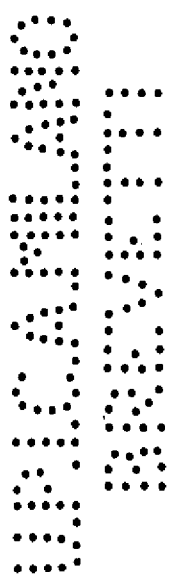


un dispositivo di memoria temporanea (72) per memorizzare temporaneamente i segnali binari integrati;

un dispositivo di memoria (71) presentante istruzioni logiche memorizzate in corrispondenza di locazioni accessibili per mezzo di un indirizzo;

un processore, o elaboratore (70), collegato in modo tale da leggere detti segnali binari integrati, memorizzati temporaneamente, e dette istruzioni logiche memorizzate, detto elaboratore essendo operabile in accordo con dette istruzioni logiche memorizzate, per identificare i due segnali di ampiezza maggiore fra detti segnali binari integrati, memorizzati temporaneamente, e per confrontare i segnali identificati, l'uno rispetto all'altro, allo scopo di determinare l'entità dello scostamento, vale a dire dello sbilanciamento fra gli stessi.

3. Ricevitore di chiamata, secondo la rivendicazione 2, caratterizzato dal fatto che il dispositivo convertitore opera pure in modo tale da convertire i segnali PCM ricevuti in un segnale di potenza corrispondente ad un valore approssimativamente al quadrato del corrispondente segnale binario lineare ed in cui l'elaboratore e' operabile in accordo con dette istruzioni logiche memorizzate, per confronta-



re il segnale di potenza con uno dei segnali identificati, allo scopo di determinare un rapporto segnale/rumore presentante un valore accettabile per una chiamata multifrequenza (MF) valida.

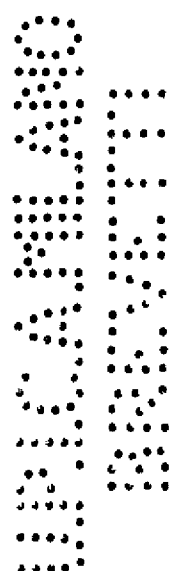
4. Ricevitore di chiamata secondo la rivendicazione 1, caratterizzato dal fatto che:

il dispositivo convertitore opera pure in modo tale da convertire i segnali PCM ricevuti in segnali binari di potenza, ognuno corrispondente ad un valore quadratico approssimato di un corrispondente segnale binario lineare ed in cui il circuito traslatore e' caratterizzato dal fatto che comprende:

un circuito (51-65) per integrare individualmente i segnali del filtro corrispondenti ad ogni funzione del filtro ed ai segnali di potenza attraverso un periodo di tempo prefissato, allo scopo di derivare un segnale binario integrato corrispondente ad una serie di ognuna di dette funzioni del filtro di segnali binari di potenza;

un dispositivo di memorizzazione temporanea (72) per memorizzare temporaneamente i segnali binari integrati;

un dispositivo di memoria (71) presentante istruzioni logiche memorizzate in corrispondenza di lo\_



cazioni accessibili per mezzo di un indirizzo;

un elaboratore (70) collegato in modo tale da leggere detti segnali memorizzati temporaneamente e dette istruzioni logiche memorizzate, detto elaboratore essendo operabile in accordo con dette istruzioni logiche memorizzate, per identificare i tre segnali di livello più elevato fra detti segnali integrati che sono stati memorizzati, per confrontare i due segnali di livello maggiore, fra detti segnali identificati, per una entità di sbilanciamento accettabilmente piccola per una segnalazione, o chiamata valida, per confrontare il secondo segnale identificato, di livello più elevato, con il segnale identificato, di livello più basso, per una quantità di differenza accettabilmente elevata per una segnalazione, o chiamata valida e per confrontare uno dei segnali identificati, di livello maggiore, con i segnali binari di potenza per un rapporto segnale/rumore accettabilmente elevato per una chiamata valida.

5. Ricevitore di chiamata secondo la rivendicazione 1, in cui detto circuito filtrante, di tipo digitale, e' caratterizzato dal fatto che comprende:



un dispositivo di memoria (40) presentante bytes di bits di dati memorizzati in corrispondenza di locazioni accessibili per mezzo di un indirizzo, nel dispositivo stesso, terminali per gli indirizzi (A) e terminali per i dati (D), una pluralità di terminali, o "posti" di accesso per gli indirizzi essendo collegati in modo tale da ricevere una porzione di ognuno dei segnali di orientamento, detto dispositivo di memoria essendo disposto in modo tale da alimentare bytes selezionati fra detti bytes in corrispondenza dei terminali di uscita dei dati in risposta agli stati dei segnali dei terminali di ricezione degli indirizzi;

un circuito accumulatore (41, 42) collegato ai terminali di uscita dei dati di detto dispositivo di memoria (40), per accumulare i bytes dei dati entro un intervallo di tempo prestabilito, allo scopo di generare uno di detti segnali di ampiezza;

un complesso circuitale di ingresso (38, 39, 46, 47, 48, 49) collegato in modo tale da ricevere i bits dei segnali binari lineari dal dispositivo convertitore ed in modo tale da ricevere detti segnali di ampiezza, detti mezzi di ingresso venendo utilizzati per alimentare, in modo sincrono, ai terminali

degli indirizzi, il segnale istantaneo, a carattere binario lineare, con il corrispondente segnale di ampiezza precedente e con il corrispondente segnale di ampiezza immediatamente precedente, ognuno di detti segnali venendo alimentato, in questo modo, secondo un formato serie/parallelo dei bits.

6. Ricevitore di chiamata secondo la rivendicazione 1, in cui il circuito di filtraggio, di tipo digitale, e' caratterizzato dal fatto che comprende:  
un dispositivo di memoria (40) presentante bytes di bits dei dati memorizzati in corrispondenza di locazioni accessibili da un indirizzo, nello stesso, terminali per i dati (D) ed una pluralità di terminali per gli indirizzi rappresentati da primi terminali (A0, A1), da secondi terminali (A2, A3), da terzi terminali (A4, A5) e da terminali di ricezione dei segnali di orientamento (A6 - A9), i terminali degli indirizzi di orientamento essendo collegati in modo tale da ricevere i segnali di orientamento, o di guida, detti bits dei dati essendo disposti in modo tale da facilitare le funzioni del filtro, secondo quanto selezionato dai segnali di orientamento, detti mezzi di memoria essendo disposti in modo tale da alimentare determinati bytes sele\_

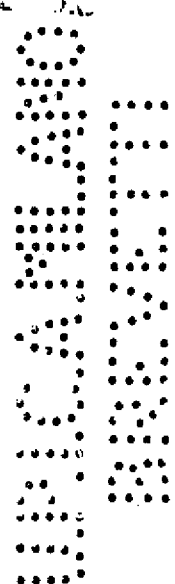
zionati fra detti bytes di bits dei dati in corrispondenza dei terminali per i dati, in risposta agli stati dei segnali dei terminali di ricezione dei segnali di indirizzo;

primi circuiti di ingresso (38, 39), collegati fra il dispositivo convertitore ed i primi terminali per gli indirizzi per alimentare, sequenzialmente, i bits di ogni segnale binario lineare, in raggruppamenti parallelo di almeno due, ai primi terminali degli indirizzi ad ogni presenza di uno dei segnali di orientamento;

un circuito accumulatore (41, 42) collegato ai terminali di alimentazione dei dati di detto dispositivo di memoria (40) per l'accumulazione dei bytes per la durata di ognuno dei vari segnali individuali di orientamento, per generare un corrispondente segnale fra detti segnali di ampiezza;

circuiti di uscita (44, 45), collegati fra il circuito accumulatore ed il circuito traslatore (50-figura 1) per trasferire sequenzialmente, all'uscita, i bits di ogni segnale di ampiezza in detti raggruppamenti parallelo;

secondi circuiti di ingresso (46, 47) collegati



fra i circuiti di uscita ed i secondi terminali di indirizzo, per ritardare l'arrivo di detti raggrup-  
pamenti parallelo di ogni segnale di ampiezza/<sup>in</sup>corrispondenza dei secondi terminali di indirizzo, di un periodo di tempo prestabilito, per sincronizzare ogni segnale di ampiezza con un successivo e corrispondente segnale binario lineare e la presenza della corrispondente funzione del filtro;

terzi circuiti di ingresso (48, 49) collegati ai terzi terminali di indirizzo (A4, A5) per ritardare l'arrivo di detti raggruppamenti parallelo di ogni segnale di ampiezza in corrispondenza dei terzi terminali di indirizzo, di una quantità prefissata di tempo, per sincronizzare ogni segnale di ampiezza con un segnale binario lineare successivo rispetto al corrispondente segnale successivo e la presenza della corrispondente funzione del filtro;

in modo tale che detti segnali di ampiezza possano venire generati in modo sequenziale.

7. Ricevitore di chiamata secondo la rivendicazione 1, caratterizzato dal fatto che:

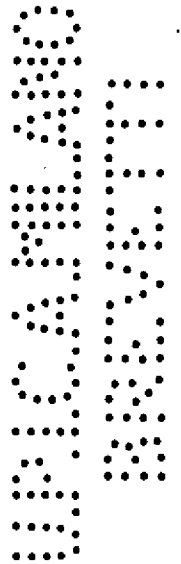
il circuito traslatore include un processore (70) ed un dispositivo (71) operante in modo tale

da consentire all'elaboratore di determinare la validità della chiamata iniziale PCM MF, per mezzo dello svolgimento di una serie di funzioni di processo che richiedono un primo periodo di tempo finito per lo svolgimento e per provocare il funzionamento dell'elaboratore allo scopo di determinare la continuità della chiamata continua PCM MF per mezzo di un'altra serie di funzioni di processo che richiedono, per lo svolgimento, un periodo di tempo inferiore al primo periodo di tempo.

8. Ricevitore di chiamata multifrequenza (MF) per la ricezione di una chiamata PCM MF traslata, in un formato codificato dei segnali compatibile con un combinatore, o "controller" in un impianto di commutazione multiplex a divisione di tempo (TDM-figura 1), detto ricevitore di chiamata essendo caratterizzato dal fatto che comprende:

un circuito di controllo della sequenza e della tempificazione (10-figura 1) collegato in modo tale da poter venire sincronizzato con l'impianto di commutazione TDM, per generare una serie di segnali di orientamento su di una base ripetitiva;

un circuito filtro a condivisione temporale (30a) sensibile ai segnali di orientamento, per lo



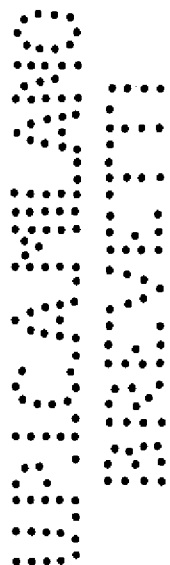
svolgimento di una pluralità di funzioni prefissate del filtro a banda passante, con una serie di segnali PCM ricevuti dall'impianto di commutazione TDM e per generare, dagli stessi, una corrispondente serie di segnali di ampiezza correlati ad ognuna di dette funzioni del filtro;

un circuito traslatore di chiamata (50), sensibile ai segnali di orientamento ed a detti segnali di ampiezza, per determinare la presenza di una chiamata valida e per operare la traslazione di detta chiamata valida in segnali rappresentativi di dati in un formato codificato prestabilito dei segnali.

9. Metodo per la traslazione di una chiamata PCM MF in un formato codificato di segnali, compatibile con un combinatore, o "controller" in un impianto di commutazione TDM, detto metodo includendo le seguenti fasi:

(a) ricezione di segnali PCM selezionati dall'impianto di commutazione TDM;

(b) conversione di ognuno dei segnali PCM ricevuti in un corrispondente segnale binario lineare presentante una pluralità di bits, caratterizzato dal fatto che comprende le seguenti fasi:

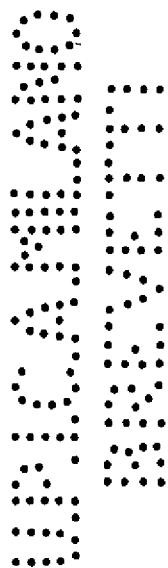


(c) generazione di almeno una serie di segnali di orientamento con ogni presenza di quadro nel formato dei segnali PCM;

(d) svolgimento di una pluralità di funzioni di un filtro a banda passante con i segnali a carattere binario lineare, come dirette dai segnali di orientamento e generazione di segnali di ampiezza consistenti di bits dei segnali e corrispondenti alle ampiezze dei segnali binari lineari presentanti frequenze corrispondenti alle frequenze definite dalla rispettiva funzione del filtro a banda passante; e

(e) rivelazione della presenza di una chiamata multifrequenza (MF) dai segnali rappresentativi delle ampiezze, e traslazione della chiamata multifrequenza in accordo con i segnali di orientamento, in segnali rappresentativi di dati in detto formato dei segnali.

10. Metodo secondo la rivendicazione 9, caratterizzato dal fatto che la fase (d) viene svolta in un filtro digitale includente una memoria (40) presentante bytes di bits dei dati memorizzati in corrispondenza di locazioni accessibili, per mezzo di un indirizzo, nella stessa, la fase (d) essendo



pure caratterizzata dalle seguenti fasi:

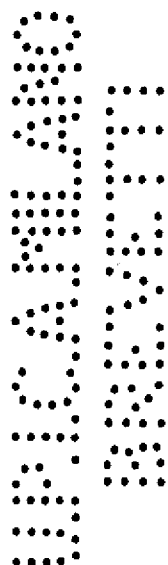
(f) lettura, da parte della memoria, di detti bytes, come selezionati dai segnali di indirizzo applicati alla stessa, detti segnali di indirizzo consistendo di bits dei segnali ed includendo una porzione di ognuno dei segnali di orientamento;

(g) accumulazione dei bytes letti dalla memoria per un periodo di tempo prefissato, allo scopo di generare uno di detti segnali rappresentativi dell'ampiezza;

(h) generazione di una porzione di ognuno di detti segnali di indirizzo da un determinato segnale fra detti segnali binari lineari, <sup>dal</sup>corrispondente segnale precedente, rappresentativo dell'ampiezza e dal corrispondente segnale, rappresentativo dell'ampiezza, che precede detto segnale precedente; e

(j) applicazione di detta porzione, in modo sequenziale, in un formato seriale/parallelo, in gruppi di almeno sei bits, ognuno alla memoria, durante il periodo di tempo prestabilito.

11. Metodo secondo la rivendicazione 9, in cui la fase (e) e' caratterizzata dalle fasi consistenti nel determinare se la chiamata e' iniziale, o continua e, nel primo caso, nello svolgere una serie di funzioni di elaborazione per determinare la va-





lidità della chiamata e, nel secondo caso, nello  
svolgere una serie differente di funzioni di elabora-  
zione, allo scopo di determinare la continuità della  
chiamata attuale rispetto alla chiamata immediata-  
mente precedente.

Milano, 18 Febbraio 1980 -

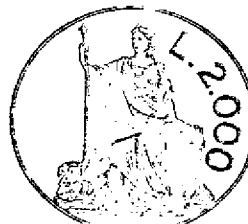
UFFICIO BREVETT  
Ing. C. GREGORI



Regante  
Messina

A handwritten signature in dark ink, written over a horizontal line. The signature is stylized and appears to be the name of the official mentioned in the text above it.

4/64207-AM

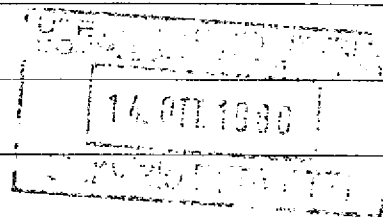


11421

On.le MINISTERO DELL'INDUSTRIA, COMMERCIO ED-ARTI-

GIANATO - Ufficio Centrale Brevetti - R O M A -

Oggetto: domanda di brevetto N° 19986 A/80 deposita  
ta il 18 Febbraio 1980 - a nome: NORTHERN TELECOM  
LIMITED - a: 1600 Dorchester Boulevard West,  
Montreal, Quebec, Canada, H3H 1R1, Canada -



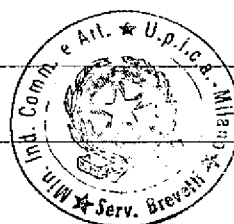
Con riferimento alla suindicata domanda di bre-  
vetto, ci si permette di chiedere che, nel testo  
depositato, vengano effettuate, ai sensi dell'art.49  
del D.P.R. 22.6.1979 N° 338, alcune correzioni forma-  
li come segue:

- a pag. 22, riga 7, sostituire "15" con "16"
- a pag. 23, riga 3 dal basso, sostituire "2" con "5"
- a pag. 25, riga 2 dal basso, dopo "uscite" inseri-  
re "Q1 e Q2"
- a pag. 43, riga 14, sostituire "53" con "S3"

Con perfetta osservanza.

Milano, 15 Ottobre 1980

UFFICIO BREVETTI  
Ing. C. GREGORI



Ufficiale Rogante  
(Prof. Messineo)

ALLEGATO B - Rettifiche alla descrizione della  
domanda di brevetto N° 19986 A/80 depositata il  
18 Febbraio 1980 - contenute in N° 4 postille,  
richieste con istanza depositata il 15 Ottobre 1980.

^ ^ ^ ^ ^

POSTILLA 2 - a pag. 22, riga 7, sostituire "15"  
con "16"

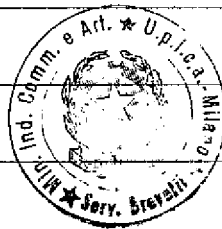
dal  
POSTILLA 3 - a pag. 23, riga 3/basso, sostituire  
"2" con "5"

POSTILLA 4 - a pag. 25, riga 2 dal basso, dopo  
"uscite" inserire "Q1 e Q2"

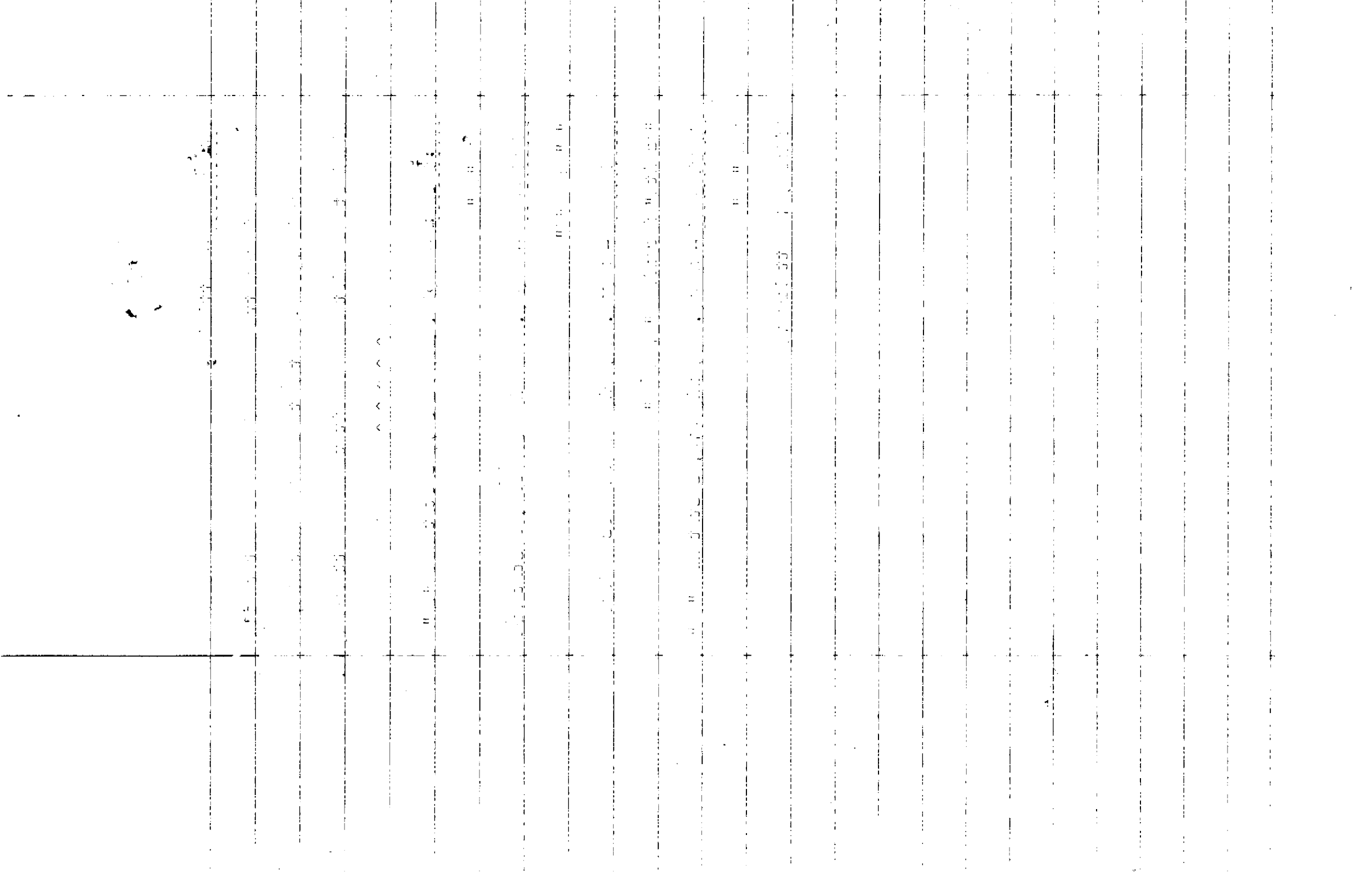
POSTILLA 5 - a pag. 43, riga 414, sostituire "53"  
con "S3"

Milano, 15 Ottobre 1980

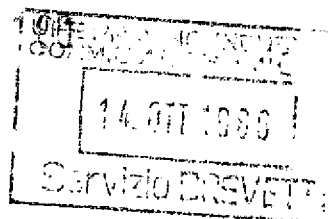
UFFICIO BREVETTI  
Ing. C. GREGORI



1° Ufficiale Rogante  
(Pietro Massineo)



199861



stro 16, del tipo a 8 bits, include gli ingressi D1 e D2 collegati all'uscita D5 ed all'uscita D6, rispettivamente, dell'unità di memoria ROM 14. Gli ingressi D6 e D7 del registro 16 sono collegati al conduttore per i segnali di sincronizzazione 96 e ad una uscita Q6 del registro 16, rispettivamente. Una uscita Q1 del registro [15] e' collegata all'origine di un conduttore 23 per il registro di caricamento.

*Postella L*

L'uscita Q2 del registro 16 e' collegata ad un terminale di ingresso D4 dello stesso registro. La corrispondente uscita Q4 e' collegata ad un terminale di ingresso D5. L'uscita Q2 e' pure collegata all'origine di un conduttore per il registro di uscita di integrazione, indicato in 25, mentre una uscita Q5 del registro 16 e' collegata all'origine di un conduttore ad accesso diretto per la memoria RAM. L'uscita Q6 e' pure collegata ad un terminale di ingresso di una porta logica OR 17 mentre una uscita Q7 del registro 16 e' collegata ad un altro ingresso della porta logica OR 19, attraverso un invertitore 18. L'uscita della porta logica OR 19 e' collegata, per mezzo del conduttore 19a, al terminale di ingresso di caricamento LD del contatore 11.

Con riferimento specifico alla figura 2 ed al

diagramma dei tempi riportato nella figura 5, verrà ora descritto il principio di funzionamento del circuito di controllo della sequenza e della tempificazione. Tutte le scale dei tempi e le varie forme d'onda riportate nella figura 5, sono state indicate secondo l'appropriata relazione temporale. In corrispondenza della parte superiore della figura 5 sono stati rappresentati sessantaquattro quadri di canali TDM occupanti un periodo pari, all'incirca, a otto millisecondi. La scala dei tempi e' stata rappresentata in forma espansa allo scopo di evidenziare un segnale di ripristino sul conduttore 13a coincidente con il sessantaquattresimo quadro. Un singolo quadro interessa un periodo pari, all'incirca a centoventicinque microsecondi e lo stesso include trentadue canali, da 0 a 31. Anche in questo caso, la scala dei tempi e' stata espansa allo scopo di evidenziare i canali dei bytes PCM ognuno dei quali presenta dieci periodi binari da 0 a 9. Ogni periodo binario corrisponde, all'incirca a trecentonovanta nanosecondi e corrisponde al periodo dei segnali di orologio sul conduttore 3 di convogliamento dei segnali di orologio. Le forme d'onda rimanenti nella figura [2] sono *Postille 3* state rappresentate rispetto alla seconda espansione della scala dei tempi e dei periodi dei bits PCM men-

presente nel canale omnibus 4 che convoglia i segnali di scrittura dei registri. L'associato complesso circuitale a multivibratore, comprendente i multi\_vibratori 91 - 94, risponde al segnale di scrittura provocando l'abilitazione del terminale di ingresso D6 del registro 16, attraverso la porta logica OR 95 ed il conduttore 96 di convogliamento dei segnali di orologio. La corrispondente uscita Q6 del registro viene abilitata e, pertanto, il segnale di ripristino si renderà disponibile sul conduttore 19a attraverso la porta logica OR 19. Quando l'uscita Q6 viene abilitata, l'uscita Q7 del registro in questione viene corrispondentemente abilitata, allo scopo di determinare il termine del segnale di ripristino attraverso l'invertitore 18 e la porta logica OR 19. I segnali di ripristino, presentanti una durata impulsiva pari, all'incirca a 125 microsecondi ed un periodo del ciclo di circa 8 millisecondi, si rendono disponibili sul conduttore di ripristino 13a. I segnali di ripristino presenti sul conduttore 13a rappresentano il risultato della divisione dei segnali di orologio presenti sul conduttore 3, per  $10 \times 2^{11}$  e della registrazione degli stessi nel registro 12 le cui uscite vengono trattate, secondo la logica AND, dalla porta logica AND 13. L'unità di

*Postilla 61*

rispettivamente e vengono quindi alimentati agli ingressi A1 ed A2 del sommatore 51. Il sommatore 51, le porte logiche AND 54 e 55, il flip-flop 56 ed i registri 60 e 61, in combinazione, svolgono una integrazione separata e distinta del valore assoluto di ogni uscita della funzione del filtro per ognuno dei canali TDM ricevuti, durante un periodo di tempo di 8 millisecondi. I segnali in uscita dal sommatore 51 vengono ritardati con riferimento alla presenza degli stessi, in corrispondenza degli ingressi B1 e B2, per mezzo dei registri di spostamento 60 e 61, di ordine <sup>pari</sup> e di ordine dispari, a 320 bits. Un segnale di riporto, presente in corrispondenza dell'uscita di eccedenza, o di "overflow" [53] del sommatore 51, viene *Portella 5* ritardato, di un periodo del segnale di orologio, da parte del flip-flop 56 e viene quindi alimentato al terminale di ingresso di riporto C (carry) del sommatore 51. Con questo sistema, le corrispondenti uscite delle funzioni del filtro per i corrispondenti campioni dei canali, vengono sincronizzate ed accumulate in un periodo di tempo di 8 millisecondi, secondo quanto determinato dal segnale di ripristino presente sul conduttore 13a. Il segnale di ripristino viene abilitato per un periodo della frequenza di quadro pari, all'incirca, a 125 microsecondi. L'asserzione del



U.P.I.C.A. MILANO

31. MAR 1980

SERVIZIO BREVETTI

pure caratterizzata dalle seguenti fasi:

(f) lettura, da parte della memoria, di detti bytes, come selezionati dai segnali di indirizzo applicati alla stessa, detti segnali di indirizzo consistendo di bits dei segnali ed includendo una porzione di ognuno dei segnali di orientamento;

(g) accumulazione dei bytes letti dalla memoria per un periodo di tempo prefissato, allo scopo di generare uno di detti segnali rappresentativi dell'ampiezza;

(h) generazione di una porzione di ognuno di detti segnali di indirizzo da un determinato segnale fra detti segnali binari lineari, <sup>dal</sup> corrispondente segnale precedente, rappresentativo dell'ampiezza e dal corrispondente segnale, rappresentativo dell'ampiezza, che precede detto segnale precedente; e

(i) applicazione di detta porzione, in modo sequenziale, in un formato seriale/parallelo, in gruppi di almeno sei bits, ognuno alla memoria, durante il periodo di tempo prestabilito.

11. Metodo secondo la rivendicazione 9, in cui

la fase (e) e' caratterizzata dalle fasi consistenti nel determinare se la chiamata e' iniziale, o continua e, nel primo caso, nello svolgere una serie di funzioni di elaborazione per determinare la va-

Postilla  
131. non felt  
conspicua  
prima

pure caratterizzata dalle seguenti fasi:

(f) lettura, da parte della memoria, di detti bytes, come selezionati dai segnali di indirizzo applicati alla stessa, detti segnali di indirizzo consistendo di bits dei segnali ed includendo una porzione di ognuno dei segnali di orientamento;

(g) accumulazione dei bytes letti dalla memoria per un periodo di tempo prefissato, allo scopo di generare uno di detti segnali rappresentativi dell'ampiezza;

(h) generazione di una porzione di ognuno di detti segnali di indirizzo da un determinato segnale fra detti segnali binari lineari, <sup>dal</sup> corrispondente segnale precedente, rappresentativo dell'ampiezza e dal corrispondente segnale, rappresentativo dell'ampiezza, che precede detto segnale precedente; e

(i) applicazione di detta porzione, in modo sequenziale, in un formato seriale/parallelo, in gruppi di almeno sei bits, ognuno alla memoria, durante il periodo di tempo prestabilito.

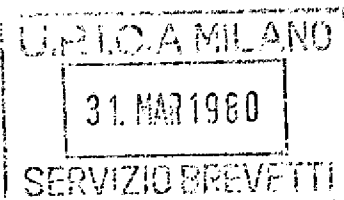
11. Metodo secondo la rivendicazione 9, in cui la fase (e) e' caratterizzata dalle fasi consistenti nel determinare se la chiamata e' iniziale, o continua e, nel primo caso, nello svolgere una serie di funzioni di elaborazione per determinare la va-

U.P.I.C.A. MILANO

31. MAR 1980

SERVIZIO BREVETTI

Postilla  
TST. non pth  
corrispondenti corretto  
prima



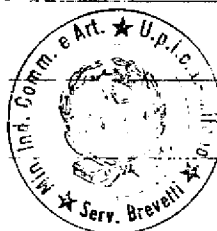
No.19986 A/80 deposit. il 18 Febbraio 1980

Istanza del  
31 Marzo 1980

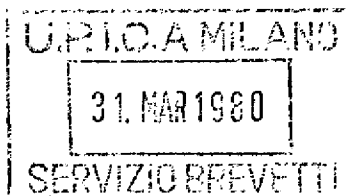
POSTILLA - a pag.69 - riga 9 dal fondo annullare

"(j)" sostituendo con "(i)"

UFFICIO BREVETTI  
Ing. C. GREGORI



l'Ufficiale Rogante  
(Guglielmo Spallante)



No.19986 A/80 deposit. il 18 Febbraio 1980

Istanza del  
31 Marzo 1980

POSTILLA - a pag.69 - riga 9 dal fondo annullare

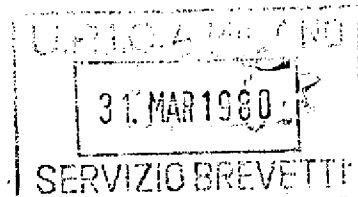
"(j)" sostituendo con "(i)"

UFFICIO BREVETTI  
Ing. C. GREGORI



Ufficiale Rogante  
(Giulio Speltante)

COHN-SFETCU, 1-1-1  
4/64207 vc.



Descrizione dell'invenzione avente per titolo:

"RICEVITORE DIGITALE DI CHIAMATA, PER LA RICEZIONE  
DI TONO SEGNALI MODULATI IMPULSIVAMENTE IN CODICE "

a nome: NORTHERN TELECOM LIMITED

a: 1600 Dorchester Boulevard West,  
Montreal, Quebec, Canada, H3H 1R1

di nazionalità canadese ed elettivamente domici-

liata a tutti gli effetti di Legge a Milano -

Via Dogana, 1 presso il mandatario Ufficio Brevetti

Ing. C. Gregorj -

(Deposit. il 18 Febbraio 1980 No. 19986 A/80 - )

#### RIASSUNTO

La presente invenzione si riferisce ad un ricevitore digitale di chiamata in grado di convertire i segnali di chiamata modulati impulsivamente in codice (PCM) in un formato del segnale che risulta compatibile con un combinatore, o "controller" presente in un associato impianto di commutazione telefonica a multiplex a divisione di tempo (TDM). Nel ricevitore, vengono generati segnali di orientamento, in sincronismo con il funzionamento dell'impianto di commutazione, in modo tale dirigere il funzionamento di un filtro a condivisione del tempo.

UFFICIO BREVETTI  
Ing. C. GREGORJ

Il filtro esplica una pluralità di funzioni, con una serie di segnali modulati impulsivamente in codice (PCM) ricevuti dall'impianto di commutazione TDM e genera, dagli stessi, una serie di segnali correlati ad ognuna delle funzioni del filtro. Un traslatore identifica due segnali derivati dal filtro, presentanti ampiezze superiori a quelle degli altri mentre se i due segnali persistono in modo sostanzialmente continuo (a) attraverso un periodo di tempo prestabilito, (b) entro una gamma relativa di ampiezza prestabilita e (c) uno dei due segnali presenta almeno un rapporto segnale/rumore di valore prestabilito rispetto ad un altro segnale derivato dal filtro, corrispondente ad una funzione di non attenuazione del filtro, il traslatore indica la ricezione di una chiamata multifrequenza mediante generazione di segnali appropriati nel formato richiesto per i segnali.

---

DESCRIZIONE DELL'INVENZIONE

La presente invenzione si riferisce, in generale, a ricevitori di chiamata con tono segnali e riguarda, in particolare, un ricevitore concretizzato in forma digitale, utilizzato per la traslazione dei tono segnali modulati impulsivamente in codice

(PCM) in un formato di segnale compatibile con un combinatore in un impianto di commutazione telefonico.

I ricevitori telefonici di chiamata, utilizzati per ricevere una chiamata su doppino di abbonato a più frequenze oppure una chiamata su linee di giunzione multifrequenza (MF) sono passati da uno sviluppo circuitale analogico ad uno sviluppo circuitale di tipo digitale, in conformità a quanto esemplificato nel brevetto statunitense N.3.537.001, rilasciato il 27 Ottobre 1970 a nome J.J.Friend e nel brevetto statunitense N.3.790.720, rilasciato il 5 Febbraio 1974 a nome K.R.Schartmann. Tuttavia, deve essere rilevato che questi ricevitori sono stati progettati per la ricezione di chiamate analogiche e gli stessi non sono direttamente adattabili per la ricezione di segnali digitali. Conseguentemente, in un sistema telefonico a modulazione impulsiva codificata (PCM), a multiplex a divisione di tempo (TDM), viene impiegato un convertitore digitale/analogico per convertire i campioni PCM da un canale TDM selezionato, in un segnale analogico. Successivamente, il ricevitore di chiamata, rivela l'appropriata chiamata e converte la chiamata stessa

in un codice compatibile con il funzionamento di un associato impianto di commutazione TDM.

L'impiego di elaboratori di segnali digitali per l'elaborazione di segnali digitali senza dover convertire i segnali digitali in un formato analogico, e' stato descritto da S.L.Freeny in una memoria intitolata "Special Purpose Hardware for Digital Filtering" apparsa nella pubblicazione "proceedings of the IEEE", Vol.63, pagg.633-648, Aprile 1975, e da J.Allen, in una memoria intitolata "Computer Architecture for Signal Processing", apparsa nella pubblicazione "proceedings of the IEEE", Vol.63, pagg.624-632, Aprile 1975. Quantunque interessanti per l'elaborazione digitale delle chiamate PCM, direttamente, senza operare dapprima la conversione dei campioni PCM in segnali analogici, queste proposte, in passato, non sono risultate economicamente competitive nell'ambito della telefonia.

Deve essere rilevato che esistono, in telefonia, due tipi di chiamata, o segnalazione, utilizzando combinazioni di frequenze e costituite dalla chiamata su doppiino DIGITONE o TOUCHTONE (marchi registrati) e dalla chiamata su linee di giunzione R1 o R2. La distinzione principale fra i due tipi di chiamata e' rappresentata dal fatto che il formato



DIGITONE o TOUCHTONE consiste di due tono segnali che appartengono alle rispettive bande di alta frequenza e di bassa frequenza. Conseguentemente, e' vantaggioso sfruttare le tecniche del passaggio per lo zero per la rivelazione del tono segnale dopo la separazione, nel filtro, del segnale ricevuto, in due bande di frequenza. Questa soluzione non e' applicabile alla chiamata R1 o R2 per la quale e' valida una combinazione di qualsiasi due toni di una pluralità di toni prescritti. Nel brevetto statunitense No.4.076.965, rilasciato a nome R.E.Olsen e E.A. Munter, il 28 Febbraio 1978, e' stato illustrato un complesso circuitale misto, di tipo digitale ed analogico, complesso e voluminoso, richiesto in un ricevitore flessibile di chiamata MF, di tipo analogico, adatto per l'impiego in formati di segnalazione, o chiamata, a frequenza singola e multifrequenza.

Risulta quindi evidente che la realizzazione di un ricevitore MF puramente digitale, per la ricezione e la distinzione fra una pluralità di diversi tono segnali codificati in forma PCM, richiede una progettazione molto flessibile, suggerendo in tal modo l'impiego di un elaboratore, o processore digitale. Tuttavia, in qualsiasi progetto pratico, il costo di

concretizzazione di un ricevitore di questo tipo deve risultare confrontabile e favorevole nei confronti dei costi degli attuali ricevitori analogici esistenti nei sistemi PCM. Gli attuali ricevitori di chiamata PCM che sono stati proposti e che vengono concretizzati con l'impiego di sistemi a microprocessore di tipo digitale, operano in modo troppo lento per consentire di soddisfare, economicamente, i requisiti in tempo reale richiesti per la chiamata telefonica.

In conformità ai principi della presente invenzione, viene ottenuto un miglioramento sostanziale nella velocità operativa di un ricevitore di chiamata per mezzo dello svolgimento di una elaborazione semplice ma fortemente ripetitiva dei segnali in un circuito digitale specializzato, mentre una elaborazione più complessa ma meno ripetitiva viene convenientemente condotta con l'ausilio di un microprocessore. In una forma pratica realizzativa dell'invenzione, il tempo reale richiesto per la ricezione dei segnali di chiamata e' stato ridotto in misura sufficiente a permettere al ricevitore di chiamata di venire condiviso temporalmente fra una pluralità di canali di comunicazione.

Il ricevitore di chiamata proposto dall'inven\_

zione include mezzi per la ricezione di campioni di segnali PCM da un canale TDM selezionato da un combinatore, o "controller" in un associato impianto di commutazione TDM e mezzi di filtraggio, di tipo digitale, per generare rappresentazioni, sotto forma di segnali binari, delle funzioni del filtro svolte sui campioni dei segnali ricevuti ed ognuno corrispondente ad un'ampiezza del segnale, con una frequenza selezionata nei campioni dei segnali ricevuti. Un traslatore genera segnali rappresentativi dei dati, indicanti la segnalazione, o chiamata e compatibili con il formato dei segnali del "controller", in risposta ai valori di ampiezza dei segnali delle rappresentazioni dei segnali binari.

I mezzi di filtraggio, di tipo digitale, svolgono le funzioni di un filtro per una pluralità di specifiche frequenze prestabilite, tali mezzi di filtraggio venendo concretizzati sotto forma di un circuito includente una logica cablata per la definizione di ogni funzione del filtro. La logica cablata viene vantaggiosamente concretizzata sotto forma di una memoria per sole operazioni di lettura (ROM). Il filtro digitale opera ad una velocità maggiore di quella richiesta per la ricezione di un canale di un campione PCM e, di conseguenza, questo filtro

puo' essere vantaggiosamente condiviso, temporalmente, fra i canali. La velocità intrinseca del filtro viene ulteriormente migliorata disponendo l'utilizzazione della memoria ROM secondo una configurazione parallelo/serie in modo tale che, nel tempo reale disponibile, possano venire ricevuti più di due canali di campioni PCM.

Il traslatore comprende, essenzialmente, un microprocessore che viene fatto funzionare in accordo con istruzioni logiche, in combinazione con vari segnali di tempificazione e di orientamento, generati nel ricevitore di chiamata. Il traslatore riceve i segnali in uscita dal filtro e converte questi segnali in segnali rappresentativi di dati, indicativi della segnalazione e compatibili con il formato dei segnali del combinatore.

In una forma pratica realizzativa conforme all'invenzione, la velocità di funzionamento del ricevitore di chiamata, viene ulteriormente migliorata per mezzo dell'adozione di modi di funzionamento alternati. All'inizio della chiamata, l'elaboratore determina la validità della chiamata iniziale, per mezzo dello svolgimento di una prima serie di funzioni di elaborazione, con segnali provenienti dai

mezzi di filtraggio di tipo digitale. Al proseguimento della chiamata, a partire dall'inizio della stessa, l'elaboratore svolge una serie differente di funzioni di durata inferiore a quella della prima serie di funzioni, allo scopo di verificare semplicemente la continuità della segnalazione.

La presente invenzione risulterà più evidente dall'analisi della seguente descrizione dettagliata riferita ad una forma pratica realizzativa della stessa, tale trattazione essendo considerata in unione ai disegni allegati, nei quali:

la figura 1 costituisce un diagramma schematico a blocchi di un ricevitore di chiamata, di tipo digitale, costruito in conformità ai principi della presente invenzione, detto ricevitore essendo collegato ad un impianto di commutazione telefonico;

la figura 2 rappresenta un diagramma schematico a blocchi di un circuito di controllo della sequenza e della tempificazione utilizzato nel ricevitore di chiamata rappresentato schematicamente nella figura 1;

la figura 3 rappresenta un diagramma schematico a blocchi di un filtro digitale e di un registro buffer di ingresso impiegati nel ricevitore di chia\_

mata schematizzato nella figura 1;

la figura 4 rappresenta un diagramma schematico a blocchi di un circuito traslatore impiegato nel ricevitore di chiamata schematizzato nella figura 1;

la figura 5 costituisce un diagramma dei tempi illustrante alcune operazioni selezionate del ricevitore di chiamata schematizzato nelle figure 1, 2, 3 e 4; e

la figura 6 costituisce un diagramma di flusso delle funzioni del circuito traslatore di chiamata schematizzato nella figura 4.

La struttura ed il principio di funzionamento della versione esemplificativa dell'invenzione, verranno brevemente descritti con riferimento alla figura 1 e, successivamente, verrà riportata una descrizione più dettagliata, facendo riferimento alla parte rimanente dei disegni. Vari dettagli concernenti la generazione delle varie tensioni richieste per il funzionamento della versione esemplificativa illustrata e descritta, non sono stati riportati per il fatto che la previsione dei vari alimentatori e lo stabilimento delle varie connessioni di alimentazione rientrano nelle conoscenze di un esperto del settore

specifico. Inoltre, non e' stato ritenuto necessario illustrare o descrivere l'instradamento dei vari segnali di tempificazione, o di orologio, tipicamente richiesti per il funzionamento dei vari circuiti reperibili in commercio e rappresentati, ad esempio, dai flip-flop, dai registri, e così via, ad eccezione di quelle aree nelle quali questa descrizione si riferisce a particolari segnali di tempificazione o nei casi in cui questo serva a facilitare la spiegazione e la comprensione della forma pratica realizzativa dell'invenzione in oggetto.

In alcune aree della versione esemplificativa descritta, vengono impiegate memorie per sole operazioni di lettura (ROM), tipicamente del tipo a circuito integrato con collegamenti fusi, dette memorie venendo utilizzate per lo svolgimento di varie funzioni. Questo tipo di memoria ROM e' caratteristico per il fatto che la struttura a circuito integrato della stessa e' essenzialmente rappresentata da quella di un numero elevato di reti logiche individuali, del tipo a logica cablata, ognuna delle quali e' selettivamente collegabile ad una pluralità di terminali di uscita, in risposta al rispettivo segnale univoco di indirizzo. La versione esemplificativa puo'

venire pure concretizzata mediante sostituzione di una o di più unità di memorie ROM con altri dispositivi alternati di memoria. Alcuni esempi di questi dispositivi alternativi di memoria sono rappresentati dalle memorie ad accesso casuale (RAM - random access memory ), dalle memorie per sole operazioni di lettura, di tipo programmabile (PROM - programmable read only memory) e dalle memorie per sole operazioni di lettura, elettronicamente programmabili (EPROM - electronically programmable read only memory). Tuttavia, deve essere rilevato che questi ed altri dispositivi alternati di memoria tendono a risultare più costosi, maggiormente volatili e, di conseguenza, meno affidabili delle memorie ROM.

L'impianto di commutazione digitale schematizzato nella figura 1 e' collegato, in pratica, a varie linee digitali o analogiche di giunzione o a qualsiasi combinazione delle stesse. Questo impianto puo' essere pure collegato a vari doppiini telefonici di abbonato. Tuttavia, queste varianti non sono state illustrate per il fatto che non sono pertinenti alla descrizione di un ricevitore per chiamate telefoniche PCM MF in un sistema telefonico digitale. L'impianto di commutazione digitale la opera in un formato includente trentadue bytes a dieci bits, per ogni quadro, la



frequenza di ripetizione di quadro essendo pari, all'incirca, a 8 KHz. Un ricevitore PCM MF risulta associato all'impianto di commutazione digitale 1a, in modo tale da ricevere la segnalazione dalle linee di giunzione (trunks), attraverso l'impianto di commutazione 1a. Trentadue canali PCM sono collegati dall'impianto di commutazione digitale 1a, attraverso una linea di giunzione per segnali PCM, a carattere seriale 2, ai registri di memoria temporanea, vale a dire ai registri buffer di ingresso 30 presenti nel ricevitore 1b. I segnali di tempificazione, o di orologio, corrispondenti alla frequenza dei bit dei segnali PCM sulla linea di giunzione 2, vengono alimentati, dall'impianto di commutazione digitale 1a, ad un circuito di controllo della sequenza e della tempificazione 10, presente nel ricevitore 1b, attraverso un conduttore 3 utilizzato per il convogliamento dei segnali di orologio, o di tempificazione. Un canale omnibus 4 per i registri di registrazione e' collegato, dall'impianto di commutazione digitale 1a, ai registri di memoria temporanea di ingresso 30 ed al circuito 10 di controllo della sequenza e della tempificazione. Il canale omnibus dei registri di scrittura 4 convoglia i segnali da un

combinatore, o "controller" nell'impianto di commutazione digitale 1a, in modo tale che determinati canali selezionati fra i trentadue canali dei campioni PCM, possano venire registrati in registri selezionati fra i registri buffer di ingresso 30. Il circuito 10 di controllo della sequenza e della tempificazione, genera segnali di lettura su di un canale omnibus 27a dei registri di lettura, in modo tale che i campioni PCM/<sup>che</sup>sono stati registrati serialmente nei registri buffer 30, possano venire trasmessi, selettivamente, in parallelo, ad un filtro digitale 30a, attraverso i conduttori 30b. Dopo che il contenuto di uno dei registri di transito 30 e' stato trasmesso al filtro digitale 30a, viene generato un segnale su di un conduttore appropriato fra i vari conduttori di un canale omnibus 28a per l'azzeramento dei registri, per mezzo del circuito 10 di controllo della sequenza e della tempificazione, in modo tale da provocare l'azzeramento del corrispondente registro buffer. Il filtro digitale 30a fornisce i rispettivi segnali di uscita rappresentativi del segnale ricevuto di ogni campione del canale selezionato e fornisce pure i segnali rappresentativi delle componenti delle funzioni del filtro corrispondenti a sei

bande del tono segnale multifrequenza. Questi segnali di uscita si evidenziano, secondo un formato serie/parallelo, sui conduttori 43, 44a e 45a, contraddistinti dai riferimenti "segno", "pari" e "dispari", rispettivamente. Questi conduttori convogliano l'uscita del sistema a filtro digitale, ad un circuito traslatore di chiamata 50. Il sistema a filtro digitale 30a ed il circuito traslatore di chiamata 50 vengono entrambi controllati e sincronizzati dai segnali generati nel circuito 10 di controllo della sequenza e della tempificazione. I segnali di orientamento e di tempificazione vengono convogliati attraverso un canale omnibus di orientamento 20 ed un canale omnibus di tempificazione 29. Questi canali omnibus sono collegati dal circuito 10 di controllo della sequenza e della tempificazione, al filtro digitale 30a ed al circuito traslatore di chiamata 50. Il circuito traslatore di chiamata 50 riceve, periodicamente, l'uscita proveniente dal filtro digitale 30a e genera codici dei segnali binari, compatibili con il funzionamento del combinatore presente nell'impianto di commutazione 1a e rappresentanti lo stato di segnalazione di ognuno dei quattro canali selezionati fra i trentadue canali.

Ogni codice di segnale, a carattere binario, include le informazioni in un formato del tipo illustrato, ad esempio, nella Tabella A.

TABELLA A

| Funzione                              | bit del<br>segnale<br>7 | bit<br>di stato<br>6 | bit di<br>errore<br>5 | bit di<br>stato<br>4 | Codice cifra/errore |       |       |       |
|---------------------------------------|-------------------------|----------------------|-----------------------|----------------------|---------------------|-------|-------|-------|
|                                       |                         |                      |                       |                      | bit 3               | bit 2 | bit 1 | bit 0 |
| Segnale<br>valido                     | 1                       | Y                    | 0                     | Y                    | X                   | X     | X     | X     |
| Pausa                                 | 0                       | 0                    | 0                     | 0                    | 0                   | 0     | 0     | 0     |
| Errore<br>spettra<br>le               | 1                       | Y                    | 1                     | Y                    | 0                   | Z     | Z     | Z     |
| Errore<br>di tem-<br>pifica-<br>zione | 1                       | Y                    | 1                     | Y                    | X                   | X     | X     | X     |

Nella Tabella precedentemente riportata, XXXX denota il codice a quattro bits di una cifra, ZZZ denota il codice a tre bits di un errore spettrale mentre YY denota un codice a due bits della gamma di potenza dei segnali.

L'impianto di commutazione digitale 1a indirizza il circuito traslatore di chiamata 50 attraverso un canale omnibus di selezione 82 collegato fra le unità considerate, in modo tale da indicare che viene richiesta l'informazione di segnalazione, o di chiamata in modo tale da indicare da quale dei quattro canali, la stessa viene richiesta. Il circuito traslatore di chiamata 50 risponde all'indirizzo presente sul canale omnibus di selezione 82 mediante trasmissione di un codice binario, in accordo con il formato riportato nella Tabella A, per lo stato del canale selezionato, attraverso un canale omnibus 83 per i dati di uscita, al complesso di commutazione digitale 1a.

Facendo riferimento specifico alla figura 2, puo' essere rilevato che il circuito 10 di controllo della sequenza e della tempificazione, include un contatore 11 presentante un proprio terminale di ingresso per i segnali di orologio CK collegato al

conduttore 3 per i segnali di orologio, o di temporizzazione precedentemente indicato con riferimento alla descrizione della figura 1. Il contatore 11 include pure un ingresso di caricamento LD e le uscite Q0 - Q8 oltre ad una uscita Q14. Un segnale, sincronizzato con la frequenza di quadro dell'impianto di commutazione digitale 1a, viene alimentato all'ingresso di caricamento LD, attraverso un conduttore 19a, in modo tale da sincronizzare il contatore 11 all'avviamento. Le uscite Q0 - Q8 sono costituite dall'origine dei vari conduttori 0-8 presenti nel canale omnibus 20 di convogliamento dei segnali di orientamento. L'uscita Q14 e' collegata ad un terminale di ingresso D1 di un registro 12 a due bits. Il contatore 11 puo' venire realizzato con l'impiego di componenti facilmente reperibili in commercio e consistenti di un circuito divisore per 10 seguito da tre circuiti divisori per 16. In una disposizione di questo tipo, soltanto l'ingresso di caricamento LD del circuito divisore per 10, risulta attivamente collegato al conduttore 19a e, pertanto, quando viene generato il segnale di caricamento, soltanto il circuito divisore per 10 viene azzerato. Il registro a due bits 12 puo' consistere di due circuiti a flip-flop,

di tipo D, collegati in conformità a quanto rappresentato nella figura 2. Le uscite Q1 e  $\overline{Q2}$  del circuito a registro 12, sono collegate ai rispettivi ingressi di una porta logica AND 13 la cui uscita costituisce l'origine di un conduttore 13a per i segnali di ripristino. Il registro 12, in combinazione con la porta logica AND 13, genera un segnale di ripristino ad ogni 8 millisecondi, sul conduttore dei segnali di ripristino 13a, in risposta ai segnali derivati dalle uscite Q5 e Q14 del contatore 11. Nel canale 20 di convogliamento dei segnali di orientamento, i conduttori 7 ed 8 vengono collegati agli ingressi A0 ed A1, rispettivamente, dei decodificatori 27 e 28. Ogni decodificatore 27 e 28 include le uscite Q0 - Q3. Le uscite del decodificatore 27 rappresentano l'origine dei conduttori 0-3 del canale omnibus 27a dei registri mentre le uscite del decodificatore 28 comprendono l'origine dei conduttori 0-3 del conduttore 28a dei segnali di azzeramento dei registri. L'interconnessione di questi canali omnibus e del canale omnibus 20 di convogliamento dei segnali di orientamento, risulterà in seguito evidente dalla descrizione delle figure 3 e 4, rispettivamente.

I circuiti multivibratori monostabili 91-94 includono, individualmente, un ingresso collegato ad uno dei conduttori 0-3, rispettivamente, previsti nel canale omnibus 4 di scrittura dei registri. Ognuno dei circuiti multivibratori monostabili MV 91-94, include pure una uscita collegata ad un ingresso di una porta logica OR 95 la quale presenta la propria uscita collegata ad un conduttore 96 per i segnali di sincronizzazione.

La parte rimanente del circuito 10 di controllo della sequenza e della tempificazione, riportato nella figura 2, riguarda la generazione dei segnali di tempificazione che vengono alimentati sui vari conduttori corrispondenti e che rientrano nella designazione generale dei conduttori dei segnali di tempificazione 29 indicati nella figura 1. Una memoria per sole operazioni di lettura ROM 14, include gli ingressi A0-A6 per i segnali di indirizzo collegati ai conduttori 0-6, rispettivamente, presenti nel canale omnibus 20 di convogliamento dei segnali di orientamento, mentre include pure un ingresso A7 per i segnali di indirizzo collegato al conduttore per i segnali di ripristino 13a. L'unità di memoria ROM 14 include pure le uscite di convogliamento dei dati D0-D7, l'uscita per i dati D0 comprendendo



l'origine di un conduttore 9 presente nel canale omnibus 20 di convogliamento dei segnali di orientamento. Un registro a 8 bits 15 include gli ingressi D0 e D6 collegati alle uscite D1 e D3 dell'unità di memoria ROM 14. Gli ingressi D1, D2, D3 e D7 del registro 15 sono collegati alle uscite Q0, Q1, Q2 e Q6, rispettivamente, di detto registro. L'uscita Q1 del registro in questione, e' rappresentata dall'origine di un conduttore 21 per i segnali di caricamento mentre l'uscita Q6 comprende l'origine di un conduttore 24 per i segnali di orologio per i registri di caricamento. Le uscite Q0 e Q1 del registro 15 sono collegate agli ingressi di una porta logica NOR 37 la cui uscita e' collegata all'origine di un conduttore 37a di alimentazione dei segnali di arresto. L'uscita Q3 del registro 15 e' collegata all'origine di un conduttore 22 per l'azzeramento del registro accumulatore. Una uscita Q7 del registro 15 e' collegata ad un ingresso di una porta logica OR 17 la quale presenta un altro ingresso collegato in modo tale da ricevere i segnali di orologio, o di tempificazione, dal conduttore 3. L'uscita della porta logica OR 17, e' collegata al terminale di ingresso di abilitazione EN (enable) del circuito decodificatore 28. Un regi-

stro 16, del tipo a 8 bits, include gli ingressi D1 e D2 collegati all'uscita D5 ed all'uscita D6, rispettivamente, dell'unità di memoria ROM 14. Gli ingressi D6 e D7 del registro 16 sono collegati al conduttore per i segnali di sincronizzazione 96 e ad una uscita Q6 del registro 16, rispettivamente. Una uscita Q1 del registro 15 e' collegata all'origine di un conduttore 23 per il registro di caricamento. L'uscita Q2 del registro 16 e' collegata ad un terminale di ingresso D4 dello stesso registro. La corrispondente uscita Q4 e' collegata ad un terminale di ingresso D5. L'uscita Q2 e' pure collegata all'origine di un conduttore per il registro di uscita di integrazione, indicato in 25, mentre una uscita Q5 del registro 16 e' collegata all'origine di un conduttore ad accesso diretto per la memoria RAM. L'uscita Q6 e' pure collegata ad un terminale di ingresso di una porta logica OR 17 mentre una uscita Q7 del registro 16 e' collegata ad un altro ingresso della porta logica OR 19, attraverso un invertitore 18. L'uscita della porta logica OR 19 e' collegata, per mezzo del conduttore 19a, al terminale di ingresso di caricamento LD del contatore 11.

Con riferimento specifico alla figura 2 ed al

diagramma dei tempi riportato nella figura 5, verrà ora descritto il principio di funzionamento del circuito di controllo della sequenza e della tempificazione. Tutte le scale dei tempi e le varie forme d'onda riportate nella figura 5, sono state indicate secondo l'appropriata relazione temporale. In corrispondenza della parte superiore della figura 5 sono stati rappresentati sessantaquattro quadri di canali TDM occupanti un periodo pari, all'incirca, a otto millisecondi. La scala dei tempi è stata rappresentata in forma espansa allo scopo di evidenziare un segnale di ripristino sul conduttore 13a coincidente con il sessantaquattresimo quadro. Un singolo quadro interessa un periodo pari, all'incirca a centoventicinque microsecondi e lo stesso include trentadue canali, da 0 a 31. Anche in questo caso, la scala dei tempi è stata espansa allo scopo di evidenziare i canali dei bytes PCM ognuno dei quali presenta dieci periodi binari da 0 a 9. Ogni periodo binario corrisponde, all'incirca a trecentonovanta nanosecondi e corrisponde al periodo dei segnali di orologio sul conduttore 3 di convogliamento dei segnali di orologio. Le forme d'onda rimanenti nella figura 2 sono state rappresentate rispetto alla seconda espansione della scala dei tempi e dei periodi dei bits PCM men-

tre la distinzione più breve, in termini temporali, e' pari alla metà di un periodo binario. Queste forme d'onda sono accompagnate da scritte che consentono di rendere evidente il punto di presenza ed i tempi di presenza con riferimento ai circuiti delle altre figure.

Il contatore 11 schematizzato nella figura 2, conteggia i segnali di orologio, o di tempificazione che si rendono disponibili sul conduttore 3 mentre il risultato del conteggio e' costituito da una sequenza di numeri binari che appare sui conduttori 0-8 del canale omnibus 20 di trasferimento dei segnali di orientamento. In un esempio specifico, i segnali di orologio, o di tempificazione presenti sul conduttore 3, presentano una frequenza di ripetizione impulsiva pari a 2,56 MHz. Il contatore 11 viene sincronizzato con la tempificazione dei canali PCM, per mezzo di un segnale di ripristino che si rende disponibile sul conduttore 19a e che opera in modo tale per cui la porzione a divisione per dieci del contatore 11 puo' venire caricata con tutti elementi a carattere binario zero. Il segnale di ripristino si verifica in risposta ad un segnale di scrittura che si evidenzia su di un conduttore

presente nel canale omnibus 4 che convoglia i segnali di scrittura dei registri. L'associato complesso circuitale a multivibratore, comprendente i multivibratori 91 - 94, risponde al segnale di scrittura provocando l'abilitazione del terminale di ingresso D6 del registro 16, attraverso la porta logica OR 95 ed il conduttore 96 di convogliamento dei segnali di orologio. La corrispondente uscita Q6 del registro viene abilitata e, pertanto, il segnale di ripristino si renderà disponibile sul conduttore 19a attraverso la porta logica OR 19. Quando l'uscita Q6 viene abilitata, l'uscita Q7 del registro in questione viene corrispondentemente abilitata, allo scopo di determinare il termine del segnale di ripristino attraverso l'invertitore 18 e la porta logica OR 19. I segnali di ripristino, presentanti una durata impulsiva pari, all'incirca a 125 microsecondi ed un periodo del ciclo di circa 8 millisecondi, si rendono disponibili sul conduttore di ripristino 13a. I segnali di ripristino presenti sul conduttore 13a rappresentano il risultato della divisione dei segnali di orologio presenti sul conduttore 3, per  $10 \times 2^{11}$  e della registrazione degli stessi nel registro 12 le cui uscite vengono trattate, secondo la logica AND, dalla porta logica AND 13. L'unità di

memoria ROM 14 viene indirizzata dal contatore 11 e la stessa include la logica richiesta per pilotare i registri 15 e 16, unitamente alle porte associate, per la generazione dei segnali di tempificazione illustrati nel diagramma dei tempi riportato nella figura 5.

Facendo ora riferimento specifico alla figura 3 puo' essere rilevato che i registri di transito, vale a dire i registri buffer 30 precedentemente definiti con riferimento alla figura 1, sono formati dai registri serie-parallelo 31-34 a 8 bits. Ognuno dei registri 31-34 include tre ingressi di controllo rappresentati, in modo specifico, da un ingresso di abilitazione EN (enable) collegato ad un rispettivo conduttore presente nel canale omnibus 4 di convogliamento dei segnali di scrittura per i registri, da un ingresso di selezione SEL (select) collegato ad un rispettivo conduttore nel canale omnibus 27a di convogliamento dei segnali di lettura dei registri e da un terminale di ingresso di cancellazione, o di azzeramento CL (clear) collegato ad un rispettivo conduttore presente nel canale omnibus 28a di convogliamento dei segnali di azzeramento dei registri. Ognuno dei registri 31-34 include pure un ingresso

seriale SI collegato al conduttore 2 di convogliamento dei segnali seriali PCM della linea di giunzione ed una uscita PO formata da otto conduttori in parallelo collegati ai conduttori 0-7 del canale omnibus di uscita in parallelo PCM 30b.

Nel funzionamento, i segnali di scrittura, o di registrazione, vengono ricevuti dal complesso, o impianto di commutazione digitale 1a, attraverso il canale omnibus 4 di convogliamento dei segnali di registrazione per i registri. Un segnale di registrazione presente su di un conduttore nel canale omnibus 4 di convogliamento dei segnali di registrazione, opera in modo tale per cui l'associato registro fra i vari registri di transito di ingresso 31 - 34 puo' caricare, in serie, un campione PCM dalla linea di giunzione 2. Entro il successivo intervallo di 8 millisecondi, viene generato, da parte del decodificatore 27, un segnale di lettura il quale si rende disponibile su di un corrispondente conduttore del canale omnibus 27a in modo tale che i contenuti del registro di transito di ingresso possano evidenziarsi, attraverso l'uscita in parallelo PO, sul canale omnibus 30b. Immediatamente dopo, un segnale di cancellazione, o di azzeramento, si

rende disponibile sul corrispondente conduttore del canale omnibus 28a di convogliamento dei segnali di azzeramento dei registri, in modo tale che il registro corrispondente possa venire azzerato, vale a dire portato ad una condizione di contenimento di tutti elementi a carattere binario zero. Nel caso in cui non si verifichi la presenza di alcun successivo segnale di scrittura diretto verso il registro di transito di ingresso, per un certo periodo di tempo, l'azzeramento del registro impedisce al circuito successivo, di ricevere false indicazioni ripetute dei campioni PCM.

Nel filtro digitale, un registro di transito 35, a 8 bits, risulta collegato fra il canale omnibus PCM in parallelo 30b ed una memoria lineare/quadratica per sole operazioni di lettura ROM 36. Otto terminali di ingresso per i dati, contraddistinti dai riferimenti D0-D7 del registro 35, sono collegati al canale omnibus PCM parallelo 30b mentre un terminale di ingresso per i segnali di orologio CK, e' collegato al conduttore 24 di trasferimento dei segnali di orologio di caricamento dei registri. Otto uscite Q0 - Q7 del registro 35, sono collegate ai corrispondenti otto ingressi di indirizzo A0 - A7 dell'unità di memoria ROM 36. Un terminale



di ingresso per i segnali di indirizzo, A8, dell'unità di memoria ROM 36, e' collegato al conduttore 4 del canale omnibus 20 di convogliamento dei segnali di orientamento. L'uscita dell'unità di memoria ROM 36 e' collegata agli ingressi parallelo dei registri di spostamento dei dati, di ordine pari e di ordine dispari 38 e 39, rispettivamente, in modo tale che il registro di ordine pari 38 possa ricevere soltanto i bits di uscita di significato pari mentre il registro di ordine dispari 39 possa ricevere soltanto i bits di uscita presentanti un significato di numero dispari. Il conduttore 21 di convogliamento dei segnali di caricamento e' collegato ai terminali di ingresso di caricamento LD dei registri di spostamento 38 e 39. Ogni registro di spostamento 38 e 39 include pure una uscita seriale SO collegata ad un corrispondente ingresso seriale SI (serial input) mentre presenta pure un ingresso di mantenimento H (hold) collegato al conduttore 37a di convogliamento dei segnali di arresto.

L'unità di memoria ROM 36 viene utilizzata per espandere ogni campione del segnale PCM nella propria rappresentazione lineare e per fornire una

approssimazione della potenza di ogni campione.  
Conseguentemente, l'unità di memoria ROM 36 contiene le rappresentazioni lineari e le corrispondenti rappresentazioni lineari quadratiche approssimate di duecentocinquantesi parole PCM a otto bits, utilizzate per la trasmissione nell'impianto di commutazione digitale. I dati PCM, provenienti dai registri 31-34, vengono selettivamente applicati, attraverso il registro 35, agli ingressi di indirizzo AO-A7 dell'unità di memoria ROM 36. Durante l'applicazione di una rispettiva parola PCM, il segnale applicato al terminale di ingresso di indirizzo A8 opera in modo tale per cui l'unità di memoria ROM 36 può venire indirizzata nella propria porzione di memoria approssimativamente quadratica lineare e, successivamente, nella propria porzione di memoria lineare. I bits di ordine pari e di ordine dispari della parola quadratica approssimata e della parola lineare si evidenziano alla uscita dell'unità di memoria ROM 36 e gli stessi vengono individualmente caricati negli ingressi parallelo dei registri di spostamento 38 e 39, rispettivamente, sotto il controllo del segnale di caricamento presente sul conduttore 23 per i segna\_

li di caricamento dei registri.

Un filtro, costituito da una unità di memoria ROM 40, include gli ingressi di indirizzo A0-A9 e le uscite per i dati D0-D15, collegate ad un accumulatore presentante un sommatore 41 a 16 bits ed un registro 42 a 16 bits. Il registro 42 a 16 bits, include un terminale di ingresso di cancellazione, o di azzeramento, collegato al conduttore 22 di convogliamento dei segnali di cancellazione del registro accumulatore. Gli ingressi di indirizzo A0 e A1 dell'unità di memoria ROM 40, sono collegati alle uscite seriali S0 dei registri di spostamento di ordine pari 38 e di ordine dispari 39, attraverso i conduttori 38a e 39a, rispettivamente. I registri 44 e 45 di spostamento, di ordine pari e di ordine dispari, del tipo a otto bits, includono ingressi parallelo per la ricezione dei bits di ordine pari 0 - 12 ed anche del bit 15 e dei bits di ordine dispari 1 - 11 oltre al bit 15, rispettivamente, dalla uscita del sommatore 41. Le uscite seriali S0 del registro di spostamento di ordine pari 44 e del registro di spostamento 45, di ordine dispari, sono collegate ai conduttori di ordine pari e di ordine dispari 44a e 45a, rispettivamente, ed agli ingressi seriali SI dei registri di spostamento dei dati di ordine pari

e di ordine dispari 46 e 47 a 312 bits. Ognuno dei registri di spostamento 44 e 45 include un ingresso per i segnali di caricamento LD collegati al conduttore 21 per i segnali di caricamento, mentre ognuno dei registri include un ingresso per i dati seriali SI collegati in comune ad una uscita AI proveniente dall'ultimo stadio del registro di spostamento 45 di ordine dispari. L'uscita AI rappresenta pure l'origine del conduttore 43 di convogliamento dei segnali rappresentativi del "segno". Le uscite seriali SO dei registri di spostamento 46 e 47 sono collegate agli ingressi degli indirizzi A2 e A3 dell'unità di memoria ROM 40 ed agli ingressi seriali SI dei registri di spostamento dei dati 48 e 49 di ordine pari e di ordine dispari, di tipo seriale, a 320 bits. Il registro di spostamento 48 include una uscita seriale SO collegata all'ingresso di indirizzo A4 dell'unità di memoria ROM 40 mentre il registro di spostamento 49 include una uscita seriale SO collegata all'ingresso di indirizzo A5 dell'unità di memoria ROM 40. I rimanenti ingressi di indirizzo A6 - A9 dell'unità di memoria ROM 40 sono collegati ai conduttori 4, 5, 6 e 9 del canale omnibus 20 di convogliamento dei segnali di orientamento.

L'unità di memoria ROM 40, costituente il filtro precedentemente definito, contiene i dati nelle locazioni di memoria che sono accessibili per mezzo di indirizzi binari. Il filtro ROM 40, in combinazione con l'associato complesso circuitale, opera in modo tale per cui il sistema a filtro digitale può assumere, in modo indirizzabile, le caratteristiche di sei filtri a banda stretta e le caratteristiche di un filtro non attenuante per mezzo del quale l'uscita approssimativamente quadratica lineare, derivata dall'unità di memoria ROM 36, può venire trasferita attraverso il filtro digitale. Ogni banda passante del filtro a banda stretta corrisponde ad una delle sei frequenze di segnalazione MF. L'impiego della caratteristica di un filtro non attenuante risulta conveniente poiché consente l'ottenimento di una via con l'ausilio della quale l'uscita approssimativamente quadratica lineare, derivata dall'unità di memoria ROM 36 può venire convogliata attraverso il sistema a filtro digitale. Questa uscita potrebbe venire direttamente convogliata al circuito traslatore di chiamata schematizzato nella figura 4 ma, tuttavia, deve essere rilevato che questa soluzione risulta economicamente più impegnativa poiché comporta l'impiego di

almeno un ulteriore circuito buffer e l'impiego di appropriati conduttori di convogliamento dei segnali di tempificazione.

Nel funzionamento, il valore quadratico lineare approssimato e, successivamente, il valore lineare di un campione PCM, vengono sequenzialmente registrati nei registri di ordine dispari e di ordine pari 38 e 39. I registri 38 e 39 spostano, serialmente, i bits registrati, attraverso i conduttori 38a e 39a, negli ingressi di indirizzo AO ed A1 del filtro ROM 40. I dati vengono pure fatti ricircolare attraverso i registri 38 e 39, per mezzo dei rispettivi ingressi seriali SI. Conseguentemente, ogni volta che si verifica la presenza di un indirizzo sul canale omnibus di orientamento 20, i bits dei dati derivati dall'unità di memoria ROM 36 vengono alimentati, serialmente, a coppie, al filtro ROM 40, progredendo dai bits meno significativi ai bits più significativi. Quando il bit meno significativo dell'indirizzo presente sul canale omnibus di orientamento, si verifica ad una frequenza pari ad un decimo della frequenza dei segnali di tempificazione, o di orologio, del sistema, presenti sul conduttore 3, la funzione di

riciclo del registro di spostamento 38 e del registro di spostamento 39, viene arrestata per due di ogni dieci segnali di orologio, per mezzo di un segnale di arresto convogliato tramite il conduttore 37a di convogliamento dei segnali di arresto. Ogni valore lineare viene alimentato, dai registri 38 e 39, alla memoria ROM 40, per sette volte, in conformità a quanto precedentemente descritto ogni volta in presenza di un differente indirizzo fra i sette indirizzi di funzione del filtro dal canale omnibus 20 di convogliamento dei segnali di orientamento. Ogni volta che un valore quadratico approssimato viene caricato nei registri 38 e 39, lo stesso viene alimentato una volta in presenza dell'indirizzo di funzione del filtro non attenuante.

Il filtro ROM 40 genera segnali di lettura in corrispondenza delle uscite DO-D15 ad ogni presenza del segnale di orologio, o di tempificazione. I segnali di lettura vengono accumulati per un periodo di otto cicli del segnale di orologio, per mezzo dell'azione esercitata dal sommatore 41 e del registro 42. Poiche' lo spazio nell'accumulatore risulta limitato, l'interconnessione fra l'uscita del registro 42 e l'ingresso del sommatore

re 41, e' disposta in modo tale da spostare i dati registrati di due posti nella direzione di minor significato ad ogni addizione, scartando in tal modo i due bits meno significativi. L'indirizzo sul canale omnibus 20 di convogliamento dei segnali di orientamento, include un segnale sul nono conduttore il quale viene abilitato nell'istante in cui l'ottavo, o ultimo campione si rende disponibile in corrispondenza degli ingressi A0 - A5 del filtro ROM 40. Questo provoca una lettura di "complemento a due" in corrispondenza delle uscite D0 - D15 del filtro ROM 40 la quale effettua una operazione di sottrazione nell'accumulatore. Al termine di ogni accumulazione, i registri di spostamento 44 e 45 vengono caricati con il risultato accumulato che si presenta sotto forma di un segnale binario di complemento a due. I dati cablati nel filtro ROM 40 ed il complesso circuitale configurato in conformità a quanto precedentemente descritto, consentono di produrre una uscita costituente una rappresentazione a  $1/4$  dell'ampiezza filtrata, vale a dire del valore della potenza, a seconda dei casi. Poiche' i dati si presentano sotto forma binaria di complemento a 2, gli stessi vengono moltiplicati per quattro per



generare il valore richiesto della funzione del filtro mediante caricamento del bit di segno 15 del valore accumulato, nel primo stadio di ognuno dei registri di spostamento 44 e 45. Il bit di segno 15 viene pure caricato in corrispondenza dell'ultimo stadio del registro di spostamento 15 mentre i bits 13 e 14 provenienti dal sommatore 41 vengono ignorati. Il registro accumulatore 42 viene quindi impostato ad una condizione di presenza di tutti elementi a carattere binario zero, per mezzo di un segnale presente sul conduttore 22 di trasferimento dei segnali di azzeramento del registro accumulatore. Commensurati con l'uscita del campione dai registri di spostamento 38 e 39, i bits dei dati provenienti dai registri 44 e 45 vengono accettati in corrispondenza degli ingressi seriali SI dei registri di spostamento 46 e 47, rispettivamente. Nel frattempo, il bit 15 rappresentativo del segno, viene continuamente caricato in corrispondenza degli ingressi seriali SI dei registri 44 e 45, attraverso il conduttore 43 di spostamento dei bits rappresentativi del segno.

I registri di spostamento a 312 bits, indicati in 46 e 47, vengono fatti funzionare, in modo continuo, alla frequenza del segnale di orologio, o di

tempificazione del sistema, in modo tale da registrare i bits dei dati sui conduttori 44a e 45a. In dieci periodi di orologio, i primi 8 bits registrati sono rappresentati da dati mentre gli ultimi due bits registrati vengono ignorati. Deve essere pure rilevato che il canale omnibus di convogliamento dei segnali di orientamento, trasporta dieci indirizzi per ogni campione. Pertanto, la lunghezza combinata dei registri di spostamento 44, 46 e 45, 47, e' tale per cui il risultato del precedente campione filtrato, proveniente da un dato canale, viene sincronizzato con il campione attuale appartenente al dato canale. In modo analogo, l'uscita dei registri 48, 49, a 320 bits fornisce in sincronismo, il precedente campione, in precedenza filtrato, del dato canale. L'indirizzamento del filtro ROM 40, in combinazione con i contenuti dei dati del filtro ROM 40, provvede all'azione richiesta di filtraggio per sei frequenze e per la potenza. Poiche' gli otto indirizzi presenti sul canale omnibus di convogliamento dei segnali di orientamento non vengono effettivamente impiegati in questa forma pratica realizzativa dell'invenzione, i dati cablati nel filtro ROM 40, corrispondenti a questa funzione del filtro vengono disposti in modo tale da

risultare tutti pari a zero.

Con riferimento specifico alla figura 4, puo' essere rilevato che i segnali binari presenti sul conduttore di convogliamento del segnale rappresentativo della condizione "pari" 44a e sul conduttore 43 di convogliamento del segnale rappresentativo del segno, vengono ricevuti, bit per bit, dal circuito di traslazione della chiamata, attraverso una porta logica ad OR-ESCLUSIVO 52. In modo analogo, i segnali binari presenti sul conduttore 45a di convogliamento dei bits dispari ed anche i segnali presenti sul conduttore 43 di convogliamento dei bits di segno, vengono ricevuti, bit per bit, attraverso un'altra porta ad OR-ESCLUSIVO 53. Le uscite delle porte ad OR-ESCLUSIVO 52 e 53 sono collegate agli ingressi A1 ed A2 di un sommatore a due bits 51. Il conduttore di convogliamento dei segnali di ripristino 13a e' collegato, per mezzo di un invertitore 57, agli ingressi delle porte logiche AND 54 e 55 ed al terminale di ingresso di cancellazione CL (clear) di un flip-flop 56. Una uscita del flip-flop 56 e' collegata ad un terminale di ingresso di riporto C (carry) del sommatore 51. Le uscite delle porte logiche AND 54 e 55 vengono

alimentate agli ingressi B1 e B2 del sommatore 51.

Il sommatore 51 include le uscite S1 e S2 collegate agli ingressi seriali SI di due registri di spostamento di ordine pari e di ordine dispari 60 e 61, a 320 bits. Le uscite seriali SO dei registri di spostamento 60 e 61 sono collegate agli ingressi seriali SI di due registri di spostamento 64 e 65, rispettivamente, a quattro bits ed agli ingressi delle porte logiche AND 54 e 55. Le uscite parallelo dei registri di spostamento 64 e 65 sono collegate agli ingressi di un registro buffer 66 a 8 bits le cui uscite sono collegate ad un canale omnibus di convogliamento dei dati 81. Il registro di spostamento 66 include pure un terminale di ingresso CK per i segnali di orologio, collegato al conduttore 25 in uscita dal registro 16 mentre presenta pure un terminale di ingresso EN per i segnali di abilitazione, collegato al conduttore 13a di convogliamento dei segnali di ripristino.

Un elaboratore 70, una unità di memoria di sole operazioni di lettura ROM 71 ed una memoria per i dati, del tipo ad accesso casuale RAM 72 sono interconnessi attraverso il canale omnibus 81 di riferimento dei dati ed un canale omnibus di trasferimento degli indirizzi 80. L'elaboratore 70 presenta un proprio

terminale di ingresso collegato al conduttore 13a di convogliamento dei segnali di ripristino ed una uscita di registrazione nella memoria RAM, collegata ad un ingresso di una porta logica OR 77. L'uscita della porta logica OR 77 e' collegata ad un ingresso di abilitazione di scrittura della memoria RAM 72. Un gruppo di registri indirizzabili di uscita 85 e' collegato fra il canale omnibus di convogliamento dei dati 81 ed il canale omnibus 83 di convogliamento dei dati di uscita. Un decodificatore 73 include opportuni ingressi collegati ai cinque conduttori più significativi presenti nel canale omnibus 80 di convogliamento degli indirizzi, una uscita collegata, attraverso un conduttore 74 di convogliamento dei segnali di selezione per la memoria ROM, all'unità di memoria ROM 71, una uscita collegata, attraverso un conduttore 75 di selezione dell'unità di memoria RAM, all'unità di memoria RAM 72 ed una uscita collegata all'ingresso per i segnali di abilitazione alla scrittura WE (write enable) dei registri 85. Gli ingressi di indirizzo di scrittura W1 e W2 dei registri 85 sono collegati a due conduttori del canale omnibus di convogliamento degli indirizzi 80. I registri 85 includono pure gli ingressi di indirizzo di lettura R1, R2 ed un ingresso RE per i segnali di

abilitazione di lettura, tutti collegati al canale omnibus 82 di convogliamento dei segnali di selezione. Un registro degli indirizzi 67, ad accesso diretto in memoria, e' collegato tra il canale omnibus di convogliamento dei segnali di orientamento 20 ed il canale omnibus degli indirizzi 80. Il registro 67 include un terminale di ingresso per i segnali di orologio CK collegato al conduttore 25 ed un terminale di ingresso per i segnali di abilitazione EN collegato ad una uscita di riconoscimento del ripristino 70a dell'elaboratore 70.

Nel funzionamento, l'uscita derivata dal filtro digitale 30a, schematizzato nella figura 1, viene alimentata al circuito traslatore di chiamata 50, attraverso il conduttore 44a di convogliamento dei bits pari ed attraverso il conduttore 45a di trasferimento dei bits dispari, due bits di dati alla volta mentre il bit rappresentativo del segno risulta continuamente presente sul conduttore 43 di alimentazione dei bits di segno 43, per la durata di dieci cicli di orologio. I bits dei dati, di ordine pari, e di ordine dispari vengono trattati, secondo la logica ad OR-ESCLUSIVO, con il bit rappresentativo del segno, dalle porte logiche 52 e 53,

rispettivamente e vengono quindi alimentati agli ingressi A1 ed A2 del sommatore 51. Il sommatore 51, le porte logiche AND 54 e 55, il flip-flop 56 ed i registri 60 e 61, in combinazione, svolgono una integrazione separata e distinta del valore assoluto di ogni uscita della funzione del filtro per ognuno dei canali TDM ricevuti, durante un periodo di tempo di 8 millisecondi. I segnali in uscita dal sommatore 51 vengono ritardati con riferimento alla presenza degli stessi, in corrispondenza degli ingressi B1 e B2, per mezzo dei registri di spostamento 60 e 61, di ordine <sup>pari</sup> e di ordine dispari, a 320 bits. Un segnale di riporto, presente in corrispondenza dell'uscita di eccedenza, o di "overflow" 53 del sommatore 51, viene ritardato, di un periodo del segnale di orologio, da parte del flip-flop 56 e viene quindi alimentato al terminale di ingresso di riporto C (carry) del sommatore 51. Con questo sistema, le corrispondenti uscite delle funzioni del filtro per i corrispondenti campioni dei canali, vengono sincronizzate ed accumulate in un periodo di tempo di 8 millisecondi, secondo quanto determinato dal segnale di ripristino presente sul conduttore 13a. Il segnale di ripristino viene abilitato per un periodo della frequenza di quadro pari, all'incirca, a 125 microsecondi. L'asserzione del

segnale di ripristino inibisce le porte logiche AND 54 e 55 ed azzerà il flip-flop 56, in modo tale da iniziare un nuovo periodo di accumulazione. Inoltre, durante la presenza del segnale di ripristino, i dati risultanti dalle passate integrazioni, vengono spostati al di fuori dei registri di spostamento 60 e 61, attraverso i registri di spostamento 64 e 65 e vengono quindi registrati, in forma parallelo, nel registro 66. Il processore 70 viene disattivato dal segnale di ripristino, per la durata del periodo di 125 microsecondi, in modo tale che sotto il controllo del segnale di orologio presente sul conduttore 25, i dati ricevuti dal registro 66 possano venire assemblati in bytes in parallelo ed alimentati al canale omnibus 81 di convogliamento dei dati.

Nello stesso tempo, il registro 67 trasferisce i segnali presenti sul canale omnibus di convogliamento dei segnali di guida, o di orientamento, sul canale omnibus 80 degli indirizzi. Pertanto, in risposta al segnale presente sulla linea di accesso diretto alla memoria RAM, indicata in 26, la memoria ad accesso casuale RAM 72 può registrare tutti i dati accumulati nel periodo di integrazione appena completato, in corrispondenza delle locazioni di indirizzo determinate



dai segnali presenti sul canale omnibus di convogliamento dei segnali di orientamento, ed in una gamma di indirizzi determinata dalle connessioni permanenti di ingresso dei segnali 67a sul registro di transito 67. Al termine del periodo di mantenimento del segnale di ripristino, della durata di 125 microsecondi, tutte le informazioni riguardanti la chiamata, sono state caricate nell'unità di memoria RAM 72. L'elaboratore 70 riprende il funzionamento con il complesso circuitale associato, in modo tale da operare una traslazione della chiamata in codici compatibili con l'impianto di commutazione digitale in accordo con quanto rappresentato, a titolo di esempio nella Tabella A.

Per facilitare lo svolgimento di questa funzione, l'elaboratore 70 viene governato, nella propria operazione, per lo svolgimento delle funzioni descritte nel diagramma di flusso riportato nella figura 6, per mezzo di un'appropriata sequenza di codici di istruzione alloggiati, sotto forma di una logica accessibile da un indirizzo, nell'unità di memoria ROM 71. Non è stato ritenuto necessario riportare una descrizione dettagliata del principio di funzionamento dell'elaboratore poiché questo rientra nell'ambito di

una persona esperta di applicazioni degli elaboratori elettronici, per la specificazione di un'appropriata sequenza di codici di istruzione adatti per la concretizzazione pratica delle funzioni illustrate nel diagramma di flusso schematizzato nella figura 6, e secondo quanto riportato nella Tabella A. Deve essere sottolineato il fatto che qualsiasi dato elaboratore è limitato dalla propria gamma di funzioni e dalla velocità con la quale lo stesso è in grado di operare. Ovviamente, qualsiasi elaboratore selezionato, in combinazione con una specifica serie di codici di istruzione, deve essere sufficientemente veloce da elaborare i risultati di ogni funzione del filtro entro il periodo compreso fra i periodi di mantenimento del segnale di ripristino. Nella versione esemplificativa precedentemente riportata, è stato riscontrato soddisfacente l'impiego di un noto microprocessore del tipo 8085, fatto funzionare con un tempo di ciclo di 1,3 microsecondi, ed attivato con istruzioni logiche per la concretizzazione pratica delle funzioni riportate nel diagramma di flusso della figura 6.

Nella traslazione della chiamata, il tempo reale disponibile per l'elaborazione può venire miglio\_

rato sottoponendo soltanto la chiamata MF inizializzata, ad un rigoroso test di validità sottoponendo, nel contempo, la chiamata MF uscente, ad una verifica di continuità che richiede un tempo reale inferiore per l'elaborazione, rispetto a quanto si verifica per la prova di validità. Questo metodo risulta particolarmente utile in un ricevitore di chiamata adatto a ricevere la chiamata su doppino poichè la manipolazione manuale della chiamata si estende spesso per un tempo maggiore di quello essenziale. Conseguentemente, le uscite di una pluralità di filtri digitali adattate ad un formato di chiamata, o segnalazione su doppino, possono venire traslate per mezzo di un singolo processore.

Nel diagramma di flusso riportato nella figura 6, nella quale sono state rappresentate due vie alternative per l'elaborazione dei risultati istantanei di qualsiasi periodo di 8 millisecondi, sono stati rappresentati due modi di funzionamento. In corrispondenza della parte sinistra del diagramma di flusso, sono state evidenziate le funzioni richieste per determinare la validità della segnalazione MF iniziale di una cifra. Sul lato destro del diagramma di flusso, sono state rappresentate le funzioni richieste per la determinazione di una segnalazione

continua MF di una cifra.

All'inizio di un periodo di 8 millisecondi, inizia l'operazione del circuito di traslazione 50 della segnalazione, o chiamata. Vengono dapprima identificate le tre ampiezze maggiori delle funzioni del filtro, memorizzate nell'unità di memoria RAM 72. Se due dei tre segnali identificati risultano superiori ad un'ampiezza prefissata e si è verificata una chiamata nei precedenti due periodi di 8 millisecondi, la cifra chiamata viene decodificata. Se questa cifra corrisponde alla rispettiva cifra del canale, decodificata nel precedente periodo di 8 millisecondi, la stessa viene caricata in un appropriato registro fra i vari registri di uscita 85. Tuttavia, se la cifra rappresenta una terza ricorrenza di una cifra differente, la cifra decodificata viene designata come errore.

All'inizio di un periodo di 8 millisecondi, se non si riscontrano due ampiezze, nell'unità di memoria RAM 72 al di sopra di una soglia prefissata, come si verifica nel precedente periodo di 8 millisecondi, una indicazione di pausa viene caricata nell'appropriato registro fra i vari registri di uscita 85.

Nel caso in cui esistano due ampiezze al di sopra della soglia ma con presenza di una pausa precedente, le ampiezze vengono sottoposte alla prova di validità la quale include una serie di verifiche per accertare se vengono soddisfatti i requisiti per la chiamata MF. Le ampiezze vengono confrontate per la verifica di uno sbilanciamento, tipicamente denominato "twist", superiore a circa 7 decibel. Se e' presente uno sbilanciamento superiore a 7 db, il segnale viene classificato come "non valido". Nel caso di uno sbilanciamento accettabile, la più piccole delle tre ampiezze viene confrontata con l'ampiezza intermedia, per uno sbilanciamento superiore a circa 12 db. Se e' presente uno sbilanciamento inferiore a 12 db, la chiamata viene considerata come invalida. Se questo sbilanciamento risulta accettabilmente elevato, l'ampiezza maggiore viene confrontata con un valore approssimato di potenza dal periodo del campione, allo scopo di determinare se la componente massima di chiamata MF risulta almeno di 20 db superiore a quella di altri segnali considerati come rumore, che si verificano nel periodo di campionamento. Se dalle funzioni precedentemente indicate, si riscontrano due ampiez-

ze che rappresentano una segnalazione valida, la cifra rappresentata dalle stesse viene decodificata. Se il precedente periodo di 8 millisecondi e' stato indicato come una pausa, la cifra decodificata viene caricata nell'appropriato registro di uscita 85.

In una forma pratica realizzativa dell'invenzione, la memoria ROM 40 del filtro, presente nel filtro digitale 30a, include una logica indirizzabile, secondo quanto riportato nelle Tabelle successive. La logica indirizzabile provvede a sei funzioni del filtro a banda stretta ed alla funzione di un filtro non attenuante. Le sei funzioni del filtro a banda stretta presentano, individualmente, una banda passante corrispondente ad uno di sei toni segnali presentanti le seguenti frequenze: 700 Hz, 900 Hz, 1100 Hz, 1300 Hz, 1500 Hz e 1700 Hz, rispettivamente. Deve essere rilevato che queste rappresentano le frequenze dei toni segnali standard nel formato di chiamata MF del Nord America. Le voci riportate nelle Tabelle successive si riferiscono ad una memoria ROM 40 formata da quattro dispositivi ROM (0 - 3) ognuno dei quali fornisce quattro dei sedici posti di uscita dell'uni-

tà di memoria ROM 40 con i rispettivi "posti" di indirizzo collegati in comune. Ognuna delle Tabelle riporta valori secondo la notazione esadecimale mentre i bits meno significativi degli indirizzi si estendono attraverso la parte superiore della tavola, i bits più significativi degli indirizzi estendendosi lungo il lato sinistro della tavola, la logica indirizzabile essendo rappresentata dal corpo della tavola corrispondente.

Logica indirizzabile per ROM 40-0

UFFICIO BREVETTI  
Ing. C. GRECO

| ADDR | 00 | 01 | 02 | 03 | 04 | 05 | 06 | 07 | 08 | 09 | 0A | 0B | 0C | 0D | 0E | 0F |
|------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| 000: | 0  | 1  | 2  | 3  | 0  | 1  | 2  | 3  | 0  | 1  | 2  | 3  | 0  | 1  | 2  | 3  |
| 010: | 0  | 1  | 2  | 3  | 0  | 1  | 2  | 3  | 0  | 1  | 2  | 3  | 0  | 1  | 2  | 3  |
| 020: | 0  | 1  | 2  | 3  | 0  | 1  | 2  | 3  | 0  | 1  | 2  | 3  | 0  | 1  | 2  | 3  |
| 030: | 0  | 1  | 2  | 3  | 0  | 1  | 2  | 3  | 0  | 1  | 2  | 3  | 0  | 1  | 2  | 3  |
| 040: | 0  | 0  | 0  | 0  | 1  | 1  | 1  | 1  | 3  | 3  | 3  | 3  | 4  | 5  | 5  | 5  |
| 050: | F  | F  | F  | F  | 0  | 0  | 0  | 0  | 2  | 2  | 2  | 2  | 4  | 4  | 4  | 4  |
| 060: | E  | E  | E  | E  | F  | F  | F  | F  | 1  | 1  | 1  | 1  | 3  | 3  | 3  | 3  |
| 070: | D  | D  | D  | D  | E  | E  | E  | E  | 0  | 0  | 0  | 0  | 2  | 2  | 2  | 2  |
| 080: | 0  | 0  | 0  | 0  | 1  | 1  | 1  | 1  | 2  | 2  | 3  | 3  | 4  | 4  | 4  | 4  |
| 090: | F  | F  | F  | F  | 0  | 0  | 0  | 0  | 2  | 2  | 2  | 2  | 3  | 3  | 3  | 3  |
| 0A0: | E  | E  | E  | E  | F  | F  | F  | F  | 1  | 1  | 1  | 1  | 2  | 2  | 2  | 2  |
| 0B0: | D  | D  | D  | D  | E  | E  | E  | E  | 0  | 0  | 0  | 0  | 1  | 1  | 1  | 1  |
| 0C0: | 0  | 0  | 0  | 0  | 1  | 1  | 1  | 1  | 2  | 2  | 2  | 2  | 3  | 3  | 3  | 3  |
| 0D0: | F  | F  | F  | F  | 0  | 0  | 0  | 0  | 1  | 1  | 1  | 1  | 2  | 2  | 2  | 2  |
| 0E0: | E  | E  | E  | E  | F  | F  | F  | F  | 0  | 0  | 0  | 0  | 1  | 1  | 1  | 2  |
| 0F0: | D  | D  | D  | D  | E  | E  | E  | E  | F  | F  | F  | F  | 0  | 0  | 1  | 1  |
| 100: | 0  | 0  | 0  | 0  | 1  | 1  | 1  | 1  | 2  | 2  | 2  | 2  | 3  | 3  | 3  | 3  |
| 110: | F  | F  | F  | F  | 0  | 0  | 0  | 0  | 1  | 1  | 1  | 1  | 2  | 2  | 2  | 2  |
| 120: | E  | E  | E  | E  | F  | F  | F  | F  | 0  | 0  | 0  | 0  | 1  | 1  | 1  | 1  |
| 130: | D  | D  | D  | D  | E  | E  | E  | E  | F  | F  | F  | F  | 0  | 0  | 0  | 0  |
| 140: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 1  | 1  | 1  | 1  | 2  | 2  | 2  | 2  |
| 150: | F  | F  | F  | F  | F  | F  | F  | F  | 0  | 0  | 0  | 0  | 1  | 1  | 1  | 1  |
| 160: | E  | E  | E  | E  | E  | E  | E  | F  | F  | F  | F  | F  | 0  | 0  | 0  | 0  |
| 170: | D  | D  | D  | D  | D  | D  | E  | E  | E  | E  | E  | E  | F  | F  | F  | F  |
| 180: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 1  | 1  | 1  | 1  | 1  | 1  |
| 190: | F  | F  | F  | F  | F  | F  | F  | F  | F  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 1A0: | E  | E  | E  | E  | E  | E  | E  | E  | F  | F  | F  | F  | F  | F  | F  | F  |
| 1B0: | D  | D  | D  | D  | D  | D  | D  | D  | E  | E  | E  | E  | E  | E  | E  | E  |
| 1C0: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 1D0: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 1E0: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 1F0: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 200: | 0  | 1  | E  | F  | 0  | 1  | E  | F  | 0  | 1  | E  | F  | 0  | 1  | E  | F  |
| 210: | 0  | 1  | E  | F  | 0  | 1  | E  | F  | 0  | 1  | E  | F  | 0  | 1  | E  | F  |
| 220: | 0  | 1  | E  | F  | 0  | 1  | E  | F  | 0  | 1  | E  | F  | 0  | 1  | E  | F  |
| 230: | 0  | 1  | E  | F  | 0  | 1  | E  | F  | 0  | 1  | E  | F  | 0  | 1  | E  | F  |
| 240: | 0  | 0  | F  | F  | 1  | 1  | 1  | 1  | C  | C  | C  | C  | E  | E  | E  | F  |
| 250: | F  | F  | E  | F  | 0  | 0  | 0  | 0  | B  | B  | B  | B  | D  | D  | D  | D  |
| 260: | 1  | 1  | 1  | 1  | 3  | 3  | 3  | 3  | E  | E  | E  | E  | 0  | 0  | 0  | 0  |
| 270: | 0  | 0  | 0  | 0  | 2  | 2  | 2  | 2  | D  | D  | D  | D  | F  | F  | F  | F  |
| 280: | 0  | 0  | F  | F  | 1  | 1  | 1  | 1  | D  | D  | C  | D  | E  | E  | E  | E  |
| 290: | F  | F  | E  | F  | 0  | 0  | 0  | 0  | C  | C  | C  | C  | D  | D  | D  | D  |
| 2A0: | 1  | 1  | 1  | 1  | 3  | 3  | 3  | 3  | E  | E  | E  | E  | 0  | 0  | 0  | 0  |
| 2B0: | 0  | 0  | 0  | 0  | 2  | 2  | 2  | 2  | D  | E  | D  | D  | F  | F  | F  | F  |
| 2C0: | 0  | 0  | F  | F  | 1  | 1  | 1  | 1  | D  | D  | D  | D  | E  | E  | E  | E  |
| 2D0: | F  | F  | E  | F  | 0  | 0  | 0  | 0  | C  | C  | C  | C  | D  | D  | D  | D  |
| 2E0: | 1  | 1  | 1  | 1  | 3  | 3  | 3  | 3  | F  | F  | F  | F  | 0  | 0  | 0  | 0  |
| 2F0: | 0  | 0  | 0  | 0  | 2  | 2  | 2  | 2  | E  | E  | E  | E  | F  | F  | F  | F  |
| 300: | 0  | 0  | F  | F  | 1  | 1  | 0  | 0  | D  | E  | D  | D  | E  | F  | E  | E  |
| 310: | F  | F  | E  | F  | 0  | 0  | F  | 0  | D  | D  | C  | C  | E  | E  | D  | D  |
| 320: | 1  | 1  | 1  | 1  | 2  | 2  | 2  | 2  | F  | F  | F  | F  | 0  | 0  | 0  | 0  |
| 330: | 0  | 0  | 0  | 0  | 1  | 2  | 1  | 1  | E  | E  | E  | E  | F  | F  | F  | F  |
| 340: | 0  | 0  | F  | F  | 0  | 0  | 0  | 0  | E  | E  | E  | E  | F  | F  | F  | F  |
| 350: | F  | F  | E  | F  | F  | F  | F  | F  | D  | D  | D  | D  | E  | E  | E  | E  |
| 360: | 1  | 1  | 1  | 1  | 2  | 2  | 2  | 2  | 0  | 0  | 0  | 0  | 1  | 1  | 1  | 1  |



|      |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |
|------|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| 370: | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | F | F | F | F | 0 | 0 | 0 | 0 |
| 380: | 0 | 0 | F | F | 0 | 0 | 0 | 0 | F | F | E | F | F | F | F | F |
| 390: | F | F | E | E | F | F | F | F | E | E | E | E | E | E | E | E |
| 3A0: | 1 | 1 | 1 | 1 | 2 | 2 | 2 | 2 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 1 |
| 3B0: | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | F | F | 0 | 0 | 0 | 0 |
| 3C0: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 3D0: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 3E0: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 3F0: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

logica indirizzabile per ROM 40-1

| ADDR | 00 | 01 | 02 | 03 | 04 | 05 | 06 | 07 | 08 | 09 | 0A | 0B | 0C | 0D | 0E | 0F |
|------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| 000: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 010: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 020: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 030: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 040: | 0  | 0  | 0  | 1  | A  | B  | B  | B  | 5  | 5  | 6  | 6  | F  | 0  | 0  | 1  |
| 050: | 0  | 1  | 1  | 1  | B  | B  | C  | C  | 5  | 6  | 6  | 7  | 0  | 1  | 1  | 1  |
| 060: | 1  | 1  | 2  | 2  | C  | C  | C  | D  | 6  | 7  | 7  | 7  | 1  | 1  | 2  | 2  |
| 070: | 2  | 2  | 3  | 3  | C  | D  | D  | E  | 7  | 7  | 8  | 8  | 2  | 2  | 2  | 3  |
| 080: | 0  | 0  | 1  | 1  | 7  | 8  | 8  | 9  | F  | F  | 0  | 0  | 6  | 7  | 8  | 8  |
| 090: | 0  | 1  | 1  | 2  | 8  | 9  | 9  | A  | 0  | 0  | 1  | 1  | 7  | 8  | 8  | 9  |
| 0A0: | 1  | 2  | 2  | 3  | 9  | 9  | A  | B  | 1  | 1  | 2  | 2  | 8  | 9  | 9  | A  |
| 0B0: | 2  | 3  | 3  | 4  | A  | A  | B  | B  | 1  | 2  | 3  | 3  | 9  | A  | A  | B  |
| 0C0: | 0  | 0  | 1  | 2  | 4  | 4  | 5  | 6  | 8  | 9  | 9  | A  | C  | D  | D  | E  |
| 0D0: | 0  | 1  | 2  | 3  | 5  | 5  | 6  | 7  | 9  | 9  | A  | B  | D  | E  | E  | F  |
| 0E0: | 1  | 2  | 3  | 3  | 5  | 6  | 7  | 8  | A  | A  | B  | C  | E  | E  | F  | 0  |
| 0F0: | 2  | 3  | 4  | 4  | 6  | 7  | 8  | 8  | B  | B  | C  | D  | F  | F  | 0  | 1  |
| 100: | 0  | 0  | 1  | 2  | 0  | 1  | 1  | 2  | 0  | 1  | 2  | 2  | 0  | 1  | 2  | 3  |
| 110: | 0  | 1  | 2  | 3  | 1  | 1  | 2  | 3  | 1  | 2  | 2  | 3  | 1  | 2  | 3  | 3  |
| 120: | 1  | 2  | 3  | 4  | 2  | 2  | 3  | 4  | 2  | 3  | 3  | 4  | 2  | 3  | 4  | 4  |
| 130: | 2  | 3  | 4  | 5  | 2  | 3  | 4  | 5  | 3  | 4  | 4  | 5  | 3  | 4  | 5  | 5  |
| 140: | 0  | 0  | 1  | 2  | B  | C  | D  | E  | 7  | 8  | 9  | A  | 3  | 4  | 5  | 6  |
| 150: | 0  | 1  | 2  | 3  | C  | D  | E  | F  | 8  | 9  | A  | B  | 4  | 5  | 6  | 7  |
| 160: | 1  | 2  | 3  | 4  | D  | E  | F  | 0  | 9  | A  | B  | C  | 5  | 6  | 7  | 8  |
| 170: | 2  | 3  | 4  | 5  | E  | F  | 0  | 1  | A  | B  | C  | D  | 6  | 7  | 8  | 9  |
| 180: | 0  | 1  | 2  | 3  | 7  | 8  | 9  | A  | E  | F  | 0  | 1  | 5  | 6  | 7  | 8  |
| 190: | 0  | 1  | 2  | 3  | 8  | 9  | A  | B  | F  | 0  | 1  | 2  | 6  | 7  | 8  | 9  |
| 1A0: | 1  | 2  | 3  | 4  | 9  | A  | B  | C  | 0  | 1  | 2  | 3  | 7  | 8  | 9  | A  |
| 1B0: | 2  | 3  | 4  | 5  | A  | B  | C  | D  | 1  | 2  | 3  | 4  | 8  | 9  | A  | B  |
| 1C0: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 1D0: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 1E0: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 1F0: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 200: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 210: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 220: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 230: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 240: | 0  | 0  | F  | F  | A  | B  | 9  | A  | A  | B  | 9  | A  | 5  | 5  | 4  | 4  |
| 250: | 0  | 1  | F  | 0  | B  | B  | A  | A  | B  | B  | A  | B  | 6  | 6  | 5  | 5  |
| 260: | E  | E  | D  | E  | 9  | 9  | 8  | 8  | 9  | 9  | 8  | 8  | 3  | 4  | 3  | 3  |
| 270: | F  | F  | E  | E  | 9  | A  | 9  | 9  | A  | A  | 9  | 9  | 4  | 5  | 3  | 4  |
| 280: | 0  | 0  | E  | F  | 7  | 8  | 6  | 7  | 0  | 1  | F  | 0  | 8  | 8  | 7  | 7  |
| 290: | 0  | 1  | F  | 0  | 8  | 9  | 7  | 7  | 1  | 2  | 0  | 1  | 9  | 9  | 8  | 8  |

Logica indirizzabile per ROM 40-2

[illegible]

|      |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |
|------|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| 200: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 210: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 220: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 230: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 240: | 0 | 6 | 3 | 9 | 9 | 0 | C | 3 | C | 3 | F | 6 | 6 | C | 9 | F |
| 250: | C | 2 | F | 5 | 6 | C | 9 | F | 8 | F | B | 2 | 2 | 9 | 5 | C |
| 260: | 7 | D | A | 0 | 1 | 7 | 4 | A | 3 | A | 7 | D | D | 4 | 0 | 7 |
| 270: | 3 | A | 6 | D | D | 3 | 0 | 6 | 0 | 6 | 3 | 9 | 9 | 0 | D | 3 |
| 280: | 0 | 9 | E | 7 | A | 3 | 8 | 1 | B | 4 | 9 | 2 | 5 | E | 3 | C |
| 290: | D | 6 | B | 4 | 8 | 1 | 6 | F | 9 | 2 | 7 | 0 | 3 | C | 1 | A |
| 2A0: | 4 | D | 2 | B | E | 7 | C | 5 | F | 8 | D | 6 | 9 | 2 | 7 | 0 |
| 2B0: | 2 | B | 0 | 9 | C | 5 | A | 3 | D | 6 | R | 4 | 7 | 0 | 5 | E |
| 2C0: | 0 | B | 9 | 4 | 2 | D | C | 7 | B | 6 | 4 | F | D | 8 | 7 | 2 |
| 2D0: | E | 9 | 8 | 3 | 1 | C | A | 5 | 9 | 4 | 3 | E | C | 7 | 5 | 0 |
| 2E0: | 3 | E | C | 7 | 5 | 0 | F | A | E | 9 | 7 | 2 | 0 | B | A | 5 |
| 2F0: | 1 | C | B | 6 | 4 | F | D | 8 | C | 7 | 6 | 1 | F | A | 8 | 3 |
| 300: | 0 | C | 6 | 3 | 3 | 0 | 9 | 6 | 9 | 5 | F | C | C | 9 | 2 | F |
| 310: | E | B | 5 | 1 | 2 | F | 8 | 5 | 7 | 4 | E | A | B | 8 | 1 | E |
| 320: | 2 | F | 8 | 5 | 6 | 2 | C | 9 | B | 8 | 1 | E | F | B | 5 | 2 |
| 330: | 1 | E | 7 | 4 | 4 | 1 | B | 7 | A | 7 | 0 | D | D | A | 4 | 0 |
| 340: | 0 | E | 3 | 1 | D | C | 0 | F | 4 | 2 | 7 | 5 | 2 | 0 | 5 | 3 |
| 350: | F | D | 2 | 0 | D | B | 0 | E | 3 | 1 | 6 | 4 | 1 | F | 4 | 2 |
| 360: | 1 | 0 | 4 | 3 | F | E | 2 | 1 | 5 | 4 | 8 | 7 | 3 | 2 | 6 | 5 |
| 370: | 0 | F | 3 | 2 | E | D | 1 | 0 | 5 | 3 | 8 | 6 | 2 | 1 | 5 | 4 |
| 380: | 0 | 0 | 0 | 0 | 3 | 3 | 3 | 3 | 8 | 8 | 8 | 8 | C | C | C | C |
| 390: | F | F | F | F | 3 | 3 | 3 | 3 | 8 | 8 | 8 | 8 | C | C | C | C |
| 3A0: | 0 | 0 | 0 | 0 | 4 | 4 | 4 | 4 | 9 | 9 | 9 | 9 | C | C | C | C |
| 3B0: | 0 | 0 | 0 | 0 | 3 | 3 | 3 | 3 | 8 | 8 | 8 | 8 | C | C | C | C |
| 3C0: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 3D0: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 3E0: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 3F0: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

Logica indirizzabile per ROM 40-3

| ADDR | 00 | 01 | 02 | 03 | 04 | 05 | 06 | 07 | 08 | 09 | 0A | 0B | 0C | 0D | 0E | 0F |
|------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| 000: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 010: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 020: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 030: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 040: | 0  | 7  | E  | 5  | C  | 3  | A  | 1  | 8  | F  | 6  | D  | 4  | B  | 2  | 9  |
| 050: | 5  | D  | 4  | B  | 1  | 8  | F  | 6  | D  | 4  | B  | 2  | 9  | 0  | 7  | E  |
| 060: | A  | 2  | 9  | 0  | 6  | E  | 5  | C  | 2  | 9  | 0  | 7  | E  | 5  | C  | 3  |
| 070: | F  | 7  | E  | 5  | B  | 3  | A  | 1  | 7  | E  | 5  | C  | 3  | A  | 1  | 8  |
| 080: | 0  | 0  | 0  | 0  | 7  | 7  | 7  | 7  | E  | E  | E  | E  | 5  | 5  | 5  | 5  |
| 090: | E  | F  | F  | F  | 5  | 5  | 5  | 5  | C  | C  | C  | C  | 3  | 3  | 3  | 3  |
| 0A0: | C  | D  | D  | D  | 3  | 4  | 4  | 4  | A  | A  | A  | A  | 1  | 1  | 1  | 1  |
| 0B0: | A  | B  | B  | B  | 1  | 2  | 2  | 2  | 8  | 8  | 8  | 8  | F  | F  | F  | F  |
| 0C0: | 0  | 2  | 5  | 8  | 8  | A  | D  | 0  | 0  | 2  | 5  | 8  | 8  | A  | D  | 0  |
| 0D0: | 8  | B  | E  | 1  | 0  | 2  | 5  | 8  | 8  | A  | D  | 0  | 0  | 2  | 5  | 8  |
| 0E0: | 0  | 3  | 6  | 9  | 8  | B  | E  | 1  | 0  | 2  | 5  | 8  | 8  | A  | D  | 0  |
| 0F0: | 8  | B  | E  | 1  | 0  | 3  | 6  | 9  | 8  | B  | E  | 1  | 0  | 2  | 5  | 8  |
| 100: | 0  | D  | A  | 8  | 8  | 5  | 2  | 0  | 0  | D  | A  | 8  | 8  | 5  | 2  | 0  |
| 110: | C  | A  | 7  | 5  | 4  | 1  | E  | C  | C  | 9  | 6  | 4  | 4  | 1  | E  | C  |
| 120: | 8  | 6  | 3  | 1  | 0  | E  | B  | 9  | 8  | 5  | 2  | 0  | 0  | D  | A  | 8  |
| 130: | 4  | 2  | F  | D  | C  | A  | 7  | 5  | 4  | 2  | F  | D  | C  | 9  | 6  | 4  |

|        |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |
|--------|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| 140:   | 0 | 7 | P | 7 | P | 6 | E | 6 | E | 5 | D | 5 | D | 4 | 6 | C | 4 |
| 150:   | 2 | A | 2 | A | 1 | 9 | 1 | 9 | 0 | 7 | F | 7 | F | 1 | 8 | E | 6 |
| 160:   | 4 | C | 4 | C | 3 | B | 3 | B | 2 | A | 2 | A | 1 | 8 | 0 | 8 |   |
| 170:   | 6 | E | 6 | E | 5 | D | 5 | D | 4 | C | 4 | C | 3 | B | 3 | B |   |
| 180:   | 0 | 0 | 0 | 1 | B | B | B | C | 6 | 6 | 6 | 7 | 1 | 1 | 1 | 2 |   |
| 190:   | C | D | D | E | 7 | 8 | 8 | 9 | 2 | 2 | 2 | 3 | D | D | D | E |   |
| 1A0:   | 8 | 9 | 9 | A | 3 | 4 | 4 | 5 | E | F | F | 0 | 9 | A | A | B |   |
| 1B0:   | 4 | 5 | 5 | 6 | F | 0 | 0 | 1 | A | B | B | C | 5 | 6 | 6 | 7 |   |
| 1C0:   | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |   |
| 1D0:   | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |   |
| 1E0:   | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |   |
| 1F0:   | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |   |
| 200:   | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |   |
| 210:   | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |   |
| 220:   | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |   |
| 230:   | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |   |
| 240:   | 0 | 7 | 2 | 9 | C | 3 | D | 4 | 8 | 0 | A | 1 | 4 | C | 6 | D |   |
| 250:   | 5 | D | 7 | E | 1 | 8 | 2 | 9 | D | 5 | F | 6 | 9 | 1 | B | 2 |   |
| 260:   | 6 | D | 7 | E | 2 | 9 | 3 | A | E | 6 | 0 | 7 | A | 1 | B | 2 |   |
| 270:   | B | 2 | C | 3 | 7 | E | 8 | F | 3 | B | 5 | C | F | 7 | 1 | 8 |   |
| 280:   | 0 | 0 | 0 | 0 | 7 | 7 | 6 | 6 | 2 | 3 | 2 | 2 | 9 | A | 9 | 9 |   |
| 290:   | E | F | E | E | 5 | 5 | 4 | 4 | 0 | 1 | 0 | 0 | 7 | 8 | 7 | 7 |   |
| 2A0:   | 4 | 4 | 3 | 3 | B | B | A | A | 6 | 7 | 6 | 6 | D | D | C | C |   |
| 2B0:   | 2 | 2 | 1 | 1 | 9 | 9 | B | B | 4 | 5 | 4 | 4 | B | C | B | B |   |
| 2C0:   | 0 | 2 | B | E | 8 | A | 2 | 5 | 0 | 3 | B | E | 8 | B | 3 | 6 |   |
| 2D0:   | 8 | B | 3 | 6 | 0 | 2 | A | D | 8 | B | 3 | 6 | 0 | 3 | B | E |   |
| 2E0:   | 0 | 2 | A | D | 8 | A | 2 | 5 | 0 | 3 | B | E | 8 | A | 2 | 5 |   |
| 2F0:   | 8 | A | 2 | 5 | 0 | 2 | A | D | 8 | B | 3 | 6 | 0 | 3 | B | E |   |
| 300:   | 0 | D | 6 | 3 | 8 | 5 | D | A | 0 | E | 6 | 3 | 8 | 6 | E | B |   |
| 310:   | C | A | 2 | F | 4 | 1 | A | 6 | C | A | 2 | F | 4 | 2 | A | 7 |   |
| 320:   | 8 | 5 | D | A | 0 | D | 5 | 2 | 8 | 6 | E | B | 0 | D | 5 | 2 |   |
| 330:   | 4 | 1 | 9 | 6 | C | 9 | 1 | E | 4 | 2 | A | 7 | C | A | 2 | F |   |
| 340:   | 0 | 7 | 1 | 9 | F | 6 | F | 7 | 2 | A | 3 | B | 1 | 9 | 2 | A |   |
| 350:   | 2 | A | 3 | B | 1 | 9 | 2 | A | 4 | C | 5 | D | 3 | B | 4 | C |   |
| 360:   | C | 3 | C | 4 | B | 2 | B | 3 | E | 5 | E | 6 | D | 4 | D | 5 |   |
| 370:   | E | 5 | E | 6 | D | 4 | D | 5 | 0 | 8 | 1 | 9 | F | 6 | P | 7 |   |
| 380:   | 0 | 0 | 0 | 0 | B | B | A | A | A | B | A | A | 5 | 6 | 5 | 5 |   |
| 390:   | C | D | C | C | 7 | 8 | 7 | 7 | 6 | 7 | 6 | 1 | 1 | 2 | 1 | 1 |   |
| 3A0:   | 8 | 8 | 7 | 7 | 3 | 3 | 2 | 2 | 2 | 2 | 1 | 1 | D | D | C | C |   |
| 3B0:</ |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |

In una versione differente del ricevitore di chiamata progettato per la ricezione di toni di chiamata su doppio PCM, viene richiesta la logica indirizzabile nell'unità di memoria ROM 40 per fornire sette funzioni del filtro per frequenze differenti rispetto alle frequenze precedentemente riportate e, di conseguenza, la logica indirizzabile varierà in misura corrispondente.

#### RIVENDICAZIONI

1. Ricevitore di chiamata per la ricezione di tono segnali modulati impulsivamente in codice (PCM - pulse code modulated), caratterizzato dal fatto che comprende:

un circuito ricevitore (30) per la ricezione di segnali PCM da un canale selezionato; un circuito (10) per la generazione di serie di segnali di orientamento, o di guida, ognuno di detti segnali di orientamento, o di guida, della serie, corrispondendo ad una funzione predeterminata di un filtro nel ricevitore di chiamata;

un circuito filtro digitale (30a) includente un dispositivo convertitore (36 - figura 3), per convertire ognuno dei segnali PCM ricevuti in un corrispondente segnale binario lineare presentante una

pluralità di bits, detto circuito filtro digitale essendo sensibile ai segnali di orientamento ed ai segnali binari lineari, per lo svolgimento di una pluralità di funzioni del filtro a banda passante, con i segnali binari lineari come diretti ai segnali di orientamento, e di guida e per la generazione di segnali, dal filtro, corrispondenti alle ampiezze dei segnali binari lineari presentanti frequenze corrispondenti a quelle frequenze definite dalle rispettive funzioni del filtro a banda passante;

un circuito traslatore (50) sensibile ai segnali di orientamento ed ai segnali del filtro, per la rivelazione della presenza di una chiamata con toni PCM e per la traslazione di detta chiamata in segnali rappresentativi di dati secondo un formato codificato prefissato di segnali.

2. Ricevitore di chiamata secondo la rivendicazione 1, in cui il circuito traslatore e' caratterizzato dal fatto che comprende:

un circuito (51-65 - figura 4) per integrare i segnali del filtro attraverso un periodo di tempo prefissato, allo scopo di derivare un segnale binario integrato corrispondente ad un valore di ampiezza per una serie di ognuna delle funzioni del filtro;

un dispositivo di memoria temporanea (72) per memorizzare temporaneamente i segnali binari integrati;

un dispositivo di memoria (71) presentante istruzioni logiche memorizzate in corrispondenza di locazioni accessibili per mezzo di un indirizzo;

un processore, o elaboratore (70), collegato in modo tale da leggere detti segnali binari integrati, memorizzati temporaneamente, e dette istruzioni logiche memorizzate, detto elaboratore essendo operabile in accordo con dette istruzioni logiche memorizzate, per identificare i due segnali di ampiezza maggiore fra detti segnali binari integrati, memorizzati temporaneamente, e per confrontare i segnali identificati, l'uno rispetto all'altro, allo scopo di determinare l'entità dello scostamento, vale a dire dello sbilanciamento fra gli stessi.

3. Ricevitore di chiamata, secondo la rivendicazione 2, caratterizzato dal fatto che il dispositivo convertitore opera pure in modo tale da convertire i segnali PCM ricevuti in un segnale di potenza corrispondente ad un valore approssimativamente al quadrato del corrispondente segnale binario lineare ed in cui l'elaboratore e' operabile in accordo con dette istruzioni logiche memorizzate, per confronta-

re il segnale di potenza con uno dei segnali identi-  
ficati, allo scopo di determinare un rapporto segna-  
le/rumore presentante un valore accettabile per una  
chiamata multifrequenza (MF) valida.

4. Ricevitore di chiamata secondo la rivendica-  
zione 1, caratterizzato dal fatto che:

il dispositivo convertitore opera pure in modo  
tale da convertire i segnali PCM ricevuti in segna-  
li binari di potenza, ognuno corrispondente ad un  
valore quadratico approssimato di un corrispondente  
segnale binario lineare ed in cui il circuito trasla-  
tore e' caratterizzato dal fatto che comprende:

un circuito (51-65) per integrare individual-  
mente i segnali del filtro corrispondenti ad ogni  
funzione del filtro ed ai segnali di potenza attraverso  
un periodo di tempo prefissato, allo scopo di deriva-  
re un segnale binario integrato corrispondente ad una  
serie di ognuna di dette funzioni del filtro di segnali  
binari di potenza;

un dispositivo di memorizzazione temporanea  
(72) per memorizzare temporaneamente i segnali binari  
integrati;

un dispositivo di memoria (71) presentante i-  
struzioni logiche memorizzate in corrispondenza di lo-



cazioni accessibili per mezzo di un indirizzo;

un elaboratore (70) collegato in modo tale da leggere detti segnali memorizzati temporaneamente e dette istruzioni logiche memorizzate, detto elaboratore essendo operabile in accordo con dette istruzioni logiche memorizzate, per identificare i tre segnali di livello più elevato fra detti segnali integrati che sono stati memorizzati, per confrontare i due segnali di livello maggiore, fra detti segnali identificati, per una entità di sbilanciamento accettabilmente piccola per una segnalazione, o chiamata valida, per confrontare il secondo segnale identificato, di livello più elevato, con il segnale identificato, di livello più basso, per una quantità di differenza accettabilmente elevata per una segnalazione, o chiamata valida e per confrontare uno dei segnali identificati, di livello maggiore, con i segnali binari di potenza per un rapporto segnale/rumore accettabilmente elevato per una chiamata valida.

5. Ricevitore di chiamata secondo la rivendicazione 1, in cui detto circuito filtrante, di tipo digitale, e' caratterizzato dal fatto che comprende:

un dispositivo di memoria (40) presentante bytes di bits di dati memorizzati in corrispondenza di locazioni accessibili per mezzo di un indirizzo, nel dispositivo stesso, terminali per gli indirizzi (A) e terminali per i dati (D), una pluralità di terminali, o "posti" di accesso per gli indirizzi essendo collegati in modo tale da ricevere una porzione di ognuno dei segnali di orientamento, detto dispositivo di memoria essendo disposto in modo tale da alimentare bytes selezionati fra detti bytes in corrispondenza dei terminali di uscita dei dati in risposta agli stati dei segnali dei terminali di ricezione degli indirizzi;

un circuito accumulatore (41, 42) collegato ai terminali di uscita dei dati di detto dispositivo di memoria (40), per accumulare i bytes dei dati entro un intervallo di tempo prestabilito, allo scopo di generare uno di detti segnali di ampiezza;

un complesso circuitale di ingresso (38, 39, 46, 47, 48, 49) collegato in modo tale da ricevere i bits dei segnali binari lineari dal dispositivo convertitore ed in modo tale da ricevere detti segnali di ampiezza, detti mezzi di ingresso venendo utilizzati per alimentare, in modo sincrono, ai terminali

degli indirizzi, il segnale istantaneo, a carattere binario lineare, con il corrispondente segnale di ampiezza precedente e con il corrispondente segnale di ampiezza immediatamente precedente, ognuno di detti segnali venendo alimentato, in questo modo, secondo un formato serie/parallelo dei bits.

6. Ricevitore di chiamata secondo la rivendicazione 1, in cui il circuito di filtraggio, di tipo digitale, e' caratterizzato dal fatto che comprende:

un dispositivo di memoria (40) presentante bytes di bits dei dati memorizzati in corrispondenza di locazioni accessibili da un indirizzo, nello stesso, terminali per i dati (D) ed una pluralità di terminali per gli indirizzi rappresentati da primi terminali (A0, A1), da secondi terminali (A2, A3), da terzi terminali (A4, A5) e da terminali di ricezione dei segnali di orientamento (A6 - A9), i terminali degli indirizzi di orientamento essendo collegati in modo tale da ricevere i segnali di orientamento, o di guida, detti bits dei dati essendo disposti in modo tale da facilitare le funzioni del filtro, secondo quanto selezionato dai segnali di orientamento, detti mezzi di memoria essendo disposti in modo tale da alimentare determinati bytes sele\_

zionati fra detti bytes di bits dei dati in corrispondenza dei terminali per i dati, in risposta agli stati dei segnali dei terminali di ricezione dei segnali di indirizzo;

primi circuiti di ingresso (38, 39), collegati fra il dispositivo convertitore ed i primi terminali per gli indirizzi per alimentare, sequenzialmente, i bits di ogni segnale binario lineare, in raggruppamenti parallelo di almeno due, ai primi terminali degli indirizzi ad ogni presenza di uno dei segnali di orientamento;

un circuito accumulatore (41, 42) collegato ai terminali di alimentazione dei dati di detto dispositivo di memoria (40) per l'accumulazione dei bytes per la durata di ognuno dei vari segnali individuali di orientamento, per generare un corrispondente segnale fra detti segnali di ampiezza;

circuiti di uscita (44, 45), collegati fra il circuito accumulatore ed il circuito traslatore (50-figura 1) per trasferire sequenzialmente, all'uscita, i bits di ogni segnale di ampiezza in detti raggruppamenti parallelo;

secondi circuiti di ingresso (46, 47) collegati

fra i circuiti di uscita ed i secondi terminali di indirizzo, per ritardare l'arrivo di detti raggruppamenti parallelo di ogni segnale di ampiezza <sup>in</sup> corrispondenza dei secondi terminali di indirizzo, di un periodo di tempo prestabilito, per sincronizzare ogni segnale di ampiezza con un successivo e corrispondente segnale binario lineare e la presenza della corrispondente funzione del filtro;

terzi circuiti di ingresso (48, 49) collegati ai terzi terminali di indirizzo (A4, A5) per ritardare l'arrivo di detti raggruppamenti parallelo di ogni segnale di ampiezza in corrispondenza dei terzi terminali di indirizzo, di una quantità prefissata di tempo, per sincronizzare ogni segnale di ampiezza con un segnale binario lineare successivo rispetto al corrispondente segnale successivo e la presenza della corrispondente funzione del filtro;

in modo tale che detti segnali di ampiezza possano venire generati in modo sequenziale.

7. Ricevitore di chiamata secondo la rivendicazione 1, caratterizzato dal fatto che:

il circuito traslatore include un processore (70) ed un dispositivo (71) operante in modo tale

da consentire all'elaboratore di determinare la validità della chiamata iniziale PCM MF, per mezzo dello svolgimento di una serie di funzioni di processo che richiedono un primo periodo di tempo finito per lo svolgimento e per provocare il funzionamento dell'elaboratore allo scopo di determinare la continuità della chiamata continua PCM MF per mezzo di un'altra serie di funzioni di processo che richiedono, per lo svolgimento, un periodo di tempo inferiore al primo periodo di tempo.

8. Ricevitore di chiamata multifrequenza (MF) per la ricezione di una chiamata PCM MF traslata, in un formato codificato dei segnali compatibile con un combinatore, o "controller" in un impianto di commutazione multiplex a divisione di tempo (TDM-figura 1), detto ricevitore di chiamata essendo caratterizzato dal fatto che comprende:

un circuito di controllo della sequenza e della tempificazione (10-figura 1) collegato in modo tale da poter venire sincronizzato con l'impianto di commutazione TDM, per generare una serie di segnali di orientamento su di una base ripetitiva;

un circuito filtro a condivisione temporale (30a) sensibile ai segnali di orientamento, per lo

svolgimento di una pluralità di funzioni prefissate del filtro a banda passante, con una serie di segnali PCM ricevuti dall'impianto di commutazione TDM e per generare, dagli stessi, una corrispondente serie di segnali di ampiezza correlati ad ognuna di dette funzioni del filtro;

un circuito traslatore di chiamata (50), sensibile ai segnali di orientamento ed a detti segnali di ampiezza, per determinare la presenza di una chiamata valida e per operare la traslazione di detta chiamata valida in segnali rappresentativi di dati in un formato codificato prestabilito dei segnali.

9. Metodo per la traslazione di una chiamata PCM MF in un formato codificato di segnali, compatibile con un combinatore, o "controller" in un impianto di commutazione TDM, detto metodo includendo le seguenti fasi:

(a) ricezione di segnali PCM selezionati dall'impianto di commutazione TDM;

(b) conversione di ognuno dei segnali PCM ricevuti in un corrispondente segnale binario lineare presentante una pluralità di bits, caratterizzato dal fatto che comprende le seguenti fasi:

(c) generazione di almeno una serie di segnali di orientamento con ogni presenza di quadro nel formato dei segnali PCM;

(d) svolgimento di una pluralità di funzioni di un filtro a banda passante con i segnali a carattere binario lineare, come dirette dai segnali di orientamento e generazione di segnali di ampiezza consistenti di bits dei segnali e corrispondenti alle ampiezze dei segnali binari lineari presentanti frequenze corrispondenti alle frequenze definite dalla rispettiva funzione del filtro a banda passante; e

(e) rivelazione della presenza di una chiamata multifrequenza (MF) dai segnali rappresentativi delle ampiezze, e traslazione della chiamata multifrequenza in accordo con i segnali di orientamento, in segnali rappresentativi di dati in detto formato dei segnali.

10. Metodo secondo la rivendicazione 9, caratterizzato dal fatto che la fase (d) viene svolta in un filtro digitale includente una memoria (40) presentante bytes di bits dei dati memorizzati in corrispondenza di locazioni accessibili, per mezzo di un indirizzo, nella stessa, la fase (d) essendo



pure caratterizzata dalle seguenti fasi:

(f) lettura, da parte della memoria, di detti bytes, come selezionati dai segnali di indirizzo applicati alla stessa, detti segnali di indirizzo consistendo di bits dei segnali ed includendo una porzione di ognuno dei segnali di orientamento;

(g) accumulazione dei bytes letti dalla memoria per un periodo di tempo prefissato, allo scopo di generare uno di detti segnali rappresentativi dell'ampiezza;

(h) generazione di una porzione di ognuno di detti segnali di indirizzo da un determinato segnale fra detti segnali binari lineari, <sup>dal</sup>corrispondente segnale precedente, rappresentativo dell'ampiezza e dal corrispondente segnale, rappresentativo dell'ampiezza, che precede detto segnale precedente; e

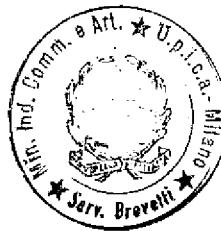
(i) applicazione di detta porzione, in modo sequenziale, in un formato seriale/parallelo, in gruppi di almeno sei bits, ognuno alla memoria, durante il periodo di tempo prestabilito.

11. Metodo secondo la rivendicazione 9, in cui la fase (e) e' caratterizzata dalle fasi consistenti nel determinare se la chiamata e' iniziale, o continua e, nel primo caso, nello svolgere una serie di funzioni di elaborazione per determinare la va-

lidità della chiamata e, nel secondo caso, nello svolgere una serie differente di funzioni di elaborazione, allo scopo di determinare la continuità della chiamata attuale rispetto alla chiamata immediatamente precedente.

Milano, 18 Febbraio 1980 -

UFFICIO BREVETTI  
Ing. C. GREGORI



l'Ufficiale Rogante  
(Guglielmo Spettante)

4.64207 vc.

- 8 GEN.



4242

On.le MINISTERO DELL'INDUSTRIA, COMMERCIO ED ARTI=

GIANATO - Ufficio Centrale dei Brevetti - Roma -

OGGETTO: domanda di brev.per inv.ind.le N.19986 A/80

deposit.il 18 Febbraio 1980 - a nome: Northern Telecom

Limited - a: Montreal, Quebec, Canada, H3H 1R1 -

Con riferimento alla suindicata domanda di brevetto, ci si permette di chiedere che, nel testo depositato, venga apportata ai sensi dell'art.49 del D.P.R. 22.6.1979 - n.338, una correzione come da allegati.

A tal uopo si allegano:

- 2 copie della modifica richiesta in forma di postilla;
- 2 copie della pagina con rinvio alla postilla;
- 1 copia ex-novo della descrizione.

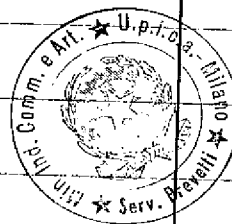
Con perfetta osservanza.

Ufficio Brevetti

Ing.C.Gregorj

Milano, 31 Marzo 1980-

l'Ufficiale Rogante  
(Guglielmo Spettante)



19986 A/80

4/64207

Consumer and Corporate Affairs

Ufficio Brevetti

Certificazione

=====

Con la presente si certifica che i documenti allegati e qui di seguito identificati sono copie fedeli dei documenti depositati presso l'Ufficio brevetti del Canada.

Descrizione e disegni, quali originariamente depositati, con la Domanda di Brevetto avente il numero di serie 322.112, il 22 febbraio 1979, da Sorin COHN-SFETCU, Jackylene Kay HOOD e Daniel John DOYLE, cedenti con atto di cessione intermedia a BELL-NORTHERN RESEARCH LTD., a NORTHERN TELECOM LIMITED, relativamente a "RICEVITORE DIGITALE DI CHIAMATA, PER LA RICEZIONE DI TONO SEGNALI MODULATI IMPULSIVAMENTE IN CODICE".

=====

A testimonianza di quanto sopra, ho apposto la mia firma e ho fatto apporre il sigillo dell'ufficio brevetti a Hull, Canada il 28/1/1980.

Firmato: A. Pigeon

Ufficiale certificante

SIGILLO.

COHN-SFETCU, 1-1-1

4/64207 vc.

Descrizione dell'invenzione avente per titolo:

"RICEVITORE DIGITALE DI CHIAMATA, PER LA RICEZIONE  
DI TONO SEGNALI MODULATI IMPULSIVAMENTE IN CODICE "

a nome: NORTHERN TELECOM LIMITED

a: 1600 Dorchester Boulevard West,  
Montreal, Quebec, Canada, H3H 1R1

di nazionalità canadese ed elettivamente domici-

liata a tutti gli effetti di Legge a Milano -

Via Dogana, 1 presso il mandatario Ufficio Brevetti

Ing. C. Gregorj -

(Deposit. il 18 Febbraio 1980 No. 19986 A/80 - )

#### RIASSUNTO

La presente invenzione si riferisce ad un ricevitore digitale di chiamata in grado di convertire i segnali di chiamata modulati impulsivamente in codice (PCM) in un formato del segnale che risulta compatibile con un combinatore, o "controller" presente in un associato impianto di commutazione telefonica a multiplex a divisione di tempo (TDM). Nel ricevitore, vengono generati segnali di orientamento, in sincronismo con il funzionamento dell'impianto di commutazione, in modo tale dirigere il funzionamento di un filtro a condivisione del tempo.

Il filtro esplica una pluralità di funzioni, con una serie di segnali modulati impulsivamente in codice (PCM) ricevuti dall'impianto di commutazione TDM e genera, dagli stessi, una serie di segnali correlati ad ognuna delle funzioni del filtro. Un traslatore identifica due segnali derivati dal filtro, presentanti ampiezze superiori a quelle degli altri mentre se i due segnali persistono in modo sostanzialmente continuo (a) attraverso un periodo di tempo prestabilito, (b) entro una gamma relativa di ampiezza prestabilita e (c) uno dei due segnali presenta almeno un rapporto segnale/rumore di valore prestabilito rispetto ad un altro segnale derivato dal filtro, corrispondente ad una funzione di non attenuazione del filtro, il traslatore indica la ricezione di una chiamata multifrequenza mediante generazione di segnali appropriati nel formato richiesto per i segnali.

---

#### DESCRIZIONE DELL'INVENZIONE

La presente invenzione si riferisce, in generale, a ricevitori di chiamata con tono segnali e riguarda, in particolare, un ricevitore concretizzato in forma digitale, utilizzato per la traslazione dei tono segnali modulati impulsivamente in codice

(PCM) in un formato di segnale compatibile con un combinatore in un impianto di commutazione telefonico.

I ricevitori telefonici di chiamata, utilizzati per ricevere una chiamata su doppino di abbonato a più frequenze oppure una chiamata su linee di giunzione multifrequenza (MF) sono passati da uno sviluppo circuitale analogico ad uno sviluppo circuitale di tipo digitale, in conformità a quanto esemplificato nel brevetto statunitense N.3.537.001, rilasciato il 27 Ottobre 1970 a nome J.J.Friend e nel brevetto statunitense N.3.790.720, rilasciato il 5 Febbraio 1974 a nome K.R.Schartmann. Tuttavia, deve essere rilevato che questi ricevitori sono stati progettati per la ricezione di chiamate analogiche e gli stessi non sono direttamente adattabili per la ricezione di segnali digitali. Conseguentemente, in un sistema telefonico a modulazione impulsiva codificata (PCM), a multiplex a divisione di tempo (TDM), viene impiegato un convertitore digitale/analogico per convertire i campioni PCM da un canale TDM selezionato, in un segnale analogico. Successivamente, il ricevitore di chiamata, rivela l'appropriata chiamata e converte la chiamata stessa

in un codice compatabile con il funzionamento di un associato impianto di commutazione TDM.

L'impiego di elaboratori di segnali digitali per l'elaborazione di segnali digitali senza dover convertire i segnali digitali in un formato analogico, e' stato descritto da S.L.Freeny in una memoria intitolata "Special Purpose Hardware for Digital Filtering" apparsa nella pubblicazione "proceedings of the IEEE", Vol.63, pagg.633-648, Aprile 1975, e da J.Allen, in un memoria intitolata "Computer Architecture for Signal Processing", apparsa nella pubblicazione "proceedings of the IEEE", Vol.63, pagg.624-632, Aprile 1975. Quantunque interessanti per l'elaborazione digitale delle chiamate PCM, direttamente, senza operare dapprima la conversione dei campioni PCM in segnali analogici, queste proposte, in passato, non sono risultate economicamente competitive nell'ambito della telefonia.

Deve essere rilevato che esistono, in telefonia, due tipi di chiamata, o segnalazione, utilizzando combinazioni di frequenze e costituite dalla chiamata su doppiino DIGITONE o TOUCHTONE (marchi registrati) e dalla chiamata su linee di giunzione R1 o R2. La distinzione principale fra i due tipi di chiamata e' rappresentata dal fatto che il formato



DIGITONE o TOUCHTONE consiste di due tono segnali che appartengono alle rispettive bande di alta frequenza e di bassa frequenza. Conseguentemente, e' vantaggioso sfruttare le tecniche del passaggio per lo zero per la rivelazione del tono segnale dopo la separazione, nel filtro, del segnale ricevuto, in due bande di frequenza. Questa soluzione non e' applicabile alla chiamata R1 o R2 per la quale e' valida una combinazione di qualsiasi due toni di una pluralità di toni prescritti. Nel brevetto statunitense No.4.076.965, rilasciato a nome R.E.Olsen e E.A. Munter, il 28 Febbraio 1978, e' stato illustrato un complesso circuitale misto, di tipo digitale ed analogico, complesso e voluminoso, richiesto in un ricevitore flessibile di chiamata MF, di tipo analogico, adatto per l'impiego in formati di segnalazione, o chiamata, a frequenza singola e multifrequenza.

Risulta quindi evidente che la realizzazione di un ricevitore MF puramente digitale, per la ricezione e la distinzione fra una pluralità di diversi tono segnali codificati in forma PCM, richiede una progettazione molto flessibile, suggerendo in tal modo l'impiego di un elaboratore, o processore digitale. Tuttavia, in qualsiasi progetto pratico, il costo di

concretizzazione di un ricevitore di questo tipo deve risultare confrontabile e favorevole nei confronti dei costi degli attuali ricevitori analogici esistenti nei sistemi PCM. Gli attuali ricevitori di chiamata PCM che sono stati proposti e che vengono concretizzati con l'impiego di sistemi a microprocessore di tipo digitale, operano in modo troppo lento per consentire di soddisfare, economicamente, i requisiti in tempo reale richiesti per la chiamata telefonica.

In conformità ai principi della presente invenzione, viene ottenuto un miglioramento sostanziale nella velocità operativa di un ricevitore di chiamata per mezzo dello svolgimento di una elaborazione semplice ma fortemente ripetitiva dei segnali in un circuito digitale specializzato, mentre una elaborazione più complessa ma meno ripetitiva viene convenientemente condotta con l'ausilio di un microprocessore. In una forma pratica realizzativa dell'invenzione, il tempo reale richiesto per la ricezione dei segnali di chiamata è stato ridotto in misura sufficiente a permettere al ricevitore di chiamata di venire condiviso temporalmente fra una pluralità di canali di comunicazione.

Il ricevitore di chiamata proposto dall'inven

zione include mezzi per la ricezione di campioni di segnali PCM da un canale TDM selezionato da un combinatore, o "controller" in un associato impianto di commutazione TDM e mezzi di filtraggio, di tipo digitale, per generare rappresentazioni, sotto forma di segnali binari, delle funzioni del filtro svolte sui campioni dei segnali ricevuti ed ognuno corrispondente ad un'ampiezza del segnale, con una frequenza selezionata nei campioni dei segnali ricevuti. Un traslatore genera segnali rappresentativi dei dati, indicanti la segnalazione, o chiamata e compatibili con il formato dei segnali del "controller", in risposta ai valori di ampiezza dei segnali delle rappresentazioni dei segnali binari.

I mezzi di filtraggio, di tipo digitale, svolgono le funzioni di un filtro per una pluralità di specifiche frequenze prestabilite, tali mezzi di filtraggio venendo concretizzati sotto forma di un circuito includente una logica cablata per la definizione di ogni funzione del filtro. La logica cablata viene vantaggiosamente concretizzata sotto forma di una memoria per sole operazioni di lettura (ROM). Il filtro digitale opera ad una velocità maggiore di quella richiesta per la ricezione di un canale di un campione PCM e, di conseguenza, questo filtro

puo' essere vantaggiosamente condiviso, temporalmente, fra i canali. La velocità intrinseca del filtro viene ulteriormente migliorata disponendo l'utilizzazione della memoria ROM secondo una configurazione parallelo/serie in modo tale che, nel tempo reale disponibile, possano venire ricevuti più di due canali di campioni PCM.

Il traslatore comprende, essenzialmente, un microprocessore che viene fatto funzionare in accordo con istruzioni logiche, in combinazione con vari segnali di tempificazione e di orientamento, generati nel ricevitore di chiamata. Il traslatore riceve i segnali in uscita dal filtro e converte questi segnali in segnali rappresentativi di dati, indicativi della segnalazione e compatibili con il formato dei segnali del combinatore.

In una forma pratica realizzativa conforme all'invenzione, la velocità di funzionamento del ricevitore di chiamata, viene ulteriormente migliorata per mezzo dell'adozione di modi di funzionamento alternati. All'inizio della chiamata, l'elaboratore determina la validità della chiamata iniziale, per mezzo dello svolgimento di una prima serie di funzioni di elaborazione, con segnali provenienti dai

mezzi di filtraggio di tipo digitale. Al proseguimento della chiamata, a partire dall'inizio della stessa, l'elaboratore svolge una serie differente di funzioni di durata inferiore a quella della prima serie di funzioni, allo scopo di verificare semplicemente la continuità della segnalazione.

La presente invenzione risulterà più evidente dall'analisi della seguente descrizione dettagliata riferita ad una forma pratica realizzativa della stessa, tale trattazione essendo considerata in unione ai disegni allegati, nei quali:

la figura 1 costituisce un diagramma schematico a blocchi di un ricevitore di chiamata, di tipo digitale, costruito in conformità ai principi della presente invenzione, detto ricevitore essendo collegato ad un impianto di commutazione telefonico;

la figura 2 rappresenta un diagramma schematico a blocchi di un circuito di controllo della sequenza e della tempificazione utilizzato nel ricevitore di chiamata rappresentato schematicamente nella figura 1;

la figura 3 rappresenta un diagramma schematico a blocchi di un filtro digitale e di un registro buffer di ingresso impiegati nel ricevitore di chiamata

mata schematizzato nella figura 1;

la figura 4 rappresenta un diagramma schematico a blocchi di un circuito traslatore impiegato nel ricevitore di chiamata schematizzato nella figura 1;

la figura 5 costituisce un diagramma dei tempi illustrante alcune operazioni selezionate del ricevitore di chiamata schematizzato nelle figure 1, 2, 3 e 4; e

la figura 6 costituisce un diagramma di flusso delle funzioni del circuito traslatore di chiamata schematizzato nella figura 4.

La struttura ed il principio di funzionamento della versione esemplificativa dell'invenzione, verranno brevemente descritti con riferimento alla figura 1 e, successivamente, verrà riportata una descrizione più dettagliata, facendo riferimento alla parte rimanente dei disegni. Vari dettagli concernenti la generazione delle varie tensioni richieste per il funzionamento della versione esemplificativa illustrata e descritta, non sono stati riportati per il fatto che la previsione dei vari alimentatori e lo stabilimento delle varie connessioni di alimentazione rientrano nelle conoscenze di un esperto del settore

specifico. Inoltre, non e' stato ritenuto necessario illustrare o descrivere l'instradamento dei vari segnali di tempificazione, o di orologio, tipicamente richiesti per il funzionamento dei vari circuiti reperibili in commercio e rappresentati, ad esempio, dai flip-flop, dai registri, e così via, ad eccezione di quelle aree nelle quali questa descrizione si riferisce a particolari segnali di tempificazione o nei casi in cui questo serva a facilitare la spiegazione e la comprensione della forma pratica realizzativa dell'invenzione in oggetto.

In alcune aree della versione esemplificativa descritta, vengono impiegate memorie per sole operazioni di lettura (ROM), tipicamente del tipo a circuito integrato con collegamenti fusi, dette memorie venendo utilizzate per lo svolgimento di varie funzioni. Questo tipo di memoria ROM e' caratteristico per il fatto che la struttura a circuito integrato della stessa e' essenzialmente rappresentata da quella di un numero elevato di reti logiche individuali, del tipo a logica cablata, ognuna delle quali e' selettivamente collegabile ad una pluralità di terminali di uscita, in risposta al rispettivo segnale univoco di indirizzo. La versione esemplificativa può

venire pure concretizzata mediante sostituzione di una o di più unità di memorie ROM con altri dispositivi alternati di memoria. Alcuni esempi di questi dispositivi alternativi di memoria sono rappresentati dalle memorie ad accesso casuale (RAM - random access memory ), dalle memorie per sole operazioni di lettura, di tipo programmabile (PROM - programmable read only memory) e dalle memorie per sole operazioni di lettura, elettronicamente programmabili (EPROM - electronically programmable read only memory). Tuttavia, deve essere rilevato che questi ed altri dispositivi alternati di memoria tendono a risultare più costosi, maggiormente volatili e, di conseguenza, meno affidabili delle memorie ROM.

L'impianto di commutazione digitale schematizzato nella figura 1 e' collegato, in pratica, a varie linee digitali o analogiche di giunzione o a qualsiasi combinazione delle stesse. Questo impianto puo' essere pure collegato a vari doppiini telefonici di abbonato. Tuttavia, queste varianti non sono state illustrate per il fatto che non sono pertinenti alla descrizione di un ricevitore per chiamate telefoniche PCM MF in un sistema telefonico digitale. L'impianto di commutazione digitale la opera in un formato includente trentadue bytes a dieci bits, per ogni quadro, la



frequenza di ripetizione di quadro essendo pari, all'incirca, a 8 KHz. Un ricevitore PCM MF risulta associato all'impianto di commutazione digitale 1a, in modo tale da ricevere la segnalazione dalle linee di giunzione (trunks), attraverso l'impianto di commutazione 1a. Trentadue canali PCM sono collegati dall'impianto di commutazione digitale 1a, attraverso una linea di giunzione per segnali PCM, a carattere seriale 2, ai registri di memoria temporanea, ~~vale~~ a dire ai registri buffer di ingresso 30 presenti nel ricevitore 1b. I segnali di tempificazione, o di orologio, corrispondenti alla frequenza dei bit dei segnali PCM sulla linea di giunzione 2, vengono alimentati, dall'impianto di commutazione digitale 1a, ad un circuito di controllo della sequenza e della tempificazione 10, presente nel ricevitore 1b, attraverso un conduttore 3 utilizzato per il convogliamento dei segnali di orologio, o di tempificazione. Un canale omnibus 4 per i registri di registrazione e' collegato, dall'impianto di commutazione digitale 1a, ai registri di memoria temporanea di ingresso 30 ed al circuito 10 di controllo della sequenza e della tempificazione. Il canale omnibus dei registri di scrittura 4 convoglia i segnali da un

combinatore, o "controller" nell'impianto di commutazione digitale 1a, in modo tale che determinati canali selezionati fra i trentadue canali dei campioni PCM, possano venire registrati in registri selezionati fra i registri buffer di ingresso 30. Il circuito 10 di controllo della sequenza e della tempificazione, genera segnali di lettura su di un canale omnibus 27a dei registri di lettura, in modo tale che i campioni PCM/<sup>che</sup>sono stati registrati serialmente nei registri buffer 30, possano venire trasmessi, selettivamente, in parallelo, ad un filtro digitale 30a, attraverso i conduttori 30b. Dopo che il contenuto di uno dei registri di transito 30 e' stato trasmesso al filtro digitale 30a, viene generato un segnale su di un conduttore appropriato fra i vari conduttori di un canale omnibus 28a per l'azzeramento dei registri, per mezzo del circuito 10 di controllo della sequenza e della tempificazione, in modo tale da provocare l'azzeramento del corrispondente registro buffer. Il filtro digitale 30a fornisce i rispettivi segnali di uscita rappresentativi del segnale ricevuto di ogni campione del canale selezionato e fornisce pure i segnali rappresentativi delle componenti delle funzioni del filtro corrispondenti a sei

bande del tono segnale multifrequenza. Questi segnali di uscita si evidenziano, secondo un formato serie/parallelo, sui conduttori 43, 44a e 45a, contraddistinti dai riferimenti "segno", "pari" e "dispari", rispettivamente. Questi conduttori convogliano l'uscita del sistema a filtro digitale, ad un circuito traslatore di chiamata 50. Il sistema a filtro digitale 30a ed il circuito traslatore di chiamata 50 vengono entrambi controllati e sincronizzati dai segnali generati nel circuito 10 di controllo della sequenza e della tempificazione. I segnali di orientamento e di tempificazione vengono convogliati attraverso un canale omnibus di orientamento 20 ed un canale omnibus di tempificazione 29. Questi canali omnibus sono collegati dal circuito 10 di controllo della sequenza e della tempificazione, al filtro digitale 30a ed al circuito traslatore di chiamata 50. Il circuito traslatore di chiamata 50 riceve, periodicamente, l'uscita proveniente dal filtro digitale 30a e genera codici dei segnali binari, compatibili con il funzionamento del combinatore presente nell'impianto di commutazione 1a e rappresentanti lo stato di segnalazione di ognuno dei quattro canali selezionati fra i trentadue canali.

Ogni codice di segnale, a carattere binario, include le informazioni in un formato del tipo illustrato, ad esempio, nella Tabella A.

TABELLA A

| Funzione                              | bit del<br>segnale<br>7 | bit<br>di stato<br>6 | bit di<br>errore<br>5 | bit di<br>stato<br>4 | Codice cifra/errore |       |       |       |
|---------------------------------------|-------------------------|----------------------|-----------------------|----------------------|---------------------|-------|-------|-------|
|                                       |                         |                      |                       |                      | bit 3               | Bit 2 | bit 1 | bit 0 |
| Segnale<br>valido                     | 1                       | Y                    | 0                     | Y                    | X                   | X     | X     | X     |
| Pausa                                 | 0                       | 0                    | 0                     | 0                    | 0                   | 0     | 0     | 0     |
| Errore<br>spettra<br>le               | 1                       | Y                    | 1                     | Y                    | 0                   | Z     | Z     | Z     |
| Errore<br>di tem-<br>pifica-<br>zione | 1                       | Y                    | 1                     | Y                    | X                   | X     | X     | X     |

Nella Tabella precedentemente riportata, XXXX denota il codice a quattro bits di una cifra, ZZZ denota il codice a tre bits di un errore spettrale mentre YY denota un codice a due bits della gamma di potenza dei segnali.

L'impianto di commutazione digitale la indirizza il circuito traslatore di chiamata 50 attraverso un canale omnibus di selezione 82 collegato fra le unità considerate, in modo tale da indicare che viene richiesta l'informazione di segnalazione, o di chiamata in modo tale da indicare da quale dei quattro canali, la stessa viene richiesta. Il circuito traslatore di chiamata 50 risponde all'indirizzo presente sul canale omnibus di selezione 82 mediante trasmissione di un codice binario, in accordo con il formato riportato nella Tabella A, per lo stato del canale selezionato, attraverso un canale omnibus 83 per i dati di uscita, al complesso di commutazione digitale la.

Facendo riferimento specifico alla figura 2, puo' essere rilevato che il circuito 10 di controllo della sequenza e della tempificazione, include un contatore 11 presentante un proprio terminale di ingresso per i segnali di orologio CK collegato al

conduttore 3 per i segnali di orologio, o di temporizzazione precedentemente indicato con riferimento alla descrizione della figura 1. Il contatore 11 include pure un ingresso di caricamento LD e le uscite Q0 - Q8 oltre ad una uscita Q14. Un segnale, sincronizzato con la frequenza di quadro dell'impianto di commutazione digitale 1a, viene alimentato all'ingresso di caricamento LD, attraverso un conduttore 19a, in modo tale da sincronizzare il contatore 11 all'avviamento. Le uscite Q0 - Q8 sono costituite dall'origine dei vari conduttori 0-8 presenti nel canale omnibus 20 di convogliamento dei segnali di orientamento. L'uscita Q14 e' collegata ad un terminale di ingresso D1 di un registro 12 a due bits. Il contatore 11 puo' venire realizzato con l'impiego di componenti facilmente reperibili in commercio e consistenti di un circuito divisore per 10 seguito da tre circuiti divisori per 16. In una disposizione di questo tipo, soltanto l'ingresso di caricamento LD del circuito divisore per 10, risulta attivamente collegato al conduttore 19a e, pertanto, quando viene generato il segnale di caricamento, soltanto il circuito divisore per 10 viene azzerato. Il registro a due bits 12 puo' consistere di due circuiti a flip-flop,

di tipo D, collegati in conformità a quanto rappresentato nella figura 2. Le uscite Q1 e  $\overline{Q2}$  del circuito a registro 12, sono collegate ai rispettivi ingressi di una porta logica AND 13 la cui uscita costituisce l'origine di un conduttore 13a per i segnali di ripristino. Il registro 12, in combinazione con la porta logica AND 13, genera un segnale di ripristino ad ogni 8 millisecondi, sul conduttore dei segnali di ripristino 13a, in risposta ai segnali derivati dalle uscite Q5 e Q14 del contatore 11. Nel canale 20 di convogliamento dei segnali di orientamento, i conduttori 7 ed 8 vengono collegati agli ingressi A0 ed A1, rispettivamente, dei decodificatori 27 e 28. Ogni decodificatore 27 e 28 include le uscite Q0 - Q3. Le uscite del decodificatore 27 rappresentano l'origine dei conduttori 0-3 del canale omnibus 27a dei registri mentre le uscite del decodificatore 28 comprendono l'origine dei conduttori 0-3 del conduttore 28a dei segnali di azzeramento dei registri. L'interconnessione di questi canali omnibus e del canale omnibus 20 di convogliamento dei segnali di orientamento, risulterà in seguito evidente dalla descrizione delle figure 3 e 4, rispettivamente.

I circuiti multivibratori monostabili 91-94, includono, individualmente, un ingresso collegato ad uno dei conduttori 0-3, rispettivamente, previsti nel canale omnibus 4 di scrittura dei registri. Ognuno dei circuiti multivibratori monostabili MV 91-94, include pure una uscita collegata ad un ingresso di una porta logica OR 95 la quale presenta la propria uscita collegata ad un conduttore 96 per i segnali di sincronizzazione.

La parte rimanente del circuito 10 di controllo della sequenza e della tempificazione, riportato nella figura 2, riguarda la generazione dei segnali di tempificazione che vengono alimentati sui vari conduttori corrispondenti e che rientrano nella designazione generale dei conduttori dei segnali di tempificazione 29 indicati nella figura 1. Una memoria per sole operazioni di lettura ROM 14, include gli ingressi A0-A6 per i segnali di indirizzo collegati ai conduttori 0-6, rispettivamente, presenti nel canale omnibus 20 di convogliamento dei segnali di orientamento, mentre include pure un ingresso A7 per i segnali di indirizzo collegato al conduttore per i segnali di ripristino 13a. L'unità di memoria ROM 14 include pure le uscite di convogliamento dei dati D0-D7, l'uscita per i dati D0 comprendendo



l'origine di un conduttore 9 presente nel canale omnibus 20 di convogliamento dei segnali di orientamento. Un registro a 8 bits 15 include gli ingressi D0 e D6 collegati alle uscite D1 e D3 dell'unità di memoria ROM 14. Gli ingressi D1, D2, D3 e D7 del registro 15 sono collegati alle uscite Q0, Q1, Q2 e Q6, rispettivamente, di detto registro. L'uscita Q1 del registro in questione, e' rappresentata dall'origine di un conduttore 21 per i segnali di caricamento mentre l'uscita Q6 comprende l'origine di un conduttore 24 per i segnali di orologio per i registri di caricamento. Le uscite Q0 e Q1 del registro 15 sono collegate agli ingressi di una porta logica NOR 37 la cui uscita e' collegata all'origine di un conduttore 37a di alimentazione dei segnali di arresto. L'uscita Q3 del registro 15 e' collegata all'origine di un conduttore 22 per l'azzeramento del registro accumulatore. Una uscita Q7 del registro 15 e' collegata ad un ingresso di una porta logica OR 17 la quale presenta un altro ingresso collegato in modo tale da ricevere i segnali di orologio, o di tempificazione, dal conduttore 3. L'uscita della porta logica OR 17, e' collegata al terminale di ingresso di abilitazione EN (enable) del circuito decodificatore 28. Un regi-

stro 16, del tipo a 8 bits, include gli ingressi D1 e D2 collegati all'uscita D5 ed all'uscita D6, rispettivamente, dell'unità di memoria ROM 14. Gli ingressi D6 e D7 del registro 16 sono collegati al conduttore per i segnali di sincronizzazione 96 e ad una uscita Q6 del registro 16, rispettivamente. Una uscita Q1 del registro 15 e' collegata all'origine di un conduttore 23 per il registro di caricamento. L'uscita Q2 del registro 16 e' collegata ad un terminale di ingresso D4 dello stesso registro. La corrispondente uscita Q4 e' collegata ad un terminale di ingresso D5. L'uscita Q2 e' pure collegata all'origine di un conduttore per il registro di uscita di integrazione, indicato in 25, mentre una uscita Q5 del registro 16 e' collegata all'origine di un conduttore ad accesso diretto per la memoria RAM. L'uscita Q6 e' pure collegata ad un terminale di ingresso di una porta logica OR 17 mentre una uscita Q7 del registro 16 e' collegata ad un altro ingresso della porta logica OR 19, attraverso un invertitore 18. L'uscita della porta logica OR 19 e' collegata, per mezzo del conduttore 19a, al terminale di ingresso di caricamento LD del contatore 11.

Con riferimento specifico alla figura 2 ed al

diagramma dei tempi riportato nella figura 5, verrà ora descritto il principio di funzionamento del circuito di controllo della sequenza e della tempificazione. Tutte le scale dei tempi e le varie forme d'onda riportate nella figura 5, sono state indicate secondo l'appropriata relazione temporale. In corrispondenza della parte superiore della figura 5 sono stati rappresentati sessantaquattro quadri di canali TDM occupanti un periodo pari, all'incirca, a otto millisecondi. La scala dei tempi è stata rappresentata in forma espansa allo scopo di evidenziare un segnale di ripristino sul conduttore 13a coincidente con il sessantaquattresimo quadro. Un singolo quadro interessa un periodo pari, all'incirca a centoventicinque microsecondi e lo stesso include trentadue canali, da 0 a 31. Anche in questo caso, la scala dei tempi è stata espansa allo scopo di evidenziare i canali dei bytes PCM ognuno dei quali presenta dieci periodi binari da 0 a 9. Ogni periodo binario corrisponde, all'incirca a trecentonovanta nanosecondi e corrisponde al periodo dei segnali di orologio sul conduttore 3 di convogliamento dei segnali di orologio. Le forme d'onda rimanenti nella figura 2 sono state rappresentate rispetto alla seconda espansione della scala dei tempi e dei periodi dei bits PCM men-

tre la distinzione più breve, in termini temporali, e' pari alla metà di un periodo binario. Queste forme d'onda sono accompagnate da scritte che consentono di rendere evidente il punto di presenza ed i tempi di presenza con riferimento ai circuiti delle altre figure.

Il contatore 11 schematizzato nella figura 2, conteggia i segnali di orologio, o di tempificazione che si rendono disponibili sul conduttore 3 mentre il risultato del conteggio e' costituito da una sequenza di numeri binari che appare sui conduttori 0-8 del canale omnibus 20 di trasferimento dei segnali di orientamento. In un esempio specifico, i segnali di orologio, o di tempificazione presenti sul conduttore 3, presentano una frequenza di ripetizione impulsiva pari a 2,56 MHz. Il contatore 11 viene sincronizzato con la tempificazione dei canali PCM, per mezzo di un segnale di ripristino che si rende disponibile sul conduttore 19a e che opera in modo tale per cui la porzione a divisione per dieci del contatore 11 puo' venire caricata con tutti elementi a carattere binario zero. Il segnale di ripristino si verifica in risposta ad un segnale di scrittura che si evidenzia su di un conduttore

presente nel canale omnibus 4 che convoglia i segnali di scrittura dei registri. L'associato complesso circuitale a multivibratore, comprendente i multivibratori 91 - 94, risponde al segnale di scrittura provocando l'abilitazione del terminale di ingresso D6 del registro 16, attraverso la porta logica OR 95 ed il conduttore 96 di convogliamento dei segnali di orologio. La corrispondente uscita Q6 del registro viene abilitata e, pertanto, il segnale di ripristino si renderà disponibile sul conduttore 19a attraverso la porta logica OR 19. Quando l'uscita Q6 viene abilitata, l'uscita Q7 del registro in questione viene corrispondentemente abilitata, allo scopo di determinare il termine del segnale di ripristino attraverso l'invertitore 18 e la porta logica OR 19. I segnali di ripristino, presentanti una durata impulsiva pari, all'incirca a 125 microsecondi ed un periodo del ciclo di circa 8 millisecondi, si rendono disponibili sul conduttore di ripristino 13a. I segnali di ripristino presenti sul conduttore 13a rappresentano il risultato della divisione dei segnali di orologio presenti sul conduttore 3, per  $10 \times 2^{11}$  e della registrazione degli stessi nel registro 12 le cui uscite vengono trattate, secondo la logica AND, dalla porta logica AND 13. L'unità di

memoria ROM 14 viene indirizzata dal contatore 11 e la stessa include la logica richiesta per pilotare i registri 15 e 16, unitamente alle porte associate, per la generazione dei segnali di temporizzazione illustrati nel diagramma dei tempi riportato nella figura 5.

Facendo ora riferimento specifico alla figura 3 puo' essere rilevato che i registri di transito, vale a dire i registri buffer 30 precedentemente definiti con riferimento alla figura 1, sono formati dai registri serie-parallelo 31-34 a 8 bits. Ognuno dei registri 31-34 include tre ingressi di controllo rappresentati, in modo specifico, da un ingresso di abilitazione EN (enable) collegato ad un rispettivo conduttore presente nel canale omnibus 4 di convogliamento dei segnali di scrittura per i registri, da un ingresso di selezione SEL (select) collegato ad un rispettivo conduttore nel canale omnibus 27a di convogliamento dei segnali di lettura dei registri e da un terminale di ingresso di cancellazione, o di azzeramento CL (clear) collegato ad un rispettivo conduttore presente nel canale omnibus 28a di convogliamento dei segnali di azzeramento dei registri. Ognuno dei registri 31-34 include pure un ingresso

seriale SI collegato al conduttore 2 di convogliamento dei segnali seriali PCM della linea di giunzione ed una uscita PO formata da otto conduttori in parallelo collegati ai conduttori 0-7 del canale omnibus di uscita in parallelo PCM 30b.

Nel funzionamento, i segnali di scrittura, o di registrazione, vengono ricevuti dal complesso, o impianto di commutazione digitale 1a, attraverso il canale omnibus 4 di convogliamento dei segnali di registrazione per i registri. Un segnale di registrazione presente su di un conduttore nel canale omnibus 4 di convogliamento dei segnali di registrazione, opera in modo tale per cui l'associato registro fra i vari registri di transito di ingresso 31 - 34 puo' caricare, in serie, un campione PCM dalla linea di giunzione 2. Entro il successivo intervallo di 8 millisecondi, viene generato, da parte del decodificatore 27, un segnale di lettura il quale si rende disponibile su di un corrispondente conduttore del canale omnibus 27a in modo tale che i contenuti del registro di transito di ingresso possano evidenziarsi, attraverso l'uscita in parallelo PO, sul canale omnibus 30b. Immediatamente dopo, un segnale di cancellazione, o di azzeramento, si

rende disponibile sul corrispondente conduttore, del canale omnibus 28a di convogliamento dei segnali di azzeramento dei registri, in modo tale che il registro corrispondente possa venire azzerato, vale a dire portato ad una condizione di contenimento di tutti elementi a carattere binario zero. Nel caso in cui non si verifichi la presenza di alcun successivo segnale di scrittura diretto verso il registro di transito di ingresso, per un certo periodo di tempo, l'azzeramento del registro impedisce al circuito successivo, di ricevere false indicazioni ripetute dei campioni PCM.

Nel filtro digitale, un registro di transito 35, a 8 bits, risulta collegato fra il canale omnibus PCM in parallelo 30b ed una memoria lineare/quadratica per sole operazioni di lettura ROM 36. Otto terminali di ingresso per i dati, contraddistinti dai riferimenti DO-D7 del registro 35, sono collegati al canale omnibus PCM parallelo 30b mentre un terminale di ingresso per i segnali di orologio CK, e' collegato al conduttore 24 di trasferimento dei segnali di orologio di caricamento dei registri. Otto uscite Q0 - Q7 del registro 35, sono collegate ai corrispondenti otto ingressi di indirizzo AO - A7 dell'unità di memoria ROM 36. Un terminale



di ingresso per i segnali di indirizzo, A8, dell'unità di memoria ROM 36, e' collegato al conduttore 4 del canale omnibus 20 di convogliamento dei segnali di orientamento. L'uscita dell'unità di memoria ROM 36 e' collegata agli ingressi parallelo dei registri di spostamento dei dati, di ordine pari e di ordine dispari 38 e 39, rispettivamente, in modo tale che il registro di ordine pari 38 possa ricevere soltanto i bits di uscita di significato pari mentre il registro di ordine dispari 39 possa ricevere soltanto i bits di uscita presentanti un significato di numero dispari. Il conduttore 21 di convogliamento dei segnali di caricamento e' collegato ai terminali di ingresso di caricamento LD dei registri di spostamento 38 e 39. Ogni registro di spostamento 38 e 39 include pure una uscita seriale SO collegata ad un corrispondente ingresso seriale SI (serial input) mentre presenta pure un ingresso di mantenimento H (hold) collegato al conduttore 37a di convogliamento dei segnali di arresto.

L'unità di memoria ROM 36 viene utilizzata per espandere ogni campione del segnale PCM nella propria rappresentazione lineare e per fornire una

approssimazione della potenza di ogni campione. Conseguentemente, l'unità di memoria ROM 36 contiene le rappresentazioni lineari e le corrispondenti rappresentazioni lineari quadratiche approssimate di duecentocinquantasei parole PCM a otto bits, utilizzate per la trasmissione nell'impianto di commutazione digitale. I dati PCM, provenienti dai registri 31-34, vengono selettivamente applicati, attraverso il registro 35, agli ingressi di indirizzo A0-A7 dell'unità di memoria ROM 36. Durante l'applicazione di una rispettiva parola PCM, il segnale applicato al terminale di ingresso di indirizzo A8 opera in modo tale per cui l'unità di memoria ROM 36 può venire indirizzata nella propria porzione di memoria approssimativamente quadratica lineare e, successivamente, nella propria porzione di memoria lineare. I bits di ordine pari e di ordine dispari della parola quadratica approssimata e della parola lineare si evidenziano alla uscita dell'unità di memoria ROM 36 e gli stessi vengono individualmente caricati negli ingressi parallelo dei registri di spostamento 38 e 39, rispettivamente, sotto il controllo del segnale di caricamento presente sul conduttore 23 per i segna-

li di caricamento dei registri.

Un filtro, costituito da una unità di memoria ROM 40, include gli ingressi di indirizzo A0-A9 e le uscite per i dati D0-D15, collegate ad un accumulatore presentante un sommatore 41 a 16 bits ed un registro 42 a 16 bits. Il registro 42 a 16 bits, include un terminale di ingresso di cancellazione, o di azzeramento, collegato al conduttore 22 di convogliamento dei segnali di cancellazione del registro accumulatore. Gli ingressi di indirizzo A0 e A1 dell'unità di memoria ROM 40, sono collegati alle uscite seriali S0 dei registri di spostamento di ordine pari 38 e di ordine dispari 39, attraverso i conduttori 38a e 39a, rispettivamente. I registri 44 e 45 di spostamento, di ordine pari e di ordine dispari, del tipo a otto bits, includono ingressi parallelo per la ricezione dei bits di ordine pari 0 - 12 ed anche del bit 15 e dei bits di ordine dispari 1 - 11 oltre al bit 15, rispettivamente, dalla uscita del sommatore 41. Le uscite seriali S0 del registro di spostamento di ordine pari 44 e del registro di spostamento 45, di ordine dispari, sono collegate ai conduttori di ordine pari e di ordine dispari 44a e 45a, rispettivamente, ed agli ingressi seriali SI dei registri di spostamento dei dati di ordine pari

e di ordine dispari 46 e 47 a 312 bits. Ognuno dei registri di spostamento 44 e 45 include un ingresso per i segnali di caricamento LD collegati al conduttore 21 per i segnali di caricamento, mentre ognuno dei registri include un ingresso per i dati seriali SI collegati in comune ad una uscita AI proveniente dall'ultimo stadio del registro di spostamento 45 di ordine dispari. L'uscita AI rappresenta pure l'origine del conduttore 43 di convogliamento dei segnali rappresentativi del "segno". Le uscite seriali SO dei registri di spostamento 46 e 47 sono collegate agli ingressi degli indirizzi A2 e A3 dell'unità di memoria ROM 40 ed agli ingressi seriali SI dei registri di spostamento dei dati 48 e 49 di ordine pari e di ordine dispari, di tipo seriale, a 320 bits. Il registro di spostamento 48 include una uscita seriale SO collegata all'ingresso di indirizzo A4 dell'unità di memoria ROM 40 mentre il registro di spostamento 49 include una uscita seriale SO collegata all'ingresso di indirizzo A5 dell'unità di memoria ROM 40. I rimanenti ingressi di indirizzo A6 - A9 dell'unità di memoria ROM 40 sono collegati ai conduttori 4, 5, 6 e 9 del canale omnibus 20 di convogliamento dei segnali di orientamento.

L'unità di memoria ROM 40, costituente il filtro precedentemente definito, contiene i dati nelle locazioni di memoria che sono accessibili per mezzo di indirizzi binari. Il filtro ROM 40, in combinazione con l'associato complesso circuitale, opera in modo tale per cui il sistema a filtro digitale può assumere, in modo indirizzabile, le caratteristiche di sei filtri a banda stretta e le caratteristiche di un filtro non attenuante per mezzo del quale l'uscita approssimativamente quadratica lineare, derivata dall'unità di memoria ROM 36, può venire trasferita attraverso il filtro digitale. Ogni banda passante del filtro a banda stretta corrisponde ad una delle sei frequenze di segnalazione MF. L'impiego della caratteristica di un filtro non attenuante risulta conveniente poiché consente l'ottenimento di una via con l'ausilio della quale l'uscita approssimativamente quadratica lineare, derivata dall'unità di memoria ROM 36 può venire convogliata attraverso il sistema a filtro digitale. Questa uscita potrebbe venire direttamente convogliata al circuito traslatore di chiamata schematizzato nella figura 4 ma, tuttavia, deve essere rilevato che questa soluzione risulta economicamente più impegnativa poiché comporta l'impiego di

almeno un ulteriore circuito buffer e l'impiego di appropriati conduttori di convogliamento dei segnali di tempificazione.

Nel funzionamento, il valore quadratico lineare approssimato e, successivamente, il valore lineare di un campione PCM, vengono sequenzialmente registrati nei registri di ordine dispari e di ordine pari 38 e 39. I registri 38 e 39 spostano, serialmente, i bits registrati, attraverso i conduttori 38a e 39a, negli ingressi di indirizzo AO ed AI del filtro ROM 40. I dati vengono pure fatti ricircolare attraverso i registri 38 e 39, per mezzo dei rispettivi ingressi seriali SI. Conseguentemente, ogni volta che si verifica la presenza di un indirizzo sul canale omnibus di orientamento 20, i bits dei dati derivati dall'unità di memoria ROM 36 vengono alimentati, serialmente, a coppie, al filtro ROM 40, progredendo dai bits meno significativi ai bits più significativi. Quando il bit meno significativo dell'indirizzo presente sul canale omnibus di orientamento, si verifica ad una frequenza pari ad un decimo della frequenza dei segnali di tempificazione, o di orologio, del sistema, presenti sul conduttore 3, la funzione di

riciclo del registro di spostamento 38 e del registro di spostamento 39, viene arrestata per due di ogni dieci segnali di orologio, per mezzo di un segnale di arresto convogliato tramite il conduttore 37a di convogliamento dei segnali di arresto. Ogni valore lineare viene alimentato, dai registri 38 e 39, alla memoria ROM 40, per sette volte, in conformità a quanto precedentemente descritto ogni volta in presenza di un differente indirizzo fra i sette indirizzi di funzione del filtro dal canale omnibus 20 di convogliamento dei segnali di orientamento. Ogni volta che un valore quadratico approssimato viene caricato nei registri 38 e 39, lo stesso viene alimentato una volta in presenza dell'indirizzo di funzione del filtro non attenuante.

Il filtro ROM 40 genera segnali di lettura in corrispondenza delle uscite D0-D15 ad ogni presenza del segnale di orologio, o di tempificazione. I segnali di lettura vengono accumulati per un periodo di otto cicli del segnale di orologio, per mezzo dell'azione esercitata dal sommatore 41 e del registro 42. Poiche' lo spazio nell'accumulatore risulta limitato, l'interconnessione fra l'uscita del registro 42 e l'ingresso del sommatore

re 41, e' disposta in modo tale da spostare i dati registrati di due posti nella direzione di minor significato ad ogni addizione, scartando in tal modo i due bits meno significativi. L'indirizzo sul canale omnibus 20 di convogliamento dei segnali di orientamento, include un segnale sul nono conduttore il quale viene abilitato nell'istante in cui l'ottavo, o ultimo campione si rende disponibile in corrispondenza degli ingressi A0 - A5 del filtro ROM 40. Questo provoca una lettura di "complemento a due" in corrispondenza delle uscite D0 - D15 del filtro ROM 40 la quale effettua una operazione di sottrazione nell'accumulatore. Al termine di ogni accumulazione, i registri di spostamento 44 e 45 vengono caricati con il risultato accumulato che si presenta sotto forma di un segnale binario di complemento a due. I dati cablati nel filtro ROM 40 ed il complesso circuitale configurato in conformità a quanto precedentemente descritto, consentono di produrre una uscita costituente una rappresentazione a  $1/4$  dell'ampiezza filtrata, vale a dire del valore della potenza, a seconda dei casi. Poiche' i dati si presentano sotto forma binaria di complemento a 2, gli stessi vengono moltiplicati per quattro per



generare il valore richiesto della funzione del filtro mediante caricamento del bit di segno 15 del valore accumulato, nel primo stadio di ognuno dei registri di spostamento 44 e 45. Il bit di segno 15 viene pure caricato in corrispondenza dell'ultimo stadio del registro di spostamento 15 mentre i bits 13 e 14 provenienti dal sommatore 41 vengono ignorati. Il registro accumulatore 42 viene quindi impostato ad una condizione di presenza di tutti elementi a carattere binario zero, per mezzo di un segnale presente sul conduttore 22 di trasferimento dei segnali di azzeramento del registro accumulatore. Commensurati con l'uscita del campione dai registri di spostamento 38 e 39, i bits dei dati provenienti dai registri 44 e 45 vengono accettati in corrispondenza degli ingressi seriali SI dei registri di spostamento 46 e 47, rispettivamente. Nel frattempo, il bit 15 rappresentativo del segno, viene continuamente caricato in corrispondenza degli ingressi seriali SI dei registri 44 e 45, attraverso il conduttore 43 di spostamento dei bits rappresentativi del segno.

I registri di spostamento a 312 bits, indicati in 46 e 47, vengono fatti funzionare, in modo continuo, alla frequenza del segnale di orologio, o di

tempificazione del sistema, in modo tale da registrare i bits dei dati sui conduttori 44a e 45a. In dieci periodi di orologio, i primi 8 bits registrati sono rappresentati da dati mentre gli ultimi due bits registrati vengono ignorati. Deve essere pure rilevato che il canale omnibus di convogliamento dei segnali di orientamento, trasporta dieci indirizzi per ogni campione. Pertanto, la lunghezza combinata dei registri di spostamento 44, 46 e 45, 47, e' tale per cui il risultato del precedente campione filtrato, proveniente da un dato canale, viene sincronizzato con il campione attuale appartenente al dato canale. In modo analogo, l'uscita dei registri 48, 49, a 320 bits fornisce in sincronismo, il precedente campione, in precedenza filtrato, del dato canale. L'indirizzamento del filtro ROM 40, in combinazione con i contenuti dei dati del filtro ROM 40, provvede all'azione richiesta di filtraggio per sei frequenze e per la potenza. Poiche' gli otto indirizzi presenti sul canale omnibus di convogliamento dei segnali di orientamento non vengono effettivamente impiegati in questa forma pratica realizzativa dell'invenzione, i dati cablati nel filtro ROM 40, corrispondenti a questa funzione del filtro vengono disposti in modo tale da

risultare tutti pari a zero.

Con riferimento specifico alla figura 4, puo' essere rilevato che i segnali binari presenti sul conduttore di convogliamento del segnale rappresentativo della condizione "pari" 44a e sul conduttore 43 di convogliamento del segnale rappresentativo del segno, vengono ricevuti, bit per bit, dal circuito di traslazione della chiamata, attraverso una porta logica ad OR-ESCLUSIVO 52. In modo analogo, i segnali binari presenti sul conduttore 45a di convogliamento dei bits dispari ed anche i segnali presenti sul conduttore 43 di convogliamento dei bits di segno, vengono ricevuti, bit per bit, attraverso un'altra porta ad OR-ESCLUSIVO 53. Le uscite delle porte ad OR-ESCLUSIVO 52 e 53 sono collegate agli ingressi A1 ed A2 di un sommatore a due bits 51. Il conduttore di convogliamento dei segnali di ripristino 13a e' collegato, per mezzo di un invertitore 57, agli ingressi delle porte logiche AND 54 e 55 ed al terminale di ingresso di cancellazione CL (clear) di un flip-flop 56. Una uscita del flip-flop 56 e' collegata ad un terminale di ingresso di riporto C (carry) del sommatore 51. Le uscite delle porte logiche AND 54 e 55 vengono

alimentate agli ingressi B1 e B2 del sommatore 51.

Il sommatore 51 include le uscite S1 e S2 collegate agli ingressi seriali SI di due registri di spostamento di ordine pari e di ordine dispari 60 e 61, a 320 bits. Le uscite seriali SO dei registri di spostamento 60 e 61 sono collegate agli ingressi seriali SI di due registri di spostamento 64 e 65, rispettivamente, a quattro bits ed agli ingressi delle porte logiche AND 54 e 55. Le uscite parallelo dei registri di spostamento 64 e 65 sono collegate agli ingressi di un registro buffer 66 a 8 bits le cui uscite sono collegate ad un canale omnibus di convogliamento dei dati 81. Il registro di spostamento 66 include pure un terminale di ingresso CK per i segnali di orologio, collegato al conduttore 25 in uscita dal registro 16 mentre presenta pure un terminale di ingresso EN per i segnali di abilitazione, collegato al conduttore 13a di convogliamento dei segnali di ripristino.

Un elaboratore 70, una unità di memoria di sole operazioni di lettura ROM 71 ed una memoria per i dati, del tipo ad accesso casuale RAM 72 sono interconnessi attraverso il canale omnibus 81 di riferimento dei dati ed un canale omnibus di trasferimento degli indirizzi 80. L'elaboratore 70 presenta un proprio

terminale di ingresso collegato al conduttore 13a di convogliamento dei segnali di ripristino ed una uscita di registrazione nella memoria RAM, collegata ad un ingresso di una porta logica OR 77. L'uscita della porta logica OR 77 e' collegata ad un ingresso di abilitazione di scrittura della memoria RAM 72. Un gruppo di registri indirizzabili di uscita 85 e' collegato fra il canale omnibus di convogliamento dei dati 81 ed il canale omnibus 83 di convogliamento dei dati di uscita. Un decodificatore 73 include opportuni ingressi collegati ai cinque conduttori più significativi presenti nel canale omnibus 80 di convogliamento degli indirizzi, una uscita collegata, attraverso un conduttore 74 di convogliamento dei segnali di selezione per la memoria ROM, all'unità di memoria ROM 71, una uscita collegata, attraverso un conduttore 75 di selezione dell'unità di memoria RAM, all'unità di memoria RAM 72 ed una uscita collegata all'ingresso per i segnali di abilitazione alla scrittura WE (write enable) dei registri 85. Gli ingressi di indirizzo di scrittura W1 e W2 dei registri 85 sono collegati a due conduttori del canale omnibus di convogliamento degli indirizzi 80. I registri 85 includono pure gli ingressi di indirizzo di lettura R1, R2 ed un ingresso RE per i segnali di

abilitazione di lettura, tutti collegati al canale omnibus 82 di convogliamento dei segnali di selezione. Un registro degli indirizzi 67, ad accesso diretto in memoria, e' collegato tra il canale omnibus di convogliamento dei segnali di orientamento 20 ed il canale omnibus degli indirizzi 80. Il registro 67 include un terminale di ingresso per i segnali di orologio CK collegato al conduttore 25 ed un terminale di ingresso per i segnali di abilitazione EN collegato ad una uscita di riconoscimento del ripristino 70a dell'elaboratore 70.

Nel funzionamento, l'uscita derivata dal filtro digitale 30a, schematizzato nella figura 1, viene alimentata al circuito traslatore di chiamata 50, attraverso il conduttore 44a di convogliamento dei bits pari ed attraverso il conduttore 45a di trasferimento dei bits dispari, due bits di dati alla volta mentre il bit rappresentativo del segno risulta continuamente presente sul conduttore 43 di alimentazione dei bits di segno 43, per la durata di dieci cicli di orologio. I bits dei dati, di ordine pari, e di ordine dispari vengono trattati, secondo la logica ad OR-ESCLUSIVO, con il bit rappresentativo del segno, dalle porte logiche 52 e 53,

rispettivamente e vengono quindi alimentati agli ingressi A1 ed A2 del sommatore 51. Il sommatore 51, le porte logiche AND 54 e 55, il flip-flop 56 ed i registri 60 e 61, in combinazione, svolgono una integrazione separata e distinta del valore assoluto di ogni uscita della funzione del filtro per ognuno dei canali TDM ricevuti, durante un periodo di tempo di 8 millisecondi. I segnali in uscita dal sommatore 51 vengono ritardati con riferimento alla presenza degli stessi, in corrispondenza degli ingressi B1 e B2, per mezzo dei registri di spostamento 60 e 61, di ordine <sup>pari</sup> e di ordine dispari, a 320 bits. Un segnale di riporto, presente in corrispondenza dell'uscita di eccedenza, o di "overflow" 53 del sommatore 51, viene ritardato, di un periodo del segnale di orologio, da parte del flip-flop 56 e viene quindi alimentato al terminale di ingresso di riporto C (carry) del sommatore 51. Con questo sistema, le corrispondenti uscite delle funzioni del filtro per i corrispondenti campioni dei canali, vengono sincronizzate ed accumulate in un periodo di tempo di 8 millisecondi, secondo quanto determinato dal segnale di ripristino presente sul conduttore 13a. Il segnale di ripristino viene abilitato per un periodo della frequenza di quadro pari, all'incirca, a 125 microsecondi. L'asserzione del

segnale di ripristino inibisce le porte logiche AND 54 e 55 ed azzerà il flip-flop 56, in modo tale da iniziare un nuovo periodo di accumulazione. Inoltre, durante la presenza del segnale di ripristino, i dati risultanti dalle passate integrazioni, vengono spostati al di fuori dei registri di spostamento 60 e 61, attraverso i registri di spostamento 64 e 65 e vengono quindi registrati, in forma parallelo, nel registro 66. Il processore 70 viene disattivato dal segnale di ripristino, per la durata del periodo di 125 microsecondi, in modo tale che sotto il controllo del segnale di orologio presente sul conduttore 25, i dati ricevuti dal registro 66 possano venire assemblati in bytes in parallelo ed alimentati al canale omnibus 81 di convogliamento dei dati. Nello stesso tempo, il registro 67 trasferisce i segnali presenti sul canale omnibus di convogliamento dei segnali di guida, o di orientamento, sul canale omnibus 80 degli indirizzi. Pertanto, in risposta al segnale presente sulla linea di accesso diretto alla memoria RAM, indicata in 26, la memoria ad accesso casuale RAM 72 può registrare tutti i dati accumulati nel periodo di integrazione appena completato, in corrispondenza delle locazioni di indirizzo determinate



dai segnali presenti sul canale omnibus di convogliamento dei segnali di orientamento, ed in una gamma di indirizzi determinata dalle connessioni permanenti di ingresso dei segnali 67a sul registro di transito 67. Al termine del periodo di mantenimento del segnale di ripristino, della durata di 125 microsecondi, tutte le informazioni riguardanti la chiamata, sono state caricate nell'unità di memoria RAM 72. L'elaboratore 70 riprende il funzionamento con il complesso circuitale associato, in modo tale da operare una traslazione della chiamata in codici compatibili con l'impianto di commutazione digitale in accordo con quanto rappresentato, a titolo di esempio nella Tabella A.

Per facilitare lo svolgimento di questa funzione, l'elaboratore 70 viene governato, nella propria operazione, per lo svolgimento delle funzioni descritte nel diagramma di flusso riportato nella figura 6, per mezzo di un'appropriata sequenza di codici di istruzione alloggiati, sotto forma di una logica accessibile da un indirizzo, nell'unità di memoria ROM 71. Non e' stato ritenuto necessario riportare una descrizione dettagliata del principio di funzionamento dell'elaboratore poiche' questo rientra nell'ambito di

una persona esperta di applicazioni degli elaboratori elettronici, per la specificazione di un'appropriata sequenza di codici di istruzione adatti per la concretizzazione pratica delle funzioni illustrate nel diagramma di flusso schematizzato nella figura 6, e secondo quanto riportato nella Tabella A. Deve essere sottolineato il fatto che qualsiasi dato elaboratore e' limitato dalla propria gamma di funzioni e dalla velocità con la quale lo stesso e' in grado di operare. Ovviamente, qualsiasi elaboratore selezionato, in combinazione con una specifica serie di codici di istruzione, deve essere sufficientemente veloce da elaborare i risultati di ogni funzione del filtro entro il periodo compreso fra i periodi di mantenimento del segnale di ripristino. Nella versione esemplificativa precedentemente riportata, e' stato riscontrato soddisfacente l'impiego di un noto microprocessore del tipo 8085, fatto funzionare con un tempo di ciclo di 1,3 microsecondi, ed attivato con istruzioni logiche per la concretizzazione pratica delle funzioni riportate nel diagramma di flusso della figura 6.

Nella traslazione della chiamata, il tempo reale disponibile per l'elaborazione puo' venire miglio\_

rato sottoponendo soltanto la chiamata MF inizializzata, ad un rigoroso test di validità sottoponendo, nel contempo, la chiamata MF uscente, ad una verifica di continuità che richiede un tempo reale inferiore per l'elaborazione, rispetto a quanto si verifica per la prova di validità. Questo metodo risulta particolarmente utile in un ricevitore di chiamata adatto a ricevere la chiamata su doppino poichè la manipolazione manuale della chiamata si estende spesso per un tempo maggiore di quello essenziale. Conseguentemente, le uscite di una pluralità di filtri digitali adattate ad un formato di chiamata, o segnalazione su doppino, possono venire traslate per mezzo di un singolo processore.

Nel diagramma di flusso riportato nella figura 6, nella quale sono state rappresentate due vie alternative per l'elaborazione dei risultati istantanei di qualsiasi periodo di 8 millisecondi, sono stati rappresentati due modi di funzionamento. In corrispondenza della parte sinistra del diagramma di flusso, sono state evidenziate le funzioni richieste per determinare la validità della segnalazione MF iniziale di una cifra. Sul lato destro del diagramma di flusso, sono state rappresentate le funzioni richieste per la determinazione di una segnalazione

continua MF di una cifra.

All'inizio di un periodo di 8 millisecondi, inizia l'operazione del circuito di traslazione 50 della segnalazione, o chiamata. Vengono dapprima identificate le tre ampiezze maggiori delle funzioni del filtro, memorizzate nell'unità di memoria RAM 72. Se due dei tre segnali identificati risultano superiori ad un'ampiezza prefissata e si è verificata una chiamata nei precedenti due periodi di 8 millisecondi, la cifra chiamata viene decodificata. Se questa cifra corrisponde alla rispettiva cifra del canale, decodificata nel precedente periodo di 8 millisecondi, la stessa viene caricata in un appropriato registro fra i vari registri di uscita 85. Tuttavia, se la cifra rappresenta una terza ricorrenza di una cifra differente, la cifra decodificata viene designata come errore.

All'inizio di un periodo di 8 millisecondi, se non si riscontrano due ampiezze, nell'unità di memoria RAM 72 al di sopra di una soglia prefissata, come si verifica nel precedente periodo di 8 millisecondi, una indicazione di pausa viene caricata nell'appropriato registro fra i vari registri di uscita 85.

Nel caso in cui esistano due ampiezze al di sopra della soglia ma con presenza di una pausa precedente, le ampiezze vengono sottoposte alla prova di validità la quale include una serie di verifiche per accertare se vengono soddisfatti i requisiti per la chiamata MF. Le ampiezze vengono confrontate per la verifica di uno sbilanciamento, tipicamente denominato "twist", superiore a circa 7 decibel. Se e' presente uno sbilanciamento superiore a 7 db, il segnale viene classificato come "non valido". Nel caso di uno sbilanciamento accettabile, la più piccole delle tre ampiezze viene confrontata con l'ampiezza intermedia, per uno sbilanciamento superiore a circa 12 db. Se e' presente uno sbilanciamento inferiore a 12 db, la chiamata viene considerata come invalida. Se questo sbilanciamento risulta accettabilmente elevato, l'ampiezza maggiore viene confrontata con un valore approssimato di potenza dal periodo del campione, allo scopo di determinare se la componente massima di chiamata MF risulta almeno di 20 db superiore a quella di altri segnali considerati come rumore, che si verificano nel periodo di campionamento. Se dalle funzioni precedentemente indicate, si riscontrano due ampiez-

ze che rappresentano una segnalazione valida, la cifra rappresentata dalle stesse viene decodificata. Se il precedente periodo di 8 millisecondi e' stato indicato come una pausa, la cifra decodificata viene caricata nell'appropriato registro di uscita 85.

In una forma pratica realizzativa dell'invenzione, la memoria ROM 40 del filtro, presente nel filtro digitale 30a, include una logica indirizzabile, secondo quanto riportato nelle Tabelle successive. La logica indirizzabile provvede a sei funzioni del filtro a banda stretta ed alla funzione di un filtro non attenuante. Le sei funzioni del filtro a banda stretta presentano, individualmente, una banda passante corrispondente ad uno di sei toni segnali presentanti le seguenti frequenze: 700 Hz, 900 Hz, 1100 Hz, 1300 Hz, 1500 Hz e 1700 Hz, rispettivamente. Deve essere rilevato che queste rappresentano le frequenze dei toni segnali standard nel formato di chiamata MF del Nord America. Le voci riportate nelle Tabelle successive si riferiscono ad una memoria ROM 40 formata da quattro dispositivi ROM (0 - 3) ognuno dei quali fornisce quattro dei sedici posti di uscita dell'uni-

tà di memoria ROM 40 con i rispettivi "posti" di indirizzo collegati in comune. Ognuna delle Tabelle riporta valori secondo la notazione esadecimale mentre i bits meno significativi degli indirizzi si estendono attraverso la parte superiore della tavola, i bits più significativi degli indirizzi estendendosi lungo il lato sinistro della tavola, la logica indirizzabile essendo rappresentata dal corpo della tavola corrispondente.

-

-

-

-

-

-

Logica indirizzabile per ROM 40-0

| ADDR | 00 | 01 | 02 | 03 | 04 | 05 | 06 | 07 | 08 | 09 | 0A | 0B | 0C | 0D | 0E | 0F |
|------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| 000: | 0  | 1  | 2  | 3  | 0  | 1  | 2  | 3  | 0  | 1  | 2  | 3  | 0  | 1  | 2  | 3  |
| 010: | 0  | 1  | 2  | 3  | 0  | 1  | 2  | 3  | 0  | 1  | 2  | 3  | 0  | 1  | 2  | 3  |
| 020: | 0  | 1  | 2  | 3  | 0  | 1  | 2  | 3  | 0  | 1  | 2  | 3  | 0  | 1  | 2  | 3  |
| 030: | 0  | 1  | 2  | 3  | 0  | 1  | 2  | 3  | 0  | 1  | 2  | 3  | 0  | 1  | 2  | 3  |
| 040: | 0  | 0  | 0  | 0  | 1  | 1  | 1  | 1  | 3  | 3  | 3  | 3  | 4  | 5  | 5  | 5  |
| 050: | F  | F  | F  | F  | 0  | 0  | 0  | 0  | 2  | 2  | 2  | 2  | 4  | 4  | 4  | 4  |
| 060: | E  | E  | E  | E  | F  | F  | F  | F  | 1  | 1  | 1  | 1  | 3  | 3  | 3  | 3  |
| 070: | D  | D  | D  | D  | E  | E  | E  | E  | 0  | 0  | 0  | 0  | 2  | 2  | 2  | 2  |
| 080: | 0  | 0  | 0  | 0  | 1  | 1  | 1  | 1  | 2  | 2  | 3  | 3  | 4  | 4  | 4  | 4  |
| 090: | F  | F  | F  | F  | 0  | 0  | 0  | 0  | 2  | 2  | 2  | 2  | 3  | 3  | 3  | 3  |
| 0A0: | E  | E  | E  | E  | F  | F  | F  | F  | 1  | 1  | 1  | 1  | 2  | 2  | 2  | 2  |
| 0B0: | D  | D  | D  | D  | E  | E  | E  | E  | 0  | 0  | 0  | 0  | 1  | 1  | 1  | 1  |
| 0C0: | 0  | 0  | 0  | 0  | 1  | 1  | 1  | 1  | 2  | 2  | 2  | 2  | 3  | 3  | 3  | 3  |
| 0D0: | F  | F  | F  | F  | 0  | 0  | 0  | 0  | 1  | 1  | 1  | 1  | 2  | 2  | 2  | 2  |
| 0E0: | E  | E  | E  | E  | F  | F  | F  | F  | 0  | 0  | 0  | 0  | 1  | 1  | 1  | 2  |
| 0F0: | D  | D  | D  | D  | E  | E  | E  | E  | F  | F  | F  | F  | 0  | 0  | 1  | 1  |
| 100: | 0  | 0  | 0  | 0  | 1  | 1  | 1  | 1  | 2  | 2  | 2  | 2  | 3  | 3  | 3  | 3  |
| 110: | F  | F  | F  | F  | 0  | 0  | 0  | 0  | 1  | 1  | 1  | 1  | 2  | 2  | 2  | 2  |
| 120: | E  | E  | E  | E  | F  | F  | F  | F  | 0  | 0  | 0  | 0  | 1  | 1  | 1  | 1  |
| 130: | D  | D  | D  | D  | E  | E  | E  | E  | F  | F  | F  | F  | 0  | 0  | 0  | 0  |
| 140: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 1  | 1  | 1  | 1  | 2  | 2  | 2  | 2  |
| 150: | F  | F  | F  | F  | F  | F  | F  | F  | 0  | 0  | 0  | 0  | 1  | 1  | 1  | 1  |
| 160: | E  | E  | E  | E  | E  | E  | E  | F  | F  | F  | F  | F  | 0  | 0  | 0  | 0  |
| 170: | D  | D  | D  | D  | D  | D  | E  | E  | E  | E  | E  | E  | F  | F  | F  | F  |
| 180: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 1  | 1  | 1  | 1  | 1  | 1  |
| 190: | F  | F  | F  | F  | F  | F  | F  | F  | F  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 1A0: | E  | E  | E  | E  | E  | E  | E  | E  | F  | F  | F  | F  | F  | F  | F  | F  |
| 1B0: | D  | D  | D  | D  | D  | D  | D  | D  | E  | E  | E  | E  | E  | E  | E  | E  |
| 1C0: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 1D0: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 1E0: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 1F0: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 200: | 0  | 1  | E  | F  | 0  | 1  | E  | F  | 0  | 1  | E  | F  | 0  | 1  | E  | F  |
| 210: | 0  | 1  | E  | F  | 0  | 1  | E  | F  | 0  | 1  | E  | F  | 0  | 1  | E  | F  |
| 220: | 0  | 1  | E  | F  | 0  | 1  | E  | F  | 0  | 1  | E  | F  | 0  | 1  | E  | F  |
| 230: | 0  | 1  | E  | F  | 0  | 1  | E  | F  | 0  | 1  | E  | F  | 0  | 1  | E  | F  |
| 240: | 0  | 0  | P  | P  | 1  | 1  | 1  | 1  | C  | C  | C  | C  | E  | E  | E  | P  |
| 250: | F  | F  | E  | F  | 0  | 0  | 0  | 0  | B  | B  | B  | B  | D  | D  | D  | D  |
| 260: | 1  | 1  | 1  | 1  | 3  | 3  | 3  | 3  | E  | E  | E  | E  | 0  | 0  | 0  | 0  |
| 270: | 0  | 0  | 0  | 0  | 2  | 2  | 2  | 2  | D  | D  | D  | D  | F  | F  | F  | F  |
| 280: | 0  | 0  | F  | F  | 1  | 1  | 1  | 1  | D  | D  | C  | D  | E  | E  | E  | E  |
| 290: | F  | F  | E  | F  | 0  | 0  | 0  | 0  | C  | C  | C  | C  | D  | D  | D  | D  |
| 2A0: | 1  | 1  | 1  | 1  | 3  | 3  | 3  | 3  | E  | E  | E  | E  | 0  | 0  | 0  | 0  |
| 2B0: | 0  | 0  | 0  | 0  | 2  | 2  | 2  | 2  | D  | E  | D  | D  | F  | F  | F  | F  |
| 2C0: | 0  | 0  | F  | F  | 1  | 1  | 1  | 1  | D  | D  | D  | D  | E  | E  | E  | E  |
| 2D0: | F  | F  | E  | F  | 0  | 0  | 0  | 0  | C  | C  | C  | C  | D  | D  | D  | D  |
| 2E0: | 1  | 1  | 1  | 1  | 3  | 3  | 3  | 3  | F  | F  | F  | F  | 0  | 0  | 0  | 0  |
| 2F0: | 0  | 0  | 0  | 0  | 2  | 2  | 2  | 2  | E  | E  | E  | E  | F  | F  | F  | F  |
| 300: | 0  | 0  | F  | F  | 1  | 1  | 0  | 0  | D  | E  | D  | D  | E  | F  | E  | E  |
| 310: | F  | F  | E  | F  | 0  | 0  | F  | 0  | D  | D  | C  | C  | E  | E  | D  | D  |
| 320: | 1  | 1  | 1  | 1  | 2  | 2  | 2  | 2  | F  | F  | F  | F  | 0  | 0  | 0  | 0  |
| 330: | 0  | 0  | 0  | 0  | 1  | 2  | 1  | 1  | E  | E  | E  | E  | F  | F  | F  | F  |
| 340: | 0  | 0  | P  | P  | 0  | 0  | 0  | 0  | E  | E  | E  | E  | F  | F  | F  | F  |
| 350: | F  | F  | E  | F  | F  | F  | F  | F  | D  | D  | D  | D  | E  | E  | E  | E  |
| 360: | 1  | 1  | 1  | 1  | 2  | 2  | 2  | 2  | 0  | 0  | 0  | 0  | 1  | 1  | 1  | 1  |



|      |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |
|------|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| 370: | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | F | F | F | F | 0 | 0 | 0 | 0 |
| 380: | 0 | 0 | F | F | 0 | 0 | 0 | 0 | F | F | E | F | F | F | F | F |
| 390: | F | F | E | E | F | F | F | F | E | E | E | E | E | E | E | E |
| 3A0: | 1 | 1 | 1 | 1 | 2 | 2 | 2 | 2 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 1 |
| 3B0: | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | F | F | 0 | 0 | 0 | 0 |
| 3C0: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 3D0: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 3E0: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 3F0: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

Logica indirizzabile per ROM 40-1

| ADDR | 00 | 01 | 02 | 03 | 04 | 05 | 06 | 07 | 08 | 09 | 0A | 0B | 0C | 0D | 0E | 0F |
|------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| 000: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 010: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 020: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 030: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 040: | 0  | 0  | 0  | 1  | A  | B  | B  | B  | 5  | 5  | 6  | 6  | F  | 0  | 0  | 1  |
| 050: | 0  | 1  | 1  | 1  | B  | B  | C  | C  | 5  | 6  | 6  | 7  | 0  | 1  | 1  | 1  |
| 060: | 1  | 1  | 2  | 2  | C  | C  | C  | D  | 6  | 7  | 7  | 7  | 1  | 1  | 2  | 2  |
| 070: | 2  | 2  | 3  | 3  | C  | D  | D  | E  | 7  | 7  | 8  | 8  | 2  | 2  | 2  | 3  |
| 080: | 0  | 0  | 1  | 1  | 7  | 8  | 8  | 9  | F  | F  | 0  | 0  | 6  | 7  | 8  | 8  |
| 090: | 0  | 1  | 1  | 2  | 8  | 9  | 9  | A  | 0  | 0  | 1  | 1  | 7  | 8  | 8  | 9  |
| 0A0: | 1  | 2  | 2  | 3  | 9  | 9  | A  | B  | 1  | 1  | 2  | 2  | 8  | 9  | 9  | A  |
| 0B0: | 2  | 3  | 3  | 4  | A  | A  | B  | B  | 1  | 2  | 3  | 3  | 9  | A  | A  | B  |
| 0C0: | 0  | 0  | 1  | 2  | 4  | 4  | 5  | 6  | 8  | 9  | 9  | A  | C  | D  | D  | E  |
| 0D0: | 0  | 1  | 2  | 3  | 5  | 5  | 6  | 7  | 9  | 9  | A  | B  | D  | E  | E  | F  |
| 0E0: | 1  | 2  | 3  | 3  | 5  | 6  | 7  | 8  | A  | A  | B  | C  | E  | E  | F  | 0  |
| 0F0: | 2  | 3  | 4  | 4  | 6  | 7  | 8  | 8  | B  | B  | C  | D  | F  | F  | 0  | 1  |
| 100: | 0  | 0  | 1  | 2  | 0  | 1  | 1  | 2  | 0  | 1  | 2  | 2  | 0  | 1  | 2  | 3  |
| 110: | 0  | 1  | 2  | 3  | 1  | 1  | 2  | 3  | 1  | 2  | 2  | 3  | 1  | 2  | 3  | 3  |
| 120: | 1  | 2  | 3  | 4  | 2  | 2  | 3  | 4  | 2  | 3  | 3  | 4  | 2  | 3  | 4  | 4  |
| 130: | 2  | 3  | 4  | 5  | 2  | 3  | 4  | 5  | 3  | 4  | 4  | 5  | 3  | 4  | 5  | 5  |
| 140: | 0  | 0  | 1  | 2  | B  | C  | D  | E  | 7  | 8  | 9  | A  | 3  | 4  | 5  | 6  |
| 150: | 0  | 1  | 2  | 3  | C  | D  | E  | F  | 8  | 9  | A  | B  | 4  | 5  | 6  | 7  |
| 160: | 1  | 2  | 3  | 4  | D  | E  | F  | 0  | 9  | A  | B  | C  | 5  | 6  | 7  | 8  |
| 170: | 2  | 3  | 4  | 5  | E  | F  | 0  | 1  | A  | B  | C  | D  | 6  | 7  | 8  | 9  |
| 180: | 0  | 1  | 2  | 3  | 7  | 8  | 9  | A  | E  | F  | 0  | 1  | 5  | 6  | 7  | 8  |
| 190: | 0  | 1  | 2  | 3  | 8  | 9  | A  | B  | F  | 0  | 1  | 2  | 6  | 7  | 8  | 9  |
| 1A0: | 1  | 2  | 3  | 4  | 9  | A  | B  | C  | 0  | 1  | 2  | 3  | 7  | 8  | 9  | A  |
| 1B0: | 2  | 3  | 4  | 5  | A  | B  | C  | D  | 1  | 2  | 3  | 4  | 8  | 9  | A  | B  |
| 1C0: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 1D0: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 1E0: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 1F0: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 200: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 210: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 220: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 230: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 240: | 0  | 0  | F  | F  | A  | B  | 9  | A  | A  | B  | 9  | A  | 5  | 5  | 4  | 4  |
| 250: | 0  | 1  | F  | 0  | B  | B  | A  | A  | B  | B  | A  | B  | 6  | 6  | 5  | 5  |
| 260: | E  | E  | D  | E  | 9  | 9  | 8  | 8  | 9  | 9  | 8  | 8  | 3  | 4  | 3  | 3  |
| 270: | F  | F  | E  | E  | 9  | A  | 9  | 9  | A  | A  | 9  | 9  | 4  | 5  | 3  | 4  |
| 280: | 0  | 0  | E  | F  | 7  | 8  | 6  | 7  | 0  | 1  | F  | 0  | 8  | 8  | 7  | 7  |
| 290: | 0  | 1  | F  | 0  | 8  | 9  | 7  | 7  | 1  | 2  | 0  | 1  | 9  | 9  | 8  | 8  |

[illegible]

Logica indirizzabile per ROM 40-2

[illegible]

|      |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |
|------|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| 200: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 210: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 220: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 230: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 240: | 0 | 6 | 3 | 9 | 9 | 0 | C | 3 | C | 3 | F | 6 | 6 | C | 9 | F |
| 250: | C | 2 | F | 5 | 6 | C | 9 | F | 8 | F | B | 2 | 2 | 9 | 5 | C |
| 260: | 7 | D | A | 0 | 1 | 7 | 4 | A | 3 | A | 7 | D | D | 4 | 0 | 7 |
| 270: | 3 | A | 6 | D | D | 3 | 0 | 6 | 0 | 6 | 3 | 9 | 9 | 0 | D | 3 |
| 280: | 0 | 9 | E | 7 | A | 3 | 8 | 1 | B | 4 | 9 | 2 | 5 | E | 3 | C |
| 290: | D | 6 | B | 4 | 8 | 1 | 6 | F | 9 | 2 | 7 | 0 | 3 | C | 1 | A |
| 2A0: | 4 | D | 2 | B | E | 7 | C | 5 | F | 8 | D | 6 | 9 | 2 | 7 | 0 |
| 2B0: | 2 | B | 0 | 9 | C | 5 | A | 3 | D | 6 | R | 4 | 7 | 0 | 5 | E |
| 2C0: | 0 | B | 9 | 4 | 2 | D | C | 7 | B | 6 | 4 | F | D | 8 | 7 | 2 |
| 2D0: | E | 9 | 8 | 3 | 1 | C | A | 5 | 9 | 4 | 3 | E | C | 7 | 5 | 0 |
| 2E0: | 3 | E | C | 7 | 5 | 0 | F | A | E | 9 | 7 | 2 | 0 | B | A | 5 |
| 2F0: | 1 | C | B | 6 | 4 | F | D | 8 | C | 7 | 6 | 1 | F | A | 8 | 3 |
| 300: | 0 | C | 6 | 3 | 3 | 0 | 9 | 6 | 9 | 5 | F | C | C | 9 | 2 | F |
| 310: | E | B | 5 | 1 | 2 | F | 8 | 5 | 7 | 4 | E | A | B | 8 | 1 | E |
| 320: | 2 | F | 8 | 5 | 6 | 2 | C | 9 | B | 8 | 1 | E | F | B | 5 | 2 |
| 330: | 1 | E | 7 | 4 | 4 | 1 | B | 7 | A | 7 | 0 | D | D | A | 4 | 0 |
| 340: | 0 | E | 3 | 1 | D | C | 0 | F | 4 | 2 | 7 | 5 | 2 | 0 | 5 | 3 |
| 350: | F | D | 2 | 0 | D | B | 0 | E | 3 | 1 | 6 | 4 | 1 | F | 4 | 2 |
| 360: | 1 | 0 | 4 | 3 | F | E | 2 | 1 | 5 | 4 | 8 | 7 | 3 | 2 | 6 | 5 |
| 370: | 0 | F | 3 | 2 | E | D | 1 | 0 | 5 | 3 | 8 | 6 | 2 | 1 | 5 | 4 |
| 380: | 0 | 0 | 0 | 0 | 3 | 3 | 3 | 3 | 8 | 8 | 8 | 8 | C | C | C | C |
| 390: | F | F | F | F | 3 | 3 | 3 | 3 | 8 | 8 | 8 | 8 | C | C | C | C |
| 3A0: | 0 | 0 | 0 | 0 | 4 | 4 | 4 | 4 | 9 | 9 | 9 | 9 | C | C | C | C |
| 3B0: | 0 | 0 | 0 | 0 | 3 | 3 | 3 | 3 | 8 | 8 | 8 | 8 | C | C | C | C |
| 3C0: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 3D0: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 3E0: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 3F0: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

Logica indirizzabile per ROM 40-3

| ADDR | 00 | 01 | 02 | 03 | 04 | 05 | 06 | 07 | 08 | 09 | 0A | 0B | 0C | 0D | 0E | 0F |
|------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| 000: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 010: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 020: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 030: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 040: | 0  | 7  | E  | 5  | C  | 3  | A  | 1  | 8  | F  | 6  | D  | 4  | B  | 2  | 9  |
| 050: | 5  | D  | 4  | B  | 1  | 8  | F  | 6  | D  | 4  | B  | 2  | 9  | 0  | 7  | E  |
| 060: | A  | 2  | 9  | 0  | 6  | E  | 5  | C  | 2  | 9  | 0  | 7  | E  | 5  | C  | 3  |
| 070: | F  | 7  | E  | 5  | B  | 3  | A  | 1  | 7  | E  | 5  | C  | 3  | A  | 1  | 8  |
| 080: | 0  | 0  | 0  | 0  | 7  | 7  | 7  | 7  | E  | E  | E  | E  | 5  | 5  | 5  | 5  |
| 090: | E  | F  | F  | F  | 5  | 5  | 5  | 5  | C  | C  | C  | C  | 3  | 3  | 3  | 3  |
| 0A0: | C  | D  | D  | D  | 3  | 4  | 4  | 4  | A  | A  | A  | A  | 1  | 1  | 1  | 1  |
| 0B0: | A  | B  | B  | B  | 1  | 2  | 2  | 2  | 8  | 8  | 8  | 8  | F  | F  | F  | F  |
| 0C0: | 0  | 2  | 5  | 8  | 8  | A  | D  | 0  | 0  | 2  | 5  | 8  | 8  | A  | D  | 0  |
| 0D0: | 8  | B  | E  | 1  | 0  | 2  | 5  | 8  | 8  | A  | D  | 0  | 0  | 2  | 5  | 8  |
| 0E0: | 0  | 3  | 6  | 9  | 8  | B  | E  | 1  | 0  | 2  | 5  | 8  | 8  | A  | D  | 0  |
| 0F0: | 8  | B  | E  | 1  | 0  | 3  | 6  | 9  | 8  | B  | E  | 1  | 0  | 2  | 5  | 8  |
| 100: | 0  | D  | A  | 8  | 8  | 5  | 2  | 0  | 0  | D  | A  | 8  | 8  | 5  | 2  | 0  |
| 110: | C  | A  | 7  | 5  | 4  | 1  | E  | C  | C  | 9  | 6  | 4  | 4  | 1  | E  | C  |
| 120: | 8  | 6  | 3  | 1  | 0  | E  | B  | 9  | 8  | 5  | 2  | 0  | 0  | D  | A  | 8  |
| 130: | 4  | 2  | F  | D  | C  | A  | 7  | 5  | 4  | 2  | F  | D  | C  | 9  | 6  | 4  |

|      |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |
|------|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| 140: | 0 | 7 | P | 7 | P | 6 | E | 6 | E | 5 | D | 5 | D | 4 | C | 4 |
| 150: | 2 | A | 2 | A | 1 | 9 | 1 | 9 | 0 | 7 | F | 7 | F | 6 | E | 6 |
| 160: | 4 | C | 4 | C | 3 | B | 3 | B | 2 | A | 2 | A | 1 | 8 | 0 | 8 |
| 170: | 6 | E | 6 | E | 5 | D | 5 | D | 4 | C | 4 | C | 3 | B | 3 | B |
| 180: | 0 | 0 | 0 | 1 | B | B | B | C | 6 | 6 | 6 | 7 | 1 | 1 | 1 | 2 |
| 190: | C | D | D | E | 7 | 8 | 8 | 9 | 2 | 2 | 2 | 3 | D | D | D | E |
| 1A0: | 8 | 9 | 9 | A | 3 | 4 | 4 | 5 | E | F | F | 0 | 9 | A | A | B |
| 1B0: | 4 | 5 | 5 | 6 | F | 0 | 0 | 1 | A | B | B | C | 5 | 6 | 6 | 7 |
| 1C0: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1D0: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1E0: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1F0: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 200: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 210: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 220: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 230: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 240: | 0 | 7 | 2 | 9 | C | 3 | D | 4 | 8 | 0 | A | 1 | 4 | C | 6 | D |
| 250: | 5 | D | 7 | E | 1 | 8 | 2 | 9 | D | 5 | F | 6 | 9 | 1 | B | 2 |
| 260: | 6 | D | 7 | E | 2 | 9 | 3 | A | E | 6 | 0 | 7 | A | 1 | B | 2 |
| 270: | B | 2 | C | 3 | 7 | E | 8 | F | 3 | B | 5 | C | F | 7 | 1 | 8 |
| 280: | 0 | 0 | 0 | 0 | 7 | 7 | 6 | 6 | 2 | 3 | 2 | 2 | 9 | A | 9 | 9 |
| 290: | E | F | E | E | 5 | 5 | 4 | 4 | 0 | 1 | 0 | 0 | 7 | 8 | 7 | 7 |
| 2A0: | 4 | 4 | 3 | 3 | B | B | A | A | 6 | 7 | 6 | 6 | D | D | C | C |
| 2B0: | 2 | 2 | 1 | 1 | 9 | 9 | 8 | 8 | 4 | 5 | 4 | 4 | B | C | B | B |
| 2C0: | 0 | 2 | B | E | 8 | A | 2 | 5 | 0 | 3 | B | E | 8 | B | 3 | 6 |
| 2D0: | 8 | B | 3 | 6 | 0 | 2 | A | D | 8 | B | 3 | 6 | 0 | 3 | B | E |
| 2E0: | 0 | 2 | A | D | 8 | A | 2 | 5 | 0 | 3 | B | E | 8 | A | 2 | 5 |
| 2F0: | 8 | A | 2 | 5 | 0 | 2 | A | D | 8 | B | 3 | 6 | 0 | 3 | B | E |
| 300: | 0 | D | 6 | 3 | 8 | 5 | D | A | 0 | E | 6 | 3 | 8 | 6 | E | B |
| 310: | C | A | 2 | F | 4 | 1 | A | 6 | C | A | 2 | P | 4 | 2 | A | 7 |
| 320: | 8 | 5 | D | A | 0 | D | 5 | 2 | 8 | 6 | E | B | 0 | D | 5 | 2 |
| 330: | 4 | 1 | 9 | 6 | C | 9 | 1 | E | 4 | 2 | A | 7 | C | A | 2 | F |
| 340: | 0 | 7 | 1 | 9 | F | 6 | F | 7 | 2 | A | 3 | B | 1 | 9 | 2 | A |
| 350: | 2 | A | 3 | B | 1 | 9 | 2 | A | 4 | C | 5 | D | 3 | B | 4 | C |
| 360: | C | 3 | C | 4 | B | 2 | B | 3 | E | 5 | E | 6 | D | 4 | D | 5 |
| 370: | E | 5 | E | 6 | D | 4 | D | 5 | 0 | 8 | 1 | 9 | F | 6 | P | 7 |
| 380: | 0 | 0 | 0 | 0 | B | B | A | A | A | B | A | A | 5 | 6 | 5 | 5 |
| 390: | C | D | C | C | 7 | 8 | 7 | 7 | 6 | 7 | 6 | 1 | 1 | 2 | 1 | 1 |
| 3A0: | 8 | 8 | 7 | 7 | 3 | 3 | 2 | 2 | 2 | 2 | 1 | 1 | D | D | C | C |
| 3B0: | 4 | 4 | 3 | 3 | F | F | E | E | E | E |   |   |   |   |   |   |

In una versione differente del ricevitore di chiamata progettato per la ricezione di toni di chiamata su doppiino PCM, viene richiesta la logica indirizzabile ~~x~~ nell'unità di memoria ROM 40 per fornire sette funzioni del filtro per frequenze differenti rispetto alle frequenze precedentemente riportate e, di conseguenza, la logica indirizzabile varierà in misura corrispondente.

#### RIVENDICAZIONI

1. Ricevitore di chiamata per la ricezione di tono segnali modulati impulsivamente in codice (PCM - pulse code modulated), comprendente:

mezzi ~~di~~ ricevitori per la ricezione di segnali PCM da un canale selezionato;

mezzi per la conversione di ciascuno dei segnali PCM ricevuti in un corrispondente segnale binario lineare presentante una pluralità di bits;

mezzi per la generazione di serie di segnali di orientamento, o di guida, ognuno dei segnali di orientamento della serie corrispondendo ad una funzione predeterminata di un filtro nel ricevitore di chiamata;

mezzi a filtro digitale, sensibili ai segnali di orientamento ed ai segnali binari lineari, per lo svolgimento di una pluralità di funzioni del

filtro a banda passante, con i segnali binari lineari come diretti dai segnali di orientamento, o di guida, e per la generazione di segnali, dal filtro, corrispondenti alle ampiezze dei segnali binari lineari presentanti frequenze corrispondenti a quelle definite dalle rispettive funzioni del filtro a banda passante;

mezzi traslatori sensibili ai segnali di orientamento ed ai segnali del filtro, per la rivelazione della presenza di una chiamata con toni PCM e per la traslazione della suddetta chiamata in segnali rappresentativi dei dati secondo un formato codice prefissati di segnali.

2. Ricevitore di chiamata in conformità a quanto illustrato nella rivendicazione 1, in cui il mezzo traslatore comprende:

mezzi per integrare i segnali del filtro attraverso un periodo di tempo predeterminato al fine di derivare un segnale binario integrato corrispondente ad un valore di ampiezza per una serie di ognuna delle funzioni del filtro;

mezzi per l'immagazzinamento o la memorizzazione temporanea dei segnali binari integrati;

un mezzo di immagazzinamento o di me-

moria presentante istruzioni logiche memorizzate in corrispondenza di locazioni accessibili per mezzo di un indirizzo;

un processore, o elaboratore collegato in modo tale da leggere i suddetti segnali binari integrati, temporaneamente memorizzati e le suddette istruzioni logiche memorizzate, il suddetto elaboratore essendo operabile in accordo con le suddette istruzioni logiche memorizzate, per identificare i due segnali fra i suddette segnali binari integrati, memorizzati temporaneamente, e per confrontare i segnali identificati, l'uno rispetto all'altro, al fine di determinare l'entità dello scostamento, vale a dire dello sbilanciamento fra gli stessi.

3. Ricevitore di chiamata, in conformità a quanto illustrato nella rivendicazione 2, in cui i mezzi convertitori operano pure in modo tale da convertire i segnali PCM ricevuti in un segnale di potenza corrispondente ad un valore approssimativamente al quadrato del corrispondente segnale binario lineare, ed in cui l'elaboratore è operabile in accordo con le suddette istruzioni logiche memorizzate, per confrontare il segnale di potenza con uno dei segnali identificati, al

fine di determinare un rapporto segnale/rumore presentante un valore accettabile per una chiamata multifrequenza (MF) valida.

4. Ricevitore di chiamata in conformità a quanto illustrato nella rivendicazione 1, caratterizzata dal fatto ~~x~~ che i mezzi di conversione operano pure in modo tale da convertire i segnali PCM ricevuti in ~~xxxxx~~ segnali binari di potenza ognuno corrispondendo ad un valore approssimato quadratico di uno dei corrispondenti segnali binari lineari; ed in cui i mezzi traslatori comprendono:

mezzi per integrare individualmente i segnali del filtro corrispondenti ad ogni funzione del filtro ed ai segnali di potenza, attraverso un periodo di tempo predeterminato, al fine di derivare un segnale binario integrato corrispondente ad una serie di ognuna delle funzioni del filtro e dei segnali binari di potenza;

mezzi per la memorizzazione temporanea dei segnali binari integrati;

mezzi di memorizzazione presentanti istruzioni logiche memorizzate in corrispondenza di locazioni accessibili per mezzo di un indirizzo;

un elaboratore collegato in modo da leggere i suddetti segnali temporaneamente memorizza-



ti e le suddette istruzioni logiche memorizzate, l'elaboratore essendo operabile in accordo con le suddette istruzioni logiche memorizzate per identificare i tre segnali di livello più elevato fra i suddetti segnali integrati che sono stati memorizzati, per confrontare i due segnali di livello maggiore, fra i suddetti segnali identificati, per un'entità di sbilanciamento accettabilmente piccola per una segnalazione o chiamata valida, per confrontare il secondo segnale identificato, di livello più elevato, con il segnale identificato, di livello più basso, per una quantità di differenza accettabilmente elevata per una segnalazione, o chiamata valida e per confrontare uno dei segnali identificati, di livello maggiore, con i segnali binari di potenza per un rapporto segnale/~~potenza~~ rumore accettabilmente elevato per una chiamata valida.

5. Ricevitore di chiamata in conformità con quanto illustrato nella rivendicazione 1, in cui i mezzi filtranti, di tipo digitale, comprendono:

un mezzo di memoria presentante bytes di bits di dati memorizzati in corrispondenza di locazioni accessibili per mezzo di un indirizzo nel mezzo stesso, terminali per gli indirizzi e termi-

nali per i dati, una pluralità dei terminali, o "posti" di accesso per gli indirizzi essendo collegati in modo tale da ricevere una porzione di ognuno dei segnali di orientamento, il suddetto mezzo di memoria essendo disposto in modo tale da alimentare bytes selezionati fra i suddetti bytes in corrispondenza dei terminali di uscita dei dati in risposta agli stati dei segnali dei terminali di ricezione degli indirizzi;

mezzi accumulatori collegati ai terminali di uscita dei dati del suddetto mezzo di memoria per accumulare i bytes dei dati entro un intervallo di tempo prestabilito, allo scopo di generare uno dei suddetti segnali di ampiezza;

mezzo di ingresso collegato in modo tale da ricevere i bits dei segnali binari lineari dal mezzo convertitore e in modo tale da ricevere i suddetti segnali di ampiezza, i mezzi di ingresso essendo utilizzati per alimentare, in modo sincrono, ai terminali degli indirizzi il segnale istantaneo a carattere binario lineare, con il corrispondente segnale di ampiezza precedente e con il corrispondente segnale di ampiezza immediatamente precedente, ognuno dei suddetti segnali essendo alimentato, in questo modo, secondo un formato serie/parallelo dei

bits.

6. Ricevitore di chiamata, in conformità con quanto illustrato nella rivendicazione 1, in cui il mezzo filtrante, di tipo digitale, comprende:

mezzi di memoria presentanti bytes di bits dei dati memorizzati in corrispondenza di locazione accessibili da un indirizzo, nello stesso, terminali per i dati ed una pluralità di terminali per gli indirizzi rappresentati da primi terminali, da secondi terminali, da terzi terminali e da terminali di ricezione dei segnali di orientamento, i terminali degli indirizzi di orientamento essendo collegati in modo tale da ricevere i segnali di ~~xxxx~~ orientamento, o di guida, i bits dei dati essendo disposti in modo tale da facilitare le funzioni del filtro, secondo quanto selezionato dai segnali di orientamento, i mezzi di memoria essendo ~~xxxx~~ disposti in modo tale da alimentare determinati bytes selezionati fra i bytes di bits dei dati in corrispondenza dei terminali per i dati, in risposta dei terminali per i dati, in risposta agli stati dei segnali ~~f~~ dei terminali di ricezione dei segnali di indirizzo;

~~xx~~ mezzi di ingresso collegati fra i  
~~xxxxxxx~~

mezzi convertitori ed i primi terminali per gli indirizzi per alimentare, sequenzialmente, i bits di ogni segnale binario lineare, in raggruppamenti paralleli di almeno due, ai primi terminali degli indirizzi ad ogni presenza di uno dei segnali di orientamento;

mezzi accumulatori collegati ai terminali di alimentazione dei dati per l'accumulazione dei bytes per la durata di ognuno dei segnali individuali di orientamento, per generare un corrispondente segnale fra i suddetti segnali di ampiezza;

mezzi di uscita collegati fra il ~~xxx~~ mezzo ~~xxxx~~ accumulatore ed il mezzo traslatore per trasferire sequenzialmente, all'uscita, i bits di ogni segnale di ampiezza nei suddetti raggruppamenti paralleli;

secondi mezzi di ingresso collegati fra i mezzi di uscita ed i secondi terminali di indirizzo, per ritardare l'arrivo dei suddetti raggruppamenti paralleli di ogni segnale di ampiezza in corrispondenza dei secondi terminali di indirizzo, di un periodo di tempo prestabilito, per sincronizzare ogni segnale di ampiezza con un successivo corrispondente segnale binario lineare e

la presenza della corrispondente funzione del filtro;

terzi mezzi di ingresso collegati ai terzi terminali di indirizzo per ritardare l'arrivo dei suddetti raggruppamenti paralleli di ogni segnale di ampiezza in corrispondenza dei terzi terminali di indirizzo, di una quantità predeterminata di tempo, per sincronizzare ogni segnale ~~xxxxxx~~ di ampiezza con un segnale binario lineare successivo rispetto al corrispondente segnale successivo e la presenza della corrispondente funzione del filtro;

in modo tale che i suddetti segnali di ampiezza vengono generati in modo ~~xxxx~~ sequenziale.

7. Ricevitore di chiamata in conformità a quanto illustrato nella rivendicazione 1, in cui il suddetto mezzo traslatore comprende un processore e mezzi operanti in ~~xxx~~ modo tale da consentire all'elaboratore, o processore, di determinare la validità della chiamata iniziale PCM MF, per mezzo dello svolgimento di una serie di funzioni di processo che richiedono un primo periodo di tempo finito per lo svolgimento, e per provocare il funzionamento dell'elaboratore allo scopo di determinare la continuità della chiamata continua

PCM MF per mezzo di un'altra serie di funzioni di processo che richiedono, per lo svolgimento, un periodo di tempo inferiore al suddetto primo periodo di tempo.

8. Ricevitore di chiamata multifrequenza per la ricezione e la traslazione di una chiamata PCM MF in un formato codificato dei segnali compatibile con un combinatore, o "controller" in un impianto di commutazione multiplex a divisione di tempo (TDM), il ricevitore di chiamata comprendendo:

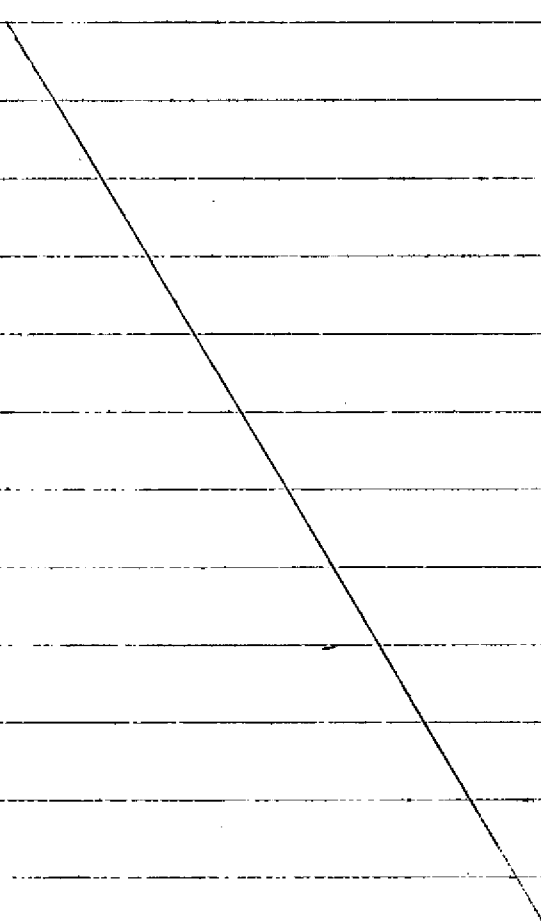
mezzi di generazione collegati in modo tale da poter venir sincronizzati con l'impianto di commutazione TDM, per generare una serie di ~~segn~~ segnali di ~~orizz~~ orientamento su di una base ripetitiva;

un mezzo di filtraggio a condivisione temporale, sensibile ai segnali di orientamento, per lo svolgimento di una pluralità di funzioni prefissate del filtro a banda passante, con una serie di segnali PCM ricevuti dall'impianto di commutazione TDM e per generare, dagli stessi, una corrispondente serie di segnali di ampiezza correlati ad ognuna delle suddette funzioni del filtro;

mezzi traslatori, sensibili ai segnali

di orientamento e ai suddetti segnali di ampiezza,  
per determinare la presenza di una chiamata valida  
e per traslare la suddetta chiamata valida in segna-  
li rappresentativi di dati in un formato codificato  
prestabilito dei segnali.

9.



svolgimento di una pluralità di funzioni prefissate del filtro a banda passante, con una serie di segnali PCM ricevuti dall'impianto di commutazione TDM e per generare, dagli stessi, una corrispondente serie di segnali di ampiezza correlati ad ognuna di dette funzioni del filtro;

un circuito traslatore di chiamata (50), sensibile ai segnali di orientamento ed a detti segnali di ampiezza, per determinare la presenza di una chiamata valida e per operare la traslazione di detta chiamata valida in segnali rappresentativi di dati in un formato codificato prestabilito dei segnali.

9. Metodo per la traslazione di una chiamata PCM MF in un formato codificato di segnali, compatibile con un combinatore, o "controller" in un impianto di commutazione TDM, detto metodo includendo le seguenti fasi:

(a) ricezione di segnali PCM selezionati dall'impianto di commutazione TDM;

(b) conversione di ognuno dei segnali PCM ricevuti in un corrispondente segnale binario lineare presentante una pluralità di bits, caratterizzato dal fatto che comprende le seguenti fasi:



(c) generazione di almeno una serie di segnali di orientamento con ogni presenza di quadro nel formato dei segnali PCM;

(d) svolgimento di una pluralità di funzioni di un filtro a banda passante con i segnali a carattere binario lineare, come dirette dai segnali di orientamento e generazione di segnali di ampiezza consistenti di bits dei segnali e corrispondenti alle ampiezze dei segnali binari lineari presentanti frequenze corrispondenti alle frequenze definite dalla rispettiva funzione del filtro a banda passante; e

(e) rivelazione della presenza di una chiamata multifrequenza (MF) dai segnali rappresentativi delle ampiezze, e traslazione della chiamata multifrequenza in accordo con i segnali di orientamento, in segnali rappresentativi di dati in detto formato dei segnali.

10. Metodo secondo la rivendicazione 9, caratterizzato dal fatto che la fase (d) viene svolta in un filtro digitale includente una memoria (40) presentante bytes di bits dei dati memorizzati in corrispondenza di locazioni accessibili, per mezzo di un indirizzo, nella stessa, la fase (d) essendo

pure caratterizzata dalle seguenti fasi:

(f) lettura, da parte della memoria, di detti bytes, come selezionati dai segnali di indirizzo applicati alla stessa, detti segnali di indirizzo consistendo di bits dei segnali ed includendo una porzione di ognuno dei segnali di orientamento;

(g) accumulazione dei bytes letti dalla memoria per un periodo di tempo prefissato, allo scopo di generare uno di detti segnali rappresentativi dell'ampiezza;

(h) generazione di una porzione di ognuno di detti segnali di indirizzo da un determinato segnale fra detti segnali binari lineari, <sup>dal</sup>corrispondente segnale precedente, rappresentativo dell'ampiezza e dal corrispondente segnale, rappresentativo dell'ampiezza, che precede detto segnale precedente; e

(i) applicazione di detta porzione, in modo sequenziale, in un formato seriale/parallelo, in gruppi di almeno sei bits, ognuno alla memoria, durante il periodo di tempo prestabilito.

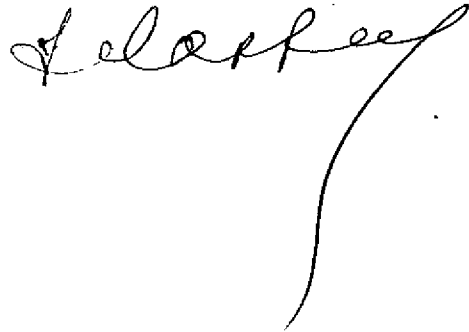
11. Metodo secondo la rivendicazione 9, in cui la fase (e) e' caratterizzata dalle fasi consistenti nel determinare se la chiamata e' iniziale, o continua e, nel primo caso, nello svolgere una serie di funzioni di elaborazione per determinare la va-

lidità della chiamata e, nel secondo caso, nello svolgere una serie differente di funzioni di elaborazione, allo scopo di determinare la continuità della chiamata attuale rispetto alla chiamata immediatamente precedente.

Milano, 18 Febbraio 1980 -

PER TRADUZIONE CONFORME

UFFICIO BREVETTI ING. C. GREGORJ

A handwritten signature in dark ink, appearing to read 'C. Gregorj', with a long, sweeping flourish extending downwards and to the right.

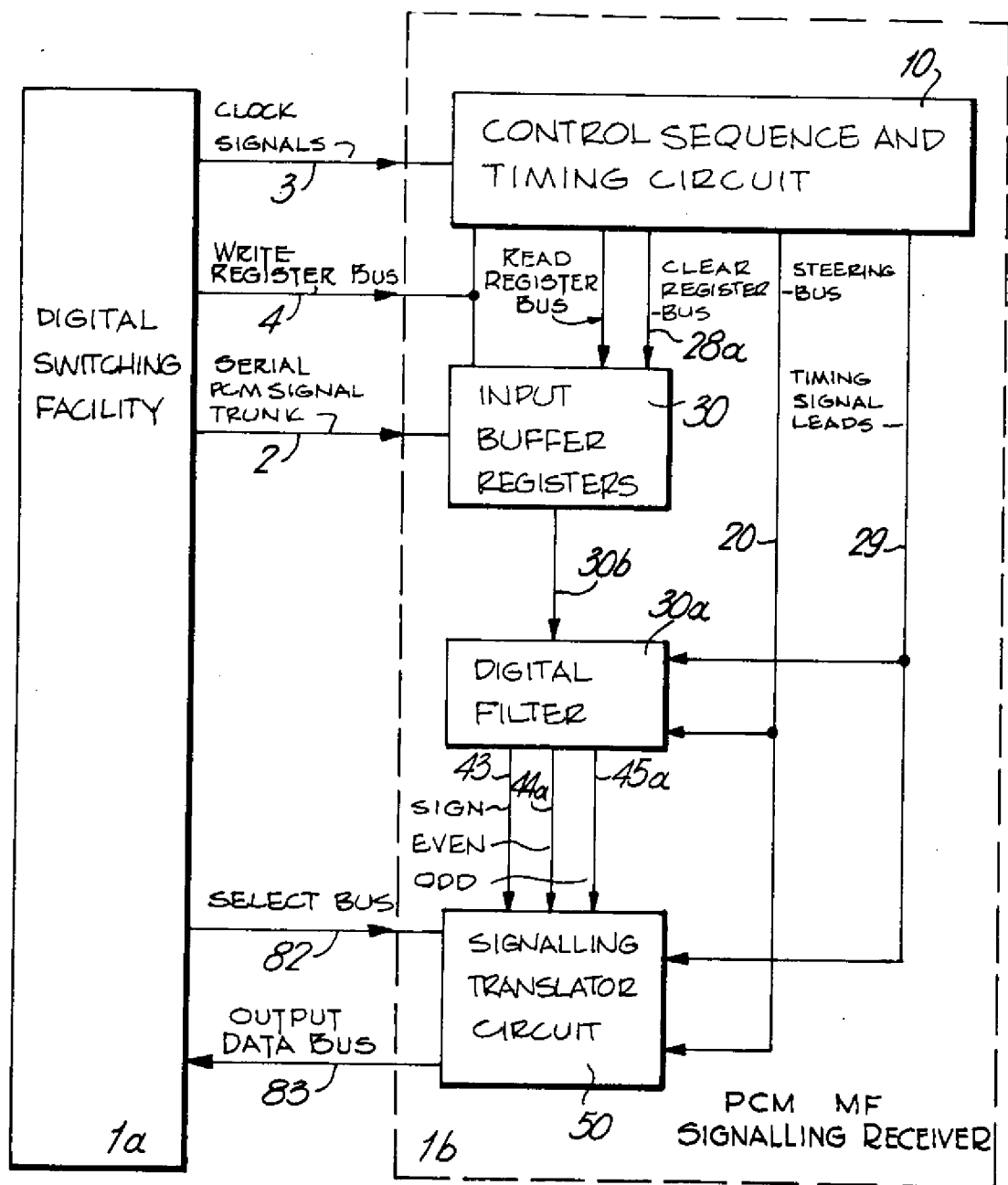


Fig. 1.

Harper  
PATENT AGENT

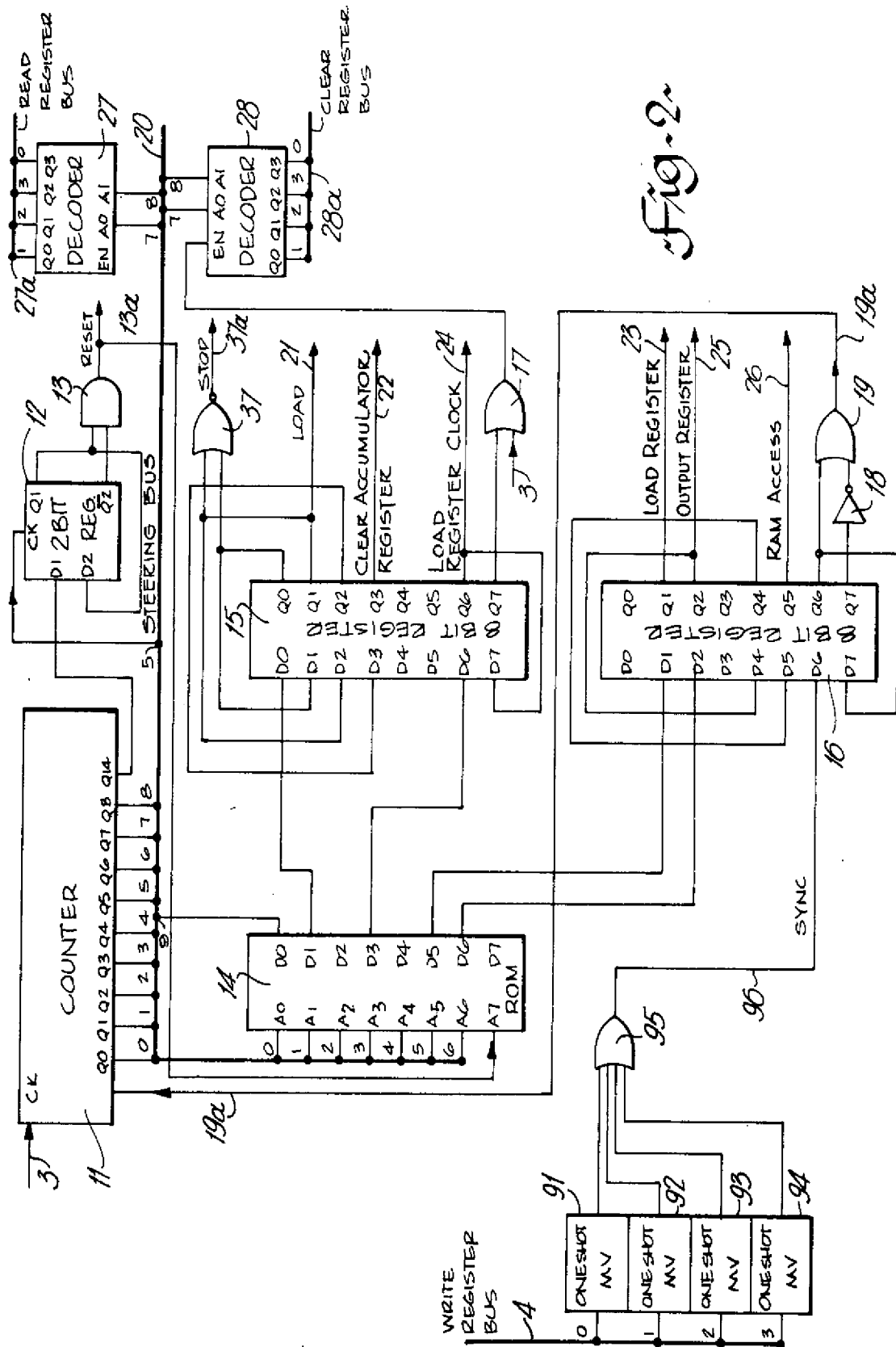


Fig. 2

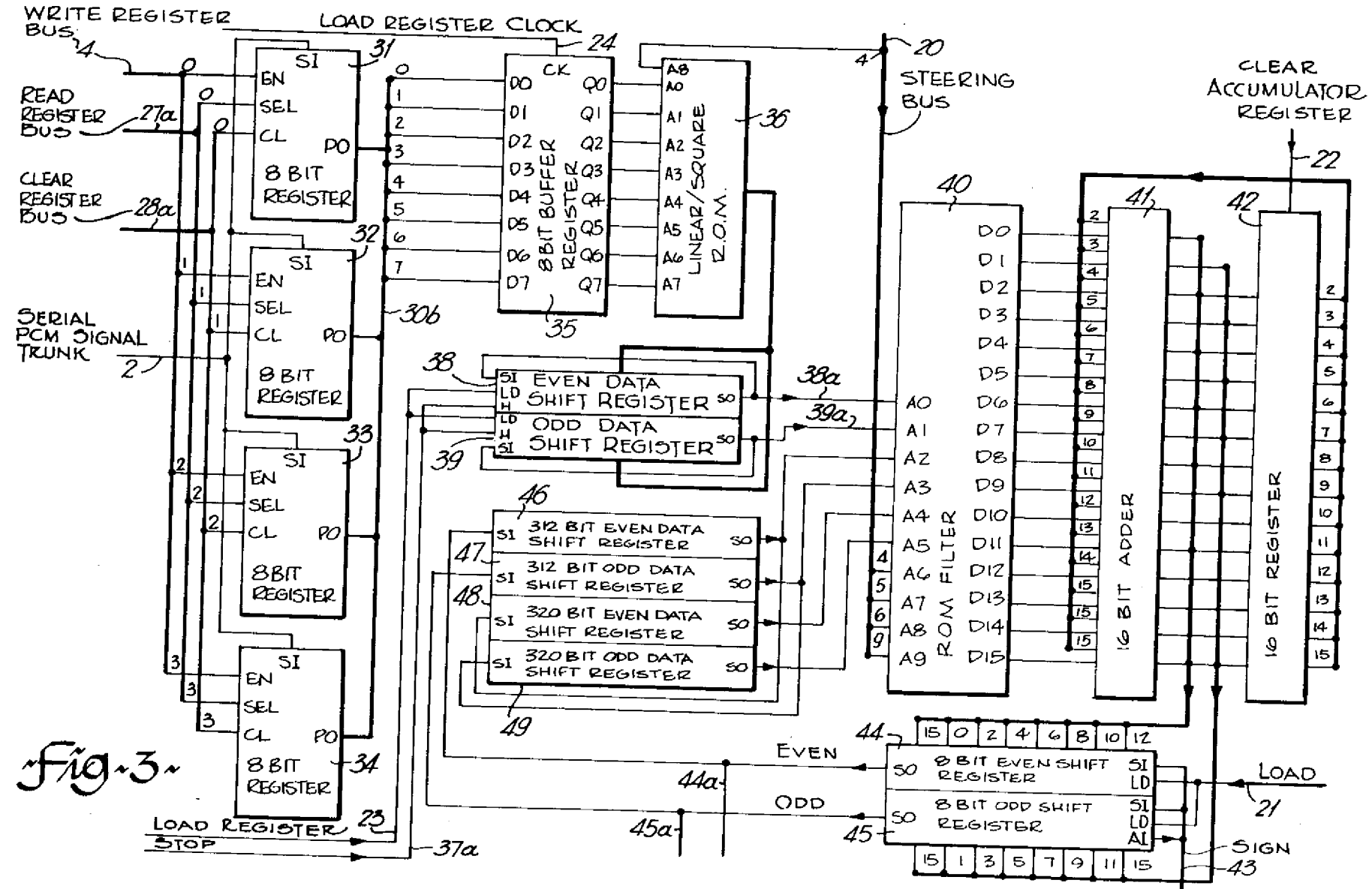


Fig. 3.

Thompson  
PATENT AGENT

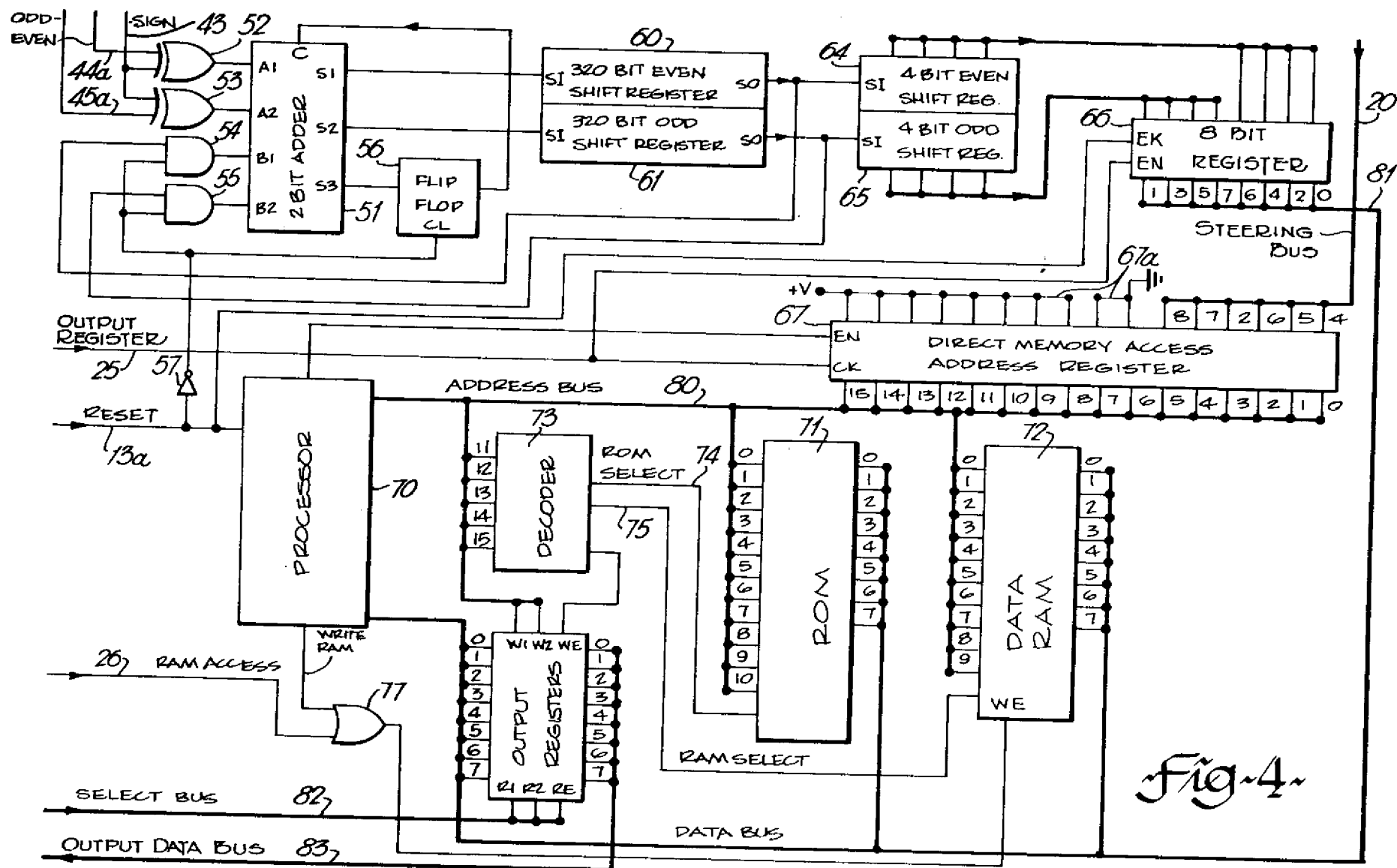


Fig. 4

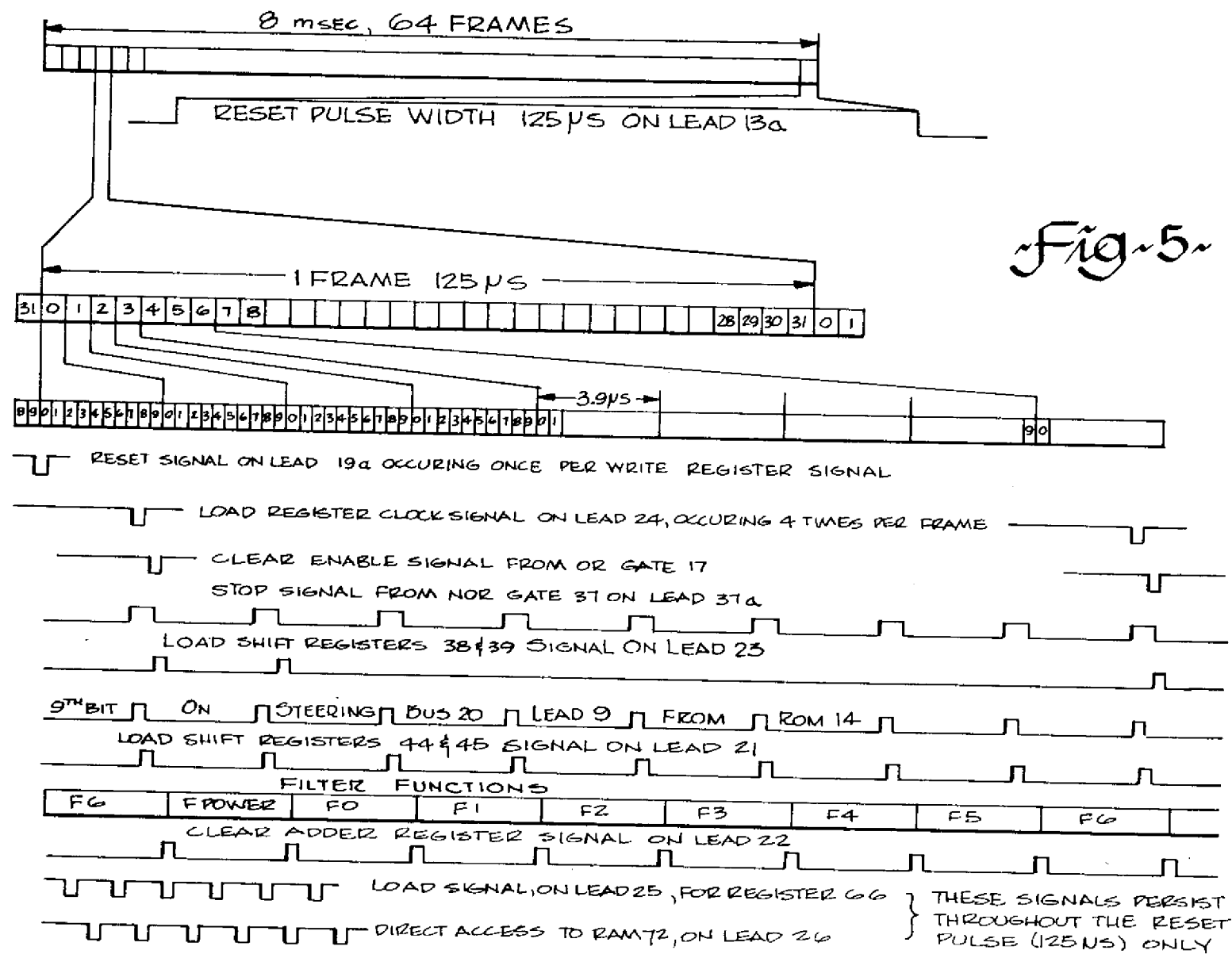


Fig. 5



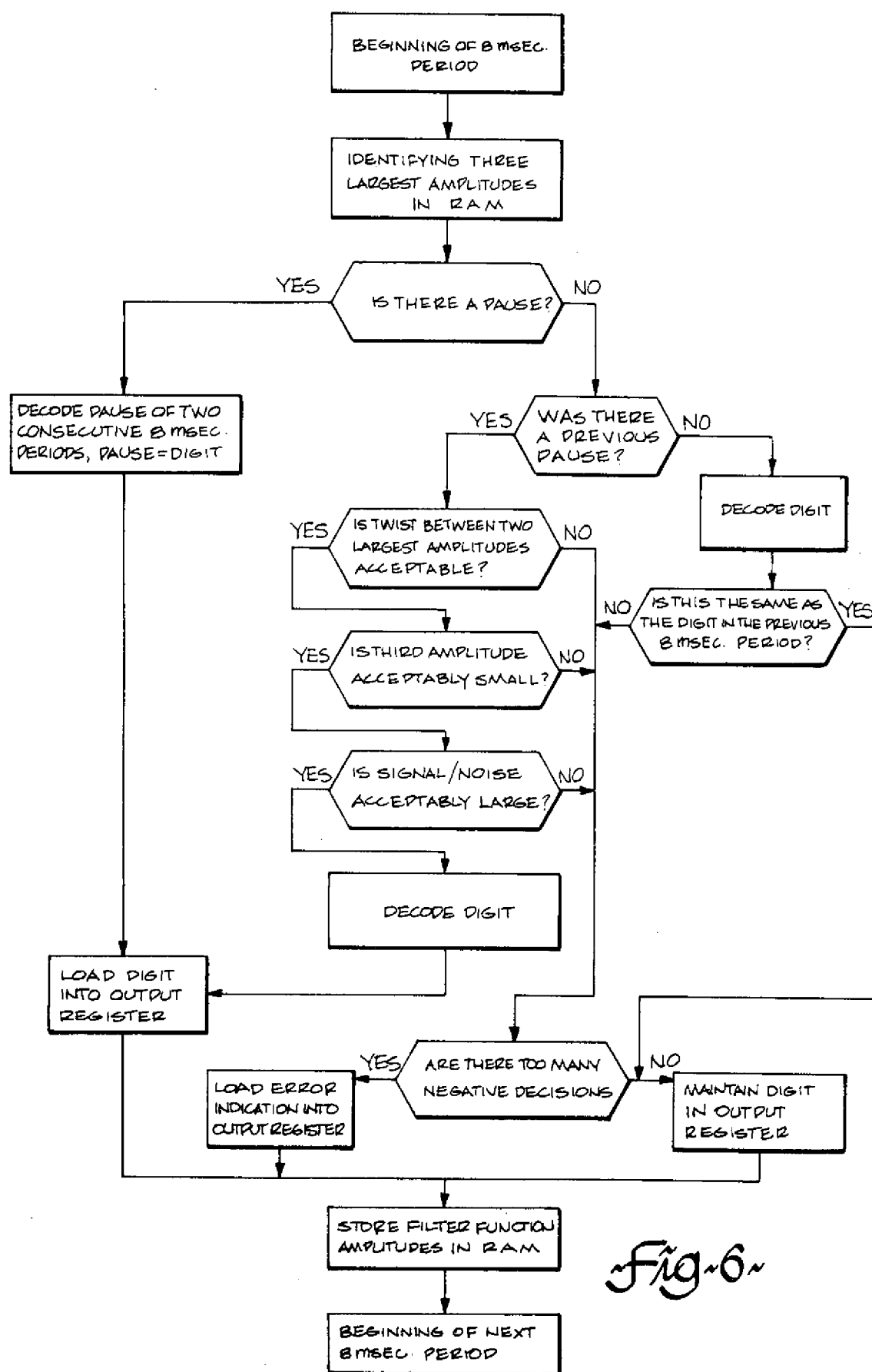
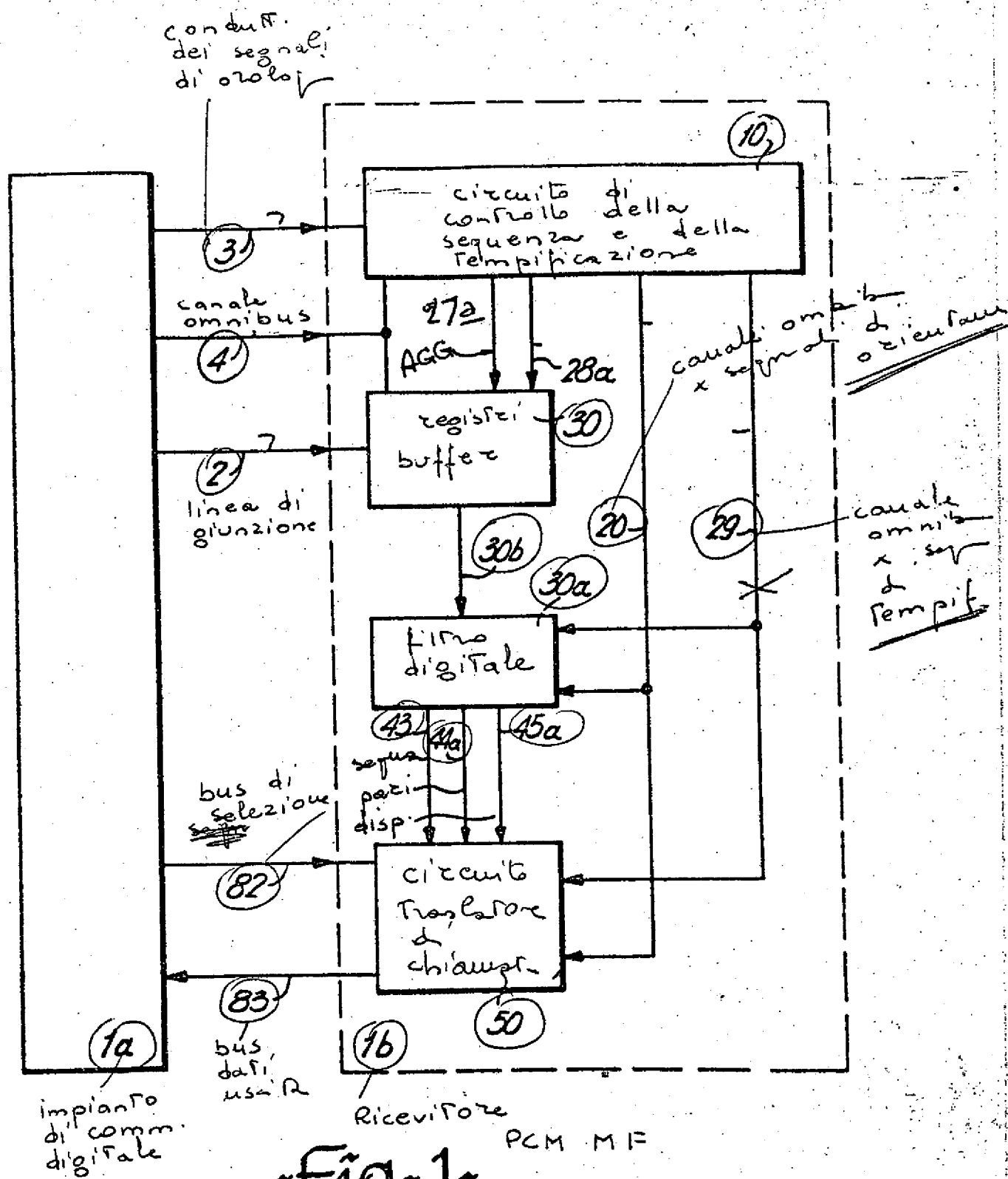


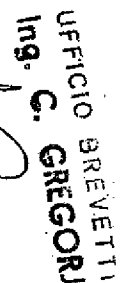
Fig. 6~

conduff. del tempo

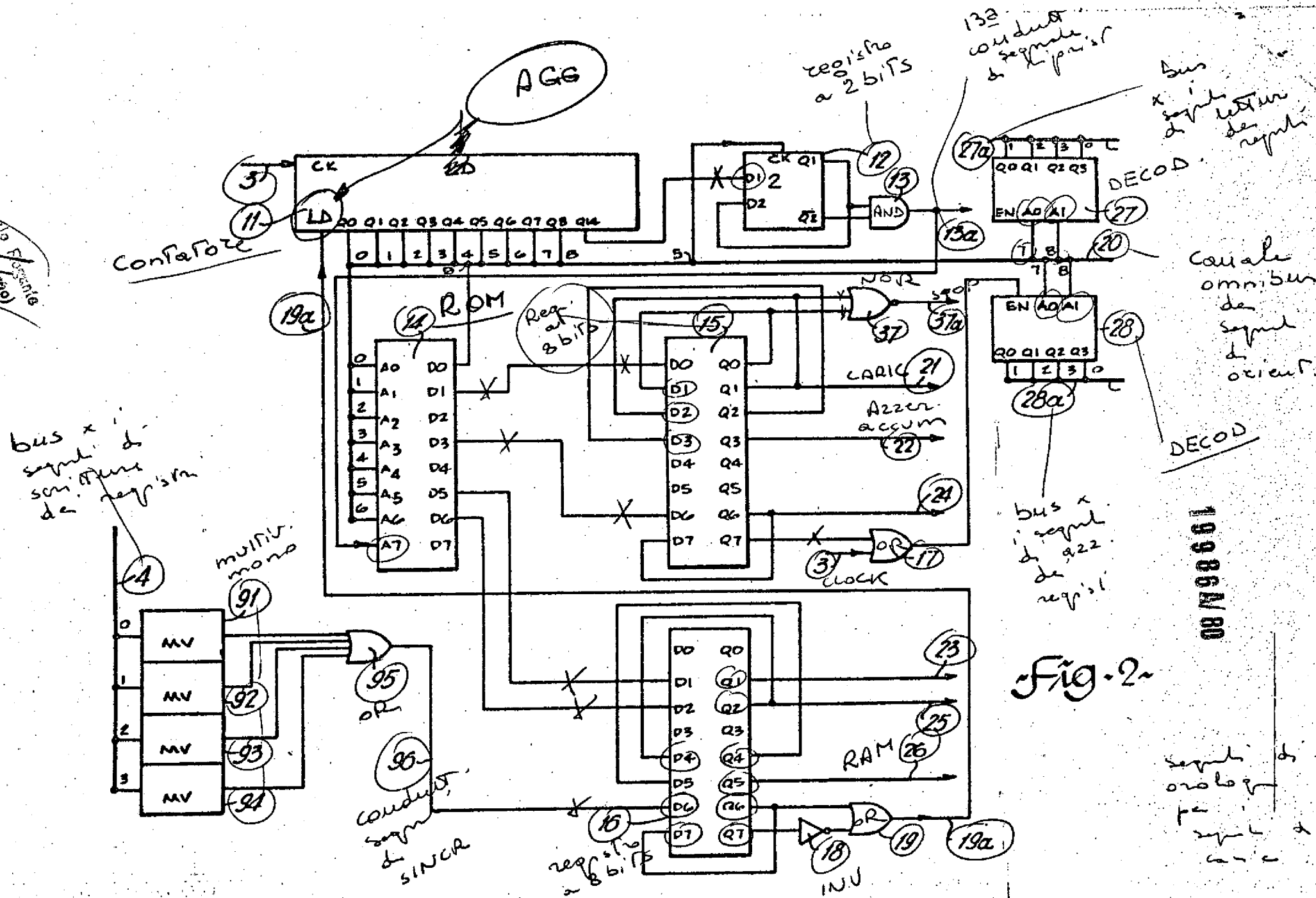
Trunk  
e linea di giunzione

19986A/80





7072





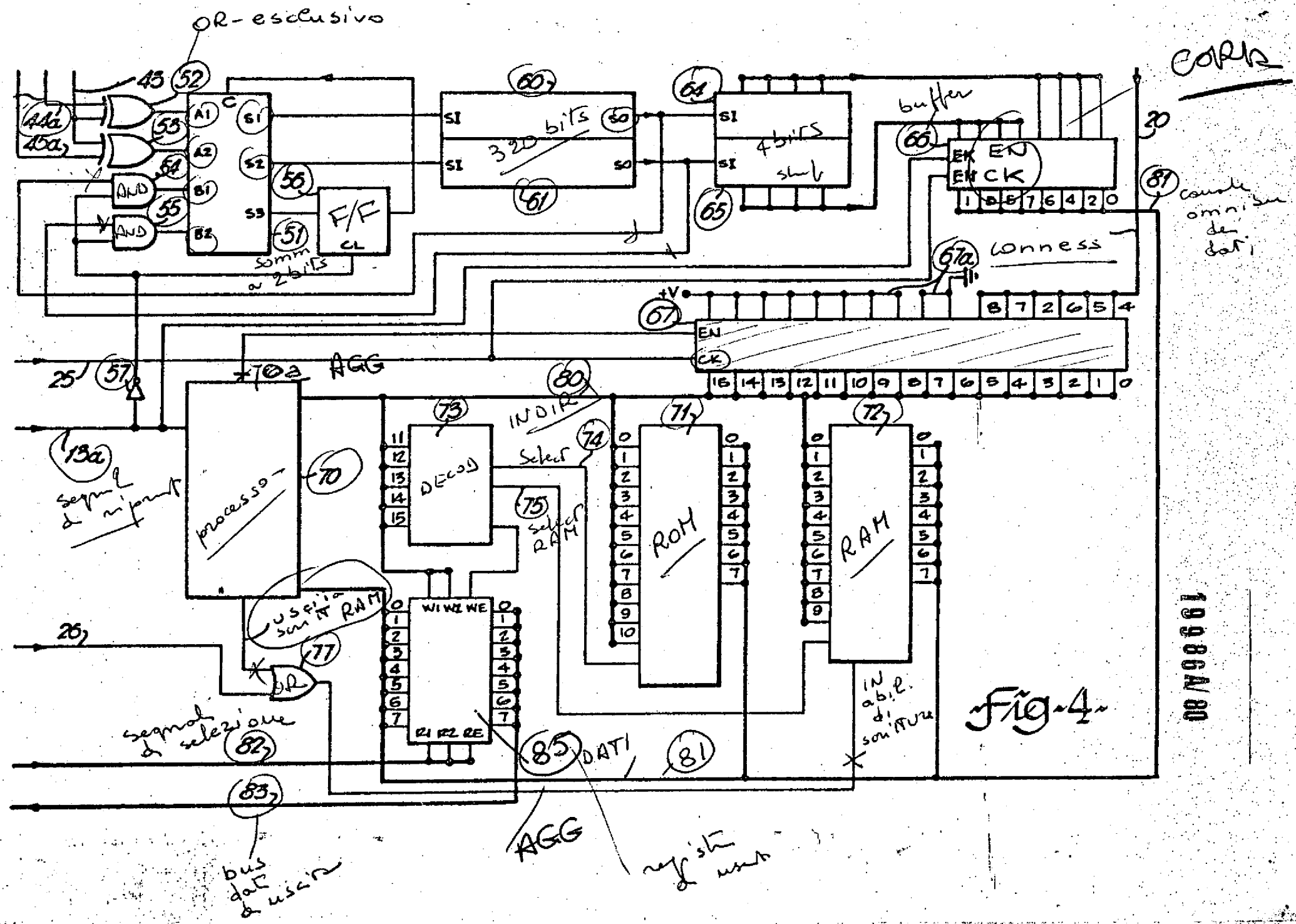
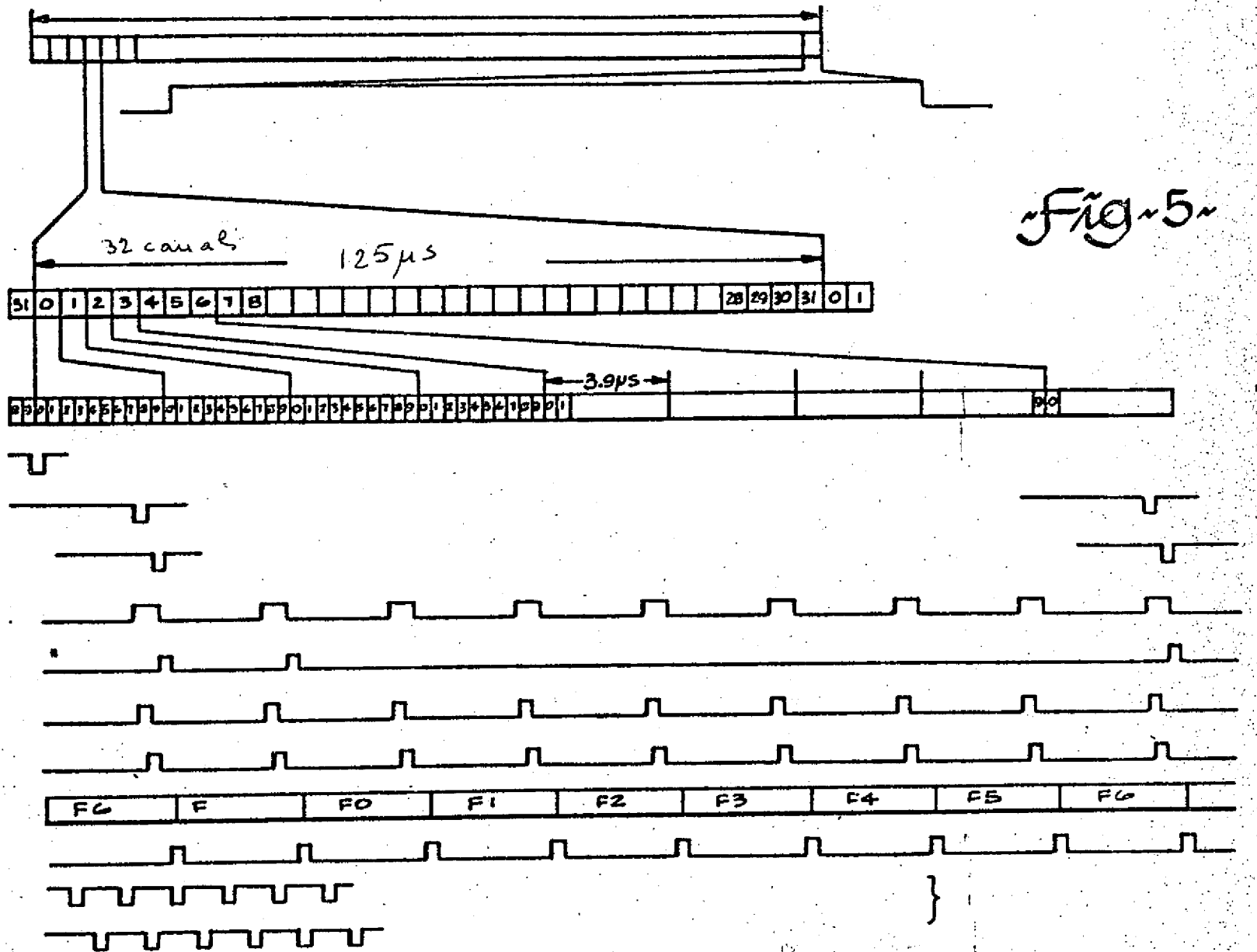


Fig. 5



199864/80

UFFICIO BREVETTI  
Ing. C. GREGORI

64207

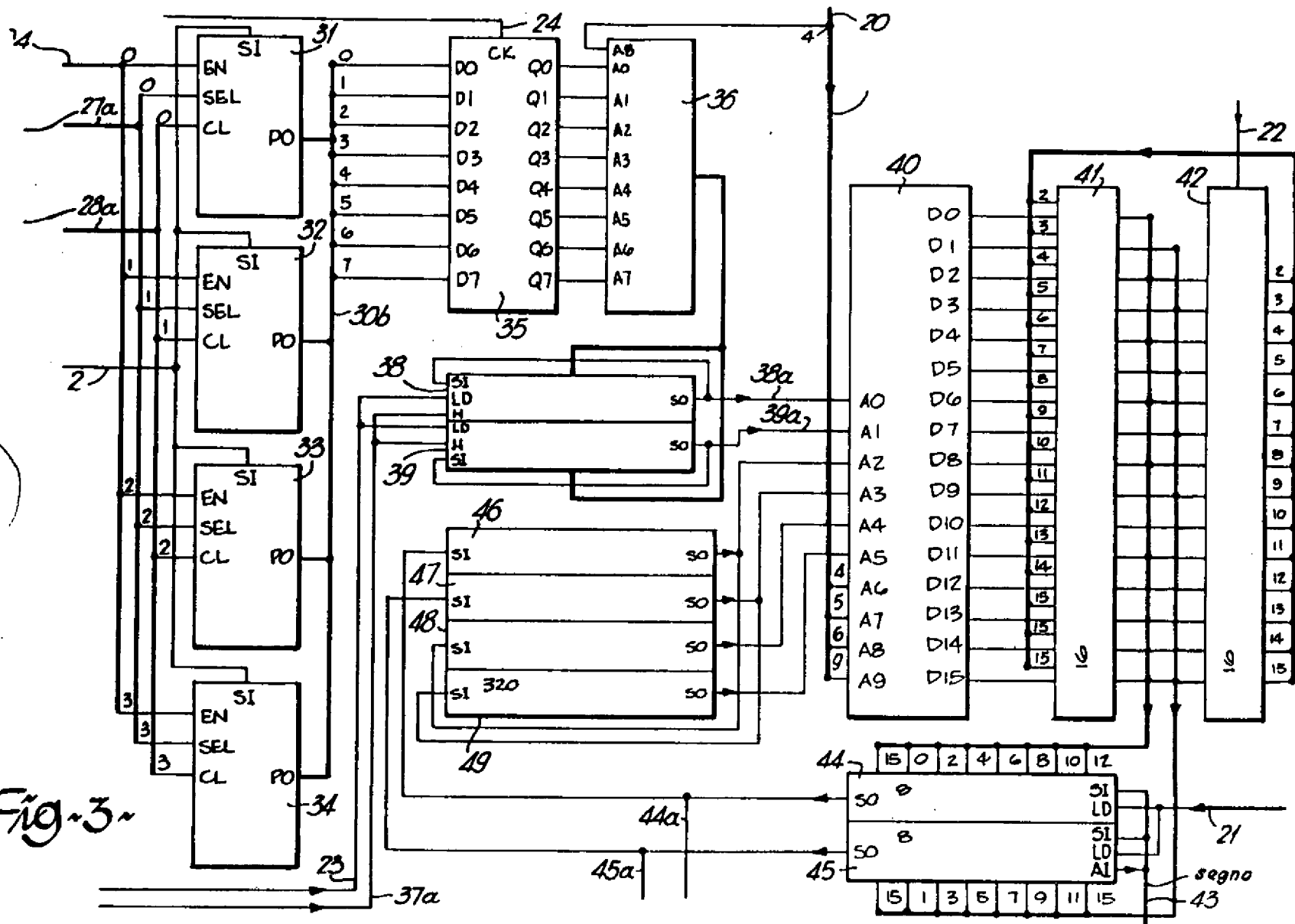








Fig. 3



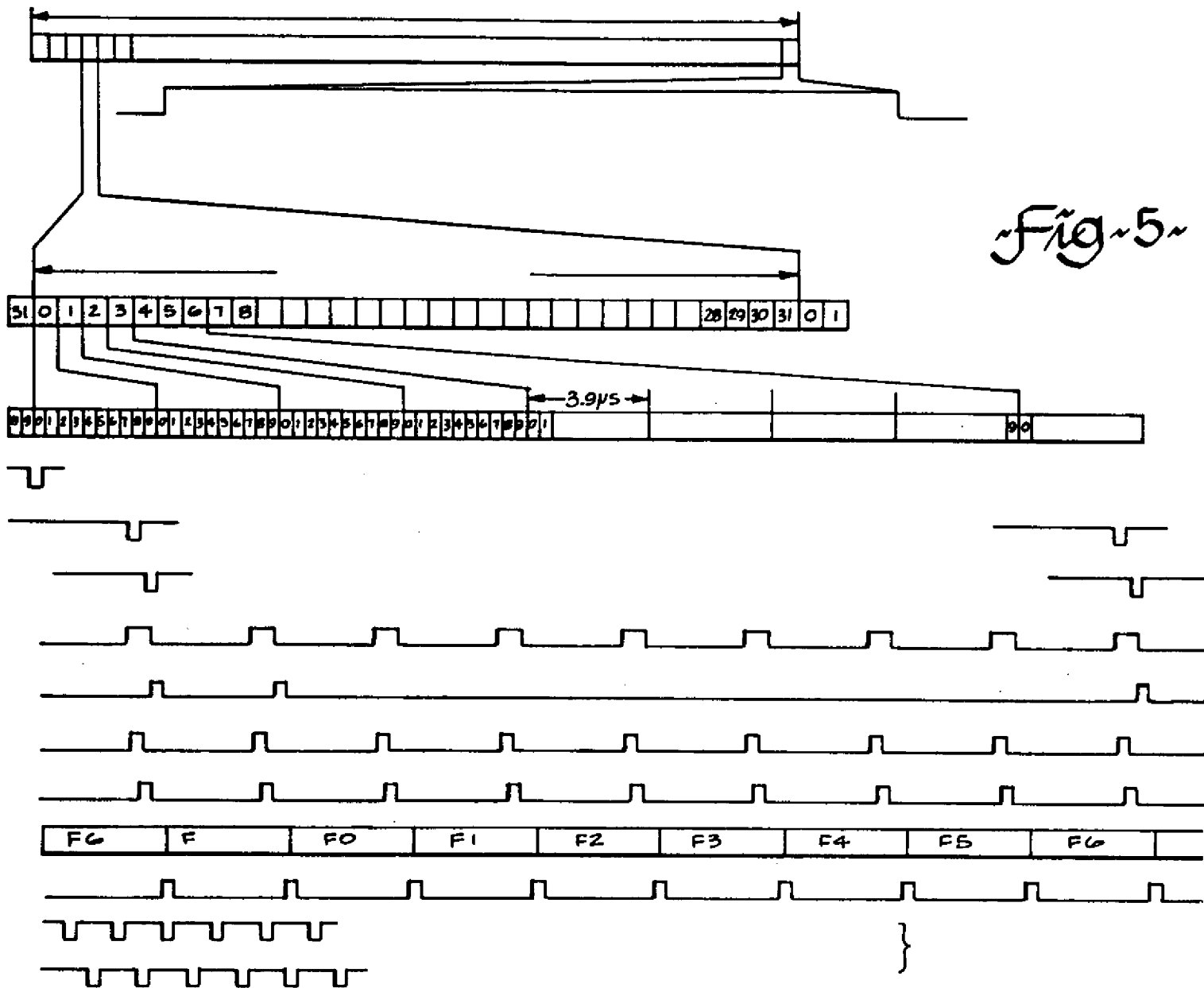




l'Ufficiale Responsabile  
(Pietro Mancuso)

ing. C. CECCHI  
UNIVETI

Fig. 5



19986 A/80

4 0440 1

19986 A/80

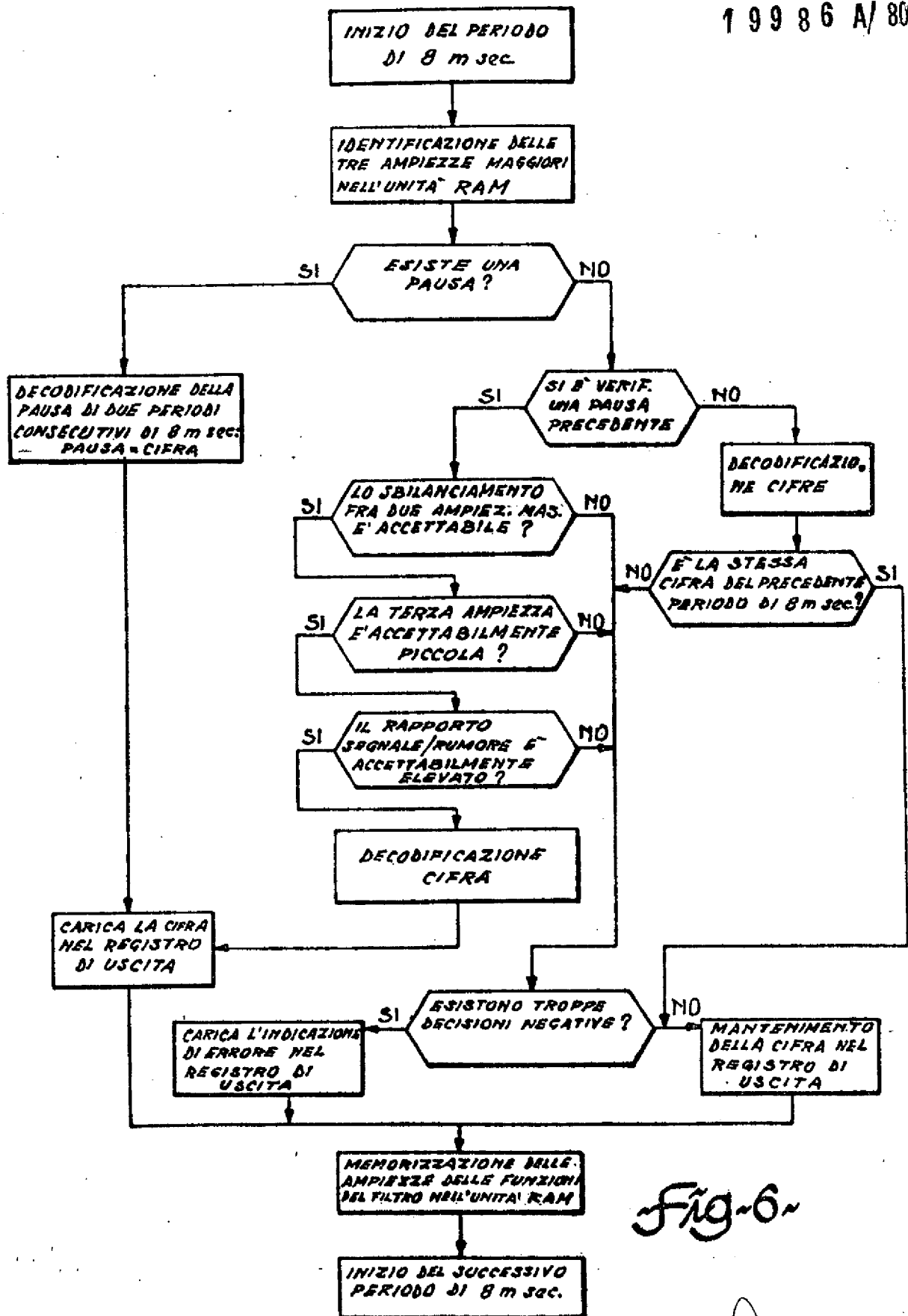


Fig. 6



l'Ufficiale Rogante  
(Pietro Messing)

UFFICIO BREVETTI  
Ing. *[Signature]*