



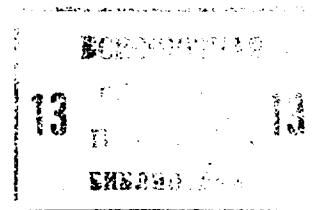
СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) **SU** (11) **1288705** **A1**

(51) 4 G 06 F 13/00

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 3874926/24-24

(22) 22.03.85

(46) 07.02.87. Бюл. № 5

(72) В.В.Мазаник

(53) 681.3(088.8)

(56) Авторское свидетельство СССР
№ 881722, кл. G 06 F 3/04, 1981.

Авторское свидетельство СССР
№ 1254497, кл. G 06 F 13/00, 1985.

(54) УСТРОЙСТВО ДЛЯ РАСПРЕДЕЛЕНИЯ
РЕСУРСОВ ПАМЯТИ В ВЫЧИСЛИТЕЛЬНОМ КОМПЛЕКСЕ

(57) Изобретение относится к области вычислительной техники, в частности к устройствам управления, и может быть использовано для управления многобуферным обменом в вычислительных комплексах. Целью изобретения

является расширение функциональных возможностей за счет управления многобуферным обменом в вычислительных комплексах. Устройство содержит генератор импульсов, счетчик, блок памяти, коммутатор, с первого по третий дешифраторы, с первого по третий регистры, первый и второй триггеры, группу счетчиков, формирователь импульсов, элемент запрета, первый и второй элементы задержки, первый и второй блоки элементов ИЛИ, с первого по четвертый блоки элементов И, первый и второй элементы И, группу блоков элементов И. Устройство осуществляет аппаратную переадресацию памяти, образуя адрес из номера блока памяти и дескриптора адреса. 1 ил.

(19) **SU** (11) **1288705** **A1**

Изобретение относится к вычислительной технике, в частности к устройствам управления, и может быть использовано для управления многобуферным обменом с памятью в вычислительных комплексах.

Цель изобретения - расширение функциональных возможностей за счет управления буферным обменом в вычислительном комплексе.

На чертеже представлена структурная схема устройства.

Устройство содержит генератор 1 импульсов, счетчик 2, блок 3 памяти, коммутатор 4, первый 5, второй 6, и третий 7 дешифраторы, первый 8, второй 9 и третий 10 регистры, первый 11 и второй 12 триггеры, группу счетчиков 13, формирователь 14 импульсов, элемент 15 запрета, первый 16 и второй 17 элементы задержки, первый 18 и второй 19 блоки элементов ИЛИ, первый 20, второй 21, третий 22 и четвертый 23 блоки элементов И, первый 24 и второй 25 элементы И, первую 26 и вторую 27 группы блоков элементов И, блок 28 элементов ИЛИ, блок 29 регистров, выход 30 задания номера блока вычислительного комплекса, выход 31 старших разрядов дискриптора вычислительного комплекса, выход 32 запуска вычислительного комплекса, выход 33 кода откреплённого буфера вычислительного комплекса, выход 34 младших разрядов дискриптора вычислительного комплекса, вход 35 младших разрядов дискриптора вычислительного комплекса, вход 36 готовности вычислительного комплекса, вход 37 старших разрядов дискриптора вычислительного комплекса.

Устройство работает следующим образом.

В исходном состоянии регистры 8 - 10, триггеры 11 и 12, счетчик 2 обнулены, в регистрах 29 хранятся коды номеров блоков, i -й ($i=1, n$) счетчик 13 обнулен, если i -й буфер не находится в обмене.

С выхода 30 вычислительного комплекса (ВК) в регистр 8 записывается код j номера блока (параметра операции записи или чтения при многобуферном обмене), с выхода 31 ВК в регистр 9 записывается код старших разрядов дискриптора, с выхода 32 ВК поступает импульс запуска, который устанавливает триггер 11 в единичное

состояние. При этом на j -м выходе дешифратора 5 появляется сигнал, который разрешает подключение инверсных выходов j -го счетчика 13 к второму входу j -го блока 26 элементов И. Если j -й счетчик 13 находится в нулевом состоянии, то на выходе формирователя 14 появляется сигнал, который разрешает выдачу кода номера j блока из j -го регистра 29 в регистр 10 (код младших разрядов дискриптора), а затем выдачу кода дискриптора из регистров 9 и 10 на вход 35 ВК. При этом также регистры 8 - 10, триггеры 11 и 12 и счетчик 2 устанавливаются в нулевое состояние, сигнал с выхода элемента 17 задержки поступает на вход готовности ВК, содержащее j -го счетчика 13 увеличивается на единицу, т.е. j -й буфер захватывается для обмена.

Если содержимое j -го счетчика 13 не равно нулю, то нулевой сигнал с выхода формирователя 14 разрешает прохождение задержанного элементом 16 импульса запуска через элемент 15 запрета и установку в единичное состояние триггера 12. При этом с помощью счетчика 2 и генератора 1 проводится последовательный анализ содержимого счетчиков 13 до тех пор, пока не найден i -й счетчик 13, содержимое которого равно нулю. Далее работа устройства аналогична процессу, описанному для случая j -го счетчика 13.

С выхода 33 ВК поступает импульсный код l номера откреплённого буфера, в результате чего l -й счетчик 13 обнуляется.

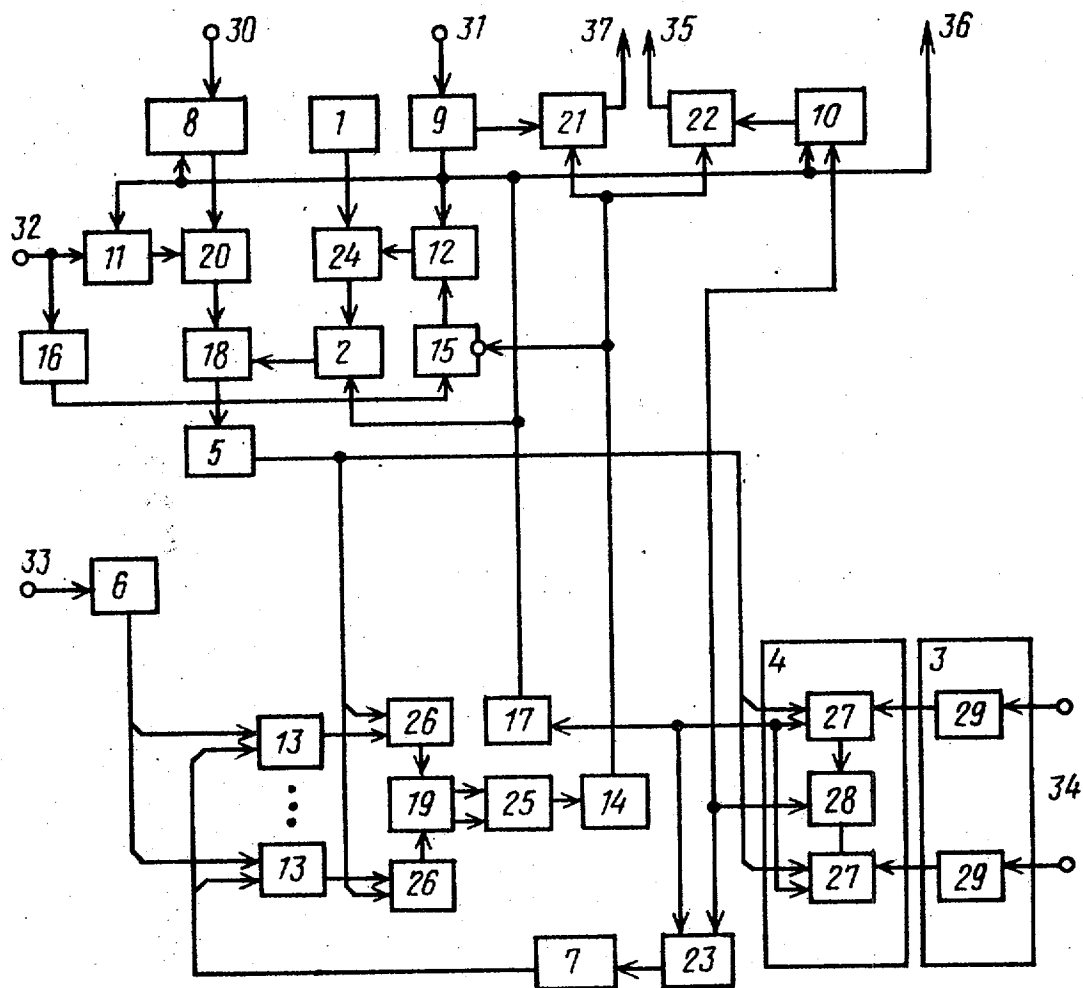
Таким образом, устройство формирует в качестве результата дискриптор с соответствующим математическим адресом, описывающим информационную часть выявленного для обмена буфера.

Ф о р м у л а и з о б р е т е н и я

Устройство для распределения ресурсов памяти в вычислительном комплексе, содержащее счетчик, первый дешифратор, блок памяти, коммутатор, генератор импульсов, первый триггер, первый и второй блоки элементов И, группу счетчиков, первый регистр, первый блок элементов ИЛИ, первый элемент И, группу блоков элементов И, причем вход младших разрядов дискриптора

памяти устройства соединен с информационным входом блока памяти, выход которого подключен к информационному входу коммутатора, первый, второй входы и выход первого элемента И соединены соответственно с выходами первого триггера, генератора импульсов и со счетным входом счетчика, вход задания режима устройства подключен к информационному входу первого регистра, отличающееся с тем, что, с целью расширения функциональных возможностей за счет управления буферным обменом в вычислительном комплексе, в него введены второй и третий дешифраторы, второй и третий регистры, второй триггер, формирователь импульсов, элемент запрета, первый и второй элементы задержки, второй блок элементов ИЛИ, третий и четвертый блоки элементов И, второй элемент И, причем выход первого блока элементов И подключен к входу первого дешифратора, выход первого регистра соединен с первым входом первого блока элементов И, выход которого подключен к первому входу первого блока элементов ИЛИ, вход запуска устройства подключен к единичному входу второго триггера и к входу первого элемента задержки, выход которого подключен к информационному входу элемента запрета, вход старших разрядов дискриптора памяти устройства подключен к информационному входу второго регистра, выход которого соединен с первым входом второго блока элементов И, выход которого соединен с выходом старших разрядов дискриптора памяти устройства, выход формирователя импульсов подключен к входу второго элемента задержки, к первому входу третьего и четвертого блоков

элементов И, к второму входу второго блока элементов И, к управляющему входу коммутатора и к управляющему входу элемента запрета, выход которого соединен с единичным входом первого триггера, выход второго элемента задержки подключен к входам сброса счетчика, первого, второго и третьего регистров, первого и второго триггеров и к выходу готовности устройства, выход счетчика соединен с вторым входом первого блока элементов ИЛИ; выход третьего регистра подключен к второму входу третьего блока элементов И, выход которого соединен с входом младших разрядов дискриптора памяти устройства, вход кода маски буфера устройств подключен к входу второго дешифратора, выходы которого подключены к входам сброса соответствующих счетчиков группы, инверсные выходы которых подключены к первым входам соответствующих блоков элементов И группы, вторые входы которых подключены к выходам первого дешифратора, выходы блоков элементов и группы подключены к входам второго блока элементов ИЛИ, выход которого соединен с соответствующим входом второго элемента И, выход которого подключен к входу формирователя импульсов, выход коммутатора подключен к информационному входу третьего регистра и к второму входу четвертого блока элементов И, выход которого соединен с входом третьего дешифратора, выходы которого подключены к счетным входам соответствующих счетчиков группы, выход первого дешифратора подключен к второму информационному входу коммутатора, выход второго триггера подключен к второму входу первого блока элементов И.



Редактор Н.Бобкова Составитель С.Бурухин Техред Л.Олейник Корректор А.Зимокосов

Заказ 7810/48

Тираж 673

Подписное

ВНИИПИ Государственного комитета СССР

по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г.Ужгород, ул.Проектная, 4