



(12) 发明专利申请

(10) 申请公布号 CN 101996895 A

(43) 申请公布日 2011.03.30

(21) 申请号 201010254218.1

(22) 申请日 2010.08.12

(30) 优先权数据

12/540174 2009.08.12 US

(71) 申请人 新科金朋有限公司

地址 新加坡新加坡市

(72) 发明人 R · A · 帕盖拉

(74) 专利代理机构 中国专利代理(香港)有限公司

72001

代理人 李娜 王忠忠

(51) Int. Cl.

H01L 21/50(2006.01)

H01L 21/60(2006.01)

H01L 23/52(2006.01)

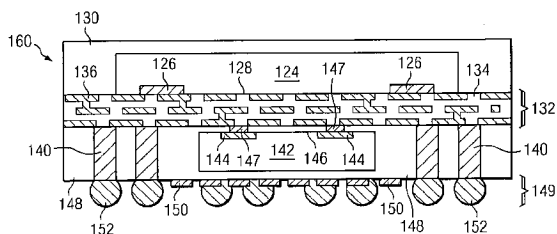
权利要求书 3 页 说明书 9 页 附图 8 页

(54) 发明名称

半导体器件及其制造方法

(57) 摘要

本发明涉及半导体器件及其制造方法。一种半导体器件具有被安装到内建互连结构的相对侧的双模塑半导体管芯。第一半导体管芯被安装到临时载体。第一密封剂被沉积在第一半导体管芯和临时载体上。除去所述临时载体。第一互连结构被形成在第一密封剂的第一表面和第一半导体管芯上。第一互连结构被电连接到第一半导体管芯的第一接触焊盘。在第一互连结构上形成多个导电柱。第二半导体管芯在导电柱之间被安装到第一互连结构。第二密封剂被沉积在第二半导体管芯上。第二互连结构被形成在第二密封剂上。第二互连结构被电连接到导电柱以及第一和第二半导体管芯。



1. 一种制造半导体器件的方法,包括:
  - 提供临时载体;
  - 利用面向所述临时载体的多个第一接触焊盘安装第一半导体管芯;
  - 在第一半导体管芯和临时载体上沉积第一密封剂;
  - 除去所述临时载体;
  - 在第一密封剂的第一表面和第一半导体管芯上形成第一互连结构,第一互连结构被电连接到第一半导体管芯的多个第一接触焊盘;
  - 在第一互连结构上形成多个第一导电柱;
  - 利用面向第一互连结构的多个第二接触焊盘在所述第一导电柱之间安装第二半导体管芯;
  - 在第二半导体管芯和第一互连结构上沉积第二密封剂;以及
  - 在第二密封剂上形成第二互连结构,第二互连结构被电连接到所述第一导电柱以及第一和第二半导体管芯的所述第一和第二接触焊盘。
2. 如权利要求 1 所述的方法,进一步包括:
  - 在形成第一密封剂之前在所述临时载体上形成多个第二导电柱;以及
  - 在与第一密封剂的第一表面相对的第一密封剂的第二表面上形成第三互连结构,第三互连结构被电连接到所述第二导电柱和第一互连结构。
3. 如权利要求 1 所述的方法,其中形成第二互连结构包括:
  - 在第二密封剂上形成导电层;以及
  - 在导电层和所述第一导电柱上形成凸块。
4. 如权利要求 1 所述的方法,其中所述第一导电柱从第二密封剂伸出。
5. 如权利要求 1 所述的方法,其中所述第一导电柱相对于第二半导体管芯上的第二密封剂的一部分凹进。
6. 如权利要求 1 所述的方法,进一步包括平面化第一密封剂以暴露与所述第一接触焊盘相对的第一半导体管芯的后表面。
7. 如权利要求 1 所述的方法,进一步包括平面化第二密封剂以暴露与所述第二接触焊盘相对的第二半导体管芯的后表面。
8. 一种制造半导体器件的方法,包括:
  - 提供第一半导体部件;
  - 在第一半导体部件上沉积第一密封剂;
  - 在第一密封剂的第一表面和第一半导体部件上形成第一互连结构,第一互连结构被电连接到第一半导体部件;
  - 将第二半导体部件安装到第一互连结构;
  - 在第二半导体部件和第一互连结构上沉积第二密封剂;以及
  - 在第二密封剂上形成第二互连结构,第二互连结构被电连接到多个第一导电柱以及第一和第二半导体部件。
9. 如权利要求 8 所述的方法,进一步包括:
  - 在形成第二密封剂之前在所述第一互连结构上形成多个导电柱;以及
  - 在第二半导体部件和第一互连结构上以及在所述导电柱周围沉积第二密封剂。

10. 如权利要求 9 所述的方法,其中所述导电柱从第二密封剂伸出。
11. 如权利要求 8 所述的方法,进一步包括形成通过第二密封剂的导电通路。
12. 如权利要求 8 所述的方法,进一步包括:  
在形成第一密封剂之前形成邻近第一半导体部件的多个导电柱;以及  
在与第一密封剂的第一表面相对的第一密封剂的第二表面上形成第三互连结构,第三互连结构被电连接到所述导电柱和第一互连结构。
13. 如权利要求 8 所述的方法,其中形成第二互连结构包括:  
在第一密封剂的第二表面上形成导电层;以及  
在所述导电层上形成多个凸块。
14. 如权利要求 8 所述的方法,进一步包括在第一半导体部件或第二半导体部件上形成屏蔽层。
15. 一种制造半导体器件的方法,包括:  
提供第一半导体部件;  
在第一半导体部件上沉积第一密封剂;  
在第一密封剂的第一表面和第一半导体部件上形成第一互连结构,第一互连结构被电连接到第一半导体部件;  
将第二半导体部件安装到第一互连结构;  
在第二半导体部件和第一互连结构上沉积第二密封剂;以及  
在第二密封剂上形成第二互连结构,第二互连结构被电连接到第一和第二半导体部件。
16. 如权利要求 15 所述的方法,进一步包括:  
在形成第一密封剂之前形成邻近第一半导体部件的多个导电柱;以及  
在与第一密封剂的第一表面相对的第一密封剂的第二表面上形成第三互连结构,第三互连结构被电连接到所述导电柱和第一互连结构。
17. 如权利要求 15 所述的方法,进一步包括形成通过第二密封剂的导电通路。
18. 如权利要求 15 所述的方法,进一步包括:  
在形成第二密封剂之前在第一互连结构上形成多个导电柱;以及  
在第二半导体部件和第一半导体部件上以及在所述导电柱周围沉积第二密封剂。
19. 如权利要求 18 所述的方法,其中形成第二互连结构包括:  
在第一密封剂的第二表面上形成导电层;以及  
在所述导电层和导电柱上形成多个凸块。
20. 如权利要求 15 所述的方法,其中第二半导体部件是分立半导体部件。
21. 一种半导体器件,包括:  
第一半导体部件;  
沉积在第一半导体部件上的第一密封剂;  
形成在第一密封剂的第一表面和第一半导体部件上的第一互连结构,第一互连结构被电连接到第一半导体部件;  
被安装到第一互连结构的第二半导体部件;  
被沉积在第二半导体部件和第一互连结构上的第二密封剂;以及

形成在第二密封剂上的第二互连结构,第二互连结构被电连接到第一和第二半导体部件。

22. 如权利要求 21 所述的半导体器件,进一步包括形成在第一互连结构上的多个导电柱。

23. 如权利要求 21 所述的半导体器件,进一步包括:

邻近第一半导体部件形成的多个导电柱;以及

形成在与第一密封剂的第一表面相对的第一密封剂的第二表面上的第三互连结构,第三互连结构被电连接到所述导电柱和第一互连结构。

24. 如权利要求 21 所述的半导体器件,进一步包括通过第二密封剂形成的导电通路。

25. 如权利要求 21 所述的半导体器件,其中第二半导体部件是分立半导体部件。

## 半导体器件及其制造方法

### 技术领域

[0001] 本发明总体上涉及半导体器件,并且更具体地说涉及半导体器件和对被安装到扇外型晶片级芯片规模封装中的内建互连结构的相对侧的半导体管芯进行双模塑(dual-mold)的方法。

### 背景技术

[0002] 在现代电子产品中通常会发现有半导体器件。半导体器件在电部件的数量和密度上有变化。分立的半导体器件一般包括一种电部件,例如发光二极管(LED)、小信号晶体管、电阻器、电容器、电感器、以及功率金属氧化物半导体场效应晶体管(MOSFET)。集成半导体器件通常包括数百到数百万的电部件。集成半导体器件的实例包括微控制器、微处理器、电荷耦合器件(CCD)、太阳能电池、以及数字微镜器件(DMD)。

[0003] 半导体器件执行多种功能,例如高速计算、发射和接收电磁信号、控制电子器件、将日光转换成电、以及为电视显示器生成可视投影。在娱乐、通信、功率转换、网络、计算机、以及消费品领域中有半导体器件的存在。在军事应用、航空、汽车、工业控制器、以及办公设备中也有半导体器件的存在。

[0004] 半导体器件利用半导体材料的电特性。半导体材料的原子结构允许通过施加电场或基极电流(base current)或者通过掺杂工艺来操纵(manipulated)它的导电性。掺杂把杂质引入半导体材料中以操纵和控制半导体器件的导电性。

[0005] 半导体器件包括有源和无源电结构。有源结构(包括双极和场效应晶体管)控制电流的流动。通过改变掺杂水平并且施加电场或基极电流,晶体管促进或限制电流的流动。无源结构(包括电阻器、电容器、和电感器)产生执行多种电功能所必需的电压和电流之间的关系。无源和有源结构被电连接以形成电路,所述电路能够使半导体器件执行高速计算和其它有用的功能。

[0006] 通常利用两个复杂的制造工艺来制造半导体器件,即前端制造和后端制造,每个可能包括数百个步骤。前端制造包括在半导体晶片的表面上形成多个管芯。每个管芯通常相同并且包括通过电连接有源和无源部件形成的电路。后端制造包括从已完成的晶片单体化(singulating)单个管芯并且封装管芯以提供结构支撑和环境隔离。

[0007] 半导体制造的一个目标是制造更小的半导体器件。更小的半导体器件通常消耗更少功率、具有更高的性能、并且能够被更有效地制造。另外,更小的半导体器件具有更小的占地面积(footprint),其对于更小的最终产品而言是期望的。通过改善导致产生具有更小、更高密度的有源和无源部件的管芯的前端工艺可以实现更小的管芯尺寸。通过改善电互连和封装材料,后端工艺可以产生具有更小占地面积的半导体器件封装。

[0008] 可以利用导电直通硅通路(TSV)、直通孔通路(THV)、或镀铜导电柱实现包含堆叠于多级之上的半导体器件的扇外型晶片级芯片规模封装(FO-WLCSP)中的电互连。利用激光钻孔或深反应离子刻蚀(DRIE)在管芯周围的硅或有机材料中形成通路。例如使用电镀工艺通过铜沉积,利用导电材料来填充所述通路,以形成导电TSV和THV。所述TSV和THV

进一步通过跨越每个半导体管芯形成的内建互连结构连接。所述 TSV 和 THV 与内建互连结构具有有限的输入 / 输出 (I/O) 引脚数和互连能力,尤其是对于 FO-WLCSP 来说。

[0009] 半导体管芯通常被安装到 FO-WLCSP 中的内建互连结构的一侧。为适应管芯,内建互连结构必须相对大,这增加了制造成本。可替换地,如果管芯被安装到内建互连结构的两侧,则凸块 (bump) 的高度必须大于上部管芯的高度以便将凸块结合到内建互连结构。凸块的大高度以及相应的宽度增加了凸块间距并且减少了 I/O 引脚数,这对 FO-WLCSP 而言是反效果的。

## 发明内容

[0010] 在 FO-WLCSP 中存在对更多 I/O 引脚数的需要。因此,在一个实施例中,本发明是包括以下步骤的制造半导体器件的方法:提供临时载体,利用面向所述临时载体的多个第一接触焊盘安装第一半导体管芯,在第一半导体管芯和临时载体上沉积第一密封剂,除去临时载体,以及在第一密封剂的第一表面和第一半导体管芯上形成第一互连结构。第一互连结构被电连接到第一半导体管芯的多个第一接触焊盘。所述方法进一步包括以下步骤:在第一互连结构上形成多个第一导电柱,利用面向第一互连结构的多个第二接触焊盘在所述第一导电柱之间安装第二半导体管芯,在第二半导体管芯和第一互连结构上沉积第二密封剂,以及在第二密封剂上形成第二互连结构。第二互连结构被电连接到所述第一导电柱以及第一和第二半导体管芯的所述第一和第二接触焊盘。

[0011] 在另一个实施例中,本发明是包括以下步骤的制造半导体器件的方法:提供第一半导体部件,在第一半导体部件上沉积第一密封剂,以及在第一密封剂的第一表面和第一半导体部件上形成第一互连结构。第一互连结构被电连接到第一半导体部件。所述方法进一步包括以下步骤:将第二半导体部件安装到第一互连结构,在第二半导体部件和第一互连结构上沉积第二密封剂,以及在第二密封剂上形成第二互连结构。第二互连结构被电连接到多个第一导电柱以及第一和第二半导体部件。

[0012] 在另一个实施例中,本发明是包括以下步骤的制造半导体器件的方法:提供第一半导体部件,在第一半导体部件上沉积第一密封剂,以及在第一密封剂的第一表面和第一半导体部件上形成第一互连结构。第一互连结构被电连接到第一半导体部件。所述方法进一步包括以下步骤:将第二半导体部件安装到第一互连结构,在第二半导体部件和第一互连结构上沉积第二密封剂,以及在第二密封剂上形成第二互连结构。第二互连结构被电连接到第一和第二半导体部件。

[0013] 在另一个实施例中,本发明是包括第一半导体部件和沉积在第一半导体部件上的第一密封剂的半导体器件。第一互连结构形成在第一密封剂的第一表面和第一半导体部件上。第一互连结构被电连接到第一半导体部件。第二半导体部件被安装到第一互连结构。第二密封剂被沉积在第二半导体部件和第一互连结构上。第二互连结构形成在第二密封剂上。第二互连结构被电连接到第一和第二半导体部件。

## 附图说明

[0014] 图 1 示出具有安装到其表面的不同类型封装的 PCB;

[0015] 图 2a-2c 示出安装到所述 PCB 的典型半导体封装的更多细节;

[0016] 图 3a-3h 示出对被安装到 FO-WLCSP 中的内建互连结构的相对侧的半导体管芯进行双模塑的工艺；

[0017] 图 4 示出具有安装到内建互连结构的相对侧的双模塑 (dual-molded) 半导体管芯的 WLCSP；

[0018] 图 5 示出具有从密封剂伸出的导电柱的双模塑管芯；

[0019] 图 6 示出具有相对于密封剂凹进的导电柱的双模塑管芯；

[0020] 图 7 示出下部和上部半导体管芯的背面被暴露的双模塑管芯；

[0021] 图 8 示出形成在上部半导体管芯上的内建互连结构；

[0022] 图 9 示出形成在上部半导体管芯上的 EMI 屏蔽层；以及

[0023] 图 10 示出被安装到内建互连结构的分立半导体部件。

### 具体实施方式

[0024] 一般利用两个复杂的制造工艺制造半导体器件：前端制造和后端制造。前端制造包括在半导体晶片的表面上形成多个管芯。晶片上的每个管芯包括有源和无源电部件，所述有源和无源电部件被电连接以形成功能电路。有源电部件，例如晶体管和二极管，具有控制电流的流动的能力。无源电部件，例如电容器、电感器、电阻器、和变压器，产生执行电路功能所必需的电压和电流之间的关系。

[0025] 通过包括掺杂、沉积、光刻、刻蚀、和平面化的一系列工艺步骤在半导体晶片的表面上形成无源和有源部件。掺杂通过例如离子注入或热扩散的技术将杂质引入到半导体材料中。所述掺杂工艺改变有源器件中的半导体材料的导电性，将半导体材料转变成绝缘体、导体，或响应于电场或基极电流动态改变半导体材料导电性。晶体管包括有变化的掺杂类型和程度的区域，所述区域根据需要被设置为使晶体管能够在施加电场或基极电流时促进或限制电流的流动。

[0026] 通过具有不同电特性的材料的层形成有源和无源部件。所述层可以通过部分地被沉积的材料类型决定的多种沉积技术形成。例如，薄膜沉积可以包括化学汽相沉积 (CVD)、物理汽相沉积 (PVD)、电解电镀、以及无电电镀 (electroless plating) 工艺。每个层通常被图案化以形成有源部件、无源部件、或部件之间的电连接的各部分。

[0027] 可以利用光刻图案化所述层，所述光刻包括在将被图案化的层上沉积光敏材料，例如光致抗蚀剂。利用光将图案从光掩模转移到光致抗蚀剂。利用溶剂将经受光的光致抗蚀剂图案部分除去，暴露将被图案化的下层的各部分。光致抗蚀剂的剩余物被除去，留下被图案化的层。可替换地，利用例如无电电镀或电解电镀的技术通过直接将材料沉积到通过先前的沉积 / 刻蚀工艺形成的区域或空隙中来图案化一些类型的材料。

[0028] 在现有图案上沉积材料的薄膜可能会放大下面的图案并且引起不均匀的平面。需要均匀的平面来制造更小和更密集包装的有源和无源部件。可以利用平面化从晶片的表面除去材料和制造均匀平面。平面化包括利用抛光垫抛光晶片的表面。在抛光期间，磨料和腐蚀性化学品被添加到晶片的表面。组合的磨料机械作用和化学品腐蚀作用除去了任何不规则的表面形貌 (topography)，产生均匀的平面。

[0029] 后端制造指的是将已完成的晶片切割或单体化成单个管芯，并且然后封装管芯用于结构支撑和环境隔离。为单体化管芯，沿被叫做划片街区 (saw street) 或划线的晶片非

功能区域刻划和断开所述晶片。利用激光切割工具或锯条来单体化晶片。在单体化之后,单个管芯被安装到封装衬底,所述封装衬底包括用来与其它系统部件互连的引脚或接触焊盘。形成在半导体管芯上的接触焊盘然后被连接到封装内的接触焊盘。可以利用焊料凸块、柱形凸块(stud bump)、导电胶、或线结合(wirebond)来制作电连接。密封剂或其它成型材料被沉积到封装上以提供物理支撑和电隔离。已完成的封装然后被插入电系统中并且半导体器件的功能可以用到其它系统部件。

[0030] 图 1 示出具有芯片载体衬底或印刷电路板(PCB)52 的电子器件 50,所述芯片载体衬底或印刷电路板(PCB)52 具有多个安装在它的表面上的半导体封装。电子器件 50 可以具有一种半导体封装、或多种半导体封装,这取决于应用。为了说明的目的,在图 1 中示出不同类型的半导体封装。

[0031] 电子器件 50 可以是利用半导体封装来执行一个或多个电功能的独立系统。可替换地,电子器件 50 可以是更大系统的子部件。例如,电子器件 50 可以是能被插入计算机中的图形卡、网络接口卡、或其它信号处理卡。半导体封装可以包括微处理器、存储器、专用集成电路(ASIC)、逻辑电路、模拟电路、RF 电路、分立器件、或其它半导体管芯或电部件。

[0032] 在图 1 中,PCB 52 提供普通的衬底用于安装在 PCB 上的半导体封装的结构支撑和电互连。利用蒸发、电解电镀、无电电镀、丝网印刷、或其它合适的金属沉积工艺将导电信号迹线(trace)54 形成在 PCB 52 的表面上或各层内。信号迹线 54 提供半导体封装、安装的部件、以及其它外部系统部件中的每一个之间的电通信。迹线 54 也将电源和地连接提供给半导体封装中的每一个。

[0033] 在一些实施例中,半导体器件可以具有两个封装级。第一级封装是用来将半导体管芯以机械和电的方式附着到中间载体的技术。第二级封装包括将所述中间载体以机械和电的方式附着到 PCB。在其它实施例中,半导体器件可以仅具有第一级封装,其中管芯被以机械和电的方式直接安装到 PCB。

[0034] 为了说明的目的,几种第一级封装,包括线结合封装 56 和倒装芯片 58,被示出在 PCB 52 上。另外,几种第二级封装,包括球栅阵列(BGA)60、凸块芯片载体(BCC)62、双列直插式封装(DIP)64、岸面栅格阵列(land grid array,LGA)66、多芯片模块(MCM)68、四侧无引脚扁平封装(quad flat non-leaded package,QFN)70、以及四侧扁平封装 72 被示出安装在 PCB 52 上。根据系统要求,利用第一和第二级封装形式的任何组合配置的半导体封装的任何组合、以及其它电子部件,可以被连接到 PCB 52。在一些实施例中,电子器件 50 包括单个附着的半导体封装,虽然其它实施例要求多互连封装。通过在单个衬底上组合一个或多个半导体封装,制造商可以将预先制作的部件并入电子器件和系统中。因为所述半导体封装包括复杂功能,所以可以利用更便宜的部件和流水线制造工艺来制造电子器件。所得到的器件较少可能失效并且制造起来花费较少,对用户而言导致更低的成本。

[0035] 图 2a-2c 示出示范性半导体封装。图 2a 示出安装在 PCB 52 上的 DIP 64 的更多细节。半导体管芯 74 包括包含模拟或数字电路的有源区,所述模拟或数字电路被实现为根据管芯的电设计形成在管芯内并且被电互连的有源器件、无源器件、导电层、和介电层。例如,电路可以包括一个或多个晶体管、二极管、电感器、电容器、电阻器、以及形成在半导体管芯 74 的有源区内的其它电路元件。接触焊盘 76 是导电材料(例如铝(AL)、铜(Cu)、锡(Sn)、镍(Ni)、金(Au)、或银(Ag))的一个或多个层,并且电连接到形成在半导体管芯 74 内



的电路元件。在 DIP 64 的组装期间,利用金硅共晶层或粘附材料(例如热的环氧树脂)将半导体管芯 74 安装到中间载体 78。封装体包括绝缘封装材料,例如聚合物或陶瓷。导体引线 80 和线结合 82 在半导体管芯 74 和 PCB 52 之间提供电互连。密封剂 84 被沉积在封装上用于通过防止湿气与粒子进入所述封装以及污染管芯 74 或线结合 82 来进行环境保护。

[0036] 图 2b 示出安装在 PCB 52 上的 BCC 62 的更多细节。半导体管芯 88 利用底层填料(underfill)或环氧树脂粘附材料 92 被安装到载体 90 上。线结合 94 在接触焊盘 96 和 98 之间提供第一级包装(packaging)互连。模塑料或密封剂 100 被沉积在半导体管芯 88 和线结合 94 上以为所述器件提供物理支撑和电隔离。接触焊盘 102 利用电解电镀或无电电镀这样合适的金属沉积形成在 PCB 52 的表面上以防止氧化。接触焊盘 102 电连接到 PCB 52 中的一个或多个导电信号迹线 54。凸块 104 被形成在 BCC 62 的接触焊盘 98 与 PCB 52 的接触焊盘 102 之间。

[0037] 在图 2c 中,利用倒装芯片型第一级封装将半导体管芯 58 面朝下地安装到中间载体 106。半导体管芯 58 的有源区 108 包含模拟或数字电路,所述模拟或数字电路被实现为根据管芯的电设计形成的有源器件、无源器件、导电层、和介电层。例如,该电路可以包括一个或多个晶体管、二极管、电感器、电容器、电阻器、以及在有源区 108 内的其它电路元件。半导体管芯 58 通过凸块 110 被电连接和机械连接到载体 106。

[0038] BGA 60 利用凸块 112 电连接和机械连接到具有 BGA 型第二级封装的 PCB 52。半导体管芯 58 通过凸块 110、信号线 114、以及凸块 112 电连接到导电信号迹线 54。模塑料或密封剂 116 被沉积在半导体管芯 58 和载体 106 上以为所述器件提供物理支撑和电隔离。倒装芯片半导体器件提供从半导体管芯 58 上的有源器件到 PCB 52 上的导电轨迹的短导电路径以便减小信号传播距离、降低电容、并且改善总的电路性能。在另一个实施例中,半导体管芯 58 可以在没有中间载体 106 的情况下利用倒装芯片型第一级封装被以机械和电的方式直接连接到 PCB 52。

[0039] 相对于图 1 和 2a-2c,图 3a-3h 示出对被安装到 FO-WLCSP 中的内建互连结构的相对侧的半导体管芯进行双模塑的工艺。在图 3a 中,晶片形式的衬底或载体 120 包括临时或牺牲基底材料,例如硅、聚合物、聚合物复合材料、金属、陶瓷、玻璃、玻璃纤维环氧树脂、氧化铍、或用于结构支撑的其它合适的低成本、刚性材料或体半导体材料。载体 120 也可以是带(tape)。可以在载体 120 上形成可选界面层 122 作为临时结合膜或腐蚀停层。

[0040] 在图 3b 中,半导体管芯或部件 124 利用面向载体 120 的有源表面 128 上的接触焊盘 126 被安装到界面层 122。有源表面 128 包括模拟或数字电路,所述模拟或数字电路被实现为根据管芯的电设计和功能形成在管芯内并且电互连的有源器件、无源器件、导电层、和介电层。例如,该电路可以包括一个或多个晶体管、二极管、和形成在有源表面 128 内的其它电路元件以实现模拟电路或数字电路,例如数字信号处理器(DSP)、ASIC、存储器、或其它信号处理电路。半导体管芯 124 也可以包括 IPD,例如电感器、电容器、和电阻器,用于 RF 信号处理。典型的 RF 系统需要在一个或多个半导体封装中的多个 IPD 以执行必要的电功能。

[0041] 在图 3c 中,利用浆料印刷(paste printing)、压缩模塑、传递模塑、液体密封剂模塑、真空层压、旋涂、或其它合适的施加器(applicator)将密封剂或模塑料 130 沉积在载体 120 和半导体管芯 124 的有源表面 128 上。密封剂 130 可以是聚合物复合材料,例如具有填

充物的环氧树脂、具有填充物的环氧丙烯酸酯、或具有合适填充物的聚合物。密封剂 130 不导电并且在环境上保护半导体器件免受外部元件和污染物的影响。

[0042] 在图 3a-3c 中描述的中间结构被倒转,并且通过化学腐蚀、机械剥离、CMP、机械研磨、热烘、激光扫描、或湿法脱模 (wet stripping) 来除去载体 120 和可选界面层 122,如图 3d 中所示。内建互连结构 132 被形成在半导体管芯 124 和密封剂 130 的表面上。内建互连结构 132 包括绝缘或钝化层 134,所述绝缘或钝化层 134 包括二氧化硅 ( $\text{SiO}_2$ )、氮化硅 ( $\text{Si}_3\text{N}_4$ )、氮氧化硅 ( $\text{SiON}$ )、五氧化二钽 ( $\text{Ta}_2\text{O}_5$ )、氧化铝 ( $\text{Al}_2\text{O}_3$ )、或具有类似绝缘和结构特性的其它材料的一个或多个层。利用 PVD、CVD、印刷、旋涂、喷涂、烧结、或热氧化来形成绝缘层 134。

[0043] 内建互连结构 132 进一步包括利用图案化和沉积工艺 (例如 PVD、CVD、溅射、电解电镀、和无电电镀工艺) 形成在绝缘层 134 中的导电层 136。导电层 136 可以是 Al、Cu、Sn、Ni、Au、Ag、或其它合适的导电材料的一个或多个层。导电层 136 的一部分被电连接到半导体管芯 124 的接触焊盘 126。导电层 136 的其它部分可以根据半导体器件的设计和功能是电共有的 (electrically common) 或被电隔离。

[0044] 在图 3e 中,光致抗蚀剂的一个或多个层被沉积在与半导体管芯 124 相对的内建互连结构 132 的表面上。通过刻蚀显影工艺曝光和除去光致抗蚀剂的一部分以形成通路。利用选择性电镀工艺在所述通路中沉积导电材料,例如 Al、Cu、Sn、Ni、Au、Ag、钛 (Ti)、钨 (W)、焊料、多晶硅、或其组合。光致抗蚀剂被剥离掉,留下单个导电柱 140。在另一个实施例中,导电柱 140 可以被形成为柱形凸块或堆叠凸块。

[0045] 在图 3f 中,半导体管芯或部件 142 利用面向与半导体管芯 124 相对的内建互连结构 132 的表面的有源表面 146 上的接触焊盘 144 被安装在导电柱 140 之间。接触焊盘 144 利用凸块 147 被电连接到导电层 136。有源表面 146 包括模拟或数字电路,所述模拟或数字电路被实现为根据管芯的电设计和功能形成在管芯内并且电互连的有源器件、无源器件、导电层、和介电层。例如,该电路可以包括一个或多个晶体管、二极管、和形成在有源表面 146 内的其它电路元件以实现模拟电路或数字电路,例如 DSP、ASIC、存储器、或其它信号处理电路。半导体管芯 142 也可以包括 IPD,例如电感器、电容器、和电阻器,用于 RF 信号处理。

[0046] 在图 3g 中,利用浆料印刷、压缩模塑、传递模塑、液体密封剂模塑、真空层压、旋涂、或其它合适的施加器将密封剂或模塑料 148 沉积在内建互连结构 132 和半导体管芯 142 上以及导电柱 140 的周围。密封剂 148 可以是聚合物复合材料,例如具有填充物的环氧树脂、具有填充物的环氧丙烯酸酯、或具有合适填充物的聚合物。密封剂 148 不导电并且在环境上保护半导体器件免受外部元件和污染物的影响。通过刻蚀工艺平面化密封剂 148 以暴露导电柱 140。

[0047] 在另一个实施例中,利用面向与半导体管芯 124 相对的内建互连结构 132 的表面的有源表面 146 上的接触焊盘 144 来安装半导体管芯或部件 142 (没有形成导电柱 140)。密封剂 148 被沉积在内建互连结构 132 和半导体管芯 142 上。利用激光钻孔或刻蚀工艺,例如 DRIE,在密封剂 148 中形成多个通路。使用 PVD、CVD、电解电镀、无电电镀工艺、或其它合适的金属沉积工艺,利用 Al、Cu、Sn、Ni、Au、Ag、钛 (Ti)、W、多晶硅、或其它合适的导电材料来填充所述通路以形成通过密封剂 148 的导电通路。所述导电通路被电连接到接触焊盘

144。

[0048] 在图 3h 中,在密封剂 148 和导电柱 140 上形成互连结构 149。利用图案化和沉积工艺(例如 PVD、CVD、溅射、电解电镀、和无电电镀工艺)形成导电层 150。导电层 150 可以是 Al、Cu、Sn、Ni、Au、Ag、或其它合适的导电材料的一个或多个层。对于更多的输入/输出(I/O)引脚数,导电层 150 作为下凸块金属化层(UBM)和重分布层(RDL)进行工作。

[0049] 利用蒸发、电解电镀、无电电镀、球滴(ball drop)、或丝网印刷工艺将导电凸块材料沉积到导电层 150 上并且电连接到导电柱 140。所述凸块材料可以是 Al、Sn、Ni、Au、Ag、Pb、Bi、Cu、焊料、及其组合,连同可选的焊剂溶液一起。例如,所述凸块材料可以是共晶 Sn/Pb、高铅焊料、或无铅焊料。利用合适的附着或结合工艺将所述凸块材料结合到导电层 150。在一个实施例中,通过将所述凸块材料加热到它的熔点以上,所述凸块材料回流以形成球形球或凸块 152。在一些应用中,凸块 152 二次回流以改善到导电层 150 的电接触。所述凸块也可以被压缩结合到导电层 150。凸块 152 表示一种可以形成在导电层 150 上的互连结构。所述互连结构也可以使用结合线、柱形凸块、微凸块、或其它电互连。

[0050] 利用锯条或激光切割装置 154 将半导体管芯 124 单体化成单个 FO-WLCSP。图 4 示出单体化后的 FO-WLCSP 160。半导体管芯 124 和 142 被安装到内建互连结构 132 的相对侧并且通过内建互连结构 132 电互连。通过将半导体管芯 124 和 142 安装到内建互连结构 132 的相对侧,可以实现对内建互连结构的更大利用并且它的尺寸可以减小,这节约了制造成本。密封剂 130 和 148 分别被沉积到半导体管芯 124 和 142 的周围。内建互连结构 132 通过也被密封剂 148 覆盖的 z 向互连导电柱 140 电连接到 RDL 150 和凸块 152。通过双模塑半导体管芯 124 和 142 并且使用用于 z 向互连的导电柱 140 和用于横向互连的 RDL 150,凸块 152 的间距被减小,这增加了 I/O 引脚数。

[0051] 图 5 示出具有从密封剂 148 伸出的导电柱 140 的 FO-WLCSP 162。在该实施例中,图 3g 中的密封剂 148 被回刻蚀(etch back)使得导电柱 140 从密封剂突出,用来直接互连到其它封装或器件。

[0052] 图 6 示出对于导电柱 140 具有减小的高度的 FO-WLCSP 164。在该实施例中,导电柱 140 和远离图 3g 中的半导体管芯 142 的一部分密封剂 148 相对于半导体管芯 142 上的一部分密封剂 148 被回刻蚀以减小所述 FO-WLCSP 的总高度。

[0053] 图 7 示出具有导电柱 140 和密封剂 148 的 FO-WLCSP 166,所述密封剂 148 被平面化以暴露半导体管芯 142 的后表面。同样地,密封剂 130 被平面化以暴露半导体管芯 124 的后表面。

[0054] 图 8 示出具有形成在半导体管芯 124 周围的导电柱 170 和形成在密封剂 130 的表面上内建互连层 172 的 FO-WLCSP 168。在该实施例中,在沉积图 3c 中的密封剂 130 之前在载体 120 上沉积一个或多个光致抗蚀剂层。通过刻蚀显影工艺曝光和除去光致抗蚀剂的一部分以形成通路。利用选择性电镀工艺在所述通路中沉积导电材料,例如 Al、Cu、Sn、Ni、Au、Ag、Ti、W、焊料、多晶硅、或其组合。光致抗蚀剂被剥离掉,留下单个导电柱 170。在另一个实施例中,导电柱 170 可以被形成为柱形凸块或堆叠凸块。根据图 3c-3g 形成该结构的其余部分。

[0055] 内建互连结构 172 形成在密封剂 130 和导电柱 170 上。内建互连结构 172 包括绝缘或钝化层 174,所述绝缘或钝化层 174 包括  $\text{SiO}_2$ 、 $\text{Si}_3\text{N}_4$ 、 $\text{SiON}$ 、 $\text{Ta}_2\text{O}_5$ 、 $\text{Al}_2\text{O}_3$ 、或具有类似绝

缘和结构特性的其它材料的一个或多个层。利用 PVD、CVD、印刷、旋涂、喷涂、烧结、或热氧化形成绝缘层 174。

[0056] 内建互连结构 172 进一步包括利用图案化和沉积工艺（例如 PVD、CVD、溅射、电解电镀、和无电电镀工艺）形成在绝缘层 174 中的导电层 176。导电层 176 可以是 Al、Cu、Sn、Ni、Au、Ag、或其它合适的导电材料的一个或多个层。导电层 176 的一部分被电连接到导电柱 170。导电层 176 的其它部分可以根据半导体器件的设计和功能是电共有的或被电隔离。

[0057] 在图 9 中，FO-WLCSP 180 具有形成在半导体管芯 124 上的屏蔽层 182 和形成在半导体管芯 142 上的屏蔽层 184。密封剂 130 的一部分被除去用于屏蔽层 182，并且密封剂 148 的一部分被除去用于屏蔽层 184。屏蔽层 182 和 184 可以是 Cu、Al、铁氧化物或羰基铁 (carbonyliron)、不锈钢、镍银、低碳钢、硅铁钢、箔、环氧树脂、导电树脂、以及能够阻挡或吸收电磁干扰 (EMI)、射频干扰 (RFI)、和其它器件之间的干扰的其它金属和复合物。屏蔽层 182 和 184 也可以是非金属材料（例如碳黑）或铝片 (aluminum flake)，以减小 EMI 和 RFI 的影响。

[0058] 在图 10 中，半导体管芯或部件 190 利用面向载体的有源表面 194 上的接触焊盘 192 被安装到临时载体。有源表面 194 包括模拟或数字电路，所述模拟或数字电路被实现为根据管芯的电设计和功能形成在管芯内并且电互连的有源器件、无源器件、导电层、和介电层。例如，该电路可以包括一个或多个晶体管、二极管、和形成在有源表面 194 内的其它电路元件以实现模拟电路或数字电路，例如 DSP、ASIC、存储器、或其它信号处理电路。半导体管芯 190 也可以包括 IPD，例如电感器、电容器、和电阻器，用于 RF 信号处理。典型的 RF 系统需要在一个或多个半导体封装中的多个 IPD 以执行必要的电功能。

[0059] 利用浆料印刷、压缩模塑、传递模塑、液体密封剂模塑、真空层压、旋涂、或其它合适的施加器将密封剂或模塑料 196 沉积在载体和半导体管芯 190 上。密封剂 196 可以是聚合物复合材料，例如具有填充物的环氧树脂、具有填充物的环氧丙烯酸酯、或具有合适填充物的聚合物。密封剂 196 不导电并且在环境上保护半导体器件免受外部元件和污染物的影响。

[0060] 所述中间结构被倒转，并且通过化学腐蚀、机械剥离、CMP、机械研磨、热烘、激光扫描、或湿法脱模来除去临时载体。内建互连结构 198 被形成在半导体管芯 190 和密封剂 196 上。内建互连结构 198 包括绝缘或钝化层 200，所述绝缘或钝化层 200 包括  $\text{SiO}_2$ 、 $\text{Si}_3\text{N}_4$ 、 $\text{SiON}$ 、 $\text{Ta}_2\text{O}_5$ 、 $\text{Al}_2\text{O}_3$ 、或具有类似绝缘和结构特性的其它材料的一个或多个层。利用 PVD、CVD、印刷、旋涂、喷涂、烧结、或热氧化来形成绝缘层 200。

[0061] 内建互连结构 198 进一步包括利用图案化和沉积工艺（例如 PVD、CVD、溅射、电解电镀、和无电电镀工艺）形成在绝缘层 200 中的导电层 202。导电层 202 可以是 Al、Cu、Sn、Ni、Au、Ag、或其它合适的导电材料的一个或多个层。导电层 202 的一部分被电连接到半导体管芯 190 的接触焊盘 192。导电层 202 的其它部分可以根据半导体器件的设计和功能是电共有的或被电隔离。

[0062] 一个或多个光致抗蚀剂层被沉积在与半导体管芯 190 相对的内建互连结构 198 的表面上。通过刻蚀显影工艺曝光和除去光致抗蚀剂的一部分以形成通路。利用选择性电镀工艺在所述通路中沉积导电材料，例如 Al、Cu、Sn、Ni、Au、Ag、Ti、W、焊料、多晶硅、或其组合。光致抗蚀剂被剥离掉，留下单个导电柱 204。在另一个实施例中，导电柱 204 可以被形

成为柱形凸块或堆叠凸块。

[0063] 多个分立半导体部件 208 在导电柱 204 中间被安装到与半导体管芯 190 相对的内建互连结构 198 的表面。分立半导体部件 208 可以是电阻器、电容器、电感器、或分立有源器件。

[0064] 利用浆料印刷、压缩模塑、传递模塑、液体密封剂模塑、真空层压、旋涂、或其它合适的施加器将密封剂或模塑料 210 沉积在内建互连结构 198 和分立半导体部件 208 上。密封剂 210 可以是聚合物复合材料,例如具有填充物的环氧树脂、具有填充物的环氧丙烯酸酯、或具有合适填充物的聚合物。密封剂 210 不导电并且在环境上保护半导体器件免受外部元件和污染物的影响。

[0065] 互连结构 206 被形成在密封剂 210 上。利用图案化和金属沉积工艺(例如 PVD、CVD、溅射、电解电镀、和无电电镀)形成导电层 212。导电层 212 可以是 Al、Cu、Sn、Ni、Au、Ag、或其它合适的导电材料的一个或多个层。对于更多的 I/O 引脚数,导电层 212 作为 UBM 和 RDL 进行工作。

[0066] 利用蒸发、电解电镀、无电电镀、球滴、或丝网印刷工艺将导电凸块材料沉积到导电层 212 上并且电连接到导电柱 204。所述凸块材料可以是 Al、Sn、Ni、Au、Ag、Pb、Bi、Cu、焊料、及其组合,连同可选的焊剂溶液一起。例如,所述凸块材料可以是共晶 Sn/Pb、高铅焊料、或无铅焊料。利用合适的附着或结合工艺将所述凸块材料结合到导电层 212。在一个实施例中,通过将所述凸块材料加热到它的熔点以上,所述凸块材料回流以形成球形球或凸块 214。在一些应用中,凸块 214 二次回流以改善到导电层 212 的电接触。所述凸块也可以被压缩结合到导电层 212。凸块 214 表示一种可以形成在导电层 212 上的互连结构。所述互连结构也可以使用结合线、柱形凸块、微凸块、或其它电互连。

[0067] 虽然已经详细说明本发明的一个或多个实施例,但是本领域技术人员将理解的是,在不脱离由下列权利要求所阐述的本发明的范围的情况下可以对那些实施例进行变型和修改。

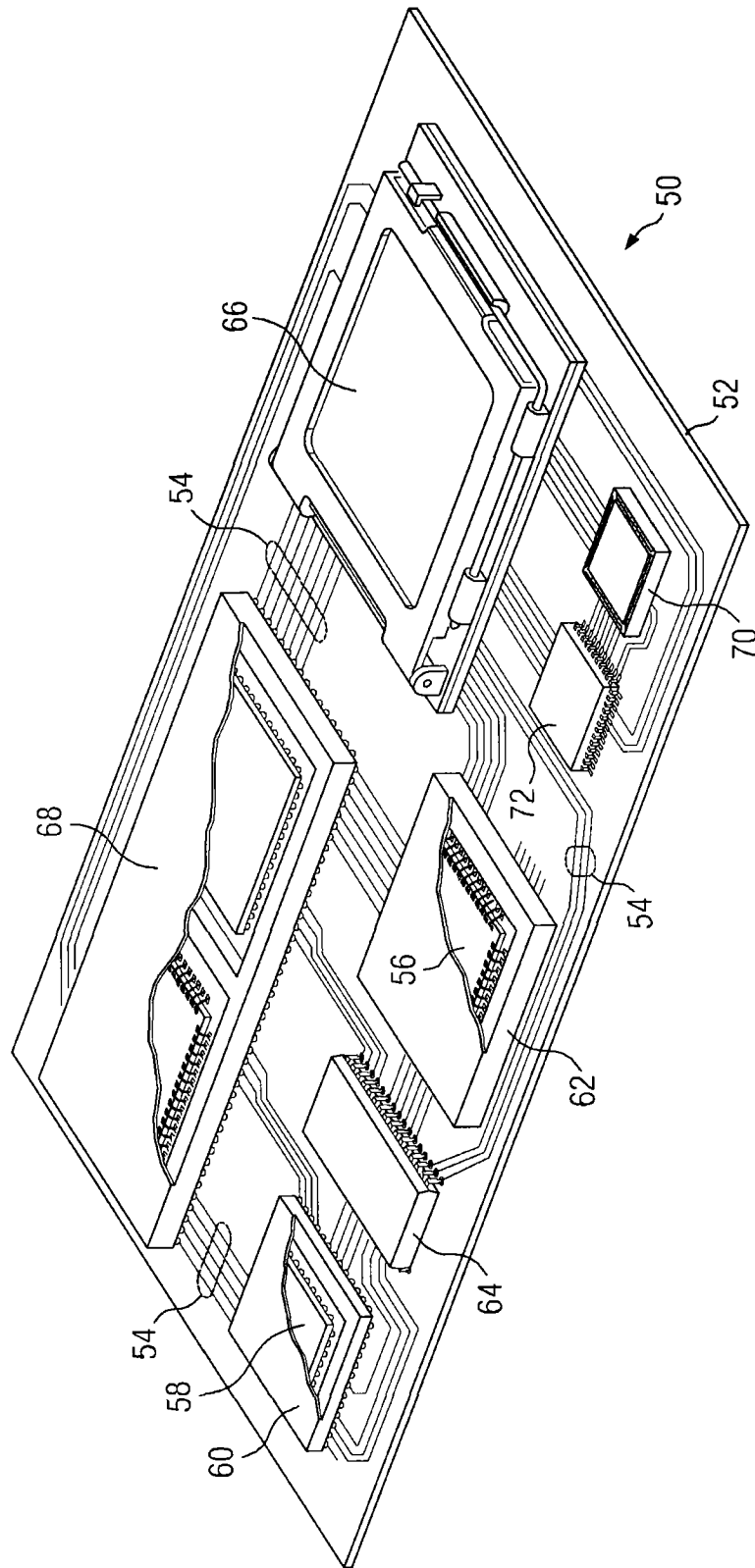


图 1

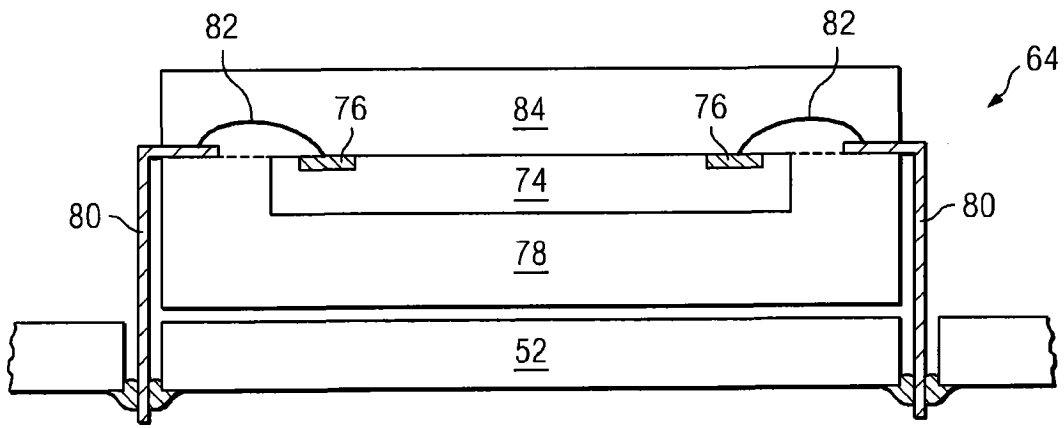


图 2a

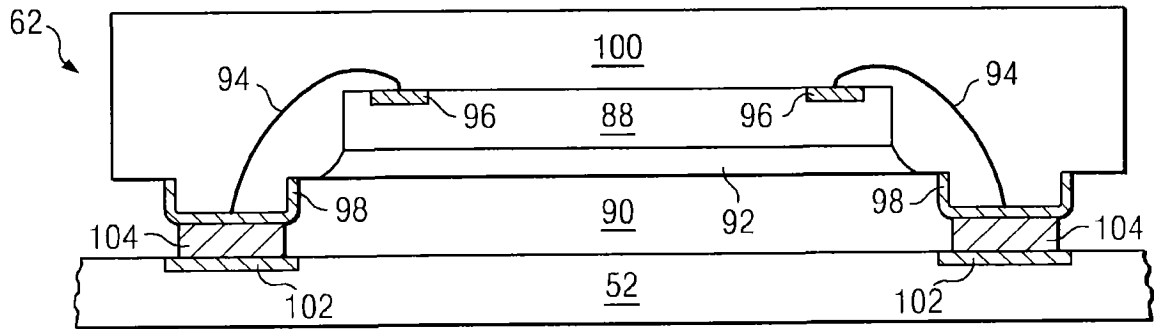


图 2b

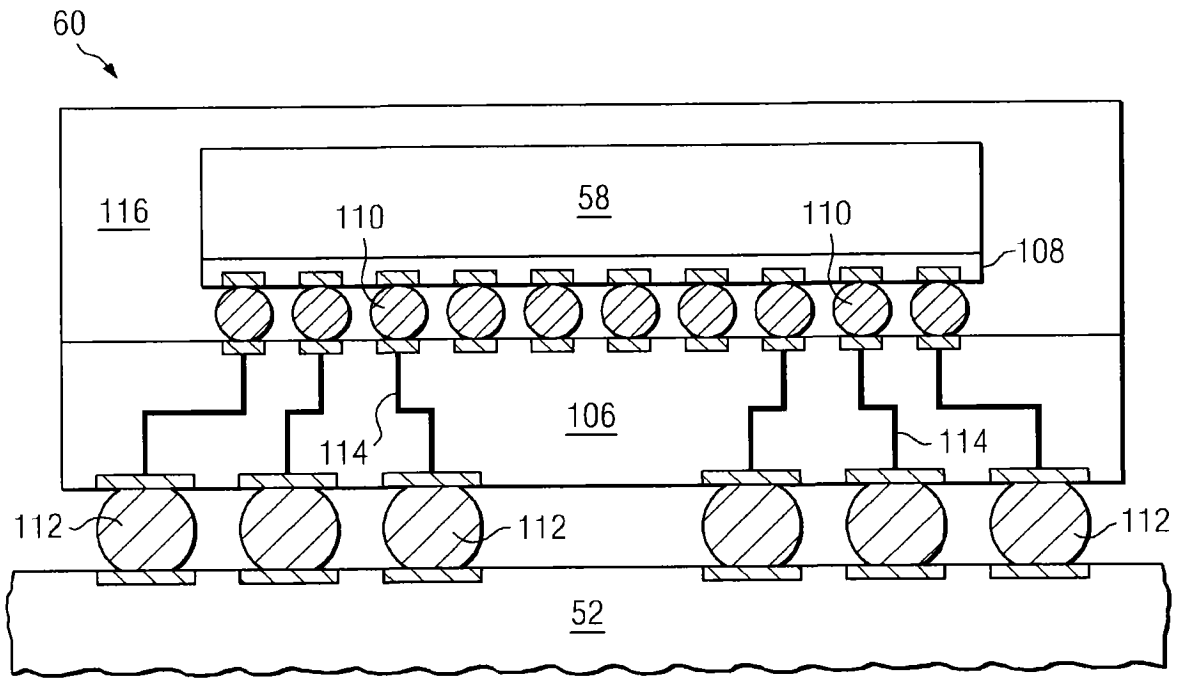


图 2c



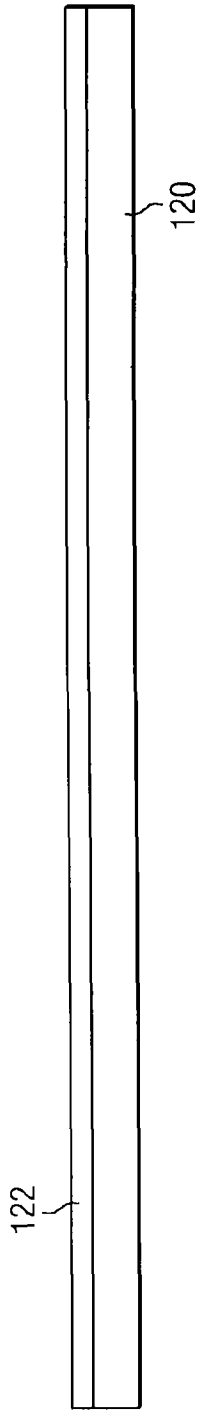


图 3a

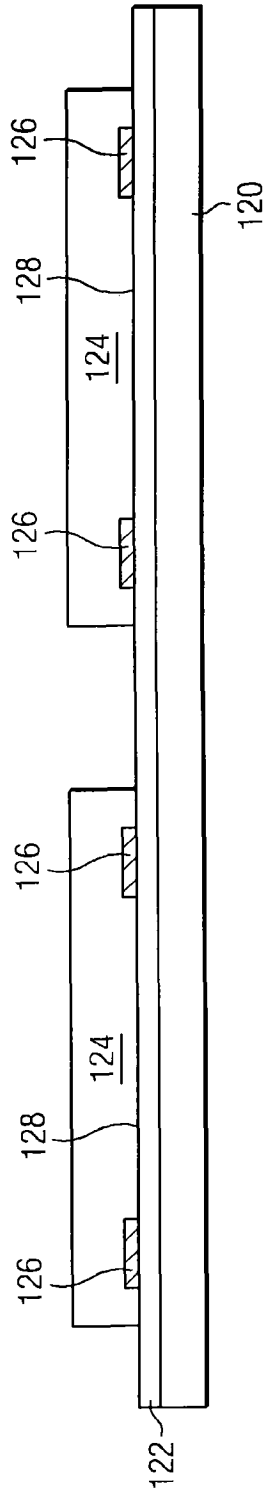


图 3b

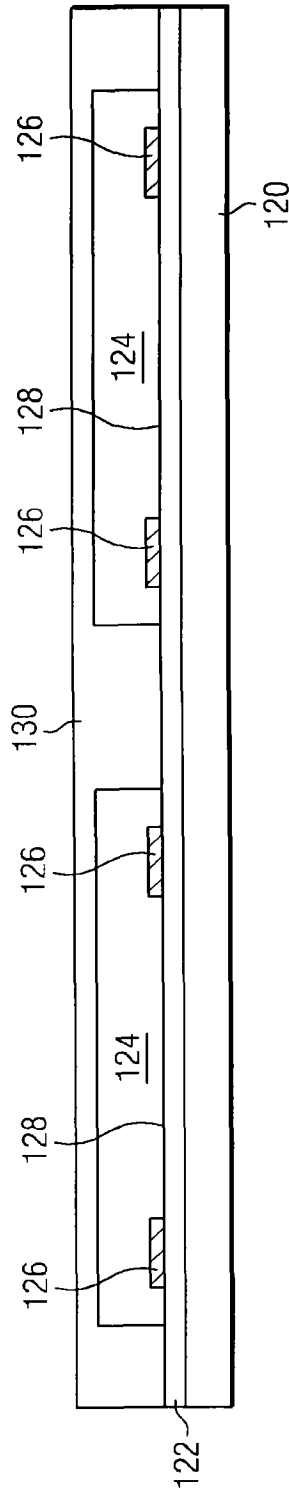


图 3c

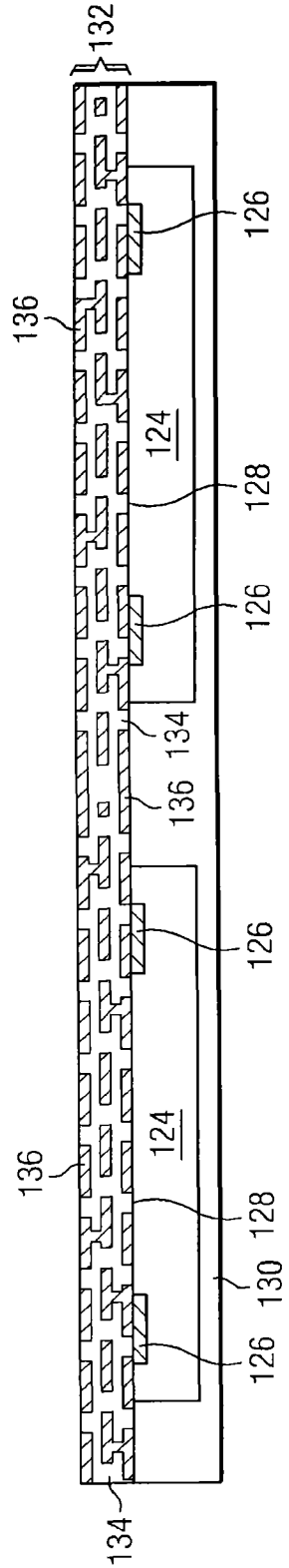


图 3d

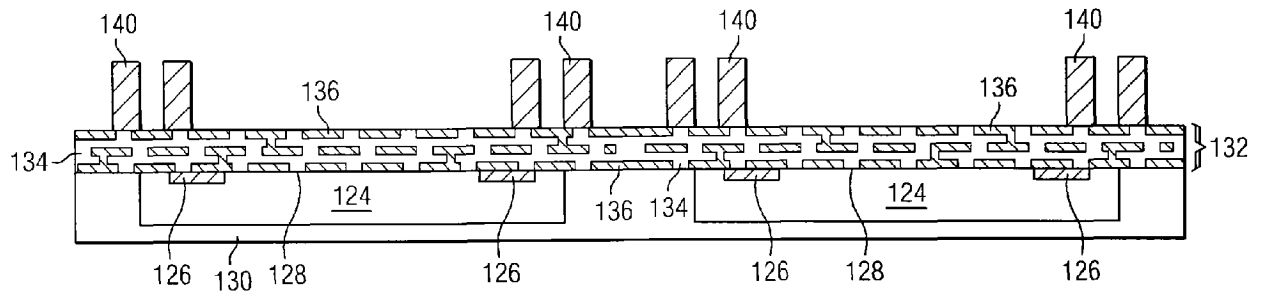


图 3e

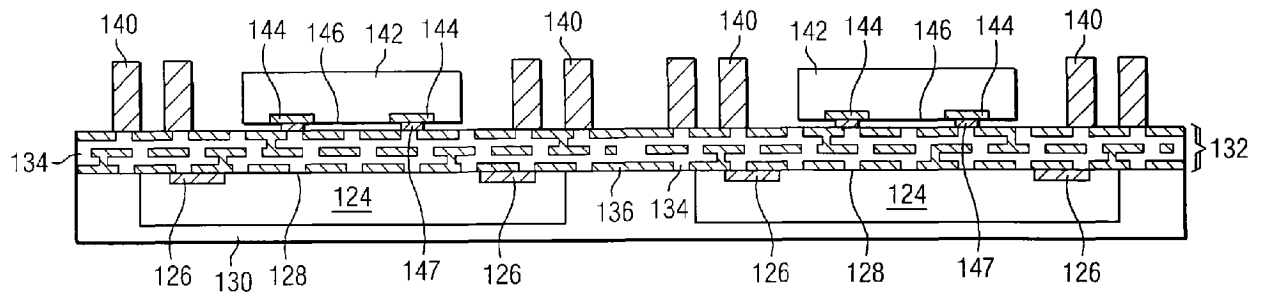


图 3f

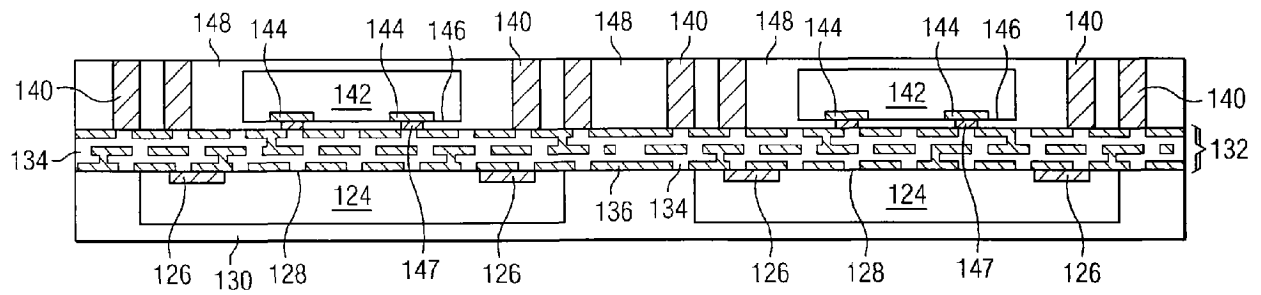


图 3g

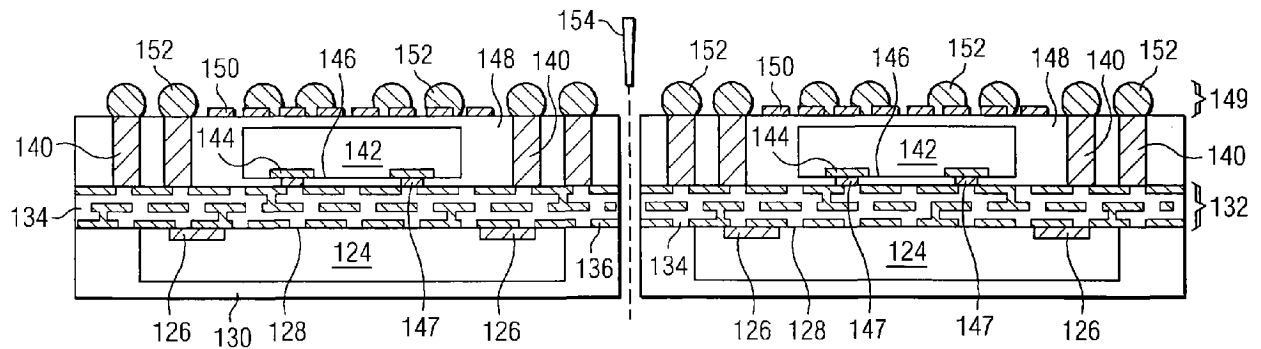


图 3h

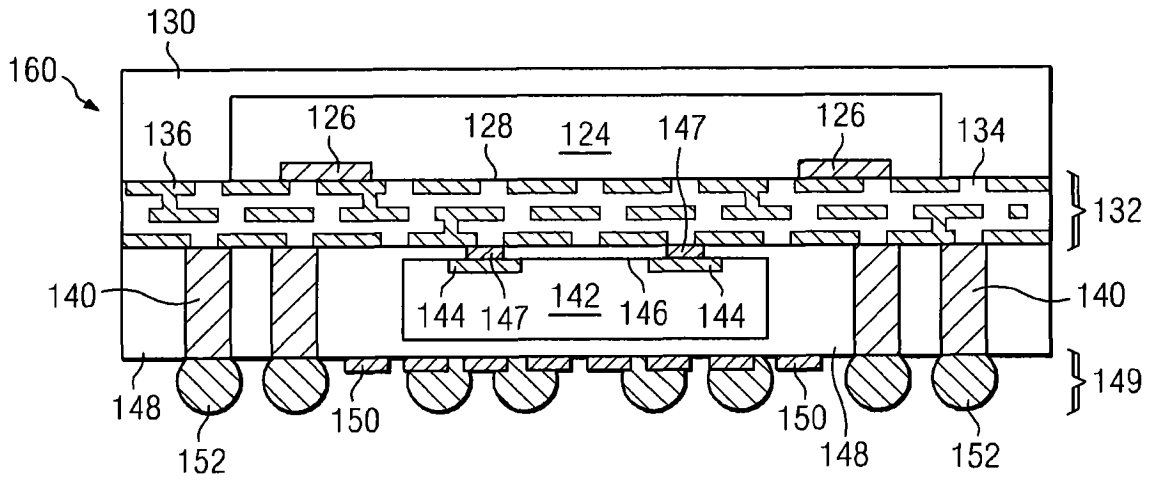


图 4

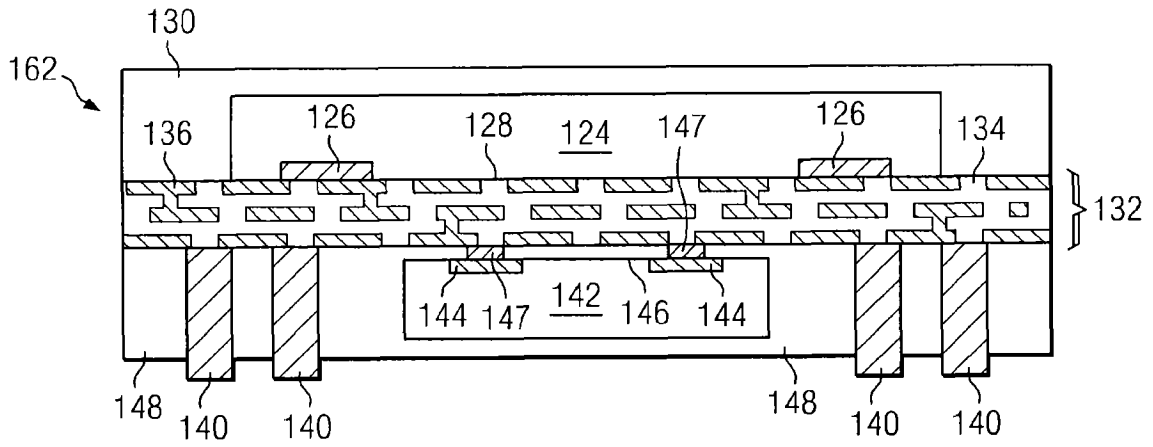


图 5

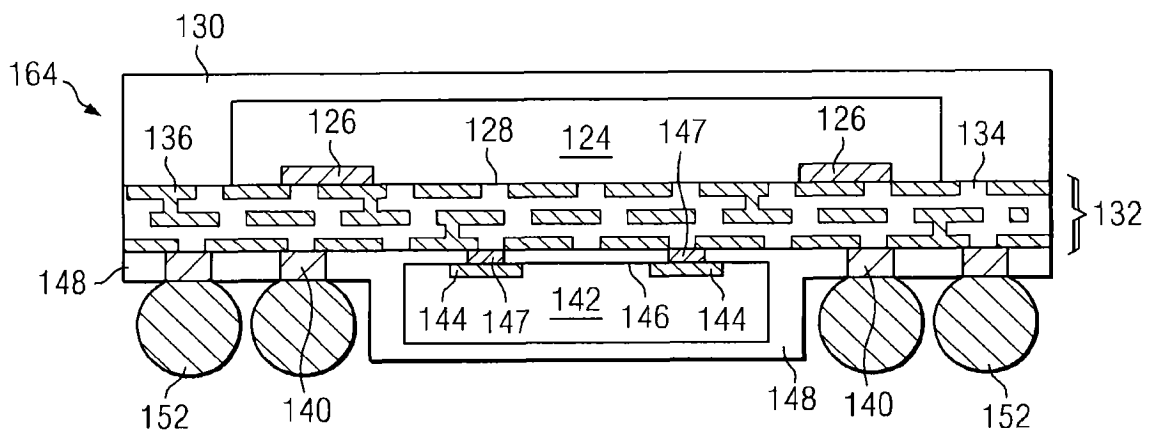


图 6

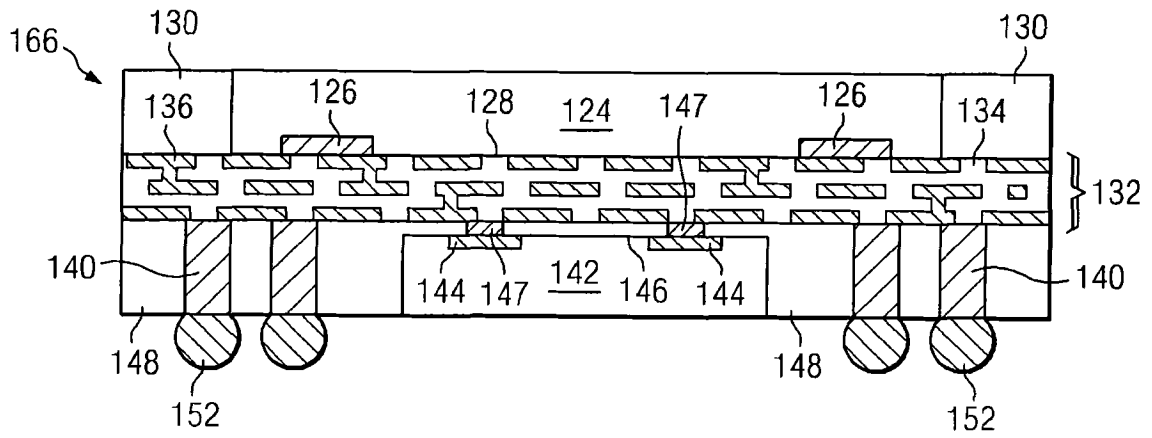


图 7

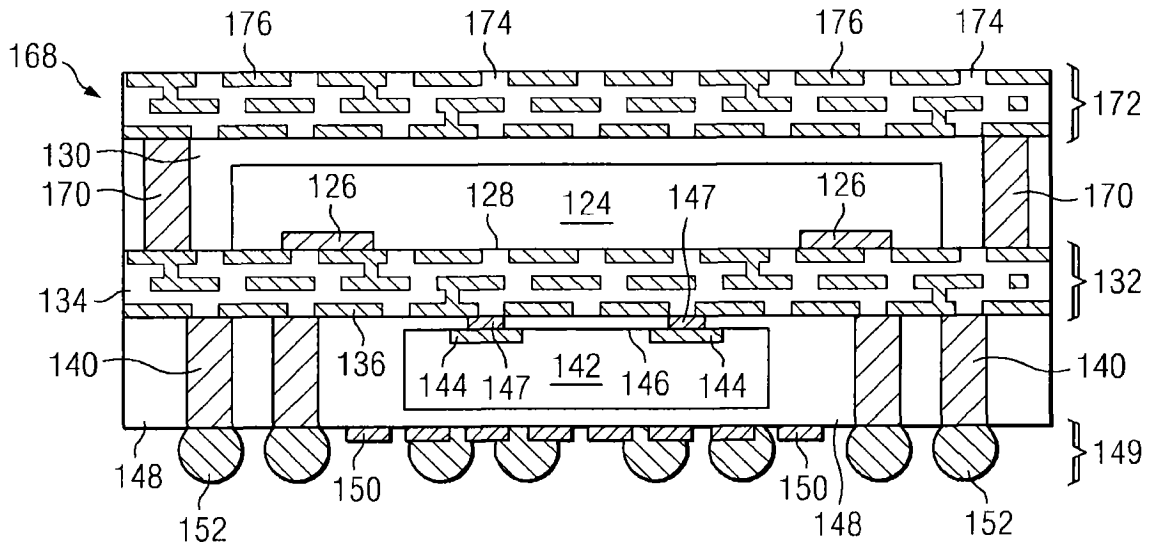


图 8

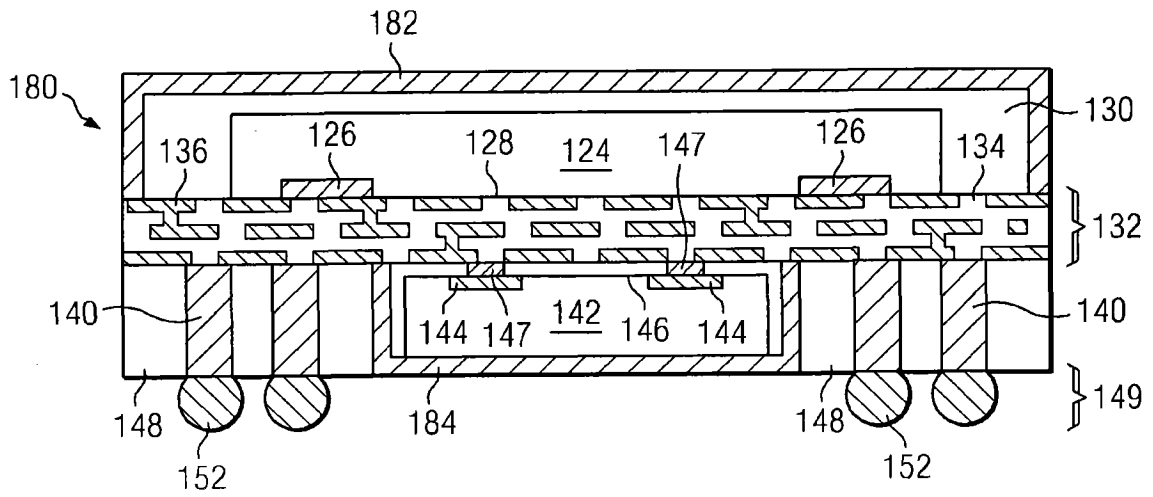


图 9

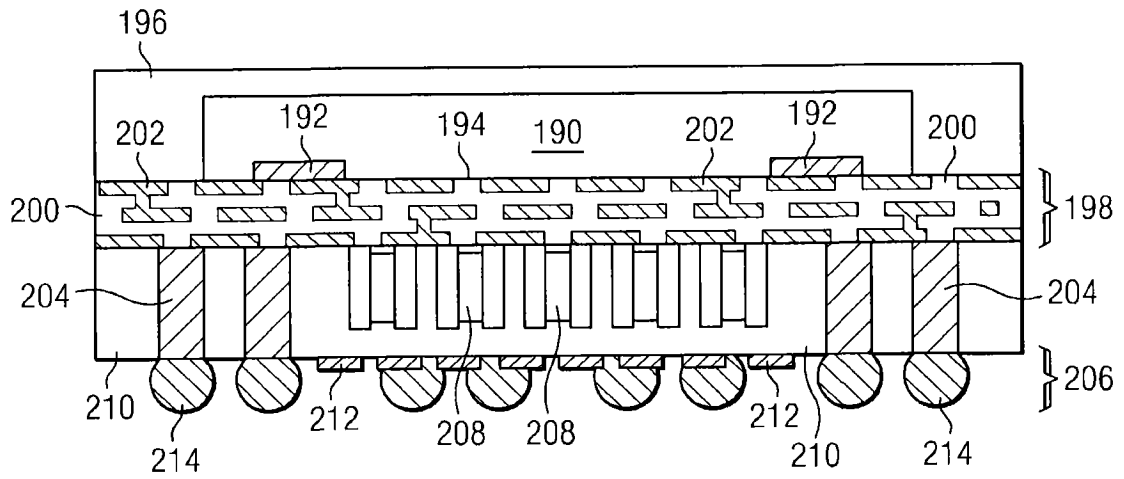


图 10