

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 6 部門第 3 区分  
 【発行日】平成 19 年 12 月 27 日 (2007.12.27)

【公開番号】特開 2005-182825 (P2005-182825A)  
 【公開日】平成 17 年 7 月 7 日 (2005.7.7)  
 【年通号数】公開・登録公報 2005-026  
 【出願番号】特願 2004-367833 (P2004-367833)  
 【国際特許分類】

**G 0 6 F 9/46 (2006.01)**

**G 0 6 F 9/38 (2006.01)**

【F I】

G 0 6 F 9/46 4 1 0

G 0 6 F 9/38 3 1 0 A

G 0 6 F 9/38 3 1 0 F

【手続補正書】

【提出日】平成 19 年 11 月 14 日 (2007.11.14)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

複数のスレッドの並列処理のために構成されたマイクロプロセッサであって、各スレッドが命令のシーケンスを含み、

前記複数のスレッドのすべてに関する命令を実行するように構成された実行モジュールと、

それぞれが前記複数のスレッドのそれぞれの 1 つに関連する複数のストレージ・ロケーションを含む命令バッファと、

前記命令バッファの前記関連するストレージ・ロケーションが使用可能であるかどうか少なくとも部分的に基づいて前記複数のスレッドの 1 つを選択し、前記複数のスレッドの前記選択された 1 つの前記シーケンス内の次の命令を前記命令バッファにフェッチするように構成されたフェッチ回路と、

前記命令バッファの前記記憶された命令のうちのどれが、実行の準備ができているかを判定し、実行モジュールに発行される準備ができている命令の 1 つを選択するように構成されたディスパッチ回路とを含むマイクロプロセッサ。

【請求項 2】

前記フェッチ回路が、第 1 の順序で前記命令バッファに命令をフェッチし、前記ディスパッチ回路が、前記第 1 の順序と異なる第 2 の順序で準備ができている命令を選択する請求項 1 に記載のマイクロプロセッサ。

【請求項 3】

命令を記憶するように構成された命令キャッシュをさらに含み、前記フェッチ回路が、さらに、プログラム・カウンタ値を含む要求を前記命令キャッシュに送ることによって次の命令をフェッチするように構成される請求項 1 に記載のマイクロプロセッサ。

【請求項 4】

前記フェッチ回路が

前記複数のスレッドのそれぞれの候補プログラム・カウンタ値を生成するように構成さ

れたプログラム・カウンタ・ロジックと、

前記命令バッファの前記ストレージ・ロケーションのどれが使用可能であるかの判定に少なくとも部分的に基づいて前記複数のスレッドの１つを選択するように構成された選択論理回路であって、さらに、対応する選択信号を供給するように構成される選択論理回路と、

前記選択信号を受け取り、前記選択されたスレッドに対応する前記候補プログラム・カウンタ値を前記命令キャッシュに送るアービトレーション回路とを含む請求項３に記載のマイクロプロセッサ。

【請求項５】

前記選択論理回路が、

優先順位制御信号に基づいて決定される、前記スレッドの間の優先順位ランキングに従って、前記複数のスレッドのうちで、前記命令バッファ内に命令を有しない１つを選択するように構成された優先順位エンコーダと、

前記優先順位制御信号を生成するように構成されたフェーズ・カウンタとを含み、異なる時間に、前記優先順位制御信号が、前記スレッドの異なる１つに異なる優先順位ランキングを与える請求項４に記載のマイクロプロセッサ。

【請求項６】

前記選択論理回路が、さらに、第１スレッドの選択の前の発生から最小時間が経過した後に限って、前記第１スレッドを選択するように構成される請求項４に記載のマイクロプロセッサ。

【請求項７】

前記複数のスレッドが、第１スレッド・タイプを有するスレッドの第１グループと、第２スレッド・タイプを有するスレッドの第２グループを有し、前記選択論理回路が、さらに、各前記複数のスレッドのそれぞれのスレッド・タイプに少なくとも部分的に基づいて、前記複数のスレッドの１つを選択するように構成される請求項４に記載のマイクロプロセッサ。

【請求項８】

前記選択論理回路が、さらに、前記第１スレッド・タイプを有する第１候補スレッドと前記第２スレッド・タイプを有する第２候補スレッドを選択し、前記それぞれのスレッド・タイプに基づいて前記第１候補スレッドと前記第２候補スレッドとの間で選択するように構成される請求項７に記載のマイクロプロセッサ。

【請求項９】

前記実行モジュールによって生成される結果データを含む、前記複数のスレッドのそれぞれのデータを保持するように構成されたレジスタ・ファイルを含み請求項１に記載のマイクロプロセッサ。

【請求項１０】

前記ディスパッチ回路が、

前記命令バッファと前記レジスタ・ファイルに結合され、前記命令バッファ内の各命令のレディ信号を生成するように構成されたスコアボード回路であって、各命令のレディ信号が、前記命令のソース・オペランドが前記レジスタ・ファイルに存在するかどうか少なくとも部分的に基づいてアサートされるか、またはアサートされない、スコアボード回路と、

前記スコアボード回路と前記命令バッファに結合されたスケジューラ回路であって、前記レディ信号がアサートされている前記命令バッファ内の前記命令の１つを、次に発行される命令として選択し、対応する許可信号を前記命令バッファに送るように構成されるスケジューラ回路と、

前記命令バッファに結合されたイシュア回路であって、前記命令バッファが、さらに、前記許可信号に応答して、前記スケジューラ回路によって選択された前記命令を前記イシュア回路に送るよう構成され、前記イシュア回路が、前記選択された命令の前記ソース・オペランドを前記レジスタ・ファイルから収集し、前記選択された命令と前記ソース・

オペランドを前記実行モジュールに転送するように構成される、イシュア回路とを含む請求項 9 に記載のマイクロプロセッサ。

【請求項 11】

前記スケジューラ回路が、さらに、各命令が前記命令バッファに記憶されていた時間の長さに少なくとも部分的に基づいて、次に発行される命令を選択するように構成される請求項 10 に記載のマイクロプロセッサ。

【請求項 12】

前記スケジューラ回路が、

前記レディ信号がアサートされている前記命令バッファ内の命令を有する、前記複数のスレッドのうちの 1 つを選択するように構成された優先順位エンコードであって、前記スレッドの前記 1 つが、前記スレッドの間での優先順位ランキングに従って選択され、前記優先順位ランキングが優先順位制御信号に基づいて決定される、優先順位エンコードと、

前記優先順位制御信号を生成するように構成されたフェーズ・カウンタとを含み、異なる時間に、前記優先順位制御信号が、前記スレッドの異なる 1 つに異なる優先順位ランキングを与える請求項 10 に記載のマイクロプロセッサ。

【請求項 13】

前記複数のスレッドが、第 1 スレッド・タイプを有するスレッドの第 1 グループと第 2 スレッド・タイプを有するスレッドの第 2 グループを含み、前記スケジューラ回路が、さらに、各前記複数のスレッドのそれぞれのスレッド・タイプに少なくとも部分的に基づいて前記複数のスレッドの 1 つを選択するように構成される請求項 10 に記載のマイクロプロセッサ。

【請求項 14】

前記スケジューラ回路が、さらに、各前記スレッドの前記それぞれの命令に関連する動作の間の相対優先順位に少なくとも部分的に基づいて、前記複数のスレッドの 1 つを選択するように構成される請求項 10 に記載のマイクロプロセッサ。

【請求項 15】

前記実行モジュールが複数の実行パイプを含み、前記スケジューラ回路が、さらに、前記複数の実行パイプのどれが使用中でないかの判定に少なくとも部分的に基づいて前記複数のスレッドの 1 つを選択するように構成される請求項 10 に記載のマイクロプロセッサ。

【請求項 16】

それぞれが命令のシーケンスを含む複数のスレッドを並列処理するように構成されたマイクロプロセッサで命令を処理する方法であって、

前記複数のスレッドのそれぞれからの命令を記憶するように構成された命令バッファに、前記複数のスレッドの第 1 の 1 つからの第 1 命令をフェッチするステップと、

その後、前記命令バッファに、前記複数のスレッドの第 2 の 1 つからの第 2 命令をフェッチするステップと、

前記第 1 命令と前記第 2 命令のうちの 1 つまたは複数が実行の準備ができているかどうかを判定するステップと、

実行のために前記第 1 命令と前記第 2 命令の準備ができている 1 つを発行するステップと

を含み、前記第 2 命令が実行の準備ができおり、前記第 1 命令が実行の準備ができいていない場合に、前記第 1 命令を発行する前に、前記第 2 命令が発行される方法。

【請求項 17】

発行の前記動作の後に、前記発行された命令が前記第 1 スレッドまたは前記第 2 スレッドのどちらのためにフェッチされたかを判定する動作と、

前記発行された命令に対応する前記スレッド内の次の命令である第 3 命令を、前記命令バッファにフェッチする動作と

をさらに含む請求項 16 に記載の方法。

【請求項 18】

前記第 1 命令をフェッチする前記動作が、  
前記複数のスレッドのそれぞれから候補プログラム・カウンタ値を受け取る動作と、  
前記複数のスレッドのそれぞれに優先順位ランキングを割り当てる動作であって、前記優先順位ランキングが、異なる時間に異なる動作と、

前記第 1 スレッドが、命令が前記命令バッファに記憶されていない最高優先順位のスレッドである場合に、前記複数のスレッドの中から前記第 1 スレッドを選択する動作と  
を含み、前記第 1 命令が、前記第 1 スレッドの選択に応答してフェッチされる請求項 16  
に記載の方法。

【請求項 19】

前記第 1 スレッドの選択の前の発生からの経過時間が最小時間未満である場合に、前記第 1 スレッドの選択の前記動作を抑止する動作をさらに含む請求項 18 に記載の方法。

【請求項 20】

複数の実行コアを含むグラフィックス・プロセッサと、  
前記グラフィックス・プロセッサに結合されたグラフィックス・メモリと  
を含むグラフィックス処理システムであって、  
前記複数の実行コアのそれぞれが、  
複数のスレッドのすべてに関する命令を実行するように構成された実行モジュールと、  
前記複数のスレッドのそれぞれの 1 つに関連する複数のストレージ・ロケーションを含む命令バッファと、

前記命令バッファ内の前記関連するストレージ・ロケーションが使用可能であるかどうか少なくとも部分的に基づいて前記複数のスレッドの 1 つを選択し、前記複数のスレッドの前記選択された 1 つのシーケンス内の次の命令を前記命令バッファにフェッチするように構成されたフェッチ回路と、

前記命令バッファ内の前記記憶された命令のどれが実行の準備ができているかを判定し、  
前記実行モジュールに発行される、前記準備のできている命令の 1 つを選択するように構成されたディスパッチ回路と  
を含む、グラフィックス処理システム。