

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成28年6月16日(2016.6.16)

【公開番号】特開2013-251888(P2013-251888A)

【公開日】平成25年12月12日(2013.12.12)

【年通号数】公開・登録公報2013-067

【出願番号】特願2013-91965(P2013-91965)

【国際特許分類】

H 03K 19/177 (2006.01)

【F I】

H 03K 19/177

【手続補正書】

【提出日】平成28年4月22日(2016.4.22)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

コンフィギュレーションデータが保持されるメモリと、

前記メモリから供給されたコンフィギュレーションデータに従って、入力された複数の信号のうちからいずれかを選択して出力する複数のマルチプレクサと、

インバータと、を有し、

前記複数のマルチプレクサは、バイナリツリー状に多段に接続され、

最上位の段のマルチプレクサの入力端子の一つと、前記最上位の段の一つ下位の段のマルチプレクサの一の出力端子との間に前記インバータが設けられ、

各マルチプレクサでの信号の選択により、最下位の段の全てのマルチプレクサに入力された信号のいずれかを前記最上位の段のマルチプレクサから出力信号として出力するルックアップテーブル。

【請求項2】

コンフィギュレーションデータが保持されるメモリと、

前記メモリから供給されたコンフィギュレーションデータに従って、入力された複数の信号のうちからいずれかを選択して出力する複数のマルチプレクサと、

インバータと、を有し、

前記複数のマルチプレクサは、バイナリツリー状に多段に接続され、

最下位の段のマルチプレクサの一の出力端子と、前記最下位の段の一つ上位の段のマルチプレクサの入力端子との間に前記インバータが設けられ、

各マルチプレクサでの信号の選択により、前記最下位の段の全てのマルチプレクサに入力された信号のいずれかを最上位の段のマルチプレクサから出力信号として出力するルックアップテーブル。

【請求項3】

請求項1または請求項2において、

前記メモリは、複数のメモリ素子を有し、

前記最下位の段のマルチプレクサの入力端子には、前記メモリ素子が接続され、

前記メモリ素子は、トランジスタ及び容量素子を有し、

前記トランジスタは、バンドギャップが3.0 eV以上の半導体膜を含み、

前記メモリ素子は、前記トランジスタのソース及びドレインの一方と、前記容量素子の

一対の電極のうち一方とが接続されたノードに、前記コンフィギュレーションデータを保持する、ルックアップテーブル。

【請求項 4】

請求項 1 乃至 3 のいずれか一に記載されたルックアップテーブルを含むプログラマブルロジックデバイス。