

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第5444124号  
(P5444124)

(45) 発行日 平成26年3月19日(2014.3.19)

(24) 登録日 平成25年12月27日(2013.12.27)

(51) Int.Cl.  
**H01L 21/3205 (2006.01)**  
**H01L 21/768 (2006.01)**  
**H01L 23/532 (2006.01)**  
**H01L 21/28 (2006.01)**

F 1  
**H01L 21/88 R**  
**H01L 21/28 301R**

請求項の数 13 (全 12 頁)

(21) 出願番号 特願2010-123865 (P2010-123865)  
(22) 出願日 平成22年5月31日 (2010.5.31)  
(65) 公開番号 特開2010-283347 (P2010-283347A)  
(43) 公開日 平成22年12月16日 (2010.12.16)  
審査請求日 平成25年2月15日 (2013.2.15)  
(31) 優先権主張番号 12/477389  
(32) 優先日 平成21年6月3日 (2009.6.3)  
(33) 優先権主張国 米国(US)

早期審査対象出願

(73) 特許権者 390009531  
インテナショナル・ビジネス・マシーンズ・コーポレーション  
INTERNATIONAL BUSINESS MACHINES CORPORATION  
アメリカ合衆国10504 ニューヨーク  
州 アーモンク ニュー オーチャード  
ロード  
(74) 復代理人 100086243  
弁理士 坂口 博  
(74) 代理人 100108501  
弁理士 上野 剛史  
(74) 代理人 100112690  
弁理士 太佐 稔一

最終頁に続く

(54) 【発明の名称】拡散バリアを形成する方法、拡散バリア構造体及び半導体デバイスを形成する方法

## (57) 【特許請求の範囲】

## 【請求項 1】

半導体デバイス製造で用いられる拡散バリアを形成する方法であって、該方法は、  
タンタルおよびイリジウムを含む化合物ターゲットを使用するDCマグネットロン・スペッタリングによって、パターン形成された中間誘電体(I LD)層の上にイリジウム・ドープされたタンタルのバリア層を堆積するステップを含み、

前記バリア層は、60原子%超のイリジウム濃度であり、前記バリア層がアモルファス構造を有する、

前記方法。

## 【請求項 2】

前記バリア層は、アモルファスなイリジウム・タンタル(-TaIr)層およびアモルファスなイリジウム・タンタル窒化物(-TaN<sub>x</sub>)層のうちの一つである、請求項1に記載の方法。

## 【請求項 3】

PVDによって、前記バリア層上に銅シード層を形成するステップをさらに含む、請求項1に記載の方法。

## 【請求項 4】

前記パターン形成されるI LD層は、前記バリア層が堆積される下部金属層の上面部を露出させる、デュアル・ダマシン構造にパターン形成される、請求項1に記載の方法。

## 【請求項 5】

10

20

半導体デバイスのための拡散バリア構造体であって、  
パターン形成された中間誘電体（ILD）層の上に形成されたイリジウム・ドープされたタンタルのバリア層を含み、

前記バリア層は、60原子%超のイリジウム濃度であり、前記バリア層がアモルファス構造を有する、

前記拡散バリア構造体。

【請求項6】

半導体デバイスを形成する方法であって、前記方法は、

中間誘電体（ILD）層中にデュアル・ダマシン・ビア／溝のパターンを形成するステップであって、前記ILD層は下部導電体層の上に形成される、前記形成するステップと、

物理蒸着（PVD）工程によって、前記パターン形成されたILD層と前記下部導電体層のうち前記デュアル・ダマシン・ビア／溝によって露出されている露出部分との上に犠牲層を堆積するステップであって、前記犠牲層はイリジウム・ドープされたタンタルの第一層である、前記堆積するステップと、

前記犠牲層の水平面を選択的に除去し、前記下部導電体層の前記露出部分に削り凹部を形成するステップと、

タンタルおよびイリジウムを含む化合物ターゲットを使用するDCマグネットロン・スペッタリングによって、前記ILD層、前記犠牲層の残存垂直部分、および前記下部導電体層の前記削り凹部の上にバリア層を堆積するステップであって、前記バリア層は、イリジウム・ドープされたタンタルの第二層である、前記堆積するステップと、  
を含み、

前記犠牲層およびバリア層の双方は、60原子%超のイリジウム濃度であり、アモルファス構造を有する、

前記方法。

【請求項7】

前記犠牲層は、アモルファスなイリジウム・タンタル（-TaIr）層およびアモルファスなイリジウム・タンタル窒化物（-TaNIr）層のうちの一つである、請求項6に記載の方法。

【請求項8】

前記バリア層は、アモルファスなイリジウム・タンタル（-TaIr）層およびアモルファスなイリジウム・タンタル窒化物（-TaNIr）層のうちの一つである、請求項7に記載の方法。

【請求項9】

PVDによって、前記バリア層上に銅シード層を形成するステップと、前記デュアル・ダマシン・ビア／溝を、銅材料により充填するステップと、化学機械研磨により前記銅材料を平坦化するステップとを、さらに含む、請求項7に記載の方法。

【請求項10】

半導体デバイスを形成する方法であって、前記方法は、

中間誘電体（ILD）層中にビアのパターンを形成するステップであって、前記中間誘電体層は下部導電体層の上に形成される、前記形成するステップと、

物理蒸着（PVD）工程によって、前記パターン形成されたILD層と前記下部導電体層のうち前記ビアによって露出されている露出部分との上に犠牲層を堆積するステップであって、前記犠牲層はイリジウム・ドープされたタンタルの第一層である、前記堆積するステップと、

前記犠牲層の水平面を選択的に除去し、前記下部導電体層の前記露出部分に削り凹部を形成するステップと、

前記ILDに一つ以上の溝のパターン形成するステップと、

タンタルおよびイリジウムを含む化合物ターゲットを使用するDCマグネットロン・スペッタリングによって、前記ILD層、前記犠牲層の残存垂直部分、および前記下部導電体

10

20

30

40

50

層の前記削り凹部の上にバリア層を堆積するステップであって、前記バリア層は、イリジウム・ドープされたタンタルの第二層である、前記堆積するステップと、  
を含み、

前記犠牲層およびバリア層の双方は、60原子%超のイリジウム濃度であり、アモルファス構造を有する、

前記方法。

#### 【請求項 1 1】

前記犠牲層は、アモルファスなイリジウム・タンタル( - TaIr )層およびアモルファスなイリジウム・タンタル窒化物( - TaNIr )層のうちの一つである、請求項  
10 10に記載の方法。

#### 【請求項 1 2】

前記バリア層は、アモルファスなイリジウム・タンタル( - TaIr )層およびアモルファスなイリジウム・タンタル窒化物( - TaNIr )層のうちの一つである、請求項  
11 11に記載の方法。

#### 【請求項 1 3】

PVDによって、前記バリア層上に銅シード層を形成するステップと、前記ビアおよび前記溝を、銅材料により充填するステップと、化学機械研磨により、前記銅材料を平坦化するステップとをさらに含む、請求項 1 1 11に記載の方法。

#### 【発明の詳細な説明】

##### 【技術分野】

20

##### 【0001】

本発明は、一般に半導体デバイス製造技法に関し、さらに具体的にはアモルファスなタンタル・イリジウム拡散バリアを用いた銅相互接続構造、その形成方法、および該方法による半導体デバイス製造方法に関する。

##### 【背景技術】

##### 【0002】

集積回路デバイスのサイズは、より高い動作周波数、より低い電力消費、および、より高い総合生産性を実現するために縮小し続けているので、いわゆるデュアル・ダマシン工程により形成される銅相互接続は、製造および性能の両面に関し、ますます高まる困難性に直面している。具体的には、この相互接続機構のサイズ(例、銅ラインの幅およびビア・ホールの直径)が小さくなっているので、電気メッキによってエッチングされた溝/ビア構造に銅を充填させるのが困難になっている。銅の電気メッキは、銅シード層の上に行われ、該シード層はライナ材料の上に物理蒸着(PVD: physical vapor or deposition)によって形成される。

30

##### 【発明の概要】

##### 【発明が解決しようとする課題】

##### 【0003】

しかしながら、銅シード層の適合性には限界があり、該シード層の層中に一つ以上の切れ目が生じることがある。かかる銅シードが途切れている箇所では、その下部の、銅拡散のバリアとして機能しているライナ(通常、タンタル(Ta)または窒化タンタル(TaN))の表面が、PVD工程の後、空気に曝され酸化される。その結果、酸化されたライナ表面では銅イオンに対する電子の供給(これは銅の電気メッキに必要な反応である)が阻止されるので、酸化されたライナ表面上には銅の電気メッキが行われない。結果として、シード層の切れ目部分は、原子結合が弱くて、その切れ目がアニーリング処理の過程でボイド生成部位として作用するような、銅との界面を有することになる。このアニーリング処理は、相互接続系の信頼性向上のため銅のグレインをより大きく成長させるのに用いられる。上記の後、該ボイド生成部位は、アニーリング処理の過程、もしくはその後のチップ製造を完了させるためのさらなる金属層を形成する加熱工程で、ボイド形成を引き起こす。また、ボイド生成部位が、エレクトロマイグレーション又は他の応力誘起マイグレーション現象によりチップの動作に悪影響を与える可能性もある。要するに、かかるボイ

40

50

ド生成部位は、低い生産歩留まりもしくは低い製品信頼性をもたらす。

【課題を解決するための手段】

【0004】

ある例示的実施形態において、半導体デバイス製造で用いられる拡散バリアを形成する方法は、物理蒸着（PVD）工程によって、パターン形成された中間誘電体（ILD：interlevel dielectric）層の上にイリジウム・ドープされたタンタル・ベースのバリア層を堆積するステップを含み、該バリア層は、原子量で少なくとも60%のイリジウム濃度で、バリア層が結果としてアモルファス構造を有するように堆積される。

【0005】

別の実施形態において、半導体デバイスの拡散バリア構造体は、パターン形成された中間誘電体（ILD）層の上に、イリジウム・ドープされたタンタル・ベースのバリア層を含み、該バリア層は、原子量で少なくとも60%のイリジウム濃度で、バリア層が結果としてアモルファス構造を有するように形成される。

【0006】

別の実施形態において、半導体デバイスを形成する方法は、中間誘電体（ILD）層中に、デュアル・ダマシン溝およびビア構造の一つ以上のパターンを形成するステップであって、該中間誘電体層は下部の導電体層の上に形成される、該形成ステップと、物理蒸着（PVD）工程によって、パターン形成されたILD層および下部導電体層の露出部分の上に犠牲層を堆積するステップであって、該犠牲層はイリジウム・ドープされたタンタル・ベースの第一層を包含する、該堆積ステップと、犠牲層の水平面を選択的に除去し、下部導電体層中に削り凹部を形成するステップと、PVDによって、ILD層、犠牲層の残存垂直部分、および削り凹部に対応する下部導電体層の露出部分の上にバリア層を堆積するステップであって、該バリア層はイリジウム・ドープされたタンタル・ベースの第二層を包含する、該堆積ステップと、を含み、該犠牲層およびバリア層の双方は、原子量で少なくとも60%のイリジウム濃度で、結果としてアモルファス構造を有するように堆積される。

【0007】

別の実施形態において、半導体デバイスを形成する方法は、中間誘電体（ILD）層中にビア・パターンを形成するステップであって、該中間誘電体層は、下部導電体の上に形成される、該形成ステップと、物理蒸着（PVD）工程によって、パターン形成されたILD層および下部導電体層の露出部分の上に犠牲層を堆積するステップであって、該犠牲層はイリジウム・ドープされたタンタル・ベースの第一層を包含する、該堆積ステップと、犠牲層の水平面を選択的に除去し、下部導電体層中に削り凹部を形成するステップと、ILD層中に一つ以上の溝をパターン形成するステップと、PVDによって、ILD層、犠牲層の残存垂直部分、および削り凹部に対応する下部導電体層の露出部分の上にバリア層を堆積するステップであって、該バリア層はイリジウム・ドープされたタンタル・ベースの第二層を包含する、該堆積ステップと、を含み、該犠牲層およびバリア層の双方は、原子量で少なくとも60%のイリジウム濃度で、結果としてアモルファス構造を有するように堆積される。

【0008】

以降、図面を参照するが、これらいくつかの図面の中で同種のエレメントは類似に番号付けられている。

【図面の簡単な説明】

【0009】

【図1】本発明のある実施形態による、半導体デバイス製造で用いられる拡散バリア形成の方法を図示する一連の断面図の一つである。

【図2】本発明のある実施形態による、半導体デバイス製造で用いられる拡散バリア形成の方法を図示する一連の断面図の一つである。

【図3】本発明のある実施形態による、半導体デバイス製造で用いられる拡散バリア形成

10

20

30

40

50

の方法を図示する一連の断面図の一つである。

【図4】本発明のある実施形態による、半導体デバイス製造で用いられる拡散バリア形成の方法を図示する一連の断面図の一つである。

【図5】本発明のある実施形態による、半導体デバイス製造で用いられる拡散バリア形成の方法を図示する一連の断面図の一つである。

【図6】図6(a)は、例示的、アモルファスなIrドープされたTa膜の透過型電子顕微鏡写真(TEM: transmission electron micrograph)像である。図6(b)は、図6(a)のIrドープされたTa膜の電子回折パターン像である。

【図7】図7(a)は、RuドープされたTaN膜のTEM像である。図7(b)は、図7(a)のRuドープされたTaN膜の電子回折パターン像である。

【図8】本発明の別の実施形態による、アモルファスなIrドープされたライナ技法を、ビア穿孔に用いられる犠牲ライナ・ステップに組み合わせた、例示的工程流れステップのシーケンスの一ステップを示す。

【図9】本発明の別の実施形態による、アモルファスなIrドープされたライナ技法を、ビア穿孔に用いられる犠牲ライナ・ステップに組み合わせた、例示的工程流れステップのシーケンスの一ステップを示す。

【図10】本発明の別の実施形態による、アモルファスなIrドープされたライナ技法を、ビア穿孔に用いられる犠牲ライナ・ステップに組み合わせた、例示的工程流れステップのシーケンスの一ステップを示す。

【図11】本発明の別の実施形態による、アモルファスなIrドープされたライナ技法を、ビア穿孔に用いられる犠牲ライナ・ステップに組み合わせた、例示的工程流れステップのシーケンスの一ステップを示す。

【図12】本発明の別の実施形態による、アモルファスなIrドープされたライナ技法を、ビア穿孔に用いられる犠牲ライナ・ステップに組み合わせた、例示的工程流れステップのシーケンスの一ステップを示す。

【図13】本発明の別の実施形態による、アモルファスなIrドープされたライナ技法を、スパン(Span)ビア形成に組み合わせた、例示的工程流れステップのシーケンスの一ステップを示す。

【図14】本発明の別の実施形態による、アモルファスなIrドープされたライナ技法を、スパン・ビア形成に組み合わせた、例示的工程流れステップのシーケンスの一ステップを示す。

【図15】本発明の別の実施形態による、アモルファスなIrドープされたライナ技法を、スパン・ビア形成に組み合わせた、例示的工程流れステップのシーケンスの一ステップを示す。

【図16】本発明の別の実施形態による、アモルファスなIrドープされたライナ技法を、スパン・ビア形成に組み合わせた、例示的工程流れステップのシーケンスの一ステップを示す。

【図17】本発明の別の実施形態による、アモルファスなIrドープされたライナ技法を、スパン・ビア形成に組み合わせた、例示的工程流れステップのシーケンスの一ステップを示す。

【図18】本発明の別の実施形態による、アモルファスなIrドープされたライナ技法を、スパン・ビア形成に組み合わせた、例示的工程流れステップのシーケンスの一ステップを示す。

#### 【発明を実施するための形態】

##### 【0010】

銅形成に関するボイド生成の問題に対処するために、Taライナの代替材料としてルテニウム(Ru)などの貴金属が研究されてきた。Taと違って、Ruは銅電気メッキのシード層として機能する。銅のシード層に切れ目部分があって大気曝露されても、切れ目部分のRuは酸化されることなく、電気メッキ・シード層としての役割をする。しかしながら

10

20

30

40

50

ら、Ru層をデバイスの形体に適合させるためには、Ru層を、化学気相堆積（CVD：chemical vapor deposition）工程または原子層堆積（ALD：atomic layer deposition）工程のいずれかによって形成しなければならない。かかるRuの堆積には、真空連続クラスタ処理システムとして、従来式のTaのPVDチャンバに加え別の処理チャンバが必要となる。残念なことに、これは生産コストの上昇をもたらす。

#### 【0011】

研究された別の解決策は、TaおよびTaNライナ材料に換えて、RuドープされたTaライナまたはRuドープされたTaNライナを使うことである。このアプローチの目的は、銅および水の拡散に対する保護バリア層および電気メッキ・シード層の両方としてのライナ材料機能を得ることにある。さらに、RuドープされたTaのPVDを使うことによって、一切他の処理チャンバを追加することなく、従来型のPVDシステムを用いることができる。しかしながら、実際にやってみると、RuドープされたTa膜は多結晶微細構造を有し、Ru結晶はアモルファスなTaまたはTaN中に埋め込まれてしまう。その結果として、Ruの粒界、およびRuグレインとTa相との界面が、銅原子が該粒界および界面に沿って拡散することを可能にする。従って、RuドープされたTa膜は電気メッキのシード層としては機能するが、銅および水の拡散に対する効果的な保護バリアとしては機能しない。

#### 【0012】

上記に対応するため、本明細書では、PVD工程に組入れ可能な、半導体デバイス製造に用いるための拡散バリアを開示する。簡潔には、これらの実施形態は、Taに対するドーパントとして、イリジウム（Ir）を、アモルファス微細構造または完璧な粒界充填物質（grain boundary stuffing）あるいはその両方を生成する配合および堆積条件で使用する。かかるアモルファス層の生成は、Cuメタライゼーションの伸張、ボイドのない充填に有利である。アモルファス膜を形成するためには、IrドープされたTaベース膜中のIrの濃度は、原子量で少なくとも約60%にすべきである。

#### 【0013】

本明細書の実施形態には、アモルファスなスタッフド合金または混合体を含めることができ、また、該合金または混合体にバリア金属窒化形成物（例、-Ta（Ir）および-Ta（N, Ir））を含めることができる。かかるIrドープされたTa膜は、IrドープされたTaのPVDターゲットを使い、PVDによって形成することができる。Ruと違って、IrドープされたTa膜は、アモルファスになるよう調整加工され、従って周囲誘電体への銅の急速な外方拡散をもたらす粒界が存在しない。また、膜の特定の組成を工夫すれば、脆弱なTa-Ruシステムのものとは違って、温度的に安定で良好な拡散バリアを形成する効果的な粒界充填物質を得ることができる。しかして、IrドープされたTa膜のアモルファスな微細構造によって、該膜は、拡散バリアとして且つ銅堆積のための電気メッキ・シード層としての役割を果たすことができる。

#### 【0014】

また、Ta（N, Ir）/Ta（Ir）/Cuなど、TaN/Ta/Cu類似のCuシードを有する二重層も考えられる。この場合、該層の少なくともTa（Ir）部分はアモルファス構造を有するものとするが、Ta（N, Ir）部分をアモルファスにすることもできよう。他方で、誘電体材料への接着が適切で（且つ優れた拡散バリア性能が確立されているので）あれば二重層を省略することができる。この場合、例えば、-Ta（Ir）/Cuまたは-Ta（N, Ir）/Cuなど、Cuシードを有する単一層のバリアだけが使われる。

#### 【0015】

また、後記でさらに詳細を説明するように、該Irドープされたライナの形成は、単一のイオン化PVDチャンバ内で行われるので、この工程は、最近になって開発された他の技法と両立性がある。例えば、該Irドープされたライナ技法は、第一ライナ層を貫通して下部の銅ラインへのビア穿孔に用いられその後に（Irドープされた）第二ライナ層お

10

20

30

40

50

およびCuシードの堆積が行われる、いわゆる「犠牲ライナ」または「バリア - ファースト」工程と併せ用いることができる。いずれの場合においても、本明細書で開示するIrドープされたTa膜を、銅ダマシン工程におけるライナ材料として実装している銅相互接続系においては、ライナ / 銅界面のボイド生成部位の排除により、高信頼性および高い生産歩留まりを得ることができる。

#### 【0016】

ここで、図1を参照すると、本拡散バリア実施形態が適用可能なデュアル・ダマシン相互接続工程を描いた断面図が示されている。具体的には、下部金属層102は、その上に形成された中間誘電体(ILD)層104(例、低K材料)を有する。図示のように、ILD層104は、一般的に106として示された、デュアル・ダマシン(すなわち、ビアおよび溝用の開口部を有する)方式にパターン形成されている。次に、図2に示されるように、IrドープされたTaのバリア層108がPVDによって形成される。さらに詳しくは、Taバリア層108は、例えば、TaおよびIrを含む化合物PVDターゲットを使い、DCマグネットロン・スパッタによって形成される。

#### 【0017】

さらにある例示的実施形態において、各成分の原子量での相対濃度は、Taバリア層108がアモルファス構造を有するようにするために、Taについては約40%以下で、Irについては約60%以上になっている。次いで、図3に示されるように、PVDによって、IrドープされたTaバリア層108の上に銅シード層110が形成される。IrドープされたTaと銅との間の界面は、従来式のTa / Cu界面よりも高い原子結合または接合性を有する。さらに、IrドープされたTaバリア層108の上に形成された銅シード層110は、400で1時間アニールされた後でも凝集またはぬれ性喪失を示すことはなく、一方、従来式のTa / Cu界面は同じアニーリングの後に凝集が現れる。図4では、残りの銅充填部112が電気メッキされ、その後、図5に示されるように、例えば、化学機械研磨(CMP:chemical mechanical polishing)など他の従来式ダマシン工程、および随意的に、後続のキャッピング層(図示せず)形成CVDが行われる。

#### 【0018】

前述のIrドープされたTaライナを実装して形成された銅相互接続は、後続の加熱工程においても、検知可能いかなるボイド生成も顕現することはない。実際に、銅とIrドープされたTaとの界面には、アモルファスなIrドープされたTaの補償効果によってシードの切れ目部分が生じない。従って、該銅相互接続は、より高い、エレクトロマイグレーションおよび応力マイグレーション耐性を有する。

#### 【0019】

前述のように、少なくとも60%のIr濃度を用いることによって、得られた堆積バリア層はアモルファス構造を有することになる。図6(a)は、例示的アモルファスなIrドープされたTa膜の透過型電子顕微鏡写真(TEM)像である。図6(b)は、図6(a)のIrドープされたTa膜の電子回折パターン像で、像の中央部の単一の明るいドットの形で該膜のアモルファスな特性を示している。比較として、図7(a)は、RuドープされたTaN膜のTEM像である。図7(b)は、図7(a)のRuドープされたTaN膜の電子回折パターン像であり、像中の複数の同心状の明るい円群の形で該膜の多結晶特性を示している。

#### 【0020】

前にも示したように、該Irドープされたライナ技法は、第一ライナ層を貫通して下部の銅ラインへのビア穿孔に用いられその後に(Irドープされた)第二ライナ層およびCuシードの堆積が行われる、いわゆる「犠牲ライナ」または「バリア - ファースト」工程と併せ用いることができる。図8から図12までは、上記に関する例示的工程流れステップのシーケンスを図示したものである。図8では、ILD層406中に、デュアル・ダマシン・ビア / 溝パターン402および溝パターン404が形成されており、該ILD層は、下部配線層408の上に形成されている。ビア / 溝パターン402のビア部分は、キヤ

ツピング層 410 を貫通してエッチングされ、下部配線層 408 の上で終端している。

#### 【0021】

図9において、PVDにより、この構造を覆って犠牲層412が形成され、該犠牲層412は、アモルファス構造を有するのに適した原子濃度の、IrドープされたTaまたはTaN材料である。次いで、図10に示されるように、犠牲層412の水平面は、例えば、アルゴン(Ar)イオンなどの適切な物質を用いたスパッタリング(矢印で示す)によって除去される。また、この処理によって、下部配線層408の露出部分に形成された削り凹部414がもたらされる。削り凹部414の形成後、図11に示されるように、前述の種類のバリア層416(例、アモルファスなIrドープされたTa)が形成され、次いで銅シード層418が形成される。しかる後、ダマシン溝およびビア構造は、銅材料420によって完全に充填され、続いて、化学機械研磨(CMP)によって図12に示す構造が得られる。この後、該デバイスは既存の技法によって加工されてもよい。

#### 【0022】

最後に図13から図18までは、本発明の別の実施形態による、アモルファスなIrドープされたライナ技法を、スパン・ビア形成に組み合わせた、例示的工程流れステップのシーケンスを示す。図13では、始めにビア502がILD層504中に区画されており、ILD層504は下部配線層506の上に形成されている。ビア502は、キャッピング層508を貫通してエッチングされ、下部配線層506上で終端している。また、ハードマスク層510(例、二酸化ケイ素)がILD層504の上に形成されており、該ILD層504は例えば低K材料とすることができます。

#### 【0023】

図14において、PVDにより上記の構造を覆って犠牲ライナ512が形成され、該犠牲ライナ512は、アモルファス構造を有するのに適切な原子濃度のIrドープされたTaまたはTaN材料である。次いで図15に示されるように、犠牲ライナ512の水平面は、例えば、アルゴン(Ar)イオンなどの適切な物質を用いたスパッタリング(矢印で示す)によって除去される。また、この処理によって、下部配線層506の露出部分中に形成された削り凹部514がもたらされる。図16に示されるように、このステップで、既存の技法によってILD層504中に溝構造516がパターン形成されエッチングされる。

#### 【0024】

図17を参照すると、図11に示されるように、前述した種類の(例、アモルファスなIrドープされたTa)バリア層518が形成され、続いて銅シード層520が形成される。しかる後、ダマシン溝およびビア構造は銅材料522によって完全に充填され、続いて、化学機械研磨(CMP)によって図18に示す構造が得られる。なお、このCMPでハードマスク層510も除去される。この後、該デバイスは既存の技法によって加工されてもよい。

#### 【0025】

好適な実施形態または実施形態群を参照しながら本発明を説明してきたが、当業者は、本発明の範囲から逸脱することなく、さまざまな変更を加え、実施形態のエレメントを同等物で置き換えることが可能なことを理解していよう。さらに、本発明の本質的な範囲から逸脱することなく、特定の状況または材料に適合させるため、本発明の教示に多くの改修を加えることができる。従って、本発明は、その実施のため考えられる最善の態様として開示したこれら特定の実施形態に限定されるものではなく、本発明が添付の請求項の範囲内に含まれるすべての実施形態を包含するものとして、意図されている。

#### 【符号の説明】

#### 【0026】

102 下部金属層

104 中間誘電体(ILD)層

106 形成パターン

108 Taバリア層

10

20

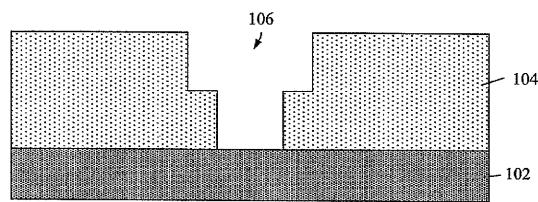
30

40

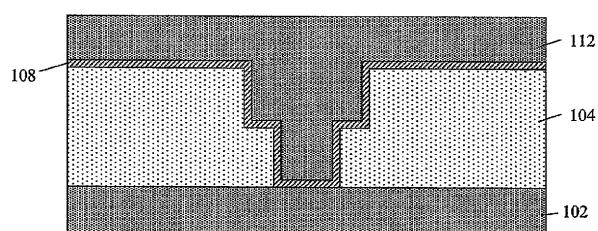
50

## 110 銅シード層

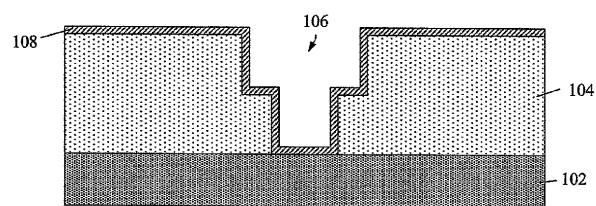
【図1】



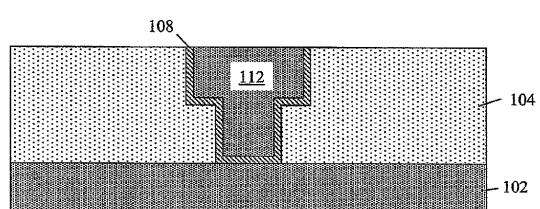
【図4】



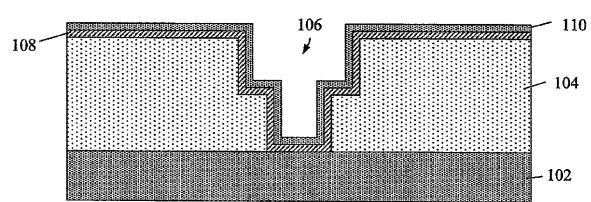
【図2】



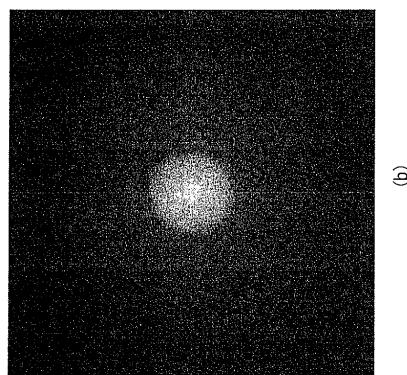
【図5】



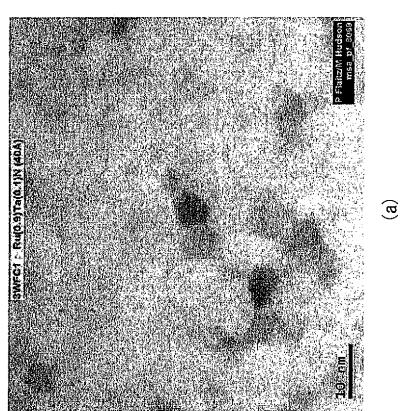
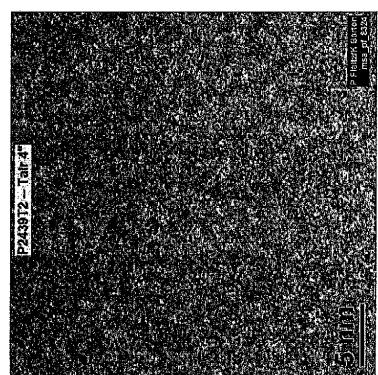
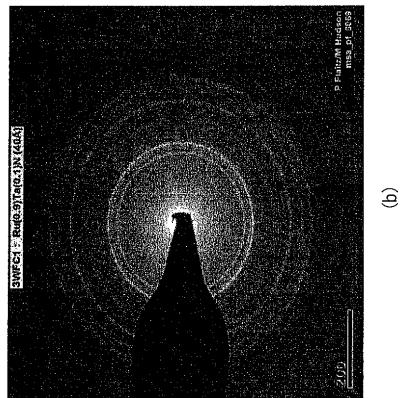
【図3】



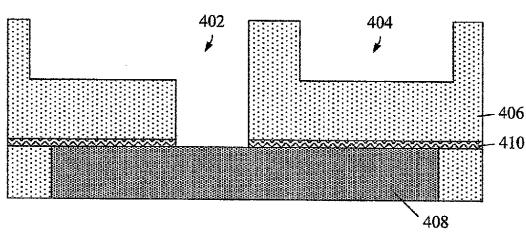
【図6】



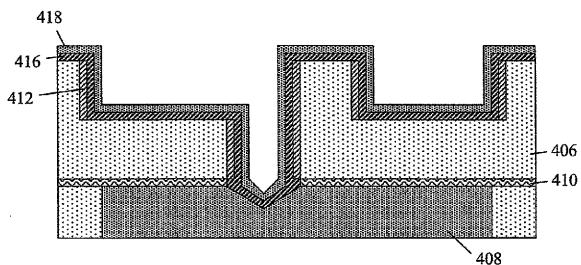
【図7】



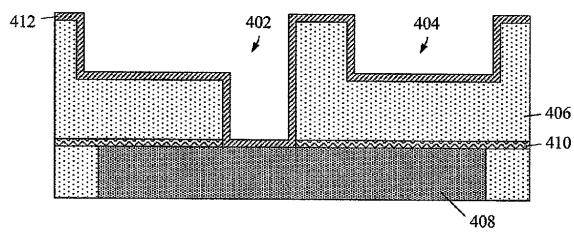
【図8】



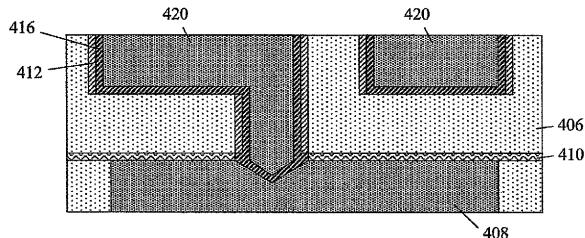
【図11】



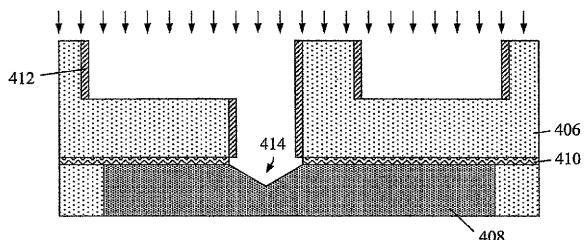
【図9】



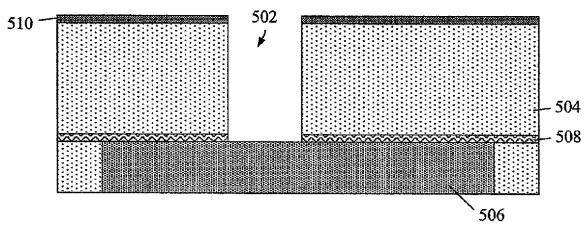
【図12】



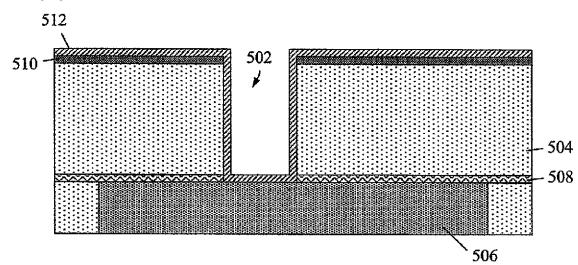
【図10】



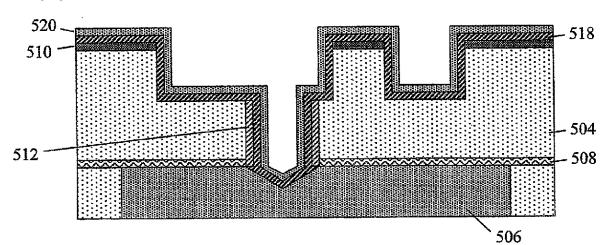
【図13】



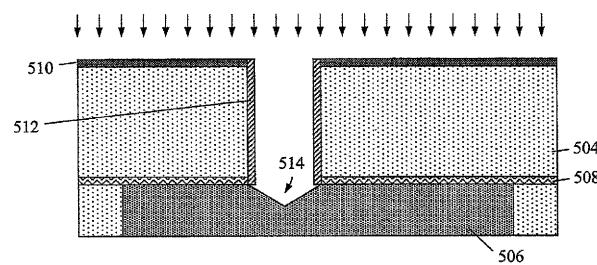
【図14】



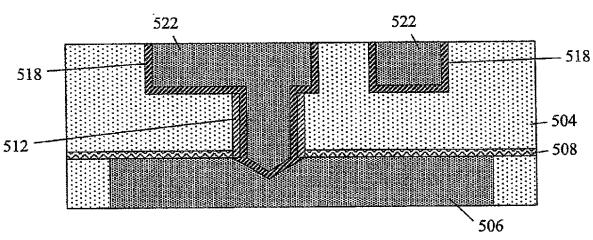
【図17】



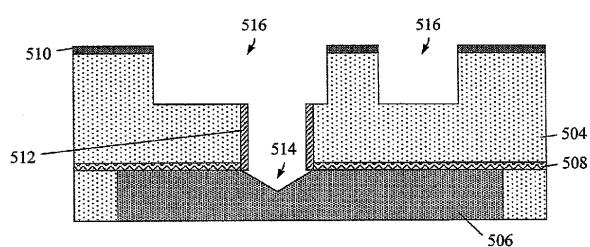
【図15】



【図18】



【図16】



---

フロントページの続き

(74)代理人 100091568  
弁理士 市位 嘉宏

(72)発明者 野上 賀  
アメリカ合衆国 12203 ニューヨーク州 アルバニー フラー・ロード 257

(72)発明者 ダニエル・シー・・イーデルスタン  
アメリカ合衆国 10598 ニューヨーク州 ヨークタウン・ハイツ ピーオー・ボックス 218  
ルート 134 キッチャワン・ロード 1101

(72)発明者 スティーヴン・エム・・ロスネーゲル  
アメリカ合衆国 10598 ニューヨーク州 ヨークタウン・ハイツ ピーオー・ボックス 218  
ルート 134 キッチャワン・ロード 1101

(72)発明者 フィリップ・リー・フレイツ  
アメリカ合衆国 12533-6683 ニューヨーク州 ホープウェル・ジャンクション ルート  
52 2070

(72)発明者 パトリック・ウィリアム・デハヴン  
アメリカ合衆国 12533-6683 ニューヨーク州 ホープウェル・ジャンクション ルート  
52 2070

(72)発明者 チー・チャオ・ヤン  
アメリカ合衆国 12203 ニューヨーク州 アルバニー フラー・ロード 257

審査官 右田 勝則

(56)参考文献 特開平 08-139091 (JP, A)  
特開平 01-302875 (JP, A)  
特開昭 59-193325 (JP, A)  
特表 2008-541428 (JP, A)  
特開 2009-147195 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/3205  
H01L 21/28  
H01L 21/768  
H01L 23/532