

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2025年1月2日(02.01.2025)



(10) 国際公開番号

WO 2025/004734 A1

(51) 国際特許分類:
H10B 10/00 (2023.01)

(21) 国際出願番号: PCT/JP2024/020652

(22) 国際出願日: 2024年6月6日(06.06.2024)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2023-104373 2023年6月26日(26.06.2023) JP

(71) 出願人:株式会社ソシオネクスト(SOCIONEXT INC.) [JP/JP]; 〒2220033 神奈川県横浜市港北区新横浜二丁目10番23 Kanagawa (JP).

(72) 発明者: 廣瀬 雅庸 (HIROSE Masanobu); 〒2220033 神奈川県横浜市港北区新横浜二丁目10番23 株式会社ソシオネクスト内 Kanagawa (JP).

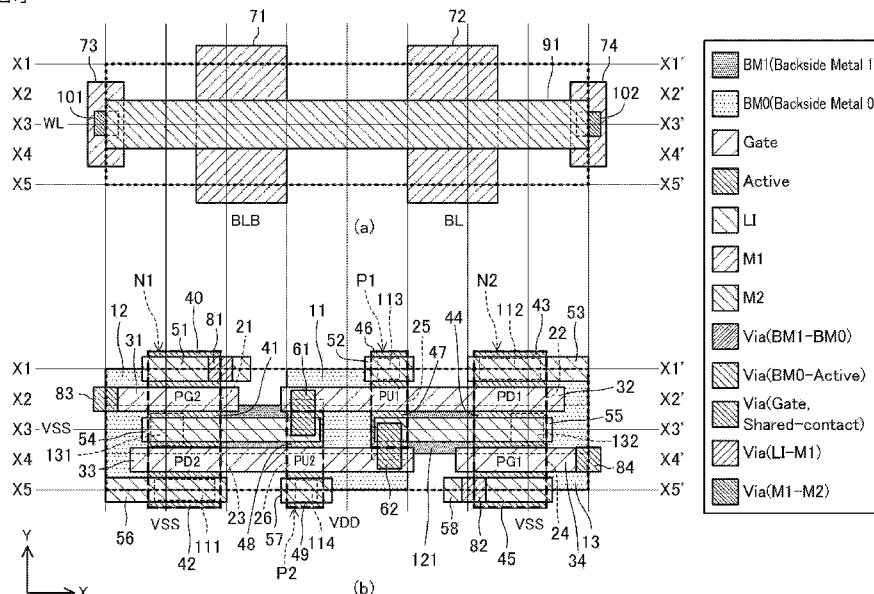
(74) 代理人: 弁理士法人前田特許事務所(MAEDA & PARTNERS); 〒5300004 大阪府大阪市北区堂島浜1丁目2番1号 新ダイビル23階 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG,

(54) Title: SEMICONDUCTOR MEMORY DEVICE

(54) 発明の名称: 半導体記憶装置

[図1]



(57) Abstract: Wires (71, 72) corresponding to bit lines BLB, BL are formed in a metal wiring layer. A SRAM cell is provided with: a power supply wiring (11) that is formed in a first back surface wiring layer on the back surface side of a transistor, overlaps with active regions (P1, P2) in plan view, and supplies a power supply voltage VDD; a power supply wiring (13) that is formed in the first back surface wiring layer, overlaps with an active region (N2) in plan view, and supplies a power supply voltage VSS; and a power supply wiring (12) that is formed in the first back surface wiring layer,

KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU,
LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

overlaps with an active region (N1) in plan view, and supplies the power supply voltage VSS.

(57) 要約: ビット線 B L B, B L に相当する配線 (7 1, 7 2) は、メタル配線層に形成されている。S R A Mセルは、トランジスタの背面側の第 1 背面配線層に形成されており、アクティブ領域 (P 1, P 2) と平面視で重なりを有し、電源電圧 V D D を供給する電源配線 (1 1) と、第 1 背面配線層に形成されており、アクティブ領域 (N 2) と平面視で重なりを有し、電源電圧 V S S を供給する電源配線 (1 3) と、第 1 背面配線層に形成されており、アクティブ領域 (N 1) と平面視で重なりを有し、電源電圧 V S S を供給する電源配線 (1 2) とを備える。

明 細 書

発明の名称：半導体記憶装置

技術分野

[0001] 本開示は、半導体記憶装置に関し、特にS R A M (Static Random Access Memory) セル（以下、適宜、単にセルともいう）のレイアウト構造に関する。

背景技術

[0002] S R A Mは半導体集積回路において広く用いられている。

[0003] また、L S Iの基本構成要素であるトランジスタは、ゲート長の縮小（スケーリング）により、集積度の向上、動作電圧の低減、および動作速度の向上を実現してきた。しかし近年、過度なスケーリングによるオフ電流と、それによる消費電力の著しい増大が問題となっている。この問題を解決するため、トランジスタ構造を従来の平面型から立体型に変更した立体構造トランジスタが盛んに研究されている。立体構造トランジスタの一例として、ナノシートF E T (Field Effect Transistor) がある。

[0004] 特許文献1では、さらなる高集積化のために、トランジスタの直下の基板背面にワード線を設ける技術が開示されている。

先行技術文献

非特許文献

[0005] 特許文献1：米国特許出願公開第2022／0336474号明細書

発明の概要

発明が解決しようとする課題

[0006] ここで、特許文献1の技術では、ビット線と電源配線とが同じ配線層に設けられているため、ビット線の配線幅を大きくすることができない。このため、ビット線の配線抵抗が大きくなり、半導体記憶装置の動作速度が低下する。また、ビット線と電源配線とが同じ配線層に設けられているため、電源配線の配線幅を大きくすることができない。これにより、電源配線の配線抵

抗が大きくなり、電源電圧降下が大きくなるため、半導体記憶装置の動作速度が低下する。また、ビット線と電源配線との距離が近くなるため、寄生容量が大きくなり、半導体記憶装置の動作速度が低下する。

[0007] また、ワード線を基板の背面側に設けているため、周辺回路において、ワード線を基板の表面側の配線に接続するためには、背面側の配線と表面側の配線とを接続するための接続部が必要となる。このため、半導体記憶装置の面積が増加するとともに、当該接続部の抵抗によって半導体記憶装置の動作速度が低下する。

[0008] 本開示は、トランジスタの背面側に配線を設けたSRAMセルのレイアウト構造において、半導体記憶装置の動作速度の低下を抑止しつつ、半導体記憶装置の面積増加を抑止することを目的とする。

課題を解決するための手段

[0009] 本開示の第1態様では、SRAMセルを含む半導体記憶装置であって、前記SRAMセルは、ソースが第1電源電圧を供給する第1電源に、ドレインが第1ノードに、ゲートが第2ノードにそれぞれ接続された第1トランジスタと、ソースが前記第1電源に、ドレインが前記第2ノードに、ゲートが前記第1ノードにそれぞれ接続された第2トランジスタと、ソースが前記第1電源電圧と異なる第2電源電圧を供給する第2電源に、ドレインが第1ノードに、ゲートが前記第2ノードにそれぞれ接続された第3トランジスタと、ソースが前記第2電源に、ドレインが前記第2ノードに、ゲートが前記第1ノードにそれぞれ接続された第4トランジスタと、ソースが第1ビット線に、ドレインが前記第1ノードに、ゲートがワード線にそれぞれ接続された第5トランジスタと、ソースが前記第1ビット線と相補ビット線対を構成する第2ビット線に、ドレインが前記第2ノードに、ゲートが前記ワード線にそれぞれ接続された第6トランジスタとを備え、前記第1ビット線は、前記第1～第6トランジスタよりも上層のメタル配線層に形成されており、第1方向に延びる第1配線を含み、前記第2ビット線は、前記メタル配線層に形成されており、前記第1方向に延びる第2配線を含み、前記SRAMセルは、

前記第1トランジスタのチャネル、ソースおよびドレインを構成しており、当該チャネルとして、前記第1方向に延びているナノシートを含む第1アクティブ領域と、前記第2トランジスタのチャネル、ソースおよびドレインを構成しており、当該チャネルとして、前記第1方向に延びているナノシートを含む第2アクティブ領域と、前記第3トランジスタのチャネル、ソースおよびドレインを構成しており、当該チャネルとして、前記第1方向に延びているナノシートを含む第3アクティブ領域と、前記第4トランジスタのチャネル、ソースおよびドレインを構成しており、当該チャネルとして、前記第1方向に延びているナノシートを含む第4アクティブ領域と、前記第1～第6トランジスタの背面側の第1背面配線層に形成されており、前記第1方向に延びており、前記第1および第2アクティブ領域と平面視で重なりを有し、前記第1電源に接続されている第1電源配線と、前記第1背面配線層に形成されており、前記第1方向に延びており、前記第3アクティブ領域と平面視で重なりを有し、前記第2電源に接続されている第2電源配線と、前記第1背面配線層に形成されており、前記第1方向に延びており、前記第4アクティブ領域と平面視で重なりを有し、前記第2電源に接続されている第3電源配線と、前記第1アクティブ領域におけるソースを構成する第1領域と、前記第1電源配線とが重なる位置に形成されており、前記第1領域と前記第1電源配線とを接続する第1ビアと、前記第2アクティブ領域におけるソースを構成する第2領域と、前記第1電源配線とが重なる位置に形成されており、前記第2領域と前記第1電源配線とを接続する第2ビアと、前記第3アクティブ領域におけるソースを構成する第3領域と、前記第2電源配線とが重なる位置に形成されており、前記第3領域と前記第2電源配線とを接続する第3ビアと、前記第4アクティブ領域におけるソースを構成する第4領域と、前記第3電源配線とが重なる位置に形成されており、前記第4領域と前記第3電源配線とを接続する第4ビアとを備える。

[0010] 本開示によると、トランジスタの背面の配線層である第1背面配線層に、第1電源電圧を供給する第1電源配線、ならびに、第2電源電圧を供給する

第2および第3電源配線が形成されている。第1～第6トランジスタのよりも上層のメタル配線層に、ビット線BLB、BLにそれぞれ相当する第1および第2配線が形成されている。これにより、第1背面配線層に形成される配線が電源配線のみとなる。また、第1電源配線は、第1および第2アクティブ領域と平面視で重なっている。第2電源配線は、第3アクティブ領域と平面視で重なっている。第4電源配線は、第4アクティブ領域と平面視で重なっている。これにより、第1背面配線層に形成された電源配線と、アクティブ領域とを平面視で重ねて配置することができる。したがって、第1背面配線層における電源配線の配線幅を大きくすることができ、電源配線の配線抵抗を抑えることができるため、半導体記憶装置の動作速度の低下を抑止することができる。

[0011] また、メタル配線層に第1電源電圧および第2電源電圧を供給する電源配線を形成する必要がなくなるため、第1および第2ビット線にそれぞれ相当する第1および第2配線の配線幅を大きくすることができる。これにより、ビット線の配線抵抗を抑えることができるため、半導体記憶装置の動作速度の低下を抑止することができる。

[0012] また、メタル配線層の上層に、ワード線に相当する配線を形成することにより、トランジスタの背面側の配線と表面（トランジスタの上層）側の配線とを接続するための接続部が不要となるため、半導体記憶装置の面積の増加を抑えつつ、半導体記憶装置の動作速度の低下を抑止することができる。

[0013] 本開示の第2態様では、SRAMセルを含む半導体記憶装置であって、前記SRAMセルは、ソースが第1電源電圧を供給する第1電源に、ドレインが第1ノードに、ゲートが第2ノードにそれぞれ接続された第1トランジスタと、ソースが前記第1電源に、ドレインが前記第2ノードに、ゲートが前記第1ノードにそれぞれ接続された第2トランジスタと、ソースが前記第1電源電圧と異なる第2電源電圧を供給する第2電源に、ドレインが前記第2ノードに、ゲートが前記第2ノードにそれぞれ接続された第3トランジスタと、ソースが前記第2電源に、ドレインが前記第2ノードに、ゲートが前記

第1ノードにそれぞれ接続された第4トランジスタと、ソースが第1ビット線に、ドレインが前記第1ノードに、ゲートがワード線にそれぞれ接続された第5トランジスタと、ソースが前記第1ビット線と相補ビット線対を構成する第2ビット線に、ドレインが前記第2ノードに、ゲートが前記ワード線にそれぞれ接続された第6トランジスタとを備え、前記第1ビット線は、前記第1～第6トランジスタよりも上層のメタル配線層に形成されており、第1方向に延びる第1配線を含み、前記第2ビット線は、前記メタル配線層に形成されており、前記第1方向に延びる第2配線を含み、前記SRAMセルは、前記第3トランジスタのチャネル、ソースおよびドレインを構成しており、当該チャネルとして、前記第1方向に延びているナノシートを含む第3アクティブ領域と、前記第4トランジスタのチャネル、ソースおよびドレインを構成しており、当該チャネルとして、前記第1方向に延びているナノシートを含む第4アクティブ領域と、前記メタル配線層に形成されており、前記第1方向に延びており、前記第1電源に接続されている第1電源配線と、前記第1～第6トランジスタの背面側の第1背面配線層に形成されており、前記第1方向に延びており、前記第3アクティブ領域と平面視で重なりを有し、前記第2電源に接続されている第2電源配線と、前記第1背面配線層に形成されており、前記第1方向に延びており、前記第4アクティブ領域と平面視で重なりを有し、前記第2電源に接続されている第3電源配線と、前記第3アクティブ領域におけるソースを構成する第3領域と、前記第2電源配線とが重なる位置に形成されており、前記第3領域と前記第2電源配線とを接続する第3ビアと、前記第4アクティブ領域におけるソースを構成する第4領域と、前記第3電源配線とが重なる位置に形成されており、前記第4領域と前記第3電源配線とを接続する第4ビアとを備える。

[0014] 本開示によると、トランジスタの背面の配線層である第1背面配線層に、第2電源電圧を供給する第2および第3電源配線が形成されている。第1～第6トランジスタのよりも上層のメタル配線層に、第1および第2ビット線にそれぞれ相当する第1および第2配線ならびに第1電源電圧を供給する第

1 電源配線が形成されている。これにより、第1背面配線層に形成される配線が第2電源電圧を供給する電源配線のみとなる。したがって、第1背面配線層における電源配線の配線幅を大きくすることができ、電源配線の配線抵抗をえることができるため、半導体記憶装置の動作速度の低下を抑止することができる。

[0015] また、メタル配線層に第2電源電圧を供給する電源配線を形成する必要がなくなるため、第1配線の配線幅を大きくすることができる。これにより、ビット線の配線抵抗を抑えることができるため、半導体記憶装置の動作速度の低下を抑止することができる。

[0016] また、第1電源電圧を供給する電源配線を、配線71と配線72との間に形成さすることで、第1および第2配線間のクロストークノイズが抑制されるため、半導体記憶装置の性能の劣化および信頼性の低下を抑止することができる。

[0017] また、メタル配線層の上層に、ワード線に相当する配線を形成することにより、トランジスタの背面側の配線と表面（トランジスタの上層）側の配線とを接続するための接続部が不要となるため、半導体記憶装置の面積の増加を抑えつつ、半導体記憶装置の動作速度の低下を抑止することができる。

発明の効果

[0018] 本開示によると、トランジスタの背面側に配線を設けたSRAMセルのレイアウト構造において、半導体記憶装置の動作速度の低下を抑止しつつ、半導体記憶装置の面積増加を抑止することができる。

図面の簡単な説明

[0019] [図1]第1実施形態に係るSRAMセルのレイアウト構造の例を示す平面図。
[図2]第1実施形態に係るSRAMセルのレイアウト構造の例を示す断面図。
[図3]第1実施形態に係るSRAMセルのレイアウト構造の例を示す断面図。
[図4]第1実施形態に係るSRAMセルの構成を示す回路図。
[図5]第1実施形態に係る半導体集積回路装置の他の構成例。
[図6]第1実施形態に係るSRAMセルのレイアウト構造の他の例を示す平面

図。

[図7]第1実施形態に係るSRAMセルのレイアウト構造の他の例を示す平面図。

[図8]第1実施形態に係る半導体集積回路装置が備える回路ブロックのレイアウトの例を示す平面図。

[図9]第1実施形態に係る半導体集積回路装置が備える回路ブロックのレイアウトの他の例を示す平面図。

[図10]第2実施形態に係るSRAMセルのレイアウト構造の例を示す平面図。

[図11]第2実施形態に係るSRAMセルのレイアウト構造の他の例を示す平面図。

発明を実施するための形態

[0020] 以下、実施の形態について、図面を参照して説明する。以下の実施の形態では、半導体記憶装置は複数のSRAMセルを備えており、この複数のSRAMセルのうち少なくとも一部は、ナノシートFETを備えるものとする。ナノシートFETとは、電流が流れる薄いシート（ナノシート）を用いたFETである。ナノシートは例えばシリコンによって形成されている。なお、本開示では、SRAMセルが備えるトランジスタは、ナノシートFETに限定されない。

[0021] また、本明細書では、「VDD」「VSS」は、電源電圧または電源自体を示す。また、本明細書において、「同一配線幅」等のように、幅等が同じであることを意味する表現は、製造上のばらつき範囲を含んでいるものとする。

[0022] （第1実施形態）

（SRAMセルの構成）

図1～図3は第1実施形態に係るSRAMセルのレイアウト構造の例を示す図であり、図1（a）、（b）は平面図、図2（a）～（c）および図3（a）、（b）は平面視横方向における断面図である。具体的には、図1（

a) は、M1, M2 配線層である、セル上部を示し、図1 (b) はM1, M2 配線層よりも下層であり、ナノシートFETを含む部分である、セル下部を示す。図2 (a) は線X1-X1' の断面、図2 (b) は線X2-X2' の断面、図2 (c) は線X3-X3' の断面、図3 (a) は線X4-X4' の断面、図3 (b) は線X5-X5' の断面である。

[0023] なお、以下の説明では、図1等の平面図において、図面縦方向をY方向（第1方向）、図面横方向（第2方向）をX方向、基板面に垂直な方向をZ方向としている。

[0024] 図4は第1実施形態に係るSRAMセルの構成を示す回路図である。図4に示すように、SRAMセルには、ロードトランジスタPU1, PU2、ドライブトランジスタPD1, PD2、および、アクセストランジスタPG1, PG2によりSRAM回路が構成されている。ロードトランジスタPU1, PU2は、P型FETであり、ドライブトランジスタPD1, PD2およびアクセストランジスタPG1, PG2は、N型FETである。

[0025] ロードトランジスタPU1は、電源VDDと第1ノードNAとの間に設けられており、ドライブトランジスタPD1は、第1ノードNAと電源VSSとの間に設けられている。ロードトランジスタPU1およびドライブトランジスタPD1は、ゲートが第2ノードNBに接続されており、インバータINV1を構成している。ロードトランジスタPU2は、電源VDDと第2ノードNBとの間に設けられており、ドライブトランジスタPD2は、第2ノードNBと電源VSSとの間に設けられている。ロードトランジスタPU2およびドライブトランジスタPD2は、ゲートが第1ノードNAに接続されており、インバータINV2を構成している。すなわち、一方のインバータの出力は他方のインバータの入力に接続されており、これにより、ラッチが構成されている。

[0026] アクセストランジスタPG1は、ビット線BLと第1ノードNAとの間に設けられており、ゲートがワード線WLに接続されている。アクセストランジスタPG2は、ビット線BLBと第2ノードNBとの間に設けられており

、ゲートがワード線WLに接続されている。なお、ビット線BL、BLBは、相補ビット線対を構成する。

[0027] SRAM回路では、相補ビット線対を構成するビット線BL、BLBを、ハイレベルおよびローレベルにそれぞれ駆動し、ワード線WLをハイレベルに駆動すると、第1ノードNAにハイレベルが書き込まれ、第2ノードNBにローレベルが書き込まれる。一方、ビット線BL、BLBを、ローレベルおよびハイレベルにそれぞれ駆動し、ワード線WLをハイレベルに駆動すると、第1ノードNAにローレベルが書き込まれ、第2ノードNBにハイレベルが書き込まれる。そして、第1および第2ノードNA、NBにデータがそれぞれ書き込まれている状態で、ワード線WLをローレベルに駆動すると、ラッチ状態が確定し、第1および第2ノードNA、NBに書き込まれているデータが保持される。

[0028] また、ビット線BL、BLBを予めハイレベルにプリチャージしておき、ワード線WLをハイレベルに駆動すると、第1および第2ノードNA、NBに書き込まれたデータに応じてビット線BL、BLBの状態がそれぞれ確定するため、SRAMセルからのデータの読み出しを行うことができる。具体的に、第1ノードNAがハイレベルであり、第2ノードNBがローレベルであれば、ビット線BLはハイレベルを保持し、ビット線BLBはローレベルにディスチャージされる。一方、第1ノードNAがローレベルであり、第2ノードNBがハイレベルであれば、ビット線BLはローレベルにディスチャージされ、ビット線BLBはハイレベルを保持する。

[0029] 以上に説明したように、SRAMセルは、ビット線BL、BLBおよびワード線WLを制御することによって、SRAMセルへのデータ書き込み、データ保持およびSRAMセルからのデータ読み出し機能を有する。

[0030] なお、以下の説明では、図1等の平面図において縦横に走る実線、および、図2等の断面図において縦に走る実線は、設計時に部品配置を行うために用いるグリッドを示す。グリッドは、X方向において等間隔に配置されており、またY方向において等間隔に配置されている。なお、グリッド間隔は、

X方向とY方向とにおいて同じであってもよいし異なってもよい。また、グリッド間隔は、層ごとに異なってもかまわない。さらに、各部品は必ずしもグリッド上に配置される必要はない。

[0031] また、図1等の平面図においてセルを取り囲むように表示された点線は、SRAMセルのセル枠（SRAMセルの外縁）を示す。SRAMセルは、セル枠が、X方向またはY方向に隣接するセルのセル枠と接するように配置される。

[0032] また、図1等の平面図において、SRAMセルのX方向両側には、それぞれ、SRAMセルをX方向に反転したものが配置される。SRAMセルのY方向両側には、それぞれ、SRAMセルをY方向に反転したものが配置される。

[0033] 図1(b)に示すように、トランジスタが形成される半導体チップの背面には、配線層であるBM0（Backside Metal 0）配線層およびBM1（Backside Metal 1）配線層が形成されている。BM1配線層は、BM0配線層の下層、すなわち、トランジスタからみて遠い方にある。なお、BM0配線層が第1背面配線層に相当し、BM1配線層が第2背面配線層に相当する。

[0034] BM0配線層には、セル上下両端にかけてY方向に延びる電源配線11～13が形成されている。電源配線11は、電源電圧VDDを供給する。電源配線12、13は、電源電圧VSSを供給する。

[0035] BM1配線層には、セル左右両端にかけてX方向に延びる電源配線121が形成されている。電源配線121は、電源電圧VSSを供給する。電源配線121は、ビア（via）131を介して電源配線12と接続されており、ビア132を介して電源配線13と接続されている。

[0036] P型基板（PSub）上（図示省略）のN型トランジスタ領域に、N型トランジスタのチャネル、ソースおよびドレインを構成する複数のアクティブ領域が形成されている。具体的に、N型トランジスタ領域には、アクティブ領域N1、N2が形成されている。アクティブ領域N1、N2は、平面視で、電源配線12、13とそれぞれ重なっている。

- [0037] N型トランジスタ領域では、アクセストランジスタPG2、ドライブトランジスタPD1、ドライブトランジスタPD2およびアクセストランジスタPG1が形成されている。アクセストランジスタPG2、ドライブトランジスタPD1、ドライブトランジスタPD2およびアクセストランジスタPG1は、チャンネルとして、平面視で重なる3枚のシート構造からなり、Y方向に延びるナノシート21～24をそれぞれ有する。すなわち、アクセストランジスタPG2、ドライブトランジスタPD1、ドライブトランジスタPD2およびアクセストランジスタPG1はナノシートFETである。
- [0038] アクティブ領域N1において、ドライブトランジスタPD2のソースとなる部分（領域42）は、電源配線12と平面視で重なる位置に設けられたビア（via）111を介して、電源配線12と接続されている。アクティブ領域N2において、ドライブトランジスタPD1のソースとなる部分（領域43）は、電源配線13と平面視で重なる位置に設けられたビア112を介して、電源配線13と接続されている。
- [0039] N型ウェル（NWell）上のP型トランジスタ領域に、P型トランジスタのチャンネル、ソースおよびドレインを構成する複数のアクティブ領域が形成されている。具体的に、P型トランジスタ領域には、アクティブ領域P1、P2が形成されている。アクティブ領域P1、P2は、平面視で、電源配線11と重なっている。
- [0040] P型トランジスタ領域では、ロードトランジスタPU1、PU2が形成されている。ロードトランジスタPU1、PU2は、チャンネルとして、平面視で重なる3枚のシート構造からなり、Y方向に延びるナノシート25、26をそれぞれ有する。すなわち、ロードトランジスタPU1、PU2はナノシートFETである。なお、ナノシート21～24のX方向の幅は、ナノシート25、26のX方向の幅の2倍となっている。
- [0041] なお、アクティブ領域について、ナノシートの両側にあるソースおよびドレインとなる部分は、例えば、当該ナノシートからエピタキシャル成長によって形成される。

[0042] アクティブ領域P 1において、ロードトランジスタPU 1のソースとなる部分（領域4 6）は、電源配線1 1と平面視で重なる位置に設けられたビア1 1 3を介して、電源配線1 1と接続されている。アクティブ領域P 2において、ロードトランジスタPU 2のソースとなる部分（領域4 9）は、電源配線1 1と平面視で重なる位置に設けられたビア1 1 4を介して、電源配線1 1と接続されている。

[0043] 図1（b）に示すように、X方向に延びるゲート配線（Gate）3 1～3 4が形成されている。ゲート配線3 1は、ナノシート2 1のX方向およびZ方向における外周を囲んでいる。ゲート配線3 2は、ナノシート2 5，2 2のX方向およびZ方向における外周を囲んでいる。ゲート配線3 3は、ナノシート2 3，2 6のX方向およびZ方向における外周を囲んでいる。ゲート配線3 4は、ナノシート2 4のX方向およびZ方向における外周を囲んでいる。ゲート配線3 1は、アクセストランジスタPG 2のゲートに対応する。ゲート配線3 2は、ロードトランジスタPU 1およびドライフトランジスタPD 1のゲートに対応する。ゲート配線3 3は、ドライフトランジスタPD 2およびロードトランジスタPU 2のゲートに対応する。ゲート配線3 4は、アクセストランジスタPG 1のゲートに対応する。

[0044] ローカル配線層には、X方向に延びるローカル配線5 1～5 8が形成されている。ローカル配線5 1は、アクティブ領域N 1における領域4 0と接続されている。ローカル配線5 2は、アクティブ領域P 1における領域4 6と接続されている。ローカル配線5 3は、アクティブ領域N 2における領域4 3と接続されている。ローカル配線5 4は、アクティブ領域N 1における領域4 1およびアクティブ領域P 2における領域4 8と接続されている。ローカル配線5 5は、アクティブ領域P 1における領域4 7およびアクティブ領域N 2における領域4 4と接続されている。ローカル配線5 6は、アクティブ領域N 1における領域4 2と接続されている。ローカル配線5 7は、アクティブ領域P 2における領域4 9と接続されている。ローカル配線5 8は、アクティブ領域N 2における領域4 5と接続されている。

[0045] 領域40は、アクティブ領域N1におけるアクセストランジスタPG2のソースとなる部分である。領域41は、アクティブ領域N1における、アクセストランジスタPG2のドレインおよびドライブトランジスタPD2のドレインとなる部分である。領域42は、アクティブ領域N1におけるドライブトランジスタPD2のソースとなる部分である。領域43は、アクティブ領域N2におけるドライブトランジスタPD1のソースとなる部分である。領域44は、アクティブ領域N2における、ドライブトランジスタPD1のドレインおよびアクセストランジスタPG1のドレインとなる部分である。領域45は、アクティブ領域N2におけるアクセストランジスタPG1のソースとなる部分である。領域46は、アクティブ領域P1におけるロードトランジスタPU1のソースとなる部分である。領域47は、アクティブ領域P1におけるロードトランジスタPU1のドレインとなる部分である。領域48は、アクティブ領域P2におけるロードトランジスタPU2のドレインとなる部分である。領域49は、アクティブ領域P2におけるロードトランジスタPU2のソースとなる部分である。

[0046] ローカル配線54は、シェアードコンタクト(Shared-contact)61を介して、ゲート配線32と接続されている。ローカル配線55は、シェアードコンタクト62を介して、ゲート配線33と接続されている。なお、ゲート配線33、ローカル配線55およびシェアードコンタクト62が第1ノードNAに相当する。ゲート配線32、ローカル配線54およびシェアードコンタクト61が第2ノードNBに相当する。

[0047] 図1(a)に示すように、ローカル配線層の上層にあるメタル配線層であるM1配線層に、セルの図面上下両端にかけてY方向に延びる配線71, 72が形成されている。また、配線73, 74が形成されている。配線71, 72が、ビット線BLB, BLに相当する。配線71は、平面視で、アクティブ領域N1および電源配線12と重なりを有する。配線72は、平面視で、アクティブ領域N2および電源配線13と重なりを有する。

[0048] 配線71は、ビア81を介してローカル配線51と接続されている。配線

7 2 は、ビア 8 2 を介して、ローカル配線 5 8 と接続されている。配線 7 3 は、コンタクト (Gate-contact) 8 3 を介して、ゲート配線 3 1 と接続されている。配線 7 4 は、コンタクト 8 4 を介して、ゲート配線 3 4 と接続されている。

[0049] M 1 配線層の上層である M 2 配線層に、セルの図面左右両端にかけて X 方向に延びる配線 9 1 が形成されている。配線 9 1 が、ワード線 WL に相当する。配線 9 1 は、ビア 1 0 1 を介して配線 7 3 と接続されており、ビア 1 0 2 を介して配線 7 4 と接続されている。

[0050] 以上の構成により、トランジスタの背面の配線層である B M O 配線層に、電源電圧 V D D を供給する電源配線 1 1 および電源電圧 V S S を供給する電源配線 1 2, 1 3 が形成されている。トランジスタの上層のメタル配線層である M 1 配線層に、ビット線 B L B, B L にそれぞれ相当する配線 7 1, 7 2 が形成されている。これにより、B M O 配線層に形成される配線が電源電圧 V D D, V S S を供給する電源配線のみとなる。したがって、B M O 配線層に形成された電源電圧 V D D, V S S を供給する電源配線 1 1 ~ 1 3 の配線幅を大きくすることができ、電源配線の配線抵抗を抑えることができる。また、電源配線 1 1 は、アクティブ領域 P 1, P 2 と平面視で重なっており、重なっている領域に設けられたビア 1 1 3, 1 1 4 で互いに接続されている。電源配線 1 2 は、アクティブ領域 N 1 と平面視で重なっており、重なっている領域に設けられたビア 1 1 1 で互いに接続されている。電源配線 1 3 は、アクティブ領域 N 2 と平面視で重なっており、重なっている領域に設けられたビア 1 1 2 で接続されている。したがって、電源電圧 V D D, V S S のアクティブ領域への電源供給経路の抵抗値を抑制することができる。以上から、半導体記憶装置の動作速度の低下を抑制できるとともに、動作の安定性を向上することができる。また、M 1 配線層に電源配線 V D D, V S S を供給する電源配線を形成する必要がなくなるため、ビット線 B L B, B L にそれぞれ相当する配線 7 1, 7 2 の配線幅を大きくすることができる。これにより、ビット線の配線抵抗を抑えることができるため、半導体記憶装置の

動作速度の低下を抑止することができる。

[0051] また、M 1 配線層の上層であるM 2 配線層に、ワード線WLに相当する配線9 1 が形成されている。これにより、トランジスタの背面側の配線と表面（トランジスタの上層）側の配線とを接続するための接続部が不要となるため、半導体記憶装置の面積の増加を抑えつつ、半導体記憶装置の動作速度の低下を抑止することができる。

[0052] なお、上述した、トランジスタの背面側に形成された電源配線は、トランジスタが構成される半導体チップとは別の半導体チップを用いて構成してもかまわない。

[0053] 図5（a）は第1実施形態に係る半導体集積回路装置の他の構成例である。図5（a）に示す半導体集積回路装置200は、第1半導体チップ201（チップA）と、第2半導体チップ202（チップB）とが、積層されることによって構成されている。チップAは、上述したSRAMセル等が配置されている。チップBは、表面に設けられた配線層に電源配線が形成されている。チップBは、チップAの背面側に、バンプ等を用いて張り合わされている。

[0054] 図5（b）は本構成例における、図1のSRAMセルの線X1-X1'の断面を示す。図5（b）に示すように、チップBの表面に設けられた配線層に、VDDを供給する電源配線11と、VSSを供給する電源配線12、13とが形成されている。電源配線11は、チップAの領域46と、電源配線11と平面視で重なる位置に設けられたビア113を介して接続されている。電源配線13は、チップAの領域43と、電源配線13と平面視で重なる位置に設けられたビア112を介して接続される。なお、図示は省略しているが、電源配線12は、チップAの領域42と、電源配線12と平面視で重なる位置に設けられたビア111を介して接続される。

[0055] （変形例1）

図6は第1実施形態に係るSRAMセルのレイアウト構造の他の例を示す平面図である。具体的に、図6はセル下部を示す。なお、図6におけるセル

上部は、図 1 (a) と同じである。

[0056] 図 6 では、図 1 と比較すると、電源配線 1 2 1 に代えて、B M O 配線層に、X 方向に延びる電源配線 1 2 2 が形成されている。電源配線 1 2 2 は、電源電圧 V D D を供給する。電源配線 1 2 2 は、ビア 1 3 3 を介して、電源配線 1 1 と接続されている。

[0057] 図 6 の構成により、S R A M セルに供給される電源電圧 V D D を強化することができる。その他、図 1 と同じ効果を得ることができる。

[0058] (変形例 2)

図 7 は第 1 実施形態に係る S R A M セルのレイアウト構造の他の例を示す平面図である。具体的に、図 7 はセル下部を示す。なお、図 7 におけるセル上部は、図 1 (a) と同じである。

[0059] 図 7 では、図 1 と比較すると、電源配線 1 2 1 に代えて、B M O 配線層に、X 方向に延びる電源配線 1 2 3, 1 2 4 が形成されている。電源配線 1 2 3 は、図面上端に形成されており、電源電圧 V D D を供給する。電源配線 1 2 4 は、図面下端に形成されており、電源電圧 V S S を供給する。電源配線 1 2 3 は、ビア 1 3 4 を介して、電源配線 1 1 と接続されている。電源配線 1 2 4 は、ビア 1 3 5 を介して電源配線 1 2 と接続されており、ビア 1 3 6 を介して電源配線 1 3 と接続されている。

[0060] 図 7 の構成により、S R A M セルに供給される電源電圧 V D D, V S S を強化することができる。その他、図 1 と同じ効果を得ることができる。

[0061] (回路ブロックの構成)

図 8 は実施形態に係る半導体集積回路装置が備える回路ブロックのレイアウトの例を示す平面図である。なお、図 8 では、S R A M セルのセル枠と、B M O 配線層および B M 1 配線層に形成された電源配線と、当該電源配線間を接続するビアとのみを図示しており、S R A M セルの内部構造や、S R A M セル間配線等は図示を省略している。

[0062] 図 8 のブロックレイアウトには、メモリセルアレイ A 1 が形成されている。メモリセルアレイ A 1 には、セル列 C R 1 とセル列 C R 2 とが Y 方向に交

互に並んで配置されている。セル列C R 1は、X方向に並んだ複数のS R A MセルC 1で構成されている。セル列C R 2は、X方向に並んだ複数のS R A MセルC 2で構成されている。S R A MセルC 1は、図1のS R A Mセルである。S R A MセルC 2は、図6のS R A MセルがY方向に反転されたものである。

[0063] 図8に示すように、B M 0配線層において、Y方向に並んだS R A MセルC 1、C 2は、Y方向に延びており、電源電圧V S Sを供給する電源配線1 2（1 3）に共通に接続される。B M 0配線層において、Y方向に並んだS R A MセルC 1、C 2は、Y方向に延びており、電源電圧V D Dを供給する電源配線1 1に共通に接続される。電源電圧V S Sを供給する電源配線1 2（1 3）と、電源電圧V D Dを供給する電源配線1 1とが、X方向に交互に配置されている。また、B M 1配線層において、セル列C R 1に配置されたS R A MセルC 1は、X方向に延びており、電源電圧V S Sを供給する電源配線1 2 1に共通に接続される。B M 1配線層において、セル列C R 2に配置されたS R A MセルC 2は、X方向に延びており、電源電圧V D Dを供給する電源配線1 2 2に共通に接続される。電源電圧V S Sを供給する電源配線1 2 1と、電源電圧V D Dを供給する電源配線1 2 2とが、Y方向に交互に配置されている。すなわち、B M 0配線層およびB M 1配線層には、電源電圧V D D、V S Sを供給する電源配線がメッシュ状に形成されるため、電源電圧を供給する配線の配線抵抗が小さくなり、電源電圧の変動が抑制されるため、半導体記憶装置の動作速度の低下を抑制できるとともに、動作の安定性を向上することができる。

[0064] なお、図8の例では、セル列C R 1とセル列C R 2とがY方向に交互に並ぶとしたが、これに限られない。例えば、Y方向において、N個（Nは3以上の整数）のセル列C R 1ごとに、セル列C R 2が並ぶとしてもよい。

[0065] また、図8の例では、X方向に8つ、Y方向に8つのS R A Mセルが配置されているが、X方向およびY方向に並ぶS R A Mセルの個数はこれに限られない。

[0066] (変形例)

図9は実施形態に係る半導体集積回路装置が備える回路ブロックのレイアウトの他の例を示す平面図である。なお、図9では、図8と同様に、SRAMセルのセル枠と、BM0配線層およびBM1配線層に形成された電源配線と、当該電源配線間を接続するビアのみを図示しており、SRAMセルの内部構造や、SRAMセル間配線等は図示を省略している。

[0067] 図9のブロックレイアウトには、メモリセルアレイA2が形成されている。メモリセルアレイA2には、複数のセル列CR1が、Y方向に並んで配置されている。セル列CR1は、X方向に並んだ複数のSRAMセルC1で構成されている。SRAMセルC1は、図1のSRAMセルである。

[0068] 図9に示すように、メモリセルアレイA2内におけるBM1配線層において、セル列CR1に配置されたSRAMセルC1は、X方向に延びており、電源電圧VSSを供給する電源配線121と共通に接続される。複数の電源配線121が、X方向に並んで配置されている。これにより、メモリセルアレイA2におけるBM1配線層には、電源電圧VSSを供給する電源配線のみが形成される。

[0069] また、メモリセルアレイA2の外部（例えば、ウェルタップ領域、ダミーメモリ領域など）には、X方向に延びる電源配線125が形成されている。電源配線125は、BM1配線層に形成されており、電源電圧VDDを供給する。図9の例では、電源配線125は、図面上端に形成されたセル列CR1の図面上部、および、図面下端に形成されたセル列CR1の図面下部に形成されている。電源配線125は、ビア137を介して、Y方向に延びる各電源配線11と接続されている。

[0070] 変形例によると、BM0配線層およびBM1配線層には、電源電圧VSS、VDDを供給する電源配線がメッシュ状に形成されるため、電源電圧を供給する配線の配線抵抗が小さくなり、電源電圧の変動が抑制されるため、半導体記憶装置の動作速度の低下を抑制できるとともに、動作の安定性を向上することができる。

[0071] (第2実施形態)

図10は第2実施形態に係るSRAMセルのレイアウト構造の例を示す平面図である。具体的に、図10(a)はセル上部を示し、図10(b)はセル下部を示す。図10では、図1と比較すると、BM0配線層の電源配線11が省略されており、M1配線層に電源配線75が形成されている。

[0072] 具体的に、M1配線層には、セル上下両端にかけてY方向に延びる電源配線75が形成されている。電源配線75は、電源電圧VDDを供給する。電源配線75は、配線71と配線72との間に形成されている。

[0073] 電源配線75は、電源配線75と平面視で重なる位置に設けられたビア85を介して、ロードトランジスタPU1のソースとなる部分(領域46)と接続されている。また、電源配線75は、電源配線75と平面視で重なる位置に設けられたビア86を介して、ロードトランジスタPU2のソースとなる部分(領域49)と接続されている。

[0074] 以上の構成によると、トランジスタの背面の配線層であるBM0配線層に、電源電圧VSSを供給する電源配線12, 13が形成されている。トランジスタの上層のメタル配線層であるM1配線層に、ビット線BLB, BLにそれぞれ相当する配線71, 72および電源電圧VDDを供給する電源配線75が形成されている。これにより、BM0配線層に形成される配線が電源電圧VSSを供給する電源配線のみとなる。したがって、BM0配線層における、電源電圧VSSを供給する電源配線(電源配線12, 13)の配線幅を大きくすることができ、電源配線の配線抵抗を抑えることができ、電源電圧の変動が抑制されるため、半導体記憶装置の動作速度の低下を抑制できるとともに、動作の安定性を向上することができる。

[0075] また、M1配線層に電源配線VSSを供給する電源配線を形成する必要がなくなるため、ビット線BLB, BLにそれぞれ相当する配線71, 72の配線幅を大きくすることができる。これにより、ビット線の配線抵抗を抑えることができるため、半導体記憶装置の動作速度の低下を抑止することができる。

[0076] また、電源電圧VDDを供給する電源配線75が、配線71と配線72との間に形成されている。これにより、ビット線BLB、BLにそれぞれ相当する配線71、72間のクロストークノイズが抑制されるため、半導体記憶装置の性能の劣化および信頼性の低下を抑止することができる。

[0077] また、M1配線層の上層であるM2配線層に、ワード線WLに相当する配線91が形成されている。これにより、トランジスタの背面側の配線と表面（トランジスタの上層）側の配線とを接続するための接続部が不要となるため、半導体記憶装置の面積の増加を抑えつつ、半導体記憶装置の動作速度の低下を抑止することができる。

[0078] その他、図1と同様の効果を得ることができる。

[0079] （変形例）

図11は第2実施形態に係るSRAMセルのレイアウト構造の他の例を示す平面図である。具体的に、図11(a)はセル上部を示し、図11(b)はセル下部を示す。図11では、図10と比較すると、BM0配線層に電源配線14が形成されている。

[0080] 具体的に、BM0配線層に、セルの図面上下両端にかけてY方向に延びる電源配線14が形成されている。電源配線14は、電源電圧VDDを供給する。電源配線14は、電源配線12と電源配線13との間に形成されている。電源配線14は、平面視で、アクティブ領域P1、P2および電源配線75と重なっている。

[0081] 電源配線14は、電源配線14と平面視で重なる位置に設けられたビア115を介して、ロードトランジスタPU1のソースとなる部分（領域46）と接続されている。また、電源配線14は、電源配線14と平面視で重なる位置に設けられたビア116を介して、ロードトランジスタPU2のソースとなる部分（領域49）と接続されている。

[0082] 変形例によると、トランジスタの背面の配線層であるBM0配線層に、電源電圧VDDを供給する電源配線14が形成されている。これにより、M1配線層に形成され、電源電圧VDDを供給する電源配線75の配線幅を小さ

くすることができるため、ビット線B L B、B Lにそれぞれ相当する配線7 1、7 2間のクロストークノイズを抑制しつつ、配線7 1、7 2の配線幅を大きくすることができる。

[0083] また、M 1配線層およびB M O配線層に、電源電圧V D Dを供給する電源配線を形成したため、B M O配線層に形成された電源配線1 4の配線幅を小さくすることができる。これにより、電源電圧V S Sを供給する電源配線1 2、1 3の配線幅を大きくすることができ、電源配線の配線抵抗を抑えることができ、電源電圧の変動が抑制されるため、半導体記憶装置の動作速度の低下を抑制できるとともに、動作の安定性を向上することができる。

[0084] その他、図1 0と同様の効果を得ることができる。

[0085] なお、本変形例では、B M 1配線層に、電源電圧V S Sを供給する電源配線1 2 1を形成したが、これに限られない。例えば、電源配線1 2 1に代えて、B M 1配線層に、電源電圧V D Dを供給する電源配線を形成してもよい。この場合、図6と同様に、当該電源配線をB M O配線層の電源配線1 4に接続すればよい。また、電源配線1 2 1に加えて、B M 1配線層に、電源電圧V D Dおよび電源電圧V S Sを供給する電源配線を形成してもよい。この場合、図7と同様に、電源電圧V D Dを供給する電源配線を電源配線1 4に接続し、電源電圧V S Sを供給する電源配線を電源配線1 2、1 3に接続すればよい。

[0086] なお、上述の各実施形態および変形例では、各トランジスタはそれぞれ3枚のナノシートを備えるものとしたが、トランジスタの一部または全部は、1枚、2枚または4枚以上のナノシートを備えてもよい。

[0087] また、上述の各実施形態および変形例では、ナノシートの断面形状は長方形としているが、これに限られるものではない。例えば、正方形、円形、楕円形等であってもよい。

[0088] また、上述の各実施形態および変形例では、ナノシート2 1～2 4のX方向の幅はナノシート2 5、2 6のX方向の幅の2倍であるが、これに限られない。ナノシート2 1～2 6のそれぞれのX方向の幅は、S R A M回路の動

作安定性等を考慮して決定すればよい。

[0089] また、上述の各実施形態および変形例では、シェアドコンタクト 6 1，6 2 はコンタクト（Gate-Contact）やローカル配線と同プロセス工程で製造されてもよいし、別プロセス工程にて製造されてもよい。

[0090] また、上述の各実施形態および変形例では、ロードトランジスタ P U 1，P U 2 のソース（領域 4 6，4 9）に電源電圧 V D D を供給する電源は、半導体集積回路の外部から供給される電源に限られず、半導体集積回路の内部で生成される電源であったり、半導体記憶装置の内部で生成される電源などであってもよい。

産業上の利用可能性

[0091] 本開示では、トランジスタの背面側に配線を設けた S R A M セルのレイアウト構造において、半導体記憶装置に動作速度の低下を抑止しつつ、半導体記憶装置に面積増加を抑止することができる。

符号の説明

[0092] 1 1 ～ 1 4，7 5 電源配線
1 1 1 ～ 1 1 6 ビア
2 1 ～ 2 6 ナノシート
3 1 ～ 3 4 ゲート配線
4 0 ～ 4 9 領域
7 1，7 2 配線
P U 1，P U 2 ロードトランジスタ
P D 1，P D 2 ドライブトランジスタ
P G 1，P G 2 アクセストランジスタ
B L，B L B ビット線
W L ワード線

請求の範囲

[請求項1]

S R A Mセルを含む半導体記憶装置であって、

前記S R A Mセルは、

ソースが第1電源電圧を供給する第1電源に、ドレインが第1ノードに、ゲートが第2ノードにそれぞれ接続された第1トランジスタと、

ソースが前記第1電源に、ドレインが前記第2ノードに、ゲートが前記第1ノードにそれぞれ接続された第2トランジスタと、

ソースが前記第1電源電圧と異なる第2電源電圧を供給する第2電源に、ドレインが前記第1ノードに、ゲートが前記第2ノードにそれぞれ接続された第3トランジスタと、

ソースが前記第2電源に、ドレインが前記第2ノードに、ゲートが前記第1ノードにそれぞれ接続された第4トランジスタと、

ソースが第1ビット線に、ドレインが前記第1ノードに、ゲートがワード線にそれぞれ接続された第5トランジスタと、

ソースが前記第1ビット線と相補ビット線対を構成する第2ビット線に、ドレインが前記第2ノードに、ゲートが前記ワード線にそれぞれ接続された第6トランジスタと

を備え、

前記第1ビット線は、前記第1～第6トランジスタよりも上層のメタル配線層に形成されており、第1方向に延びる第1配線を含み、

前記第2ビット線は、前記メタル配線層に形成されており、前記第1方向に延びる第2配線を含み、

前記S R A Mセルは、

前記第1トランジスタのチャネル、ソースおよびドレインを構成しており、当該チャネルとして、前記第1方向に延びているナノシートを含む第1アクティブ領域と、

前記第2トランジスタのチャネル、ソースおよびドレインを構成し

ており、当該チャネルとして、前記第1方向に延びているナノシートを含む第2アクティブ領域と、

前記第3トランジスタのチャネル、ソースおよびドレインを構成しており、当該チャネルとして、前記第1方向に延びているナノシートを含む第3アクティブ領域と、

前記第4トランジスタのチャネル、ソースおよびドレインを構成しており、当該チャネルとして、前記第1方向に延びているナノシートを含む第4アクティブ領域と、

前記第1～第6トランジスタの背面側の第1背面配線層に形成されており、前記第1方向に延びており、前記第1および第2アクティブ領域と平面視で重なりを有し、前記第1電源に接続されている第1電源配線と、

前記第1背面配線層に形成されており、前記第1方向に延びており、前記第3アクティブ領域と平面視で重なりを有し、前記第2電源に接続されている第2電源配線と、

前記第1背面配線層に形成されており、前記第1方向に延びており、前記第4アクティブ領域と平面視で重なりを有し、前記第2電源に接続されている第3電源配線と、

前記第1アクティブ領域におけるソースを構成する第1領域と、前記第1電源配線とが重なる位置に形成されており、前記第1領域と前記第1電源配線とを接続する第1ビアと、

前記第2アクティブ領域におけるソースを構成する第2領域と、前記第1電源配線とが重なる位置に形成されており、前記第2領域と前記第1電源配線とを接続する第2ビアと、

前記第3アクティブ領域におけるソースを構成する第3領域と、前記第2電源配線とが重なる位置に形成されており、前記第3領域と前記第2電源配線とを接続する第3ビアと、

前記第4アクティブ領域におけるソースを構成する第4領域と、前

記第3電源配線とが重なる位置に形成されており、前記第4領域と前記第3電源配線とを接続する第4ビアとを備えることを特徴とする半導体記憶装置。

[請求項2] 請求項1記載の半導体記憶装置において、
前記SRAMセルは、前記第1背面配線層の下層の第2背面配線層に形成されており、前記第1方向と垂直をなす第2方向に延びている第5電源配線をさらに備えることを特徴とする半導体記憶装置。

[請求項3] 請求項2記載の半導体記憶装置において、
前記第5電源配線は、前記第2電源配線および前記第3電源配線と接続されていることを特徴とする半導体記憶装置。

[請求項4] 請求項3記載の半導体記憶装置において、
前記SRAMセルは、前記第2背面配線層に形成されており、前記第2方向に延びており、前記第1電源配線と接続されている第6電源配線をさらに備えることを特徴とする半導体記憶装置。

[請求項5] 請求項2記載の半導体記憶装置において、
前記第5電源配線は、前記第1電源配線と接続されていることを特徴とする半導体記憶装置。

[請求項6] 請求項1記載の半導体記憶装置において、
複数の前記SRAMセルを含み、
前記複数のSRAMセルは、前記第1方向および前記第1方向と垂直をなす第2方向に並んで配置されており、
前記第1方向に並んで配置された前記SRAMセルは、同一の前記第1電源配線に共通に接続されるとともに、同一の前記第2電源配線に共通に接続されることを特徴とする半導体記憶装置。

[請求項7] 請求項6記載の半導体記憶装置において、
前記複数のSRAMセルは、
第1SRAMセルと、
第2SRAMセルと、

前記第 1 背面配線層の下層の第 2 背面配線層に形成されており、前記第 2 方向に延びており、前記第 2 電源と接続されている複数の第 5 電源配線と、

前記第 2 背面配線層に形成されており、前記第 2 方向に延びており、前記第 1 電源と接続されている複数の第 6 電源配線とを備え、

前記第 2 方向に並んだ複数の前記第 1 S R A Mセルを含む第 1 セル列と、前記第 2 方向に並んだ複数の前記第 2 S R A Mセルを含む第 2 セル列とが、前記第 1 方向に交互に並んで配置されており、

前記第 1 セル列において、前記複数の第 1 S R A Mセルにおける前記第 2 電源配線は、同一の前記第 5 電源配線に共通に接続されており、

前記第 2 セル列において、前記複数の第 2 S R A Mセルにおける前記第 1 電源配線は、同一の前記第 6 電源配線に共通に接続されていることを特徴とする半導体記憶装置。

[請求項 8]

請求項 6 記載の半導体記憶装置において、

前記複数の S R A Mセルは、

前記第 1 背面配線層の下層の第 2 背面配線層に形成されており、前記第 2 方向に延びており、前記第 2 電源と接続されている複数の第 5 電源配線を備え、

前記第 2 方向に並んだ複数の前記 S R A Mセルをそれぞれ含む複数の第 3 セル列が、前記第 1 方向に並んで配置されており、

前記第 3 セル列において、前記複数の S R A Mセルにおける前記第 2 電源配線は、同一の前記第 5 電源配線に共通に接続されており、

前記複数の S R A Mセルにおける前記第 2 電源配線は、前記第 2 背面配線層に形成されており、前記第 2 方向に延びており、前記第 1 電源と接続されている第 6 電源配線と接続されており、

前記第 6 電源配線は、平面視において、前記複数の S R A Mセルの外部に配置されていることを特徴とする半導体記憶装置。

[請求項9]

S R A Mセルを含む半導体記憶装置であって、

前記S R A Mセルは、

ソースが第1電源電圧を供給する第1電源に、ドレインが第1ノードに、ゲートが第2ノードにそれぞれ接続された第1トランジスタと、

ソースが前記第1電源に、ドレインが前記第2ノードに、ゲートが前記第1ノードにそれぞれ接続された第2トランジスタと、

ソースが前記第1電源電圧と異なる第2電源電圧を供給する第2電源に、ドレインが前記第2ノードに、ゲートが前記第2ノードにそれぞれ接続された第3トランジスタと、

ソースが前記第2電源に、ドレインが前記第2ノードに、ゲートが前記第1ノードにそれぞれ接続された第4トランジスタと、

ソースが第1ビット線に、ドレインが前記第1ノードに、ゲートがワード線にそれぞれ接続された第5トランジスタと、

ソースが前記第1ビット線と相補ビット線対を構成する第2ビット線に、ドレインが前記第2ノードに、ゲートが前記ワード線にそれぞれ接続された第6トランジスタと

を備え、

前記第1ビット線は、前記第1～第6トランジスタよりも上層のメタル配線層に形成されており、第1方向に延びる第1配線を含み、

前記第2ビット線は、前記メタル配線層に形成されており、前記第1方向に延びる第2配線を含み、

前記S R A Mセルは、

前記第3トランジスタのチャネル、ソースおよびドレインを構成しており、当該チャネルとして、前記第1方向に延びているナノシートを含む第3アクティブ領域と、

前記第4トランジスタのチャネル、ソースおよびドレインを構成しており、当該チャネルとして、前記第1方向に延びているナノシート

を含む第4アクティブ領域と、

前記メタル配線層に形成されており、前記第1方向に延びており、
前記第1電源に接続されている第1電源配線と、

前記第1～第6トランジスタの背面側の第1背面配線層に形成されて
おり、前記第1方向に延びており、前記第3アクティブ領域と平面
視で重なりを有し、前記第2電源に接続されている第2電源配線と、

前記第1背面配線層に形成されており、前記第1方向に延びており
、前記第4アクティブ領域と平面視で重なりを有し、前記第2電源に
接続されている第3電源配線と、

前記第3アクティブ領域におけるソースを構成する第3領域と、前
記第2電源配線とが重なる位置に形成されており、前記第3領域と前
記第2電源配線とを接続する第3ビアと、

前記第4アクティブ領域におけるソースを構成する第4領域と、前
記第3電源配線とが重なる位置に形成されており、前記第4領域と前
記第3電源配線とを接続する第4ビアとを備えることを特徴とする半
導体記憶装置。

[請求項10] 請求項9記載の半導体記憶装置において、

前記SRAMセルは、前記第1背面配線層の下層の第2背面配線層
に形成されており、前記第1方向と垂直をなす第2方向に延びており
、前記第2電源配線および前記第3電源配線と接続されている第5電
源配線をさらに備えることを特徴とする半導体記憶装置。

[請求項11] 請求項10記載の半導体記憶装置において、

前記SRAMセルは、

前記第1トランジスタのチャネル、ソースおよびドレインを構成し
ており、当該チャネルとして、前記第1方向に延びているナノシート
を含む第1アクティブ領域と、

前記第2トランジスタのチャネル、ソースおよびドレインを構成し
ており、当該チャネルとして、前記第1方向に延びているナノシート

を含む第2アクティブ領域と、

前記第1背面配線層に形成されており、前記第1方向に延びており、前記第1および第2アクティブ領域と平面視で重なりを有し、前記第1電源に接続されている第4電源配線と、

前記第1アクティブ領域におけるソースを構成する第1領域と、前記第4電源配線とが重なる位置に形成されており、前記第1領域と前記第4電源配線とを接続する第1ビアと、

前記第2アクティブ領域におけるソースを構成する第2領域と、前記第4電源配線とが重なる位置に形成されており、前記第2領域と前記第4電源配線とを接続する第2ビアとをさらに備えることを特徴とする半導体記憶装置。

[図1]

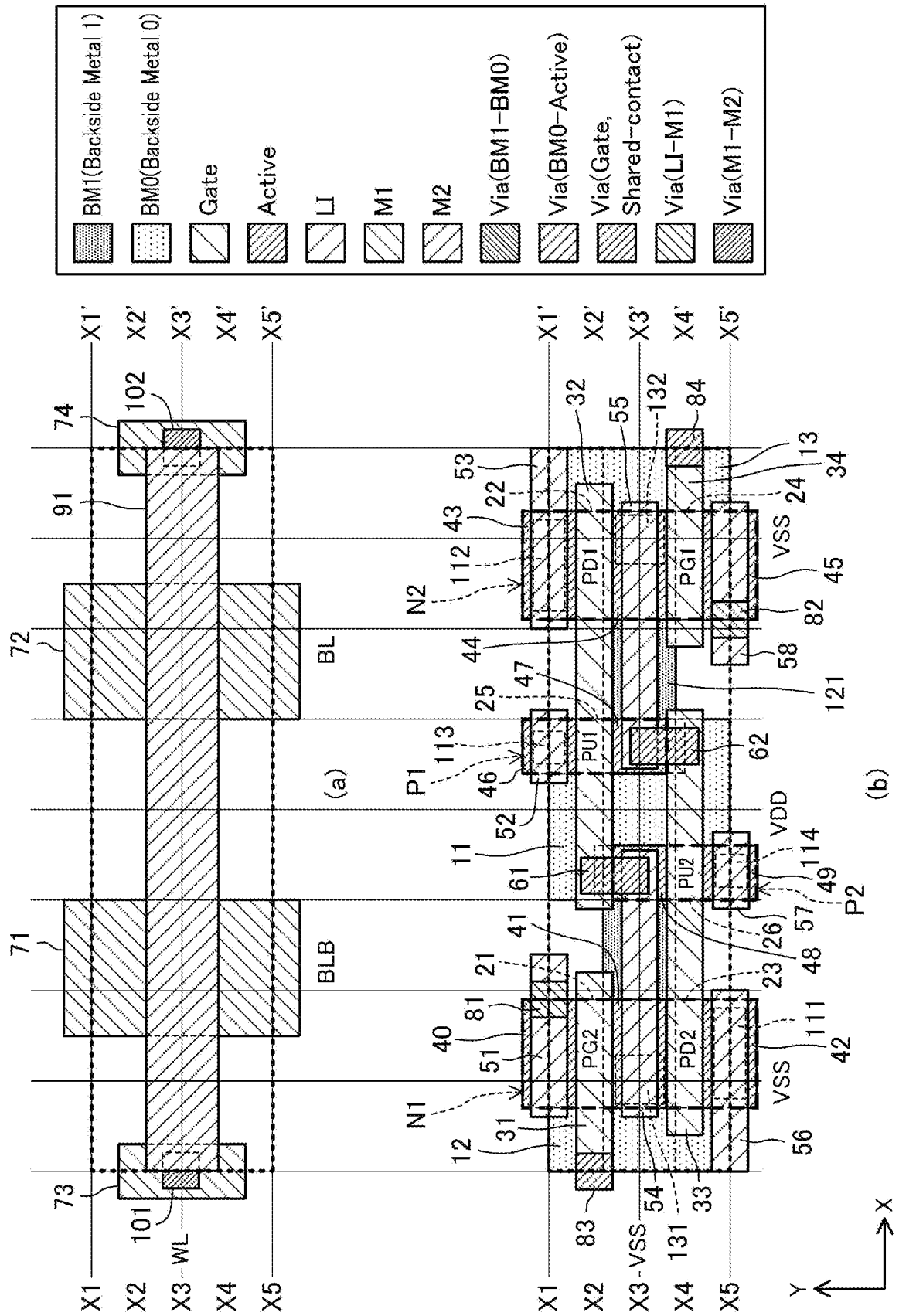
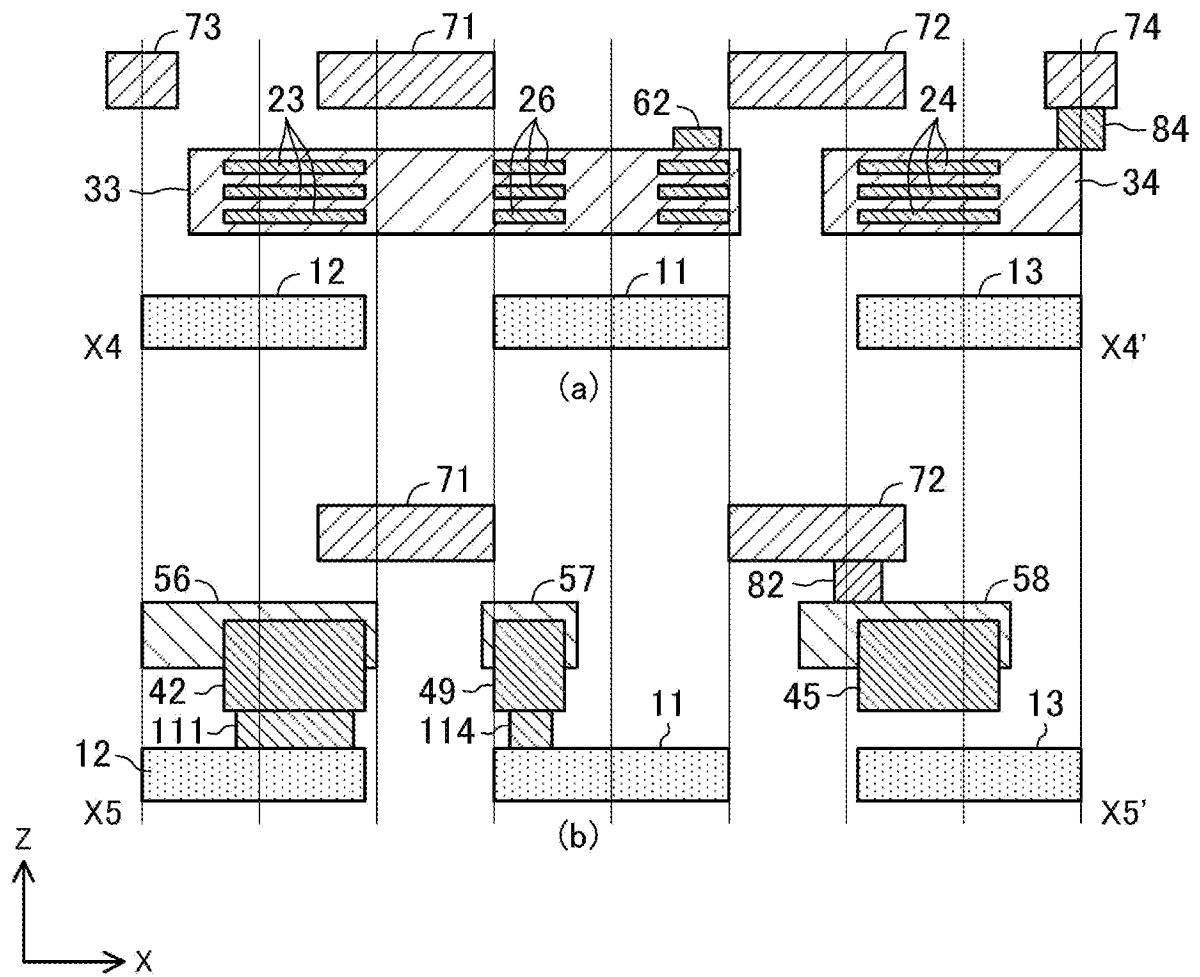


Figure 1 shows three cross-sectional views of a semiconductor device in different stages of fabrication:

- (a) Before etching: The device has a substrate 121, a base layer 12, and various patterned layers 11, 13, 40, 43, 46, 47, 48, 51, 52, 53, 54, 55, 61, 62, 71, 72, 73, 74, 81, 83, 101, 102. A coordinate system (X, Z) is shown at the bottom left.
- (b) After etching: The device has a substrate 121, a base layer 12, and various patterned layers 11, 13, 40, 43, 46, 47, 48, 51, 52, 53, 54, 55, 61, 62, 71, 72, 73, 74, 81, 83, 101, 102. A coordinate system (X, Z) is shown at the bottom left.
- (c) After etching and deposition: The device has a substrate 121, a base layer 12, and various patterned layers 11, 13, 40, 43, 46, 47, 48, 51, 52, 53, 54, 55, 61, 62, 71, 72, 73, 74, 81, 83, 101, 102. A coordinate system (X, Z) is shown at the bottom left.

	BM1(Backside Metal 1)		LI		Via(BM0-Active)
	BM0(Backside Metal 0)		M1		Via(Gate, Shared-contact)
	Gate		M2		Via(LI-M1)
	Active		Via(BM1-BM0)		Via(M1-M2)

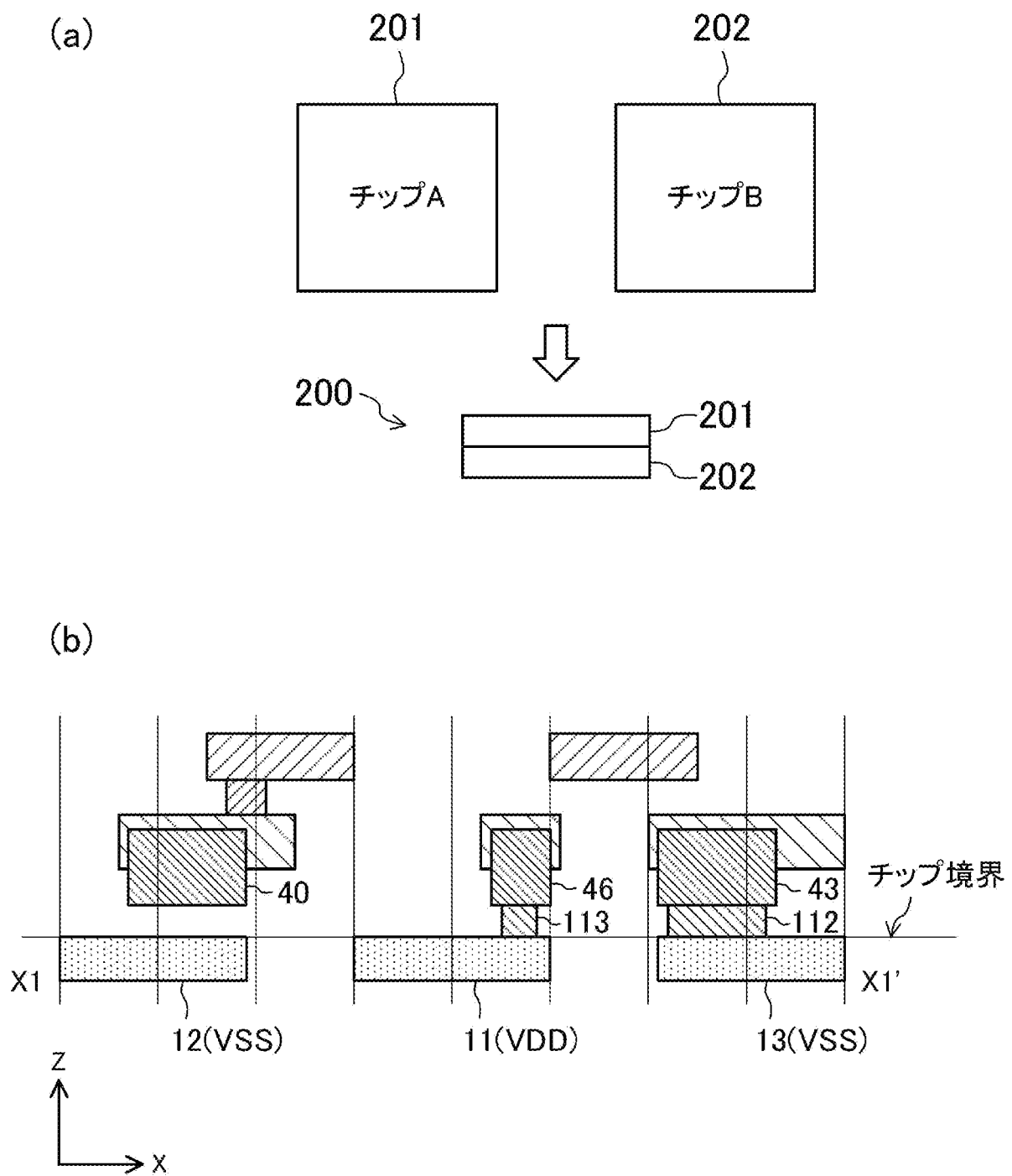
[図3]

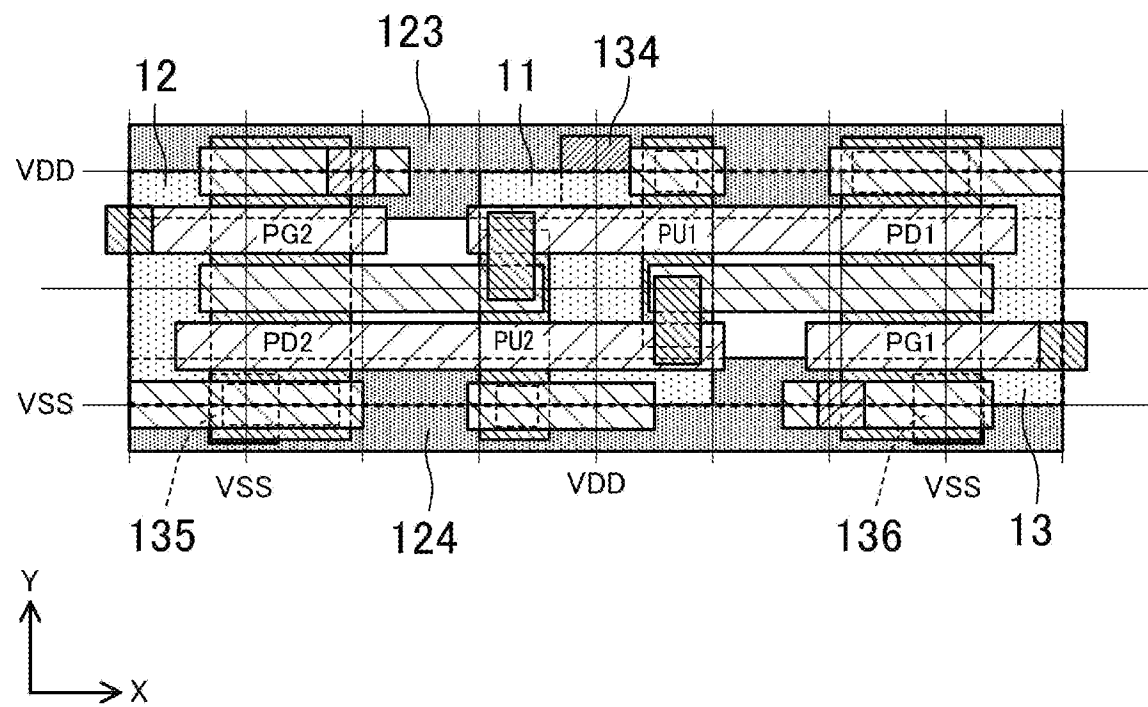
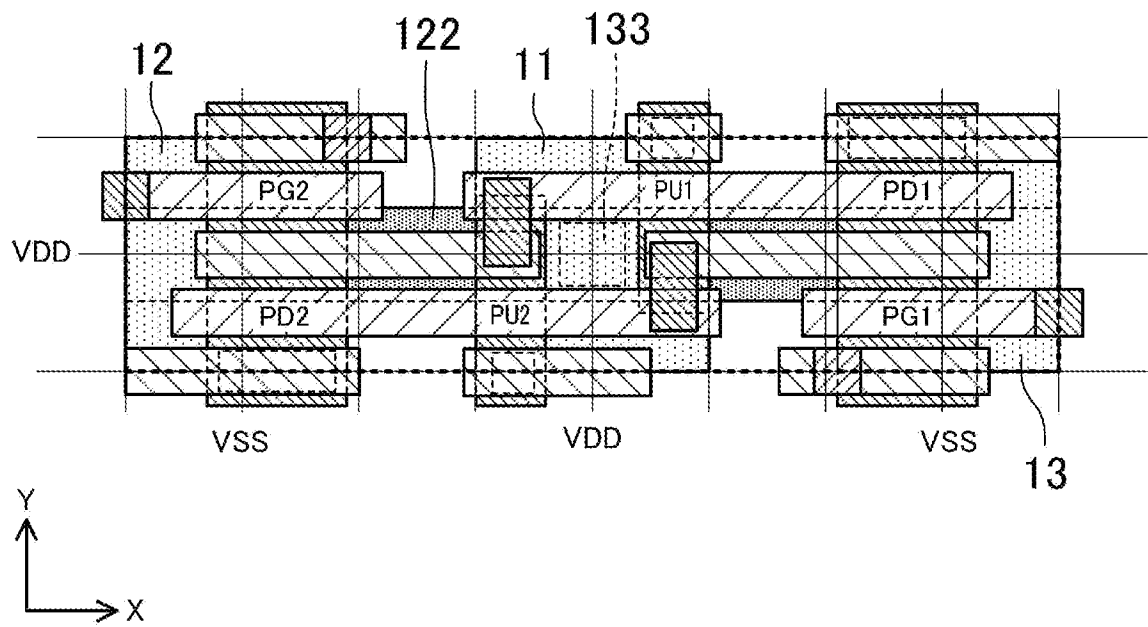


BM1(Backside Metal 1)	LI	Via(BM0-Active)
BM0(Backside Metal 0)	M1	Via(Gate, Shared-contact)
Gate	M2	Via(LI-M1)
Active	Via(BM1-BM0)	Via(M1-M2)

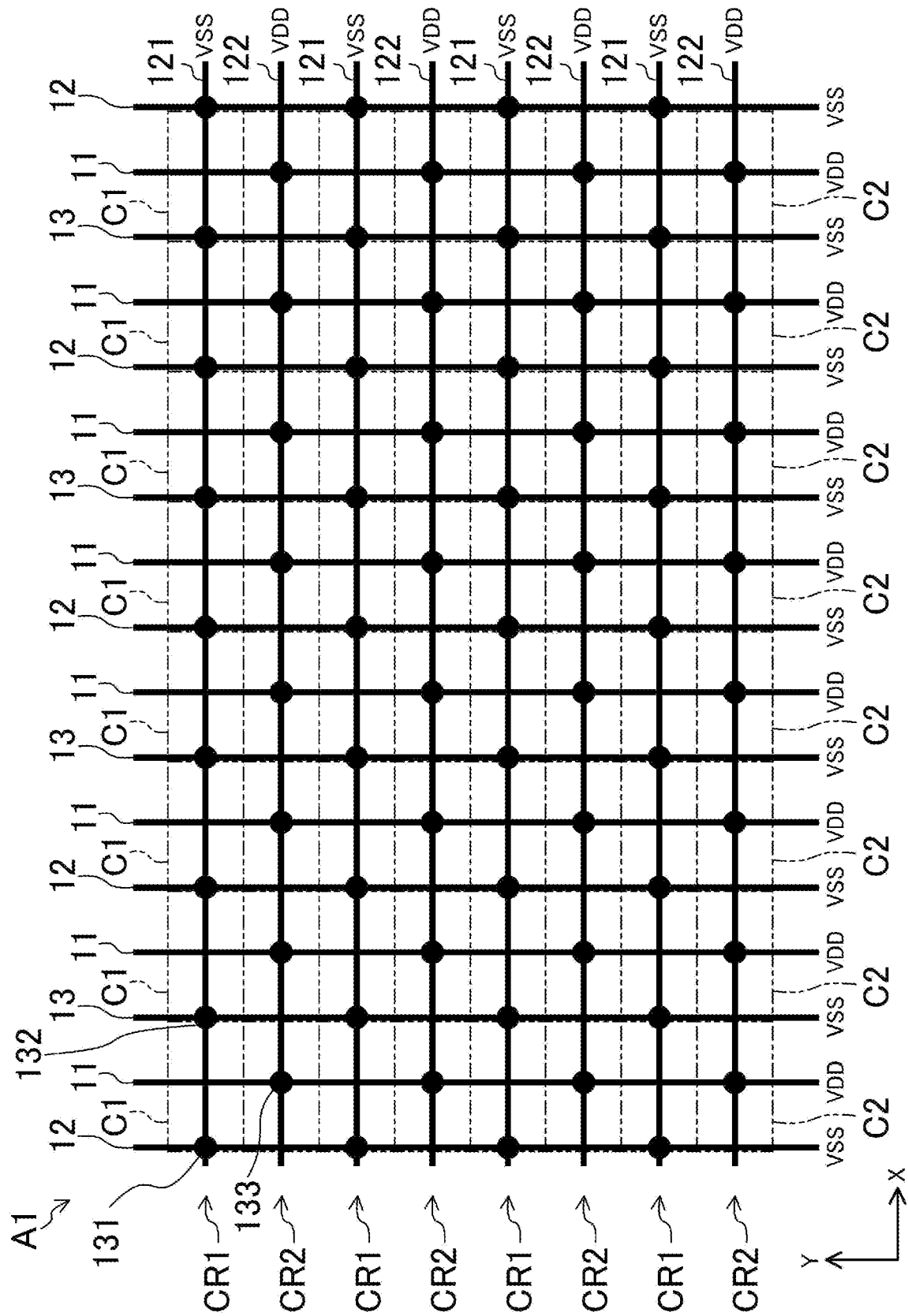
[illegible]

[図5]

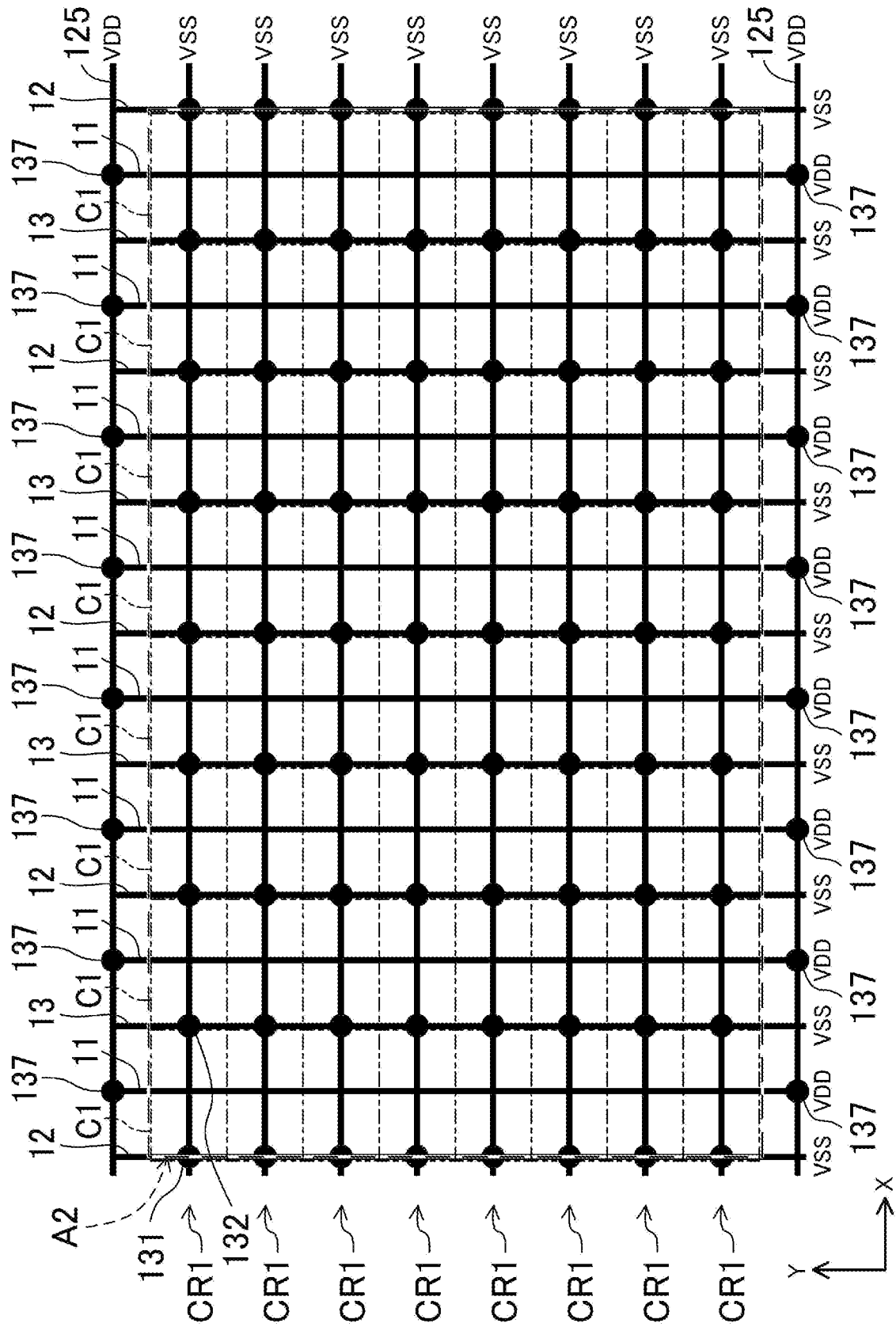




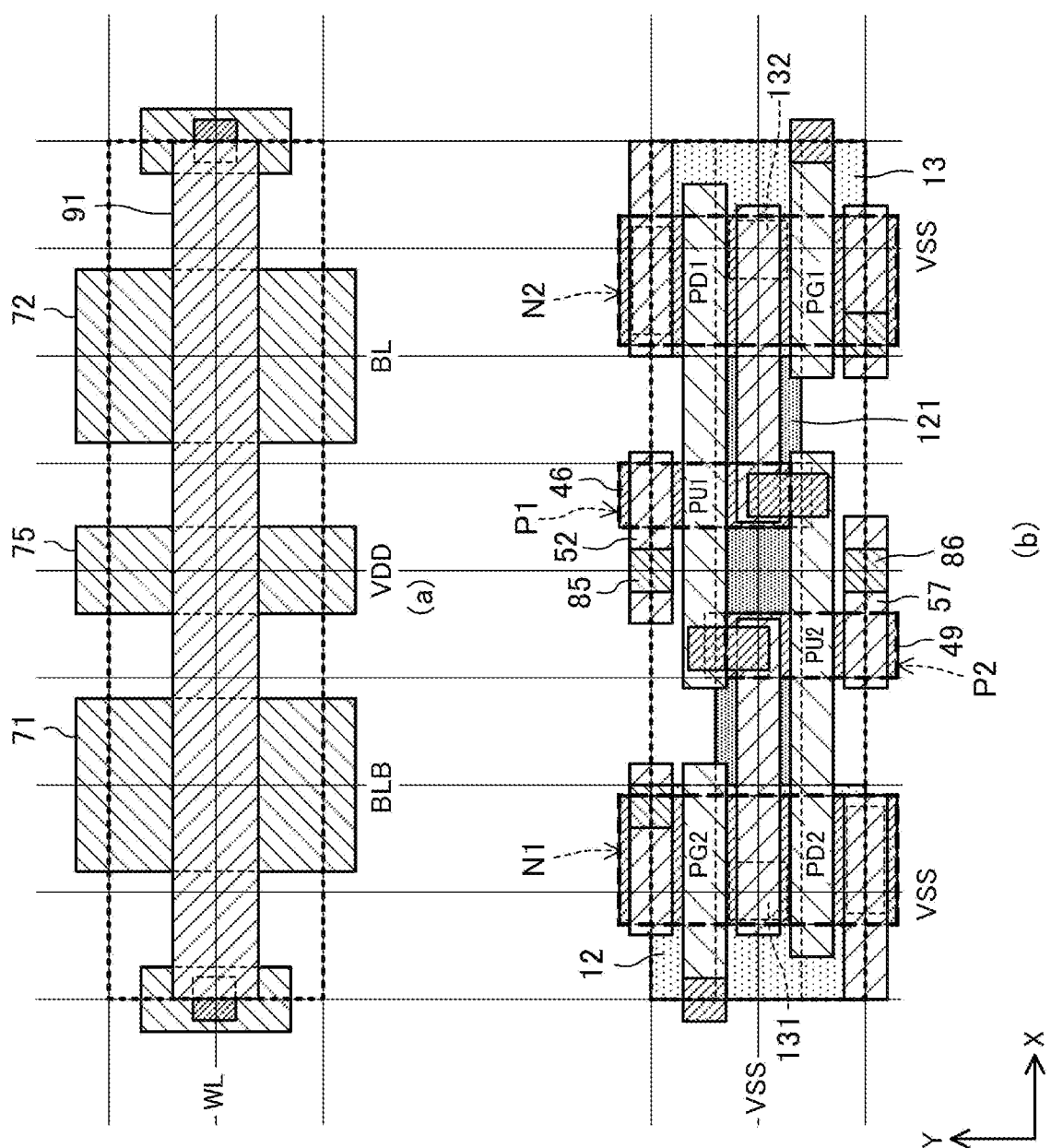
[図8]



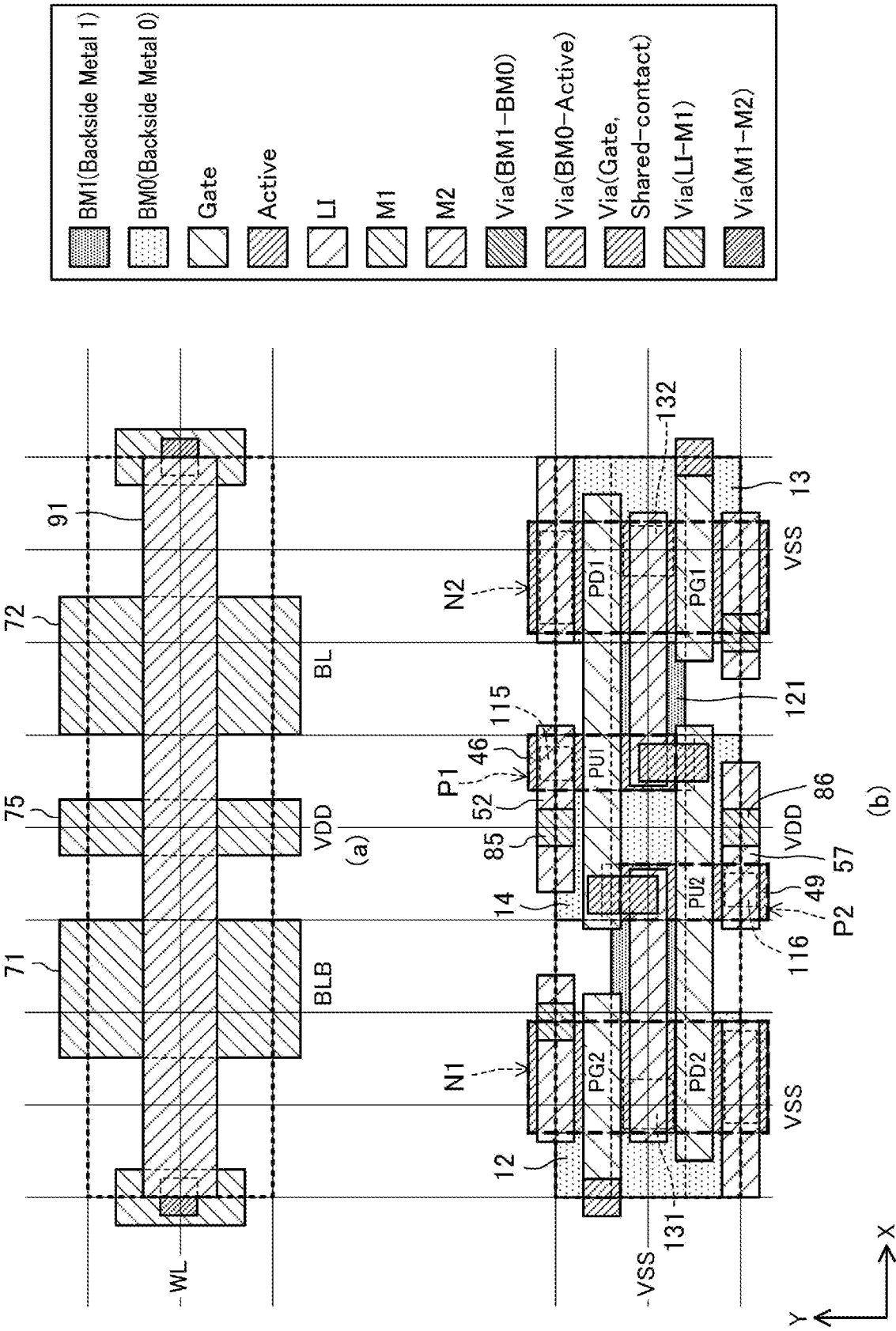
[図9]



	BM1(Backside Metal 1)
	BM0(Backside Metal 0)
	Gate
	Active
	LI
	M1
	M2
	Via(BM1-BM0)
	Via(BM0-Active)
	Via(Gate, Shared-contact)
	Via(LI-M1)
	Via(M1-M2)



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/020652

A. CLASSIFICATION OF SUBJECT MATTER H10B 10/00 (2023.01)i FI: H10B10/00 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H10B10/00 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2021/0305262 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 30 September 2021 (2021-09-30) paragraphs [0002], [0021]-[0022], [0030]-[0036], [0040]-[0042], [0059], fig. 1, 3A-3B, 5A	1, 6, 9
Y		1-3, 5-6, 9-11
A		4, 7-8
Y	WO 2021/166645 A1 (SOCIONEXT INC.) 26 August 2021 (2021-08-26) paragraphs [0001], [0008], [0025]-[0028], [0039]-[0041], [0048]-[0052], [0058]-[0066], [0081], fig. 1-4, 14	1-3, 5-6, 9-11
A		4, 7-8
Y	US 2022/0336474 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 20 October 2022 (2022-10-20) paragraphs [0002]-[0003], [0024], [0040], [0070], [0108], [0111], fig. 2B, 3E, 15C	2-3, 5, 10-11
A		1, 4, 6-9
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 06 August 2024		Date of mailing of the international search report 20 August 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/020652

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2022/239681 A1 (SOCIONEXT INC.) 17 November 2022 (2022-11-17) entire text, all drawings	1-11

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2024/020652

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
US	2021/0305262	A1	30 September 2021	US	2023/0164971	A1	
				CN	113205844	A	

WO	2021/166645	A1	26 August 2021	US	2022/0375945	A1	
				paragraphs [0002], [0008], [0039]-[0042], [0052]-[0054], [0061]-[0065], [0071]-[0079], [0094], fig. 1A-4, 14A-14B			
				CN	115066752	A	

US	2022/0336474	A1	20 October 2022	CN	114974350	A	

WO	2022/239681	A1	17 November 2022	US	2024/0081035	A1	
				entire text, all drawings			
				CN	117322152	A	

A. 発明の属する分野の分類（国際特許分類（IPC））

H10B 10/00(2023.01)i
FI: H10B10/00

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H10B10/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報1922-1996年

日本国公開実用新案公報1971-2024年

日本国実用新案登録公報1996-2024年

日本国登録実用新案公報1994-2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	US 2021/0305262 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 30.09.2021 (2021 - 09 - 30) [0002], [0021] - [0022], [0030] - [0036], [0040] - [0042], [0059], 図1, 3A - 3B, 5A	1, 6, 9
Y		1-3, 5-6, 9-11
A		4, 7-8
Y	WO 2021/166645 A1 (株式会社ソシオネクスト) 26.08.2021 (2021 - 08 - 26) [0001], [0008], [0025] - [0028], [0039] - [0041], [0048] - [0052], [0058] - [0066], [0081], 図1 - 4, 14	1-3, 5-6, 9-11
A		4, 7-8
Y	US 2022/0336474 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY, LTD.) 20.10.2022 (2022 - 10 - 20) [0002] - [0003], [0024], [0040], [0070], [0108], [0111], 図2B, 3E, 15C	2-3, 5, 10-11
A		1, 4, 6-9

☒ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの

“D” 国際出願で出願人が先行技術文献として記載した文献

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日
06.08.2024

国際調査報告の発送日
20.08.2024

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

宮本 博司 5F 6313

電話番号 03-3581-1101 内線 3514

様式 PCT/ISA/210（第2ページ）（2022年7月）

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2022/239681 A1 (株式会社ソシオネクスト) 17.11.2022 (2022 - 11 - 17) 全文, 全図	1-11

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2024/020652

引用文献			公表日	パテントファミリー文献			公表日
US	2021/0305262	A1	30.09.2021	US	2023/0164971	A1	
				CN	113205844	A	

WO	2021/166645	A1	26.08.2021	US	2022/0375945	A1	
				[0002], [0008], [0039] -			
				[0042], [0052] - [0054],			
				[0061] - [0065], [0071] -			
				[0079], [0094], 図1A - 4,			
				14A - 14B			
				CN	115066752	A	

US	2022/0336474	A1	20.10.2022	CN	114974350	A	

WO	2022/239681	A1	17.11.2022	US	2024/0081035	A1	
				全文, 全図			
				CN	117322152	A	
