(19)日本国特許庁(JP)　(12)特 許 公 報(B2)　(11)特許番号
特許第4554292号
(P4554292)

(45)発行日 平成22年9月29日(2010.9.29)　(24)登録日 平成22年7月23日(2010.7.23)

(51)Int.Cl.		F I		
H01L 21/336	(2006.01)	H01L	29/78	627C
H01L 29/786	(2006.01)	H01L	29/78	616K
G02F 1/1368	(2006.01)	H01L	29/78	618B
H01L 21/288	(2006.01)	G02F	1/1368	
H01L 21/3205	(2006.01)	H01L	21/288	Z

請求項の数 27　(全 42 頁)　最終頁に続く

(21)出願番号　特願2004-211354 (P2004-211354)
(22)出願日　平成16年7月20日 (2004.7.20)
(65)公開番号　特開2005-150685 (P2005-150685A)
(43)公開日　平成17年6月9日 (2005.6.9)
審査請求日　平成19年4月19日 (2007.4.19)
(31)優先権主張番号　特願2003-277144 (P2003-277144)
(32)優先日　平成15年7月18日 (2003.7.18)
(33)優先権主張国　日本国(JP)
(31)優先権主張番号　特願2003-361289 (P2003-361289)
(32)優先日　平成15年10月21日 (2003.10.21)
(33)優先権主張国　日本国(JP)

(73)特許権者　000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷３９８番地
(72)発明者　山崎　舜平
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
(72)発明者　今井　馨太郎
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
(72)発明者　前川　慎志
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
(72)発明者　古野　誠
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
最終頁に続く

(54)【発明の名称】薄膜トランジスタの作製方法

(57)【特許請求の範囲】

【請求項１】

絶縁表面を有する基板上に、液滴吐出法でゲート電極を形成し、

前記ゲート電極上に、ゲート絶縁層、セミアモルファス半導体層、一導電型の不純物を含有するセミアモルファス半導体層を積層形成し、

前記ゲート電極と重なる位置に、液滴吐出法で第１の導電体層を形成し、

前記第１の導電体層をマスクとして、前記セミアモルファス半導体層と、前記一導電型の不純物を含有するセミアモルファス半導体層とをエッチングし、

前記第１の導電体層上に、液滴吐出法でソース配線又はドレイン配線として機能する第２の導電体層を形成し、

前記第２の導電体層をマスクとして、前記第１の導電体層と、前記一導電型の不純物を含有するセミアモルファス半導体層とをエッチングし、

前記セミアモルファス半導体層と、前記一導電型の不純物を含有するセミアモルファス半導体層は、プラズマＣＶＤ法により形成することを特徴とする薄膜トランジスタの作製方法。

【請求項２】

絶縁表面を有する基板上に、液滴吐出法でゲート電極を形成し、

前記ゲート電極上に、ゲート絶縁層、第１のセミアモルファス半導体層を積層形成し、

前記ゲート電極と重なる位置に、液滴吐出法で第１のマスクを形成し、

前記第１のマスクを用いて、前記第１のセミアモルファス半導体層をエッチングして第

２のセミアモルファス半導体層を形成し、
前記第２のセミアモルファス半導体層上に絶縁体層を形成し、
前記絶縁体層上に、液滴吐出法で第２のマスクを形成し、
前記第２のマスクを用いて、前記絶縁体層をエッチングしてチャネル保護層を形成し、
前記第２のセミアモルファス半導体層上に、一導電型の不純物を含有するセミアモルファス半導体層を形成し、
前記一導電型の不純物を含有するセミアモルファス半導体層上に、液滴吐出法でソース配線又はドレイン配線として機能する導電体層を形成し、
前記導電体層をマスクとして、前記一導電型の不純物を含有するセミアモルファス半導体層をエッチングし、
前記第１のセミアモルファス半導体層と、前記一導電型の不純物を含有するセミアモルファス半導体層は、プラズマＣＶＤ法により形成することを特徴とする薄膜トランジスタの作製方法。
【請求項３】
請求項１において、
前記第１の導電体層と前記第２の導電層は、それぞれ、銀、金、又は銅を含む材料を用いて液滴吐出法により形成することを特徴とする薄膜トランジスタの作製方法。
【請求項４】
請求項１又は請求項３において、
前記セミアモルファス半導体層と、前記一導電型の不純物を含有するセミアモルファス半導体層はそれぞれ、酸素濃度が$５×１０^{１９}$ａｔｏｍｓ／$ｃｍ^{３}$以下であることを特徴とする薄膜トランジスタの作製方法。
【請求項５】
請求項１又は請求項３において、
前記セミアモルファス半導体層と、前記一導電型の不純物を含有するセミアモルファス半導体層はそれぞれ、酸素濃度が$１×１０^{１９}$ａｔｏｍｓ／$ｃｍ^{３}$以下であることを特徴とする薄膜トランジスタの作製方法。
【請求項６】
請求項１、請求項３乃至請求項５のいずれか一項において、
前記セミアモルファス半導体層と、前記一導電型の不純物を含有するセミアモルファス半導体層はそれぞれ、結晶粒が分散した非晶質半導体層であることを特徴とする薄膜トランジスタの作製方法。
【請求項７】
請求項１、請求項３乃至請求項５のいずれか一項において、
前記セミアモルファス半導体層と、前記一導電型の不純物を含有するセミアモルファス半導体層はそれぞれ、０．５～２０ｎｍの結晶粒が分散した非晶質半導体層であることを特徴とする薄膜トランジスタの作製方法。
【請求項８】
請求項１、請求項３乃至請求項７のいずれか一項において、
前記セミアモルファス半導体層と、前記一導電型の不純物を含有するセミアモルファス半導体層はそれぞれ、珪化物気体を用いてプラズマＣＶＤ法により形成することを特徴とする薄膜トランジスタの作製方法。
【請求項９】
請求項１、請求項３乃至請求項７のいずれか一項において、
前記セミアモルファス半導体層と、前記一導電型の不純物を含有するセミアモルファス半導体層はそれぞれ、珪化物気体を希ガス元素で希釈した気体を用いてプラズマＣＶＤ法により形成することを特徴とする薄膜トランジスタの作製方法。
【請求項１０】
請求項１、請求項３乃至請求項７のいずれか一項において、
前記セミアモルファス半導体層と、前記一導電型の不純物を含有するセミアモルファス

半導体層はそれぞれ、珪化物気体に炭化物気体を混入させた気体を用いてプラズマＣＶＤ法により形成することを特徴とする薄膜トランジスタの作製方法。

【請求項１１】

請求項１、請求項３乃至請求項７のいずれか一項において、

前記セミアモルファス半導体層と、前記一導電型の不純物を含有するセミアモルファス半導体層はそれぞれ、珪化物気体にゲルマニウム化気体を混入させた気体を用いてプラズマＣＶＤ法により形成することを特徴とする薄膜トランジスタの作製方法。

【請求項１２】

請求項２において、

前記導電体層は、銀、金、又は銅を含む材料を用いて液滴吐出法により形成することを特徴とする薄膜トランジスタの作製方法。

【請求項１３】

請求項２又は請求項１２において、

前記第１のセミアモルファス半導体層と、前記一導電型の不純物を含有するセミアモルファス半導体層は、酸素濃度が５×１０^{１９}ａｔｏｍｓ／ｃｍ^{３}以下であることを特徴とする薄膜トランジスタの作製方法。

【請求項１４】

請求項２又は請求項１２において、

前記第１のセミアモルファス半導体層と、前記一導電型の不純物を含有するセミアモルファス半導体層は、酸素濃度が１×１０^{１９}ａｔｏｍｓ／ｃｍ^{３}以下であることを特徴とする薄膜トランジスタの作製方法。

【請求項１５】

請求項２、請求項１２乃至請求項１４のいずれか一項において、

前記第１のセミアモルファス半導体層と、前記一導電型の不純物を含有するセミアモルファス半導体層は、結晶粒が分散した非晶質半導体層であることを特徴とする薄膜トランジスタの作製方法。

【請求項１６】

請求項２、請求項１２乃至請求項１４のいずれか一項において、

前記第１のセミアモルファス半導体層と、前記一導電型の不純物を含有するセミアモルファス半導体層は、０．５～２０ｎｍの結晶粒が分散した非晶質半導体層であることを特徴とする薄膜トランジスタの作製方法。

【請求項１７】

請求項２、請求項１２乃至請求項１６のいずれか一項において、

前記第１のセミアモルファス半導体層と、前記一導電型の不純物を含有するセミアモルファス半導体層はそれぞれ、珪化物気体を用いてプラズマＣＶＤ法により形成することを特徴とする薄膜トランジスタの作製方法。

【請求項１８】

請求項２、請求項１２乃至請求項１６のいずれか一項において、

前記第１のセミアモルファス半導体層と、前記一導電型の不純物を含有するセミアモルファス半導体層はそれぞれ、珪化物気体を希ガス元素で希釈した気体を用いてプラズマＣＶＤ法により形成することを特徴とする薄膜トランジスタの作製方法。

【請求項１９】

請求項２、請求項１２乃至請求項１６のいずれか一項において、

前記第１のセミアモルファス半導体層と、前記一導電型の不純物を含有するセミアモルファス半導体層はそれぞれ、珪化物気体に炭化物気体を混入させた気体を用いてプラズマＣＶＤ法により形成することを特徴とする薄膜トランジスタの作製方法。

【請求項２０】

請求項２、請求項１２乃至請求項１６のいずれか一項において、

前記第１のセミアモルファス半導体層と、前記一導電型の不純物を含有するセミアモルファス半導体層はそれぞれ、珪化物気体にゲルマニウム化気体を混入させた気体を用いて

プラズマＣＶＤ法により形成することを特徴とする薄膜トランジスタの作製方法。
【請求項２１】
請求項８乃至請求項１１、請求項１７乃至請求項２０のいずれか一項において、
前記珪化物気体は、SiH_4、Si_2H_6、SiH_2Cl_2、$SiHCl_3$、$SiCl_4$、又はSiF_4であることを特徴とする薄膜トランジスタの作製方法。
【請求項２２】
請求項９又は請求項１８において、
前記希ガス元素は、水素、ヘリウム、アルゴン、クリプトン及びネオンから選ばれた１種または複数種であることを特徴とする薄膜トランジスタの作製方法。
【請求項２３】
請求項１０又は請求項１９において、
前記ゲルマニウム化気体は、GeH_4又はGeF_4であることを特徴とする薄膜トランジスタの作製方法。
【請求項２４】
請求項１１又は請求項２０において、
前記炭化物気体は、CH_4又はC_2H_6であることを特徴とする薄膜トランジスタの作製方法。
【請求項２５】
請求項１乃至請求項２４のいずれか一項において、
前記ゲート電極は、銀、金、又は銅を含む材料を用いて液滴吐出法により形成することを特徴とする薄膜トランジスタの作製方法。
【請求項２６】
請求項１乃至請求項２５のいずれか一項において、
前記ゲート絶縁層は、窒化珪素層と、酸化珪素層とを順次積層して形成することを特徴とする薄膜トランジスタの作製方法。
【請求項２７】
請求項１乃至請求項２５のいずれか一項において、
前記ゲート絶縁層は、第１の窒化珪素層と、酸化珪素層と、第２の窒化珪素層とを順次積層して形成することを特徴とする薄膜トランジスタの作製方法。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、液滴吐出法を用いた薄膜トランジスタの作製方法に関する。また、前記薄膜トランジスタを具備した表示装置の作製方法に関する。
【０００２】
本発明は、液滴吐出法を用いた半導体装置の作製方法に関する。
【背景技術】
【０００３】
近年、液滴吐出法（インクジェット法）によるパターン形成は、フラットパネルディスプレイの分野に応用され、活発に開発が進められている。液滴吐出法は、直接描画するためにマスクが不要、大型基板に適用しやすい、材料の利用効率が高い等の多くの利点を有するため、ＥＬ層やカラーフィルタ、プラズマディスプレイの電極等の作製に応用されている（例えば、非特許文献１参照。）。
【０００４】
また、安価なガラス基板を用いて形成される表示装置は、解像度が高くなるにつれて、実装に用いる画素部周辺の領域（額縁領域）の基板に占める割合が増大し、小型化が妨げられる傾向がある。そのため、単結晶のシリコンウエハを用いて形成されたＩＣをガラス基板に実装する方式には限界があると考えられており、駆動回路を含む集積回路を画素部と同じガラス基板上に一体形成する技術、所謂システムオンパネル化が重要視されている。
【０００５】

多結晶半導体を用いたトランジスタは、非晶質半導体を用いたトランジスタに比べて移動度が２桁以上高く、表示装置の画素部とその周辺の駆動回路を同一基板上に一体形成できるという利点を有している。しかし非晶質半導体を用いた場合に比べて、半導体の結晶化のために工程が複雑化するため、その分歩留まりが低減し、コストが高まるという難点がある。

【非特許文献１】Ｔ．Ｓｈｉｍｏｄａ、Ｉｎｋ－ｊｅｔ　Ｔｅｃｈｎｏｌｏｇｙ　ｆｏｒ　Ｆａｂｒｉｃａｔｉｏｎ　Ｐｒｏｃｅｓｓｅｓ　ｏｆ　Ｆｌａｔ　Ｐａｎｅｌ　Ｄｉｓｐｌａｙｓ、ＳＩＤ　０３　ＤＩＧＥＳＴ、ｐ１１７８－１１８１

【０００６】
また、一般的な半導体プロセスでは、フォトリソグラフィ工程が用いられるが、当該フォトリソグラフィ工程を用いると、材料の利用効率が悪く、さらに、工程が煩雑である。

【発明の開示】

【発明が解決しようとする課題】

【０００７】
本発明は上述した問題に鑑み、結晶化のための工程を簡略化し、電界効果移動度を向上させた薄膜トランジスタの作製方法を提供することを課題とする。また、システムオンパネル化を実現した表示装置の作製方法を提供することを課題とする。

【０００８】
上記の実情を鑑み、本発明は、材料の利用効率を向上させて、作製工程を簡略化した半導体装置の作製方法の提供を課題とする。また、作製時間の短縮及び作製費用の低減を実現した半導体装置の作製方法の提供を課題とする。

【課題を解決するための手段】

【０００９】
上述した従来技術の課題を解決するために、本発明においては以下の手段を講じる。

【００１０】
本発明は、非晶質半導体の中に結晶粒が分散するように存在しているセミアモルファス半導体（以下ＳＡＳと表記）を用いた、薄膜トランジスタの作製方法を提供することを特徴とする。ＳＡＳを用いたトランジスタは、その移動度が２～１０ｃｍ^2／Ｖ・ｓｅｃと、非晶質半導体を用いたトランジスタの２～２０倍の電界効果移動度を有する。従って、駆動回路の一部または全体を、画素部と同じ基板上に一体形成することができる。つまり、システムオンパネル化を実現した表示装置の作製方法を提供することができる。

【００１１】
ＳＡＳは、非晶質と結晶構造（単結晶、多結晶を含む）の中間的な構造の半導体である。この半導体は、自由エネルギー的に安定な第３の状態を有する半導体であって、短距離秩序を持ち格子歪みを有する結晶質なものであり、その粒径を０．５～２０ｎｍとして非単結晶半導体中に分散させて存在せしめることが可能である。また、未結合手（ダングリングボンド）の中和剤として水素またはハロゲンを少なくとも１原子％またはそれ以上含ませている。さらに、ヘリウム、アルゴン、クリプトン、ネオンなどの希ガス元素を含ませて格子歪みをさらに助長させることで安定性が増し良好なＳＡＳが得られる。このようなＳＡＳに関する記述は、例えば、特許３０６５５２８号公報で開示されている。

【００１２】
また、ＳＡＳは、価電子制御を目的とした不純物元素を意図的に添加しないときに弱いＮ型の電気伝導性を示す。これは、ＳＡＳ中に含まれる不純物によるもので、代表的には酸素がＮ型の伝導性を付与するものとして考えられている。ＳＡＳに含まれる酸素は、成膜時の高周波電力密度に応じても変化する。本発明においては、ＳＡＳの酸素濃度は５×１０^{19}ａｔｏｍｓ／ｃｍ^{3}以下、好ましくは１×１０^{19}ａｔｏｍｓ／ｃｍ^{3}以下とすることが望ましい。勿論、この酸素の全てがドナーとして機能する訳ではないので、導電型を制御するには、それに応じた量の不純物元素を添加することとなる。

【００１３】
ここで、トランジスタのチャネル形成領域を設けるＳＡＳに対しては、Ｐ型を付与する不

純物元素を、この成膜と同時に、或いは成膜後に添加することで、しきい値制御をすることが可能となる。Ｐ型を付与する不純物元素としては、代表的には硼素であり、B_2H_6、BF_3などの不純物気体を１ｐｐｍ～１０００ｐｐｍの割合で珪化物気体に混入させると良い。そしてボロンの濃度を1×10^{14}～6×10^{16}ａｔｏｍｓ／cm^3とすると良い。

【００１４】

上記のＳＡＳは、多結晶半導体と異なり、ＳＡＳとして直接基板上に成膜することができる。具体的には、SiH_4をH_2で流量比２～１０００倍、好ましくは１０～１００倍に希釈して、プラズマＣＶＤ法を用いて成膜することができる。上記方法を用いて作製されたＳＡＳは、０．５ｎｍ～２０ｎｍの結晶粒を非晶質半導体中に含む微結晶半導体も含んでいる。よって、多結晶半導体を用いる場合と異なり、半導体の成膜後に結晶化の工程を設ける必要がない。そして、レーザ光を用いた結晶化のように、レーザビームの長軸の長さに限界があるために、基板の寸法に制限が生じるようなことがない。つまり、所謂第５世代以降の一辺がメータ角の基板上にも簡単に作製することができる。また、トランジスタの作製における工程数を削減することができ、その分、表示装置の歩留まりを高め、コストを抑えることができる。

なお本発明では、ＳＡＳは、少なくともチャネル形成領域に用いていれば良い。またチャネル形成領域は、その膜厚方向において全てセミアモルファス半導体である必要はなく、少なくとも一部にセミアモルファス半導体を含んでいれば良い。

【００１５】

本発明は、薄膜トランジスタの作製に際し、液滴吐出法（インクジェット法）を用いることで、選択的に組成物を吐出してパターンを形成することを特徴とする。そして、液滴吐出法を用いることで、所望の領域のみに描画されたパターンを用いて、半導体層等のパターニングを行うことを特徴とする。

【００１６】

本発明は、ゲート電極に相当する第１の導電体層を形成し、前記第１の導電体層上にゲート絶縁膜に相当する絶縁体層並びに第１乃至第３の半導体層を積層形成し、前記第３の半導体層上に第２の導電体層を形成した後、前記第２の導電体層をマスクとして、前記第１乃至前記第３の半導体層をパターニングする。そして、パターニングされた前記第３の半導体層に接する第３の導電体層を形成した後、前記第３の導電体層をマスクとして、前記第２及び前記第３の半導体層をパターニングして薄膜トランジスタが完成する。本発明は、前記第１乃至前記第３の半導体層として、セミアモルファス半導体を形成し、前記第１乃至前記第３の導電体層は、導電性材料を含む組成物を選択的に吐出して形成することを特徴とする。この薄膜トランジスタの作製方法については、形態１に詳述する。

【００１７】

本発明は、ゲート電極に相当する第１の導電体層を形成し、前記第１の導電体層上に、ゲート絶縁膜に相当する第１の絶縁体層と第１の半導体層を積層形成した後、第１のパターンを用いて前記第１の半導体層をパターニングし、パターニングされた前記第１の半導体層上に、チャネル保護膜となる第２のパターンを形成し、前記第２のパターン上に第２及び第３の半導体層を積層形成し、前記第３の半導体層に接するように、第２の導電体層を形成した後、前記第２の導電体層をマスクとして、前記第２及び前記第３の半導体層をパターニングして薄膜トランジスタが完成する。本発明は、前記第１乃至前記第３の半導体層としてセミアモルファス半導体を形成し、前記第１及び前記第２のパターンとして有機樹脂を含む組成物を選択的に吐出して形成し、前記第１及び前記第２の導電体層として導電性材料を含む組成物を選択的に吐出して形成することを特徴とする。この薄膜トランジスタの作製方法については、形態２に詳述する。

【００１８】

なお、本発明では、チャネル保護膜となる第２のパターンは、液滴吐出法により形成したパターンをそのまま用いている。しかし、全面に絶縁体材料からなる薄膜を形成し、その後、液滴吐出法により形成されたパターンをマスクとして、該薄膜をパターニングすることで、チャネル保護膜として用いてもよい。

【００１９】
本発明は、第１の基板上に第１の半導体素子を複数配置した画素領域、又は画素領域及び走査線駆動回路を形成し、前記第１の基板と第２の基板の間に液晶層又は電界発光層を挟持して貼り合わせる。次に、第３の基板上に第２の半導体素子を複数配置した駆動回路と、該駆動回路に従属する入力端子及び出力端子を含むドライバＩＣを複数個形成した後、前記複数個のドライバＩＣを各々に分割し、信号線駆動回路のみ、又は信号線駆動回路及び走査線駆動回路として前記ドライバＩＣを前記第１の基板上に形成された前記画素領域の周辺に貼り合わせて表示装置を作製する。
本発明は、前記第１の半導体素子のチャネル部としてセミアモルファス半導体層を形成し、前記第１の半導体素子を構成する導電体層は、導電性材料を含む組成物を選択的に吐出して形成することを特徴とする。この表示装置の作製方法については、形態３に詳述する。
【００２０】
第１の基板上に実装されるこれらのドライバＩＣは、結晶質半導体層により形成されることが好適であり、前記結晶質半導体層は連続発光のレーザ光を照射することで形成されることが好適である。従って、当該レーザ光を発生させる発振器としては、連続発光の固体レーザ又は気体レーザを用いる。連続発光のレーザを用いると、結晶欠陥が少なく、大粒径の多結晶半導体を用いて、トランジスタを作成することができることによる。さらに移動度や応答速度が良好なために高速駆動が可能で、従来よりも素子の動作周波数を向上させることができ、特性バラツキが少ないために高い信頼性を得ることができる。また、さらなる動作の周波数の向上を目的として、トランジスタのチャネル長方向とレーザ光の走査方向と一致させるとよい。
【００２１】
本発明は、非晶質半導体層（アモルファスシリコン、ａ－Ｓｉ）を用いた半導体装置の作製方法を提供することを特徴とする。非晶質半導体層は、プラズマＣＶＤ法やスパッタリング法等の公知の方法により作製する。
【００２２】
本発明の半導体装置の作製方法は、絶縁表面を有する基板上に、液滴吐出法でゲート電極を形成する第１の段階と、前記ゲート電極上に、ゲート絶縁体層、半導体層、絶縁体層を積層形成する第２の段階と、前記ゲート電極と重なる位置に、液滴吐出法で第１のマスクを形成する第３の段階と、前記第１のマスクにより、前記絶縁体層をエッチングしてチャネル保護層を形成する第４の段階と、一導電型の不純物を含有する半導体層を形成しする第５の段階と、前記ゲート電極を含む領域に、液滴吐出法で第２のマスクを形成する第６の段階と、前記一導電型の不純物を含有する半導体層と、前記半導体層とをエッチングする第７の段階と、液滴吐出法で、ソース及びドレイン配線を形成する第８の段階と、前記ソース及びドレイン配線をマスクとして、前記チャネル保護層上の前記一導電型の不純物を含有する半導体層をエッチングする第９の段階の各段階を含むことを特徴とする。
【００２３】
本発明の半導体装置の作製方法は、絶縁表面を有する基板上に、液滴吐出法でゲート電極と、接続配線を形成する第１の段階と、前記ゲート電極上に、ゲート絶縁体層、半導体層、絶縁体層を積層形成する第２の段階と、前記ゲート電極と重なる位置に、液滴吐出法で第１のマスクを形成する第３の段階と、前記第１のマスクにより、前記絶縁体層をエッチングしてチャネル保護層を形成する第４の段階と、一導電型の不純物を含有する半導体層を形成しする第５の段階と、前記ゲート電極を含む領域に、液滴吐出法で第２のマスクを形成する第６の段階と、前記一導電型の不純物を含有する半導体層と、前記半導体層とをエッチングする第７の段階と、前記ゲート絶縁体層を選択的にエッチングして、前記接続配線を露出させる第８の段階と、液滴吐出法で、ソース及びドレイン配線を形成すると共に、少なくとも一方の配線を前記接続配線と接続する第９の段階と、前記ソース及びドレイン配線をマスクとして、前記チャネル保護層上の前記一導電型の不純物を含有する半導体層をエッチングする第１０の段階の各段階を含むことを特徴とする。

【００２４】
本発明は、前記第２の段階は、大気に晒すことなく連続的に行うことを特徴とする。また本発明は、前記ゲート絶縁膜は、第１の窒化珪素膜と、酸化珪素膜と、第２の窒化珪素膜を順次積層することを特徴とする。
【００２５】
なお、上記半導体装置とは、基板上に形成された半導体層、該半導体層を用いた薄膜トランジスタが形成されたＴＦＴ基板、基板上に薄膜トランジスタ及び液晶が形成された液晶パネル用基板又は液晶モジュール用基板、基板上に薄膜トランジスタ及び発光素子が形成されたＥＬ（エレクトロルミネッセンス）パネル用基板又はＥＬモジュール用基板、基板上の薄膜トランジスタ及び液晶が封止材により封止された液晶パネル、基板上の薄膜トランジスタ及び発光素子が封止材により封止されたＥＬパネル、これらパネルにＦＰＣ等が取り付けられたモジュール、ＦＰＣ等の先にドライバＩＣが接続されたモジュール、パネルにＣＯＧ方式等によりドライバＩＣが実装されたモジュール等を含むものである。
【発明の効果】
【００２６】
本発明は、セミアモルファス半導体でチャネル形成領域を構成することにより、非晶質半導体を用いたトランジスタよりも向上させた２～１０ｃｍ^2／Ｖ・ｓｅｃの電界効果移動度の薄膜トランジスタ及び表示装置の作製方法を提供することができる。従って、結晶化のための工程を簡略化することが可能となり、且つこのトランジスタを画素のスイッチング用素子として利用することが可能となり、さらに画素のスイッチング素子だけではなく、走査線（ゲート線）側の駆動回路を形成する素子として利用することができる。従って、システムオンパネル化を実現した表示装置を作製することができる。
また、本発明は、液滴吐出法を用いることにより、レジストによるマスクを全く用いない、又は数枚のみを用いるだけで、薄膜トランジスタを形成することが可能となる。従って、レジストの塗布、レジストの焼成、露光、現像、現像後の焼成、レジスト剥離等の工程を省略することができるため、工程の簡略化によるコストの大幅な低減や信頼性の向上が実現される。
【００２７】
上記構成を有する本発明は、材料の利用効率を向上させて、作製工程を簡略化した薄膜トランジスタ、表示装置の作製方法の提供、作製時間の短縮及び作製費用の低減を実現した薄膜トランジスタ、表示装置の作製方法の提供を可能とする。
【発明を実施するための最良の形態】
【００２８】
本発明の実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同じものを指す符号は異なる図面間で共通して用いる。
（実施の形態１）
【００２９】
本発明の実施の形態として、チャネルエッチ型のトランジスタの作製方法について、図２、３を用いて説明する。
ガラス、石英、プラスチック材料、ステンレスやアルミニウムなどの金属材料の上に絶縁膜を形成した基板１０上にゲート電極及びゲート配線（走査線）を形成するための導電体層５１、５２を形成する（図２（Ａ））。この導電体層５１、５２は、液滴吐出法を用いて、導電性材料を含む組成物を基板１０上に描画することで形成される。より詳しくは、導電体材料を含む組成物を選択的に吐出することで形成される。なお、図示しないが、この際、ゲート電極と接続する配線も同時に形成される。
【００３０】
導電体層５１、５２の形成の際には液滴吐出手段を用いるが、該液滴吐出手段が具備する

ノズルの径は、０．１〜５０μｍ（好適には０．６〜２６μｍ）に設定し、該ノズルから吐出される組成物の吐出量は０．０００１ｐｌ〜５０ｐｌ（好適には０．０００１〜１０ｐｌ）に設定する。この吐出量は、ノズルの径の大きさに比例して増加する。また、被処理物とノズル吐出口との距離は、所望の箇所に滴下するために、出来る限り近づけておくことが好ましく、好適には０．１〜２mm程度に設定する。

【００３１】

吐出口から吐出する組成物は、導電体材料を溶媒に溶解又は分散させたものを用いる。導電体材料は、銀（Ａｇ）、金（Ａｕ）、銅（Ｃｕ）、ニッケル（Ｎｉ）、白金（Ｐｔ）、鉛（Ｐｄ）、イリジウム（Ｉｒ）、ロジウム（Ｒｈ）、タングステン（Ｗ）、アルミニウム（Ａｌ）等の金属、カドミウム（Ｃｄ）、亜鉛（Ｚｎ）、鉄（Ｆｅ）、チタン（Ｔｉ）、ジルコニウム（Ｚｒ）、バリウム（Ｂａ）等の金属、ハロゲン化銀の微粒子等、又は分散性ナノ粒子に相当する。または、透明導電体材料として用いられるインジウム錫酸化物（ＩＴＯ、Ｉｎｄｉｕｍ　Ｔｉｎ　Ｏｘｉｄｅ）、有機インジウム、有機スズ、ＺｎＯ（Ｚｉｎｃ　Ｏｘｉｄｅ）、ＴｉＮ（Ｔｉｔａｎｉｕｍ　Ｎｉｔｒｉｄｅ）等に相当する。なお、好適には、吐出口から吐出する組成物は、比抵抗値を考慮して、金、銀、銅のいずれかの材料を溶媒に溶解又は分散させたものを用いることが好適である。より好適には、低抵抗な銀、銅を用いるとよい。但し、銅を用いる場合には、不純物対策のため、合わせてバリア膜を設けるとよい。

溶媒は、酢酸ブチル、酢酸エチル等のエステル類、イソプロピルアルコール、エチルアルコール等のアルコール類、メチルエチルケトン、アセトン等の有機溶剤等に相当する。

【００３２】

組成物の粘度は３００ｃｐ以下が好適であり、これは、乾燥が起こることを防止したり、吐出口から組成物を円滑に吐出できるようにしたりするためである。なお、用いる溶媒や、用途に合わせて、組成物の粘度、表面張力等は適宜調整するとよい。一例として、ＩＴＯや、有機インジウム、有機スズを溶媒に溶解又は分散させた組成物の粘度は５〜５０ｍＰａ・Ｓ、銀を溶媒に溶解又は分散させた組成物の粘度は５〜２０ｍＰａ・Ｓ、金を溶媒に溶解又は分散させた組成物の粘度は１０〜２０ｍＰａ・Ｓに調整する。

【００３３】

各ノズルの径や所望のパターン形状などに依存するが、ノズルの目詰まり防止や高精細なパターンの作製のため、導電体材料の粒子の径はなるべく小さい方が好ましく、好適には粒径０．１μｍ以下が好ましい。組成物は、電解法、アトマイズ法又は湿式還元法等の公知の方法で形成されるものであり、その粒子サイズは、一般的に約０．５〜１０μｍである。但し、ガス中蒸発法で形成すると、分散剤で保護されたナノ分子は約７ｎｍと微細であり、またこのナノ粒子は、被覆剤を用いて各粒子の表面を覆うと、溶剤中に凝集がなく、室温で安定に分散し、液体とほぼ同じ挙動を示す。従って、被覆剤を用いることが好ましい。

【００３４】

次に、導電体層５１、５２の上層に、ＣＶＤ法やスパッタリング法等の公知の方法により、絶縁体層５３、５４を形成する（図２（Ｂ））。この絶縁体層５３、５４は、ゲート絶縁膜として機能する。好適には、絶縁体層５３として酸化珪素膜、絶縁体層５４として窒化珪素膜を形成するとよい。そうすると、所望の絶縁耐圧が得られる程度にゲート絶縁膜を厚く形成することができ、さらにトランジスタを構成する半導体とゲート電極の間の容量を適当な値にすることができる。これは、酸化珪素膜の誘電率が約３．５であり、窒化珪素膜の誘電率が約７．５であることによる。これらの絶縁体層はグロー放電分解法やスパッタリング法で形成することができる。特に、低い成膜温度でゲートリーク電流に少ない緻密な絶縁膜を形成するには、アルゴンなどの希ガス元素を反応ガスに含ませ、形成される絶縁膜中に混入させると良い。

【００３５】

次に、絶縁体層５３、５４上に、第１の半導体層５５を形成する。第１の半導体層５５は、非晶質と結晶構造（単結晶、多結晶を含む）の中間的な構造の半導体を含む材料で形成

する。この半導体は、自由エネルギー的に安定な第３の状態を有する半導体であって、短距離秩序を持ち格子歪みを有する結晶質なものであり、その粒径を０．５～２０ｎｍとして非単結晶半導体中に分散させて存在せしめることが可能である。また、未結合手（ダングリングボンド）の中和剤として水素またはハロゲンを少なくとも１原子％またはそれ以上含ませている。

本発明は、このような半導体をセミアモルファス半導体（以下、ＳＡＳと表記）と呼ぶ。さらに、ヘリウム、アルゴン、クリプトン、ネオンなどの希ガス元素を含ませて格子歪みをさらに助長させることで安定性が増し良好なＳＡＳが得られる。

【００３６】

ＳＡＳは珪化物気体をグロー放電分解することにより得ることができる。代表的な珪化物気体としては、SiH_4であり、その他にもSi_2H_6、SiH_2Cl_2、$SiHCl_3$、$SiCl_4$、SiF_4などを用いることができる。これら珪化物気体を水素、水素とヘリウム、アルゴン、クリプトン、ネオンから選ばれた一種または複数種の希ガス元素で希釈して用いることでＳＡＳの形成を容易なものとすることができる。希釈率は１０倍～１０００倍の範囲で珪化物気体を希釈することが好ましい。勿論、グロー放電分解による被膜の反応生成は減圧下で行うが、圧力は概略０．１Ｐａ～１３３Ｐａの範囲で行えば良い。グロー放電を形成するための電源周波数は１ＭＨｚ～１２０ＭＨｚ、好ましくは１３ＭＨｚ～６０ＭＨｚである。高周波電力は適宜設定すれば良い。基板加熱温度は３００度以下が好ましく、１００～２００度の基板加熱温度が推奨される。また、珪化物気体中に、CH_4、C_2H_6などの炭化物気体、GeH_4、GeF_4などのゲルマニウム化気体を混入させて、エネルギーバンド幅を１．５～２．４ｅＶ、若しくは０．９～１．１ｅＶに調節しても良い。

また、ＳＡＳは、価電子制御を目的とした不純物元素を意図的に添加しないときに弱いＮ型の電気伝導性を示す。これは、ＳＡＳ中に含まれる不純物によるもので、代表的には酸素がＮ型の伝導性を付与するものとして考えられている。ＳＡＳに含まれる酸素は、成膜時の高周波電力密度に応じても変化する。

【００３７】

本発明では、第１の半導体層５５中の酸素濃度は5×10^{19}ａｔｏｍｓ／cm^3以下、好ましくは1×10^{19}ａｔｏｍｓ／cm^3以下とすることが望ましい。勿論、この酸素の全てがドナーとして機能する訳ではないので、導電型を制御するには、それに応じた量の不純物元素を添加することとなる。これは、酸素はＮ型を付与する不純物であり、セミアモルファス半導体の場合、非晶質半導体よりもハイパワーで成膜するために、成膜時に酸素が入り込みやすく、Ｎ型が強まる傾向がある。そこで、ボロンのチャネルドープが重要であり、ボロンがドーピングすると、Ｉ型の半導体にすることができる。

【００３８】

ここで、チャネル形成領域を具備する第１の半導体層５５に対しては、Ｐ型を付与する不純物元素を、この成膜と同時に、或いは成膜後に添加することで、しきい値制御をすることが可能となる。Ｐ型を付与する不純物元素としては、代表的には硼素であり、B_2H_6、BF_3などの不純物気体を１ｐｐｍ～１０００ｐｐｍの割合で珪化物気体に混入させると良い。そしてボロンの濃度を1×10^{14}～6×10^{16}ａｔｏｍｓ／cm^3とすると良い。

【００３９】

次に、第１の半導体層５５上に、第２の半導体層５６を形成する。第２の半導体層５６は、価電子制御を目的とした不純物元素を意図的に添加しないで形成したものであり、第１の半導体層５５と同様にＳＡＳで形成することが好ましい。第２の半導体層５６は、ソース及びドレインを形成する一導電型を有する第３の半導体層５７と第１の半導体層５５との間に形成することで、バッファ層（緩衝層）的な働きを持っている。

従って、弱Ｎ型の電気伝導性を持つ第１の半導体層５５に対して、同じ導電型で一導電型を有する第３の半導体層５７を形成する場合には必ずしも必要ない。しきい値制御をする目的において、Ｐ型を付与する不純物元素を添加する場合には、第２の半導体層５６は段階的に不純物濃度を変化させる効果を持ち、接合形成を良好にする上で好ましい形態とな

る。すなわち、形成されるトランジスタにおいては、チャネル形成領域とソースまたはドレイン領域の間に形成される低濃度不純物領域（ＬＤＤ領域）としての機能を持たせることが可能となる。

【００４０】

次に、第２の半導体層５６上に、第３の半導体層５７を形成する。一導電型を有する第３の半導体層５７は、Ｎ型のトランジスタを形成する場合には、代表的な不純物元素としてリンを添加すれば良く、珪化物気体にPH_3などの不純物気体を加えれば良い。一導電型を有する第３の半導体層５７は、価電子制御がされていることを除けば、ＳＡＳのような半導体、非晶質半導体、または微結晶半導体で形成されるものである。

このようにして形成されるトランジスタは、チャネル形成領域がソースとドレインの間、およびＬＤＤ領域の間に挟まれて形成されず、電界集中や電流集中を緩和できる構造を有している。

【００４１】

以上、絶縁体層５３から一導電型を有する第３の半導体層５７までは大気に触れさせることなく連続して形成することが可能である。すなわち、大気成分や大気中に浮遊する汚染不純物元素に汚染されることなく各積層界面を形成することができるので、トランジスタの特性のばらつきを低減することができる。

【００４２】

次に、液滴吐出法を用いて、導電性材料を含む組成物を選択的に吐出することで、ゲート電極として機能する導電体層５１、５２と重なる位置に、第３の半導体層５７上に導電体層５８、５９を形成する。そして、形成された導電体層５８、５９をマスクとして、第１乃至第３の半導体層５５～５７を同時にパターン加工して島状に分離形成する（図２（Ｃ））。そうすると、島状に分離された第１の半導体層６０、６３、第２の半導体層６１、６４、第３の半導体層６２、６５が形成される。

【００４３】

次に、再度、液滴吐出法を用いて、導電性材料を含む組成物を選択的に吐出することで、導電体層６６～６９を形成する（図３（Ａ））。

続いて、導電体層６６～６９をマスクとして、第２の半導体層６１、６４、第３の半導体層６２、６５及び導電体層５８、５９をパターン加工する。この際、第１の半導体層６０、６３も少しエッチングされ、第１の半導体層７０、７４、第２の半導体層７１、７５、第３の半導体層７２、７６、導電体層７３、７７、８８、８９が形成される。この導電体層７３及び７７と、導電体層８８及び８９は、一方がソース配線であり、他方はドレイン配線に相当する。

以上の工程を経て、チャネルエッチ型のトランジスタが形成される。このトランジスタは、ＳＡＳでチャネル形成領域を構成することにより２～１０cm^2／Ｖ・ｓｅｃの電界効果移動度を得ることができる。従って、このＴＦＴを画素のスイッチング用素子として利用することができる。さらに画素のスイッチング素子だけではなく、走査線（ゲート線）側の駆動回路を形成する素子として利用することができる。従って、システムオンパネル化を実現した表示装置を作製することができる。

また、特筆すべき点として、本工程では、レジストによるマスクを用いていない点が挙げられる。これは、液滴吐出法を用いているために可能となっており、より詳しくは、第１乃至第３の半導体層５５～５７は、導電体層５８、５９、又は導電体層６６～６９を用いてパターニングを行っている。そのために、レジストの塗布、レジストの焼成、露光、現像、現像後の焼成、レジスト剥離等の工程を省略することができる。従って、工程の簡略化によるコストの大幅な低減や信頼性の向上が実現される。

【００４４】

続いて、以上の工程を経て形成されたチャネルエッチ型のトランジスタを用いた、表示装置の作製方法について、図１（Ａ）、図３（Ｃ）を用いて説明する。なお、以下には、液晶表示装置の作製方法について示すが、本発明はこれに限定されず、例えば、発光素子を用いた表示装置の作製に適用することもできる。

【００４５】
まず、チャネル形成領域の保護を目的とした絶縁体層７８を形成する（図３（Ｃ））。好適には、窒化珪素膜で形成される。この薄膜は、スパッタリング法やグロー放電分解法で形成可能であるが、大気中に浮遊する有機物や金属物、水蒸気などの汚染不純物の侵入を防ぐためのものであり、緻密な膜であることが要求される。この目的において、珪素をターゲットとして、窒素とアルゴンなどの希ガス元素を混合させたスパッタガスで高周波スパッタリングされた窒化珪素膜で、膜中の希ガス元素を含ませることにより緻密化が促進されることとなる。また、グロー放電分解法においても、珪化物気体をアルゴンなどの珪化物気体で１００倍～５００倍に希釈して形成された窒化珪素膜は、１００度以下の低温においても緻密な膜を形成可能であり好ましい。さらに必要があれば絶縁膜を積層して形成してもよい。

【００４６】
また、窒化珪素膜はプラズマＣＶＤ法を用いて形成してもよい。その場合、成膜時に成膜チャンバ内にシランと窒素と希ガス類のガスが供給され、反応圧力が０．０１Ｔｏｒｒ以上０．１Ｔｏｒｒ以下の条件下で行うことが好適である。また、前記シランガスの前記窒素ガスと希ガス類のガスの和に対する流量比［シラン／（窒素＋希ガス類）］が０．００２以上０．００６未満であることが好適である。さらに、希ガス類とはヘリウム、ネオン、アルゴン、クリプトン及びキセノンのうちいずれか一種であることが好適である。
そうすると、反応温度が６０℃以上８５℃未満と低温で作製することができる。上記条件で作製した薄膜は、０．３ａｔｏｍｉｃ％以上の希ガスを有し、ＨＦが４．７％、NH_4Fが３６．３％含まれたバッファードフッ酸における室温でのエッチングレートが３０．０ｎｍ／ｍｉｎ以下の特性、又は０．３ａｔｏｍｉｃ％以上の希ガスと２５ａｔｏｍｉｃ％未満の水素を有し、ＨＦが４．７％、NH_4Fが３６．３％含まれたバッファードフッ酸における室温でのエッチングレートが３０．０ｎｍ／ｍｉｎ以下の特性、又は０．３ａｔｏｍｉｃ％以上の希ガスと４．０ａｔｏｍｉｃ％以上の酸素を有し、ＨＦが４．７％、NH_4Fが３６．３％含まれたバッファードフッ酸における室温でのエッチングレートが３０．０ｎｍ／ｍｉｎ以下の特性、又は０．３ａｔｏｍｉｃ％以上の希ガスと４．０ａｔｏｍｉｃ％以上の酸素と２５ａｔｏｍｉｃ％未満の水素を有し、ＨＦが４．７％、NH_4Fが３６．３％含まれたバッファードフッ酸における室温でのエッチングレートが３０．０ｎｍ／ｍｉｎ以下の特性を有する。このように、８０度以下という低温で作製したにも関わらず、上記のようなエッチングレートを有する窒化珪素膜は、バリア性が高く、緻密で質のよい膜であることが分かる。

【００４７】
また、平坦化の目的から絶縁体層７８の材料として、有機材料を用いてもよい。但し、その場合には、脱ガス等の防止から、チタン、チタンナイトライド、チタンシリサイド（ＴｉＳｉｘ）やモリブデンシリサイド（ＭｏＳｉｘ）などのシリサイド膜、ポリシリコン膜、ニオブ（Ｎｂ）、酸化窒化チタン（ＴｉＯＮ）、タングステン（Ｗ）、窒化タングステン（ＷＮ）、窒化チタンタングステン（ＴｉＷＮ）、タンタル（Ｔａ）などの材料を用いて、バリア膜を形成してもよい。バリア膜は、単層又は積層構造のいずれでも構わない。このバリア膜は、密着性を高め、埋め込み性を付与し、さらにコンタクト抵抗の低減と安定化をもたらすものである。

【００４８】
次に、絶縁体層７８の所定の箇所に開口部を形成する。この開口部は、導電体層６９と電気的な接続をとるものであり、レーザ照射を行って形成するか、又は液滴吐出法により、所定の箇所のみにエッチング溶液を吐出することで、形成するとよい。なお、液滴吐出法を用いる場合、ノズルから、ウエットエッチング液を吐出することで行う。但し、開口部のアスペクト比の制御のため、水などの溶媒で適宜洗浄する工程を追加するとよい。勿論、この洗浄の工程も、液滴吐出法を用いて、ノズルから吐出する液滴を水に交換するか、または、溶液が充填されたヘッドを交換すると、同一の装置で連続処理が可能となり、処理時間の観点から好ましい。上記のいずれかの方法によって開口部を形成すると、導電体

層６９が露出した状態となる。

【００４９】

次に、導電性材料を含む組成物を選択的に吐出することで、開口部を充填させた導電体層８０を形成する。なお、図３（Ｃ）では、導電体層８０を透明導電体材料で形成し、透過型の液晶表示装置を作製する例を示すが、本発明はこれに限定されず、光の反射率が高い導電体材料を用いることで、反射型の液晶表示装置を作製してもよい。

【００５０】

次に、全面を覆うように、配向膜７９を成膜して、ラビング処理を施す（図１（Ａ））。続いて、液晶を封止するためのシール材８７を形成する。また、透明導電膜からなる対向電極８３と、ラビング処理が施された配向膜８２とが形成された第２の基板（対向基板）８４を準備する。そして、シール材８７で囲まれた領域に液晶８１を滴下し、別途用意しておいた第２の基板８４を、対向電極８３と画素電極として機能する導電体層８０とが向かい合うように、シール材８７を用いて貼り合わせる。

【００５１】

上述した液晶の注入の方法は特に限定されず、ディスペンサ方式（滴下方式）や、第２の基板を貼り合わせてから毛細管現象を用いて液晶を注入する方式を用いても良い。

なおシール材８７にはフィラーが混入されていても良く、また、第２の基板８４には、カラーフィルタや、ディスクリネーションを防ぐための遮蔽膜（ブラックマトリクス）などが形成されていても良い。また、偏光板８５、偏光板８６を各基板１０、８４に貼り合わせておく。

【００５２】

なお上記の記載において、パターン加工とは、何らかのマスクにより、薄膜をエッチングして、所望の形状に加工することを意味する。

（実施の形態２）

【００５３】

本発明の実施の形態として、チャネル保護タイプのトランジスタの作製方法について、図４、５を用いて説明する。

【００５４】

ガラスや石英などの基板１０上に、ゲート電極及びゲート配線（走査線）を形成するための導電体層１１、１２を形成する（図４（Ａ））。この導電体層１１、１２は、液滴吐出法により、導電性材料を含む組成物を基板１０上に描画することで形成される。次に、導電体層１１、１２の上層に、ゲート絶縁膜として機能する絶縁体層１３、１４を形成する（図４（Ｂ））。

【００５５】

続いて、絶縁体層１３、１４上に、第１の半導体層１５を形成する。第１の半導体層１５は、非晶質と結晶構造（単結晶、多結晶を含む）の中間的な構造の半導体を含む膜（ＳＡＳ）で形成する。この膜には、さらに、ヘリウム、アルゴン、クリプトン、ネオンなどの希ガス元素を含ませて格子歪みをさらに助長させることで安定性が増し良好なＳＡＳが得られる。

本発明は、第１の半導体層１５中の酸素濃度は5×10^{19}ａｔｏｍｓ／cm^3以下、好ましくは1×10^{19}ａｔｏｍｓ／cm^3以下とすることが望ましい。また、チャネル形成領域を具備する第１の半導体層１５に対しては、Ｐ型を付与する不純物元素を、この成膜と同時に、或いは成膜後に添加することで、しきい値制御をすることが可能となる。Ｐ型を付与する不純物元素としては、代表的には硼素であり、B_2H_6、BF_3などの不純物気体を１ｐｐｍ～１０００ｐｐｍの割合で珪化物気体に混入させると良い。そしてボロンの濃度を1×10^{14}～6×10^{16}ａｔｏｍｓ／cm^3とすると良い。

【００５６】

次に、液滴吐出法により、紫外線に反応するフォトレジストを含む組成物を選択的に吐出して、ゲート電極として機能する導電体層１１、１２と重なる位置に、マスクパターン１６、１７を形成する（図４（Ｂ））。このマスクパターン１６、１７には、感光剤を含む

組成物を用いればよく、例えば、代表的なポジ型レジストである、ノボラック樹脂と感光剤であるナフトキノンジアジド化合物、ネガ型レジストであるベース樹脂、ジフェニルシランジオール及び酸発生剤などを、公知の溶媒に溶解又は分散させたものを用いる。また、レジスト材料ではなく、アクリル、ベンゾシクロブテン、パリレン、フレア、透過性を有するポリイミド、シロキサンポリマーなどの有機材料を用いてもよい。

【００５７】

次に、マスクパターン１６、１７をマスクとして、第１の半導体層１５をパターン加工して、第１の半導体層１８、１９を形成する（図４（Ｃ））。続いて、全面にチャネル保護膜となる絶縁体層２０を形成する。

【００５８】

次に、液滴吐出法により、マスクとなるマスクパターン２１、２２を再度形成する。そして、マスクパターン２１、２２を用いて、絶縁体層２０をパターン加工して、絶縁体層２３、２４を形成する（図５（Ａ））。この絶縁体層２３、２４は、チャネル保護膜として機能する。

【００５９】

なお、本実施の形態では、絶縁体層２０をパターン加工した薄膜をチャネル保護膜として用いるが、本発明はこれに限定されない。マスクパターン２１、２２をチャネル保護膜として用いてもよい。そうすると、エッチングの工程や、マスクとして用いたマスクパターン２１、２２を除去する必要がないため、工程が簡略化され好適である。

また、マスクパターン２１、２２を形成せずに、導電体層１１、１２を用いて裏面露光することで、チャネル保護膜を形成してもよい。

【００６０】

続いて、第２の半導体層２５を全面に形成する。第２の半導体層２５は、価電子制御を目的とした不純物元素を意図的に添加しないで形成したものであり、第１の半導体層１５と同様にＳＡＳで形成することが好ましい。第２の半導体層２５は、ソース及びドレインを形成する一導電型を有する第３の半導体層２６と第１の半導体層１５との間に形成することで、バッファ層（緩衝層）的な働きを持っている。

【００６１】

次に、第２の半導体層２５上に、第３の半導体層２６を形成する。一導電型を有する第３の半導体層２６は、Ｎ型のトランジスタを形成する場合には、代表的な不純物元素としてリンを添加すれば良く、珪化物気体にPH_3などの不純物気体を加えれば良い。一導電型を有する第３の半導体層２６は、価電子制御がされていることを除けば、ＳＡＳのような半導体、非晶質半導体、または微結晶半導体で形成されるものである。このようにして形成されるトランジスタは、チャネル形成領域がソースとドレインの間、およびＬＤＤ領域の間に挟まれて形成されず、電界集中や電流集中を緩和できる構造を有している。

【００６２】

次に、第３の半導体層２６上に、液滴吐出法により、導電体材料を含む組成物を選択的に吐出して、導電体層２７～３０を形成する。そして、導電体層２７～３０をマスクとして、第２、第３の半導体層２５、２６を同時にパターン加工して島状に分離形成する（図５（Ｂ））。そうすると、島状に分離された、第２の半導体層３１～３４、第３の半導体層３５～３８が形成される。

【００６３】

導電体層２７～３０はソース配線又はドレイン配線として機能する。

【００６４】

以上の工程を経て、チャネル保護型のトランジスタが形成される。このトランジスタは、ＳＡＳでチャネル形成領域を構成することにより２～１０cm^2／Ｖ・ｓｅｃの電界効果移動度を得ることができる。従って、このＴＦＴを画素のスイッチング用素子として利用することができる。さらに画素のスイッチング素子だけではなく、走査線（ゲート線）側の駆動回路を形成する素子として利用することができる。従って、システムオンパネル化を実現した表示装置を作製することができる。

また、特筆すべき点として、本工程では、レジストによるマスクを液滴吐出法により形成する点が挙げられる。より詳しくは、第１の半導体層１５は、液滴吐出法により形成されたマスクパターン１６、１７を用いてパターニングを行っており、絶縁体層２０はマスクパターン２１、２２を用いてパターニングを行っており、第２及び第３の半導体層２５、２６は導電体層２７～３０を用いてパターニングを行っている。そのために、レジストの塗布、レジストの焼成、露光、現像、現像後の焼成等の工程を省略することができる。従って、工程の簡略化によるコストの大幅な低減や信頼性の向上が実現される。

【００６５】

続いて、以上の工程を経て形成されたチャネル保護型のトランジスタを用いた、表示装置の作製方法について、図１（Ｂ）、図５（Ｃ）を用いて説明する。なお、以下には、発光素子を用いた表示装置の作製方法について示すが、本発明はこれに限定されず、例えば、液晶表示装置の作製に適用することもできる。

【００６６】

まず、公知の方法により、全面に絶縁体層３９を形成する（図５（Ｃ））。次に、絶縁体層３９の所定の箇所に、導電体層３０が露出するように、開口部を形成する。これは、通常のフォトリソグラフィ法を用いて行うか、液滴吐出法により選択的にマスクとなるパターンを用いて行うか、いずれかの方法を用いて行う。

【００６７】

次に、開口部を充填するように、選択的に組成物を吐出して、画素電極に相当する導電体層４０を形成する。

次に、全面に絶縁体層４１を形成し、続いて、導電体層４０が露出するように、所定の箇所に開口部を設ける（図１（Ｂ））。

次に、液滴吐出法又は蒸着法等により、電界発光層４２を形成する。電界発光層４２は、無機材料や有機材料等の広汎に渡る材料により形成され、単層で形成されていても、複数の層が積層され形成されていてもどちらでもよい。次に、電界発光層４２上に、対向電極となる導電体層４３を液滴吐出法により形成する。この導電体層４０、電界発光層４２及び導電体層４３の積層体が発光素子４４に相当する。

【００６８】

この発光素子４４の形成では、ノズルから吐出する組成物を変更するか、又は組成物が充填されたヘッドを変更することで、電界発光層４２と導電体層４３の複数の薄膜を連続的に作製することができる。そうすると、スループットが向上し、生産性が向上するため好適である。

【００６９】

本実施の形態は、上記の実施の形態と自由に組み合わせることができる。

（実施の形態３）

【００７０】

本発明の表示装置の作製方法について、図６、７を用いて説明する。まず、ＣＯＧ方式を採用した表示装置について、図６を用いて説明する。第１の基板１００１上に、文字や画像などの情報を表示する画素領域１００２、駆動回路１００３、１００４、ドライバＩＣ１００７、１００８を有する。第３の基板１００６上には複数の駆動回路を有し、これらの駆動回路は短冊状又は矩形状に分断される。この分断された駆動回路（以下ドライバＩＣとよぶ）は、第１の基板１００１に貼り合わせる。図６（Ａ）は、信号線駆動回路に相当するドライバＩＣ１００７、１００８がＣＯＧ方式により実装される形態を示し、図６（Ｂ）は、ドライバＩＣ１００９がＣＯＧ方式により実装される形態を示す。

【００７１】

次に、ＴＡＢ方式を採用した表示装置について、図７を用いて説明する。ＴＡＢ方式では、画素領域１００２と駆動回路１００３、１００４に電気的に接続した配線が露出しており、その露出した配線にＦＰＣ１０１１が接続し、該ＦＰＣにドライバＩＣが接着される。図７（Ａ）は、複数のＦＰＣ１０１１を配置し、該ＦＰＣ１０１１にドライバＩＣが接着された場合を示す。図７（Ｂ）は、１枚のＦＰＣ１０１２に、１つのドライバＩＣ１０

０９を配置した場合を示し、これは、画素領域１００２の長辺に対応した長さで形成されたドライバＩＣを用いる。後者を採用する場合には、強度の問題から、ドライバＩＣ１００９を固定する金属片などを一緒に設けるとよい。

【００７２】

これらの表示装置に実装されるドライバＩＣは、矩形状の第３の基板１００６上に複数個作り込むと、大量に形成することができるため、生産性を向上させる観点から好ましい。従って、第３の基板１００６として、大面積の基板を用いることが好ましく、例えば、一辺が３００ｍｍから１０００ｍｍ以上の基板を用いることが好ましい。このドライバＩＣは、駆動回路部と入出力端子を一つのユニットとする回路パターンを複数個形成し、最後に分割して取り出すと完成するものであり、短辺の長さは１～６ｍｍ、長辺の長さは１０～６０ｍｍとする。

【００７３】

なお、用いる画素領域の解像度やその大きさによるが、ドライバＩＣは、図６（Ｂ）、図７（Ｂ）に示すように画素領域の一辺の長さに合わせて形成してもよいし、図６（Ａ）、図７（Ａ）に示すように長辺が１５～８０ｍｍ、短辺が１～６ｍｍの矩形状または短冊状に形成して、複数個形成してもよい。但し、画素領域のサイズ、即ち画面サイズが大型化した場合、その一例として、２０型では画面の一辺の長さは４４３ｍｍとなる。この長さに対応したドライバＩＣを形成することは可能であるが、基板の強度を確保できるように工夫する必要がある。

【００７４】

ドライバＩＣのＩＣチップに対する外形寸法の優位性はこの長辺の長さにある。このように、長辺が１５～８０ｍｍで形成されたドライバＩＣを用いることにより、画素領域に対応して実装するのに必要な数がＩＣチップを用いる場合よりも少なくて済むので、製造上の歩留まりを向上させることができる。また、ガラス基板上にドライバＩＣを形成すると、母体として用いる基板の形状に限定されないので生産性を損なうことがない。これは、円形のシリコンウエハからＩＣチップを取り出す場合と比較すると、大きな優位点である。

【００７５】

図６（Ａ）（Ｂ）、図７（Ａ）（Ｂ）において、画素領域１００２の外側の領域には、駆動回路が形成されたドライバＩＣ１００７、１００８又は１００９が実装される。これらのドライバＩＣ１００７～１００９は、信号線側の駆動回路である。ＲＧＢフルカラーに対応した画素領域を形成するためには、ＸＧＡクラスで信号線の本数が３０７２本必要であり、ＵＸＧＡクラスでは４８００本が必要となる。このような本数で形成された信号線は、画素領域１００２の端部で数ブロック毎に区分して引出線を形成し、ドライバＩＣ１００７～１００９の出力端子のピッチに合わせて集められる。

【００７６】

これらのドライバＩＣとして、シリコン基板上に設けられたＩＣを用いてもよいが、結晶質半導体層により形成されることが好適であり、前記結晶質半導体層は連続発光のレーザ光を照射することで形成されることが好適である。従って、当該レーザ光を発生させる発振器としては、連続発光の固体レーザ又は気体レーザを用いる。連続発光のレーザを用いると、結晶欠陥が少なく、大粒径の多結晶半導体層を用いて、トランジスタを作成することができることによる。さらに移動度や応答速度が良好なために高速駆動が可能で、従来よりも素子の動作周波数を向上させることができ、特性バラツキが少ないために高い信頼性を得ることができる。また、さらなる動作の周波数の向上を目的として、トランジスタのチャネル長方向とレーザ光の走査方向と一致させるとよい。これは、連続発光レーザによるレーザ結晶化工程では、トランジスタのチャネル長方向とレーザ光の基板に対する走査方向とが概ね並行（好ましくは－３０°～３０°）であるときに、最も高い移動度が得られるためである。なおチャネル長方向とは、チャネル形成領域において、電流が流れる方向、換言すると電荷が移動する方向と一致する。このように作製したトランジスタは、結晶粒がチャネル方向に延在する多結晶半導体層によって構成される活性層を有し、この

ことは結晶粒界が概ねチャネル方向に沿って形成されていることを意味する。

【００７７】

なお、レーザ結晶化を行うには、レーザ光の大幅な絞り込みを行うことが好ましく、そのビームスポットの幅は、ドライバＩＣの短辺の同じ幅の１～３mm程度とすることが好適である。被照射体に対して、十分に且つ効率的なエネルギー密度を確保するために、レーザ光の照射領域は、線状であることが好ましい。但し、ここでいう線状とは、厳密な意味で線を意味しているのではなく、アスペクト比の大きい長方形もしくは長楕円形を意味する。例えば、アスペクト比が２以上（好ましくは１０～１００００）のものを指す。このように、レーザ光のビームスポットの幅をドライバＩＣの短辺と同じ長さとすることで、生産性を向上させた表示装置の作製方法を提供することができる。

【００７８】

なお、図６、７では、走査線駆動回路は画素部と共に一体形成し、信号線駆動回路としてドライバＩＣを実装した形態を示した。しかしながら、本発明はこれに限定されず、走査線駆動回路及び信号線駆動回路の両方として、ドライバＩＣを実装してもよい。

その場合には、走査線側と信号線側で用いるドライバＩＣの仕様を異なるものにすることが好適である。例えば、走査線側のドライバＩＣを構成するトランジスタには３０Ｖ程度の耐圧が要求されるものの、駆動周波数は１００ｋＨｚ以下であり、比較的高速動作は要求されない。従って、走査線側のドライバを構成するトランジスタのチャネル長（Ｌ）は十分大きく設定することが好適である。一方、信号線側のドライバＩＣのトランジスタには、１２Ｖ程度の耐圧があれば十分であるが、駆動周波数は３Ｖにて６５ＭＨｚ程度であり、高速動作が要求される。そのため、ドライバを構成するトランジスタのチャネル長などはミクロンルールで設定することが好適である。

【００７９】

画素領域１００２は、信号線と走査線が交差してマトリクスを形成し、各交差部に対応してトランジスタが配置される。本発明は、画素領域１００２に配置されるトランジスタとして、セミアモルファスＴＦＴを用いることを特徴とする。セミアモルファス半導体層は、プラズマＣＶＤ法で３００℃以下の温度で形成することが可能であり、例えば、外寸５５０×６５０mmの無アルカリガラス基板であっても、トランジスタを形成するのに必要な膜厚を短時間で形成するという特徴を有する。このような製造技術の特徴は、大画面の表示装置を作製する上で有効である。また、セミアモルファスＴＦＴは、ＳＡＳでチャネル形成領域を構成することにより２～１０ｃｍ^2／Ｖ・ｓｅｃの電界効果移動度を得ることができる。従って、このＴＦＴを画素のスイッチング用素子として利用することができる。さらに画素のスイッチング素子だけではなく、走査線（ゲート線）側の駆動回路を形成する素子として利用することができる。従って、システムオンパネル化を実現した表示装置を作製することができる。本実施の形態は、上記の実施の形態と自由に組み合わせることができる。

（実施の形態４）

【００８０】

本発明の実施の形態として、チャネル保護型の薄膜トランジスタの作製方法について、図２８、２９を用いて説明し、また上記薄膜トランジスタを用いた表示装置の作製方法について、図２６、２７、３０、３１を用いて説明する。基板６００は、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス等からなるガラス基板、石英基板、シリコン基板、金属基板、ステンレス基板又は本作製工程の処理温度に耐えうる耐熱性を有するプラスチック基板等を用いる（図２８（Ａ）参照）。次に、基板６００上に、導電体層６０１を形成する。導電体層６０１は、スパッタリング法、蒸着法等の公知の方法により、導電体層６０１は、Ｔｉ（チタン）、Ｗ（タングステン）、Ｃｒ（クロム）、Ａｌ（アルミニウム）、Ｔａ（タンタル）、Ｎｉ（ニッケル）、Ｚｒ（ジルコニウム）、Ｈｆ（ハフニウム）、Ｖ（バナジウム）、Ｉｒ（イリジウム）、Ｎｂ（ニオブ）、Ｐｄ（パラジウム）、Ｐｔ（白金）、Ｍｏ（モリブデン）、Ｃｏ（コバルト）又はＲｈ（ロジウム）の高融点金属材料で形成する。なお、後に、導電体層６０１を自然酸化する工程を後に行う場合には、導電

体層６０１を０．０１～１０ｎｍの厚さで形成する。但し、０．０１ｎｍの厚さでは、非常に薄く、薄膜の形態をとっていない可能性もある。従って、ここでよぶ導電体層６０１とは、薄膜の形態をとっていない状態も含むものとする。

【００８１】

導電体層６０１上に、導電性材料を含む組成物を吐出して、導電体層６０２～６０４を形成する。導電体層６０２～６０４の形成は、液滴吐出法を用いて行う。導電体層６０３、６０４はゲート電極として機能する。導電性材料とは、銀（Ａｇ）、金（Ａｕ）、銅（Ｃｕ）、タングステン（Ｗ）、アルミニウム（Ａｌ）等の金属、Ｃｄ（カドミウム）、Ｚｎ（亜鉛）、Ｆｅ（鉄）、Ｔｉ（チタン）、Ｚｒ（ジルコニウム）、Ｂａ（バリウム）などに相当する。また、透光性を有するインジウム錫酸化物（ＩＴＯ）、インジウム錫酸化物と酸化珪素からなるＩＴＳＯ、有機インジウム、有機スズ、酸化亜鉛、窒化チタン等に相当する。但し、吐出口から吐出する組成物は、比抵抗値を考慮して、金、銀、銅のいずれかの材料を溶媒に溶解又は分散させたものを用いることが好適である。より好適には、低抵抗な銀、銅を用いるとよい。但し、銀、銅を用いる場合には、不純物対策のため、合わせてバリア膜を設けるとよい。

溶媒は、酢酸ブチル等のエステル類、イソプロピルアルコール等のアルコール類、アセトン等の有機溶剤等に相当する。表面張力と粘度は、溶媒の濃度を調整したり、界面活性剤等を加えたりして適宜調整する。

【００８２】

液滴吐出法において用いるノズルの径は、０．０２～１００μｍ（好適には３０μｍ以下）に設定し、該ノズルから吐出される組成物の吐出量は０．００１ｐｌ～１００ｐｌ（好適には１０ｐｌ以下）に設定する。液滴吐出法には、オンデマンド型とコンティニュアス型の２つの方式があるが、どちらの方式を用いてもよい。さらに液滴吐出法において用いるノズルには、圧電体の電圧印加により変形する性質を利用した圧電方式、ノズル内に設けられたヒータにより組成物を沸騰させ該組成物を吐出する加熱方式があるが、どちらの方式を用いてもよい。被処理物とノズルの吐出口との距離は、所望の箇所に滴下するために、出来る限り近づけておくことが好ましく、好適には０．１～３ｍｍ（好適には１ｍｍ以下）程度に設定する。ノズルと被処理物は、その相対的な距離を保ちながら、ノズル及び被処理物の一方が移動して、所望のパターンを描画する。また、組成物を吐出する前に、被処理物の表面にプラズマ処理を施してもよい。これは、プラズマ処理を施すと、被処理物の表面が親水性になったり、疎液性になったりすることを活用するためである。例えば、純水に対しては親水性になり、アルコールを溶媒したペーストに対しては疎液性になる。

【００８３】

組成物を吐出する工程は、減圧下で行うことが好適であり、これは、組成物を吐出して被処理物に着弾するまでの間に、該組成物の溶媒が揮発し、後の乾燥と焼成の工程を省略又は短くすることができるためである。組成物の吐出後は、常圧下又は減圧下で、レーザ光の照射や瞬間熱アニール、加熱炉等により、乾燥と焼成の一方又は両方の工程を行う。乾燥と焼成の工程は、両工程とも加熱処理の工程であるが、例えば、乾燥は１００度で３分間、焼成は２００～３５０度で１５分間～１２０分間で行うもので、その目的、温度と時間が異なるものである。乾燥と焼成の工程を良好に行うためには、基板を加熱しておいてもよく、そのときの温度は、基板等の材質に依存するが、１００～８００度（好ましくは２００～３５０度）とする。本工程により、組成物中の溶媒の揮発又は化学的に分散剤を除去し、周囲の樹脂が硬化収縮することで、融合と融着を加速する。雰囲気は、酸素雰囲気、窒素雰囲気又は空気で行う。但し、金属元素を分解又は分散している溶媒が除去されやすい酸素雰囲気下で行うことが好適である。

【００８４】

レーザ光の照射は、連続発振またはパルス発振の気体レーザ又は固体レーザを用いれば良い。前者の気体レーザとしては、エキシマレーザ、ＹＡＧレーザ等が挙げられ、後者の固体レーザとしては、Ｃｒ、Ｎｄ等がドーピングされたＹＡＧ、$ＹＶＯ_4$等の結晶を使った

レーザ等が挙げられる。なお、レーザ光の吸収率の関係から、連続発振のレーザを用いることが好ましい。また、パルス発振と連続発振を組み合わせた所謂ハイブリッドのレーザ照射方法を用いてもよい。但し、基板の耐熱性に依っては、レーザ光の照射による加熱処理は、数マイクロ秒から数十秒の間で瞬間に行うとよい。瞬間熱アニール（ＲＴＡ）は、不活性ガスの雰囲気下で、紫外光乃至赤外光を照射する赤外ランプやハロゲンランプなどを用いて、急激に温度を上昇させ、数マイクロ秒から数分の間で瞬間的に熱を加えて行う。この処理は瞬間的に行うために、実質的に最表面の薄膜のみを加熱することができ、下層の膜には影響を与えない。つまり、プラスチック基板等の耐熱性が弱い基板にも影響を与えない。

【００８５】

次に、基板６００上が導電体層６０１に覆われた状態のままだと、後に形成する素子や配線がショートする可能性がある場合には、下記の２つの工程のうち、どちらかの工程を行う。１つは、導電体層６０２～６０４と重ならない導電体層６０１を絶縁化して、絶縁体層６０５～６０７を形成する工程である（図２８（Ｂ）参照）。より詳しくは、導電体層６０２～６０４と重ならない導電体層６０１を酸化して絶縁化する。このように、導電体層６０１を絶縁化する場合には、当該導電体層６０１を０．０１～１０ｎｍの厚さで形成しておくことが好適であり、そうすると、自然酸化して絶縁体層となる。なお、酸化する方法としては、酸素雰囲気下に晒す方法を用いてもよいし、熱処理を行う方法を用いてもよい。もう１つは、導電体層６０２～６０４をマスクとして、導電体層６０１をエッチングして除去する工程である。この工程を用いる場合には、導電体層６０１の厚さに制約はない。

【００８６】

なお、導電体層６０２～６０４上に、高融点金属からなる導電体層を新たに形成してもよい。そうすると、導電体層６０２～６０４をバリア体で挟む構造となり、不純物の侵入を防止する。

【００８７】

次に、プラズマＣＶＤ法、スパッタリング法、グロー放電分解法等の公知の方法を用いて、ゲート絶縁膜として機能する絶縁体層を単層又は積層構造で形成する（図２８（Ｃ）参照）。ここでは、窒化珪素からなる絶縁体層６０８、酸化珪素からなる絶縁体層６０９、窒化珪素からなる絶縁体層６１０の３層の積層体がゲート絶縁膜に相当する。上記構成により、所望の絶縁耐圧が得られる程度にゲート絶縁膜を厚く形成することができ、さらにトランジスタを構成する半導体層とゲート電極の間の容量を適当な値にすることができる。これは、酸化珪素膜の誘電率が約３．５、窒化珪素膜の誘電率が約７．５であることによる。なお、低い成膜温度でゲートリーク電流に少ない緻密な絶縁膜を形成するには、アルゴンなどの希ガス元素を反応ガスに含ませ、形成される絶縁膜中に混入させると良い。

【００８８】

次に、絶縁体層６１０上に、半導体層６１１を形成する。半導体層６１１は、非晶質構造又は非晶質と結晶構造（単結晶、多結晶を含む）の中間的な構造を有する。非晶質半導体層（アモルファスシリコン、ａ－Ｓｉ）は、プラズマＣＶＤ法、スパッタリング法等の公知の方法により形成する。一方、非晶質と結晶構造の中間的な構造を有する半導体層は、自由エネルギー的に安定な第３の状態を有する半導体層であって、短距離秩序を持ち格子歪みを有する結晶質なものであり、その粒径を０．５～２０ｎｍとして非単結晶半導体層中に分散させて存在せしめることが可能である。また、未結合手（ダングリングボンド）の中和剤として水素またはハロゲンを少なくとも１原子％またはそれ以上含ませている。ここでは、このような半導体層をセミアモルファス半導体層（以下、ＳＡＳと表記）と呼ぶ。ＳＡＳは、ヘリウム、アルゴン、クリプトン、ネオンなどの希ガス元素を含ませて格子歪みをさらに助長させることで安定性が増す。

【００８９】

ＳＡＳは珪化物気体をグロー放電分解することにより得ることができる。代表的な珪化物気体としては、SiH_4であり、その他にもSi_2H_6、SiH_2Cl_2、$SiHCl_3$、Ｓｉ

Ｃｌ$_4$、ＳｉＦ$_4$などを用いることができる。これら珪化物気体を水素、水素とヘリウム、アルゴン、クリプトン、ネオンから選ばれた一種または複数種の希ガス元素で希釈して用いることでＳＡＳの形成を容易なものとすることができる。希釈率は１０倍～１０００倍の範囲で珪化物気体を希釈することが好ましい。また、Ｓｉ$_2$Ｈ$_6$とＧｅＦ$_4$のガス流量比をＳｉ$_2$Ｈ$_6$：ＧｅＦ$_4$＝２０～４０：０．９の範囲の条件下で形成すると、Ｓｉの組成比が８０％以上である薄膜を得ることができる。勿論、グロー放電分解による被膜の反応生成は減圧下で行うが、圧力は概略０．１Ｐａ～１３３Ｐａの範囲で行えば良い。グロー放電を形成するための電源周波数は１ＭＨｚ～１２０ＭＨｚ、好ましくは１３ＭＨｚ～６０ＭＨｚである。高周波電力は適宜設定すれば良い。基板加熱温度は３００度以下が好ましく、１００～２００度の基板加熱温度が推奨される。また、珪化物気体中に、ＣＨ$_4$、Ｃ$_2$Ｈ$_6$などの炭化物気体、ＧｅＨ$_4$、ＧｅＦ$_4$などのゲルマニウム化気体を混入させて、エネルギーバンド幅を１．５～２．４ｅＶ、若しくは０．９～１．１ｅＶに調節しても良い。また、ＳＡＳは、価電子制御を目的とした不純物元素を意図的に添加しないときに弱いＮ型の電気伝導性を示す。これは、ＳＡＳ中に含まれる不純物によるもので、代表的には酸素がＮ型の伝導性を付与するものとして考えられている。ＳＡＳに含まれる酸素は、成膜時の高周波電力密度に応じても変化する。

【００９０】

次に、半導体層６１１上に、プラズマＣＶＤ法等の公知の方法で、絶縁体層６１２を形成する。この絶縁体層６１２は、スパッタリング法やグロー放電分解法で形成可能であるが、大気中に浮遊する有機物や金属物、水蒸気などの汚染不純物の侵入を防ぐためのものであり、緻密な膜であることが要求される。この目的において、珪素をターゲットとして、窒素とアルゴンなどの希ガス元素を混合させたスパッタガスで高周波スパッタリングされた窒化珪素膜で、膜中の希ガス元素を含ませることにより緻密化が促進されることとなる。また、グロー放電分解法においても、珪化物気体をアルゴンなどの珪化物気体で１００倍～５００倍に希釈して形成された窒化珪素膜は、１００度以下の低温においても緻密な膜を形成可能であり好ましい。さらに必要があれば絶縁膜を積層して形成してもよい。以上、絶縁体層６０８から絶縁体層６１２までは大気に触れさせることなく連続して形成することが可能である。すなわち、大気成分や大気中に浮遊する汚染不純物元素に汚染されることなく各積層界面を形成することができるので、トランジスタの特性のばらつきを低減することができる。

【００９１】

次に、ゲート電極として機能する導電体層６０３、６０４と重なる位置であって、絶縁体層６１２上に、組成物を選択的に吐出して、マスクとなる絶縁体層６１３を形成する。絶縁体層６１３を形成する組成物に含まれる材料としては、エポキシ樹脂、アクリル樹脂、フェノール樹脂、ノボラック樹脂、アクリル樹脂、メラミン樹脂、ウレタン樹脂等の樹脂材料を用いる。また、ベンゾシクロブテン、パリレン、フレア、透過性を有するポリイミドなどの有機材料、シロキサン系ポリマー等の重合によってできた化合物材料、水溶性ホモポリマーと水溶性共重合体を含む組成物材料等を用いる。さらに、感光剤を含む市販のレジスト材料を用いてもよく、例えば、代表的なポジ型レジストである、ノボラック樹脂と感光剤であるナフトキノンジアジド化合物、ネガ型レジストであるベース樹脂、ジフェニルシランジオール及び酸発生剤などを用いてもよい。いずれの材料を用いるとしても、その表面張力と粘度は、溶媒の濃度を調整したり、界面活性剤等を加えたりして適宜調整する。

【００９２】

次に、絶縁体層６１３をマスクとして、絶縁体層６１２をエッチングして、チャネル保護層として機能する絶縁体層６１４を形成する（図２９（Ａ）参照）。続いて、マスクとして用いた絶縁体層６１３を除去後、半導体層６１１及び絶縁体層６１４上に、一導電型が付与された半導体層６１５を形成する。この一導電型が付与された半導体層６１５は、シランガスとフォスフィンガスを用いて形成したり、ＣＶＤ法により半導体層を形成後に、ドーピング法により不純物元素を添加して形成したりする。次に、チャネル保護層として

機能する絶縁体層６１４と重なる位置であって、半導体層６１５上に、組成物を選択的に吐出して、マスクとなる絶縁体層６１６を形成する。

【００９３】

次に、絶縁体層６１６をマスクとして、半導体層６１１及び一導電型が付与された半導体層６１５を同時にエッチングして、半導体層６１７と一導電型を有する半導体層６１８を形成する（図２９（Ｂ）参照）。続いて、マスクとして用いた絶縁体層６１６を除去後、導電性材料を含む組成物を選択的に吐出して、ソース配線及びドレイン配線として機能する導電体層６１９、６２０を形成する。

【００９４】

次に、導電体層６１９、６２０をマスクとして、半導体層６１８をエッチングして、半導体層６２１、６２２を形成する（図２９（Ｃ）参照）。続いて、導電体層６２０と電気的に接続するように、導電性材料を含む組成物を選択的に吐出して、画素電極に相当する導電体層６２３を形成する。なお、図２９（Ｃ）では、導電体層６２３を透光性材料で形成し、透過型の液晶表示装置を作製する例を示すが、本発明はこれに限定されない。光の反射率が高い導電体層を用いることで、反射型の液晶表示装置を作製してもよい。

【００９５】

次に、導電体層６２３を覆うように、印刷法やスピンコート法等の公知の方法により、配向膜として機能する絶縁体層６２４を形成する（図３０（Ａ）参照）。なお、絶縁体層６２４は、スクリーン印刷法を用いれば、図示するように、選択的に形成することができる。続いて、シール材６２５を形成する（図３０（Ｂ）参照）。その後、配向膜として機能する絶縁体層６２６、対向電極として機能する導電体層６２７が設けられた基板６２８と、基板６００とをシール材６２５により貼り合わせ、その後、液晶６２９を注入する（図３０（Ｃ）参照）。なお、液晶を積層する方法として、ディスペンサ方式（滴下方式）や、第２の基板を貼り合わせてから毛細管現象を用いて液晶を注入する方式を用いても良い。

ここで、ディスペンサ方式を採用した場合、つまり、液晶滴下プロセスについて、図２６を用いて説明する。基板８００１上に、ＴＦＴ等の素子が完成したら、まず、シール材として機能する閉ループ８００２を形成する（図２６（Ａ）参照）。次に、閉ループ８００２の中にディスペンサにより液晶８００３を滴下する（図２６（Ｂ）参照）。続いて、真空中で基板８００１と基板８００４とを貼り合わせる（図２６（Ｃ）参照）。その後、ＵＶ硬化を行うと、液晶８００５が充填された状態となり（図２６（Ｄ）参照）、続いてパネル毎に分断する（図２６（Ｅ）参照）。

【００９６】

なお、シール材６２５にはフィラーが混入されていても良く、さらに基板６２８には、カラーフィルタや、ディスクリネーションを防ぐための遮蔽膜（ブラックマトリクス）などが形成されていても良い。また、図示しないが、基板６００、６２８の各々には、偏光板を貼り合わせておく。さらに、上述していないが、配向膜のラビング処理やスペーサの散布処理等、適宜必要な処理は、必要なタイミングで行う。

【００９７】

次に、大気圧又は大気圧近傍下で、酸素ガスを用いたアッシング処理により領域６３０の絶縁体層６０８～６１０を除去する（図２７（Ａ）参照）。この処理は、酸素ガスと、水素、CF_4、NF_3、H_2O、CHF_3から選択された一つ又は複数とを用いて行う。本工程では、静電気による損傷や破壊を防止するために、対向基板を用いて封止した後に、アッシング処理を行っているが、静電気による影響が少ない場合には、どのタイミングで行っても構わない。続いて、異方性導電体層を介して、導電体層６０２が電気的に接続するように、接続端子６３１を設ける。接続端子６３１は、外部からの信号や電位を伝達する役目を担う。上記工程を経て、チャネル保護型のスイッチング用ＴＦＴ６３２と容量素子６３３を含む表示装置が完成する。このときの上面図は、図２１に示す通りであり、図２１のＡ－Ａ’における断面図が図２７（Ａ）に示す断面図に相当する。

【００９８】

上記工程では、ソースドレイン配線として機能する導電体層６２０に接続する導電体層６２３は、絶縁膜を介さずに直接積層形成している。しかしながら、一導電型が付与された半導体層６１８をエッチングする工程が終了したら、保護膜として機能する絶縁体層６４０を形成してもよい（図３１（Ａ）参照）。この場合、絶縁体層６４０に開口部６４１を形成する必要が生じ、該開口部６４１を介して、導電体層６２０と、後に形成する画素電極とを電気的に接続させる。なお、開口部６４１の形成時には、後に接続端子を貼り付けるために必要な開口部６４２も同時に形成するとよい。開口部６４１、６４２の形成方法は特に限定されず、液滴吐出法や、フォトリソグラフィ法を用いて行う。液滴吐出法を用いる場合、ノズルからウエットエッチング液を吐出することで開口部を形成してもよいし、又は、マスクとして機能する絶縁体層のみを液滴吐出法により形成し、当該マスクを用いて開口部を形成してもよい。
次に、開口部６４１を充填するように、導電性材料を含む組成物を選択的に吐出して、画素電極として機能する導電体層６４３を形成する。続いて、配向膜として機能する絶縁体層６４４を形成する（図３１（Ｂ）参照）。その後、図３０（Ｂ）（Ｃ）に示す工程と同様に、シール材を形成し、対向基板を貼り合わせて、液晶を注入すれば、表示機能を有する表示装置が完成する（図２７（Ｂ）参照）。上記工程を経て、図２７（Ａ）とは異なる構成のチャネル保護型のスイッチング用ＴＦＴ６３２と容量素子６３３を含む表示装置が完成する。
本工程では、レジストによるマスクを用いていない点を特徴とし、本特徴により、レジストの塗布、レジストの焼成、露光、現像、現像後の焼成、レジスト剥離等の工程を省略することができる。従って、工程の簡略化による作製時間の短縮や作製費用の低減を実現する。
（実施の形態５）
【００９９】
本発明の実施の形態として、チャネル保護型の薄膜トランジスタの作製方法について、図１７、１８、１９（Ａ）（Ｂ）を用いて説明し、さらに、上記薄膜トランジスタを用いた表示装置の作製方法について、図１６、１９（Ｃ）、２０を用いて説明する。
【０１００】
ガラス基板、石英基板等の基板６５０上に、導電体層６５１を形成する（図１７（Ａ）参照）。導電体層６５１は、スパッタリング法、蒸着法等の公知の方法により、Ｔｉ、Ｗ等の高融点金属材料で形成する。続いて、導電性材料を含む組成物を吐出して、ゲート電極、又は接続配線として機能する導電体層６５２〜６５５を形成する。
【０１０１】
基板６５０上が導電体層６５１に覆われた状態のままだと、後に形成する素子や配線がショートする可能性がある場合には、下記の２つの工程のうち、どちらかの工程を行う。１つは、導電体層６５２〜６５５と重ならない導電体層６５１を絶縁化して、絶縁体層６５６〜６５９を形成する工程である（図１７（Ｂ）参照）。このように、導電体層６５１を絶縁化する場合には、当該導電体層６５１を０．０１〜１０ｎｍの厚さで形成しておくことが好適であり、そうすると、自然酸化して絶縁体層となる。もう１つは、導電体層６５２〜６５５をマスクとして、導電体層６５１をエッチングして除去する工程である。
【０１０２】
次に、プラズマＣＶＤ法、スパッタリング法、グロー放電分解法等の公知の方法を用いて、ゲート絶縁膜として機能する絶縁体層を単層又は積層構造で形成する（図１７（Ｃ）参照）。ここでは、窒化珪素からなる絶縁体層６６０、酸化珪素からなる絶縁体層６６１、窒化珪素からなる絶縁体層６６２の３層の積層体がゲート絶縁膜に相当する。次に、絶縁体層６６２上に、半導体層６６３を形成する。半導体層６６３は、非晶質構造又は非晶質と結晶構造（単結晶、多結晶を含む）の中間的な構造を有する。
【０１０３】
次に、半導体層６６３上に、プラズマＣＶＤ法等の公知の方法で、絶縁体層６６４を形成する。以上、絶縁体層６６０から絶縁体層６６４までは大気に触れさせることなく連続し

て形成することが可能である。すなわち、大気成分や大気中に浮遊する汚染不純物元素に汚染されることなく各積層界面を形成することができるので、トランジスタの特性のばらつきを低減することができる。次に、絶縁体層６６４上に、組成物を選択的に吐出して、ゲート電極として機能する導電体層６５３、６５５と重なる位置に、マスクとなる絶縁体層６６５、６６６を形成する。

【０１０４】
次に、絶縁体層６６５、６６６をマスクとして、絶縁体層６６４をエッチングして、チャネル保護層として機能する絶縁体層６６７、６６８を形成する（図１８（Ａ）参照）。絶縁体層６６５、６６６を除去後、半導体層６６３及び絶縁体層６６７、６６８上に、一導電型を有する半導体層６６９を形成する。その後、半導体層６６９上に、組成物を選択的に吐出して、チャネル保護層として機能する絶縁体層６６７、６６８と重なる位置に、マスクとして機能する絶縁体層６７０、６７１を形成する。

【０１０５】
次に、絶縁体層６７０、６７１をマスクとして、半導体層６６３及び一導電型が付与された半導体層６６９を同時にエッチングして、半導体層６７２、６７３と一導電型が付与された半導体層６７４、６７５を形成する（図１８（Ｂ）参照）。続いて、導電体層６５４が露出するように、大気圧又は大気圧近傍下で、絶縁体層６６０～６６２をエッチングして、開口部６７６を形成する（図１８（Ｃ）参照）。このように、エッチング処理を行う場合には、$ＮＦ_3$、ＣＦｘ（フロロカーボン）、$ＳＦ_6$、$ＣＯ_x$などの原料ガスと、水素、酸素のうちの一つと希ガスとの混合ガスを用いて、プラズマを発生させることにより行う。

【０１０６】
次に、一導電型が付与された半導体層６７４、６７５上に、導電性材料を含む組成物を選択的に吐出して、ソース配線及びドレイン配線として機能する導電体層６７７～６８０を形成する（図１９（Ａ）参照）。導電体層６７８は、開口部６７６を充填するように形成することで、接続配線として機能する導電体層６５４と電気的に接続する。続いて、導電体層６７７～６８０をマスクとして、半導体層６７４、６７５をエッチングして、半導体層６８１～６８４を形成する（図１９（Ｂ）参照）。

【０１０７】
その後、導電性材料を含む組成物を選択的に吐出して、画素電極として機能する導電体層６８５を形成する（図１９（Ｃ）参照）。次に、スピンコート法やディップ法を用いて、全面に絶縁体層６８６を形成後、フォトリソグラフィ法や液滴吐出法等の公知の方法により開口部６８７、６８８を形成する。絶縁体層６８６は、土手として機能するものであり、珪素を含む材料、アクリル等の有機材料、シロキサンポリマー等の化合物材料を用いて形成する。但し、アクリル、ポリイミド等の感光性、非感光性の材料を用いて形成すると、その側面は曲率半径が連続的に変化する形状となり、上層の薄膜が段切れせずに形成されるため好ましい。なお、有機材料を用いる場合には、脱ガス等の防止から、Ｔｉ等の金属膜、ＴｉＮ等の窒化膜、ＴｉＳｉｘやＭｏＳｉｘ等のシリサイド膜を用いて、単層又は積層構造のバリア膜を形成する。このバリア膜は、密着性を高め、埋め込み性を付与し、さらにコンタクト抵抗の低減と安定化をもたらす。さらに、開口部の形成は、ノズルから、ウエットエッチング液を吐出することで行ってもよい。但し、開口部のアスペクト比制御のため、水などの溶媒で適宜洗浄する工程を追加するとよい。勿論、この洗浄の工程も、液滴吐出法を用いて、ノズルから吐出する液滴を水に交換するか、または、溶液が充填されたヘッドを交換すると、同一の装置で連続処理が可能となり、処理時間の観点から好ましい。また、開口部の形成は、フォトリソグラフィ法を用いてもよいが、最低限、マスクとなる絶縁体層の形成には、液滴吐出法を用いるとよい。そうすると、スピンコート法等に比較して、材料の利用効率が格段に向上する。上記のいずれかの方法によって開口部６８７、６８８を形成すると、導電体層６５２、６８５が露出した状態になる。

【０１０８】
次に、導電体層６８５と電気的に接続するように、電界発光層６８９を形成し、該電界発

光層６８９上に対向電極となる導電体層６９０を形成する（図１６参照）。導電体層６８５、電界発光層６８９及び導電体層６９０が発光素子に相当する。この発光素子の形成は、ノズルから吐出する組成物を変更するか、又は組成物が充填されたヘッドを変更することで、電界発光層６８９やその他の導電性を有する複数層の薄膜を連続的に作製することができる。そうすると、スループットが向上し、生産性が向上する。

【０１０９】

続いて、シール材６９１を形成し、基板６９２を用いて封止する。その後、導電体層６５２に電気的に接続するように、異方性導電体を介して、接続端子６９３を取り付ける。接続端子６９３は、外部からの信号や電源電位を伝達する役目を担う。

【０１１０】

上記工程を経て、チャネル保護型のスイッチング用ＴＦＴ６９４、駆動用ＴＦＴ６９５及び容量素子６９６を含む表示装置が完成する。このときの上面図は、図２０に示す通りであり、図２０のＡ－Ａ’、Ａ’－Ａ’’における断面図が図１６に示す断面図に相当する。

【０１１１】

上記構成では、導電体層６８５が陰極、導電体層６９０が陽極であり、上記工程を経ると、陰極／電界発光層／陽極の逆積み素子が完成する。この場合、発光素子から発せられる光は、基板６９２側に出射する。従って、上面出射を行う表示装置が完成する。なお、基板６５０側に出射させたい場合には、導電体層６９０上に遮蔽体又は反射体を設けるとよい。さらに、両面出射を行いたい場合には、陽極となる導電体層と陰極となる導電体層を透光性材料又は光を透過する厚さで形成する。

【０１１２】

また、陰極に相当する導電体層は、仕事関数が小さい材料を用いることが好ましく、例えば、Ｃａ、Ａｌ、ＣａＦ、ＭｇＡｇ、ＡｌＬｉ等を用いる。電界発光層は、単層型、積層型、また層の界面がない混合型のいずれの型でもよく、シングレット材料、トリプレット材料又はそれらを組み合わせた材料や、低分子材料、高分子材料及び中分子材料を含む有機材料、電子注入性に優れる酸化モリブデン等に代表される無機材料、有機材料と無機材料の複合材料のいずれを用いてもよい。陽極に相当する導電体層は光を透過する透明導電体材料で形成するか、又は光を透過する厚さで形成することが好ましく、例えばＩＴＯ、ＩＴＳＯの他、酸化インジウムに酸化亜鉛（ＺｎＯ）を混合した透明導電体材料を用いる。なお、陽極／電界発光層／陰極の順に形成する、所謂順積み素子を形成する場合には、陽極の形成前に、酸素雰囲気中でのプラズマ処理や真空雰囲気下での加熱処理を行うことが好ましく、これは、駆動電圧が低くなったり、寿命が向上したりする効果が得られるためである。また、発光素子から発せられる光が基板６５０側に向かう、下面出射を行う場合には、画素電極として機能する導電体層６８５は透光性を有することが必須である。この場合、導電体層６８５として、酸化珪素とＩＴＯからなるＩＴＳＯを用いて、その下層には、窒化珪素からなる絶縁体層６６２を形成するとよい。そうすると、導電体層６８５と絶縁体層６６２との屈折率が近いために、発光素子から発せられる光の取り出し効率が向上する。

【０１１３】

なお、透光性を有する導電体層と接する絶縁体層は、珪素（Ｓｉ）と窒素（Ｎ）を含む層で形成することが好適であり、より具体的には窒素を１０ａｔｏｍｉｃ％以上、好適には２５ａｔｏｍｉｃ％以上含む層で形成するとよく、さらに具体的には窒化珪素膜（ＳｉＮ）が挙げられる。また、窒素と酸素（Ｏ）を含み、窒素が酸素よりも多く含む層を形成するとよく、具体的には窒化酸化珪素膜（ＳｉＮＯ）が挙げられる。そして、透光性を有する導電体層と接する絶縁体層は、上記に挙げた構成の２つの薄膜を単層又は積層して形成する。上記構成とすると、電流効率を向上させ、同じ電流値でも輝度を向上させることで、明るい表示を得ることができる。

本工程では、レジストによるマスクを用いていない点を特徴とし、これは、液滴吐出法を用いているために可能となっている。従って、レジストの塗布、レジストの焼成、露光、

現像、現像後の焼成、レジスト剥離等の工程を省略することができる。従って、工程の簡略化による作製時間の短縮や作製費用の低減を実現する。本実施の形態は、上記の実施の形態と自由に組み合わせることができる。

（実施の形態６）

【０１１４】

本発明の実施の形態として、チャネルエッチ型の薄膜トランジスタの作製方法について、図２２を用いて説明し、さらに、上記薄膜トランジスタを用いた表示装置の作製方法について、図２３を用いて説明する。

【０１１５】

基板６００上にゲート電極として機能する導電体層６０２～６０４、ゲート絶縁膜として機能する絶縁体層６０８～６１０、活性層として機能する半導体層６１１まで形成する工程は、図２８（Ａ）～（Ｃ）を用いて実施の形態１に説明した通りであるので、ここでは省略する。

【０１１６】

半導体層６１１上に、一導電型が付与された半導体層７０１を形成する（図２２（Ａ）参照）。次に、半導体層７０１上に、組成物を選択的に吐出して、ゲート電極として機能する導電体層６０３と重なる位置に、マスクとして機能する絶縁体層７０２を形成する。続いて、絶縁体層７０２をマスクとして、半導体層６１１と一導電型が付与された半導体層７０１を同時にエッチングして、半導体層７０３と一導電型が付与された半導体層７０４を形成する（図２２（Ｂ）参照）。その後、半導体層７０４上に、導電性材料を含む組成物を吐出して、導電体層７０５、７０６を形成する。次に、導電体層７０５、７０６をマスクとして、一導電型が付与された半導体層７０４をエッチングして、半導体層７０７、７０８を形成する。この際、半導体層７０３も少しエッチングされて、半導体層７０９が形成される。続いて、ソース・ドレイン配線として機能する導電体層７０６と電気的に接続するように、導電性材料を含む組成物を吐出して、画素電極として機能する導電体層７１０を形成する。

【０１１７】

次に、配向膜として機能する絶縁体層７１１を形成する（図２３参照）。続いて、シール材７１２を形成し、該シール材７１２を用いて、基板６００と、対向電極７１４と配向膜７１３が形成された基板７１５を貼り合わせる。その後、基板６００と基板７１５の間に液晶７１６を注入する。次に、接続端子７１７を貼り付ける領域を大気圧又は大気圧近傍下でエッチングして露出させ、該接続端子７１７を貼り付けたら、表示機能を有する表示装置が完成する。

【実施例１】

【０１１８】

本実施例では、ドライバＩＣを実装する方法について、図８を用いて説明する。ドライバＩＣの実装方法としては、異方性導電材を用いた接続方法やワイヤボンディング方式等を採用すればよく、その一例について図８を用いて説明する。

【０１１９】

図８（Ａ）は第１の基板２０１に、ドライバＩＣ２０８が異方性導電材を用いて実装された例を示す。第１の基板２０１上には画素領域２０２、引出線２０６、接続配線及び入出力端子２０７を有する。第２の基板２０３は、シール材２０４で第１の基板２０１と接着されており、その間に液晶層２０５を有する。

【０１２０】

接続配線及び入出力端子２０７の一方の端には、ＦＰＣ２１２が異方性導電材で接着されている。異方性導電材は樹脂２１５と表面にＡｕなどがメッキされた数十～数百μｍ径の導電性粒子２１４から成り、導電性粒子２１４により接続配線及び入出力端子２０７とＦＰＣ２１２に形成された配線２１３とが電気的に接続される。ドライバＩＣ２０８も、異方性導電材で第１の基板２０１に接着され、樹脂２１１中に混入された導電性粒子２１０により、ドライバＩＣ２０８に設けられた入出力端子２０９と引出線２０６または接続配

線及び入出力端子２０７と電気的に接続される。

【０１２１】

この方式による実装方法について、図８（Ｃ）を用いて説明する。ドライバＩＣ２２４には、入出力端子２２５が設けられ、その周辺部には保護絶縁膜２２６が形成される。第１の基板２２０には第１の導電体層２２１と第２の導電体層２２３及び絶縁体層２２２が形成され、ここでは第１の導電体層２２１と第２の導電体層２２３とで引出線または接続配線を形成している。

【０１２２】

第１の基板２２０に形成されるこれらの導電体層及び絶縁体層は画素領域の画素ＴＦＴと同じ工程で形成される。例えば、画素ＴＦＴが逆スタガ型で形成される場合、第１の導電体層２２１はゲート電極と同じ層に形成され、Ｔａ、Ｃｒ、Ｔｉ、Ａｌなどの材料で形成される。通常ゲート電極上にはゲート絶縁膜が形成され、絶縁体層２２２はこれと同じ層で形成されるものである。第１の導電体層２２１上に重ねて設ける第２の導電体層２２３は画素電極と同じ透明導電膜で形成されるものであり、導電性粒子２２７との接触を良好なものとする。樹脂２２８中に混入された導電性粒子２２７の大きさと密度を適したものとすることにより、このような形態でドライバＩＣと第１の基板２２０とは電気的に接続する。

【０１２３】

図８（Ｄ）は樹脂の収縮力を用いたＣＯＧ方式の例であり、ドライバＩＣ側にＴａやＴｉなどでバリア層２２９を形成し、その上に無電解メッキ法などによりＡｕを約２０μm形成しバンプ２３０とする。そして、ドライバＩＣと第１の基板との間に光硬化性絶縁樹脂２３１を介在させ、光硬化して固まる樹脂の収縮力を利用して電極間を圧接して電気的な接続を形成する。

【０１２４】

また、図８（Ｅ）で示すように、ＦＰＣ２１２上の配線２１３と、導電性粒子２１４を介してドライバＩＣ２０８を設けてもよい。この構成は、携帯端末等の筐体の大きさが限られた電子機器に用いる場合に大変有効である。

【０１２５】

また、図８（Ｂ）で示すように、第１の基板２０１にドライバＩＣ２０８を接着材２１６で固定して、Ａｕワイヤ２１７によりドライバＩＣ２０８の入出力端子と引出線または接続配線とを接続しても良い。そして封止樹脂２１８で封止する。なお、ドライバＩＣの実装方法は、特に限定されるものではなく、公知のＣＯＧ方法やワイヤボンディング方法、或いはＴＡＢ方法を用いることができる。

【０１２６】

ドライバＩＣの厚さは、対向電極が形成された第２の基板と同じ厚さとすることで、両者の間の高さはほぼ同じものとなり、表示装置全体としての薄型化に寄与する。また、それぞれの基板を同じ材質のもので作製することにより、この表示装置に温度変化が生じても熱応力が発生することなく、ＴＦＴで作製された回路の特性を損なうことはない。その他にも、本実施形態で示すようにＩＣチップよりも長尺のドライバＩＣで駆動回路を実装することにより、１つの画素領域に対して、実装されるドライバＩＣの個数を減らすことができる。本実施例は、上記の実施の形態と自由に組み合わせることができる。

【実施例２】

【０１２７】

本実施例では、本発明の表示装置の構成について簡単に説明する。上述したように、ドライバＩＣは、液晶表示装置やＥＬ表示装置などの駆動回路として利用する。図９はそのような表示装置のブロック図である。画素領域１６０１は複数の走査線と信号線で形成され、ＴＦＴが設けられたアクティブマトリクス型であっても良いし、パッシブマトリクス型であっても良い。その周辺には、ドライバＩＣに相当する走査線駆動回路１６０２及び信号線駆動回路１６０３が配置される。

【０１２８】

外部から入力されるクロック、スタートパルス１６０７と、映像信号１６０８は、ドライバＩＣの入力仕様に変換するためのコントロール回路１６０５に入力され、それぞれのタイミング仕様に変換される。また、電源１６０９、オペアンプから成る電源回路１６０６は外付けの回路で賄われる。このコントロール回路１６０５と電源回路１６０６もＴＡＢ方式で実装すると、表示装置の小型化に有効である。

【０１２９】

コントロール回路１６０５からは、走査線と信号線にそれぞれ信号が出力されるが、信号線には信号分割回路１６０４が設けられ、入力デジタル信号をｍ個に分割して供給する。分割数ｍは２以上の自然数で、実際的には２～１６分割にするのが適当である。

【０１３０】

ドライバＩＣの回路構成は、走査線側と信号線側とで異なる。図９（Ｂ）はその一例を示し、走査線側のドライバＩＣ１２１は、シフトレジスタ回路１２３、レベルシフタ回路１２４、バッファ回路１２５からなる。一方、データ線側のドライバＩＣは、シフトレジスタ回路１２６、ラッチ回路１２７、レベルシフタ回路１２８、Ｄ／Ａ変換回路１２９からなる。なお、図１２では、信号線側と走査線側の両方でドライバＩＣを用いた形態を示したが、上述した通り、本発明はこれに限定されない。走査線側の駆動回路は、画素領域１６０１と同様に、同一基板上に作り込んでもよい。本実施例は、上記の実施の形態、実施例と自由に組み合わせることができる。

【実施例３】

【０１３１】

本実施例では、液滴吐出装置の構成について、図１０を用いて説明する。まず、液滴吐出装置の概略について図１０（Ａ）を用いて簡単に説明する。本装置の必須の構成要素としては、複数のノズルが一軸方向に配列されたヘッドを具備する液滴吐出手段（図示せず）、該液滴吐出手段を制御するコントローラ及びＣＰＵ（図示せず）、基板５０１を固定しＸＹθ方向に可動するステージ５０３等が挙げられる。５０２は、液滴吐出手段を設置する枠であり、図１０（Ｂ）に図示する液滴吐出手段を嵌める構造になっている。ステージ５０３は、基板５０１を真空チャック等の手法で固定する機能を有する。そして、液滴吐出手段が有する各ノズルの吐出口から基板５０１の方向に組成物が吐出されて、基板５０１上にパターンが形成される。

【０１３２】

ステージ５０３と液滴吐出手段は、コントローラを介してＣＰＵにより制御される。また、ＣＣＤカメラなどの撮像手段（図示せず）もＣＰＵにより制御される。撮像手段は、マーカーの位置を検出して、その検出した情報をＣＰＵに供給する。なお、パターンの作製に際し、液滴吐出手段を移動してもよいし、液滴吐出手段を固定してステージ５０３を移動させてもよい。但し、液滴吐出手段を移動する場合には、組成物の加速度や、液滴吐出手段に具備されたノズルと被処理物との距離、その環境を考慮して行う必要がある。

【０１３３】

その他、図示しないが、付随する構成要素として、吐出した組成物の着弾精度を向上させるために、液滴吐出手段が上下に動く移動機構とその制御手段等を設けてもよい。そうすると、吐出する組成物の特性に応じて、ヘッドと基板５０１の距離を変えることができる。まだ、ガス供給手段とシャワーヘッドを設けてもよく、そうすると、組成物の溶媒と同じ気体の雰囲気下に置換することができるため、乾燥をある程度防止することができる。さらに、清浄な空気を供給し、作業領域の埃を低減するクリーンユニット等を設けてもよい。また、基板を加熱する手段、温度、圧力等、種々の物性値を測定する手段は、必要に応じて設置しても良く、これら手段は、筐体の外部に設置した制御手段によって一括制御することが可能である。さらに制御手段をＬＡＮケーブル、無線ＬＡＮ、光ファイバ等で生産管理システム等に接続すれば、工程を外部から一律管理することが可能となり、生産性を向上させることに繋がる。なお、着弾した組成物の乾燥を早め、また組成物の溶媒成分を除去するために、真空排気を行って、減圧下１で動作させてもよい。

【０１３４】

図１０（Ｂ）において、５０４は圧電素子であり、枠５０５、５０６は、図１０（Ａ）に示す枠５０２に嵌める際に用いるものであり、５０７は吐出口である。なお、図１０（Ｂ）では、圧電素子を用いた、所謂ピエゾ方式の場合を図示したが、溶液の材料によっては、発熱体を発熱させ気泡を生じさせ溶液を押し出す方式を用いても良い。この場合、圧電素子を発熱体に置換した構造となる。また液滴吐出のためには、溶液と、液室流路、予備液室、流体抵抗部、加圧室、溶液吐出口との濡れ性が重要となる。そのため材質との濡れ性を調整するための炭素膜、樹脂膜等をそれぞれの流路に形成してもよい。また、枠５０５、５０６の内部には、配線や供給管等が設けられ、図１０（Ａ）に示す装置に図１０（Ｂ）に示す液滴吐出手段が取り付けられた際には、該配線は圧電素子を制御するための駆動回路に接続され、該供給管は組成物が充填されたタンクに接続される。本実施例は、上記の実施の形態、実施例と自由に組み合わせることができる。

【実施例４】

【０１３５】

本発明の必須の構成要素として、セミアモルファス半導体層をチャネル部としたＴＦＴが挙げられ、該ＴＦＴは各画素に具備される。このようなＴＦＴを各画素に含む場合、同一基板上に形成する駆動回路もセミアモルファス半導体層をチャネル部としたＴＦＴにより形成することが好適である。但し、セミアモルファス半導体層を含むＴＦＴはＮ型ＴＦＴしか形成できない。本実施例は、Ｎ型ＴＦＴのみでシフトレジスタを構成する例について説明する。

【０１３６】

図１１（Ａ）において、４００で示すブロックが１段分のサンプリングパルスを出力するパルス出力回路に相当し、シフトレジスタはｎ個のパルス出力回路により構成される。図１１（Ｂ）は、パルス出力回路４００の具体的な構成を示したものであり、Ｎ型のＴＦＴ４０１～４０６と、容量素子４０７を有する。このパルス出力回路は、ブートストラップ法を応用することで、Ｎ型ＴＦＴのみでの構成が可能となった回路である。詳しい動作については、特開２００２－３３５１５３号公報に記載されているため、本公報を参考にするとよい。

【０１３７】

なお本実施例では、Ｎ型ＴＦＴのみで構成する例を示したが、本発明はこれに限定されない。また本実施例は、上記の実施の形態、実施例と自由に組み合わせることができる。

【実施例５】

【０１３８】

本発明は、セミアモルファス半導体層をチャネル部としたＴＦＴ、該ＴＦＴを含む画素を複数有する表示装置を提供するものであり、ここでは、該画素の構成について、図１５を用いて説明する。

【０１３９】

図１５（Ａ）に示す画素は、列方向に信号線３１０及び電源線３１１～３１３、行方向に走査線３１４が配置される。また、スイッチング用ＴＦＴ３０１、駆動用ＴＦＴ３０３、電流制御用ＴＦＴ３０４、容量素子３０２及び発光素子３０５を有する。

【０１４０】

図１５（Ｃ）に示す画素は、駆動用ＴＦＴ３０３のゲート電極が、行方向に配置された電源線３１２に接続される点が異なっており、それ以外は図１５（Ａ）に示す画素と同じ構成である。つまり、図１５（Ａ）（Ｃ）に示す両画素は、同じ等価回路図を示す。しかしながら、列方向に電源線３１２が配置される場合（図１５（Ａ））と行方向に電源線３１２が配置される場合（図１５（Ｃ））では、各電源線は異なるレイヤーの導電体層で形成される。ここでは、駆動用ＴＦＴ３０３のゲート電極が接続される配線に注目し、これらを作製するレイヤーが異なることを表すために、図１５（Ａ）（Ｃ）として分けて記載する。

【０１４１】

図１５（Ａ）（Ｃ）に示す画素の特徴として、画素内に駆動用ＴＦＴ３０３、電流制御用

ＴＦＴ３０４が直列に接続されており、駆動用ＴＦＴ３０３のチャネル長L_3、チャネル幅W_3、電流制御用ＴＦＴ３０４のチャネル長L_4、チャネル幅W_4は、L_3／W_3：L_4／W_4＝５～６０００：１を満たすように設定される点が挙げられる。６０００：１を満たす場合の一例としては、L_3が５００μｍ、W_3が３μｍ、L_4が３μｍ、W_4が１００μｍの場合がある。

【０１４２】

駆動用ＴＦＴ３０３は、飽和領域で動作し発光素子３０５に流れる電流値を制御する役目を有し、電流制御用ＴＦＴ３０４は線形領域で動作し発光素子３０５に対する電流の供給を制御する役目を有する。両ＴＦＴは同じ導電型を有していると作製工程上好ましい。また駆動用ＴＦＴ３０３には、エンハンスメント型だけでなく、ディプリーション型のＴＦＴを用いてもよい。上記構成を有する本発明は、駆動用ＴＦＴ３０３が線形領域で動作するために、電流制御用ＴＦＴ３０４のV_{GS}の僅かな変動は発光素子３０５の電流値に影響を及ぼさない。つまり、発光素子３０５の電流値は、飽和領域で動作する駆動用ＴＦＴ３０３により決定される。上記構成を有する本発明は、ＴＦＴの特性バラツキに起因した発光素子の輝度ムラを改善して画質を向上させた表示装置を提供することができる。

【０１４３】

図１５（Ａ）～（Ｄ）に示す画素において、スイッチング用ＴＦＴ３０１は、画素に対するビデオ信号の入力を制御するものであり、スイッチング用ＴＦＴ３０１がオンして、画素内にビデオ信号が入力されると、容量素子３０２にそのビデオ信号が保持される。なお図１５（Ａ）（Ｃ）には、容量素子３０２を設けた構成を示したが、本発明はこれに限定されず、ビデオ信号を保持する容量がゲート容量などでまかなうことが可能な場合には、明示的に容量素子３０２を設けなくてもよい。

【０１４４】

発光素子３０５は、２つの電極間に電界発光層が挟まれた構造を有し、順バイアス方向の電圧が印加されるように、画素電極と対向電極の間（陽極と陰極の間）に電位差が設けられる。電界発光層は有機材料や無機材料等の広汎に渡る材料により構成され、この電界発光層におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光（蛍光）と、三重項励起状態から基底状態に戻る際の発光（リン光）とが含まれる。

【０１４５】

図１５（Ｂ）に示す画素は、ＴＦＴ３０６と走査線３１５を追加している以外は、図１５（Ａ）に示す画素構成と同じである。同様に、図１５（Ｄ）に示す画素は、ＴＦＴ３０６と走査線３１５を追加している以外は、図１５（Ｃ）に示す画素構成と同じである。

【０１４６】

ＴＦＴ３０６は、新たに配置された走査線３１５によりオン又はオフが制御される。ＴＦＴ３０６がオンになると、容量素子３０２に保持された電荷は放電し、電流制御用ＴＦＴ３０４がオフする。つまり、ＴＦＴ３０６の配置により、強制的に発光素子３０５に電流が流れない状態を作ることができる。従って、図１５（Ｂ）（Ｄ）の構成は、全ての画素に対する信号の書き込みを待つことなく、書き込み期間の開始と同時又は直後に点灯期間を開始することができるため、デューティ比を向上することが可能となる。

【０１４７】

図１５（Ｅ）に示す画素は、列方向に信号線３５０、電源線３５１、３５２、行方向に走査線３５３が配置される。また、スイッチング用ＴＦＴ３４１、駆動用ＴＦＴ３４３、容量素子３４２及び発光素子３４４を有する。図１５（Ｆ）に示す画素は、ＴＦＴ３４５と走査線３５４を追加している以外は、図１５（Ｅ）に示す画素構成と同じである。なお、図１５（Ｆ）の構成も、ＴＦＴ３４５の配置により、デューティ比を向上することが可能となる。本実施例は、上記の実施の形態、実施例と自由に組み合わせることができる。

【実施例６】

【０１４８】

本実施例は、本発明の表示装置の一形態に相当するパネルの外観について、図１２を用いて説明する。図１２（Ａ）は、第１の基板４００１上に形成されたセミアモルファストラ

ンジスタ４０１０及び液晶素子４０１１ａを、第２の基板４００６との間にシール材４００５によって封止した、パネルの上面図であり、図１２（Ｂ）は、図１２（Ａ）のＡ－Ａ’における断面図に相当する。

【０１４９】

第１の基板４００１上に設けられた画素部４００２と、走査線駆動回路４００４とを囲むようにして、シール材４００５が設けられる。また画素部４００２と、走査線駆動回路４００４の上に第２の基板４００６が設けられる。よって画素部４００２と、走査線駆動回路４００４とは、第１の基板４００１とシール材４００５と第２の基板４００６とによって、液晶４００７ａと共に封止される。また第１の基板４００１上のシール材４００５によって囲まれている領域とは異なる領域に、別途用意された基板上に多結晶半導体層で形成された信号線駆動回路４００３が実装される。

【０１５０】

なお本実施例では、多結晶半導体層を用いたトランジスタを有する信号線駆動回路を、第１の基板４００１に貼り合わせる例について説明するが、単結晶半導体層を用いたトランジスタで信号線駆動回路を形成し、貼り合わせてもよい。図１２では、信号線駆動回路４００３に含まれる、多結晶半導体層で形成されたトランジスタ４００９を例示する。

また図１２では、信号線駆動回路４００３を別途形成し、第１の基板４００１に実装している例を示しているが、本実施例はこの構成に限定されない。走査線駆動回路を別途形成して実装しても良いし、信号線駆動回路の一部または走査線駆動回路の一部のみを別途形成して実装しても良い。

【０１５１】

第１の基板４００１上に設けられた画素部４００２と、走査線駆動回路４００４は、トランジスタを複数有し、図１２（Ｂ）では、画素部４００２に含まれるトランジスタ４０１０とを例示している。トランジスタ４０１０はセミアモルファス半導体層を用いたトランジスタに相当する。

また、液晶素子４０１１ａが有する画素電極４０３０は、トランジスタ４０１０と配線４０４０、配線４０４１を介して電気的に接続されている。そして液晶素子４０１１ａの対向電極４０３１は第２の基板４００６上に形成される。画素電極４０３０、対向電極４０３１及び液晶４００７ａが重なっている部分が、液晶素子４０１１ａに相当する。

４０３５は球状のスペーサであり、画素電極４０３０と対向電極４０３１との間の距離（セルギャップ）を制御するために設けられている。なお絶縁膜をパターニングすることで得られるスペーサを用いていても良い。

また別途形成された信号線駆動回路４００３と、走査線駆動回路４００４または画素部４００２に与えられる各種信号及び電位は、図１２（Ｂ）に示す断面図では図示されていないが、引き回し配線４０１４及び４０１５を介して、接続端子４０１６から供給されている。

【０１５２】

本実施例では、接続端子４０１６が、液晶素子４０１１ａが有する画素電極４０３０と同じ導電膜から形成されている。また、引き回し配線４０１４は、配線４０４１と同じ導電膜で形成されている。また引き回し配線４０１５は、配線４０４０と同じ導電膜で形成されている。接続端子４０１６は、ＦＰＣ４０１８が有する端子と、異方性導電膜４０１９を介して電気的に接続されている。

【０１５３】

なお図示していないが、本実施例に示した液晶表示装置は配向膜、偏光板、カラーフィルタや遮蔽膜を有していても良い。本実施例は、上記の実施の形態、実施例と自由に組み合わせることができる。

【実施例７】

【０１５４】

本実施例では、本発明の表示装置の一形態に相当するパネルの外観について、図１３を用いて説明する。図１２は、第１の基板上に形成されたセミアモルファストランジスタ及び

発光素子を、第２の基板との間にシール材によって封止した、パネルの上面図であり、図１３は、図１２（Ａ）のＡ－Ａ’における断面図に相当する。

【０１５５】

第１の基板４００１上に設けられた画素部４００２と、走査線駆動回路４００４は、トランジスタを複数有し、図１３では、画素部４００２に含まれるトランジスタ４０１０を例示している。なおトランジスタ４０１０はセミアモルファス半導体層を用いたトランジスタに相当する。

【０１５６】

発光素子４０１１ｂが有する画素電極は、トランジスタ４０１０のドレインと、配線４０１７を介して電気的に接続されている。そして、発光素子４０１１ｂの対向電極と透明導電膜４０１２が電気的に接続されている。なお発光素子４０１１ｂの構成は、発光素子４０１１ｂから取り出す光の方向や、トランジスタ４０１０の導電型などに合わせて、発光素子４０１１ｂの構成は適宜変えることができる。

【０１５７】

また、別途形成された信号線駆動回路４００３と、走査線駆動回路４００４または画素部４００２に与えられる各種信号及び電位は、図１３に示す断面図では図示されていないが、引き回し配線４０１４及び４０１５を介して、接続端子４０１６から供給されている。

【０１５８】

本実施例では、接続端子４０１６が、発光素子４０１１ｂが有する画素電極と同じ導電膜から形成されている。また、引き回し配線４０１４は、配線４０１７と同じ導電膜から形成されている。また引き回し配線４０１５は、トランジスタ４０１０が有するゲート電極と、同じ導電膜から形成されている。接続端子４０１６は、ＦＰＣ４０１８が有する端子と、異方性導電膜４０１９を介して電気的に接続されている。

【０１５９】

充填材４００７ｂとしては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、ＰＶＣ（ポリビニルクロライド）、アクリル、ポリイミド、エポキシ樹脂、シリコン樹脂、ＰＶＢ（ポリビニルブチラル）またはＥＶＡ（エチレンビニルアセテート）を用いることができる。本実施例では充填材として窒素を用いた。

【０１６０】

また充填材４００７ｂを吸湿性物質（好ましくは酸化バリウム）もしくは酸素を吸着しうる物質にさらしておくために、第２の基板４００６に凹部を設けて、該凹部に吸湿性物質または酸素を吸着しうる物質を配置するとよい。第２の基板４００６は目の細かいメッシュ状にすると、空気や水分は通し、吸湿性物質または酸素を吸着しうる物質は通さない構成になっている。吸湿性物質または酸素を吸着しうる物質を設けることで、発光素子４０１１ｂの劣化を抑制できる。本実施例は、上記の実施の形態、実施例と自由に組み合わせることができる。

【実施例８】

【０１６１】

本発明を用いた電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話等）、記録媒体を備えた画像再生装置等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置、テレビジョン装置（単にテレビ、また、テレビ受像機ともよぶ）などが挙げられる。本発明は、結晶化の工程を設ける必要がないため、比較的パネルの大型化が容易である。従って、１０～５０インチの大型のパネルを用いた電子機器に非常に有用である。それら電子機器の具体例を図１４に示す。

【０１６２】

図１４（Ａ）は表示装置であり、筐体２００１、表示部２００３等を含む。図１４（Ｂ）

はノート型パーソナルコンピュータであり、筐体２２０２、表示部２２０３等を含む。図１４（Ｃ）は記録媒体を備えた携帯型の画像再生装置であり、本体２４０１、筐体２４０２、表示部Ａ２４０３、表示部Ｂ２４０４等を含む。表示部Ａ２４０３は主として画像情報を表示し、表示部Ｂ２４０４は主として文字情報を表示する。

【０１６３】

本発明は、表示部２００３、２２０３、２４０３、２４０４に適用することができる。また本発明は上記電子機器に限定されず、適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。本実施例は、上記の実施の形態、実施例と自由に組み合わせることができる。

【実施例９】

【０１６４】

本発明が適用された表示装置の構成について、図２４を用いて説明する。図２４は、表示装置の概略を説明する上面図であり、基板６１１０上に、画素部（表示部）６１０２、保護回路６１０３、６１０４が設けられ、引き回し配線を介して、信号線側のドライバＩＣ６１０７、走査線側のドライバＩＣ６１０８と接続する。画素部６１０２を構成する素子として、非晶質半導体層又は微結晶半導体層を用いる場合、図示するように、ＣＯＧ方式やＴＡＢ方式等の公知の方式によりドライバＩＣ６１０７、６１０８を実装し、これらのドライバＩＣを駆動回路として用いるとよい。なお、画素部６１０２を構成する素子として、微結晶半導体層を用いる場合、走査線側の駆動回路を微結晶半導体層で構成し、信号線側にドライバＩＣ６１０７を実装してもよい。上記とは別の構成として、走査側及び信号線側の駆動回路の一部を同一基板上に作り込み、一部をドライバＩＣで代用した構成でもよい。つまり、ドライバＩＣを実装するにあたり、その構成は様々であり、本発明はいずれの構成を用いてもよい。なお、画素部６１０２とドライバＩＣ６１０７、６１０８を接続する引き回し配線（図示せず）は、液滴吐出法で形成することができる。

【０１６５】

次に、本発明の表示装置に具備される保護回路の一例について説明する。保護回路は、ＴＦＴ、ダイオード、抵抗素子及び容量素子等から選択された１つ又は複数の素子によって構成されるものであり、以下にはいくつかの保護回路の構成とその動作について説明する。まず、外部回路と内部回路の間に配置される保護回路であって、１つの入力端子に対応した保護回路の等価回路図の構成について、図２５を用いて説明する。図２５（Ａ）に示す保護回路は、Ｐ型ＴＦＴ７２２０、Ｐ型ＴＦＴ７２３０、容量素子７２１０、容量素子７２４０、抵抗素子７２５０を有する。抵抗素子７２５０は２端子の抵抗であり、一端には入力電圧Ｖｉｎ（以下、Ｖｉｎと表記）が、他端には低電位電圧ＶＳＳ（以下、ＶＳＳと表記）が与えられる。抵抗素子７２５０は、入力端子にＶｉｎが与えられなくなったときに、配線の電位をＶＳＳにおとすために設けられており、その抵抗値は配線の配線抵抗よりも十分に大きく設定する。

【０１６６】

Ｖｉｎが高電位電圧ＶＤＤ（以下、ＶＤＤと表記）よりも高い場合、そのゲート・ソース間電圧の関係から、Ｐ型ＴＦＴ７２２０はオン、Ｐ型ＴＦＴ７２３０はオフとなる。そうすると、ＶＤＤがＰ型ＴＦＴ７２２０を介して、配線に与えられる。従って、雑音等により、ＶｉｎがＶＤＤよりも高くなっても、配線に与えられる電圧は、ＶＤＤよりも高くなることはない。一方、ＶｉｎがＶＳＳよりも低い場合、そのゲート・ソース間電圧の関係から、Ｐ型ＴＦＴ７２２０はオフ、Ｐ型ＴＦＴ７２３０はオンとなる。そうすると、ＶＳＳが配線に与えられる。従って、雑音等により、ＶｉｎがＶＳＳよりも低くなっても、配線に与えられる電圧は、ＶＤＤよりも高くなることはない。さらに、容量素子７２１０、７２４０により、入力端子からの電圧にパルス状の雑音を鈍らせることができ、雑音による電圧の急峻な変化をある程度小さくすることができる。

【０１６７】

上記構成の保護回路の配置により、配線の電圧は、ＶＳＳからＶＤＤ間の範囲に保たれ、この範囲外の異常に高いまたは低い電圧の印加から保護される。さらに、信号が入力され

る入力端子に保護回路を設けることで、信号が入力されていないときに、信号が与えられる全ての配線の電圧を、一定（ここではＶＳＳ）の高さに保つことができる。そのため、配線間での電圧差に起因する静電破壊を防ぐことができる。また、信号を入力しているときは、抵抗素子７２５０の抵抗値が十分に大きいので、配線に与えられる信号がＶＳＳに引っ張られることがない。

【０１６８】

図２５（Ｂ）に示す保護回路は、Ｐ型ＴＦＴ７２２０、Ｐ型ＴＦＴ７２３０を、整流性を有するダイオード７２６０、ダイオード７２７０で代用した等価回路図である。

図２５（Ｃ）に示す保護回路は、Ｐ型ＴＦＴ７２２０、Ｐ型ＴＦＴ７２３０を、ＴＦＴ７３５０、ＴＦＴ７３６０、ＴＦＴ７３７０、ＴＦＴ７３８０で代用した等価回路図である。

また、上記とは別の構成の保護回路として、図２５（Ｄ）に示す保護回路は、抵抗素子７２８０、抵抗素子７２９０と、Ｎ型ＴＦＴ７３００を有する。

図２５（Ｅ）に示す保護回路は、抵抗素子７２８０、７２９０、Ｐ型ＴＦＴ７３１０及びＮ型ＴＦＴ７３２０を有する。図２５（Ｄ）（Ｅ）の両構成とも、端子７３３０には配線などが接続され、この配線などの電位が急激に変化した場合に、Ｎ型ＴＦＴ７３００、又はＰ型ＴＦＴ７３１０及びＮ型ＴＦＴ７３２０がオンすることで、電流を端子７３３０から７３４０の方向に流す。そうすると、端子７３３０に接続された電位の急激な変動を緩和し、素子の損傷又は破壊を防止することができる。なお、上記保護回路を構成する素子は、耐圧に優れた非晶質半導体層により構成することが好ましい。本実施例は、上記の実施の形態と自由に組み合わせることが可能である。

【図面の簡単な説明】

【０１６９】

【図１】本発明の表示装置の作製方法を説明する図。

【図２】本発明の薄膜トランジスタの作製方法を説明する図。

【図３】本発明の薄膜トランジスタの作製方法を説明する図。

【図４】本発明の表示装置の作製方法を説明する図。

【図５】本発明の薄膜トランジスタの作製方法、表示装置の作製方法を説明する図。

【図６】本発明の表示装置に具備されるドライバＩＣの実装方式（ＣＯＧ方式）を説明する図。

【図７】本発明の表示装置に具備されるドライバＩＣの実装方式（ＴＡＢ方式）を説明する図。

【図８】画素領域、ＦＰＣ及びドライバＩＣの接続を説明する図。

【図９】本発明の表示装置の構成を説明する図。

【図１０】液滴吐出装置の一例を示す図。

【図１１】Ｎ型ＴＦＴのみで構成されるシフトレジスタの回路図。

【図１２】本発明の表示装置の一形態であるパネルの上面図と断面図。

【図１３】本発明の表示装置の一形態であるパネルの断面図。

【図１４】本発明が適用される電子機器を示す図。

【図１５】表示装置の画素回路の一例を示す図。

【図１６】本発明の表示装置の作製方法を説明する図。

【図１７】本発明の薄膜トランジスタの作製方法を説明する図。

【図１８】本発明の薄膜トランジスタの作製方法を説明する図。

【図１９】本発明の薄膜トランジスタの作製方法、表示装置の作製方法を説明する図。

【図２０】画素回路のレイアウト図。

【図２１】画素回路のレイアウト図。

【図２２】本発明の薄膜トランジスタの作製方法を説明する図。

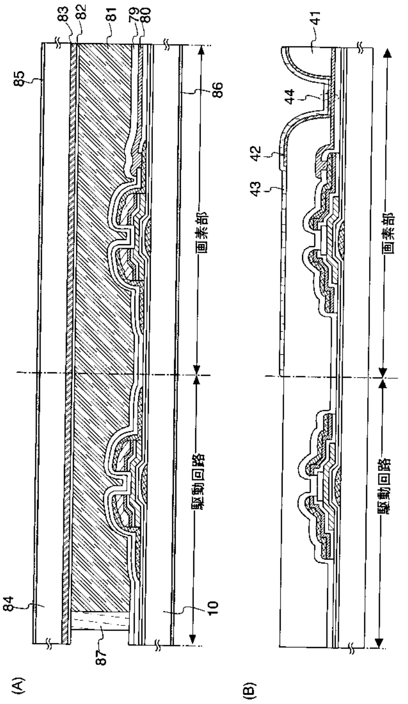
【図２３】本発明の表示装置の作製方法を説明する図。

【図２４】本発明の表示装置を説明する図。

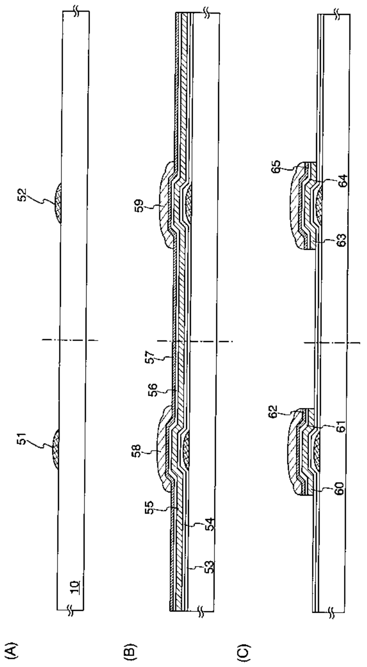
【図２５】本発明の表示装置に具備される保護回路を説明する図。

【図２６】ディスペンサ方式（液晶滴下方式）を説明する図。
【図２７】本発明の表示装置の作製方法を説明する図。
【図２８】本発明の薄膜トランジスタの作製方法を説明する図。
【図２９】本発明の薄膜トランジスタの作製方法を説明する図。
【図３０】本発明の表示装置の作製方法を説明する図。
【図３１】本発明の薄膜トランジスタの作製方法、表示装置の作製方法を説明する図。

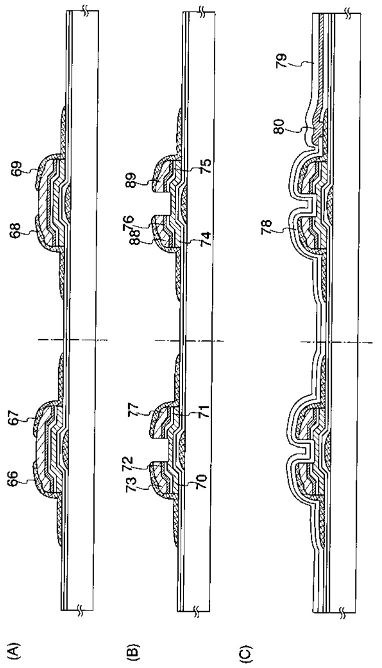
【図１】



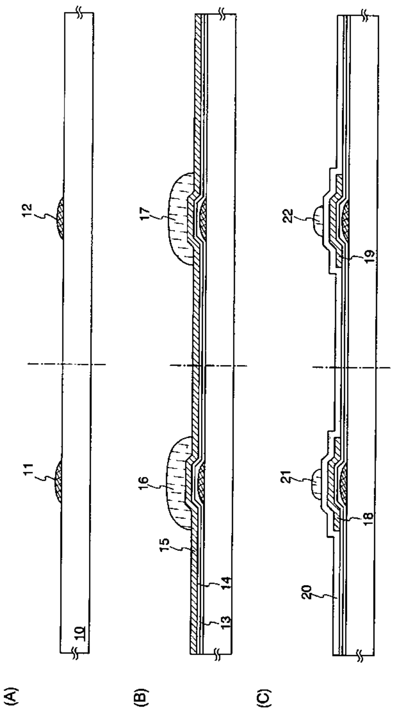
【図２】



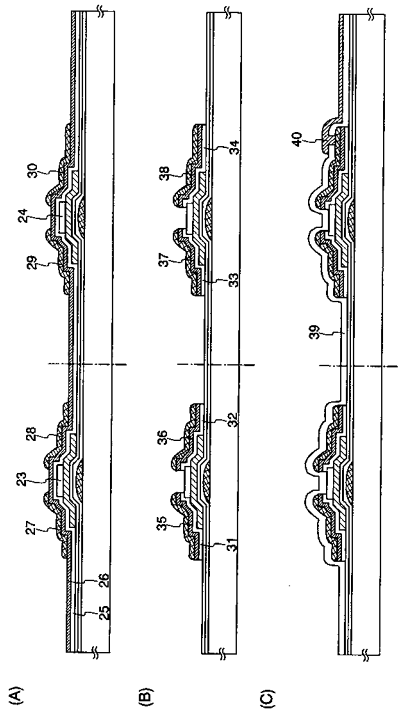
【図３】


(A)
(B)
(C)
66
67
68
69
70
71
72
73
74
75
76
77
78
79
80
88
89

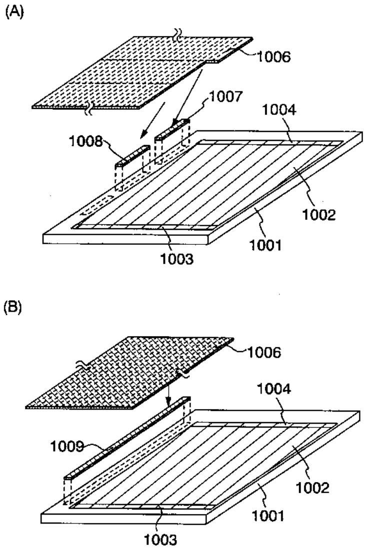
【図４】


(A)
(B)
(C)
10
11
12
13
14
15
16
17
18
19
20
21
22

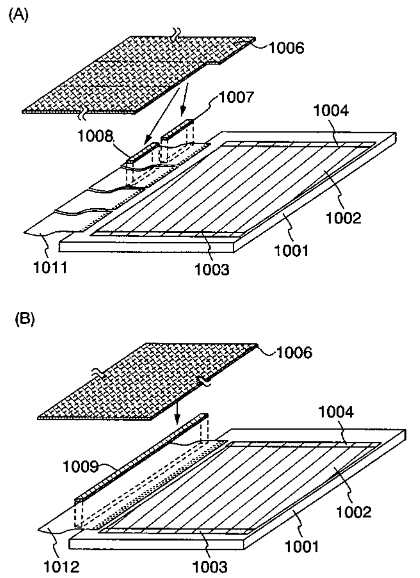
【図５】


(A)
(B)
(C)
23
24
25
26
27
28
29
30
31
32
33
34
35
36
37
38
39
40

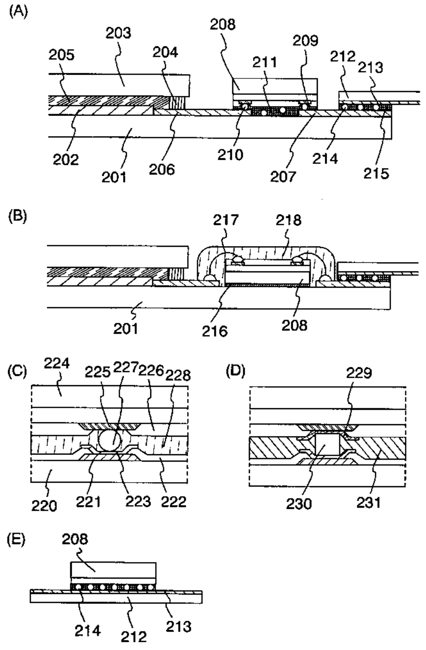
【図６】


(A)
1006
1007
1004
1008
1002
1001
1003
(B)
1006
1004
1009
1002
1001
1003

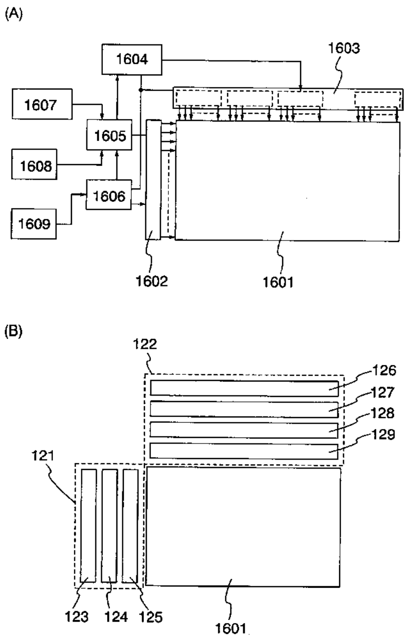
【図７】


(A)
1006
1007
1004
1008
1002
1011
1003
1001
(B)
1006
1004
1009
1002
1012
1003
1001

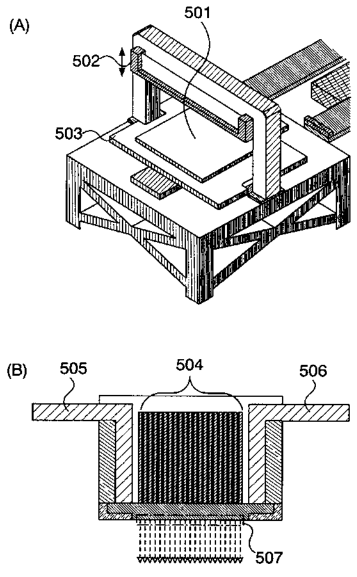
【図８】


(A)
203
208
209
205
204
211
212
213
202
201
206
210
207
214
215
(B)
217
218
201
216
208
(C)
224
225
227
226
228
220
221
223
222
(D)
229
230
231
(E)
208
214
212
213

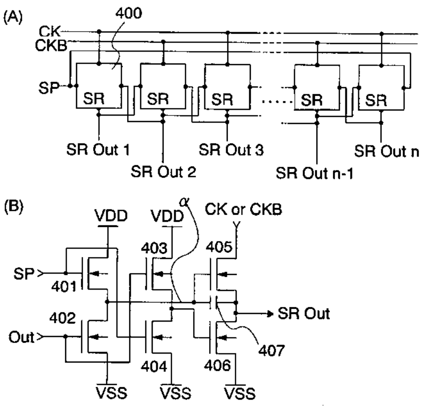
【図９】


(A)
1604
1603
1607
1605
1608
1606
1609
1602
1601
(B)
122
126
127
128
129
121
123
124
125
1601

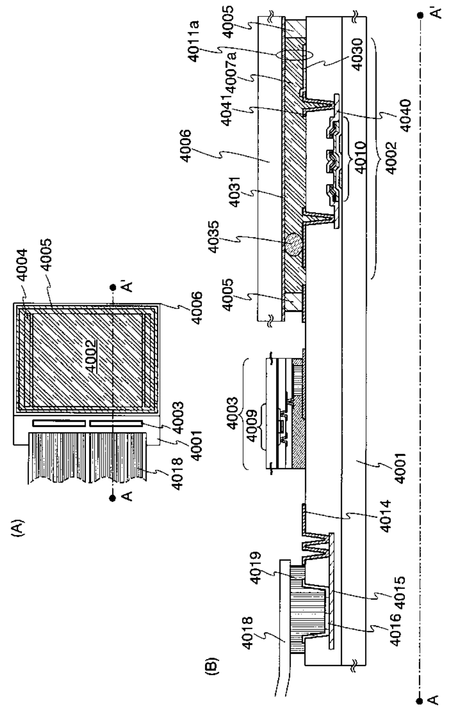
【図１０】


(A)
501
502
503
(B)
505
504
506
507

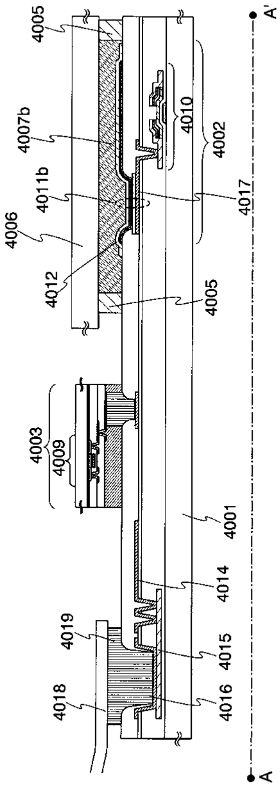
【図１１】



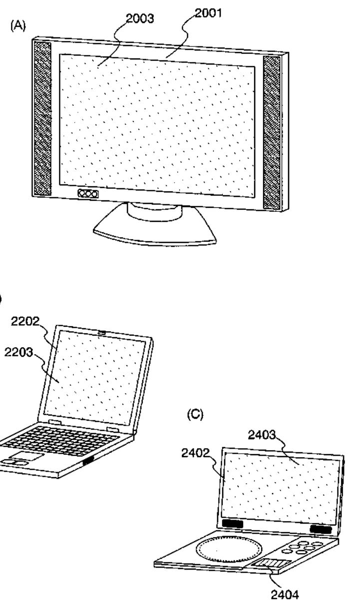
【図１２】



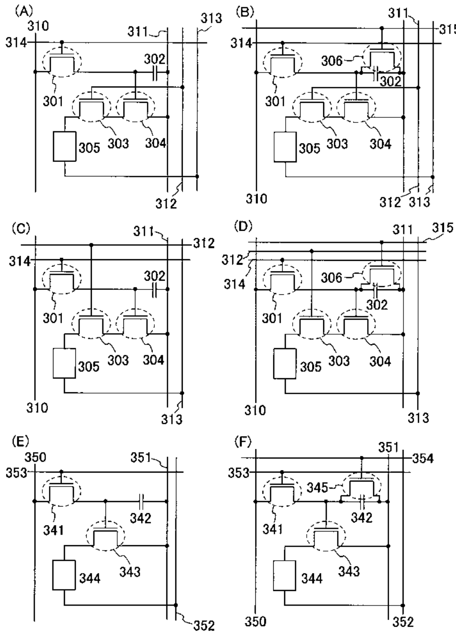
【図１３】



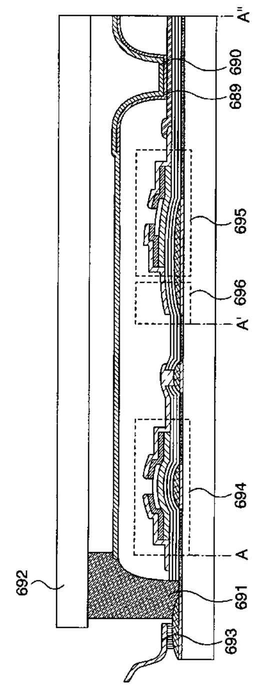
【図１４】



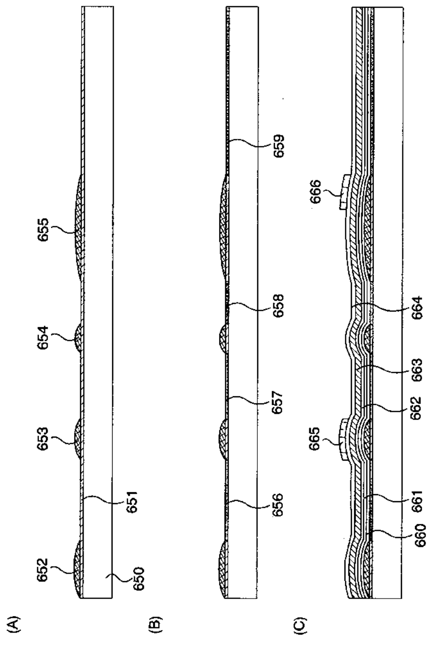
【図１５】



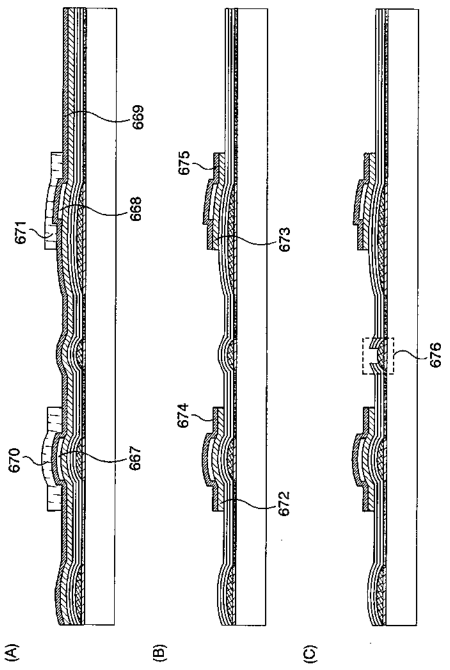
【図１６】



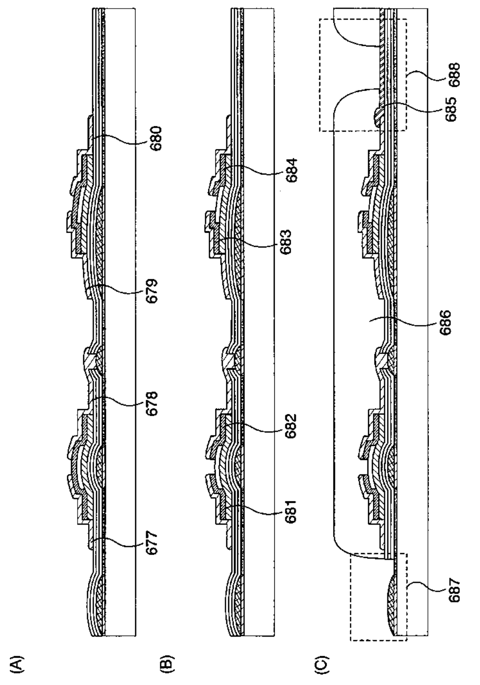
【図１７】



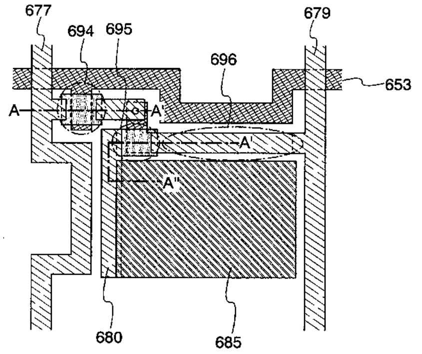
【図１８】



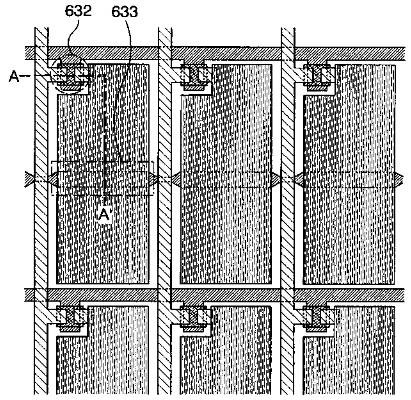
【図１９】



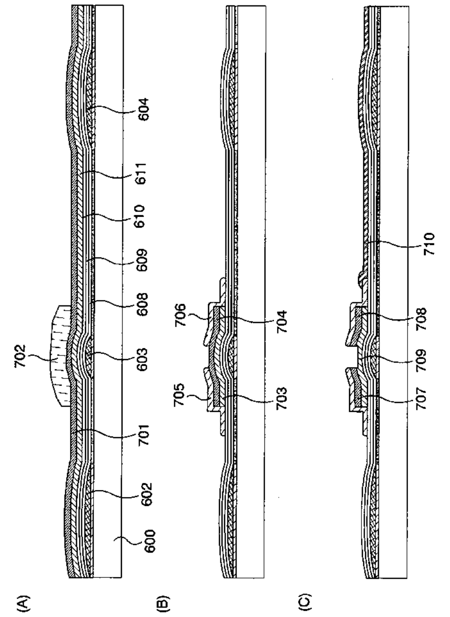
【図２０】



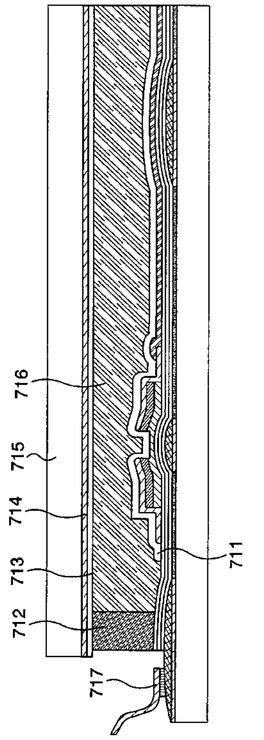
【図２１】



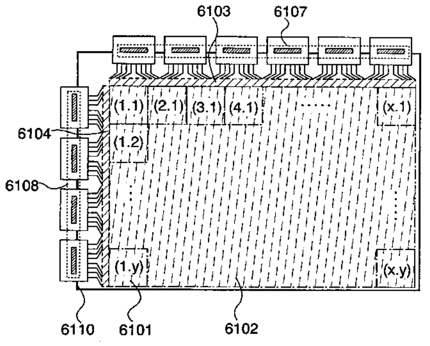
【図２２】



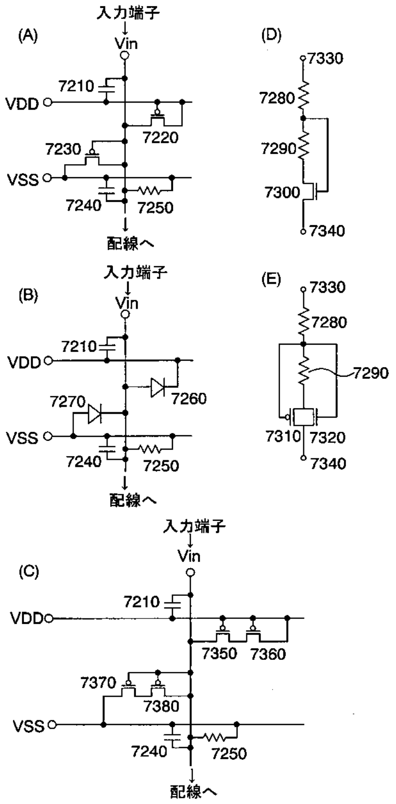
【図２３】



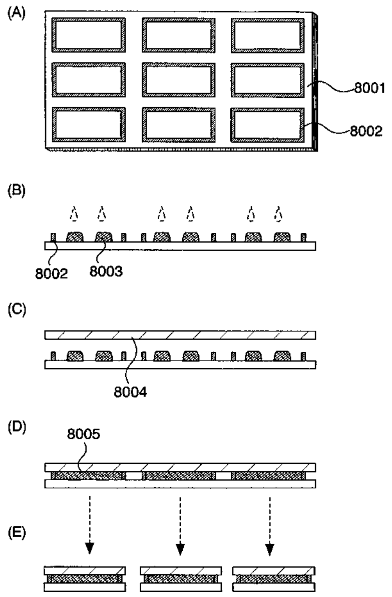
【図２４】



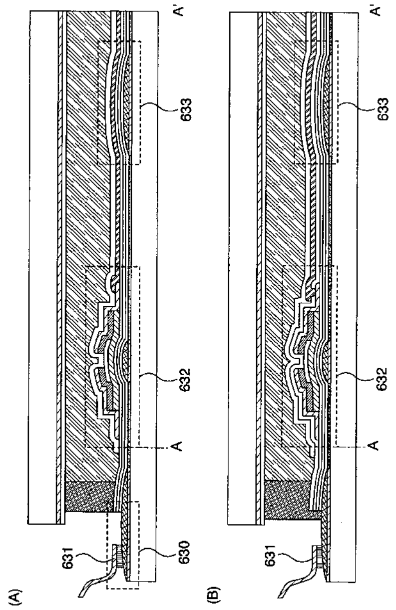
【図２５】



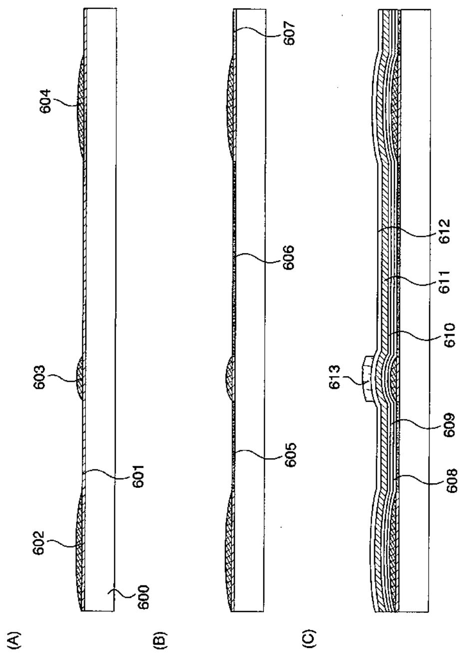
【図２６】



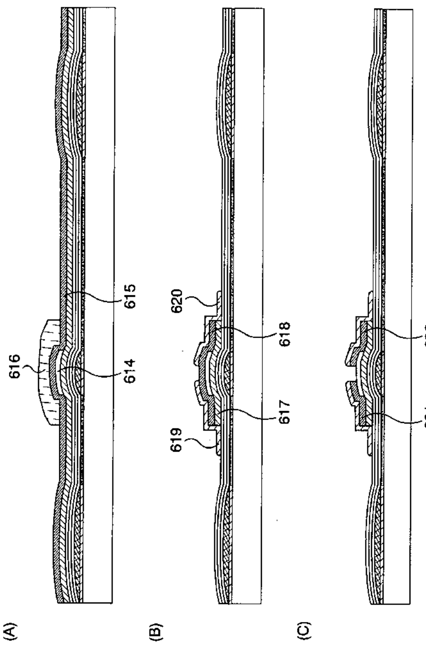
【図２７】



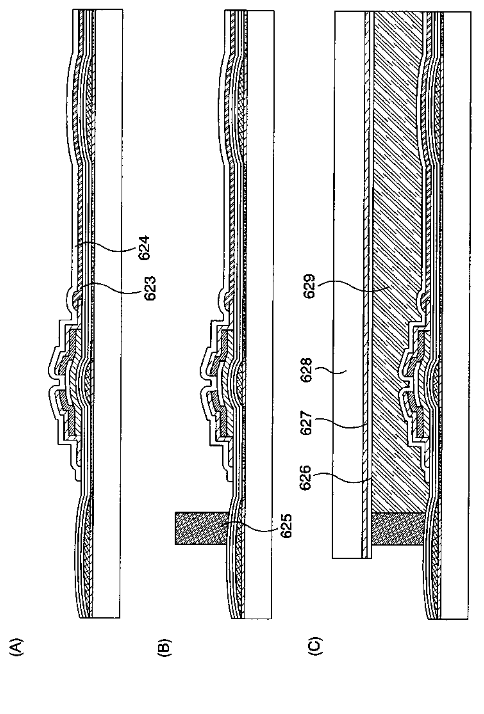
【図２８】



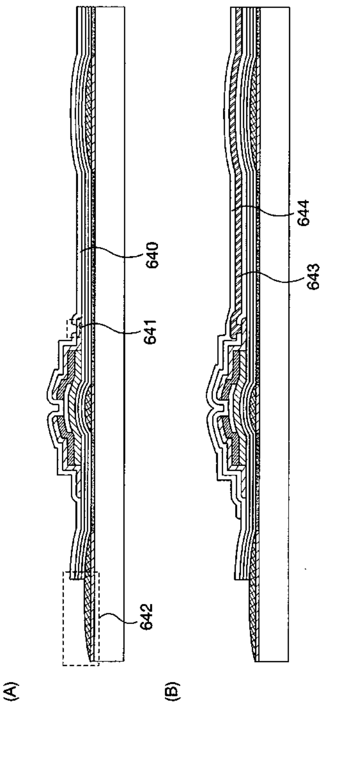
【図２９】



【図３０】



【図３１】



フロントページの続き

(51)Int.Cl.　　　　　　　　　　　　　ＦＩ
Ｈ０１Ｌ　51/50　　(2006.01)　　　Ｈ０１Ｌ　29/78　　６１８Ａ
　　　　　　　　　　　　　　　　　　　Ｈ０１Ｌ　21/88　　　　Ｂ
　　　　　　　　　　　　　　　　　　　Ｈ０５Ｂ　33/14　　　　Ａ

(72)発明者　中村　理
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内

審査官　棚田　一也

(56)参考文献　特開昭６１－５１８７８（ＪＰ，Ａ）
特開２００３－３１８１９２（ＪＰ，Ａ）
特開２０００－３５７７９７（ＪＰ，Ａ）
特開平９－３２１３１５（ＪＰ，Ａ）
特開平１１－３３０４７２（ＪＰ，Ａ）
特開平８－８７０３３（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｈ０１Ｌ　２１／３３６
Ｇ０２Ｆ　　１／１３６８
Ｈ０１Ｌ　２１／２８８
Ｈ０１Ｌ　２１／３２０５
Ｈ０１Ｌ　２９／７８６
Ｈ０１Ｌ　５１／５０