

①9 RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
PARIS

①1 N° de publication :
(à n'utiliser que pour les
commandes de reproduction)

2 576 431

②1 N° d'enregistrement national :

86 01048

⑤1 Int Cl⁴ : G 05 F 1/56.

⑫

DEMANDE DE BREVET D'INVENTION

A1

②2 Date de dépôt : 24 janvier 1986.

③0 Priorité : JP, 24 janvier 1985, n° 11542/85.

④3 Date de la mise à disposition du public de la
demande : BOPI « Brevets » n° 30 du 25 juillet 1986.

⑥0 Références à d'autres documents nationaux appa-
rentés :

⑦1 Demandeur(s) : Société dite : SONY CORPORATION. —
JP.

⑦2 Inventeur(s) : Takeshi Hachimori.

⑦3 Titulaire(s) :

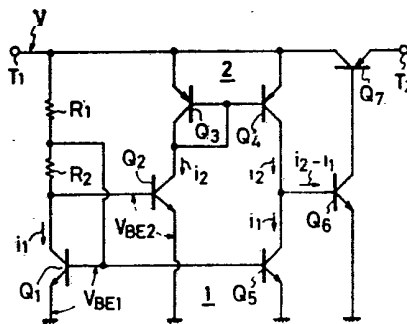
⑦4 Mandataire(s) : Cabinet Beau de Loménie.

⑤4 Circuit générateur de tension de référence.

⑤7 L'invention concerne un circuit générateur de tension de
référence.

Ce circuit comporte essentiellement un transistor de com-
mande Q_7 dont le circuit collecteur-émetteur est connecté
entre une borne de sortie T_1 et une borne d'entrée d'alimen-
tation T_2 , un transistor de détection de courant Q_1 connecté avec
deux résistances en série R_1 , R_2 entre la borne de sortie et
la masse et un circuit de contre-réaction qui attaque la base du
transistor de commande pour réguler la tension de sortie.

L'invention s'applique notamment à des générateurs de ten-
sion de référence de circuits intégrés.



FR 2 576 431 - A1

D

La présente invention concerne un circuit générateur de tension de référence et plus particulièrement, un circuit générateur de référence qui produit une tension de référence de bas niveau.

5 Quand le dispositif de traitement de signaux de récepteur radio-électrique est constitué par un circuit intégré, une source d'alimentation de tension de référence doit être prévue dans le circuit intégré comme une source de polarisation pour un transistor qui s'y trouve ou
10 pour comparer ou décaler les niveaux de certains signaux par rapport à la tension de référence. Lorsqu'un récepteur radio-électrique qui peut être alimenté par exemple par deux éléments secs de dimension AA est considéré, la tension de référence est de l'ordre de 1 à 1,5 V.

15 Dans la technique antérieure, un circuit générateur de tension de référence comporte une résistance et une simple diode ou deux diodes connectées en série entre une borne d'alimentation (borne d'entrée) et la masse et une tension de référence est prélevée au point
20 de connexion entre la résistance et la diode ou les diodes. Mais, ce circuit connu générateur de tension de référence dépend de la température et sa caractéristique en température est donc mauvaise. Un circuit générateur de tension de référence ayant une bonne caractéristique en température a bien déjà été proposé mais ce
25 circuit antérieur est désavantageux en ce que la tension de référence dépend considérablement de la tension d'entrée ou de ses fluctuations.

30 Un objet de l'invention est donc de proposer un circuit générateur de tension de référence qui possède une excellente caractéristique en température.

 Un autre objet de l'invention est de proposer un circuit générateur de tension de référence qui est pratiquement exempt de toute dépendance de variation
35 de tension d'entrée.

Un autre objet encore de l'invention est de proposer un circuit générateur de tension de référence qui peut produire une tension de référence de bas niveau.

Selon un aspect, l'invention concerne donc
5 un circuit générateur de tension de référence comportant:
un transistor de commande dont le circuit collecteur-
émetteur est connecté entre une borne de sortie et une
borne d'entrée ; un transistor de détection de courant
10 dont le circuit collecteur-émetteur est connecté en
série avec une première et une seconde résistances
en série entre la borne de sortie et la masse, la base
du transistor de détection de courant étant connectée
à un point de connexion entre la première et la seconde
résistances, un troisième transistor dont le circuit
15 base-émetteur est connecté en parallèle sur le circuit
collecteur-émetteur du transistor de détection de courant
et ayant une surface périphérique d'émetteur n fois
la surface périphérique d'émetteur du transistor de
détection de courant ; un quatrième transistor du même
20 type de conductivité que le transistor de détection
de courant et dont la base est connectée à la base du
transistor de détection de courant ; et un dispositif
de détection qui détecte une différence entre un signal
correspondant à un courant de collecteur du troisième
25 transistor et un signal correspondant à un courant de
collecteur du quatrième transistor et appliquant à la
base du transistor de commande un signal de contre réaction
correspondant à cette différence.

D'autres caractéristiques et avantages de
30 l'invention apparaîtront au cours de la description
qui va suivre.

Aux dessins annexés, donnés uniquement à titre
d'exemples nullement limitatifs :

La figure 1 est un schéma d'un circuit
35 générateur de tension de référence selon un premier

mode de réalisation de l'invention,

La figure 2 est une courbe caractéristique de courants dans le circuit de la figure 1,

La figure 3 est un schéma d'un circuit
5 générateur de tension de référence selon un second mode de réalisation de l'invention, et

La figure 4 est un schéma d'un circuit générateur de tension de référence selon un troisième mode de réalisation de l'invention.

10 L'examen détaillé de la figure 1 montre qu'un circuit générateur de tension de référence selon l'invention, tel qu'il est représenté, comporte une borne de sortie T_1 à laquelle une tension de référence est prélevée et une borne d'entrée T_2 connectée à une pile
15 sèche ou similaire et qui reçoit une tension d'entrée (tension de source d'alimentation). Le circuit collecteur-émetteur d'un transistor de commande Q_7 est connecté entre les bornes T_1 et T_2 .

Une résistance R_1 de valeur relativement élevée, par exemple $12,6 \text{ k}\Omega$, une résistance R_2 de valeur relativement faible, par exemple 820 ohms et le circuit collecteur-émetteur d'un transistor de détection de courant Q_1 sont connectés en série entre la borne T_1 et la masse. Le point de connexion entre les résistances
20 R_1 et R_2 est connecté à la base d'un transistor Q_1 . En outre, le circuit base-émetteur du transistor Q_1 est connecté en parallèle avec le circuit base-émetteur d'un transistor Q_5 , formant ainsi un circuit miroir de courant 1 ayant la masse comme potentiel de référence.

30 Le collecteur du transistor Q_1 est également connecté à la base d'un transistor Q_2 et l'émetteur de ce dernier est connecté à la masse tandis que son collecteur est relié au collecteur d'un transistor Q_3 .

35 Le transistor Q_3 utilise la borne T_1 comme point de potentiel de référence et, avec un transistor

Q₄, il forme un circuit miroir de courant 2. Par conséquent, les bases des transistors Q₃ et Q₄ sont connectées ensemble et sont en outre connectées au collecteur du transistor Q₃ tandis que les émetteurs des transistors Q₃ et Q₄ sont connectés ensemble à la borne T₁.

Le dispositif de détection d'un amplificateur inverseur consiste en un transistor Q₆ dont l'émetteur est à la masse et dont la base est connectée aux collecteurs des transistors Q₄ et Q₅. Le collecteur du transistor Q₆ est connecté à la base du transistor de commande Q₇.

Le circuit décrit ci-dessus est constitué par un circuit intégré sur une pastille semi-conductrice, la surface périphérique d'émetteur (surface de jonction émetteur-base) du transistor Q₂ étant choisie n fois (n > 1) la surface périphérique d'émetteur du transistor Q₁.

Avec la disposition du circuit de la figure 1, si i₁ est le courant de collecteur du transistor Q₁ et i₂ celui du transistor Q₂, étant donné que les transistors Q₁ et Q₅ constituent un circuit miroir de courant 1, le courant de collecteur du transistor Q₅ est également i₁. De plus, étant donné que le courant de collecteur i₂ du transistor Q₂ est égal au courant de collecteur du transistor Q₃ et que les transistors Q₃ et Q₄ constituent un circuit miroir de courant 2, le courant de collecteur du transistor Q₄ est égal au courant de collecteur i₂.

La différence (i₂ - i₁) entre les courants de collecteur i₂ et i₁ circule donc par la base du transistor Q₆.

Si le courant de collecteur i₁ a tendance à augmenter ou si le courant de collecteur i₂ a tendance à diminuer, le courant de différence (i₂ - i₁) diminue de sorte que le courant de collecteur du transistor

Q6 diminue et que l'impédance du transistor Q7 augmente. Ainsi, la tension à la borne T₁ diminue et par conséquent, le courant de collecteur i₁ diminue tandis que le courant de collecteur i₂ augmente. Une contre-réaction est donc produite par laquelle les courants de collecteur i₁ et i₂ sont stabilisés à des valeurs constantes.

Autrement dit, si la tension base-émetteur du transistor Q₁ est V_{BE1} et si la tension base-émetteur du transistor Q₂ est V_{BE2}, les équations (1), (2) et (3) ci-après peuvent être établies:

$$V_{BE2} = R_2 \cdot i_1 + V_{BE2} \dots \dots \dots (1)$$

$$V_{BE1} = V_T \cdot \ln (i_1/i_{S1}) \dots \dots \dots (2)$$

$$V_{BE2} = V_T \cdot \ln (i_2/(n \cdot i_{S2})) \dots \dots \dots (3)$$

où V_T = KT/q (T = température absolue) et

i_{S1}, i_{S2} étant les courants de saturation des transistors Q₁ et Q₂. L'équation (4) ci-après peut donc être établie à partir des équations (1) à (3):

$$V_T \cdot \ln (i_1/i_{S1}) = R_2 \cdot i_1 + V_T \cdot \ln (i_2/n \cdot i_{S2})$$

$$\therefore V_T \cdot \ln \cdot n \cdot \frac{i_1}{i_2} \cdot \frac{i_{S2}}{i_{S1}} = R_2 \cdot i_1 \dots \dots \dots (4)$$

Par exemple, si les transistors Q1 et Q2 sont formés côte à côte sur la même pastille de circuit intégré, la relation i_{S1} = i_{S2} est satisfaite. Ainsi, l'équation (4) peut s'écrire sous la forme:

$$V_T \cdot \ln (n \cdot i_1/i_2) = R_2 \cdot i_1 \dots \dots \dots (5)$$

Une modification de l'équation (5) donne:

$$\ln(n \cdot i_1/i_2) = R_2 \cdot i_1/V_T$$

$$n \cdot i_1/i_2 = \exp (R_2 \cdot i_1/V_T)$$

Le courant i₂ présente donc une caractéristique négative comme le montre la Figure 2. Les courants i₁ et i₂ sont donc stabilisés en un point A sur la région négative du courant i₂ où i₁ = i₂.....(6)

Si la tension de sortie à la borne T₁ est V, l'équation (7) ci-après est établie:

$$V = R_1 \cdot i_1 + V_{BE1} \dots\dots\dots (7)$$

Une substitution de l'équation (6) dans l'équation (5) donne :

$$V_T \cdot \ln \cdot n = R_2 \cdot i_1 \dots\dots\dots (8)$$

5 Puis une substitution de l'équation (8) dans l'équation (7) donne :

$$V = (R_1 / R_2) V_T \cdot \ln \cdot n + V_{BE1} \dots (9)$$

Le coefficient de température dV/dT de la tension V est obtenu par différenciation de l'équation (9) par rapport à la température T comme dans l'équation (10) ci-après :

$$\frac{dV}{dT} = \frac{K}{q} \cdot \frac{R_1}{R_2} \ln \cdot n + \frac{dV_{BE1}}{dT} \dots\dots(10)$$

15 A partir de l'équation (10), la condition dans laquelle le coefficient de température dV/dT s'annule peut s'exprimer comme suit :

$$\frac{K}{q} \cdot \frac{R_1}{R_2} \ln \cdot n + \frac{dV_{BE1}}{dT} = 0$$

$$20 \dots \frac{R_1}{R_2} \ln \cdot n = - \frac{dV_{BE1}}{dT} \cdot \frac{q}{K} \dots\dots\dots (11)$$

Autrement dit, si l'équation (11) est établie, la tension V n'a aucune caractéristique en température.

D'une façon générale, la condition suivante présente :

$$25 \quad dV_{BE1} / dT = -1,8 \text{ à } -2,0 \text{ (mV/°C)}$$

Ainsi, l'équation (11) devient l'équation (12) ci-après :

$$\frac{R_1}{R_2} \ln \cdot n = 1,8 \times 10^{-3} \times \frac{1}{8,63 \times 10^{-5}} = 20,86 \dots(12)$$

30 Normalement, dans un circuit intégré, le rapport des résistances R_1/R_2 et le rapport des surfaces n peuvent recevoir les valeurs voulues assez facilement et leurs étalements peuvent être supprimés de façon suffisante. Par conséquent, étant donné que l'équation (12) peut être atteinte facilement, l'équation (11) peut aussi

35

être établie. La tension de sortie n'a donc pas de caractéristique en température.

Si $V_T = 0,026$ (V) et $V_{BE1} = 0,683$ (V), la condition ci-après est établie à partir des équations (9) et (12) :

$$V = 0,026 \times 20,86 + 0,683 = 1,225 \text{ (V)}.$$

Ainsi, dans le circuit selon l'invention décrit ci-dessus, il est possible d'obtenir une tension de référence V sans aucune caractéristique en température et qui est stable lorsqu'elle est soumise à des variations de température. En outre, cette tension de référence V peut avoir un niveau bas, par exemple 1,225 V et elle convient pour un circuit intégré qui peut être alimenté à tension basse.

Etant donné que les transistors Q_1 à Q_5 reçoivent la tension de référence V stable, même si la tension à la borne T_2 change, les transistors Q_1 à Q_5 peuvent fonctionner de façon stable avec une faible dépendance de la température. En outre, étant donné que la tension à la borne T_2 est délivrée par le transistor Q_7 à la borne T_1 comme tension V , il est également possible d'obtenir un courant qui correspond à la tension V .

Dans le premier mode de réalisation décrit ci-dessus, une valeur relativement importante est nécessaire pour la résistance R_1 et elle occupe donc une surface relativement grande sur la pastille semi-conductrice de circuit intégré. Cette pastille doit donc être relativement grande. Mais si le circuit base-émetteur d'un ou plusieurs transistors supplémentaires ayant la même caractéristique que le transistor Q_1 est connecté en parallèle avec le circuit base-émetteur du transistor Q_1 , le rapport entre la surface occupée par la résistance R_1 et la surface totale de la pastille semi-conductrice du circuit intégré peut être réduit

et les dimensions de la pastille semi-conductrice peuvent aussi être réduites. A titre d'exemple et comme le montre la figure 3, sur laquelle des éléments correspondants à ceux décrits en regard de la figure 1 sont identifiés par les mêmes références numériques ne seront pas décrits en détail, le circuit base-émetteur d'un transistor supplémentaire Q_8 est connecté en parallèle avec le circuit base-émetteur du transistor Q_1 . Dans ce cas, le collecteur du transistor Q_8 est connecté au point de connexion entre les résistances R_1 et R_2 .

Dans le mode de réalisation de la figure 3, étant donné que la valeur de la résistance R_2 est très faible, le courant de collecteur i_1 du transistor Q_8 est presque égal au courant i_1 de sorte qu'un courant d'à peu près $2i_1$ circule par la résistance R_1 . La valeur de la résistance R_1 de la figure 3 peut donc être réduite à environ la moitié de celle de la résistance R_1 de la figure 1 et la surface que cette résistance R_1 occupe sur la pastille semi-conductrice de circuit intégré peut être réduite. Bien entendu, si plusieurs transistors sont connectés en parallèle sur le transistor Q_1 , le rapport entre la surface que la résistance R_1 occupe et la surface peut être réduit encore davantage.

Dans le mode de réalisation de la figure 4 sur laquelle des éléments correspondants à ceux décrits en regard des figures 1 et 3 sont identifiés par les mêmes références numériques et ne seront pas décrits en détail, les courants de collecteurs i_2 et i_1 des transistors Q_2 et Q_5 sont convertis en des tensions respectives par des résistances R_3 et R_4 . Les tensions correspondant aux courants de collecteurs i_2 et i_1 sont appliquées à des entrées (+) et (-) respectivement d'un amplificateur différentiel 3 dont la sortie est appliquée à la base d'un transistor Q_7 . Ainsi, le transistor de commande Q_7 est commandé par un signal de sortie de

l'amplificateur différentiel 3 qui correspond à la différence entre les tensions prélevées aux résistances R_3 et R_4 .

5 Selon l'invention, il est possible d'obtenir la tension de référence V sans aucune caractéristique de température et qui est stable même lorsque le circuit est soumis à des variations de température. En outre, étant donné que cette tension de référence V a un niveau bas, par exemple 1,225V, le circuit selon l'invention
10 convient pour un circuit intégré qui est alimenté à basse tension.

De plus, étant donné que les transistors Q_5 à Q_7 reçoivent la tension de référence V stable, même si la tension d'alimentation à la borne d'entrée T_2
15 change, le fonctionnement stable peut encore être maintenu.

De plus, étant donné que la tension d'alimentation à la borne d'entrée T_2 est réglée par le transistor Q_7 à la tension V à la borne de sortie T_1 , quand la tension
20 V est obtenue, il est également possible d'obtenir le courant correspondant.

Plusieurs modes de réalisation ont été décrits ci-dessus en regard des dessins mais il est bien évident que de nombreuses modifications et variantes peuvent
25 y être apportées sans sortir du cadre ni de l'esprit de l'invention.

10
REVENDEICATIONS

1. Circuit générateur de tension de référence, caractérisé en ce qu'il comporte une borne d'entrée (T_2) destinée à recevoir une tension de source d'alimentation susceptible de variations, une borne de sortie (T_1) à laquelle une tension de sortie stable est prélevée, un transistor de commande (Q_7) dont le circuit collecteur-émetteur est connecté entre ladite borne de sortie et ladite borne d'entrée, un transistor de détection de courant (Q_1) dont le circuit collecteur-émetteur est connecté en série avec un circuit en série comprenant une première et une seconde résistances (R_1, R_2) entre ladite borne de sortie et la masse, la base de ce transistor de détection de courant étant connectée à un point de connexion dudit circuit en série entre ladite première et ladite seconde résistances, un troisième transistor (Q_5) dont le circuit base-émetteur est connecté en parallèle avec ledit circuit collecteur-émetteur dudit transistor de détection de courant et dont la surface périphérique d'émetteur est n fois la surface périphérique d'émetteur du transistor de détection de courant, un quatrième transistor (Q_2) du même type de conductivité que ledit transistor de détection de courant et dont la base est connectée à ladite base dudit transistor de détection de courant, et un dispositif de détection ($Q_6, R_3, R_4, 3$) destiné à détecter une différence entre un signal correspondant à un courant de collecteur dudit troisième transistor et un signal correspondant à un courant de collecteur dudit quatrième transistor et appliquant à la base dudit transistor de commande un signal de contre-réaction correspondant à ladite différence.

2. Circuit selon la revendication 1, caractérisé en ce que ledit transistor de détection de courant (Q_1) comporte un circuit base-émetteur, le circuit comportant

en outre au moins un transistor supplémentaire (Q_8) de même caractéristique que ledit transistor de détection de courant, et dont le collecteur est connecté audit point de connexion entre ladite première et ladite seconde
5 résistances, chaque transistor supplémentaire comportant en outre un circuit base-émetteur connecté en parallèle avec ledit circuit base-émetteur du transistor de détection de courant.

3. Circuit selon la revendication 1, caractérisé
10 en ce que ledit dispositif de détection comporte une troisième résistance (R_3) connectée au collecteur dudit troisième transistor et une quatrième résistance (R_4) connectée au collecteur dudit quatrième transistor et dans lequel les courants de collecteur dudit troisième
15 et dudit quatrième transistors sont convertis en des tensions respectives par ladite troisième et ladite quatrième résistances.

4. Circuit selon la revendication 3, caractérisé en ce que ledit dispositif de détection comporte en
20 outre un amplificateur différentiel (3) comprenant deux entrées auxquelles sont appliquées lesdites tensions converties par la troisième et la quatrième résistances, la sortie dudit amplificateur différentiel étant appliquée à ladite base du transistor de commande sous forme dudit
25 signal de contre-réaction.

5. Circuit selon la revendication 1, caractérisé en ce que ledit dispositif de détection comporte un
30 cinquième transistor (Q_6) comprenant une base et un circuit collecteur-émetteur connecté entre ladite base du transistor de commande et la masse et un sixième et un septième transistors (Q_3, Q_4) constituant un circuit miroir de courant, dont les collecteurs sont connectés aux collecteurs dudit troisième et dudit quatrième transistors respectivement, la base dudit cinquième
35 transistor étant connectée à un point de connexion entre les collecteurs du septième et du quatrième transistors.

FIG. 1

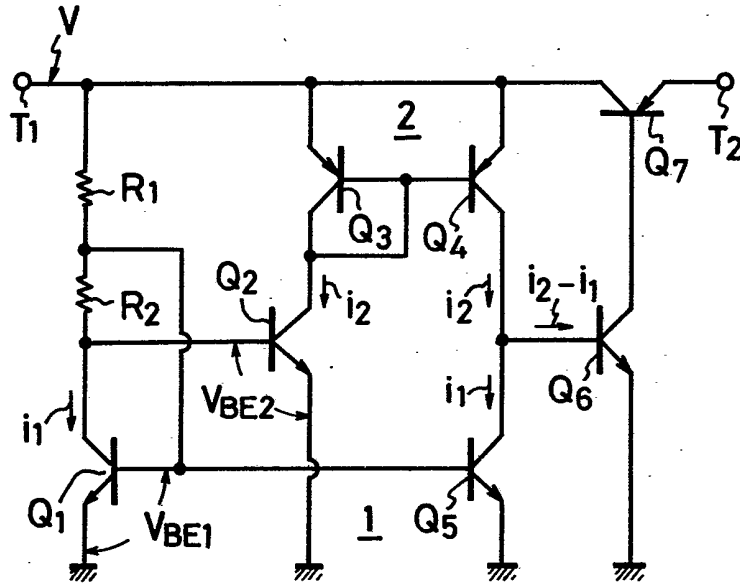


FIG. 2

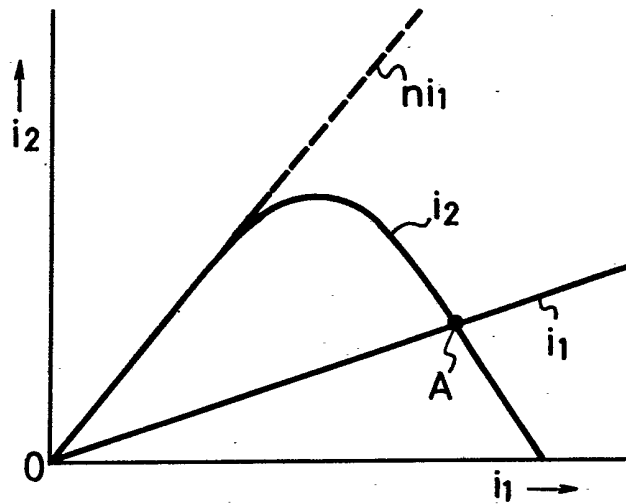


FIG. 3

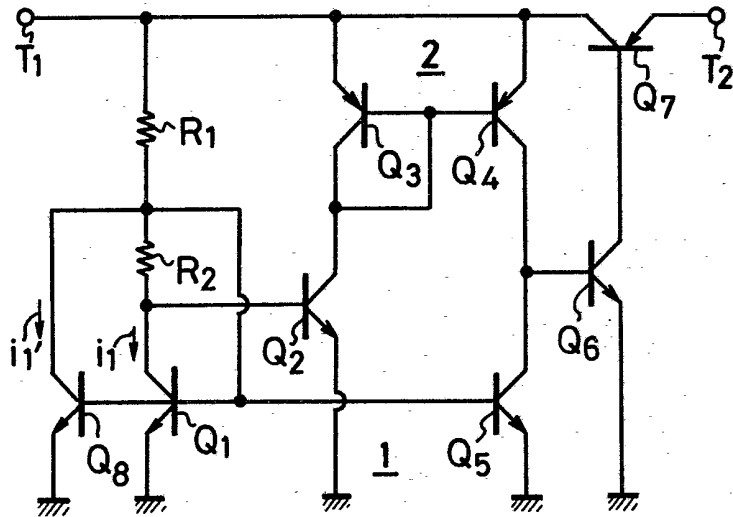


FIG. 4

