I493206

(19)中華民國智慧財產局

(12)發明說明書公告本 **(11)證書號數：TW I493206 B**

(45)公告日： 中華民國 104 (2015) 年 07 月 21 日

(21)申請案號：102127222 (22)申請日： 中華民國 102 (2013) 年 07 月 30 日

(51)Int. Cl.： *G01R31/3183(2006.01)* *G01R31/3185(2006.01)*

(71)申請人：財團法人工業技術研究院 (中華民國) INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE (TW)
新竹縣竹東鎮中興路 4 段 195 號

(72)發明人：陳振岸 CHEN, CHEN AN (TW) ；陳宜文 CHEN, YEE WEN (TW) ；吳明學 WU, MING HSUEH (TW) ；羅崑崙 LUO, KUN LUN (TW)

(74)代理人：詹銘文；葉璟宗

(56)參考文獻：

TW	179746	TW	463094
TW	586059	JP	2010-32507A
US	2010/0205490A1		

審查人員：黃尹珊

申請專利範圍項數：21 項 圖式數：14 共 61 頁

(54)名稱

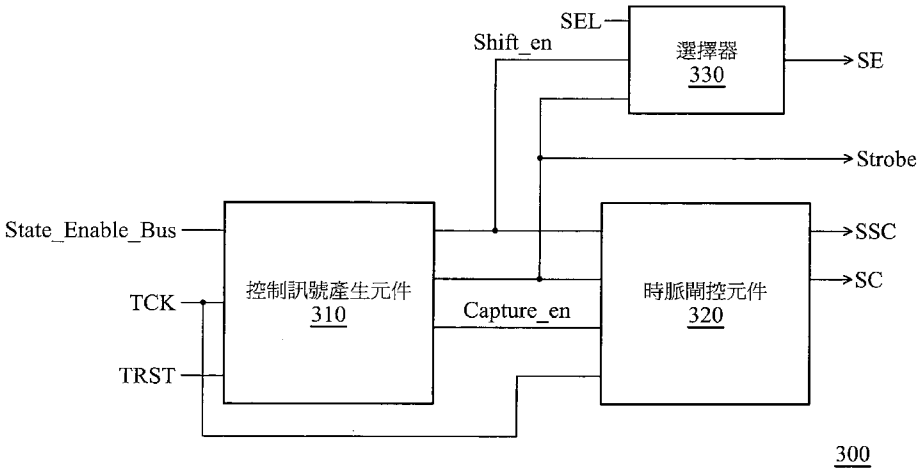
積體電路裝置及串列式壓縮掃描訊號產生裝置之測試存取埠狀態機的控制方法

CHIP DEVICE AND CONTROL METHOD FOR TEST ACCESS PORT STATE MACHINE OF SERIALIZED COMPRESSED SIGNAL GENERATOR

(57)摘要

一種積體電路裝置，用以產生串列式壓縮掃描電路所需要的輸入控制訊號。一控制訊號產生元件接收一時脈輸入訊號以及來自一狀態致能匯流排之狀態致能訊號，以輸出一位移致能訊號、一擷取致能訊號與一選通訊號。一時脈閘控元件電性連接至該控制訊號產生元件，以接收該位移致能訊號、該擷取致能訊號與該選通訊號。當該位移致能訊號被致能時，該時脈閘控元件將該時脈輸入訊號作為一串列式掃描時脈訊號。當該選通訊號或該擷取致能訊號被致能時，該時脈閘控元件將該時脈輸入訊號作為一掃描時脈訊號。

A chip device for generating the input control signals of a serialized compressed scan circuit is provided. A control signal generating device receives a clock input signal and a state enable signal from a state enable bus, to output a shift enable signal, a capture enable signal and a strobe signal. A clock gating device is electrically connected to the control signal generating device, and receives the shift enable signal, the capture enable signal and the strobe signal. When the shift enable signal is enabled, the clock gating device configures the clock input signal as a serialized scan clock signal. When the strobe signal or the capture enable signal is enabled, the clock gating device configures the clock input signal as a scan clock signal.



第 3 圖

300・・・串列式壓縮掃描訊號產生裝置

310・・・控制訊號產生元件

320・・・時脈閘控元件

330・・・選擇器

SEL・・・選擇訊號

Capture_en・・・擷取致能訊號

SC・・・掃描時脈訊號

SE・・・位移致能訊號

Shift_en・・・致能訊號

SSC・・・串列式掃描時脈訊號

Strobe・・・選通訊號

State_Enable_Bus・・・狀態致能匯流排

TCK・・・測試時脈訊號

TRST・・・選擇性測試重置訊號

公告本

104-3-2

發明專利說明書

104年3月2日修正替換頁(本)

（本說明書格式、順序，請勿任意更動，※記號部分請勿填寫）

※申請案號：102127222

※申請日：102.7.30　　※IPC分類：G01R 31/3183 (2006.01)
G01R 31/3185 (2006.01)

一、發明名稱：(中文/英文)

積體電路裝置及串列式壓縮掃描訊號產生裝置之測試存取埠狀態機的控制方法

CHIP DEVICE AND CONTROL METHOD FOR TEST ACCESS PORT STATE MACHINE OF SERIALIZED COMPRESSED SIGNAL GENERATOR

二、中文發明摘要：

一種積體電路裝置，用以產生串列式壓縮掃描電路所需要的輸入控制訊號。一控制訊號產生元件接收一時脈輸入訊號以及來自一狀態致能匯流排之狀態致能訊號，以輸出一位移致能訊號、一擷取致能訊號與一選通訊號。一時脈閘控元件電性連接至該控制訊號產生元件，以接收該位移致能訊號、該擷取致能訊號與該選通訊號。當該位移致能訊號被致能時，該時脈閘控元件將該時脈輸入訊號作為一串列式掃描時脈訊號。當該選通訊號或該擷取致能訊號被致能時，該時脈閘控元件將該時脈輸入訊號作為一掃描時脈訊號。

三、英文發明摘要：

A chip device for generating the input control signals of

a serialized compressed scan circuit is provided. A control signal generating device receives a clock input signal and a state enable signal from a state enable bus, to output a shift enable signal, a capture enable signal and a strobe signal. A clock gating device is electrically connected to the control signal generating device, and receives the shift enable signal, the capture enable signal and the strobe signal. When the shift enable signal is enabled, the clock gating device configures the clock input signal as a serialized scan clock signal. When the strobe signal or the capture enable signal is enabled, the clock gating device configures the clock input signal as a scan clock signal.

四、指定代表圖：

(一)本案指定代表圖為：第（3）圖。

(二)本代表圖之元件符號簡單說明：

300～串列式壓縮掃描訊號產生裝置；

310～控制訊號產生元件；

320～時脈閘控元件；

330～選擇器；

SEL～選擇訊號；

Capture_en～擷取致能訊號；

SC～掃描時脈訊號；

SE～位移致能訊號；

Shift_en～致能訊號；

SSC～串列式掃描時脈訊號；

Strobe～選通訊號；

State_Enable_Bus～狀態致能匯流排；

TCK～測試時脈訊號；以及

TRST～選擇性測試重置訊號。

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

本揭露係有關於一種測試方法，且特別有關於一種串列式壓縮掃描訊號產生裝置、積體電路以及測試方法。

【先前技術】

隨著電路設計越趨複雜，越多的電晶體被實現在單一晶片中，於是執行掃描測試所需要的時間也就越來越長，進而增加了測試成本。因此，使用有限的測試輸入與輸出卻能大幅增加掃描鏈（scan chain）數量的串列式壓縮掃描測試架構（serialized compressed scan architecture，SCSA），在積體電路的可測試性電路設計（design for testability，DFT）已廣泛被使用；增加掃描鏈數量可以減少掃描鏈電路的長度而降低測試時間，並且利用測試資料壓縮電路可以減少測試資料量，進而降低測試成本。另外，積體電路的測試整合電路開發已廣泛地應用符合標準測試介面的電路設計；然而，非標準測試介面的串列式壓縮掃描測試架構，不容易直接進行積體電路的測試整合。

【發明內容】

本揭露提供一種積體電路裝置，用以產生串列式壓縮掃描電路所需要的輸入控制訊號。上述積體電路裝置包括：一時脈輸入埠，用以接收週期性振盪之一時脈輸入訊號；一狀態致能匯流排，用以接收至少一狀態致能訊號；一控制訊號產生元件，接收該狀態致能匯流排之該狀態致

能訊號與該時脈輸入訊號，以輸出一位移致能訊號、一擷取致能訊號與一選通訊號；以及，一時脈閘控元件，該時脈閘控元件電性連接至該控制訊號產生元件以接收該位移致能訊號、該擷取致能訊號與該選通訊號。當該位移致能訊號被致能時，該時脈閘控元件將該時脈輸入訊號作為一串列式掃描時脈訊號。當該選通訊號或該擷取致能訊號被致能時，該時脈閘控元件將該時脈輸入訊號作為一掃描時脈訊號。

再者，本揭露提供一種控制方法，適用於一串列式壓縮掃描訊號產生裝置之一測試存取埠有限狀態機。載入一串列式壓縮掃描測試指令至一測試存取埠控制器之一指令暫存器。藉由一串列式壓縮掃描裝置之一解串器，序向輸入一壓縮測試資料，並且藉由該串列式壓縮掃描裝置之一串聯器，序向輸出一壓縮測試結果。轉換該測試存取埠有限狀態機至一位移-資料暫存器狀態或一暫停-資料暫存器狀態，使得該壓縮測試資料序向輸入至該串列式壓縮掃描裝置之該解串器，並且由該串列式壓縮掃描裝置之該串聯器序向輸出該壓縮測試結果。轉換該測試存取埠有限狀態機至一離開 1-資料暫存器狀態或一離開 2-資料暫存器狀態，使得該串列式壓縮掃描裝置之一解壓縮器輸出一測試資料至該串列式壓縮掃描裝置之複數掃描鏈電路，做為該等掃描鏈電路之輸入，以及一下一壓縮測試資料序向輸入至該串列式壓縮掃描裝置之該解串器，其中該串列式壓縮掃描裝置之該串聯器序向輸出該壓縮測試結果。轉換該測

試存取埠有限狀態機至一擷取-資料暫存器狀態，以擷取一測試結果至該串列式壓縮掃描裝置之該等掃描鏈電路。

再者，本揭露提供另一種控制方法，適用於一串列式壓縮掃描訊號產生裝置之一測試存取埠有限狀態機。載入一串列式壓縮掃描測試指令至一測試存取埠之一指令暫存器。藉由一串列式壓縮掃描裝置之一解串器，序向輸入一壓縮測試資料，並且藉由該串列式壓縮掃描裝置之一串聯器，序向輸出一壓縮測試結果。轉換該測試存取埠有限狀態機至一位移-資料暫存器狀態，使得該串列式壓縮掃描裝置之一解壓縮器輸出一測試資料至該串列式壓縮掃描裝置之複數掃描鏈電路，做為該等掃描鏈電路之輸入，其中該壓縮測試資料序向輸入至該串列式壓縮掃描裝置之該解串器，並且由該串列式壓縮掃描裝置之該串聯器序向輸出該壓縮測試結果。轉換該測試存取埠有限狀態機至一擷取-資料暫存器狀態，以擷取一測試結果至該串列式壓縮掃描裝置之該等掃描鏈電路。

再者，本揭露提供另一種控制方法，適用於一串列式壓縮掃描訊號產生裝置之一測試存取埠有限狀態機。載入一串列式壓縮掃描測試指令至一測試存取埠之一指令暫存器。藉由一串列式壓縮掃描裝置之一解串器，序向輸入一壓縮測試資料，並且藉由該串列式壓縮掃描裝置之一串聯器，序向輸出一壓縮測試結果。轉換該測試存取埠有限狀態機至一暫停-資料暫存器狀態，使得該串列式壓縮掃描裝置之該解壓縮器輸出一測試資料至該串列式壓縮掃描裝置

之複數掃描鏈電路，做為該等掃描鏈電路之輸入，其中該壓縮測試資料序向輸入至該串列式壓縮掃描裝置之該解串器，並且由該串列式壓縮掃描裝置之該串聯器序向輸出該壓縮測試結果。轉換該測試存取埠有限狀態機至一擷取-資料暫存器狀態，以擷取一測試結果至該串列式壓縮掃描裝置之該等掃描鏈電路。

再者，本揭露提供另一種控制方法，適用於一串列式壓縮掃描訊號產生裝置之一測試存取埠有限狀態機。載入一串列式壓縮掃描測試指令至一測試存取埠之一指令暫存器。藉由一串列式壓縮掃描裝置之一解串器，序向輸入一壓縮測試資料，並且藉由該串列式壓縮掃描裝置之一串聯器，序向輸出一壓縮測試結果。轉換該測試存取埠有限狀態機至一位移-資料暫存器狀態或一暫停-資料暫存器狀態，使得該串列式壓縮掃描裝置之一解壓縮器輸出一測試資料至該串列式壓縮掃描裝置之複數掃描鏈電路，做為該等掃描鏈電路之輸入，其中該壓縮測試資料序向輸入至該串列式壓縮掃描裝置之該解串器，並且由該串列式壓縮掃描裝置之該串聯器序向輸出該壓縮測試結果。轉換該測試存取埠有限狀態機至一離開 1-資料暫存器狀態或該離開 2-資料暫存器狀態，以擷取一測試結果至該串列式壓縮掃描裝置之該等掃描鏈電路。

再者，本揭露提供另一種積體電路裝置，用以產生串列式壓縮掃描電路所需要的輸入控制訊號。上述積體電路裝置包括：一時脈輸入埠，用以接收週期性振盪之一時脈

輸入訊號；一測試模式選擇訊號；一狀態致能匯流排，用以接收至少一狀態致能訊號；一控制訊號產生元件，接收該測試模式選擇訊號、該狀態匯流排之該狀態致能訊號與該時脈輸入訊號，用以產生一位移致能訊號、一擷取致能訊號與一選通訊號；以及一時脈閘控元件，該時脈閘控元件接收該位移致能訊號、該擷取致能訊號與該選通訊號。當該位移致能訊號被致能時，該時脈閘控元件將該時脈輸入訊號作為一串列式掃描時脈訊號。當該選通訊號或該擷取致能訊號被致能時，該時脈閘控元件將該時脈輸入訊號作為一掃描時脈訊號。

再者，本揭露提供另一種控制方法，適用於一串列式壓縮掃描訊號產生裝置之一測試存取埠有限狀態機。載入一串列式壓縮掃描測試指令至一測試存取埠之一指令暫存器。當該測試存取埠有限狀態機轉換至一位移-資料暫存器狀態、一暫停-資料暫存器狀態、一離開 1-資料暫存器狀態或一離開 2-資料暫存器狀態時，則藉由一串列式壓縮掃描裝置之一解串器，序向輸入一壓縮測試資料，並且藉由該串列式壓縮掃描裝置之一串聯器，序向輸出一壓縮測試結果。當該測試存取埠有限狀態機從該離開 1-資料暫存器狀態轉換至該暫停-資料暫存器狀態時，則該串列式壓縮掃描裝置之一解壓縮器輸出一測試資料至該串列式壓縮掃描裝置之複數掃描鏈電路，做為該等掃描鏈電路之輸入。

【實施方式】

為讓本揭露之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉出實施例，並配合所附圖式，作詳細說明如下：

第 1 圖係顯示根據本揭露一實施例所述之積體電路 100。積體電路 100 包括串列式壓縮掃描電路 110、串列式壓縮掃描訊號產生裝置 120、測試存取埠狀態機 130、多工器 140 以及測試存取埠 150。積體電路 100 經由測試存取埠 150 耦接於一測試裝置（未顯示），用以接收來自測試裝置之測試資料輸入訊號 TDI、測試時脈訊號 TCK、測試模式選擇訊號 TMS 與選擇性測試重置訊號 TRST，並提供測試資料輸出訊號 TDO 給測試裝置。測試存取埠狀態機 130 為有限狀態機（Finite State Machine，FSM），並耦接於測試存取埠 150 以及串列式壓縮掃描訊號產生裝置 120 之間。測試存取埠狀態機 130 可以是 IEEE 1149.1 標準中測試存取埠控制器中所設計之具有複數狀態值的有限狀態機，其中儲存在狀態暫存器中的狀態值係代表此有限狀態機的狀態。來自測試裝置之一串列式壓縮掃描測試指令會載入至測試存取埠控制器之指令暫存器（instruction register）。測試存取埠狀態機 130 可根據測試時脈訊號 TCK、測試模式選擇訊號 TMS 與選擇性測試重置訊號 TRST 的控制，改變狀態機的狀態。當測試存取埠狀態機 130 於每一不同的狀態下，可產生對應之一狀態致能（State

Enable）訊號，以顯示測試存取埠狀態機 130 的狀態，其中測試存取埠狀態機 130 所產生的狀態致能訊號構成狀態致能匯流排 State_Enable_Bus 而傳送至串列式壓縮掃描訊號產生裝置 120。串列式壓縮掃描訊號產生裝置 120 根據來自測試存取埠 150 的測試時脈訊號 TCK、選擇性測試重置訊號 TRST 以及測試模式選擇訊號 TMS 以及來自測試存取埠狀態機 130 的狀態致能匯流排 State_Enable_Bus 的狀態致能訊號，而產生掃描時脈（Scan Clock）訊號 SC、位移致能（Shift Enable）訊號 SE、選通（Strobe）訊號 Strobe 以及串列式掃描時脈（Serialized Scan Clock）訊號 SSC 至串列式壓縮掃描電路 110。此外，來自測試存取埠 150 的測試資料輸入訊號 TDI 可耦接至串列式壓縮掃描電路 110 以作為串列式掃描資料輸入（Serialized Scan Data Input）訊號 SSI，而來自串列式壓縮掃描電路 110 的串列式掃描資料輸出（Serialized Scan Data Output）訊號 SSO 可傳送至多工器 140。多工器 140 可根據選擇訊號 SEL 而選擇將串列式掃描資料輸出訊號 SSO 或其他測試結果資料傳送至測試存取埠 150 以作為測試資料輸出訊號 TDO。在另一實施例中，串列式壓縮掃描電路 110 可為一串列式壓縮掃描裝置。

在第 1 圖中，串列式壓縮掃描電路 110 包括解串器（Deserializer）112、解壓縮器（Decompressor）114、並列式掃描鏈的待測電路（circuit under test with parallel scan chains）116、壓縮器（compressor）115 以及串聯器

（Serializer）113，其中解串器 112 可當作一種串列對並列轉換器（serial to parallel converter），而串聯器 113 可當作一種並列對串列轉換器（parallel to serial converter）。解串器 112 根據來自串列式壓縮掃描訊號產生裝置 120 的串列式掃描時脈訊號 SSC，將序向輸入（即以串列方式輸入）之串列式掃描資料輸入訊號 SSI 轉換成具有複數位元之資料 D1。在一實施例中，串列式掃描資料輸入訊號 SSI 可為壓縮測試資料。解壓縮器 114 對資料 D1 進行解壓縮，以產生複數資料 D2。待測電路 116 包括並列式掃描鏈（parallel scan chain，PSC）電路 117，其中當在進行掃描測試時，每一掃描鏈電路 117 會根據來自串列式壓縮掃描訊號產生裝置 120 的掃描時脈訊號 SC 以及位移致能訊號 SE 來接收資料 D2，而在進行掃描測試後產生資料 D3，並列式複數掃描鏈電路 117 的操作為常見的數位積體電路掃描測試方法。舉例來說，相應於每一掃描時脈訊號 SC，每一掃描鏈電路 117 會接收一位元之資料 D2，即掃描鏈掃描位移一位元。壓縮器 115 會對來自待測電路 116 之複數位元資料 D3 進行壓縮，而產生具有複數位元之資料 D4。在一實施例中，資料 D3 可為測試結果，資料 D4 可為壓縮測試結果。接著，串聯器 113 會根據來自串列式壓縮掃描訊號產生裝置 120 產生的的串列式掃描時脈訊號 SSC 以及選通訊號 Strobe，將複數位元資料 D4 轉換成串列式掃描資料輸出訊號 SSO。於是，測試裝置便透過測試資料輸出訊號 TDO 來判斷與其耦接的串列式掃描資料輸出訊號 SSO 來判

斷待測電路 116 是否正常。

第 2 圖係顯示根據本揭露一實施例所述之第 1 圖中測試存取埠狀態機 130 之狀態圖，其中測試存取埠狀態機 130 符合 IEEE 1149.1 所規範。測試存取埠狀態機 130 可根據來自測試存取埠 150 的測試模式選擇訊號 TMS 而改變其狀態值。一般而言，標準的測試存取埠狀態機是由 4 位元的狀態暫存器所組成，其中狀態暫存器的邏輯值代表了測試存取埠狀態機的目前狀態。首先，根據測試模式選擇訊號 TMS，測試邏輯重置（Test Logic Reset）狀態 S202 可繼續維持在其狀態（TMS=1）或是進入執行測試/閒置（Run-Test/Idle）狀態 S204（TMS=0）。在測試邏輯重置狀態 S202 與執行測試/閒置狀態 S204 下，所有測試資料暫存器（例如，旁路暫存器（bypass register）、邊際掃描暫存器（boundary scan register）、使用者自訂暫存器（user-defined data register））都不會動作。接著，當測試模式選擇訊號 TMS 為高邏輯位準時（TMS=1），測試存取埠狀態機 130 會從執行測試/閒置狀態 S204 進入選擇-資料暫存器-掃描（Select-DR-Scan）狀態 S206。否則，測試存取埠狀態機 130 會繼續維持在執行測試/閒置狀態 S204。接著，當測試模式選擇訊號 TMS 為低邏輯位準時（TMS=0），測試存取埠狀態機 130 會從選擇-資料暫存器-掃描狀態 S206 進入擷取-資料暫存器狀態 S208，並透過狀態致能匯流排 State_Enable_Bus 提供擷取-資料暫存器狀態致能訊號 Capture-DR 至串列式壓縮掃描訊號產生裝置 120。接著，

當測試模式選擇訊號 TMS 為低邏輯位準時，測試存取埠狀態機 130 會從擷取-資料暫存器狀態 S208 進入位移-資料暫存器狀態 S210，並透過狀態致能匯流排(State_Enable_Bus)提供位移-資料暫存器狀態致能訊號 Shift-DR 至串列式壓縮掃描訊號產生裝置 120。否則，測試存取埠狀態機 130 會從擷取-資料暫存器狀態 S208 進入離開 1-資料暫存器狀態 S212，並透過狀態致能匯流排（State_Enable_Bus）提供離開 1-資料暫存器狀態致能訊號 Exit1-DR 至串列式壓縮掃描訊號產生裝置 120。當測試存取埠狀態機 130 為位移-資料暫存器狀態 S210 時，若測試模式選擇訊號 TMS 為低邏輯位準時，則測試存取埠狀態機 130 會繼續維持在位移-資料暫存器狀態 S210。否則，測試存取埠狀態機 130 會從位移-資料暫存器狀態 S210 進入離開 1-資料暫存器狀態 S212（TMS=1）。當測試存取埠狀態機 130 為離開 1-資料暫存器狀態 S212 時，若測試模式選擇訊號 TMS 為低邏輯位準時，則測試存取埠狀態機 130 會從離開 1-資料暫存器狀態 S212 進入暫停-資料暫存器狀態 S214，並透過狀態致能匯流排（State_Enable_Bus）提供暫停-資料暫存器狀態致能訊號 Pause-DR 至串列式壓縮掃描訊號產生裝置 120。否則，測試存取埠狀態機 130 會從離開 1-資料暫存器狀態 S212 進入更新-資料暫存器狀態 S218（TMS=1）。當測試存取埠狀態機 130 為暫停-資料暫存器狀態 S214 時，若測試模式選擇訊號 TMS 為低邏輯位準時，則測試存取埠狀態機 130 會繼續維持在暫停-資料暫存器狀態 S214。否則，測

試存取埠狀態機 130 會從暫停-資料暫存器狀態 S214 進入離開 2-資料暫存器狀態 S216（TMS=1），並透過狀態致能匯流排（State_Enable_Bus）提供離開 2-資料暫存器狀態致能訊號 Exit2-DR 至串列式壓縮掃描訊號產生裝置 120。接著，當測試模式選擇訊號 TMS 為低邏輯位準時，測試存取埠狀態機 130 會從離開 2-資料暫存器狀態 S216 回到位移-資料暫存器狀態 S210。否則，測試存取埠狀態機 130 會從離開 2-資料暫存器狀態 S216 進入更新-資料暫存器狀態 S218（TMS=1）。接著，當測試模式選擇訊號 TMS 為低邏輯位準，測試存取埠狀態機 130 會從更新-資料暫存器狀態 S218 回到執行測試/閒置狀態 S204。否則，測試存取埠狀態機 130 會從更新-資料暫存器狀態 S218 回到選擇-資料暫存器-掃描狀態 S206（TMS=1）。此外，當測試存取埠狀態機 130 在選擇-資料暫存器-掃描狀態 S206 且測試模式選擇訊號 TMS 為高邏輯位準時（TMS=1），測試存取埠狀態機 130 會從選擇-資料暫存器-掃描狀態 S206 進入選擇-指令暫存器-掃描（Select-IR-Scan）狀態 S256。接著，當測試模式選擇訊號 TMS 為高邏輯位準時，測試存取埠狀態機 130 會從選擇-指令暫存器-掃描狀態 S256 回到測試邏輯重置狀態 S202。反之，當測試模式選擇訊號 TMS 為低邏輯位準時，測試存取埠狀態機 130 會從選擇-指令暫存器-掃描狀態 S256 進入擷取-指令暫存器（Capture-IR）狀態 S258。接著，當測試模式選擇訊號 TMS 為低邏輯位準時，測試存取埠狀態機 130 會從擷取-指令暫存器狀態 S258 進

入位移-指令暫存器（Shift-IR）狀態 S260。否則，測試存取埠狀態機 130 會從擷取-指令暫存器狀態 S258 進入離開 1-指令暫存器（Exit1-IR）狀態 S262（TMS=1）。當測試存取埠狀態機 130 為位移-指令暫存器狀態 S260 時，若測試模式選擇訊號 TMS 為低邏輯位準時，則測試存取埠狀態機 130 會繼續維持在位移-指令暫存器狀態 S260。否則，測試存取埠狀態機 130 會從位移-指令暫存器狀態 S260 進入離開 1-指令暫存器狀態 S262（TMS=1）。當測試存取埠狀態機 130 為離開 1-指令暫存器狀態 S262 時，若測試模式選擇訊號 TMS 為低邏輯位準時，則測試存取埠狀態機 130 會從離開 1-指令暫存器狀態 S262 進入暫停-指令暫存器（Pause-IR）狀態 S264。否則，測試存取埠狀態機 130 會從離開 1-指令暫存器狀態 S262 進入更新-指令暫存器（Update-IR）狀態 S268（TMS=1）。當測試存取埠狀態機 130 為暫停-指令暫存器狀態 S264 時，若測試模式選擇訊號 TMS 為低邏輯位準時，則測試存取埠狀態機 130 會繼續維持在暫停-指令暫存器狀態 S264。否則，測試存取埠狀態機 130 會從暫停-指令暫存器狀態 S264 進入離開 2-指令暫存器（Exit2-IR）狀態 S266（TMS=1）。接著，當測試模式選擇訊號 TMS 為低邏輯位準時，測試存取埠狀態機 130 會從離開 2-指令暫存器狀態 S266 回到位移-指令暫存器狀態 S260。否則，測試存取埠狀態機 130 會從離開 2-指令暫存器狀態 S266 進入更新-指令暫存器狀態 S268（TMS=1）。接著，當測試模式選擇訊號 TMS 為低邏輯位準，測試存取

埠狀態機 130 會從更新-指令暫存器狀態 S268 回到執行測試/閒置狀態 S204。否則，測試存取埠狀態機 130 會從更新-指令暫存器狀態 S268 回到選擇-指令暫存器-掃描狀態 S256（TMS=1）。

第 3 圖係顯示根據本揭露一實施例所述之串列式壓縮掃描訊號產生裝置 300。串列式壓縮掃描訊號產生裝置 300 包括控制訊號產生元件 310、掃描時脈閘控（clock gating）元件 320 以及選擇器 330。控制訊號產生元件 310 可根據測試時脈訊號 TCK、選擇性測試重置訊號 TRST 以及來自測試存取埠狀態機（例如第 1 圖之測試存取埠狀態機 130）的狀態致能匯流排（State_Enable_Bus）而產生致能訊號 Shift_en、選通訊號 Strobe 以及擷取致能訊號 Capture_en。接著，時脈閘控元件 320 為邏輯電路，其可根據致能訊號 Shift_en、選通訊號 Strobe、擷取致能訊號 Capture_en 以及測試時脈訊號 TCK 而產生串列式掃描時脈訊號 SSC 以及掃描時脈訊號 SC。接著，選擇器 330 可根據選擇信號 SEL 而選擇性地提供致能訊號 Shift_en 或是選通訊號 Strobe 來作為位移致能訊號 SE。因此，根據狀態致能匯流排（State_Enable_Bus）上的狀態致能訊號、選擇性測試重置訊號 TRST 以及測試時脈訊號 TCK，串列式壓縮掃描訊號產生裝置 300 可產生串列式掃描時脈訊號 SSC、位移致能訊號 SE、選通訊號 Strobe 以及掃描時脈訊號 SC。

第 4 圖係顯示根據本揭露另一實施例所述之串列式壓縮掃描訊號產生裝置 400。串列式壓縮掃描訊號產生裝置

400 包括控制訊號產生元件 410、時脈閘控元件 420 以及選擇器 430。控制訊號產生元件 410 包括或閘（OR gate）411 與 412 以及正反器 413-415。在此實施例中，正反器 413-415 為負緣觸發暫存器。或閘 412 會根據訊號狀態致能匯流排 State_Enable_Bus 上的離開 1-資料暫存器狀態致能訊號以及離開 2-資料暫存器狀態致能訊號而產生訊號 S2 至正反器 414。當測試時脈訊號 TCK 的負緣觸發時，正反器 414 會根據訊號 S2 而產生選通訊號 Strobe 至時脈閘控元件 420。此外，或閘 411 根據訊號 S2 以及狀態致能匯流排（State_Enable_Bus）上的位移-資料暫存器狀態致能訊號以及暫停-資料暫存器狀態致能訊號而產生訊號 S1 至正反器 413。當測試時脈訊號 TCK 的負緣觸發時，正反器 413 會根據訊號 S1 而產生致能訊號 Shift_en 至時脈閘控元件 420 與選擇器 430。再者，當測試時脈訊號 TCK 的負緣觸發時，正反器 415 會根據狀態致能匯流排 State_Enable_Bus 上的擷取-資料暫存器狀態致能訊號而產生擷取致能訊號 Capture_en 至時脈閘控元件 420。在第 4 圖中，時脈閘控元件 420 包括或閘 421、及閘（AND gate）422 與及閘 423。或閘 421 會根據選通訊號 Strobe 以及擷取致能訊號 Capture_en 而產生訊號 S3。及閘 422 會根據測試時脈訊號 TCK 以及訊號 S3 而產生掃描時脈訊號 SC。及閘 423 會根據測試時脈訊號 TCK 以及致能訊號 Shift_en 而產生串列式掃描時脈訊號 SSC。選擇器 430 可根據選擇信號 SEL 而選擇性地提供致能訊號 Shift_en 或是選通訊號 Strobe 來作為

位移致能訊號 SE。在此實施例中，選擇器 430 為多工器（multiplexer, MUX）。在另一實施例中，選擇性測試重置訊號 TRST 可對正反器 413-415 進行重置。

第 5 圖係顯示根據本揭露一實施例所述使用第 4 圖之串列式壓縮掃描訊號產生裝置 400 以一特定方式對第 1 圖之串列式壓縮掃描電路 110 執行掃描鏈測試的訊號波形圖。在第 5 圖中，標號 510 係表示符合 IEEE 1149.1 介面標準之測試時脈訊號 TCK、測試模式選擇訊號 TMS 以及測試存取埠狀態機的狀態值 TSM，其中測試存取埠狀態機（例如第 1 圖之測試存取埠狀態機 130）的狀態值 TSM 的變化係依照第 2 圖中的一第一方式。此外，標號 520 係表示符合掃描壓縮介面標準之串列式掃描時脈訊號 SSC、選通訊號 Strobe、掃描時脈訊號 SC 與位移致能訊號 SE。同時參考第 4 圖與第 5 圖，在此實施例中，選擇器 430 係根據選擇信號 SEL 而提供致能訊號 Shift_en 來作為位移致能訊號 SE。首先，狀態值 TSM 會依序由測試邏輯重置狀態 S202、執行測試/閒置狀態 S204、選擇-資料暫存器-掃描狀態 S206，接著進入選擇-指令暫存器-掃描狀態 S256，待完成測試存取埠控制器中指令暫存器的指令的設定後，接著回到選擇-資料暫存器-掃描狀態 S206 而進入擷取-資料暫存器狀態 S208。當狀態值 TSM 為擷取-資料暫存器狀態 S208 時，測試存取埠狀態機會經由狀態致能匯流排 State_Enable_Bus 致能擷取-資料暫存器狀態致能訊號至正反器 415，以便產生掃描時脈訊號 SC。接著，狀態值 TSM

會從擷取-資料暫存器狀態 S208 進入位移-資料暫存器狀態 S210。當狀態值 TSM 為位移-資料暫存器狀態 S210 時，測試存取埠狀態機會經由狀態致能匯流排 State_Enable_Bus 致能位移-資料暫存器狀態致能訊號，以便使位移致能訊號 SE 從低邏輯位準變換至高邏輯位準。此外，解壓縮器 114 會輸出測試資料 D2 至複數掃描鏈電路 117，做為掃描鏈電路 117 之輸入，其中壓縮測試資料（例如串列式掃描資料輸入訊號 SSI）會被序向輸入至解串器 112，以期串聯器 113 會序向輸出壓縮測試結果（例如串列式掃描資料輸出訊號 SSO）。接著，測試存取埠狀態機會繼續維持在位移-資料暫存器狀態 S210，直到進入離開 1-資料暫存器狀態 S212。當狀態值 TSM 為離開 1-資料暫存器狀態 S212 時，測試存取埠狀態機會經由狀態致能匯流排 State_Enable_Bus 致能離開 1-資料暫存器狀態致能訊號至或閘 412，以便產生掃描時脈訊號 SC 以及選通訊號 Strobe。於是，解壓縮器 114 會輸出測試資料 D2 至掃描鏈電路 117，以及下一個壓縮測試資料（例如串列式掃描資料輸入訊號 SSI）會被序向輸入至解串器 112，其中串聯器 113 會序向輸出該壓縮測試結果（例如串列式掃描資料輸出訊號 SSO）。接著，狀態值 TSM 會由離開 1-資料暫存器狀態 S212 進入至暫停-資料暫存器狀態 S214 或更新-資料暫存器狀態 S218。當狀態值 TSM 為暫停-資料暫存器狀態 S214 時，測試存取埠狀態機會經由狀態致能匯流排 State_Enable_Bus 致能暫停-資料暫存器狀態致能訊號，以

便使位移致能訊號 SE 維持在高邏輯位準。接著，測試存取埠狀態機會繼續維持在暫停-資料暫存器狀態 S214，直到進入離開 2-資料暫存器狀態 S216。當狀態值 TSM 為離開 2-資料暫存器狀態 S216 時，測試存取埠狀態機會經由狀態致能匯流排 State_Enable_Bus 致能離開 2-資料暫存器狀態致能訊號至或閘 412，以便產生掃描時脈訊號 SC 以及選通訊號 Strobe。於是，解壓縮器 114 會輸出測試資料 D2 至掃描鏈電路 117，以及下一個壓縮測試資料（例如串列式掃描資料輸入訊號 SSI）會被序向輸入至該解串器 112，其中串聯器 113 會序向輸出該壓縮測試結果（例如串列式掃描資料輸出訊號 SSO）。接著，狀態值 TSM 會從離開 2-資料暫存器狀態 S216 進入位移-資料暫存器狀態 S210 或更新-資料暫存器狀態 S218。當狀態值 TSM 為位移-資料暫存器狀態 S210 時，測試存取埠狀態機會經由狀態致能匯流排 State_Enable_Bus 致能位移-資料暫存器狀態致能訊號，以便使位移致能訊號 SE 維持在高邏輯位準。接著，測試存取埠狀態機會繼續維持在位移-資料暫存器狀態 S210，直到進入離開 1-資料暫存器狀態 S212。當狀態值 TSM 為離開 1-資料暫存器狀態 S212 時，測試存取埠狀態機會經由狀態致能匯流排 State_Enable_Bus 致能離開 1-資料暫存器狀態致能訊號至或閘 412，以便產生掃描時脈訊號 SC 以及選通訊號 Strobe。接著，狀態值 TSM 由離開 1-資料暫存器狀態 S212 或離開 2-資料暫存器狀態 S216 變化至更新-資料暫存器狀態 S218。接著，狀態值 TSM 由更新-資料暫存器狀態

S218 進入選擇-資料暫存器-掃描狀態 S206。最後，狀態值 TSM 由選擇-資料暫存器-掃描狀態 S206 變化到擷取-資料暫存器狀態 S208，以將測試結果擷取至第 1 圖之串列式壓縮掃描電路 110 的並列式複數掃描鏈電路 117。同樣地，當狀態值 TSM 由離開 1-資料暫存器狀態 S212 或離開 2-資料暫存器狀態 S216 變化至更新-資料暫存器狀態 S218 時，測試存取埠狀態機不會經由狀態致能匯流排 State_Enable_Bus 致能任一位移-資料暫存器狀態致能訊號、暫停-資料暫存器狀態致能訊號、離開 1-資料暫存器狀態致能訊號與離開 2-資料暫存器狀態致能訊號至控制訊號產生元件 410。於是，位移致能訊號 SE 會從高邏輯位準變換至低邏輯位準。具體而言，一測試裝置透過耦接於串列式壓縮掃描訊號產生裝置 400 之測試存取埠（例如第 1 圖之測試存取埠 150），可在時間週期 P1 傳送串列式壓縮掃瞄指令。接著，串列式壓縮掃描訊號產生裝置 400 會在時間週期 P2 進行掃瞄位移將測試資料傳遞至第 1 圖之串列式壓縮掃描電路 110 的並列式複數掃描鏈電路 117，同時傳遞出儲存於圖一串列式壓縮掃描電路 110 的測試結果資料。接著，在時間週期 P3，待測電路的測試結果會透過擷取並儲存於第 1 圖之串列式壓縮掃描電路 110 的並列式複數掃描鏈電路 117 中。另外，在時間週期 P2 的期間，狀態值 TSM 可從離開 2-資料暫存器狀態 S216 變換回至位移-資料暫存器狀態 S210，持續進行掃描位移的操作，直到測試資料已完成傳遞至第 1 圖之串列式壓縮掃描電路 110 的

並列式複數掃描鏈電路 117。此時，狀態值 TSM 從離開 1-資料暫存器狀態 S212 或離開 2-資料暫存器狀態 S216 變換至更新-資料暫存器狀態 S218，再由選擇-資料暫存器-掃描狀態 S206 回到擷取-資料暫存器狀態 S208，以進行測試結果的輸出。

第 6 圖係顯示根據本揭露另一實施例所述之串列式壓縮掃描訊號產生裝置 600。串列式壓縮掃描訊號產生裝置 600 包括控制訊號產生元件 610、時脈閘控元件 420 以及選擇器 430。控制訊號產生元件 610 包括正反器 611 與 612 以及計數器 613。在此實施例中，正反器 611 與 612 為負緣觸發暫存器，而計數器 613 為負緣觸發計數器。當測試時脈訊號 TCK 的負緣觸發時，正反器 611 會根據狀態致能匯流排 State_Enable_Bus 上的位移-資料暫存器狀態致能訊號而產生致能訊號 Shift_en 至計數器 613、時脈閘控元件 420 以及選擇器 430。再者，當測試時脈訊號 TCK 的負緣觸發時，正反器 612 會根據狀態致能匯流排 State_Enable_Bus 上的擷取-資料暫存器狀態致能訊號而產生擷取致能訊號 Capture_en 至時脈閘控元件 420。在另一實施例中，選擇性測試重置訊號 TRST 可對正反器 611-612 以及計數器 613 進行重置。計數器 613 可根據測試時脈訊號 TCK 以及致能訊號 Shift_en 來計數致能信號 Shift_en 成立的週期次數，以產生計數結果 CNT。當計數結果 CNT 符合解串器（例如第 1 圖之解串器 112）或串聯器（例如第 1 圖之串聯器 113）的位元數時，計數器 613 會產生選

通訊號 Strobe。舉例來說，假設解串器或串聯器的最多位元數為 N，當致能訊號 Shift_en 被致能時，計數器 613 會從初始值（例如 CNT=0）開始進行計數。當計數器 613 的計數結果 CNT 為 N 時，計數器 613 會產生選通訊號 Strobe，並將計數結果 CNT 設置為 1 的狀態，並繼續反覆進行 1 到 N 的計數動作，直到，Shift_en 不被致能時，將計數器重置為初始值 CNT=0，結束計數。在此實施例中，計數器 613 會進行由 1 至 N 的循環計數。在其他實施例中，計數器 613 可由第一值至第二值進行循環計數，其中第二值與第一值的差值為串聯器或解串器的位元數減一（即 N-1）。

第 7 圖係顯示根據本揭露一實施例所述使用第 6 圖之串列式壓縮掃描訊號產生裝置 600 以一特定方式對第 1 圖之串列式壓縮掃描電路 110 執行掃描鏈測試的訊號波形圖。在第 7 圖中，標號 710 係表示符合 IEEE 1149.1 介面標準之測試時脈訊號 TCK、測試模式選擇訊號 TMS 以及測試存取埠狀態機的狀態值 TSM，其中測試存取埠狀態機（例如第 1 圖之測試存取埠狀態機 130）的狀態值 TSM 的變化係依照第 2 圖中的一第二方式。此外，標號 720 係表示符合掃描壓縮介面標準之串列式掃描時脈訊號 SSC、選通訊號 Strobe、掃描時脈訊號 SC 與位移致能訊號 SE。同時參考第 6 圖與第 7 圖，在此實施例中，選擇器 430 係根據選擇信號 SEL 而提供致能訊號 Shift_en 來作為位移致能訊號 SE。首先，狀態值 TSM 會依序由測試邏輯重置狀態 S202、執行測試/閒置狀態 S204、選擇-資料暫存器-掃描狀態

S206，接著進入選擇-指令暫存器-掃描狀態 S256，待完成測試存取埠控制器中指令暫存器的指令的設定後，接著回到選擇-資料暫存器-掃描狀態 S206 而進入擷取-資料暫存器狀態 S208。當狀態值 TSM 為擷取-資料暫存器狀態 S208 時，測試存取埠狀態機會經由狀態致能匯流排 State_Enable_Bus 致能擷取-資料暫存器狀態致能訊號至正反器 612，以便產生掃描時脈訊號 SC。接著，狀態值 TSM 會從擷取-資料暫存器狀態 S208 進入位移-資料暫存器狀態 S210。當狀態值 TSM 為位移-資料暫存器狀態 S210 時，測試存取埠狀態機會經由狀態致能匯流排 State_Enable_Bus 致能位移-資料暫存器狀態致能訊號，以便使位移致能訊號 SE 從低邏輯位準變換至高邏輯位準。於是，解壓縮器 114 會輸出測試資料 D1 至掃描鏈電路 117，其中壓縮測試資料（例如串列式掃描資料輸入訊號 SSI）會被序向輸入至該解串器 112，且串聯器 113 會序向輸出壓縮測試結果（例如串列式掃描資料輸出訊號 SSO）。當致能訊號 Shift_en 為高邏輯位準時，計數器 613 會根據測試時脈訊號 TCK 來計數測試存取埠狀態機維持在位移-資料暫存器狀態 S210 的週期次數，以產生計數結果 CNT。接著，當計數結果 CNT 到達一特定值時，計數器 613 會產生選通訊號 Strobe，其中特定值係由第 1 圖之解串器 112 或串聯器 113 的轉換位元數所決定。接著，相應於選通訊號 Strobe，時脈閘控元件 420 會產生掃描時脈訊號 SC。如先前所描述，當來自測試裝置的一筆測試資料（test pattern）完成之後，狀態值

TSM 會由位移-資料暫存器狀態 S210 依序經由離開 1-資料暫存器狀態 S212、更新-資料暫存器狀態 S218、選擇-資料暫存器-掃描狀態 S206 至擷取-資料暫存器狀態 S208。此外，當狀態值 TSM 由位移-資料暫存器狀態 S210 變化至離開 1-資料暫存器狀態 S212 時，測試存取埠狀態機會禁能（disable）位移-資料暫存器狀態致能訊號 Shift-DR，於是位移致能訊號 SE 會從高邏輯位準變換至低邏輯位準。具體而言，測試裝置透過耦接於串列式壓縮掃描訊號產生裝置 600 之測試存取埠（例如第 1 圖之測試存取埠 150），可在時間週期 P1 傳送串列式壓縮掃瞄指令。接著，串列式壓縮掃描訊號產生裝置 600 會在時間週期 P2 進行掃瞄位移將測試資料傳遞至第 1 圖之串列式壓縮掃描電路 110 的並列式複數掃描鏈電路 117，同時傳遞出儲存於第 1 圖之串列式壓縮掃描電路 110 的測試結果資料。接著，在時間週期 P3，待測電路的測試結果會透過擷取而儲存於第 1 圖之串列式壓縮掃描電路 110 的並列式複數掃描鏈電路 117 中。另外，在時間週期 P2 的期間，狀態值 TSM 維持在位移-資料暫存器狀態 S210，以持續進行掃描位移的操作，直到測試資料已完成傳遞至第 1 圖之串列式壓縮掃描電路 110 的並列式複數掃描鏈電路 117 後，從位移-資料暫存器狀態 S210 變換至離開 1-資料暫存器狀態 S212。接著，狀態值 TSM 從離開 1-資料暫存器狀態 S212 變換至更新-資料暫存器狀態 S218，再由選擇-資料暫存器-掃描狀態 S206 回到擷取-資料暫存器狀態 S208，以進行測試結果的輸出，其中測試結果

會被擷取至掃描鏈電路 117。

第 8 圖係顯示根據本揭露另一實施例所述之串列式壓縮掃描訊號產生裝置 800。串列式壓縮掃描訊號產生裝置 800 包括控制訊號產生元件 810、時脈閘控元件 420 以及選擇器 430。控制訊號產生元件 810 包括正反器 811 與 812 以及計數器 813。在此實施例中，正反器 811 與 812 為負緣觸發暫存器，而計數器 813 為負緣觸發計數器。相較於第 6 圖之控制訊號產生元件 610，控制訊號產生元件 810 係根據狀態致能匯流排 State_Enable_Bus 上的暫停-資料暫存器狀態致能訊號而產生致能訊號 Shift_en。舉例來說，當測試時脈訊號 TCK 的負緣觸發時，正反器 811 根據暫停-資料暫存器狀態致能訊號而產生致能訊號 Shift_en 至計數器 813、時脈閘控元件 420 以及選擇器 430。

第 9 圖係顯示根據本揭露一實施例所述使用第 8 圖之串列式壓縮掃描訊號產生裝置 800 以一特定方式對第 1 圖之串列式壓縮掃描電路 110 執行掃描鏈測試的訊號波形圖。在第 9 圖中，標號 910 係表示符合 IEEE 1149.1 介面標準之測試時脈訊號 TCK、測試模式選擇訊號 TMS 以及測試存取埠狀態機的狀態值 TSM，其中測試存取埠狀態機（例如第 1 圖之測試存取埠狀態機 130）的狀態值 TSM 的變化係依照第 2 圖中的一第三方式。此外，標號 920 係表示符合掃描壓縮介面標準之串列式掃描時脈訊號 SSC、選通訊號 Strobe、掃描時脈訊號 SC 與位移致能訊號 SE。同時參考第 8 圖與第 9 圖，在此實施例中，選擇器 430 係根據選

擇信號 SEL 而提供致能訊號 Shift_en 來作為位移致能訊號 SE。首先，狀態值 TSM 會依序由測試邏輯重置狀態 S202、執行測試/閒置狀態 S204、選擇-資料暫存器-掃描狀態 S206，接著進入選擇-指令暫存器-掃描狀態 S256，待完成測試存取埠控制器中指令暫存器的指令的設定後，接著回到選擇-資料暫存器-掃描狀態 S206 而進入擷取-資料暫存器狀態 S208。當狀態值 TSM 為擷取-資料暫存器狀態 S208 時，測試存取埠狀態機會經由狀態致能匯流排 State_Enable_Bus 致能擷取-資料暫存器狀態致能訊號至正反器 812，以便產生掃描時脈訊號 SC。接著，狀態值 TSM 會從擷取-資料暫存器狀態 S208 依序進入離開 1-資料暫存器狀態 S212 以及暫停-資料暫存器狀態 S214。當狀態值 TSM 為暫停-資料暫存器狀態 S214 時，測試存取埠狀態機會經由狀態致能匯流排 State_Enable_Bus 致能暫停-資料暫存器狀態致能訊號，以便使位移致能訊號 SE 從低邏輯位準變換至高邏輯位準。於是，解壓縮器 114 輸出測試資料至掃描鏈電路 117，其中壓縮測試資料會被序向輸入至解串器 112，且串聯器 113 會序向輸出壓縮測試結果。當致能訊號 Shift_en 為高邏輯位準時，計數器 813 會根據測試時脈訊號 TCK 來計數測試存取埠狀態機維持在暫停-資料暫存器狀態 S214 的週期次數，以產生計數結果 CNT。接著，當計數結果 CNT 到達一特定值時，計數器 813 會產生選通訊號 Strobe，其中特定值係由第 1 圖之解串器 112 或串聯器 113 的轉換位元數所決定。接著，相應於選通訊號

Strobe，時脈閘控元件 420 會產生掃描時脈訊號 SC。如先前所描述，當來自測試裝置的一筆測試資料（test pattern）完成之後，狀態值 TSM 會由暫停-資料暫存器狀態 S214 依序經由離開 2-資料暫存器狀態 S216、更新-資料暫存器狀態 S218、選擇-資料暫存器-掃描狀態 S206 至擷取-資料暫存器狀態 S208。於是，測試結果會被擷取至掃描鏈電路 117。此外，當狀態值 TSM 由暫停-資料暫存器狀態 S214 變化至離開 2-資料暫存器狀態 S216 時，測試存取埠狀態機會禁能暫停-資料暫存器狀態致能訊號 Pause-DR，於是位移致能訊號 SE 會從高邏輯位準變換至低邏輯位準。

第 10 圖係顯示根據本揭露另一實施例所述之串列式壓縮掃描訊號產生裝置 1000。串列式壓縮掃描訊號產生裝置 1000 包括控制訊號產生元件 1010、時脈閘控元件 420 以及選擇器 430。控制訊號產生元件 1010 包括正反器 1011 與 1012、計數器 1013 以及或閘 1014 與 1015。在此實施例中，正反器 1011 與 1012 為負緣觸發暫存器，而計數器 1013 為負緣觸發計數器。在此實施例中，或閘 1014 會根據狀態致能匯流排 State_Enable_Bus 上的位移-資料暫存器狀態致能訊號與暫停-資料暫存器狀態致能訊號 Pause-DR 而產生訊號 S4。當測試時脈訊號 TCK 的負緣觸發時，正反器 1011 會根據訊號 S4 而產生致能訊號 Shift_en 至時脈閘控元件 420 與選擇器 430。或閘 1015 會根據狀態致能匯流排 State_Enable_Bus 上的離開 1-資料暫存器狀態致能訊號 Exit1-DR 與離開 2-資料暫存器狀態致能訊號 Exit2-DR 而產

生訊號 S5。當測試時脈訊號 TCK 的負緣觸發時，正反器 1012 會根據訊號 S5 而產生擷取致能訊號 Capture_en 至時脈閘控元件 420。

第 11 圖係顯示根據本揭露一實施例所述使用第 10 圖之串列式壓縮掃描訊號產生裝置 1000 以一特定方式對第 1 圖之串列式壓縮掃描電路 110 執行掃描鏈測試的訊號波形圖。在第 11 圖中，標號 1110 係表示符合 IEEE 1149.1 介面標準之測試時脈訊號 TCK、測試模式選擇訊號 TMS 以及測試存取埠狀態機的狀態值 TSM，其中測試存取埠狀態機（例如第 1 圖之測試存取埠狀態機 130）的狀態值 TSM 的變化係依照第 2 圖中的一第四方式。此外，標號 1120 係表示符合掃描壓縮介面標準之串列式掃描時脈訊號 SSC、選通訊號 Strobe、掃描時脈訊號 SC 與位移致能訊號 SE。同時參考第 10 圖與第 11 圖，在此實施例中，選擇器 430 係根據選擇信號 SEL 而提供致能訊號 Shift_en 來作為位移致能訊號 SE。首先，狀態值 TSM 會依序由測試邏輯重置狀態 S202、執行測試/閒置狀態 S204、選擇-資料暫存器-掃描狀態 S206，接著進入選擇-指令暫存器-掃描狀態 S256，待完成測試存取埠控制器中指令暫存器的指令的設定後，接著回到選擇-資料暫存器-掃描狀態 S206、擷取-資料暫存器狀態 S208 而進入位移-資料暫存器狀態 S210。當狀態值 TSM 為位移-資料暫存器狀態 S210 時，測試存取埠狀態機會經由狀態致能匯流排 State_Enable_Bus 致能位移-資料暫存器狀態致能訊號，以便使位移致能訊號 SE 從低邏輯位準

變換至高邏輯位準。此外，解壓縮器 114 會輸出測試資料至掃描鏈電路 117，其中壓縮測試資料會被序向輸入至解串器 112，且串聯器 113 會序向輸出壓縮測試結果。當致能訊號 Shift_en 為高邏輯位準時，計數器 1013 會根據測試時脈訊號 TCK 來計數測試存取埠狀態機維持在位移-資料暫存器狀態 S210 的週期次數，以產生計數結果 CNT。接著，當計數結果 CNT 到達一特定值時，計數器 1013 會產生選通訊號 Strobe，其中特定值係由第 1 圖之解串器 112 或串聯器 113 的轉換位元數所決定。接著，相應於選通訊號 Strobe，時脈閘控元件 420 會產生掃描時脈訊號 SC。當來自測試裝置的第一筆測試資料完成之後，狀態值 TSM 會由位移-資料暫存器狀態 S210 依序經由離開 1-資料暫存器狀態 S212 進入至暫停-資料暫存器狀態 S214。此外，當狀態值 TSM 由位移-資料暫存器狀態 S210 變化至離開 1-資料暫存器狀態 S212 時，測試存取埠狀態機會禁能位移-資料暫存器狀態致能訊號 Shift-DR，於是位移致能訊號 SE 會從高邏輯位準變換至低邏輯位準。具體而言，測試裝置透過耦接於串列式壓縮掃描訊號產生裝置 1000 之測試存取埠（例如第 1 圖之測試存取埠 150），可在時間週期 P1 傳送串列式壓縮掃瞄指令。接著，串列式壓縮掃描訊號產生裝置 1000 會在時間週期 P2 進行掃瞄位移，將測試資料傳遞至第 1 圖之串列式壓縮掃描電路 110 的並列式複數掃描鏈電路 117，同時傳遞出儲存於第 1 圖之串列式壓縮掃描電路 110 的測試結果資料。接著，在時間週期 P3，待測電路

的測試結果，透過擷取儲存於第 1 圖之串列式壓縮掃描電路 110 的並列式複數掃描鏈電路 117 中。接著，狀態值 TSM 會由離開 1-資料暫存器狀態 S212 變化至暫停-資料暫存器狀態 S214。當狀態值 TSM 為暫停-資料暫存器狀態 S214 時，測試存取埠狀態機會經由狀態致能匯流排 State_Enable_Bus 致能暫停-資料暫存器狀態致能訊號，以便使位移致能訊號 SE 從低邏輯位準變換至高邏輯位準。於是，計數器 1013 會根據測試時脈訊號 TCK 來計數測試存取埠狀態機維持在暫停-資料暫存器狀態 S214 的週期次數，以產生計數結果 CNT。此外，解壓縮器 114 會輸出測試資料至掃描鏈電路 117，其中壓縮測試資料會被序向輸入至解串器 112，且串聯器 113 會序向輸出壓縮測試結果。接著，當計數結果 CNT 到達特定值時，計數器 1013 會產生選通訊號 Strobe。接著，相應於選通訊號 Strobe，時脈閘控元件 420 會產生掃描時脈訊號 SC。因此，當來自測試裝置的第二筆測試資料完成之後，狀態值 TSM 會由暫停-資料暫存器狀態 S214 依序經由離開 2-資料暫存器狀態 S216、更新-資料暫存器狀態 S218、選擇-資料暫存器-掃描狀態 S206 至擷取-資料暫存器狀態 S208。此外，當狀態值 TSM 由暫停-資料暫存器狀態 S214 變化至離開 2-資料暫存器狀態 S216 時，測試存取埠狀態機會禁能暫停-資料暫存器狀態致能訊號 Pause-DR，於是位移致能訊號 SE 會從高邏輯位準變換至低邏輯位準。具體而言，串列式壓縮掃描訊號產生裝置 1000 會在時間週期 P4 進行第二筆測試資料

之掃瞄位移。接著，在時間週期P5，測試裝置可經由測試存取埠擷取測試結果。

第12圖係顯示根據本揭露一實施例所述之串列式壓縮掃描訊號產生裝置 1200。串列式壓縮掃描訊號產生裝置1200包括控制訊號產生元件1210、時脈閘控元件420以及選擇器 430。控制訊號產生元件 1210 包括反或閘（NOR gate）1211與1212、或閘1213以及正反器1214-1217。在此實施例中，正反器 1215-1217 為負緣觸發暫存器，而正反器1214為正緣觸發暫存器。選擇性測試重置訊號TRST可對正反器1214-1217進行重置。反或閘1211會根據狀態致能匯流排State_Enable_Bus上的暫停-資料暫存器狀態致能訊號以及測試模式選擇訊號TMS而產生訊號S6至正反器1214。當測試時脈訊號TCK的正緣觸發時，正反器1214會根據訊號S6而產生訊號S7至反或閘1212，其中訊號S7可視為旗標暫停-資料暫存器狀態致能訊號。當測試時脈訊號TCK的負緣觸發時，正反器1217會根據訊號S7而產生擷取致能訊號Capture_en至時脈閘控元件420。此外，反或閘1212會根據狀態致能匯流排State_Enable_Bus上的暫停-資料暫存器狀態致能訊號以及訊號S7而產生訊號S9至正反器1216以及或閘1213。當測試時脈訊號TCK的負緣觸發時，正反器 1216 會根據訊號 S9 而產生選通訊號Strobe。或閘 1213 會根據訊號 S9 以及狀態致能匯流排State_Enable_Bus 上的位移-資料暫存器狀態致能訊號、離開1-資料暫存器狀態致能訊號與離開2-資料暫存器狀態致

能訊號而產生訊號 S8 至正反器 1215 。當測試時脈訊號 TCK 的負緣觸發時，正反器 1215 會根據訊號 S8 而產生致能訊號 Shift_en 至時脈閘控元件 420。

第 13 圖係顯示根據本揭露一實施例所述使用第 12 圖之串列式壓縮掃描訊號產生裝置 1200 以一特定方式對第 1 圖之串列式壓縮掃描電路 110 執行掃描鏈測試的訊號波形圖。在第 13 圖中，標號 1310 係表示符合 IEEE 1149.1 介面標準之測試時脈訊號 TCK、測試模式選擇訊號 TMS 以及測試存取埠狀態機的狀態值 TSM，其中測試存取埠狀態機（例如第 1 圖之測試存取埠狀態機 130）的狀態值 TSM 的變化係依照第 2 圖中的一第五方式。此外，標號 1320 係表示符合掃描壓縮介面標準之串列式掃描時脈訊號 SSC、選通訊號 Strobe、掃描時脈訊號 SC 與位移致能訊號 SE。同時參考第 12 圖與第 13 圖，在此實施例中，選擇器 430 係根據選擇信號 SEL 而提供致能訊號 Shift_en 來作為位移致能訊號 SE。首先，狀態值 TSM 會依序由測試邏輯重置狀態 S202、執行測試/閒置狀態 S204、選擇-資料暫存器-掃描狀態 S206，接著進入選擇-指令暫存器-掃描狀態 S256，待完成測試存取埠控制器中指令暫存器的指令的設定後，接著回到選擇-資料暫存器-掃描狀態 S206、擷取-資料暫存器狀態 S208 而進入位移-資料暫存器狀態 S210。當狀態值 TSM 為位移-資料暫存器狀態 S210 時，測試存取埠狀態機會經由狀態致能匯流排 State_Enable_Bus 致能位移-資料暫存器狀態致能訊號，以便使位移致能訊號 SE 從低邏輯位準

變換至高邏輯位準。接著，測試存取埠狀態機會繼續維持在位移-資料暫存器狀態 S210，直到進入離開 1-資料暫存器狀態 S212。當狀態值 TSM 為離開 1-資料暫存器狀態 S212 時，測試存取埠狀態機會經由狀態致能匯流排 State_Enable_Bus 致能離開 1-資料暫存器狀態致能訊號，以便使位移致能訊號 SE 維持在高邏輯位準。接著，狀態值 TSM 會由離開 1-資料暫存器狀態 S212 進入至暫停-資料暫存器狀態 S214。當狀態值 TSM 為暫停-資料暫存器狀態 S214 時，測試存取埠狀態機會經由狀態致能匯流排 State_Enable_Bus 致能暫停-資料暫存器狀態致能訊號，以便使位移致能訊號 SE 維持在高邏輯位準並產生選通訊號 Strobe。接著，測試模式選擇訊號 TMS 為高邏輯位準，使得測試存取埠狀態機會從暫停-資料暫存器狀態 S214 進入離開 2-資料暫存器狀態 S216，測試存取埠狀態機會經由狀態致能匯流排 State_Enable_Bus 致能離開 2-資料暫存器狀態致能訊號，以便使位移致能訊號 SE 維持在高邏輯位準，接著，狀態值 TSM 會由離開 2-資料暫存器狀態 S216 再返回至位移-資料暫存器狀態 S210。接著，當測試存取埠狀態機會依序由位移-資料暫存器狀態 S210 與離開 1-資料暫存器狀態 S212 變化至暫停-資料暫存器狀態 S214 時，並且測試模式選擇訊號 TMS 為低邏輯位準，此時，測試存取埠狀態機停留在暫停-資料暫存器狀態 S214，並且位移致能訊號 SE 會由高邏輯位準變換至低邏輯位準。於是，完成了來自測試裝置的第一筆測試資料。接著，測試模式選擇訊號 TMS

為高邏輯位準，使得測試存取埠狀態機會從暫停-資料暫存器狀態 S214 進入離開 2-資料暫存器狀態 S216，測試存取埠狀態機會經由狀態致能匯流排 State_Enable_Bus 致能離開 2-資料暫存器狀態致能訊號，以便使位移致能訊號 SE 變換至高邏輯位準，以便對第二筆測試資料進行掃瞄位移。具體而言，測試裝置透過耦接於串列式壓縮掃描訊號產生裝置 1200 之測試存取埠（例如第 1 圖之測試存取埠 150），可在時間週期 P1 傳送串列式壓縮掃瞄指令。接著，串列式壓縮掃描訊號產生裝置 1200 會在時間週期 P2 進行掃瞄位移。接著，在時間週期 P3，待測電路的測試結果會透過擷取而儲存於第 1 圖之串列式壓縮掃描電路 110 的並列式複數掃描鏈電路 117 中。接著，串列式壓縮掃描訊號產生裝置 1200 會在時間週期 P4 進行第二筆測試資料之掃瞄位移。接著，在時間週期 P5，待測電路的測試結果會透過擷取而儲存於第 1 圖之串列式壓縮掃描電路 110 的並列式複數掃描鏈電路 117 中。

具體而言，在載入一串列式壓縮掃描測試指令至一測試存取埠之一指令暫存器之後，當該測試存取埠有限狀態機轉換至一位移-資料暫存器狀態、一暫停-資料暫存器狀態、一離開 1-資料暫存器狀態或一離開 2-資料暫存器狀態時，則藉由一串列式壓縮掃描裝置之一解串器，序向輸入一壓縮測試資料，並且藉由該串列式壓縮掃描裝置之一串聯器，序向輸出一壓縮測試結果。當該測試存取埠有限狀態機從該離開 1-資料暫存器狀態轉換至該暫停-資料暫存

器狀態時，則該串列式壓縮掃描裝置之一解壓縮器輸出一測試資料至該串列式壓縮掃描裝置之複數掃描鏈，做為該等掃描鏈之輸入。該測試存取埠有限狀態機連續停留於該暫停-資料暫存器狀態至少兩次時，擷取一測試結果至該串列式壓縮掃描裝置之該等掃描鏈。

第14圖係顯示根據本揭露一實施例所述之狀態致能匯流排 State_Enable_Bus 之訊號波形圖。同時參考第 1 圖與第 14 圖，當測試存取埠狀態機 130 進入擷取-資料暫存器狀態 S208 時，擷取-資料暫存器（Capture-DR）狀態致能訊號會從低邏輯位準變為高邏輯位準，而其他狀態致能訊號仍維持為低邏輯位準。接著，當測試存取埠狀態機 130 從擷取-資料暫存器狀態 S208 進入位移-資料暫存器狀態 S210 時，擷取-資料暫存器狀態致能訊號會從高邏輯位準變為低邏輯位準，而位移-資料暫存器（Shift-DR）狀態致能訊號會從低邏輯位準變為高邏輯位準，以此類推。在另一實施例中，狀態致能匯流排 State_Enable_Bus 的極性與上述相反，也就是說，當測試存取埠狀態機 130 進入擷取-資料暫存器狀態 S208 時，擷取-資料暫存器狀態致能訊號會從高邏輯位準變為低邏輯位準，而其他狀態致能訊號則維持為高邏輯位準，以此類推。

本揭露實施例所提供之串列式壓縮掃描訊號產生裝置適用於一積體電路的測試整合，其可將測試存取埠的訊號轉換成符合串列式壓縮掃描測試所需之訊號，即透過測試存取埠進行串列式壓縮掃描測試。例如以 IEEE 1149.1 邊

界掃描測試(Boundary Scan Test)之測試存取埠作為測試存取的介面，並配合測試存取埠控制器的設計來說明。當在進行串列式壓縮掃描測試時，本揭露實施例所提供之串列式壓縮掃描訊號產生裝置會產生一串列式壓縮掃描電路所需之測試控制訊號，以便產生連續且不間斷的串列式掃描時脈訊號與掃描時脈訊號，來控制串列式壓縮掃描測試電路。於是，輸入到解串器中的測試資料傳遞至掃描鏈的過程，以及擷取至掃描鏈中的測試結果資料傳遞至串聯器的過程皆可以無間斷。因此，提供了無損或高轉換率之測試介面轉換電路設計與操作方法。

根據本揭露實施例，藉由執行測試介面訊號轉換，串列式壓縮掃描訊號產生裝置 120 能接受邊界掃描之測試存取埠的控制，而產生串列式壓縮掃描訊號測試所需要的訊號，以便透過邊界掃描電路來進行串列式壓縮測試。因此，能減少晶片的測試時間、測試資料量以及測試接腳而降低測試成本，並提高積體電路測試之測試整合性。

雖然本揭露已以實施例揭露如上，然其並非用以限定本揭露，任何所屬技術領域中包括通常知識者，在不脫離本揭露之精神和範圍內，當可作些許之更動與潤飾，因此本揭露之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

第 1 圖係顯示根據本揭露一實施例所述之積體電路/晶

片；

第 2 圖係顯示根據本揭露一實施例所述之第 1 圖中測試存取埠狀態機之狀態圖；

第 3 圖係顯示根據本揭露一實施例所述之串列式壓縮掃描訊號產生裝置；

第 4 圖係顯示根據本揭露另一實施例所述之串列式壓縮掃描訊號產生裝置；

第 5 圖係顯示根據本揭露一實施例所述使用第 4 圖之串列式壓縮掃描訊號產生裝置以一特定方式對第 1 圖之串列式壓縮掃描電路執行掃描鏈測試的訊號波形圖；

第 6 圖係顯示根據本揭露另一實施例所述之串列式壓縮掃描訊號產生裝置；

第 7 圖係顯示根據本揭露一實施例所述使用第 6 圖之串列式壓縮掃描訊號產生裝置以一特定方式對第 1 圖之串列式壓縮掃描電路執行掃描鏈測試的訊號波形圖；

第 8 圖係顯示根據本揭露另一實施例所述之串列式壓縮掃描訊號產生裝置；

第 9 圖係顯示根據本揭露一實施例所述使用第 8 圖之串列式壓縮掃描訊號產生裝置以一特定方式對第 1 圖之串列式壓縮掃描電路執行掃描鏈測試的訊號波形圖；

第 10 圖係顯示根據本揭露另一實施例所述之串列式壓縮掃描訊號產生裝置；

第 11 圖係顯示根據本揭露一實施例所述使用第 10 圖之串列式壓縮掃描訊號產生裝置以一特定方式對第 1 圖之

串列式壓縮掃描電路執行掃描鏈測試的訊號波形圖；

第12圖係顯示根據本揭露另一實施例所述之串列式壓縮掃描訊號產生裝置；

第13圖係顯示根據本揭露一實施例所述使用第12圖之串列式壓縮掃描訊號產生裝置以一特定方式對第1圖之串列式壓縮掃描電路執行掃描鏈測試的訊號波形圖；以及

第14圖係顯示根據本揭露一實施例所述之狀態致能匯流排之訊號波形圖。

【主要元件符號說明】

100～積體電路；

110～串列式壓縮掃描電路；

112～解串器；

113～串聯器；

114～解壓縮器；

115～壓縮器；

116～待測電路；

117～掃描鏈電路；

120、300、400、600、800、1000、1200～串列式壓縮掃描訊號產生裝置；

130～測試存取埠狀態機；

140～多工器；

150～測試存取埠；

310、410、610、810、1010、1210～控制訊號產生元件；

320、420～時脈閘控元件；

330、430～選擇器；

411、412、421、1014、1015、1213～或閘；

413-415、611-612、811-812、1011-1012、1214-1217～正反器；

618、813、1013～計數器；

422、423～及閘；

1211、1212～反或閘；

Capture-DR～擷取-資料暫存器狀態致能訊號；

Capture_en～擷取致能訊號；

CNT～計數結果；

Ctrl～控制訊號；

D1-D4～資料；

Exit1-DR～離開 1-資料暫存器狀態致能訊號；

Exit2-DR～離開 2-資料暫存器狀態致能訊號；

Pause-DR～暫停-資料暫存器狀態致能訊號；

S1-S9～信號；

S202～測試邏輯重置狀態；

S204～執行測試/閒置狀態；

S206～選擇-資料暫存器-掃描狀態；

S208～擷取-資料暫存器狀態；

S210～位移-資料暫存器狀態；

S212～離開 1-資料暫存器狀態；

S214～暫停-資料暫存器狀態；

S216～離開 2-資料暫存器狀態；

S218～更新-資料暫存器狀態；

S256～選擇-指令暫存器-掃描狀態；

S258～擷取-指令暫存器狀態；

S260～位移-指令暫存器狀態；

S262～離開 1-指令暫存器狀態；

S264～暫停-指令暫存器狀態；

S266～離開 2-指令暫存器狀態；

S268～更新-指令暫存器狀態；

SC～掃描時脈訊號；

SE～位移致能訊號；

SEL～選擇訊號；

Shift-DR～位移-資料暫存器狀態致能訊號；

Shift_en～致能訊號；

SSC～串列式掃描時脈訊號；

SSI～串列式掃描資料輸入訊號；

SSO～串列式掃描資料輸出訊號；

Strobe～選通訊號；

State_Enable_Bus～狀態致能匯流排；

TCK～測試時脈訊號；

TDI～測試資料輸入訊號；

TDO～測試資料輸出訊號；

TMS～測試模式選擇訊號；以及

TRST～選擇性測試重置訊號。

(104年3月2日修正替換頁)(本)

七、申請專利範圍：

1.一種積體電路裝置，用以產生串列式壓縮掃描電路所需要的輸入控制訊號，包括：

一時脈輸入埠，用以接收週期性振盪之一時脈輸入訊號；

一狀態致能匯流排，用以接收至少一狀態致能訊號；

一控制訊號產生元件，接收該狀態致能匯流排之該狀態致能訊號與該時脈輸入訊號，以輸出一位移致能訊號、一擷取致能訊號與一選通訊號；以及

一時脈閘控元件，該時脈閘控元件電性連接至該控制訊號產生元件以接收該位移致能訊號、該擷取致能訊號與該選通訊號，

其中當該位移致能訊號被致能時，該時脈閘控元件將該時脈輸入訊號作為一串列式掃描時脈訊號，以及當該選通訊號或該擷取致能訊號被致能時，該時脈閘控元件將該時脈輸入訊號作為一掃描時脈訊號。

2. 如申請專利範圍第 1 項所述之積體電路裝置，其中該控制訊號產生元件包括:

一第一負緣觸發暫存器，其中該第一負緣觸發暫存器接收該狀態致能匯流排之一離開 1-資料暫存器狀態致能訊號、一離開 2-資料暫存器狀態致能訊號、一位移-資料暫存器狀態致能訊號與一暫停-資料暫存器狀態致能訊號，以及當該離開 1-資料暫存器狀態致能訊號、該離開 2-資料暫存器狀態致能訊號、該位移-資料暫存器狀態致能訊號或該暫

停-資料暫存器狀態致能訊號被致能且該時脈輸入訊號為負緣觸發時，則致能該位移致能訊號；

一第二負緣觸發暫存器，其中該第二負緣觸發暫存器接收該狀態致能匯流排之一擷取-資料暫存器狀態致能訊號，以及當該擷取-資料暫存器狀態致能訊號被致能且該時脈輸入訊號為負緣觸發時，則致能該擷取致能訊號；以及

一第三負緣觸發暫存器，其中該第三負緣觸發暫存器接收該狀態致能匯流排之該離開 1-資料暫存器狀態致能訊號與該離開 2-資料暫存器狀態致能訊號，當該離開 1-資料暫存器狀態致能訊號或該離開 2-資料暫存器狀態致能訊號被致能且該時脈輸入訊號為負緣觸發時，則致能該選通訊號。

3. 如申請專利範圍第 2 項所述之積體電路裝置，其中上述第一、第二與第三負緣觸發暫存器係由一選擇性測試重置訊號所重置。

4. 如申請專利範圍第 1 項所述之積體電路裝置，其中該時脈閘控元件由及閘與或閘組合而成。

5. 如申請專利範圍第 1 項所述之積體電路裝置，其中該時脈閘控元件為邏輯電路。

6. 如申請專利範圍第 1 項所述之積體電路裝置，其中該控制訊號產生元件包含:

一第四負緣觸發暫存器，其中該第四負緣觸發暫存器接收一第一致能訊號，當該第一致能訊號被致能且該時脈輸入訊號負緣觸發時，則致能該位移致能訊號；

一第五負緣觸發暫存器，其中該第五負緣觸發暫存器接收一第二致能訊號，當該第二致能訊號被致能且該時脈輸入訊號負緣觸發時，則致能該擷取致能訊號；

一第一負緣觸發計數器，其中該第一負緣觸發計數器接收該位移致能訊號，當該位移致能訊號被禁能時，重置該第一負緣觸發計數器為一初始值，而當該位移致能訊號被致能且該時脈輸入訊號負緣觸發時，啟動該第一負緣觸發計數器由一第一值至一第二值的循環計數，其中該第二值與該第一值的一差值為一串聯器或一解串器的位元數減一。

7. 如申請專利範圍第 6 項所述之積體電路裝置，其中該第一致能訊號為該狀態致能匯流排之一位移-資料暫存器狀態致能訊號。

8. 如申請專利範圍第 6 項所述之積體電路裝置，其中該第一致能訊號為該狀態致能匯流排之一暫停-資料暫存器狀態致能訊號。

9. 如申請專利範圍第 6 項所述之積體電路裝置，其中該第二致能訊號為該狀態致能匯流排之一擷取-資料暫存器狀態致能訊號。

10. 如申請專利範圍第 6 項所述之積體電路裝置，更包含：

一第一或閘，具有一第一輸入端用以接收該狀態致能匯流排之一位移-資料暫存器狀態致能訊號、一第二輸入端用以接收該狀態致能匯流排之一暫停-資料暫存器狀態致

能訊號，以及一第一輸出端用以提供該第一致能訊號；以及

一第二或閘，具有一第三輸入端用以接收該狀態致能匯流排之一離開 1-資料暫存器狀態致能訊號、一第四輸入端用以接收該狀態致能匯流排之一離開 2-資料暫存器狀態致能訊號，以及一第二輸出端用以提供該第二致能訊號。

11. 如申請專利範圍第 6 項所述之積體電路裝置，其中上述第四與第五負緣觸發暫存器以及上述第一負緣觸發計數器係由一選擇性測試重置訊號所重置。

12. 一種積體電路的控制方法，適用於一串列式壓縮掃描訊號產生裝置之一測試存取埠有限狀態機，包括：

載入一串列式壓縮掃描測試指令至一測試存取埠控制器之一指令暫存器；

藉由一串列式壓縮掃描裝置之一解串器，序向輸入一壓縮測試資料，並且藉由該串列式壓縮掃描裝置之一串聯器，序向輸出一壓縮測試結果；

轉換該測試存取埠有限狀態機至一位移-資料暫存器狀態或一暫停-資料暫存器狀態，使得該壓縮測試資料序向輸入至該串列式壓縮掃描裝置之該解串器，並且由該串列式壓縮掃描裝置之該串聯器序向輸出該壓縮測試結果；

轉換該測試存取埠有限狀態機至一離開 1-資料暫存器狀態或一離開 2-資料暫存器狀態，使得該串列式壓縮掃描裝置之一解壓縮器輸出一測試資料至該串列式壓縮掃描裝置之複數掃描鏈電路，做為該等掃描鏈電路之輸入，以及

一下一壓縮測試資料序向輸入至該串列式壓縮掃描裝置之該解串器，其中該串列式壓縮掃描裝置之該串聯器序向輸出該壓縮測試結果；以及

轉換該測試存取埠有限狀態機至一擷取-資料暫存器狀態，以擷取一測試結果至該串列式壓縮掃描裝置之該等掃描鏈電路。

13. 一種積體電路的控制方法，適用於一串列式壓縮掃描訊號產生裝置之一測試存取埠有限狀態機，包括：

載入一串列式壓縮掃描測試指令至一測試存取埠之一指令暫存器；

藉由一串列式壓縮掃描裝置之一解串器，序向輸入一壓縮測試資料，並且藉由該串列式壓縮掃描裝置之一串聯器，序向輸出一壓縮測試結果；

轉換該測試存取埠有限狀態機至一位移-資料暫存器狀態，使得該串列式壓縮掃描裝置之一解壓縮器輸出一測試資料至該串列式壓縮掃描裝置之複數掃描鏈電路，做為該等掃描鏈電路之輸入，其中該壓縮測試資料序向輸入至該串列式壓縮掃描裝置之該解串器，並且由該串列式壓縮掃描裝置之該串聯器序向輸出該壓縮測試結果；以及

轉換該測試存取埠有限狀態機至一擷取-資料暫存器狀態，以擷取一測試結果至該串列式壓縮掃描裝置之該等掃描鏈電路。

14. 一種積體電路的控制方法，適用於一串列式壓縮掃描訊號產生裝置之一測試存取埠有限狀態機，包括：

載入一串列式壓縮掃描測試指令至一測試存取埠之一指令暫存器；

藉由一串列式壓縮掃描裝置之一解串器，序向輸入一壓縮測試資料，並且藉由該串列式壓縮掃描裝置之一串聯器，序向輸出一壓縮測試結果；

轉換該測試存取埠有限狀態機至一暫停-資料暫存器狀態，使得該串列式壓縮掃描裝置之一解壓縮器輸出一測試資料至該串列式壓縮掃描裝置之複數掃描鏈電路，做為該等掃描鏈電路之輸入，其中該壓縮測試資料序向輸入至該串列式壓縮掃描裝置之該解串器，並且由該串列式壓縮掃描裝置之該串聯器序向輸出該壓縮測試結果；以及

轉換該測試存取埠有限狀態機至一擷取-資料暫存器狀態，以擷取一測試結果至該串列式壓縮掃描裝置之該等掃描鏈電路。

15. 一種積體電路的控制方法，適用於一串列式壓縮掃描訊號產生裝置之一測試存取埠有限狀態機，包括：

載入一串列式壓縮掃描測試指令至一測試存取埠之一指令暫存器；

藉由一串列式壓縮掃描裝置之一解串器，序向輸入一壓縮測試資料，並且藉由該串列式壓縮掃描裝置之一串聯器，序向輸出一壓縮測試結果；

轉換該測試存取埠有限狀態機至一位移-資料暫存器狀態或一暫停-資料暫存器狀態，使得該串列式壓縮掃描裝置之一解壓縮器輸出一測試資料至該串列式壓縮掃描裝置

之複數掃描鏈電路，做為該等掃描鏈電路之輸入，其中該壓縮測試資料序向輸入至該串列式壓縮掃描裝置之該解串器，並且由該串列式壓縮掃描裝置之該串聯器序向輸出該壓縮測試結果；以及

轉換該測試存取埠有限狀態機至一離開 1-資料暫存器狀態或一離開 2-資料暫存器狀態，以擷取一測試結果至該串列式壓縮掃描裝置之該等掃描鏈電路。

16. 一種積體電路裝置，用以產生串列式壓縮掃描電路所需要的輸入控制訊號，包括：

一時脈輸入埠，用以接收週期性振盪之一時脈輸入訊號；

一測試模式選擇訊號；

一狀態致能匯流排，用以接收至少一狀態致能訊號；

一控制訊號產生元件，接收該測試模式選擇訊號、該狀態匯流排之該狀態致能訊號與該時脈輸入訊號，用以產生一位移致能訊號、一擷取致能訊號與一選通訊號；以及

一時脈閘控元件，該時脈閘控元件接收該位移致能訊號、該擷取致能訊號與該選通訊號，

其中當該位移致能訊號被致能時，該時脈閘控元件將該時脈輸入訊號作為一串列式掃描時脈訊號，以及當該選通訊號或該擷取致能訊號被致能時，該時脈閘控元件將該時脈輸入訊號作為一掃描時脈訊號。

17. 如申請專利範圍第 16 項所述之積體電路裝置，其中該控制訊號產生元件包括:

一第一正緣觸發暫存器，其中該第一正緣觸發暫存器接收該狀態致能匯流排之一暫停-資料暫存器狀態致能訊號、一測試模式選擇訊號，以及當該暫停-資料暫存器狀態致能訊號被致能、該測試模式選擇訊號為低準位且該時脈輸入訊號正緣觸發時，則致能一旗標暫停-資料暫存器狀態致能訊號；

一第六負緣觸發暫存器，其中該第六負緣觸發暫存器接收該狀態致能匯流排之一位移-資料暫存器狀態致能訊號、一離開 1-資料暫存器狀態致能訊號、一離開 2-資料暫存器狀態致能訊號、該暫停-資料暫存器狀態致能訊號與該旗標暫停-資料暫存器狀態致能訊號，當該旗標暫停-資料暫存器狀態致能訊號被禁能以及該暫停-資料暫存器狀態致能訊號被致能或是該位移-資料暫存器狀態致能訊號、該離開 1-資料暫存器狀態致能訊號或該離開 2-資料暫存器狀態致能訊號被致能，且該時脈輸入訊號為負緣觸發時，則致能該位移致能訊號；

一第七負緣觸發暫存器，其中該第七負緣觸發暫存器接收該狀態致能匯流排之該旗標暫停-資料暫存器狀態致能訊號，當該旗標暫停-資料暫存器狀態致能訊號被致能，且該時脈輸入訊號負緣觸發時，致能該擷取致能訊號；以及

一第八負緣觸發暫存器，其中該第八負緣觸發暫存器接收該旗標暫停-資料暫存器狀態致能訊號與該暫停-資料暫存器狀態致能訊號，當該旗標暫停-資料暫存器狀態致能

訊號被禁能與該暫停-資料暫存器狀態致能訊號被致能，且該時脈輸入訊號負緣觸發時，致能該選通訊號。

18. 如申請專利範圍第 16 項所述之積體電路裝置，其中該時脈閘控元件由及閘與或閘組合而成。

19. 如申請專利範圍第 16 項所述之積體電路裝置，其中該時脈閘控元件為邏輯電路。

20. 一種積體電路的控制方法，適用於一串列式壓縮掃描訊號產生裝置之一測試存取埠有限狀態機，包括：

載入一串列式壓縮掃描測試指令至一測試存取埠之一指令暫存器；

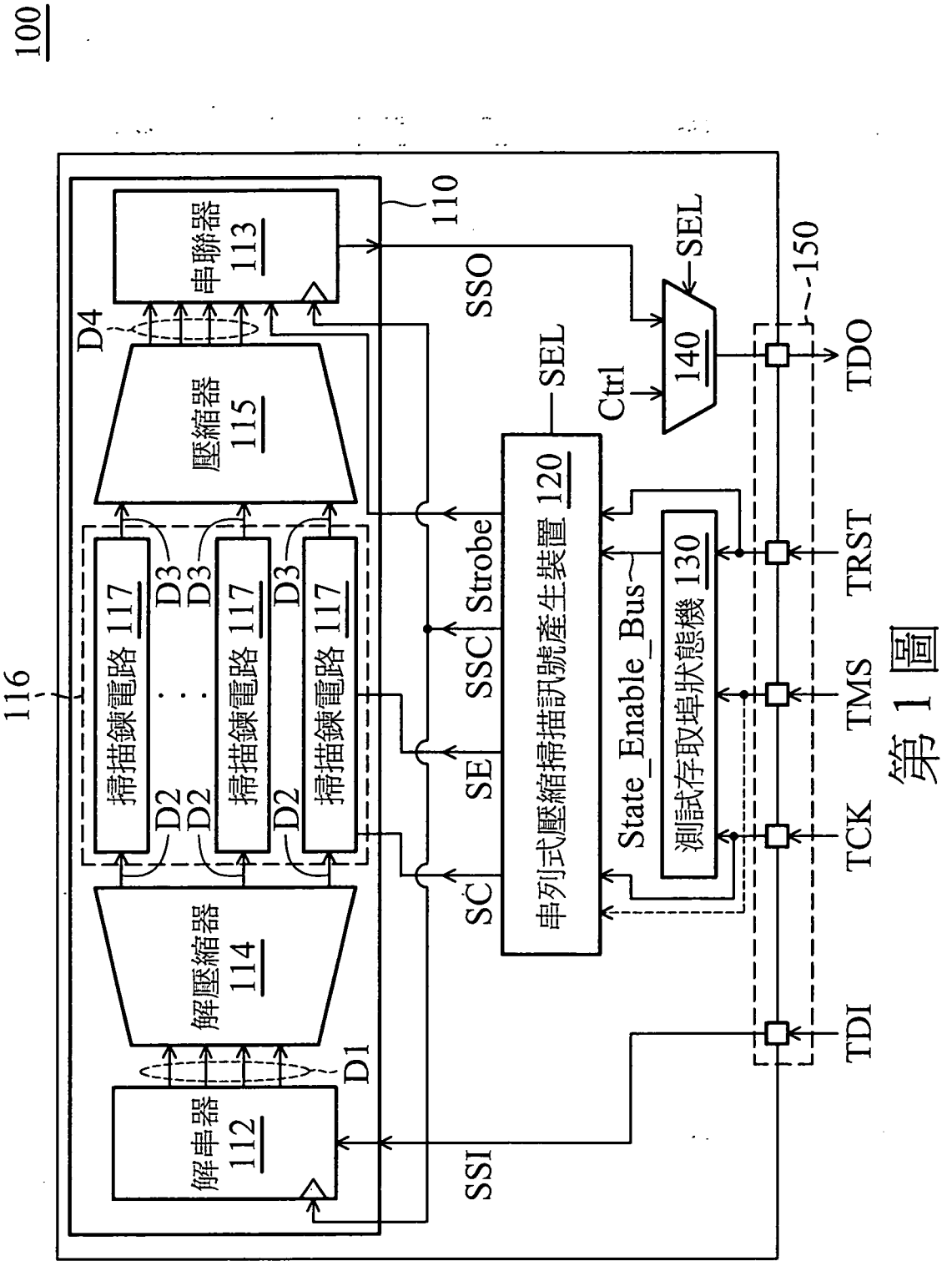
當該測試存取埠有限狀態機轉換至一位移-資料暫存器狀態、一暫停-資料暫存器狀態、一離開 1-資料暫存器狀態或一離開 2-資料暫存器狀態時，則藉由一串列式壓縮掃描裝置之一解串器，序向輸入一壓縮測試資料，並且藉由該串列式壓縮掃描裝置之一串聯器，序向輸出一壓縮測試結果；以及

當該測試存取埠有限狀態機從該離開 1-資料暫存器狀態轉換至該暫停-資料暫存器狀態時，則該串列式壓縮掃描裝置之一解壓縮器輸出一測試資料至該串列式壓縮掃描裝置之複數掃描鏈電路，做為該等掃描鏈電路之輸入。

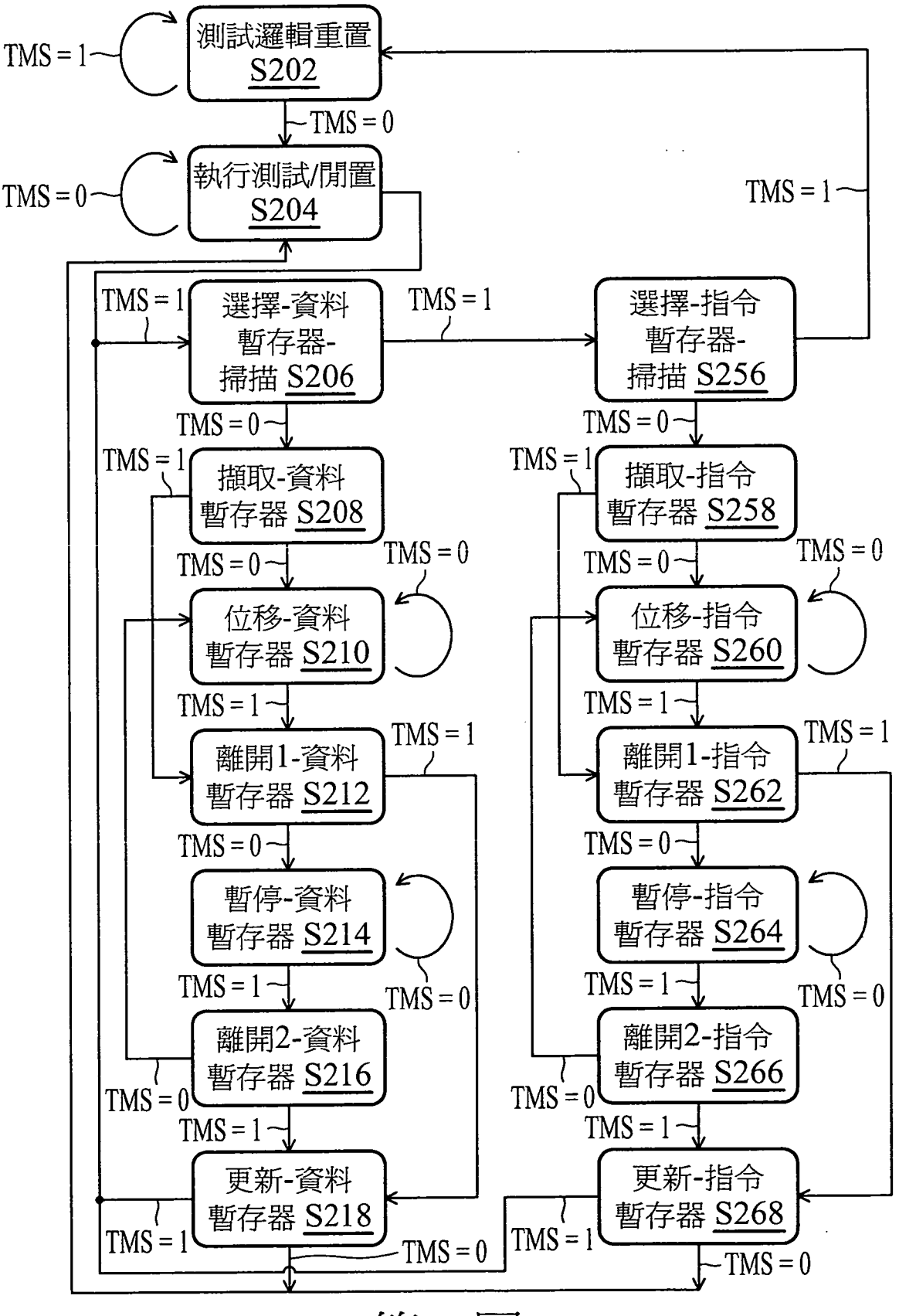
21. 如申請專利範圍第 20 項所述之控制方法，更包括：

當該測試存取埠有限狀態機連續停留於該暫停-資料暫存器狀態至少兩次時，擷取一測試結果至該串列式壓縮掃描裝置之該等掃描鏈電路。

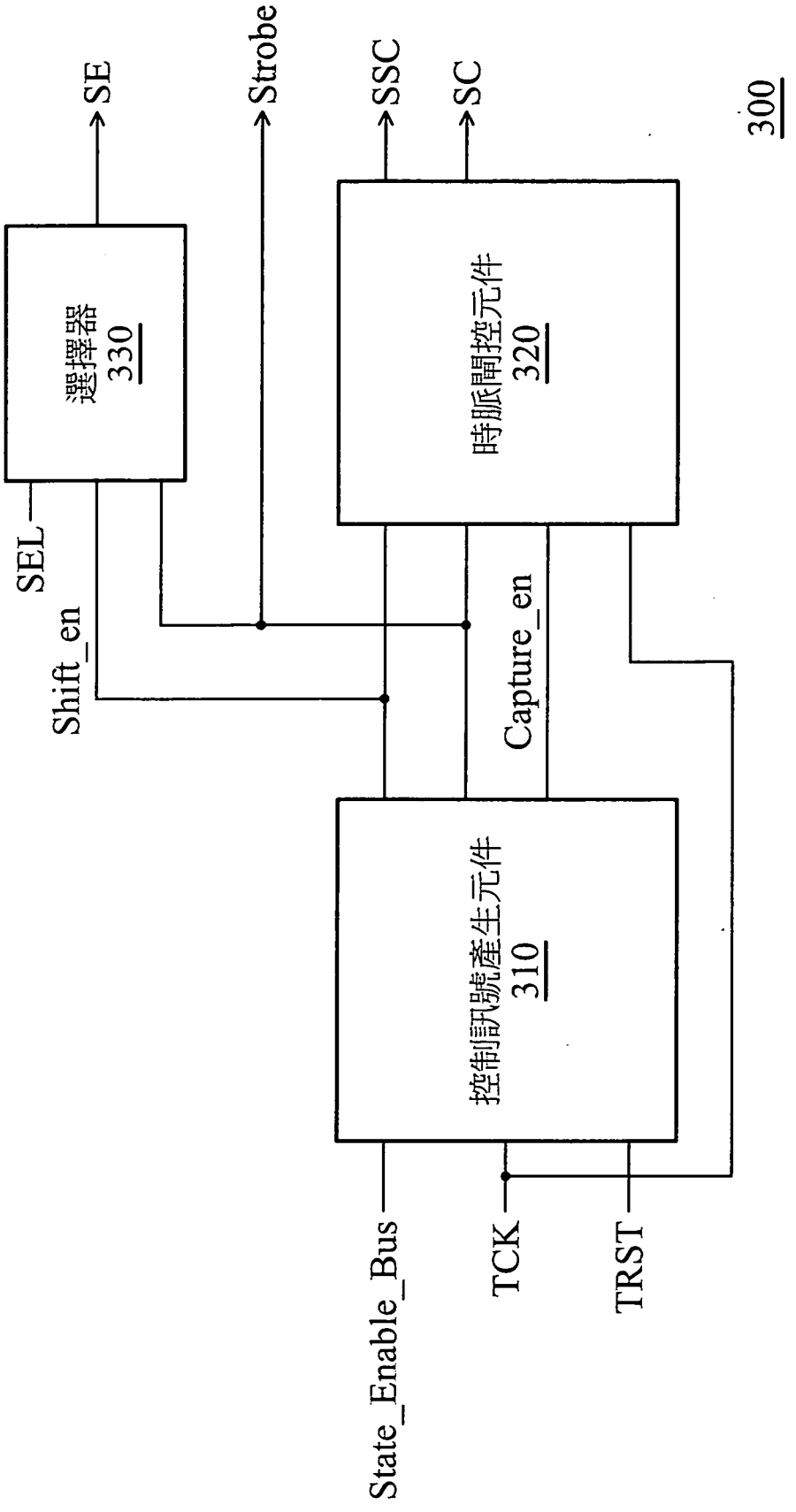
圖式


100
110
116
串聯器 113
壓縮器 115
解壓縮器 114
解串器 112
掃描鍊電路 117
掃描鍊電路 117
掃描鍊電路 117
D1
D2
D2
D2
D3
D3
D3
D4
SSI
SSO
SC
SE
SSC
Strobe
SEL
串列式壓縮掃描訊號產生裝置 120
State_Enable_Bus
測試存取埠狀態機 130
Ctrl
140
SEL
150
TDI
TCK
TMS
TRST
TDO

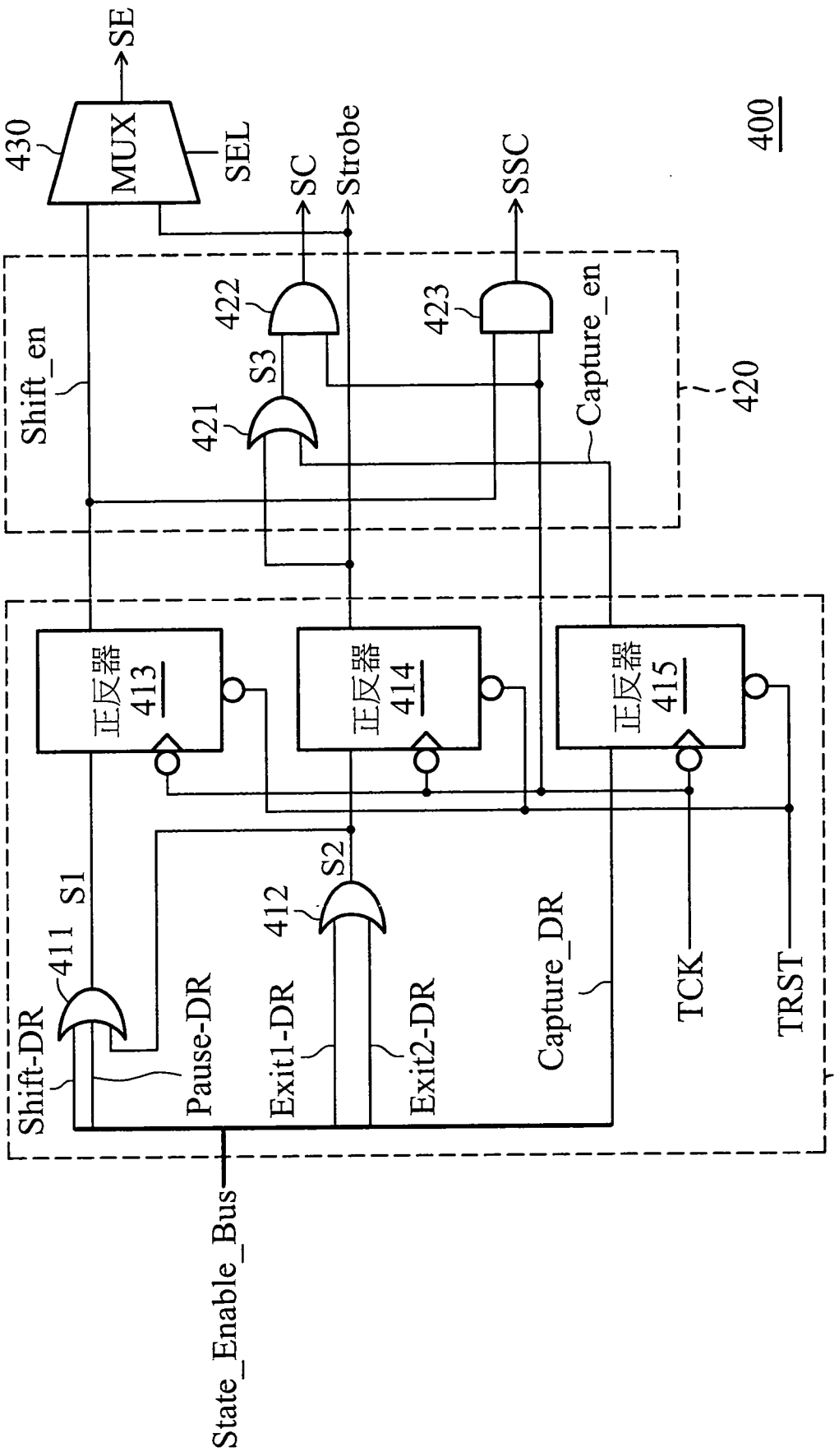
第 1 圖


測試邏輯重置 S202
執行測試/閒置 S204
選擇-資料暫存器-掃描 S206
擷取-資料暫存器 S208
位移-資料暫存器 S210
離開1-資料暫存器 S212
暫停-資料暫存器 S214
離開2-資料暫存器 S216
更新-資料暫存器 S218
選擇-指令暫存器-掃描 S256
擷取-指令暫存器 S258
位移-指令暫存器 S260
離開1-指令暫存器 S262
暫停-指令暫存器 S264
離開2-指令暫存器 S266
更新-指令暫存器 S268
TMS = 1
TMS = 0

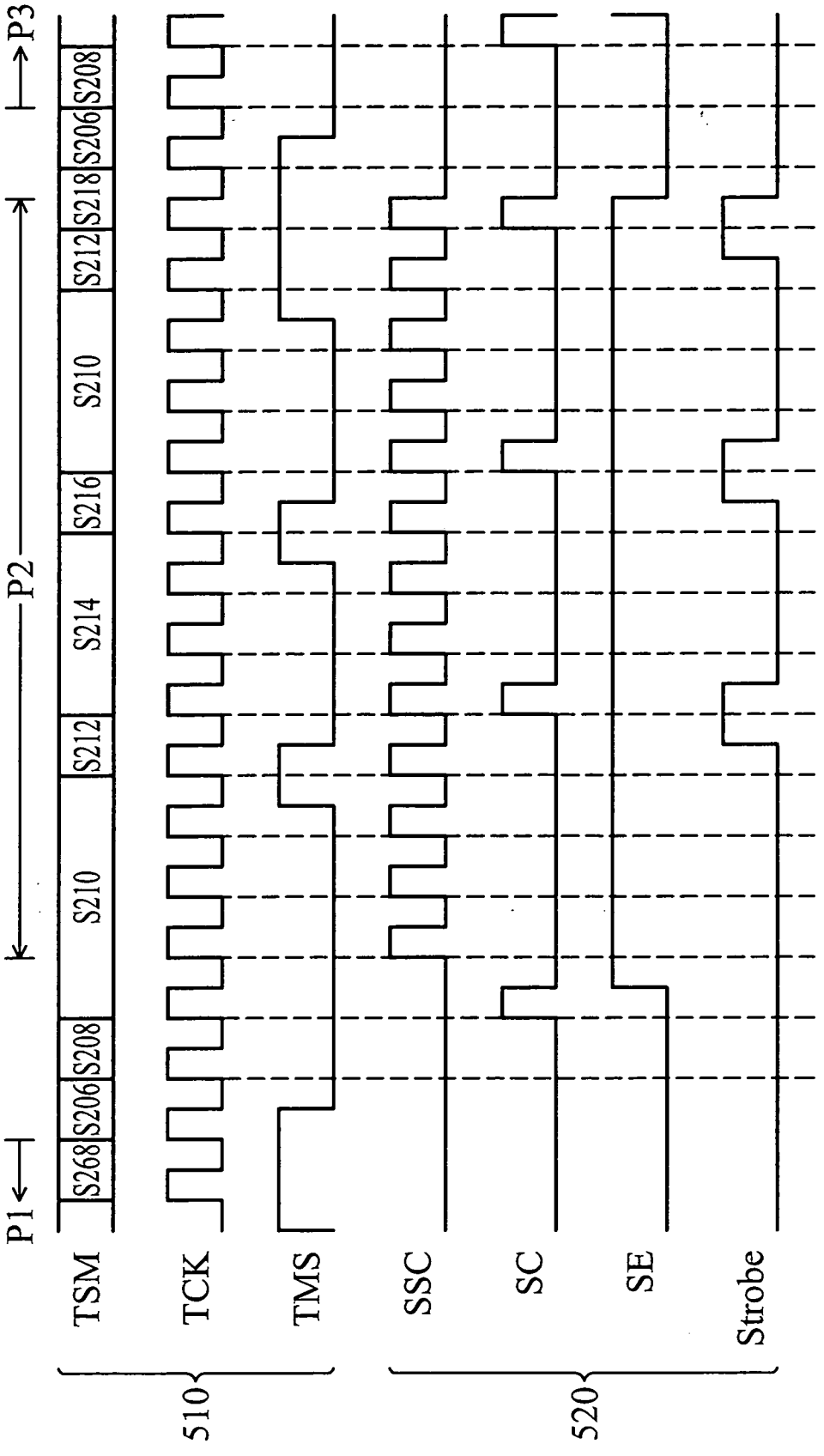
第 2 圖


300
SE
Strobe
SSC
SC
選擇器
330
時脈開控元件
320
SEL
Shift_en
Capture_en
控制訊號產生元件
310
State_Enable_Bus
TCK
TRST

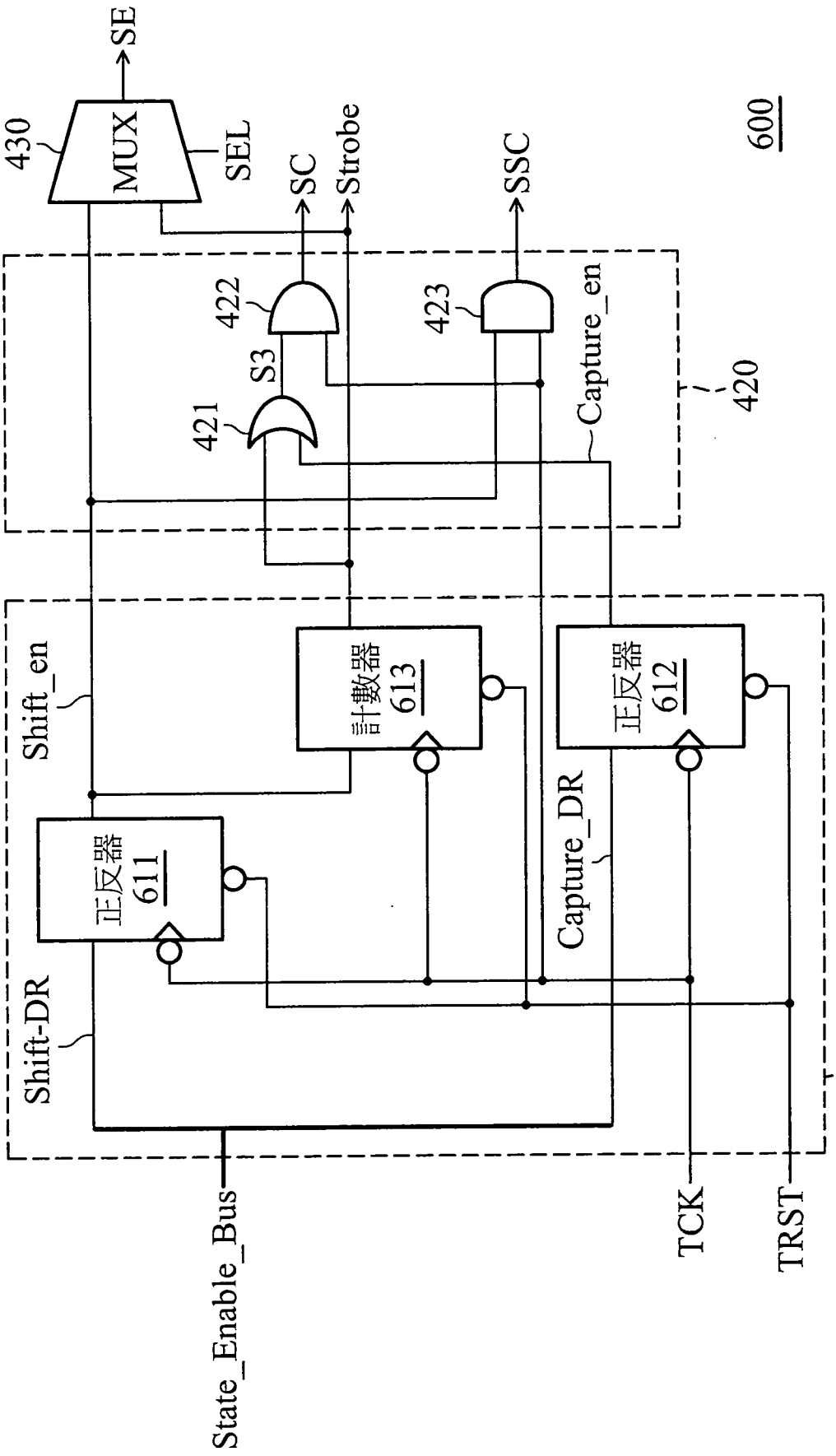
第 3 圖


400
430
MUX
SE
SEL
SC
Strobe
SSC
422
423
421
S3
Shift_en
Capture_en
420
正反器
413
正反器
414
正反器
415
411
S1
412
S2
Shift-DR
Pause-DR
Exit1-DR
Exit2-DR
Capture_DR
TCK
TRST
410
State_Enable_Bus

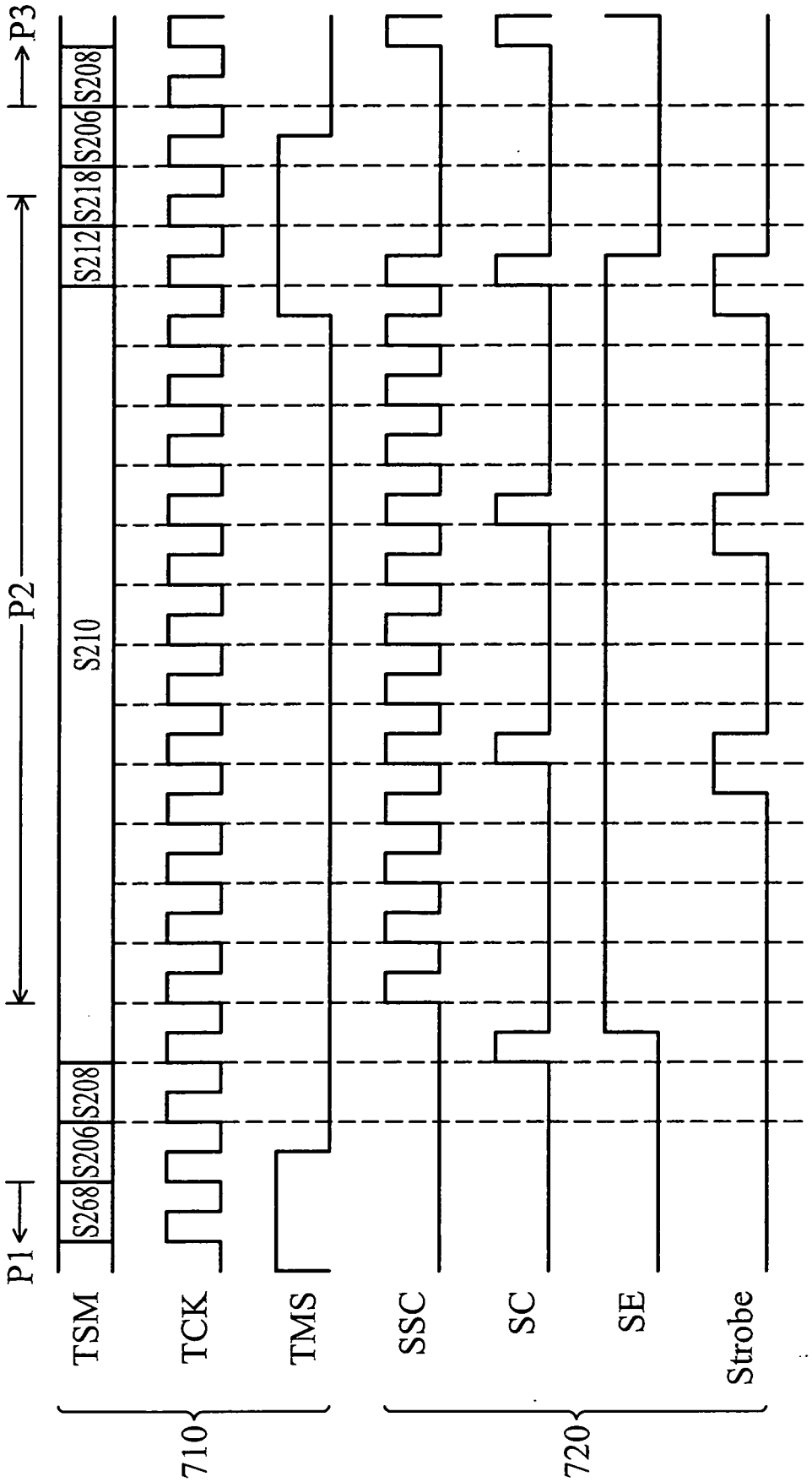
第 4 圖


P1
P2
P3
S268
S206
S208
S210
S212
S214
S216
S210
S212
S218
S206
S208
TSM
TCK
TMS
SSC
SC
SE
Strobe
510
520

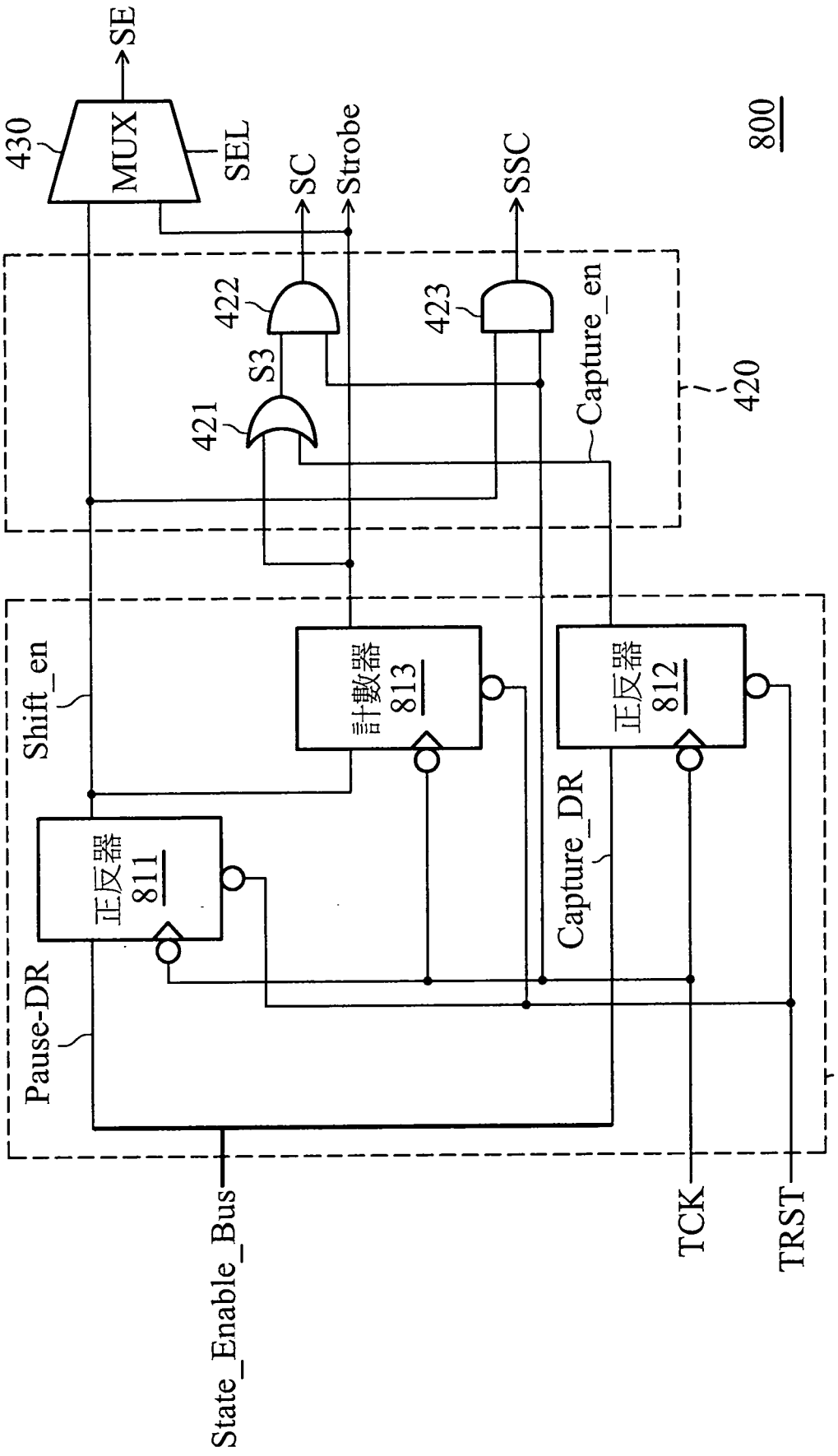
第 5 圖


600
430
MUX
SE
SEL
SC
Strobe
SSC
422
423
S3
421
420
Capture_en
Shift_en
計數器
613
正反器
612
正反器
611
Capture_DR
Shift-DR
610
State_Enable_Bus
TCK
TRST

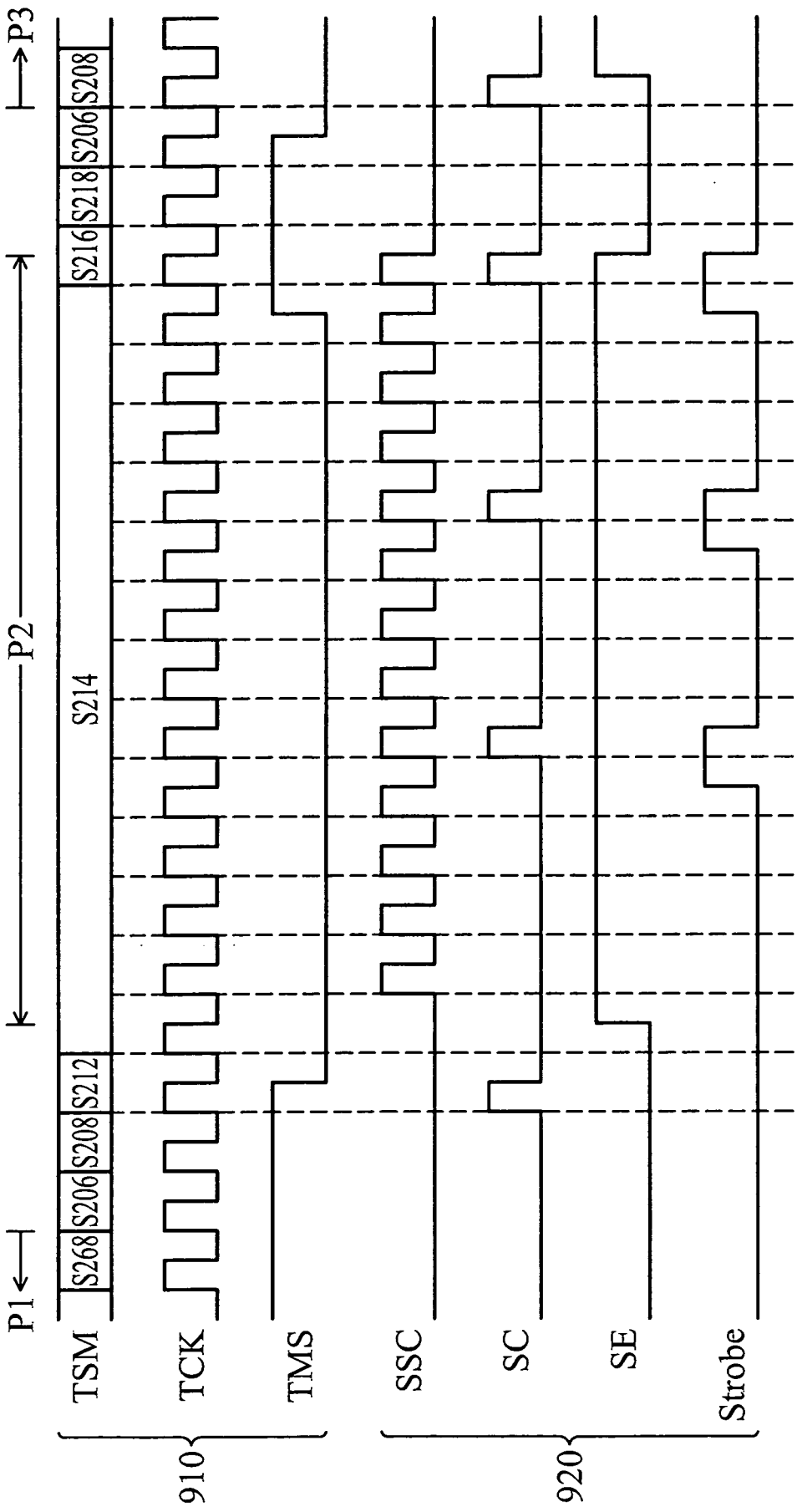
第 6 圖


P1
P2
P3
S268
S206
S208
S210
S212
S218
S206
S208
TSM
TCK
TMS
SSC
SC
SE
Strobe
710
720

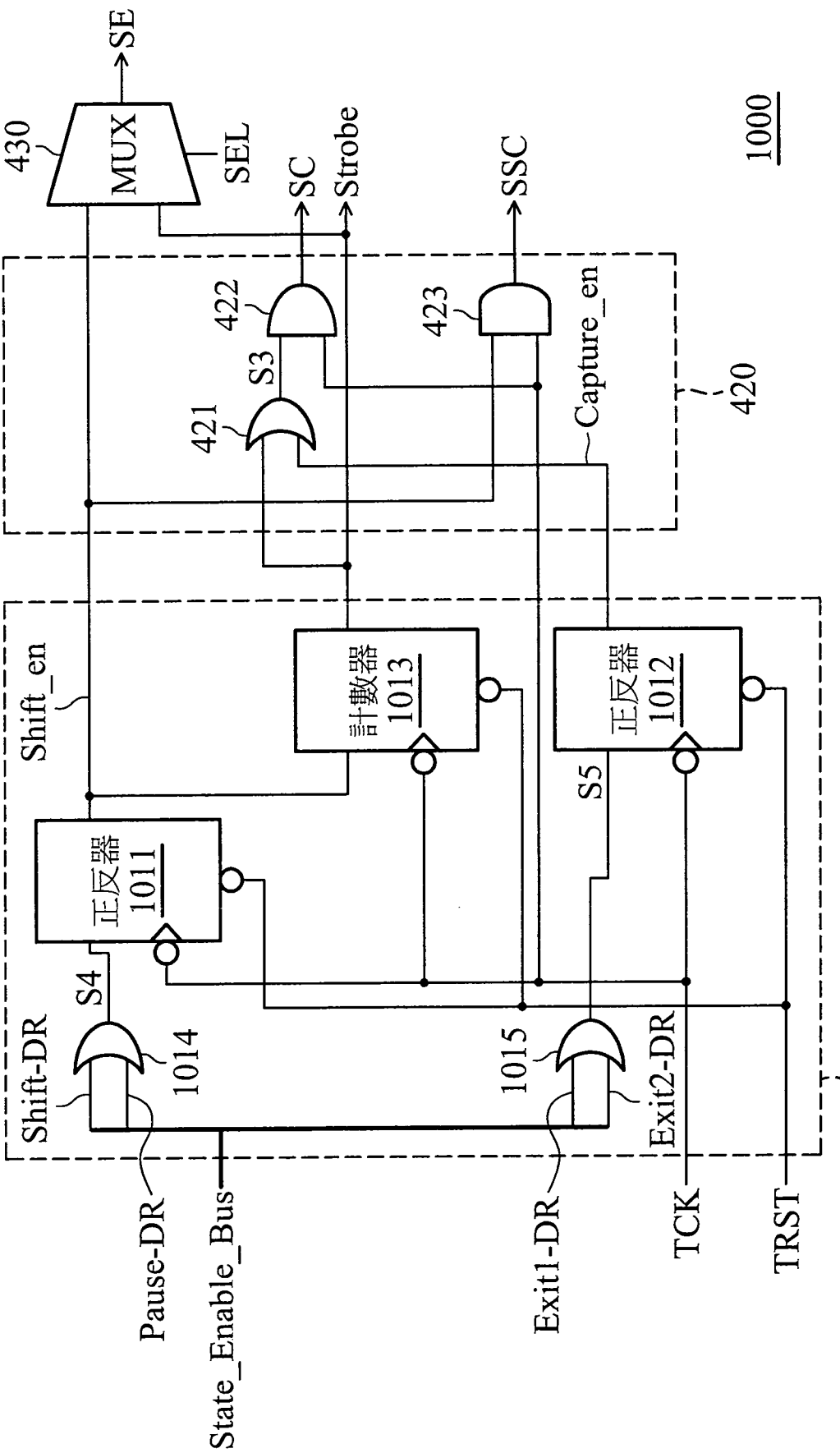
第 7 圖


800
430
MUX
SE
SEL
SC
Strobe
SSC
422
423
S3
421
Capture_en
420
Shift_en
計數器
813
正反器
812
正反器
811
Capture_DR
Pause-DR
810
State_Enable_Bus
TCK
TRST

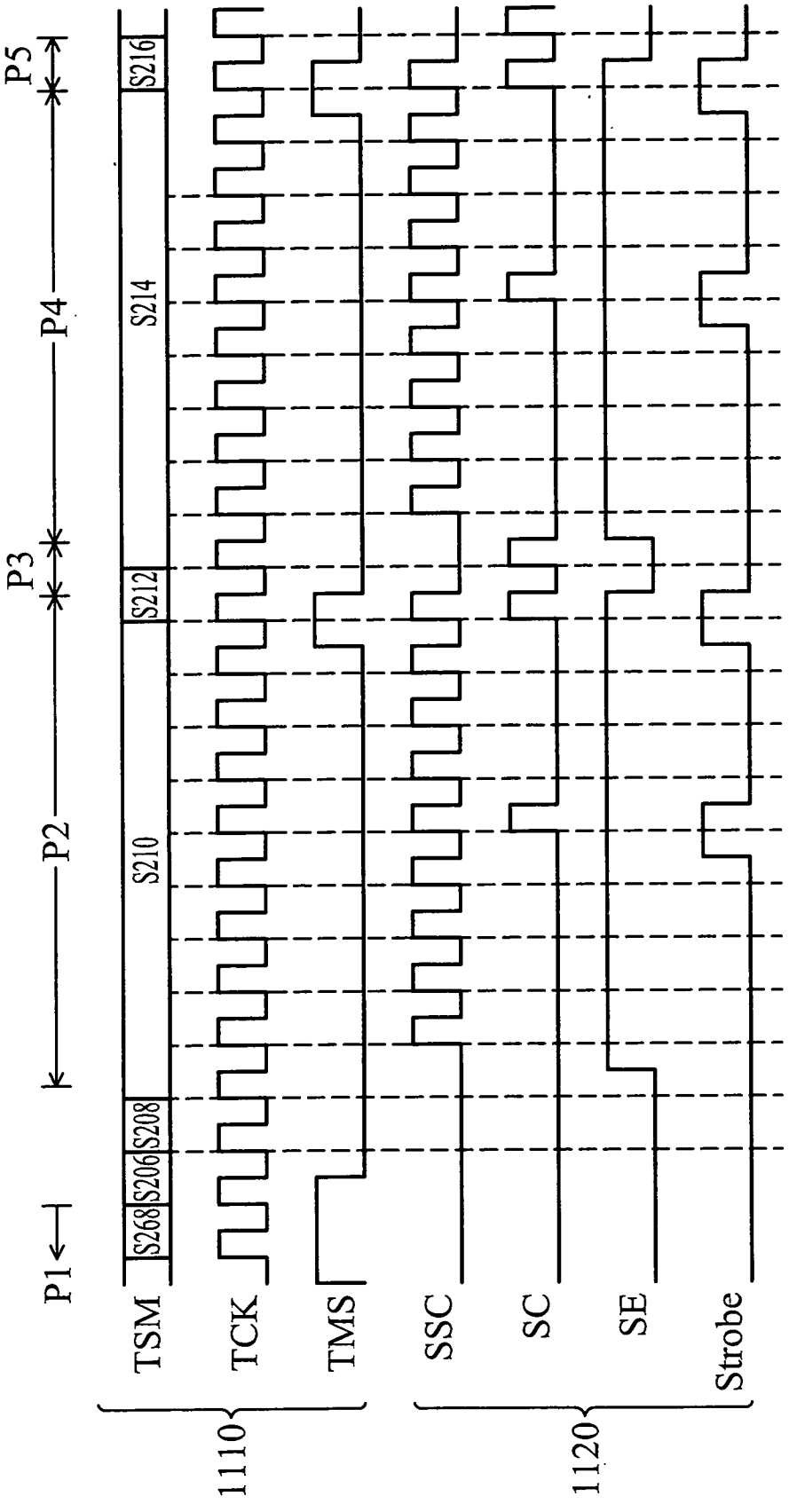
第 8 圖


P1
P2
P3
S268
S206
S208
S212
S214
S216
S218
S206
S208
TSM
TCK
TMS
SSC
SC
SE
Strobe
910
920

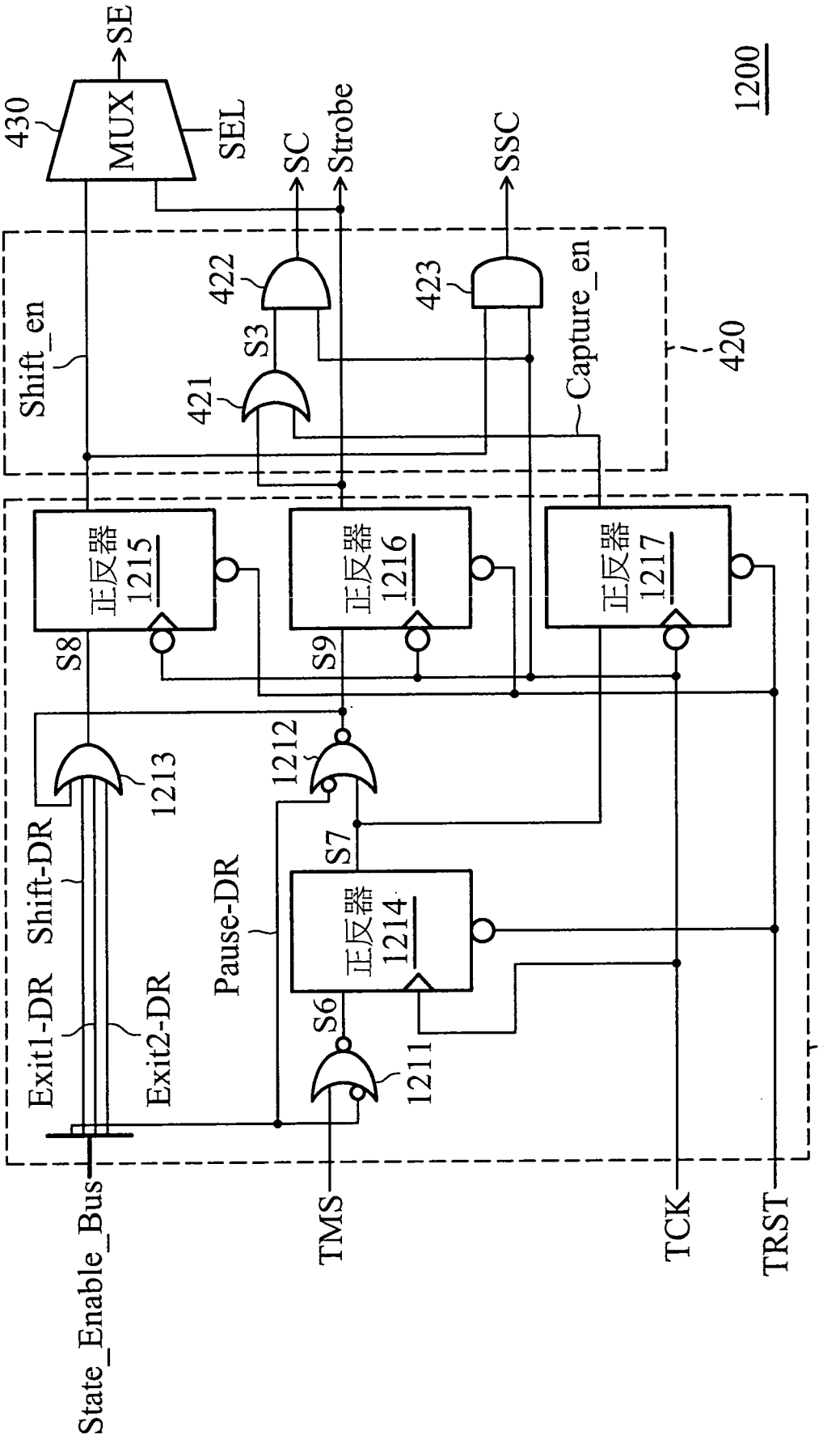
第 9 圖


1000
430
MUX
SE
SEL
SC
Strobe
SSC
422
423
S3
421
Capture_en
420
Shift_en
計數器
1013
正反器
1012
正反器
1011
S5
S4
Shift-DR
1014
1015
Exit2-DR
1010
Pause-DR
State_Enable_Bus
Exit1-DR
TCK
TRST

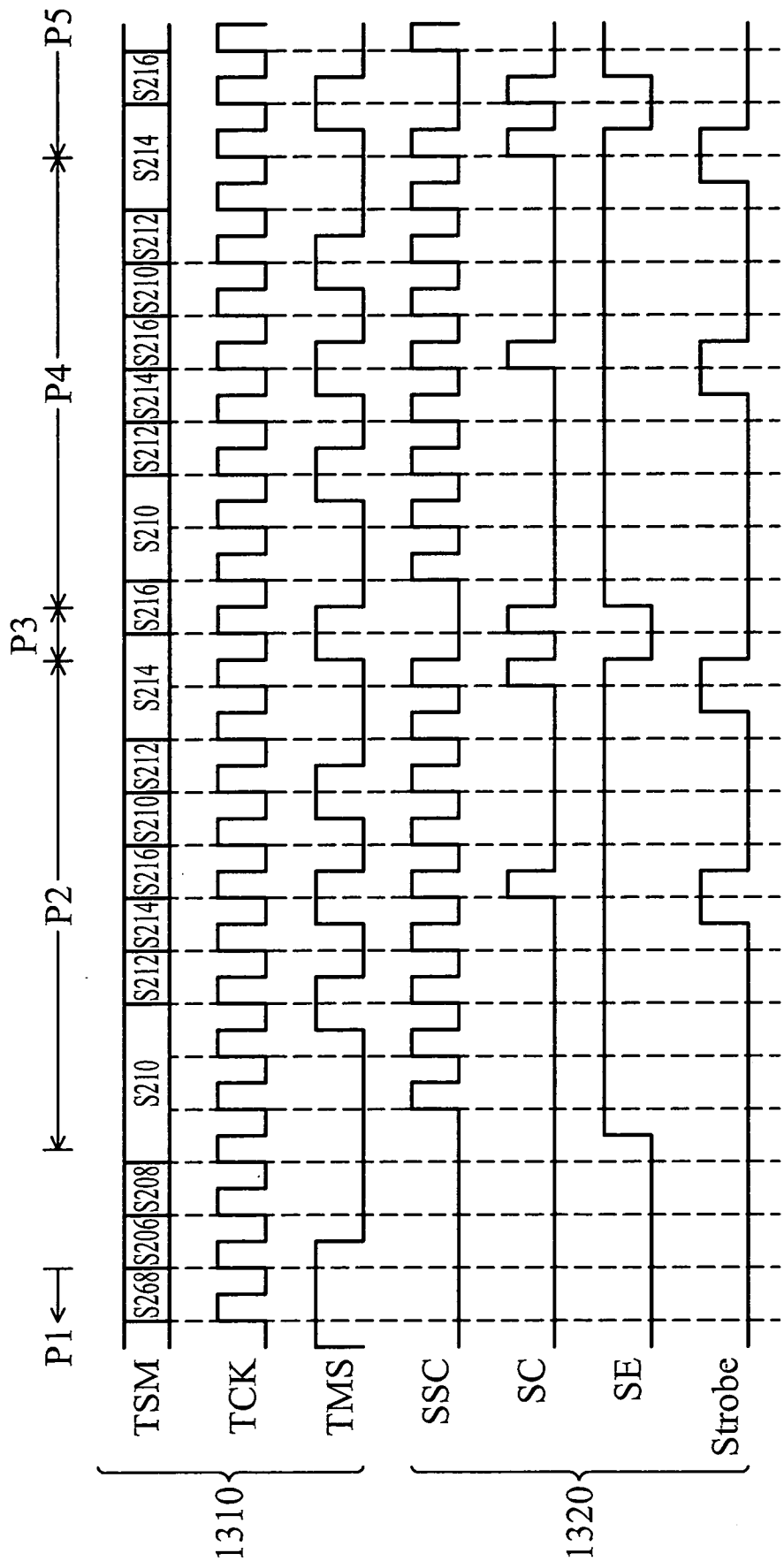
第 10 圖


P1
P2
P3
P4
P5
S268
S206
S208
S210
S212
S214
S216
TSM
TCK
TMS
SSC
SC
SE
Strobe
1110
1120

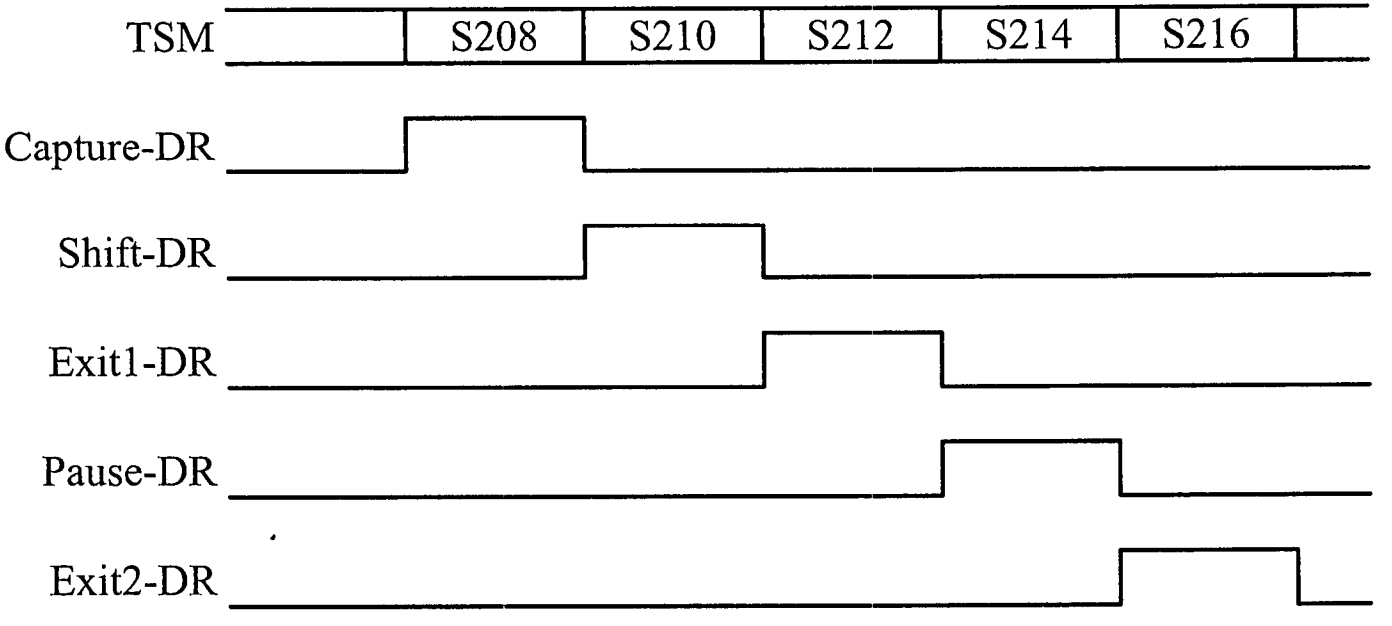
第 11 圖


1200
430
MUX
SE
SEL
SC
Strobe
SSC
422
423
S3
421
Shift_en
Capture_en
420
正反器 1215
正反器 1216
正反器 1217
S8
S9
1212
1213
S7
Exit1-DR
Shift-DR
Exit2-DR
Pause-DR
正反器 1214
S6
1211
1210
State_Enable_Bus
TMS
TCK
TRST

第 12 圖


P1
P2
P3
P4
P5
S268
S206
S208
S210
S212
S214
S216
S210
S212
S214
S216
S210
S212
S214
S216
S210
S212
S214
S216
TSM
TCK
TMS
SSC
SC
SE
Strobe
1310
1320

第 13 圖


TSM
S208
S210
S212
S214
S216
Capture-DR
Shift-DR
Exit1-DR
Pause-DR
Exit2-DR

第 14 圖