

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013 年 5 月 2 日(02.05.2013)



(10) 国際公開番号

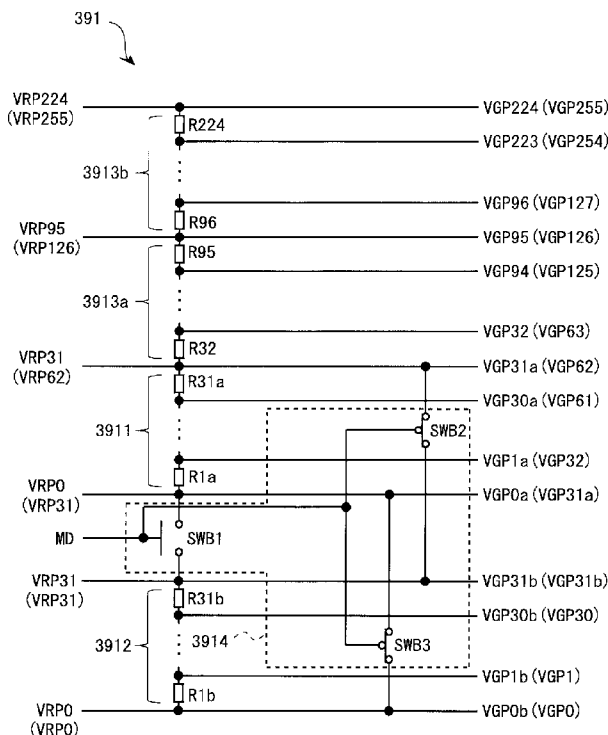
WO 2013/061833 A1

- (51) 国際特許分類:
G09G 3/36 (2006.01) G09G 3/20 (2006.01)
G02F 1/133 (2006.01)
- (21) 国際出願番号: PCT/JP2012/076757
- (22) 国際出願日: 2012 年 10 月 17 日(17.10.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-232833 2011 年 10 月 24 日(24.10.2011) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2 2 番 2 2 号 Osaka (JP).
- (72) 発明者; および
- (71) 出願人 (米国についてのみ): 谷口 直哉
(TANIGUCHI, Naoya).
- (74) 代理人: 島田 明宏 (SHIMADA, Akihiro); 〒
6340078 奈良県橿原市八木町 1 丁目 1 0 番 3 号
萬盛庵ビル 島田特許事務所 Nara (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,
IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,
PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ
ア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,
GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

[続葉有]

(54) Title: GRADATION VOLTAGE GENERATION CIRCUIT, VIDEO SIGNAL LINE DRIVE CIRCUIT, LIQUID CRYSTAL DISPLAY DEVICE, AND GRADATION VOLTAGE GENERATION METHOD

(54) 発明の名称: 階調電圧生成回路、映像信号線駆動回路、液晶表示装置、および階調電圧生成方法



(57) Abstract: Provided is a gradation voltage generation circuit able to obtain favorable display quality in a variety of display modes at low cost and small circuit scales. A positive gradation voltage generation circuit (391) is equipped with a ladder resistance circuit for 3-D video (3911) comprising resistor elements (R1a-R31a), a ladder resistance circuit for 3-D still images (3912) comprising resistor elements (R1b-R31b), and a connection switch unit (3914). The resistance values of the first resistor elements (R1a-R31a) are substantially similar to each other, and the resistance values of the other resistor elements (R1b-R31b) become larger advancing from the high gradation side to the low gradation side. During 3-D mode, a reference voltage (VRP0, VRP31) is assigned respectively to the ladder resistance circuit for 3-D video (3911) and the ladder resistance circuit for 3-D still images (3912), and during 2-D mode, a reference voltage (VRP31, VRP62) is assigned to the ladder resistance circuit for 3-D video (3911) and a reference voltage (VRP0, VRP31) is assigned to the ladder resistance circuit for 3-D still images (3912).

(57) 要約:

[続葉有]

WO 2013/061833 A1



(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, 添付公開書類:
NE, SN, TD, TG).

— 国際調査報告 (条約第 21 条(3))

低コストかつ小回路規模で、各表示モードで良好な表示品位が得られる階調電圧生成回路を提供する。正極性階調電圧生成回路(391)は、抵抗素子(R1a~R31a)からなる3D動画用ラダー抵抗回路(3911)と抵抗素子(R1b~R31b)からなる3D静止画用ラダー抵抗回路(3912)と接続切替部(3914)とを備える。抵抗素子(R1a~R31a)の抵抗値は互いに略同一であり、抵抗素子(R1b~R31b)の抵抗値は高階調側から低階調側にかけて値が大きくなる。3Dモード時には3D動画用ラダー抵抗回路(3911)および3D静止画用ラダー抵抗回路(3912)のそれぞれに基準電圧(VRP0, VRP31)が与えられ、2Dモード時には3D動画用ラダー抵抗回路(3911)に基準電圧(VRP31, VRP62)が与えられ、3D静止画用ラダー抵抗回路(3912)に基準電圧(VRP0, VRP31)が与えられる。

明 細 書

発明の名称：

階調電圧生成回路、映像信号線駆動回路、液晶表示装置、および階調電圧生成方法

技術分野

[0001] 本発明は、液晶表示パネルに印加すべき階調電圧を生成するための階調電圧生成回路に関し、特に、２次元表示および３次元表示の２種類の表示モードに応じて上記階調電圧を生成するための階調電圧生成回路、それを備えた映像信号線駆動回路、その映像信号線駆動回路を備えた液晶表示装置、および階調電圧生成方法に関する。

背景技術

[0002] 近年、パソコンおよびテレビ等のディスプレイについて軽量化および薄型化が強く要求されているので、そのようなディスプレイに、軽量化および薄型化が容易な液晶表示装置の採用が急速に進んでいる。ところが、液晶は応答速度が遅いので、液晶表示装置での動画表示に際して十分な画質が得られないことがある。そこで、液晶の応答速度の低さに起因する動画表示時の画質低下を抑制するために、従来より、オーバードライブ駆動（またはオーバーシュート駆動）と呼ばれる駆動方式が採用されている。オーバードライブ駆動とは、１フレーム前の入力画像信号と現フレームの入力画像信号との組み合わせに応じて、現フレームの入力画像信号に対応する階調電圧よりも高い階調電圧または現フレームの入力画像信号に対応する階調電圧よりも低い階調電圧を液晶表示パネルに供給する駆動方式である。このようなオーバードライブ駆動を採用することにより、液晶表示パネルにおいて階調電圧に対応する輝度に到達するまでの時間が短縮されるので、動画表示の際の画質低下が抑制される。

[0003] また、近年、２次元表示（以下「２Ｄ表示」という。）および３次元表示（以下「３Ｄ表示」という。）の２つの表示モードで画像表示が可能な液晶

表示装置の開発が顕著である。このような液晶表示装置での３Ｄ表示においては左目と右目とで視差が生じるようにするためそれぞれ左目用のフレームおよび右目用のフレームが必要とされるため、通常は、２Ｄ表示時によりも高速で駆動が行われる。このため、３Ｄ表示時には、液晶の応答速度の制御が可能な上記オーバードライブ駆動が重要となる。特に、より高速な応答速度が要求される３Ｄ表示時において動画表示（以下「３Ｄ動画表示」という。）を行う際に、上記オーバードライブ駆動がさらに重要となる。

[0004] ところで、階調表示が行われる液晶表示装置において、液晶表示パネルに印加すべき階調電圧は、図２５に示す液晶のＶＴ（Voltage-Transmittance）特性に応じてソースドライバ内の階調電圧生成回路によって生成される。図２５に示すように、液晶への印加電圧のうち、比較的電圧の低い領域（符号“ＲＡ”で表す。）では印加電圧が変化しても輝度はほとんど変化せず、中程度の電圧の領域（符号“ＲＢ”で表す）では印加電圧が変化すると輝度は大きく変化している。図２６は、上記ＶＴ特性を考慮し、従来の階調電圧生成回路により生成される階調電圧の階調間の電圧間隔（以下「階調電圧間隔」という。）を示す図である。図中では、各階調値に対応する階調電圧と、当該階調値よりも１つ小さい階調値に対応する階調電圧との差を示している。なお、階調値数は２５６階調であるとする。図２６に示すように、中間階調付近では階調値の高低によらず階調電圧間隔は略一定であるのに対して、例えば低階調側では階調値が低くなるにつれて階調電圧間隔が大きくなっている。階調電圧生成回路内には、所定の基準電圧に基づいて階調電圧を生成するために、互いに直列に接続された抵抗素子からなるラダー抵抗回路が用いられるが、図２６に示すような階調電圧の電圧間隔を実現するためには、中間階調付近で用いられる抵抗素子は階調値の高低によらず抵抗値が一定となり、低階調側で用いられる抵抗素子は階調値が低くなるほど抵抗値が高くなるように設定される。

[0005] ここで、図２６に示すような階調電圧間隔の階調電圧を、高速な応答速度が要求される３Ｄ動画表示に用いることを考える。上記オーバードライブ駆

動は、所定のルックアップテーブルを参照して階調値を補正することにより行われる。この階調値に対応する階調電圧は、上述のように低階調側では階調電圧間隔が大きくなると共に不均一になる。しかし、液晶の応答速度は印加電圧（階調電圧）に依存するので、このように階調電圧間隔が大きくなると共に不均一になると、液晶の応答速度の正確な制御を行い難く、結果として3D動画表示時の表示品位の低下を招く。

[0006] なお、本願に関連して、特許文献1に開示された発明では、2種類のラダー抵抗回路を設け、入力画像の特性に応じて使用するラダー抵抗回路を切り替え可能となっている。これにより、入力画像の特性に応じた階調電圧を生成することができる。

先行技術文献

特許文献

[0007] 特許文献1：日本の特開2000-2868号公報

発明の概要

発明が解決しようとする課題

[0008] ところで、液晶の応答速度の正確な制御が要求される3D動画表示時に合わせて階調電圧間隔を設定すると、当該階調電圧間隔は液晶のVT特性に沿ったものではないので、3D動画表示時ほどは液晶の応答速度の遅れが問題とならない3D静止画表示時および2D表示時の表示品位の低下を招くおそれがある。このような問題を解消するために、3D動画表示時用、3D静止画表示用、および2D表示用のラダー抵抗回路を別個に設けるとすると、コストが増大する。また、上記特許文献1に開示された発明においても、例えば256階調分の階調電圧をそれぞれが生成する2種類のラダーが必要となるので、コストが増大すると共に、回路スペースが増大する。

[0009] そこで、本発明は、低コストかつ小回路規模で、各表示モードで良好な表示品位が得られる階調電圧生成回路、それを備えた映像信号線駆動回路、その映像信号線駆動回路を備えた液晶表示装置、および階調電圧生成方法を提

供することを目的とする。

課題を解決するための手段

[0010] 本発明の第1の局面は、第1の表示モードおよび第2の表示モードの2つの表示モードで表示を行う液晶表示装置内の映像信号線駆動回路に用いられ、複数の基準電圧に基づいて当該複数の基準電圧の数よりも多い複数の階調電圧を生成する階調電圧生成回路であって、

互いに直列に接続され、前記複数の基準電圧間の電圧を分圧することにより前記複数の階調電圧を生成するための複数の抵抗素子と、

前記第1の表示モードでは、前記複数の抵抗素子のうちの互いに直列に接続された所定数の抵抗素子からなる第1のラダー抵抗回路と、前記複数の抵抗素子のうちの互いに直列に接続された他の所定数の抵抗素子からなり、前記第1のラダー抵抗回路に直列に接続された第2のラダー抵抗回路との直列接続を開放する接続切替部とを備え、

前記第1のラダー抵抗回路を構成する抵抗素子は互いに略同じ抵抗値であり、

前記第2のラダー抵抗回路を構成する抵抗素子は当該第2のラダー抵抗回路の一端から他端にかけて抵抗値が大きくなり、

前記第2のラダー抵抗回路を構成する抵抗素子のうちの当該第2のラダー抵抗回路の前記他端に位置する抵抗素子は、前記複数の抵抗素子うちの、当該複数の抵抗素子の一端または他端に位置する抵抗素子であり、

前記複数の基準電圧のうちの前記第1のラダー抵抗回路により分圧されるべき電圧を形成する基準電圧と、前記第2のラダー抵抗回路により分圧されるべき電圧を形成する基準電圧とは、前記第1の表示モードでは互いに同一であり、前記第2の表示モードでは一部が互いに重複していることを特徴とする。

[0011] 本発明の第2の局面は、本発明の第1の局面において、

前記第1の表示モードは3次元表示を行うためのモードであり、

前記第2の表示モードは2次元表示を行うためのモードであることを特徴

とする。

[0012] 本発明の第3の局面は、本発明の第2の局面において、

前記第1の表示モードでは、前記第1のラダー抵抗回路は動画表示用の階調電圧を生成し、前記第2のラダー抵抗回路は静止画表示用の階調電圧を生成することを特徴とする。

[0013] 本発明の第4の局面は、本発明の第3の局面において、

前記第2のラダー抵抗回路の前記他端に位置する抵抗素子は、前記複数の抵抗素子うちの、当該複数の抵抗素子の前記他端に位置する抵抗素子であり、

前記第2のラダー抵抗回路の前記他端に位置する抵抗素子の一端には、前記複数の階調電圧のうちの最も低い階調を示す階調電圧に対応する基準電圧が与えられることを特徴とする。

[0014] 本発明の第5の局面は、本発明の第3の局面において、

前記第2のラダー抵抗回路の前記他端に位置する抵抗素子は、前記複数の抵抗素子うちの、当該複数の抵抗素子の前記一端に位置する抵抗素子であり、

前記第2のラダー抵抗回路の前記他端に位置する抵抗素子の一端には、前記複数の階調電圧のうちの最も高い階調を示す階調電圧に対応する基準電圧が与えられることを特徴とする。

[0015] 本発明の第6の局面は、本発明の第3の局面において、

前記第1のラダー抵抗回路および前記第2のラダー抵抗回路のそれぞれを2つ備え、

2つの前記第2のラダー抵抗回路の一方の第2のラダー抵抗回路の前記他端に位置する抵抗素子は、前記複数の抵抗素子うちの、当該複数の抵抗素子の前記他端に位置する抵抗素子であり、

2つの前記第2のラダー抵抗回路の他方の第2のラダー抵抗回路の前記他端に位置する抵抗素子は、前記複数の抵抗素子うちの、当該複数の抵抗素子の前記一端に位置する抵抗素子であり、

前記一方の第2のラダー抵抗回路の前記他端に位置する抵抗素子の一端には、前記複数の階調電圧のうちの最も低い階調を示す階調電圧に対応する基準電圧が与えられ、

前記他方の第2のラダー抵抗回路の前記他端に位置する抵抗素子の一端には、前記複数の階調電圧のうちの最も高い階調を示す階調電圧に対応する基準電圧が与えられることを特徴とする。

[0016] 本発明の第7の局面は、本発明の第1の局面において、

前記接続切替部は、前記第1の表示モードで開き、前記第2の表示モードで閉じる第1の開閉スイッチを含み、

前記第1のラダー抵抗回路と前記第2のラダー抵抗回路とは、前記第1の開閉スイッチを介して互いに直列に接続されていることを特徴とする。

[0017] 本発明の第8の局面は、本発明の第7の局面において、

前記接続切替部は、前記第1の表示モードで閉じ、前記第2の表示モードで開く第2および第3の開閉スイッチをさらに含み、

前記第1のラダー抵抗回路の一端と前記第2のラダー抵抗回路の前記一端とは、前記第2の開閉スイッチを介して互いに接続され、

前記第1のラダー抵抗回路の他端と前記第2のラダー抵抗回路の前記他端とは、前記第3の開閉スイッチを介して互いに接続されていることを特徴とする。

[0018] 本発明の第9の局面は、液晶表示装置の液晶表示パネルを駆動するための映像信号線駆動回路であって、

本発明の第1の局面から第8の局面までのいずれかに係る階調電圧生成回路と、

外部から与えられる、前記表示モードを示すモード信号と、表示すべき画像が動画であるか静止画であるかを示す画像種別信号と、表示すべき画像を示す画像信号に基づく階調信号とに応じて、前記階調電圧生成回路により生成される前記複数の階調電圧の中から、出力すべき階調電圧を選択する選択部とを備えることを特徴とする。

[0019] 本発明の第10の局面は、液晶表示装置であって、
本発明の第9の局面に係る映像信号線駆動回路と、
画像を表示するための液晶表示パネルと、
前記モード信号、前記画像種別信号、および前記画像信号を生成し前記映像信号線駆動回路に与える表示制御回路と、

前記複数の基準電圧を生成し、かつ、当該複数の基準電圧のうちの前記第1のラダー抵抗回路により分圧されるべき電圧を形成する基準電圧と前記第2のラダー抵抗回路により分圧されるべき電圧を形成する基準電圧とを、前記第1の表示モードでは互いに同一とし、前記第2の表示モードでは一部を互いに重複させる基準電圧生成回路とを備えることを特徴とする。

[0020] 本発明の第11の局面は、本発明の第10の局面において、
前記表示制御回路は、信号の時間的变化を強調する補正を行って前記画像信号を生成することを特徴とする。

[0021] 本発明の第12の局面は、第1の表示モードおよび第2の表示モードの2つの表示モードで表示を行う液晶表示装置内の映像信号線駆動回路において、複数の基準電圧に基づいて当該複数の基準電圧の数よりも多い複数の階調電圧を生成する階調電圧生成方法であって、

前記第1の表示モードでは、前記映像信号線駆動回路内の、互いに直列に接続された複数の抵抗素子のうちの所定数の抵抗素子からなる第1のラダー抵抗回路と、前記複数の抵抗素子のうちの互いに直列に接続された他の所定数の抵抗素子からなり、前記第1のラダー抵抗回路に直列に接続された第2のラダー抵抗回路との直列接続を開放するステップと、

前記複数の基準電圧のうちの前記第1のラダー抵抗回路により分圧されるべき電圧を形成する基準電圧と、前記第2のラダー抵抗回路により分圧されるべき電圧を形成する基準電圧とを、前記第1の表示モードでは互いに同一とし、前記第2の表示モードでは一部を互いに重複させるステップとを備え、

前記第1のラダー抵抗回路を構成する抵抗素子は互いに略同じ抵抗値であ

り、

前記第2のラダー抵抗回路を構成する抵抗素子は当該第2のラダー抵抗回路の一端から他端にかけて抵抗値が大きくなり、

前記第2のラダー抵抗回路を構成する抵抗素子のうちの当該第2のラダー抵抗回路の前記他端に位置する抵抗素子は、前記複数の抵抗素子うちの、当該複数の抵抗素子の一端または他端に位置する抵抗素子であることを特徴とする。

発明の効果

[0022] 本発明の第1の局面によれば、例えば第1の表示モードが3D表示を行うためのモード（3Dモード）であり、第2の表示モードが2D表示モードを行うためのモード（2Dモード）であるとする、3Dモード時には第1のラダー抵抗回路と第2のラダー抵抗回路との直列接続が開放され、分圧すべき基準電圧が当該第1のラダー抵抗回路と当該第2のラダー抵抗回路とで同一になる。このため、3Dモード時には、第1のラダー抵抗回路により生成される階調値に関わらず階調電圧間隔が略一定な低階調側および／または高階調側（以下「階調端側」という。）の階調電圧と、上記のラダー抵抗回路により生成される階調値が変化するにつれて階調電圧間隔が変化する階調端側の階調電圧との2種類の階調端側の階調電圧が得られる。これにより、例えば3D動画表示時には第1のラダー抵抗回路により生成される階調値に関わらず階調電圧間隔が略一定な階調端側の階調電圧を用いて液晶の応答速度を制御できるので、階調端側での液晶の応答速度の制御精度を高めることができる。その結果、3D動画表示時に良好な表示品位が得られる。また、3D動画表示時ほどは液晶の応答速度の遅れが問題とならない3D静止画表示では、例えば、従来どおり液晶のVT特性に沿った第2のラダー抵抗回路により生成される階調値が変化するにつれて階調電圧間隔が変化する階調端側の階調電圧が用いられるので、結果として3D静止画表示時にも良好な表示品位が得られる。これに対して、2Dモード時には、上記第1のラダー抵抗回路と上記第2のラダー抵抗回路とが互いに直列接続され、第1のラダー抵

抗回路と第2のラダー抵抗回路とで分圧すべき基準電圧の一部を重複することにより、従来の階調電圧生成回路と同様の液晶のV-T特性に沿った階調電圧が得られる。したがって、2D画像表示時にも良好な表示品位が得られる。以上のように、第1のラダー抵抗回路および第2のラダー抵抗回路を各表示モードで兼用し、例えば3Dモード時では第1のラダー抵抗回路および第2のラダー抵抗回路のそれぞれで階調端側の階調電圧を生成することにより、低コストかつ小回路規模で、各表示モードでの良好な表示品位が得られる。

[0023] 本発明の第2の局面によれば、第1の表示モードが3Dモードであり、第2の表示モードが2Dモードである場合に、本発明の第1の局面と同様の効果を奏することができる。

[0024] 本発明の第3の局面によれば、3Dモード時に、第1のラダー抵抗回路により3D動画表示用の階調電圧が生成され、第2のラダー抵抗回路により3D静止画表示用の階調電圧が生成されることにより、本発明の第2の局面と同様の効果を奏することができる。

[0025] 本発明の第4の局面によれば、3Dモード時に、第1のラダー抵抗回路により階調値の高低によらず階調電圧間隔が略一定な低階調側の階調電圧が生成され、第2のラダー抵抗回路により階調値が低くなるにつれて階調電圧間隔が大きくなる低階調側の階調電圧が生成される。これにより、3D動画表示時には、例えば、階調電圧間隔が略一定な低階調側の階調電圧を用いて液晶の応答速度を制御できるので、低階調側での液晶の応答速度の制御精度を高めることができる。その結果、3D動画表示時に良好な表示品位が得られる。また、3D動画表示時ほどは液晶の応答速度の遅れが問題とならない3D静止画表示では、例えば、従来どおり、液晶のV-T特性に沿った、階調値が低くなるにつれて階調電圧間隔が大きくなる低階調側の階調電圧が用いられるので、結果として3D静止画表示時にも良好な表示品位が得られる。

[0026] 本発明の第5の局面によれば、3Dモード時に、第1のラダー抵抗回路により階調値の高低によらず階調電圧間隔が略一定な低階調側の階調電圧が生成され、第2のラダー抵抗回路により階調値が高くなるにつれて階調電圧間

隔が大きくなる高階調側の階調電圧が生成される。これにより、3D動画表示時には、例えば、階調電圧間隔が略一定な高階調側の階調電圧を用いて液晶の応答速度を制御できるので、高階調側での液晶の応答速度の制御精度を高めることができる。その結果、3D動画表示時に良好な表示品位が得られる。また、3D動画表示時ほどは液晶の応答速度の遅れが問題とならない3D静止画表示では、例えば、従来どおり、液晶のVT特性に沿った、階調値が高くなるにつれて階調電圧間隔が大きくなる高階調側の階調電圧が用いられるので、結果として3D静止画表示時にも良好な表示品位が得られる。

[0027] 本発明の第6の局面によれば、3Dモード時に、2つの第1のラダー抵抗回路の一方により階調値の高低によらず階調電圧間隔が略一定な低階調側の階調電圧が生成され、2つの第2のラダー抵抗回路の一方により階調値が低くなるにつれて階調電圧間隔が大きくなる低階調側の階調電圧が生成され、2つの第1のラダー抵抗回路の他方により階調値の高低によらず階調電圧間隔が略一定な低階調側の階調電圧が生成され、2つの第2のラダー抵抗回路の他方により階調値が高くなるにつれて階調電圧間隔が大きくなる高階調側の階調電圧が生成される。これにより、3D動画表示時には、例えば、階調電圧間隔が略一定な低階調側および高階調側の階調電圧を用いて液晶の応答速度を制御できるので、低階調側および高階調側での液晶の応答速度の制御精度を高めることができる。その結果、3D動画表示時に良好な表示品位が得られる。また、3D動画表示時ほどは液晶の応答速度の遅れが問題とならない3D静止画表示では、例えば、従来どおり、液晶のVT特性に沿った、階調値が低くなるにつれて階調電圧間隔が大きくなる低階調側の階調電圧と階調値が高くなるにつれて階調電圧間隔が大きくなる高階調側の階調電圧とが用いられるので、結果として3D静止画表示時にも良好な表示品位が得られる。

[0028] 本発明の第7の局面によれば、表示モードに応じて第1のラダー回路と第2のラダー回路との接続関係を切り替え可能な第1の開閉スイッチを用いることにより、本発明の第1の局面と同様の効果を奏することができる。

- [0029] 本発明の第 8 の局面によれば、第 2 および第 3 の開閉スイッチを用いることにより、例えば第 1 の表示モードにおいて階調電圧生成回路に与えるべき基準電圧の数を低減できる。
- [0030] 本発明の第 9 の局面によれば、映像信号線駆動回路において、モード信号、画像種別信号、および階調信号に応じて、複数の階調電圧の中から出力すべき階調電圧を選択することにより本発明の第 1 の局面から第 8 の局面までのいずれかと同様の効果を奏することができる。
- [0031] 本発明の第 10 の局面によれば、液晶表示装置において、モード信号、画像種別信号、および階調信号を生成する表示制御回路と、複数の基準電圧を生成する基準電圧生成回路とを用いることにより、本発明の第 9 の局面と同様の効果を奏することができる。
- [0032] 本発明の第 11 の局面によれば、いわゆるオーバードライブ駆動が行われるので、液晶の高速な応答速度が要求される表示の際の画質低下が抑制される。
- [0033] 本発明の第 12 の局面によれば、本発明の第 1 の局面と同様の効果を階調電圧生成方法において奏することができる。

図面の簡単な説明

- [0034] [図1]本発明の第 1 の実施形態に係る液晶表示装置の全体構成を示すブロック図である。
- [図2]上記第 1 の実施形態におけるタイミングコントローラ IC の構成を説明するためのブロック図である。
- [図3]上記第 1 の実施形態における OD テーブルの一例を模式的に示した図である。
- [図4]上記第 1 の実施形態におけるソースドライバの構成を説明するためのブロック図である。
- [図5]上記第 1 の実施形態における階調電圧生成回路の構成を示すブロック図である。
- [図6]上記第 1 の実施形態において、出力すべき階調電圧が選択される様子を

説明するためのブロック図である。

[図7]上記第1の実施形態における正極性階調電圧生成回路の構成を示す回路図である。

[図8]上記第1の実施形態における、3D動画表示に使用するラダー抵抗回路群内の各抵抗素子の抵抗値の一例と、3D動画表示に使用するラダー抵抗回路群内の各抵抗素子の抵抗値の一例とを示す図である。

[図9]図8に係る3D動画表示に使用するラダー抵抗回路群内の各抵抗素子の抵抗値に基づいて得られる正極性階調電圧の階調電圧間隔を示す図である。

[図10]図8に係る3D静止画表示に使用するラダー抵抗回路群内の各抵抗素子の抵抗値に基づいて得られる正極性階調電圧の階調電圧間隔を示す図である。

[図11]上記第1の実施形態における、2D画像表示に使用するラダー抵抗回路群内の各抵抗素子の抵抗値の一例を示す図である。

[図12]図11に係る2D画像表示に使用するラダー抵抗回路群内の各抵抗素子の抵抗値に基づいて得られる正極性階調電圧の電圧間隔を示す図である。

[図13]本発明の第2の実施形態における正極性階調電圧生成回路の構成を示す回路図である。

[図14]上記第2の実施形態における、3D動画表示に使用するラダー抵抗回路群内の各抵抗素子の抵抗値の一例と、3D動画表示に使用するラダー抵抗回路群内の各抵抗素子の抵抗値の一例とを示す図である。

[図15]図14に係る3D動画表示に使用するラダー抵抗回路群内の各抵抗素子の抵抗値に基づいて得られる正極性階調電圧の階調電圧間隔を示す図である。

[図16]図14に係る3D静止画表示に使用するラダー抵抗回路群内の各抵抗素子の抵抗値に基づいて得られる正極性階調電圧の階調電圧間隔を示す図である。

[図17]上記第2の実施形態における、2D画像表示に使用するラダー抵抗回路群内の各抵抗素子の抵抗値の一例を示す図である。

[図18]図 1 7 に係る 2 D 画像表示に使用するラダー抵抗回路群内の各抵抗素子の抵抗値に基づいて得られる正極性階調電圧の階調電圧間隔を示す図である。

[図19]本発明の第 3 の実施形態における正極性階調電圧生成回路の構成を示す回路図である。

[図20]上記第 3 の実施形態における、3 D 動画表示に使用するラダー抵抗回路群内の各抵抗素子の抵抗値の一例と、3 D 動画表示に使用するラダー抵抗回路群内の各抵抗素子の抵抗値の一例とを示す図である。

[図21]図 2 0 に係る 3 D 動画表示に使用するラダー抵抗回路群内の各抵抗素子の抵抗値に基づいて得られる正極性階調電圧の階調電圧間隔を示す図である。

[図22]図 2 0 に係る 3 D 静止画表示に使用するラダー抵抗回路群内の各抵抗素子の抵抗値に基づいて得られる正極性階調電圧の階調電圧間隔を示す図である。

[図23]上記第 3 の実施形態における、2 D 画像表示に使用するラダー抵抗回路群内の各抵抗素子の抵抗値の一例を示す図である。

[図24]図 2 3 に係る 2 D 画像表示に使用するラダー抵抗回路群内の各抵抗素子の抵抗値に基づいて得られる正極性階調電圧の階調電圧間隔を示す図である。

[図25]液晶の V T 特性を示す模式図である。

[図26]従来の階調電圧生成回路により生成される階調電圧の電圧間隔を示す図である。

発明を実施するための形態

[0035] 以下、添付図面を参照しながら、本発明の第 1 ～第 3 の実施形態について説明する。

[0036] < 1. 第 1 の実施形態 >

本発明の第 1 の実施形態は、3 D 表示および 2 D 表示の 2 つの表示モードで画像表示が可能な液晶表示装置に係るものである。以下では、3 D 表示が

行われるべき表示モード（第１の表示モード）のことを「３Ｄモード」といい、２Ｄ表示モードが行われるべき表示モード（第２の表示モード）のことを「２Ｄモード」という。また、３Ｄモードにおいて表示される動画および静止画のことをそれぞれ「３Ｄ動画」および「３Ｄ静止画」といい、２Ｄモードにおいて表示される動画および静止画のことをそれぞれ「２Ｄ動画」および「２Ｄ静止画」という。また、３Ｄ動画と３Ｄ静止画とを特に区別しない場合にはそれらを「３Ｄ画像」といい、２Ｄ動画と２Ｄ静止画とを特に区別しない場合にはそれらを「２Ｄ画像」という。なお、本実施形態および後述の各実施形態に係る液晶表示装置では液晶の劣化防止のために一般に極性反転駆動が行われるが、正極性および負極性に関する駆動を実現するための構成および動作は基本的に共通するので、以下では、正極性に関する構成および動作を中心に説明し、負極性に関する構成および動作については適宜説明を省略するものとする。

[0037] < １． １ 全体構成および動作概要 >

図１は、本実施形態に係る液晶表示装置の全体構成を示すブロック図である。この液晶表示装置は、表示部５００を含む液晶表示パネル５、コントロール基板１０、映像信号線駆動回路としてのソースドライバ３００、ゲートドライバ４００、および基準電圧生成回路６００により構成されている。コントロール基板１０には、表示制御回路としてのタイミングコントローラ１００、および不揮発性メモリであるフラッシュメモリ２００が搭載されている。なお、ソースドライバ３００およびゲートドライバ４００の双方または一方が液晶表示パネル５内に含まれていても良い。すなわち、ソースドライバ３００およびゲートドライバ４００の双方または一方が、液晶表示パネル５を構成するガラス基板上にモノリシックに形成されていても良い。

[0038] 表示部５００には、複数本のソースラインＳＬ、複数本のゲートラインＧＬ、およびソースラインＳＬとゲートラインＧＬとの各交差点に対応して設けられた画素形成部が形成されている。すなわち、表示部５００には複数個の画素形成部が含まれている。これらの複数個の画素形成部は、マトリクス

状に配置されることにより画素アレイを構成している。各画素形成部は、対応する交差点を通過するゲートラインにゲート端子が接続されると共に当該交差点を通過するソースラインにソース端子が接続されたスイッチング素子である薄膜トランジスタ50と、当該薄膜トランジスタ50のドレイン端子に接続された画素電極51と、上記複数個の画素形成部に共通的に設けられた対向電極である共通電極52と、上記複数個の画素形成部に共通的に設けられ、画素電極51と共通電極52との間に挟持された液晶層とからなっている。そして、画素電極51および共通電極52により形成される液晶容量により画素容量 C_p が構成されている。なお通常、画素容量 C_p に確実に電圧を保持すべく、液晶容量に並列に補助容量が設けられるが、補助容量は本発明には直接に関係しないのでその説明および図示を省略する。なお、図1の表示部500内には、1つの画素形成部に対応する構成要素のみを示している。

[0039] タイミングコントローラIC100は、画像信号DAT、水平同期信号および垂直同期信号等のタイミング信号TS、および表示モードを示す入力モード信号MDIを外部から受け取り、画像信号DATに対して所定の補正処理を施した後、デジタル映像信号DVと、ソースドライバ300の動作を制御するためのソーススタートパルス信号SSP、ソースクロック信号SCK、およびラッチストロブ信号LSと、ゲートドライバ400の動作を制御するためのゲートスタートパルス信号GSPおよびゲートクロック信号GCKと、液晶に印加すべき階調電圧の極性を示す極性信号POLと、表示モードを示すモード信号MDと、表示すべき画像が動画であるか静止画であるかを示す画像種別信号PTYとを出力する。ここで、タイミングコントローラIC100に入力される入力モード信号MDIとタイミングコントローラIC100から出力されるモード信号MDとは、それらが示す表示モードは互いに同じであるが、信号形式等が互いに異なる。なお、電源投入直後または表示モードの切替が行われる際には、タイミングコントローラIC100は、補正処理に必要なデータをフラッシュメモリ200から読み出し、その読

み出したデータを内部の揮発性メモリに書き込む。

[0040] ソースドライバ300は、タイミングコントローラIC100から出力されるデジタル映像信号DV、ソーススタートパルス信号SSP、ソースクロック信号SCK、ラッチストロブ信号LS、極性信号POL、および画像種別信号PTYを受け取り、各ソースラインSLに駆動用映像信号SSを印加する。このとき、ソースドライバ300では、ソースクロック信号SCKのパルスが発生するタイミングで、各ソースラインSLに印加すべき電圧に対応する書込階調値を示すデジタル映像信号DVが順次に保持される。そして、ラッチストロブ信号LSのパルスが発生するタイミングで、上記極性信号POLおよび画像種別信号PTYに応じて、上記保持されたデジタル映像信号DVがアナログ電圧である階調電圧に変換される。その変換された階調電圧は、駆動用映像信号SSとして全てのソースラインSLに一斉に印加される。

[0041] ゲートドライバ400は、タイミングコントローラIC100から出力されるゲートスタートパルスGSPおよびゲートクロック信号GCKに基づいて、アクティブな走査信号の各ゲートラインGLへの印加を1フレーム期間を周期として繰り返す。

[0042] 基準電圧生成回路600は、ソースドライバ300において、表示部500に所定の階調を表示する駆動用映像信号が生成されるときに基準となる複数の基準電圧VRを生成し、生成された複数の基準電圧VRをソースドライバ300に与える。なお、基準電圧生成回路600は、モード信号MDに応じてソースドライバ300に与えるべき複数の基準電圧VRを切り替えるように構成されている。ただし、これに代えて、ソースドライバ300側で、モード信号MDに応じて受け取るべき（より詳細には階調電圧の生成に使用すべき）複数の基準電圧VRを切り替える構成としても良い。

[0043] 以上のようにして、各ソースラインSLに駆動用映像信号が印加され、各ゲートラインGLにアクティブな走査信号が印加されることにより、外部から送信された画像信号DATに基づく画像が液晶表示パネル5の表示部50

0に表示される。

[0044] <1. 2 タイミングコントローラICの構成>

図2は、本実施形態におけるタイミングコントローラIC100の構成を説明するためのブロック図である。タイミングコントローラIC100は、データ受信部110、データ処理部120、ラインバッファ130、データ送信部140、タイミング制御部150、記憶部としてのSDRAM160、およびSDRAMインターフェース部170により構成されている。データ処理部120には、動画／静止画判定部121が含まれている。

[0045] SDRAM160は揮発性メモリである。SDRAM160には、前フレームデータPD、3D動画用ODテーブルLUT1、3D静止画用ODテーブルLUT2、および2D用ODテーブルLUT3が格納されている。ここで、「前フレームデータPD」とは、現フレームの1フレーム前の画像信号DATが示すデータをいう。また、「3D動画用ODテーブルLUT1」、「3D静止画用ODテーブルLUT2」、および「2D用ODテーブルLUT3」とは、3D動画表示時、3D静止画表示時、および2D画像表示時にそれぞれオーバードライブ駆動を行うために参照されるルックアップテーブル（ODテーブル）である。以下では、3D動画用ODテーブルLUT1、3D静止画用ODテーブルLUT2、および2D用ODテーブルLUT3を総称するときにこれらを単に「ODテーブル」ということがある。ODテーブルには、前フレームデータPDが示す階調値（以下「前フレーム階調値」という。）と現フレームデータ（現フレームにおける画像信号DATが示すデータをいう。）が示す階調値（以下「現フレーム階調値」という。）との組み合わせによって決定される階調値（以下「書込階調値」という。）が用意されている。

[0046] 図3は、SDRAM160に格納されている2D用ODテーブルLUT3の一例を模式的に示した図である。ここでは、256階調の階調表示が行われるものとする。図3において、最も左の列に記されている数値は前フレーム階調値を示し、最も上の行に記されている数値は現フレーム階調値を示し

ている。そして、各行と各列とが交差する位置に記されている数値は、各前フレーム階調値と各現フレーム階調値との組み合わせに基づいて決定される、書込階調電圧に対応する階調値（以下「書込階調値」という。）を示している。例えば、前フレーム階調値が「６４」で現フレーム階調値が「１２８」である場合、書込階調値は「１６６」となる。また、例えば、前フレーム階調値が「１６０」で現フレーム階調値が「６４」である場合、書込階調値は「４」となる。このため、ソースドライバ３００において後述のＤ／Ａ変換回路３４０により書込階調値から変換される階調電圧は、ＯＤテーブルに格納されているデータに基づいて、現フレーム階調値に対応する階調電圧よりも高くなる、または現フレーム階調値に対応する階調電圧よりも低くなる。なお、本実施形態における３Ｄモードでの最大書込階調値は２２５であり、２Ｄモードでの最大書込階調値は２５６であるとする。ところで、３Ｄ動画用ＯＤテーブルＬＵＴ１、３Ｄ静止画用ＯＤテーブルＬＵＴ２、および２Ｄ用ＯＤテーブルＬＵＴ３の具体的な内容は当業者にとって周知であるのでその詳細な説明を省略する。

[0047] データ受信部１１０は、外部から送信される画像信号ＤＡＴを受け取り、それをデータ処理部１２０に与える。

[0048] データ処理部１２０は画像信号ＤＡＴおよび入力モード信号ＭＤＩを受け取る。データ処理部１２０内の動画／静止画判定部１２１は、受け取った画像信号ＤＡＴ（すなわち現フレームデータ）と、ＳＤＲＡＭインターフェース部１７０を介してＳＤＲＡＭ１６０から取得した前フレームデータＰＤとに基づいて、表示すべき画像が動画か静止画のいずれであることを判定する。なお、データ処理部１２０は、現フレームデータに対して、図示しない手段により液晶表示パネル５の特性に応じてガンマ補正を行う。このガンマ補正は当業者にとって周知であるのでその説明を省略する。データ処理部１２０は、入力モード信号ＭＤＩが示す表示モードおよび動画／静止画判定部１２１での判定結果に基づいて所定のＯＤテーブルを参照して書込階調値を決定し、当該書込階調値を示す書込階調データＷＤを出力する。具体的には、デ

ータ処理部１２０は、表示モードが３Ｄモードであり、かつ、動画／静止画判定部１２１での判定結果が動画であるときには３Ｄ動画用ＯＤテーブルＬＵＴ１を参照し、表示モードが３Ｄモードであり、かつ、動画／静止画判定部１２１での判定結果が静止画であるときには３Ｄ静止画用ＯＤテーブルＬＵＴ２を参照し、表示モードが２Ｄモードであるときには動画／静止画判定部１２１での判定結果に関わらず２Ｄ用ＯＤテーブルＬＵＴ３を参照する。また、データ処理部１２０は、画像信号ＤＡＴおよび入力モード信号ＭＤＩに基づいて、モード信号ＭＤおよび画像種別信号ＰＴＹを出力する。

[0049] ラインバッファ１３０には、オーバードライブ駆動部１２２から出力された１ライン分の書込階調データＷＤが保持される。

[0050] データ送信部１４０は、ラインバッファ１３０から書込階調データＷＤを取り出し、それをデジタル映像信号ＤＶとして出力する。

[0051] タイミング制御部１５０は、外部から送信されるタイミング信号ＴＳに基づき、データ受信部１１０、データ処理部１２０、およびデータ送信部１４０の動作を制御すると共に、ソーススタートパルス信号ＳＳＰ、ソースクロック信号ＳＣＫ、ラッチストロブ信号ＬＳ、ゲートスタートパルスＧＳＰ、ゲートクロック信号ＧＣＫ、および極性信号ＰＯＬを出力する。

[0052] ＳＤＲＡＭインターフェース部１７０は、ＳＤＲＡＭ１６０へのデータの書き込みおよびＳＤＲＡＭ１６０からのデータの読み出しに際して、データ処理部１２０とＳＤＲＡＭ１６０との間のインターフェースとして機能する。

[0053] タイミングコントローラＩＣ１００が搭載されたコントロール基板１０には、フラッシュメモリ２００も搭載されている。フラッシュメモリ２００にはＯＤテーブルが格納されている。フラッシュメモリ２００は不揮発性であるので、装置の電源がオフ状態にされてもＯＤテーブルの内容が消失することはない。タイミングコントローラＩＣ１００は、装置の電源投入直後に、ＯＤテーブルをフラッシュメモリ２００から読み出し、それを内部のＳＤＲＡＭ１６０に書き込む。このようにタイミングコントローラＩＣ１００では

なくフラッシュメモリ 200 に OD テーブルを書き込んでおく構成とすることにより、OD テーブルの内容を比較的容易に外部から書き換えることが可能になる。

[0054] <1. 3 ソースドライバの構成および動作概要>

図 4 は、本実施形態におけるソースドライバ 300 の構成を説明するためのブロック図である。図 4 に示すように、ソースドライバ 300 は、シフトレジスタ 310、サンプリング回路 320、ラッチ回路 330、D/A 変換回路 340、出力回路 350、および階調電圧生成回路 390 により構成されている。D/A 変換回路 340 には複数の選択回路 341 が含まれている。出力回路 350 には複数のバッファアンプ 351 が含まれている。選択回路 341 およびバッファアンプ 351 はソースライン SL 毎に設けられている。複数のバッファアンプ 351 は、複数の選択回路 341 にそれぞれ対応している。

[0055] シフトレジスタ 310 は、タイミングコントローラ IC100 から出力されるソースクロック信号 SCK に同期して、当該タイミングコントローラ IC100 から出力されるソーススタートパルス信号 SSP を順次転送することにより所定のサンプリングパルスを順次出力する。

[0056] サンプリング回路 320 は、タイミングコントローラ IC100 から出力されるデジタル映像信号 DV が示す 1 行分の階調値を、上記サンプリングパルスのタイミングで順次記憶する。

[0057] ラッチ回路 330 は、サンプリング回路 320 に記憶された 1 行分の階調値を、タイミングコントローラ IC100 から出力されるラッチストロブ信号 LS に応じて取り込み保持すると共に、その保持している 1 行分の階調値を 1 列毎（すなわち 1 画素毎）に階調信号 GD として D/A 変換回路 340 に出力する。なお、ラッチ回路 330 から出力される階調信号 GD は実際には所定のレベルシフトにより昇圧された後に D/A 変換回路 340 に与えられるが、ここでは便宜上その説明を省略する。

[0058] 階調電圧生成回路 390 は、基準電圧生成回路 600 から出力される複数

の基準電圧 V_R と、タイミングコントローラ $IC100$ から出力される極性信号 POL およびモード信号 MD とに基づいて複数の階調電圧を生成すると共に、当該複数の階調電圧を D/A 変換回路 340 に出力する。階調電圧生成回路 390 の詳細な構成および動作については後述する。

[0059] D/A 変換回路 340 内の各選択回路 341 は、階調電圧生成回路 390 から出力される複数の階調電圧の中から、タイミングコントローラ $IC100$ から出力される階調信号 GD が示す階調値に応じた階調電圧を選択すると共に、選択した階調電圧を当該選択回路 341 に対応するバッファアンプ 351 に出力する。

[0060] 出力回路 350 内の各バッファアンプ 351 は、当該バッファアンプ 351 に対応する選択回路 341 から階調電圧を受け取り、当該階調電圧を駆動用映像信号 SS として、当該バッファアンプ 351 に対応するソースライン SL に印加する。このバッファアンプ 351 は例えばボルテージフォロフ回路で構成されている。

[0061] <1. 4 階調電圧生成回路の構成>

図5は、本実施形態における階調電圧生成回路 390 の構成を示すブロック図である。図5では、 $3D$ モード時の階調電圧（括弧なし）を示すと共に、 $2D$ モード時の階調電圧を括弧書で示している（後述の図6でも同様である）。図5に示すように、階調電圧生成回路 390 は、正極性用の複数の階調電圧を生成するための正極性階調電圧生成回路 391 と、負極性用の複数の階調電圧を生成するための負極性階調電圧生成回路 392 と、出力すべき階調電圧の極性を切り替えるための $2^n + 1$ （ n は $2D$ モードでの階調ビット数であり、 $n = 8$ である。）個の階調極性切替スイッチ SWA とにより構成されている。

[0062] 正極性階調電圧生成回路 391 は、複数の基準電圧 V_R のうちの複数の正極性用基準電圧 V_{RP} に基づいて、モード信号 MD に応じた複数の正極性用階調電圧を生成し出力する。具体的には、正極性階調電圧生成回路 391 は、モード信号 MD が示す表示モードが $3D$ モードであれば、 $2^n + 1$ 種類の正

極性用階調電圧 $VGP0b \sim VGP31b$, $VGP0a \sim VGP31a$, $VGP32 \sim VGP224$ を生成し出力する。以下では、 $VGP0b \sim VGP31b$, $VGP0a \sim VGP31a$, $VGP32 \sim VGP224$ によりそれぞれ $2^n + 1$ 種類の正極性用階調電圧 $VGP0b \sim VGP31b$, $VGP0a \sim VGP31a$, $VGP32 \sim VGP224$ の電圧値をも表すことがある。

なお、3Dモード時の正極性用階調電圧 $VGP0a$ と $VGP0b$ とは互いに電圧値が等しいが、便宜上、正極性用階調電圧 $VGP0a$ と $VGP0b$ とは互いに異なる種類の電圧であるものとして説明する。同様に、3Dモード時の正極性用階調電圧 $VGP31a$ と $VGP31b$ とは互いに電圧値が等しいが、便宜上、正極性用階調電圧 $VGP31a$ と $VGP31b$ とは互いに異なる種類の電圧であるものとして説明する。また、正極性階調電圧生成回路 391 は、モード信号 MD が示す表示モードが 2Dモードであれば、 $2^n + 1$ 種類の正極性用階調電圧 $VGP0 \sim VGP31b$, $VGP31a$, $VGP32 \sim VGP255$ を生成し出力する。以下では、 $VGP0 \sim VGP31b$, $VGP31a$, $VGP32 \sim VGP255$ によりそれぞれ $2^n + 1$ 種類の正極性用階調電圧 $VGP0 \sim VGP31b$, $VGP31a$, $VGP32 \sim VGP255$ の電圧値をも表すことがある。なお、2Dモード時の正極性用階調電圧 $VGP31a$ と $VGP31b$ とは互いに電圧値が等しいが、便宜上、正極性用階調電圧 $VGP31a$ と $VGP31b$ とは互いに異なる種類の電圧であるものとして説明する。ここで、正極性階調電圧の電圧値の大小関係は、3Dモード時には $VGP0a < VGP1a < \dots < VGP30a < VGP31a < VGP32 < \dots < VGP223 < VGP224$ 、かつ、 $VGP0b < VGP1b < \dots < VGP30b < VGP31b < VGP32 < \dots < VGP223 < VGP224$ であり、2Dモード時には $VGP0 < VGP1 < \dots < VGP254 < VGP255$ である。なお、3Dモード時と2Dモード時とで互いに同じ符号で示した電圧値は必ずしも一致するものではない（負極性階調電圧生成回路 392 についても同様である）。典型的には、3Dモード時の最大基準電圧値 $VGP224$ と2Dモード時の最大基準電圧値 $VGP255$ とは

互いに等しい。

[0063] 負極性階調電圧生成回路 392 の動作は上記正極性階調電圧生成回路 391 と基本的に同様である。すなわち、負極性階調電圧生成回路 392 は、複数の基準電圧 V_R のうちの複数の負極性用基準電圧 V_{RN} に基づいて、モード信号 MD に応じた複数の負極性用階調電圧を生成し出力する。具体的には、負極性階調電圧生成回路 392 は、モード信号 MD が示す表示モードが 3D モードであれば、 $2^n + 1$ 種類の負極性用階調電圧 $V_{GN0b} \sim V_{GN31b}$, $V_{GN0a} \sim V_{GN31a}$, $V_{GN32} \sim V_{GN224}$ を生成し出力する。以下では、 $V_{GN0b} \sim V_{GN31b}$, $V_{GN0a} \sim V_{GN31a}$, $V_{GN32} \sim V_{GN224}$ によりそれぞれ $2^n + 1$ 種類の負極性用階調電圧 $V_{GN0b} \sim V_{GN31b}$, $V_{GN0a} \sim V_{GN31a}$, $V_{GN32} \sim V_{GN224}$ の電圧値をも表すことがある。なお、3D モード時の負極性用階調電圧 V_{GN0a} と V_{GN0b} とは互いに電圧値が等しいが、便宜上、負極性用階調電圧 V_{GN0a} と V_{GN0b} とは互いに異なる種類の電圧であるものとして説明する。同様に、3D モード時の負極性用階調電圧 V_{GN31a} と V_{GN31b} とは互いに電圧値が等しいが、便宜上、負極性用階調電圧 V_{GN31a} と V_{GN31b} とは互いに異なる種類の電圧であるものとして説明する。また、負極性階調電圧生成回路 392 は、モード信号 MD が示す表示モードが 2D モードであれば、 $2^n + 1$ 種類の負極性用階調電圧 $V_{GN0} \sim V_{GN31b}$, V_{GN31a} , $V_{GN32} \sim V_{GN255}$ を生成し出力する。以下では、 $V_{GN0} \sim V_{GN31b}$, V_{GN31a} , $V_{GN32} \sim V_{GN255}$ によりそれぞれ $2^n + 1$ 種類の負極性用階調電圧 $V_{GN0} \sim V_{GN31b}$, V_{GN31a} , $V_{GN32} \sim V_{GN255}$ の電圧値をも表すことがある。なお、2D モード時の負極性用階調電圧 V_{GN31a} と V_{GN31b} とは互いに電圧値が等しいが、便宜上、負極性用階調電圧 V_{GN31a} と V_{GN31b} とは互いに異なる種類の電圧であるものとして説明する。なお、負極性階調電圧の電圧値の大小関係は、3D モード時には $V_{GN0a} > V_{GN1a} > \dots > V_{GN30a} > V_{GN31a} > V_{GN32} > \dots > V_{GN223} > V_{GN2$

24、かつ、 $VGN0b > VGN1b > \dots > VGN30b > VGN31b > VGN32 > \dots > VGN223 > VGN224$ であり、2Dモード時には $VGN0 > VGN1 > \dots > VGN254 > VGN255$ である。

[0064] 各階調極性切替スイッチSWAは、極性信号POLに応じて、出力すべき階調電圧を正極性用階調電圧と負極性用階調電圧とで切り替える。具体的には、極性信号POLが正極性を示す場合、 $2^n + 1$ 個の階調極性切替スイッチSWAは、3Dモード時には $2^n + 1$ 種類の正極性用階調電圧VGP0b～VGP31b、VGP0a～VGP31a、VGP32～VGP224をそれぞれD/A変換回路340に出力し、2Dモード時には $2^n + 1$ 種類の正極性用階調電圧VGP0～VGP31b、VGP31a～VGP62、VGP63～VGP255をそれぞれD/A変換回路340に出力する。また、極性信号POLが負極性を示す場合、 $2^n + 1$ 個の階調極性切替スイッチSWAは、3Dモード時には $2^n + 1$ 種類の負極性用階調電圧VGN0b～VGN31b、VGN0a～VGN31a、VGN32～VGN224をそれぞれD/A変換回路340に出力し、2Dモード時には $2^n + 1$ 種類の負極性用階調電圧VGN0～VGN31b、VGN31a～VGN62、VGN63～VGN255をそれぞれD/A変換回路340に出力する。

[0065] 階調電圧生成回路390から出力される $2^n + 1$ 種類の階調電圧は、図6に示すように、D/A変換回路340内の複数の選択回路341に共通に与えられる。なお、図6では3Dモード時または2Dモード時に $2^n + 1$ 種類の正極性階調電圧が選択回路341に与えられている例を示している。各選択回路341は、タイミングコントローラIC100から出力されるモード信号MDおよび画像種別信号PTYと、ラッチ回路330から出力される階調信号GDに応じて $2^n + 1$ 種類の正極性階調電圧の中から1つの正極性階調電圧を選択し、選択した正極性階調電圧を当該選択回路341に対応するバッファアンプ351に出力する。具体的には、各選択回路341は、モード信号MDが3Dモードを示し、かつ、画像種別信号PTYが動画を示す場合には、正極性用階調電圧VGP0a～VGP31a、VGP32～VGP224

の中から階調信号GDが示す階調値に応じた階調電圧を選択する。また、各選択回路341は、モード信号MDが3Dモードを示し、かつ、画像種別信号PTYが静止画を示す場合には、正極性用階調電圧VGP0b~VGP31b, VGP32~VGP224の中から階調信号GDが示す階調値に応じた階調電圧を選択する。また、各選択回路341は、モード信号MDが2Dモードを示す場合には、画像種別信号PTYに関わらず、正極性用階調電圧VGP0~VGP31b, VGP31a, VGP32~VGP255の中から階調信号GDが示す階調値に応じた階調電圧を選択する。ところで、2Dモード時において、正極性階調電圧VGP31aおよびVGP31bは電圧値が互いに等しいので、階調電圧VGP31aおよびVGP31bに対応する階調値を階調信号GDが示す場合、各選択回路341は正極性階調電圧VGP31aおよびVGP31bのどちらを選択しても良い。また、2Dモード時において正極性階調電圧VGP31aおよびVGP31bのいずれか一方が各選択回路341に与えられようにしても良い。なお、3Dモード時または2Dモード時に $2^n + 1$ 種類の負極性階調電圧が選択回路341に与えられる場合についても、同様の説明が成り立つので、ここではその説明を省略する。

[0066] <1.4.1 正極性階調電圧生成回路の構成>

図7は、本実施形態における正極性階調電圧生成回路391の構成を示す回路図である。図7では、3Dモード時に入力される基準電圧（括弧なし）を示すと共に、2Dモード時に入力される基準電圧を括弧書で示している。同様に、3Dモード時に出力される正極性階調電圧（括弧なし）を示すと共に、2Dモード時に出力される正極性階調電圧を括弧書で示している（後述の図13および図19でも同様である。）。図7中の正極性基準電圧の大小関係は、3Dモード時には $VRP0 < VRP31 < VRP95 < VRP224$ であり、2Dモード時には $VRP0 < VRP31 < VRP62 < VRP126 < VRP255$ である。

[0067] 図7に示すように、正極性階調電圧生成回路391は、互いに直列に接続

された複数個（255個）の抵抗素子 $R_{1b} \sim R_{31b}$ 、 $R_{1a} \sim R_{31a}$ 、 $R_{32} \sim R_{224}$ と、接続切替部3914とにより構成されている。なお、以下の正極性階調電圧生成回路391に関する説明では、相対的に低い階調に対応する階調電圧の生成するために用いられる抵抗素子、相対的に高い階調に対応する階調電圧の生成するために用いられる抵抗素子、中間階調付近に対応する階調電圧の生成するために用いられる抵抗素子のことをそれぞれ、「低階調側に位置する抵抗素子」、「高階調側に位置する抵抗素子」、および「中間階調付近に位置する抵抗素子」ということがある。255個の抵抗素子 $R_{1b} \sim R_{31b}$ 、 $R_{1a} \sim R_{31a}$ 、 $R_{32} \sim R_{224}$ うちの、31個の抵抗素子 $R_{1a} \sim R_{31a}$ により第1のラダー抵抗回路としての3D動画用ラダー抵抗回路3911が構成され、31個の抵抗素子 $R_{1b} \sim R_{31b}$ により第2のラダー抵抗回路としての3D静止画用ラダー抵抗回路3912が構成され、64個の抵抗素子 $R_{32} \sim R_{95}$ により第1の汎用ラダー抵抗回路3913aが構成され、129個の抵抗素子 $R_{96} \sim R_{224}$ により第2の汎用ラダー抵抗回路3913bが構成されている。接続切替部3914には、第1の開閉スイッチSWB1、第2の開閉スイッチSWB2、および第3の開閉スイッチSWB3が含まれている。3D動画用ラダー抵抗回路3911の最も低階調側（他端）に位置する抵抗素子 R_{1a} と3D静止画用ラダー抵抗回路3912の最も高階調側（一端）に位置する抵抗素子 R_{31b} とは、第1の開閉スイッチSWB1を介して互いに接続されている。

[0068] 3D動画用ラダー抵抗回路3911は、3D動画または2D画像を表示する際に使用される階調電圧を生成するためのラダー抵抗回路である。3D動画用ラダー抵抗回路3911を構成する抵抗素子 $R_{1a} \sim R_{31a}$ の抵抗値は互いに略同一である。3D動画用ラダー抵抗回路3911の最も高階調側（一端）に位置する抵抗素子 R_{31a} と第1の汎用ラダー抵抗回路3913aの最も低階調側に位置する抵抗素子 R_{32} との接続点（以下本実施形態において「3D動画用ラダー抵抗回路3911の高階調側ノード」という。）には、3Dモード時には正極性基準電圧 V_{RP31} が印加され、2Dモード

時には正極性基準電圧 V_{RP62} が印加される。3D動画用ラダー抵抗回路3911の最も低階調側（他端）に位置する抵抗素子 R_{1a} と第1の開閉スイッチ $SWB1$ との接続点（以下本実施形態において「3D動画用ラダー抵抗回路3911の低階調側ノード」という。）には、3Dモード時には正極性基準電圧 V_{RP0} が印加され、2Dモード時には基準電圧 V_{RP31} が印加される。

[0069] 3D静止画用ラダー抵抗回路3912は、3D静止画または2D画像を表示する際に使用される階調電圧を生成するためのラダー抵抗回路である。3D静止画用ラダー抵抗回路3912を構成する抵抗素子 $R_{1b} \sim R_{31b}$ の抵抗値は、3D静止画用ラダー抵抗回路3912の最も高階調側（一端）に位置する抵抗素子 R_{31b} から、3D静止画用ラダー抵抗回路3912の最も低階調側（他端）に位置する抵抗素子 R_{1b} にかけて大きくなっている。3D静止画用ラダー抵抗回路3912の最も高階調側（一端）に位置する抵抗素子 R_{31b} と第1の開閉スイッチ $SWB1$ との接続点（以下本実施形態において「3D静止画用ラダー抵抗回路3912の高階調側ノード」という。）には、3Dモード時および2Dモード時共に正極性基準電圧 V_{RP31} が印加される。3D静止画用ラダー抵抗回路3912の最も低階調側（他端）、すなわち、255個の抵抗素子 $R_{1b} \sim R_{31b}$ 、 $R_{1a} \sim R_{31a}$ 、 $R_{32} \sim R_{224}$ の中で最も低階調側（他端）に位置する抵抗素子 R_{1b} の、抵抗素子 R_{2b} に接続されている側と反対側の端部（以下本実施形態において「3D静止画用ラダー抵抗回路3912の低階調側ノード」という。）には、3Dモード時および2Dモード時共に正極性基準電圧 V_{RP0} が印加される。

[0070] 第1、第2の汎用ラダー抵抗回路3913a、3913bのそれぞれは、3D画像または2D画像を表示する際に使用される階調電圧を生成するためのラダー抵抗回路である。第1の汎用ラダー抵抗回路3913aを構成する抵抗素子 $R_{32} \sim R_{95}$ の抵抗値は互いに略同一である。第2の汎用ラダー抵抗回路3913bを構成する抵抗素子 $R_{96} \sim R_{224}$ の抵抗値は、第2

の汎用ラダー抵抗回路 3913b の最も低階調側に位置する抵抗素子 R96 から、第 2 の汎用ラダー抵抗回路 3913b の最も高階調側に位置する抵抗素子 R224 にかけて大きくなっている。第 1 の汎用ラダー抵抗回路 3913a の最も高階調側に位置する抵抗素子 R95 と第 2 の汎用ラダー抵抗回路 3913b の最も低階調側に位置する抵抗素子 R96 との接続点には、3D モード時には正極性基準電圧 V_{RP95} が印加され、2D モード時には正極性基準電圧 V_{RP126} が印加される。第 2 の汎用ラダー抵抗回路 3913b の最も高階調側、すなわち、255 個の抵抗素子 R1b ~ R31b, R1a ~ R31a, R32 ~ R224 の中で最も高階調側（一端）に位置する抵抗素子 R224 の、抵抗素子 R223 に接続されている側と反対側の端部には、3D モード時には正極性基準電圧 V_{RP224} が印加され、2D モード時には正極性基準電圧 V_{RP255} が印加される。

[0071] 第 1 の開閉スイッチ SWB1 を介して、3D 動画用ラダー抵抗回路 3911 の低階調側ノードと 3D 静止画用ラダー抵抗回路 3912 の高階調側ノードとが互いに接続されている。第 2 の開閉スイッチ SWB2 を介して、3D 動画用ラダー抵抗回路 3911 の高階調側ノードと 3D 静止画用ラダー抵抗回路 3912 の高階調側ノードとが互いに接続されている。第 3 の開閉スイッチ SWB3 を介して、3D 動画用ラダー抵抗回路 3911 の低階調側ノードと 3D 静止画用ラダー抵抗回路 3912 の低階調側ノードとが互いに接続されている。第 1 ~ 第 3 の開閉スイッチ SWB1 ~ SWB3 の開閉動作はモード信号 MD により制御される。モード信号が 3D モードを示すときには第 1 の開閉スイッチ SWB1 は開き、第 2, 第 3 の開閉スイッチ SWB2, 3 は閉じる。一方、モード信号が 2D モードを示すときには第 1 の開閉スイッチ SWB1 は閉じ、第 2, 第 3 の開閉スイッチ SWB2, 3 は開く。

[0072] なお、負極性階調電圧生成回路 392 の抵抗素子の接続については、上述の正極性階調電圧生成回路 391 におけるものと同様である。また、負極性階調電圧生成回路 392 における負極性基準電圧および負極性階調電圧についても、上述の正極性階調電圧生成回路 391 における正極性基準電圧およ

び正極性階調電圧を表す各符号のアルファベットうち、“P”を“N”を置き換えたのみであるので、負極性階調電圧生成回路392についての詳細な説明は省略する。ただし、負極性基準電圧の大小関係は、上述の正極性基準電圧の大小関係と逆になっている。すなわち、負極性基準電圧の大小関係は、 $V_{RN0} > V_{RN31} > V_{RN95} > V_{RN224}$ で、2Dモード時には $V_{RN0} > V_{RN31} > V_{RN62} > V_{RN126} > V_{RN255}$ である。

[0073] <1.4.2 正極性階調電圧生成回路の動作>

本実施形態における正極性階調電圧生成回路391の3Dモード時の動作および2Dモード時の動作について、上記図7を参照しながら説明する。なお、負極性階調電圧生成回路392の動作については、正極性階調電圧生成回路391の動作と同様であるので、説明を省略する。

[0074] <1.4.2.1 3Dモード時の動作>

3Dモード時には、モード信号MDに応じて第1の開閉スイッチSWB1が開き、第2、第3の開閉スイッチSWB2、3が閉じると共に、正極性階調電圧生成回路391に正極性基準電圧VRP0、VRP31、VRP95、VRP224が与えられる。なお、図7では、3D動画用ラダー抵抗回路3911の高階調側ノードおよび3D静止画用ラダー抵抗回路3912の高階調側ノードの双方に正極性基準電圧VRP31が基準電圧生成回路600から印加されるものとしているが、第2の開閉スイッチSWB2が閉じているので、それらのノードの一方のみに正極性基準電圧VRP31を印加し、それらのノードの他方への入力を開放するようにしても良い。同様に、3D動画用ラダー抵抗回路3911の低階調側ノードおよび3D静止画用ラダー抵抗回路3912の低階調側ノードの双方に正極性基準電圧VRP0が基準電圧生成回路600から印加されるものとしているが、第3の開閉スイッチSWB3が閉じているので、それらのノードの一方のみに正極性基準電圧VRP31を印加し、それらのノードの他方への入力を開放するようにしても良い。このようにすると、正極性階調電圧生成回路391に与えるべき正極性基準電圧の数を低減できる。また、本実施形態のように3D動画用ラダー抵

抗回路 3911 の高階調側ノードおよび 3D 静止画用ラダー抵抗回路 3912 の高階調側ノードの双方に正極性基準電圧 V_{RP31} が、3D 動画用ラダー抵抗回路 3911 の低階調側ノードおよび 3D 静止画用ラダー抵抗回路 3912 の低階調側ノードの双方に正極性基準電圧 V_{RP0} が印加される場合には、第 2、第 3 の開閉スイッチ $SWB2$ 、 3 は必ずしも設けなくても良い。

[0075] 3D 動画用ラダー抵抗回路 3911 は、正極性基準電圧 V_{RP31} と V_{RP0} との間の電圧を 31 個の抵抗素子 $R1a \sim R31a$ で分圧することにより、32 種類の正極性階調電圧 $V_{GP0a} \sim V_{GP31a}$ を生成し出力する。なお、正極性階調電圧 V_{GP31a} については、図 7 に示すように、汎用ラダー抵抗回路 3913 により生成されとも言える。このように、2 つのラダー抵抗回路間では、生成される複数の正極性階調電圧の一部（当該複数の正極性階調電圧のうちの最も電圧の高いまたは低い正極性階調電圧）が重複するので、正極性階調電圧生成回路 391 全体で生成される正極性階調電圧の数と、正極性階調電圧生成回路 391 内の各ラダー抵抗回路で生成される正極性階調電圧の数の和とが一致しない点に留意されたい。3D 静止画用ラダー抵抗回路 3912 は、正極性基準電圧 V_{RP31} と V_{RP0} との間の電圧を 31 個の抵抗素子 $R1b \sim R31b$ で分圧することにより、32 種類の正極性階調電圧 $V_{GP0b} \sim V_{GP31b}$ を生成し出力する。第 1 の汎用ラダー抵抗回路 3913a は、正極性基準電圧 V_{RP95} と V_{RP31} との間の電圧を 64 個の抵抗素子 $R32 \sim R95$ で分圧することにより、66 種類の正極性階調電圧 V_{GP31a} 、 $V_{GP32} \sim V_{GP95}$ を生成し出力する。第 2 の汎用ラダー抵抗回路 3913b は、正極性基準電圧 V_{RP224} と V_{RP95} との間の電圧を 129 個の抵抗素子 $R96 \sim R224$ で分圧することにより、130 種類の正極性階調電圧 $V_{GP95} \sim V_{GP224}$ を生成し出力する。このようにして、正極性階調電圧生成回路 391 は、 $2^n + 1$ 種類（ $n = 8$ ）の正極性階調電圧 $V_{GP0a} \sim V_{GP31b}$ 、 $V_{GP0a} \sim V_{GP31a}$ 、 $V_{GP32} \sim V_{GP255}$ を生成し出力する。なお、 V_{GP}

$0a = VGP0b$ 、 $VGP31a = VGP31b$ である。

[0076] 図8は、本実施形態における正極性階調電圧生成回路391で、3D動画を表示する際に使用される正極性階調電圧を生成するための3D動画用ラダー抵抗回路3911、第1の汎用ラダー抵抗回路3913a、および第2の汎用ラダー抵抗回路3913b（以下、これらをまとめて「3D動画表示に使用するラダー抵抗回路群」という。）内の各抵抗素子の抵抗値の一例と、3D静止画を表示する際に使用される正極性階調電圧を生成するための3D静止画用ラダー抵抗回路3912、第1の汎用ラダー抵抗回路3913a、および第2の汎用ラダー抵抗回路3913b（以下、これらをまとめて「3D静止画表示に使用するラダー抵抗回路群」という。）内の各抵抗素子の抵抗値の一例とを示す図である。なお、図8における横軸の数値は、抵抗素子を示すための符号中に当該数値を含む抵抗素子に対応している（後述の図11、図14、図17、図20、および図23でも同様である。）。例えば、横軸における数値205は抵抗素子R205に対応し、また、数値13は3D動画表示に使用するラダー抵抗回路群に関しては抵抗素子R13aに対応し、3D静止画表示に使用するラダー抵抗回路群に関しては抵抗素子R13bに対応している。上述のように、3D動画用ラダー抵抗回路3911を構成する抵抗素子R1a～R31aの抵抗値は互いに略同一であり、3D静止画用ラダー抵抗回路3912を構成する抵抗素子R1b～R31bの抵抗値は、3D静止画用ラダー抵抗回路3912の最も高階調側（一端）に位置する抵抗素子R31bから、3D静止画用ラダー抵抗回路3912の最も低階調側（他端）に位置する抵抗素子R1bにかけて値が大きくなっている。このため、図8に示すように、3D動画表示に使用するラダー抵抗回路群内の各抵抗素子の抵抗値は低階調側で略一定となり、3D静止画表示に使用するラダー抵抗回路群内の各抵抗素子の抵抗値は低階調側において、当該抵抗素子がより低階調側に位置するほど高くなっている。このような抵抗値の設定は、3D静止画表示に使用するラダー抵抗回路については、液晶のVT特性に応じた階調電圧を生成するための従来のラダー抵抗回路で用いられるもの

と同様であるが、３Ｄ動画表示に使用するラダー抵抗回路群については当該従来のラダー抵抗回路で用いられるものと異なっている。

[0077] なお、上述のように、第１の汎用ラダー抵抗回路３９１３ａを構成する抵抗素子Ｒ３２～Ｒ９５の抵抗値は互いに略同一であり、第２の汎用ラダー抵抗回路３９１３ｂを構成する抵抗素子Ｒ９６～Ｒ２２４の抵抗値は、第２の汎用ラダー抵抗回路３９１３ｂの最も低階調側に位置する抵抗素子Ｒ９６から最も高階調側に位置する抵抗素子Ｒ２２４にかけて大きくなっている。このため、図８に示すように、３Ｄ動画表示に使用するラダー抵抗回路群内および３Ｄ静止画表示に使用するラダー抵抗回路群内の各抵抗素子の抵抗素子は、中間階調付近では略一定であり、高階調側では、当該抵抗素子がより高階調側に位置するほど高くなっている。このような抵抗値の設定は、液晶のＶＴ特性に応じた階調電圧を生成するための従来のラダー抵抗回路で用いられるものと同様である。

[0078] 図９は、図８に係る３Ｄ動画表示に使用するラダー抵抗回路群内の各抵抗素子の抵抗値に基づいて得られる正極性階調電圧の階調電圧間隔を示す図である。図中では、各階調値に対応する階調電圧と、当該階調値よりも１つ小さい階調値に対応する階調電圧との差を示している（後述の図１０、図１２、図１５、図１６、図１８、図２１、図２２、および図２４でも同様である。）。図９に示すように、中間階調付近では階調値の高低によらず階調電圧間隔が略一定であり、高階調側では階調値が高くなるにつれて階調電圧間隔が大きくなっている。これは、従来の階調電圧生成回路により生成される階調電圧の階調電圧間隔と同様である。これに対して、低階調側では、階調値の高低によらず階調電圧間隔は略一定になっている。この点が、低階調側において階調値が低くなるにつれて階調電圧間隔が大きくなる従来の階調電圧生成回路と異なる。

[0079] 図１０は、図８に係る３Ｄ静止画表示に使用するラダー抵抗回路群内の各抵抗素子の抵抗値に基づいて得られる正極性階調電圧の電圧間隔を示す図である。図１０に示すように、低階調側では階調値が低くなるにつれて階調電

圧間隔が大きくなり、中間階調付近では階調値の高低によらず階調電圧間隔が略一定であり、高階調側ではより階調値が高くなるにつれて階調電圧間隔が大きくなっている。これは、従来の階調電圧生成回路により生成される階調電圧の階調電圧間隔と同様である。

[0080] <1. 4. 2. 2 2Dモード時の動作>

2Dモード時には、モード信号MDに応じて第1の開閉スイッチSWB1が閉じ、第2、第3の開閉スイッチSWB2、3が開くと共に、正極性階調電圧生成回路391に正極性基準電圧VRP0、VRP31、VRP62、VRP126、VRP255が与えられる。なお、図7では、3D動画用ラダー抵抗回路3911の低階調側ノードおよび3D静止画用ラダー抵抗回路3912の高階調側ノードの双方に正極性基準電圧VRP31が基準電圧生成回路600から印加されるものとしているが、それらのノードの一方のみに正極性基準電圧VRP31を印加し、それらのノードの他方への入力を開放するようにしても良い。

[0081] 3D動画用ラダー抵抗回路3911は、正極性基準電圧VRP32とVRP62との間の電圧を31個の抵抗素子R1a~R31aで分圧することにより、32種類の正極性階調電圧VGP31a~VGP62を生成し出力する。3D静止画用ラダー抵抗回路3912は、正極性基準電圧VRP31とVRP0との間の電圧を31個の抵抗素子R1b~R31bで分圧することにより、32種類の正極性階調電圧VGP0~VGP31bを生成し出力する。第1の汎用ラダー抵抗回路3913aは、正極性基準電圧VRP126とVRP62との間の電圧を64個の抵抗素子R32~R95で分圧することにより、65種類の正極性階調電圧VGP62~VGP126を生成し出力する。第2の汎用ラダー抵抗回路3913bは、正極性基準電圧VRP255とVRP126との間の電圧を129個の抵抗素子R96~R224で分圧することにより、130種類の正極性階調電圧VGP126~VGP255を生成し出力する。このようにして、正極性階調電圧生成回路391は、 $2^n + 1$ 種類 ($n = 8$) の階調電圧の正極性階調電圧VGP0~VGP31

b, VGP31a~VGP255を生成し出力する。なお、VGP31a=VGP31bである。

[0082] 図11は、本実施形態における正極性階調電圧生成回路391で、2D画像を表示する際に使用される正極性階調電圧を生成するための3D動画用ラダー抵抗回路3911、3D静止画用ラダー抵抗回路3912、第1の汎用ラダー抵抗回路3913a、および第2の汎用ラダー抵抗回路3913b（以下、これらをまとめて「2D画像表示に使用するラダー抵抗回路群」という。）内の各抵抗素子の抵抗値の一例を示す図である。3D静止画用ラダー抵抗回路3912を構成する抵抗素子R1b~R31bの抵抗値は、3D静止画用ラダー抵抗回路3912の最も高階調側（一端）に位置する抵抗素子R31bから、3D静止画用ラダー抵抗回路3912の最も低階調側（他端）に位置する抵抗素子R1bにかけて値が大きくなり、3D動画用ラダー抵抗回路3911を構成する抵抗素子R1a~R31aの抵抗値は互いに略同一であり、第1の汎用ラダー抵抗回路3913aを構成する抵抗素子R32~R95の抵抗値は互いに略同一であり、第2の汎用ラダー抵抗回路3913bを構成する抵抗素子R96~R224の抵抗値は、第2の汎用ラダー抵抗回路3913bの最も低階調側に位置する抵抗素子R96から、第2の汎用ラダー抵抗回路3913bの最も高階調側に位置する抵抗素子R224にかけて大きくなっている。このため、図11に示すように、2D画像表示に使用するラダー抵抗回路群内の各抵抗素子の抵抗値は、低階調側では当該抵抗素子がより低階調側に位置するほど抵抗値が高くなり、中間階調付近では略一定であり、高階調側では当該抵抗素子がより高階調側に位置するほど抵抗値が高くなっている。このような抵抗値の設定は、液晶のVT特性に応じた階調電圧を生成するための従来のラダー抵抗回路で用いられるものと同様である。

[0083] 図12は、図11に係る2D画像表示に使用するラダー抵抗回路群内の各抵抗素子の抵抗値に基づいて得られる正極性階調電圧の電圧間隔を示す図である。図12に示すように、低階調側では階調値が低くなるにつれて階調電

圧間隔が大きくなり、中間階調付近では階調値の高低によらず階調電圧間隔が略一定であり、高階調側では階調値が高くなるにつれて階調電圧間隔が大きくなっている。これは、従来の階調電圧生成回路により生成される階調電圧の階調電圧間隔と同様である。

[0084] <1. 5 効果>

本実施形態によれば、3Dモードおよび2Dモードの2種類の表示モードでの画像表示が可能な液晶表示装置内の階調電圧生成回路において、低階調側に位置する3D動画用ラダー抵抗回路3911と、当該3D動画用ラダー抵抗回路3911よりも低階調側に位置する3D静止画用ラダー抵抗回路3912とが設けられる。3D動画用ラダー抵抗回路3911を構成する抵抗素子R1a～R31aの抵抗値は互いに略同一であり、3D静止画用ラダー抵抗回路3912を構成する抵抗素子R1b～R31bの抵抗値は、3D静止画用ラダー抵抗回路3912の最も高階調側（一端）に位置する抵抗素子R31bから、3D静止画用ラダー抵抗回路3912の最も低階調側（他端）に位置する抵抗素子R1bにかけて値が大きくなっている。3Dモード時には、3D動画用ラダー抵抗回路3911および3D静止画用ラダー抵抗回路3912に互いに同じ基準電圧VRP0、VRP31が印加される。このため、3Dモード時には、3D動画表示用の、階調値の高低によらず階調電圧間隔が略一定な低階調側の階調電圧と、3D静止画表示用の、階調値が低くなるにつれて階調電圧間隔が大きくなる低階調側の階調電圧との2種類の低階調側の階調電圧が得られる。これにより、3D動画表示時には、階調電圧間隔が略一定な低階調側の階調電圧を用いて液晶の応答速度を制御できるので、低階調側での液晶の応答速度の制御精度を高めることができる。その結果、3D動画表示時に良好な表示品位が得られる。また、3D動画表示時ほどは液晶の応答速度の遅れが問題とならない3D静止画表示では、従来どおり、液晶のVT特性に沿った、階調値が低くなるにつれて階調電圧間隔が大きくなる低階調側の階調電圧が用いられるので、結果として3D静止画表示時にも良好な表示品位が得られる。これに対して、2Dモード時には、3

D静止画用ラダー抵抗回路3912には基準電圧VRP0, VRP31が印加され、3D動画用ラダー抵抗回路3911には基準電圧VRP31, VRP62が印加される（すなわち、分圧されるべき基準電圧の一部である基準電圧VRP31が重複している）ことにより、従来の階調電圧生成回路と同様の液晶のVT特性に沿った階調電圧が得られる。したがって、2D画像表示時にも良好な表示品位が得られる。以上のように、3D動画用ラダー抵抗回路3911および3D静止画用ラダー抵抗回路3912を各表示モードで兼用し、3Dモードでは3D動画用ラダー抵抗回路3911および3D静止画用ラダー抵抗回路3912のそれぞれで低階調側の階調電圧を生成することにより、低コストかつ小回路規模で、各表示モードでの良好な表示品位が得られる。

[0085] <2. 第2の実施形態>

上記図25に示す液晶のVT特性によれば、比較低電圧の低い領域RAのみならず、比較的電圧の高い領域（中程度の電圧の領域RBよりも高い電圧の領域）においても、印加電圧の変化に対する輝度変化が相対的に小さくなっている。すなわち、上記図26に示すように、従来の階調電圧生成回路では、高階調側において階調値が高くなるにつれて階調電圧間隔が大きくなっている。低階調側のみならず、このように高階調側においても階調電圧間隔が大きくなると共に不均一になる。上記第1の実施形態は低階調側の階調電圧間隔に関する3D動画表示時の表示品位の低下を解消するものであるが、本発明の第2の実施形態は高階調側の階調電圧間隔に関する3D動画表示時の表示の低下を解消するものである。なお、本実施形態は、正極性階調電圧生成回路391（および負極性階調電圧生成回路392）の構成等を除き上記第1の実施形態と構成等が基本的に共通するので、このように共通する部分については説明を省略する。また、本実施形態の構成要素のうちの上記第1の実施形態と同一の要素については、同一の参照符号を付して適宜説明を省略する。また、負極性階調電圧生成回路392の構成等については、上記第1の実施形態と同様に説明を省略する。

[0086] <2. 1 正極性階調電圧生成回路の構成>

図13は、本実施形態における正極性階調電圧生成回路391の構成を示す回路図である。図13中の正極性基準電圧の大小関係は、3Dモード時には $VRP0 < VRP31 < VRP193 < VRP224$ であり、2Dモード時には $VRP0 < VRP31 < VRP193 < VRP224 < VRP255$ である。図13に示すように、正極性階調電圧生成回路391は、互いに直列に接続された複数個（255個）の抵抗素子 $R1 \sim R31$ 、 $R32 \sim R193$ 、 $R194a \sim R224a$ 、 $R194b \sim R224b$ と、接続切替部3914（第1の開閉スイッチSWB1、第2の開閉スイッチSWB2、および第3の開閉スイッチSWB3）とにより構成されている。255個の抵抗素子 $R1 \sim R31$ 、 $R32 \sim R193$ 、 $R194a \sim R224a$ 、 $R194b \sim R224b$ のうちの、31個の $R194a \sim R224a$ により第1のラダー抵抗回路としての3D動画用ラダー抵抗回路3911が構成され、31個の $R194b \sim R224b$ により第2のラダー抵抗回路としての3D静止画用ラダー抵抗回路3912が構成され、162個の抵抗素子 $R32 \sim R193$ により第1の汎用ラダー抵抗回路3913aが構成され、31個の抵抗素子 $R1 \sim R31$ により第2の汎用ラダー抵抗回路3913bが構成されている。3D動画用ラダー抵抗回路3911の最も高階調側（他端）に位置する抵抗素子 $R224a$ と3D静止画用ラダー抵抗回路3912の最も低階調側（一端）に位置する抵抗素子 $R194b$ とは、第1の開閉スイッチSWB1を介して互いに接続されている。

[0087] 3D動画用ラダー抵抗回路3911を構成する抵抗素子 $R194a \sim R224a$ の抵抗値は互いに略同一である。3D動画用ラダー抵抗回路3911の最も低階調側（一端）に位置する抵抗素子 $R194a$ と、第1の汎用ラダー抵抗回路3913aの最も高階調側に位置する抵抗素子 $R193$ との接続点（以下本実施形態において「3D動画用ラダー抵抗回路3911の低階調側ノード」という。）には、3Dモード時および2Dモード時共に正極性基準電圧 $VRP193$ が印加される。3D動画用ラダー抵抗回路3911の最

も高階調側（他端）に位置する抵抗素子 R_{224a} と第1の開閉スイッチ $SWB1$ との接続点（以下本実施形態において「3D動画用ラダー抵抗回路3911の高階調側ノード」という。）には、3Dモード時および2Dモード時共に正極性基準電圧 V_{RP224} が印加される。

[0088] 3D静止画用ラダー抵抗回路3912を構成する抵抗素子 $R_{194b} \sim R_{224b}$ の抵抗値は、3D静止画用ラダー抵抗回路3912の最も低階調側（一端）に位置する抵抗素子 R_{194b} から、3D静止画用ラダー抵抗回路3912の最も高階調側（他端）に位置する抵抗素子 R_{224b} にかけて大きくなっている。3D静止画用ラダー抵抗回路3912の最も低階調側（一端）に位置する抵抗素子 R_{194b} と第1の開閉スイッチ $SWB1$ との接続点（以下本実施形態において「3D静止画用ラダー抵抗回路3912の低階調側ノード」という。）には、3Dモード時には正極性基準電圧 V_{RP193} が印加され、2Dモード時には正極性基準電圧 V_{RP224} が印加される。3D静止画用ラダー抵抗回路3912の最も高階調側（他端）に位置する、すなわち、255個の抵抗素子 $R_1 \sim R_{31}$, $R_{32} \sim R_{193}$, $R_{194a} \sim R_{224a}$, $R_{194b} \sim R_{224b}$ の中で最も高階調側（一端）に位置する抵抗素子 R_{224b} の、抵抗素子 R_{223b} に接続されている側と反対側の端部（以下本実施形態において「3D静止画用ラダー抵抗回路3912の高階調側ノード」という。）には、3Dモード時には正極性基準電圧 V_{RP224} が印加され、2Dモード時には正極性基準電圧 V_{RP255} が印加される。

[0089] 第1の汎用ラダー抵抗回路3913aを構成する抵抗素子 $R_{32} \sim R_{193}$ の抵抗値は互いに略同一である。第2の汎用ラダー抵抗回路3913bを構成する抵抗素子 $R_1 \sim R_{31}$ の抵抗値は、第2の汎用ラダー抵抗回路3913bの最も高階調側に位置する抵抗素子 R_{31} から、第2の汎用ラダー抵抗回路3913bの最も低階調側に位置する抵抗素子 R_1 にかけて大きくなっている。第1の汎用ラダー抵抗回路3913aの最も低階調側に位置する抵抗素子 R_{32} と第2の汎用ラダー抵抗回路3913bの最も高階調側に位

置する抵抗素子 R_{31} との接続点には、3Dモード時および2Dモード時に正極性基準電圧 V_{RP31} が印加される。第2の汎用ラダー抵抗回路3913bの最も低階調側、すなわち、255個の抵抗素子 $R_1 \sim R_{31}$, $R_{32} \sim R_{193}$, $R_{194a} \sim R_{224a}$, $R_{194b} \sim R_{224b}$ の中で最も低階調側（他端）に位置する抵抗素子 R_1 の、抵抗素子 R_2 に接続されている側と反対側の端部には、3Dモード時および2Dモード時に正極性基準電圧 V_{RP0} が印加される。

[0090] 第1の開閉スイッチ SWB_1 を介して、3D動画用ラダー抵抗回路3911の高階調側ノードと3D静止画用ラダー抵抗回路3912の低階調側ノードとが互いに接続されている。第2の開閉スイッチ SWB_2 を介して、3D動画用ラダー抵抗回路3911の低階調側ノードと3D静止画用ラダー抵抗回路3912の低階調側ノードとが互いに接続されている。第3の開閉スイッチ SWB_3 を介して、3D動画用ラダー抵抗回路3911の高階調側ノードと3D静止画用ラダー抵抗回路3912の高階調側ノードとが互いに接続されている。

[0091] <2. 2 正極性階調電圧生成回路の動作>

本実施形態における正極性階調電圧生成回路391の3Dモード時の動作および2Dモード時の動作について、上記図13を参照しながら説明する。なお、上記第1の実施形態と共通する動作については、適宜説明を省略する。

[0092] <2. 2. 1 3Dモード時の動作>

3Dモード時には、図13に示すように、正極性階調電圧生成回路391に正極性基準電圧 V_{RP0} , V_{RP31} , V_{RP193} , V_{RP224} が与えられる。3D動画用ラダー抵抗回路3911は、正極性基準電圧 V_{RP224} と V_{RP193} との間の電圧を31個の抵抗素子 $R_{194a} \sim R_{224a}$ で分圧することにより、32種類の正極性階調電圧 $V_{GP193a} \sim V_{GP224a}$ を生成し出力する。3D静止画用ラダー抵抗回路3912は、正極性基準電圧 V_{RP224} と V_{RP193} との間の電圧を31個の抵抗素子 $R_{194b} \sim R_{224b}$ で分圧することにより、32種類の正極性階調電圧 $V_{GP193b} \sim V_{GP224b}$ を生成し出力する。

4 b ~ R 2 2 4 b で分圧することにより、3 2 種類の正極性階調電圧 V G P 1 9 3 b ~ V G P 2 2 4 b を生成し出力する。第 1 の汎用ラダー抵抗回路 3 9 1 3 a は、正極性基準電圧 V R P 1 9 3 と V R P 3 1 との間の電圧を 1 6 2 個の抵抗素子 R 3 2 ~ R 1 9 3 で分圧することにより、1 6 3 種類の正極性階調電圧 V G P 3 1 ~ V G P 1 9 3 a を生成し出力する。第 2 の汎用ラダー抵抗回路 3 9 1 3 b は、正極性基準電圧 V R P 3 1 と V R P 0 との間の電圧を 3 1 個の抵抗素子 R 1 ~ R 3 1 で分圧することにより、3 2 種類の正極性階調電圧 V G P 0 ~ V G P 3 1 を生成し出力する。このようにして、正極性階調電圧生成回路 3 9 1 は、 $2^n + 1$ 種類 ($n = 8$) の正極性階調電圧 V G P 0 ~ V G P 1 9 2, V G P 1 9 3 a ~ V G P 2 2 4 a, V G P 1 9 3 b ~ V G P 2 2 4 b を生成し出力する。なお、V G P 1 9 3 a = V G P 1 9 3 b、V G P 2 2 4 a = V G P 2 2 4 b である。

[0093] 図 1 4 は、本実施形態における 3 D 動画表示に使用するラダー抵抗回路群内の各抵抗素子の抵抗値の一例と、3 D 静止画表示に使用するラダー抵抗回路群内の各抵抗素子の抵抗値の一例とを示す図である。上述のように、3 D 動画用ラダー抵抗回路 3 9 1 1 を構成する抵抗素子抵抗素子 R 1 9 4 a ~ R 2 2 4 a の抵抗値は互いに略同一であり、3 D 静止画用ラダー抵抗回路 3 9 1 2 を構成する抵抗素子 R 1 9 4 b ~ R 2 2 4 b の抵抗値は、3 D 静止画用ラダー抵抗回路 3 9 1 2 の最も低階調側（一端）に位置する抵抗素子 R 1 9 4 b から、3 D 静止画用ラダー抵抗回路 3 9 1 2 の最も高階調側（他端）に位置する抵抗素子 R 2 2 4 b にかけて大きくなっている。このため、図 1 4 に示すように、3 D 動画表示に使用するラダー抵抗回路群内の各抵抗素子の抵抗値は高階調側で略一定となり、3 D 静止画表示に使用するラダー抵抗回路群内の各抵抗素子の抵抗値は高階調側において、当該抵抗素子がより高階調側に位置するほど高くなっている。このような抵抗値の設定は、3 D 静止画表示に使用するラダー抵抗回路については、液晶の V T 特性に応じた階調電圧を生成するための従来のラダー抵抗回路で用いられるものと同様であるが、3 D 動画表示に使用するラダー抵抗回路群については当該従来のラダー

抵抗回路で用いられるものと異なっている。

[0094] なお、上述のように、第1の汎用ラダー抵抗回路3913aを構成する抵抗素子R32～R193の抵抗値は互いに略同一であり、第2の汎用ラダー抵抗回路3913bを構成する抵抗素子R1～R31の抵抗値は、第2の汎用ラダー抵抗回路3913bの最も高階調側に位置する抵抗素子R31から、第2の汎用ラダー抵抗回路3913bの最も低階調側に位置する抵抗素子R1にかけて大きくなっている。このため、図14に示すように、3D動画表示に使用するラダー抵抗回路群内および3D静止画表示に使用するラダー抵抗回路群内の各抵抗素子の抵抗素子は、中間階調付近では略一定であり、低階調側では、当該抵抗素子がより低階調側に位置するほど高くなっている。このような抵抗値の設定は、液晶のVT特性に応じた階調電圧を生成するための従来のラダー抵抗回路で用いられるものと同様である。

[0095] 図15は、図14に係る3D動画表示に使用するラダー抵抗回路群内の各抵抗素子の抵抗値に基づいて得られる正極性階調電圧の階調電圧間隔を示す図である。図15に示すように、中間階調付近では階調値の高低によらず階調電圧間隔が略一定であり、低階調側では階調値が低くなるにつれて階調電圧間隔が大きくなっている。これは、従来の階調電圧生成回路により生成される階調電圧の階調電圧間隔と同様である。これに対して、高階調側では、階調値の高低によらず階調電圧間隔は略一定になっている。この点が、高階調側において階調値が高くなるにつれて階調電圧間隔が大きくなる従来の階調電圧生成回路と異なる。

[0096] 図16は、図14に係る3D静止画表示に使用するラダー抵抗回路群内の各抵抗素子の抵抗値に基づいて得られる正極性階調電圧の電圧間隔を示す図である。図14に示すように、低階調側では階調値が低くなるにつれて階調電圧間隔が大きくなり、中間階調付近では階調値の高低によらず階調電圧間隔が略一定であり、高階調側ではより階調値が高くなるにつれて階調電圧間隔が大きくなっている。これは、従来の階調電圧生成回路により生成される階調電圧の階調電圧間隔と同様である。

[0097] <2. 2. 2 2Dモード時の動作>

2Dモード時には、図13に示すように、正極性階調電圧生成回路391に正極性基準電圧VRP0, VRP31, VRP193, VRP224, VRP255が与えられる。3D動画用ラダー抵抗回路3911は、正極性基準電圧VRP224とVRP193との間の電圧を分圧することにより、32種類の正極性階調電圧VGP193a~VGP224aを生成し出力する。3D静止画用ラダー抵抗回路3912は、正極性基準電圧VRP224とVRP193との間の電圧を分圧することにより、32種類の正極性階調電圧VGP193b~VGP224bを生成し出力する。第1の汎用ラダー抵抗回路3913aは、正極性基準電圧VRP193とVRP31との間の電圧を162個の抵抗素子R32~R193で分圧することにより、163種類の正極性階調電圧VGP31~VGP193を生成し出力する。第2の汎用ラダー抵抗回路3913bは、正極性基準電圧VRP31とVRP0との間の電圧を31個の抵抗素子R1~R31で分圧することにより、32種類の正極性階調電圧VGP0~VGP31を生成し出力する。このようにして、正極性階調電圧生成回路391は、 $2^n + 1$ 種類 ($n = 8$) の正極性階調電圧VGP0~VGP224a, VGP224b~VGP255を生成し出力する。なお、VGP224a = VGP224bである。

[0098] 図17は、本実施形態における2D画像表示に使用するラダー抵抗回路群内の各抵抗素子の抵抗値の一例を示す図である。図18は、図17に係る2D画像表示に使用するラダー抵抗回路群内の各抵抗素子の抵抗値に基づいて得られる正極性階調電圧の電圧間隔を示す図である。ここで、本実施形態における2D画像表示に使用するラダー抵抗回路群内の複数の抵抗素子間の抵抗値の関係、および当該抵抗値に基づいて得られる正極性階調電圧の電圧間隔は、基本的に上記第1の実施形態におけるものと同様であるので、それらの説明を省略する(図11、図12を参照)。

[0099] <2. 3 効果>

本実施形態によれば、上記第1の実施形態と異なり、高階調側に位置する

３Ｄ動画用ラダー抵抗回路３９１１と、当該３Ｄ動画用ラダー抵抗回路３９１１よりも高階調側に位置する３Ｄ静止画用ラダー抵抗回路３９１２とが設けられる。このため、３Ｄ動画用ラダー抵抗回路３９１１および３Ｄ静止画用ラダー抵抗回路３９１２を各表示モードで兼用し、３Ｄモードでは３Ｄ動画用ラダー抵抗回路３９１１および３Ｄ静止画用ラダー抵抗回路３９１２のそれぞれで高階調側の階調電圧を生成することにより、低コストかつ小回路規模で、各表示モードでの良好な表示品位が得られる。

[0100] <３．第３の実施形態>

本発明の第３の実施形態は、正極性階調電圧生成回路３９１（および負極性階調電圧生成回路３９２）において、上記第１の実施形態における３Ｄ動画用ラダー抵抗回路３９１１および３Ｄ静止画用ラダー抵抗回路３９１２と、上記第２の実施形態における３Ｄ動画用ラダー抵抗回路３９１１および３Ｄ静止画用ラダー抵抗回路３９１２との双方を用いたものである。なお、本実施形態は、正極性階調電圧生成回路３９１（および負極性階調電圧生成回路３９２）の構成等を除き上記第１の実施形態と構成等が基本的に共通するので、このように共通する部分については説明を省略する。また、本実施形態の構成要素のうちの上記第１または第２の実施形態と同一の要素については適宜説明を省略する。また、負極性階調電圧生成回路３９２の構成等については、上記第１の実施形態と同様に説明を省略する。

[0101] <３．１ 正極性階調電圧生成回路の構成>

図１９は、本実施形態における正極性階調電圧生成回路３９１の構成を示す回路図である。図１９中の正極性基準電圧の大小関係は、３Ｄモード時には $V_{RP0} < V_{RP31} < V_{RP162} < V_{RP193}$ であり、２Ｄモード時には $V_{RP0} < V_{RP31} < V_{RP62} < V_{RP193} < V_{RP224} < V_{RP255}$ である。図１９に示すように、正極性階調電圧生成回路３９１は、互いに直列に接続された複数個（２５５個）の抵抗素子 $R1b \sim R31b$ 、 $R1a \sim R31a$ 、 $R32 \sim R162$ 、 $R163a \sim R193a$ 、 $R163b \sim R193b$ と、２つの接続切替部３９１４ａ、３９１４ｂとにより

構成されている。255個の抵抗素子 $R_{1b} \sim R_{31b}$, $R_{1a} \sim R_{31a}$, $R_{32} \sim R_{162}$, $R_{163a} \sim R_{193a}$, $R_{163b} \sim R_{193b}$ のうちの、31個の抵抗素子 $R_{1a} \sim R_{31a}$ および31個の抵抗素子 $R_{163a} \sim R_{193a}$ によりそれぞれ2つの3D動画用ラダー抵抗回路3911a, 3911bが構成され、31個の抵抗素子 $R_{1b} \sim R_{31b}$ および31個の抵抗素子 $R_{163b} \sim R_{193b}$ によりそれぞれ2つの3D静止画用ラダー抵抗回路3912a, 3912bが構成され、抵抗素子 $R_{32} \sim R_{162}$ により汎用ラダー回路3913が構成されている。

[0102] 3D動画用ラダー抵抗回路3911a, 3911bはそれぞれ上記第1および第2の実施形態における3D動画用ラダー抵抗回路3911に相当する。3D静止画用ラダー抵抗回路3912a, 3912bはそれぞれ上記第1および第2の実施形態における3D静止画用ラダー抵抗回路3912に相当する。接続切替部3914a, 3914bはそれぞれ上記第1および第2の実施形態における接続切替部3914に相当する。以下では便宜上、3D動画用ラダー抵抗回路3911a, 3911bのことをそれぞれ「低階調側3D動画用ラダー抵抗回路」および「高階調側3D動画用ラダー抵抗回路」といい、3D静止画用ラダー抵抗回路3912a, 3912bのことをそれぞれ「低階調側3D静止画用ラダー抵抗回路」および「高階調側3D静止画用ラダー抵抗回路」といい、接続切替部3914a, 3914bのことをそれぞれ「低階調側接続切替部」および「高階調側接続切替部」という。

[0103] なお、低階調側3D動画用ラダー抵抗回路3911a、低階調側3D静止画用ラダー抵抗回路3912a、および低階調側接続切替部3914aの接続関係と、低階調側3D動画用ラダー抵抗回路3911aおよび低階調側3D静止画用ラダー抵抗回路3912aのそれぞれを構成する複数の抵抗素子間の抵抗値の関係とは、上記第1の実施形態におけるものと同様であるのでその詳細な説明を省略する。また、高階調側3D動画用ラダー抵抗回路3911b、高階調側3D静止画用ラダー抵抗回路3912b、および高階調側接続切替部3914bの接続関係と、高階調側3D動画用ラダー抵抗回路3

9 1 1 b および高階調側 3 D 静止画用ラダー抵抗回路 3 9 1 2 b のそれぞれを構成する複数の抵抗素子間の抵抗値の関係とは、上記第 2 の実施形態におけるものと同様であるのでその詳細な説明を省略する。

[0104] <3. 2 正極性階調電圧生成回路の動作>

本実施形態における正極性階調電圧生成回路 3 9 1 の 3 D モード時の動作および 2 D モード時の動作について、上記図 1 9 を参照しながら説明する。なお、上記第 1 または第 2 の実施形態と共通する動作については、適宜説明を省略する。

[0105] <3. 2. 1 3 D モード時の動作>

3 D モード時には、図 1 9 に示すように、正極性階調電圧生成回路 3 9 1 に正極性基準電圧 V_{RP0} 、 V_{RP31} 、 V_{RP162} 、 V_{R193} が与えられる。低階調側 3 D 動画用ラダー抵抗回路 3 9 1 1 a は、正極性基準電圧 V_{RP31} と V_{RP0} との間の電圧を 3 1 個の抵抗素子 $R1a \sim R31a$ で分圧することにより、32 種類の正極性階調電圧 $V_{GP0a} \sim V_{GP31a}$ を生成し出力する。低階調側 3 D 静止画用ラダー抵抗回路 3 9 1 2 a は、正極性基準電圧 V_{RP31} と V_{RP0} との間の電圧を 3 1 個の抵抗素子 $R1b \sim R31b$ で分圧することにより、32 種類の正極性階調電圧 $V_{RG0b} \sim V_{RG31b}$ を生成し出力する。高階調側 3 D 動画用ラダー抵抗回路 3 9 1 1 b は、正極性基準電圧 V_{RP193} と V_{RP162} との間の電圧を 3 1 個の抵抗素子 $R163a \sim R193a$ で分圧することにより、32 種類の正極性階調電圧 $V_{GP162a} \sim V_{GP193a}$ を生成し出力する。高階調側 3 D 静止画用ラダー抵抗回路 3 9 1 2 b は、正極性基準電圧 V_{RP193} と V_{RP162} との間の電圧を 3 1 個の抵抗素子 $R163b \sim R193b$ で分圧することにより、32 種類の正極性階調電圧 $V_{GP162b} \sim V_{GP193b}$ を生成し出力する。汎用ラダー回路 3 9 1 3 は、正極性基準電圧 V_{RP162} と V_{RP31} との間の電圧を 131 個の抵抗素子 $R32 \sim R162$ で分圧することにより、132 種類の正極性階調電圧 $V_{GP32} \sim V_{GP162a}$ を生成し出力する。なお、 $V_{GP0a} = V_{GPb}$ 、 $V_{GP31a} = V_{GP}$

3 1 b、V G P 1 6 2 a = V G P 1 6 2 b、V G P 1 9 3 a = V G P 1 9 3 bである。

[0106] 図20は、本実施形態における3D動画表示に使用するラダー抵抗回路群内の各抵抗素子の抵抗値の一例と、3D静止画表示に使用するラダー抵抗回路群内の各抵抗素子の抵抗値の一例とを示す図である。本実施形態は上述のように、上記第1の実施形態における3D動画用ラダー抵抗回路3911および3D静止画用ラダー抵抗回路3912と、上記第2の実施形態における3D動画用ラダー抵抗回路3911および3D静止画用ラダー抵抗回路3912との双方を用いたものであるので、図20に示すように、3D動画表示に使用するラダー抵抗回路群内の各抵抗素子の抵抗値は低階調側で略一定となり、3D静止画表示に使用するラダー抵抗回路群内の各抵抗素子の抵抗値は低階調側において、当該抵抗素子がより低階調側に位置するほど高くなっていると共に、3D動画表示に使用するラダー抵抗回路群内の各抵抗素子の抵抗値は高階調側で略一定となり、3D静止画表示に使用するラダー抵抗回路群内の各抵抗素子の抵抗値は高階調側において、当該抵抗素子がより高階調側に位置するほど高くなっている。このような抵抗値の設定は、3D静止画表示に使用するラダー抵抗回路については、液晶のV_T特性に応じた階調電圧を生成するための従来のラダー抵抗回路で用いられるものと同様であるが、3D動画表示に使用するラダー抵抗回路群については当該従来のラダー抵抗回路で用いられるものと異なっている。なお、3D動画表示に使用するラダー抵抗回路群内および3D静止画表示に使用するラダー抵抗回路群内の各抵抗素子の抵抗素子は、中間階調付近では略一定である。このような抵抗値の設定は、液晶のV_T特性に応じた階調電圧を生成するための従来のラダー抵抗回路で用いられるものと同様である。

[0107] 図21は、図20に係る3D動画表示に使用するラダー抵抗回路群内の各抵抗素子の抵抗値に基づいて得られる正極性階調電圧の階調電圧間隔を示す図である。図21に示すように、中間階調付近では階調値の高低によらず階調電圧間隔が略一定であり、これは従来の階調電圧生成回路により生成され

る階調電圧の階調電圧間隔と同様である。これに対して、低階調側および高階調側の双方でも、階調値の高低によらず階調電圧間隔は略一定になっている。この点が、低階調側において階調値が低くなるにつれて階調電圧間隔が大きくなると共に、高階調側において階調値が高くなるにつれて階調電圧間隔が大きくなる従来の階調電圧生成回路と異なる。

[0108] 図22は、図20に係る3D静止画表示に使用するラダー抵抗回路群内の各抵抗素子の抵抗値に基づいて得られる正極性階調電圧の電圧間隔を示す図である。図22に示すように、低階調側では階調値が低くなるにつれて階調電圧間隔が大きくなり、中間階調付近では階調値の高低によらず階調電圧間隔が略一定であり、高階調側ではより階調値が高くなるにつれて階調電圧間隔が大きくなっている。これは、従来の階調電圧生成回路により生成される階調電圧の階調電圧間隔と同様である。

[0109] <3.2.2 2Dモード時の動作>

2Dモード時には、図19に示すように、正極性階調電圧生成回路391に正極性基準電圧VRP0, VRP31, VRP62, VRP193, VRP224, VPR255が与えられる。低階調側3D動画用ラダー抵抗回路3911aは、正極性基準電圧VRP62とVRP31との間の電圧を31個の抵抗素子R1a~R31aで分圧することにより、32種類の正極性階調電圧VGP31a~VGP62を生成し出力する。低階調側3D静止画用ラダー抵抗回路3912aは、正極性基準電圧VRP31とVRP0との間の電圧を31個の抵抗素子R1a~R31aで分圧することにより、32種類の正極性階調電圧VGP0~VGP31aを生成し出力する。高階調側3D動画用ラダー抵抗回路3911bは、正極性基準電圧VRP224とVRP193との間の電圧を31個の抵抗素子R163a~R193aで分圧することにより、32種類の正極性階調電圧VGP193~VGP224aを生成し出力する。高階調側3D静止画用ラダー抵抗回路3912bは、正極性基準電圧VPR255とVRP224との間の電圧を31個の抵抗素子R163b~R193bで分圧することにより、32種類の正極性階調電圧V

GP224b～VGP255を生成し出力する。汎用ラダー回路3913は、正極性基準電圧VRP193とVRP62との間の電圧を131個の抵抗素子R32～R162で分圧することにより、132種類の正極性階調電圧VGP62～VGP193を生成し出力する。なお、VGP31a=VGP31b、VGP162a=VGP162bである。

[0110] 図23は、本実施形態における2D画像表示に使用するラダー抵抗回路群内の各抵抗素子の抵抗値の一例を示す図である。図24は、図23に係る2D画像表示に使用するラダー抵抗回路群内の各抵抗素子の抵抗値に基づいて得られる正極性階調電圧の電圧間隔を示す図である。ここで、本実施形態における2D画像表示に使用するラダー抵抗回路群内の複数の抵抗素子間の抵抗値の関係、および当該抵抗値に基づいて得られる正極性階調電圧の電圧間隔は、基本的に上記第1および第2の実施形態におけるものと同様であるので、それらの説明を省略する（図11、図12、図17、図18を参照）。

[0111] <3.3 効果>

本実施形態によれば、低階調側3D動画用ラダー抵抗回路3911aおよび低階調側3D静止画用ラダー抵抗回路3912aと、高階調側3D動画用ラダー抵抗回路3911bおよび高階調側3D静止画用ラダー抵抗回路3912bとが正極階調電圧生成回路391内に設けられる。このため、上記第1および第2の実施形態で得られる効果の双方を奏することができる。なお、上記第1および第2の実施形態よりも、3Dモードでの階調数が減ることになるが、3D動画の表示については、低階調側および高階調側の双方において液晶の応答速度のより正確な制御が可能になるので、3D動画の表示品位をさらに高めることができる。

[0112] <4. その他>

上記各実施形態における正極性階調電圧生成回路391（および負極性階調電圧生成回路392）は、第1の開閉スイッチSWB1を閉じた状態に、第2、第3の開閉スイッチSWB2、SWB3を開いた状態に固定しておくことにより、2Dモード専用の液晶表示装置にも用いることができる。

[0113] 本発明は、上記各実施形態で用いた階調数に限定されるものではなく、その他種々の階調数を用いた表示を行う液晶表示装置に適用することができる。

[0114] その他、本発明の趣旨を逸脱しない範囲で上記各実施形態を種々変形して実施することができる。

[0115] 以上により、本発明によれば、低コストかつ小回路規模で、各表示モードで良好な表示品位が得られる階調電圧生成回路、それを備えた映像信号線駆動回路、その映像信号線駆動回路を備えた液晶表示装置、および階調電圧生成方法を提供することができる。

産業上の利用可能性

[0116] 本発明は、2D表示および3D表示の2種類の表示モードに応じて階調電圧を生成するための階調電圧生成回路、それを備えた映像信号線駆動回路、その映像信号線駆動回路を備えた液晶表示装置、および階調電圧生成方法に適用することができる。

符号の説明

[0117] 5…液晶表示パネル

100…タイミングコントローラIC（表示制御回路）

120…データ処理部

121…動画／静止画判定部

300…ソースドライバ（映像信号線駆動回路）

340…D／A変換回路

341…選択回路

350…出力回路

351…バッファアンプ

390…階調電圧生成回路

391, 392…正極性階調電圧生成回路, 負極性階調電圧生成回路

600…基準電圧生成回路

3911…3D動画用ラダー抵抗回路（第1のラダー抵抗回路）

3 9 1 2...3 D 静止画用ラダー抵抗回路（第 2 のラダー抵抗回路）

3 9 1 3...汎用ラダー抵抗回路

3 9 1 4...接続切替部

R 1 a ~ 3 1 a, R 1 b ~ 3 1 b, R 1 9 4 a ~ R 2 2 4 a, R 1 9 4 b ~
R 2 2 4 b, R 1 6 3 a ~ R 1 9 3 a, R 1 6 3 b ~ R 1 9 3 b, R 1 ~ R
2 2 4...抵抗素子

SWB 1 ~ SWB 3...第 1 ~ 第 3 の開閉スイッチ

MD...モード信号

POL...極性信号

V R P, V R N...正極性基準電圧, 負極性基準電圧

V G P, V G N...正極性階調電圧, 負極性階調電圧

請求の範囲

[請求項1]

第1の表示モードおよび第2の表示モードの2つの表示モードで表示を行う液晶表示装置内の映像信号線駆動回路に用いられ、複数の基準電圧に基づいて当該複数の基準電圧の数よりも多い複数の階調電圧を生成する階調電圧生成回路であって、

互いに直列に接続され、前記複数の基準電圧間の電圧を分圧することにより前記複数の階調電圧を生成するための複数の抵抗素子と、

前記第1の表示モードでは、前記複数の抵抗素子のうちの互いに直列に接続された所定数の抵抗素子からなる第1のラダー抵抗回路と、前記複数の抵抗素子のうちの互いに直列に接続された他の所定数の抵抗素子からなり、前記第1のラダー抵抗回路に直列に接続された第2のラダー抵抗回路との直列接続を開放する接続切替部とを備え、

前記第1のラダー抵抗回路を構成する抵抗素子は互いに略同じ抵抗値であり、

前記第2のラダー抵抗回路を構成する抵抗素子は当該第2のラダー抵抗回路の一端から他端にかけて抵抗値が大きくなり、

前記第2のラダー抵抗回路を構成する抵抗素子のうちの当該第2のラダー抵抗回路の前記他端に位置する抵抗素子は、前記複数の抵抗素子うちの、当該複数の抵抗素子の一端または他端に位置する抵抗素子であり、

前記複数の基準電圧のうちの前記第1のラダー抵抗回路により分圧されるべき電圧を形成する基準電圧と、前記第2のラダー抵抗回路により分圧されるべき電圧を形成する基準電圧とは、前記第1の表示モードでは互いに同一であり、前記第2の表示モードでは一部が互いに重複していることを特徴とする、階調電圧生成回路。

[請求項2]

前記第1の表示モードは3次元表示を行うためのモードであり、

前記第2の表示モードは2次元表示を行うためのモードであることを特徴とする、請求項1に記載の階調電圧生成回路。

[請求項3] 前記第1の表示モードでは、前記第1のラダー抵抗回路は動画表示用の階調電圧を生成し、前記第2のラダー抵抗回路は静止画表示用の階調電圧を生成することを特徴とする、請求項2に記載の階調電圧生成回路。

[請求項4] 前記第2のラダー抵抗回路の前記他端に位置する抵抗素子は、前記複数の抵抗素子うちの、当該複数の抵抗素子の前記他端に位置する抵抗素子であり、

前記第2のラダー抵抗回路の前記他端に位置する抵抗素子の一端には、前記複数の階調電圧のうちの最も低い階調を示す階調電圧に対応する基準電圧が与えられることを特徴とする、請求項3に記載の階調電圧生成回路。

[請求項5] 前記第2のラダー抵抗回路の前記他端に位置する抵抗素子は、前記複数の抵抗素子うちの、当該複数の抵抗素子の前記一端に位置する抵抗素子であり、

前記第2のラダー抵抗回路の前記他端に位置する抵抗素子の一端には、前記複数の階調電圧のうちの最も高い階調を示す階調電圧に対応する基準電圧が与えられることを特徴とする、請求項3に記載の階調電圧生成回路。

[請求項6] 前記第1のラダー抵抗回路および前記第2のラダー抵抗回路のそれぞれを2つ備え、

2つの前記第2のラダー抵抗回路の一方の第2のラダー抵抗回路の前記他端に位置する抵抗素子は、前記複数の抵抗素子うちの、当該複数の抵抗素子の前記他端に位置する抵抗素子であり、

2つの前記第2のラダー抵抗回路の他方の第2のラダー抵抗回路の前記他端に位置する抵抗素子は、前記複数の抵抗素子うちの、当該複数の抵抗素子の前記一端に位置する抵抗素子であり、

前記一方の第2のラダー抵抗回路の前記他端に位置する抵抗素子の一端には、前記複数の階調電圧のうちの最も低い階調を示す階調電圧

に対応する基準電圧が与えられ、

前記他方の第2のラダー抵抗回路の前記他端に位置する抵抗素子の一端には、前記複数の階調電圧のうちの最も高い階調を示す階調電圧に対応する基準電圧が与えられることを特徴とする、請求項3に記載の階調電圧生成回路。

[請求項7] 前記接続切替部は、前記第1の表示モードで開き、前記第2の表示モードで閉じる第1の開閉スイッチを含み、

前記第1のラダー抵抗回路と前記第2のラダー抵抗回路とは、前記第1の開閉スイッチを介して互いに直列に接続されていることを特徴とする、請求項1に記載の階調電圧生成回路。

[請求項8] 前記接続切替部は、前記第1の表示モードで閉じ、前記第2の表示モードで開く第2および第3の開閉スイッチをさらに含み、

前記第1のラダー抵抗回路の一端と前記第2のラダー抵抗回路の前記一端とは、前記第2の開閉スイッチを介して互いに接続され、

前記第1のラダー抵抗回路の他端と前記第2のラダー抵抗回路の前記他端とは、前記第3の開閉スイッチを介して互いに接続されていることを特徴とする、請求項7に記載の階調電圧生成回路。

[請求項9] 請求項1から8までのいずれか1項に記載の階調電圧生成回路と、
外部から与えられる、前記表示モードを示すモード信号と、表示すべき画像が動画であるか静止画であるかを示す画像種別信号と、表示すべき画像を示す画像信号に基づく階調信号とに応じて、前記階調電圧生成回路により生成される前記複数の階調電圧の中から、出力すべき階調電圧を選択する選択部とを備えることを特徴とする、前記液晶表示装置の液晶表示パネルを駆動するための映像信号線駆動回路。

[請求項10] 請求項9に記載の映像信号線駆動回路と、
画像を表示するための液晶表示パネルと、
前記モード信号、前記画像種別信号、および前記画像信号を生成し前記映像信号線駆動回路に与える表示制御回路と、

前記複数の基準電圧を生成し、かつ、当該複数の基準電圧のうちの前記第 1 のラダー抵抗回路により分圧されるべき電圧を形成する基準電圧と前記第 2 のラダー抵抗回路により分圧されるべき電圧を形成する基準電圧とを、前記第 1 の表示モードでは互いに同一とし、前記第 2 の表示モードでは一部を互いに重複させる基準電圧生成回路とを備えることを特徴とする、液晶表示装置。

[請求項11] 前記表示制御回路は、信号の時間的変化を強調する補正を行って前記画像信号を生成することを特徴とする、請求項 10 に記載の液晶表示装置。

[請求項12] 第 1 の表示モードおよび第 2 の表示モードの 2 つの表示モードで表示を行う液晶表示装置内の映像信号線駆動回路において、複数の基準電圧に基づいて当該複数の基準電圧の数よりも多い複数の階調電圧を生成する階調電圧生成方法であって、

前記第 1 の表示モードでは、前記映像信号線駆動回路内の、互いに直列に接続された複数の抵抗素子のうちの所定数の抵抗素子からなる第 1 のラダー抵抗回路と、前記複数の抵抗素子のうちの互いに直列に接続された他の所定数の抵抗素子からなり、前記第 1 のラダー抵抗回路に直列に接続された第 2 のラダー抵抗回路との直列接続を開放するステップと、

前記複数の基準電圧のうちの前記第 1 のラダー抵抗回路により分圧されるべき電圧を形成する基準電圧と、前記第 2 のラダー抵抗回路により分圧されるべき電圧を形成する基準電圧とを、前記第 1 の表示モードでは互いに同一とし、前記第 2 の表示モードでは一部を互いに重複させるステップとを備え、

前記第 1 のラダー抵抗回路を構成する抵抗素子は互いに略同じ抵抗値であり、

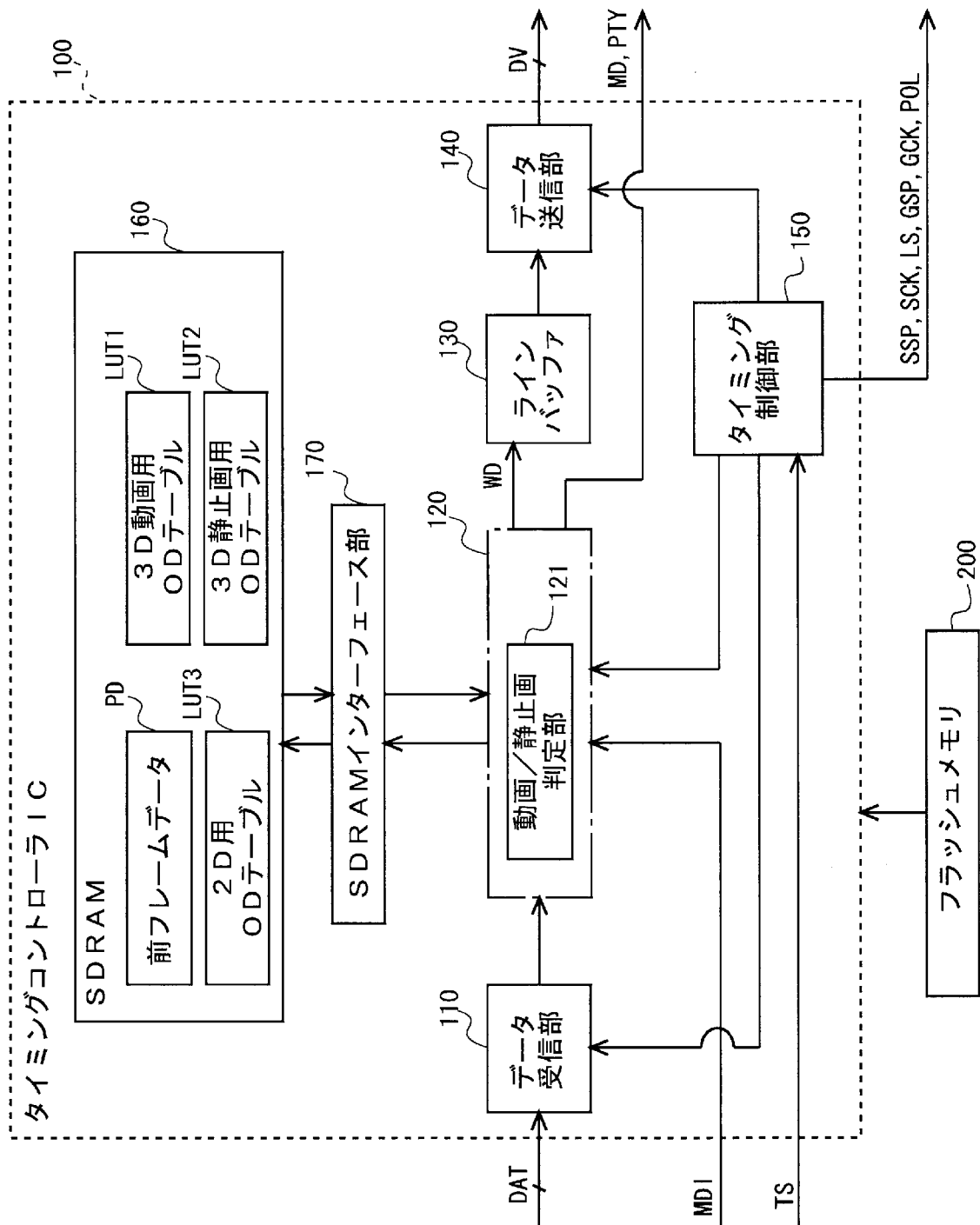
前記第 2 のラダー抵抗回路を構成する抵抗素子は当該第 2 のラダー抵抗回路の一端から他端にかけて抵抗値が大きくなり、

前記第 2 のラダー抵抗回路を構成する抵抗素子のうちの当該第 2 のラダー抵抗回路の前記他端に位置する抵抗素子は、前記複数の抵抗素子うちの、当該複数の抵抗素子の一端または他端に位置する抵抗素子であることを特徴とする、階調電圧生成方法。

The diagram illustrates a liquid crystal display system (5) with the following components and connections:

- Control Board (10):**
 - Timing Controller (100):** Receives DAT, MDI, and TS signals. It outputs MD, DV, SSP, SCK, LS, POL, and PTY signals.
 - Flash Memory (200):** Connected to the Timing Controller (100) via GSP and GCK signals.
- Source Driver (300):**
 - Reference Voltage Generation Circuit (600):** Provides a reference voltage (VR) to the Source Driver (300).
- Gate Driver (400):** Receives GSP and GCK signals from the Timing Controller (100).
- Display Panel (500):**
 - Pixel Circuit:** Includes a transistor (51) connected to a gate line (GL) and a signal line (SL). A capacitor (Cp) is connected to the gate of the transistor (51) and the signal line (SL). The signal line (SL) is connected to a voltage source (V).

[図2]



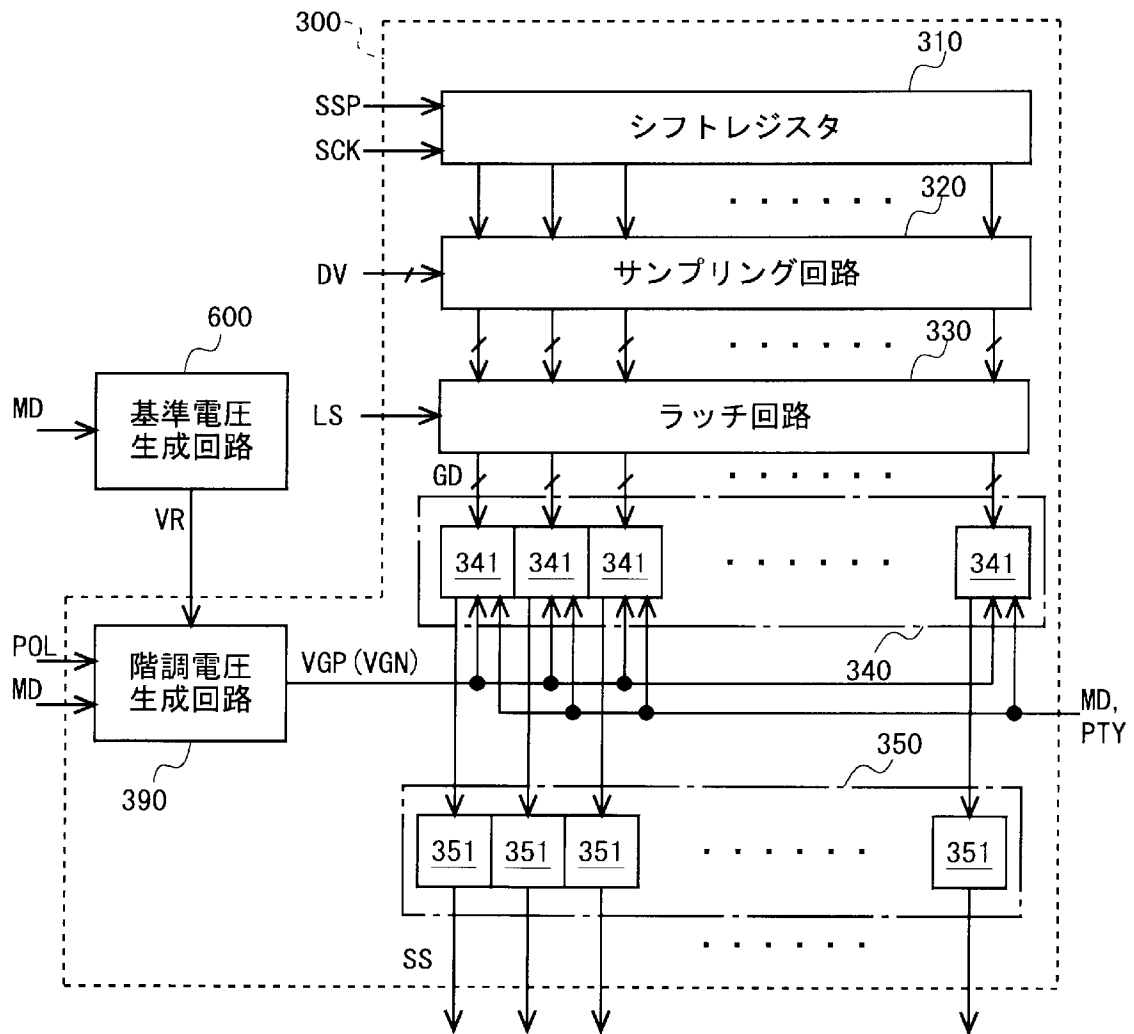
[図3]

現フレーム階調値

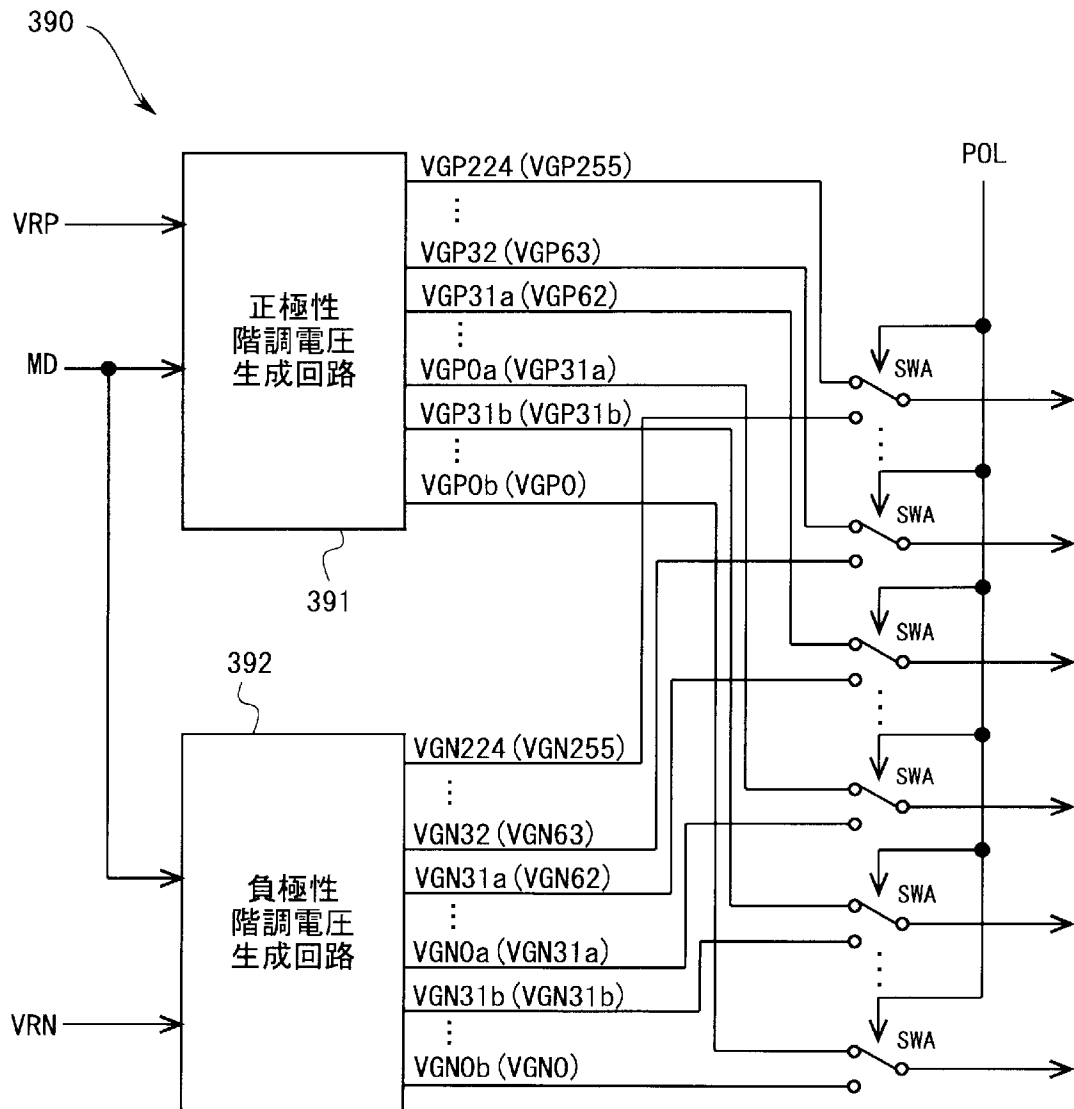
	0	...	32	...	64	...	96	...	128	...	160	...	192	...	224	...	255
0	0	...	188	...	224	...	231	...	236	...	241	...	246	...	248	...	248
:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:
32	0	...	32	...	141	...	173	...	194	...	216	...	229	...	240	...	255
:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:
64	0	...	5	...	64	...	136	...	166	...	203	...	222	...	238	...	255
:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:
96	0	...	2	...	23	...	96	...	146	...	191	...	218	...	236	...	255
:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:
128	0	...	0	...	7	...	55	...	128	...	178	...	212	...	234	...	255
:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:
160	0	...	0	...	4	...	17	...	85	...	160	...	204	...	232	...	255
:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:
192	0	...	0	...	2	...	7	...	40	...	148	...	192	...	229	...	255
:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:
224	0	...	0	...	0	...	4	...	20	...	129	...	182	...	224	...	255
:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:
255	0	...	0	...	0	...	1	...	5	...	79	...	165	...	217	...	255

前フレーム階調値

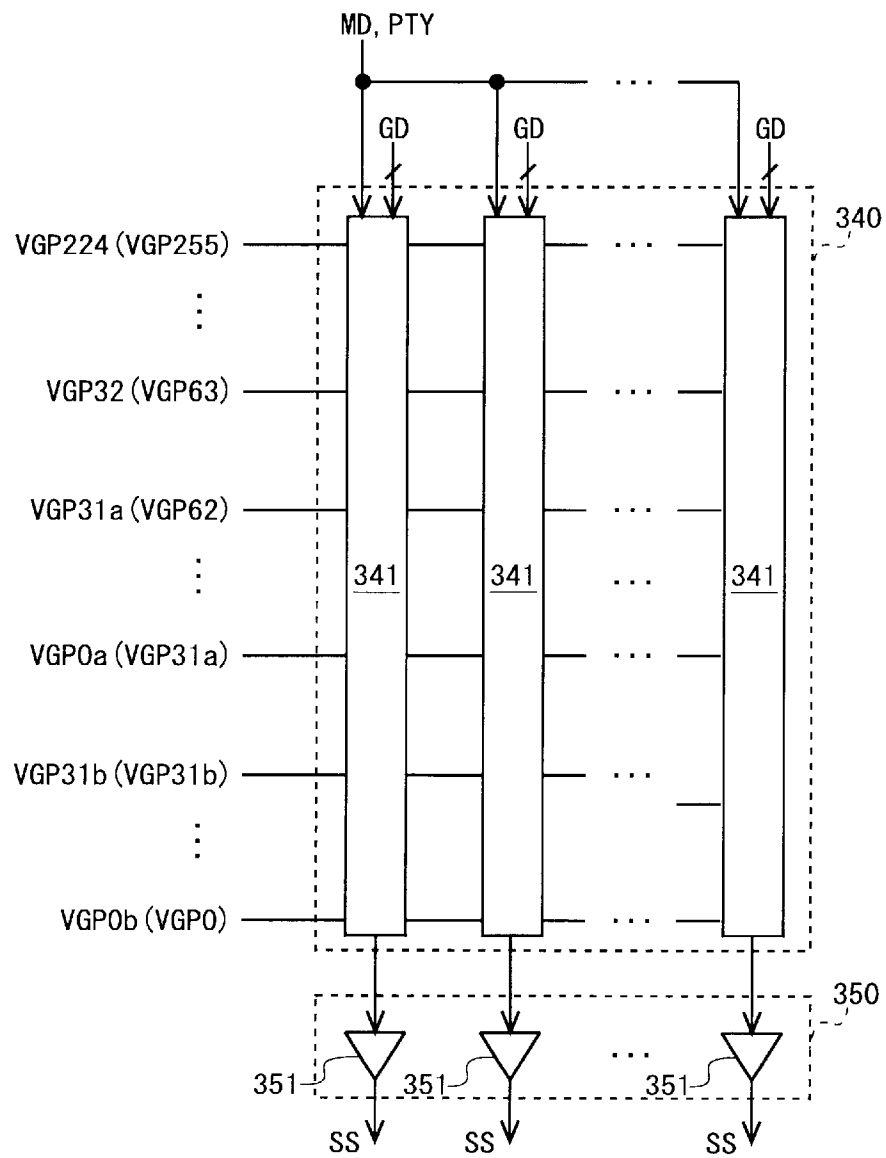
[図4]



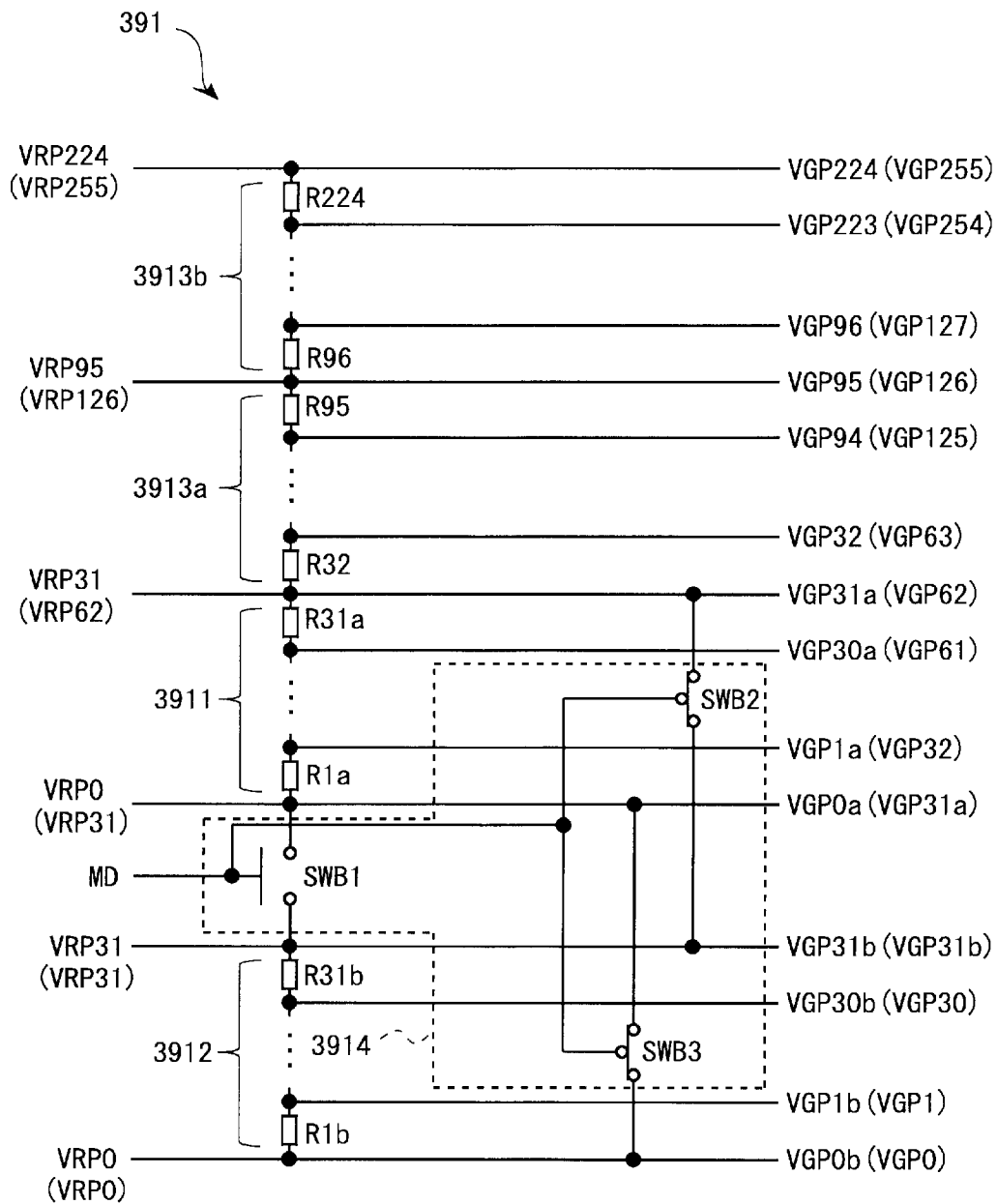
[図5]



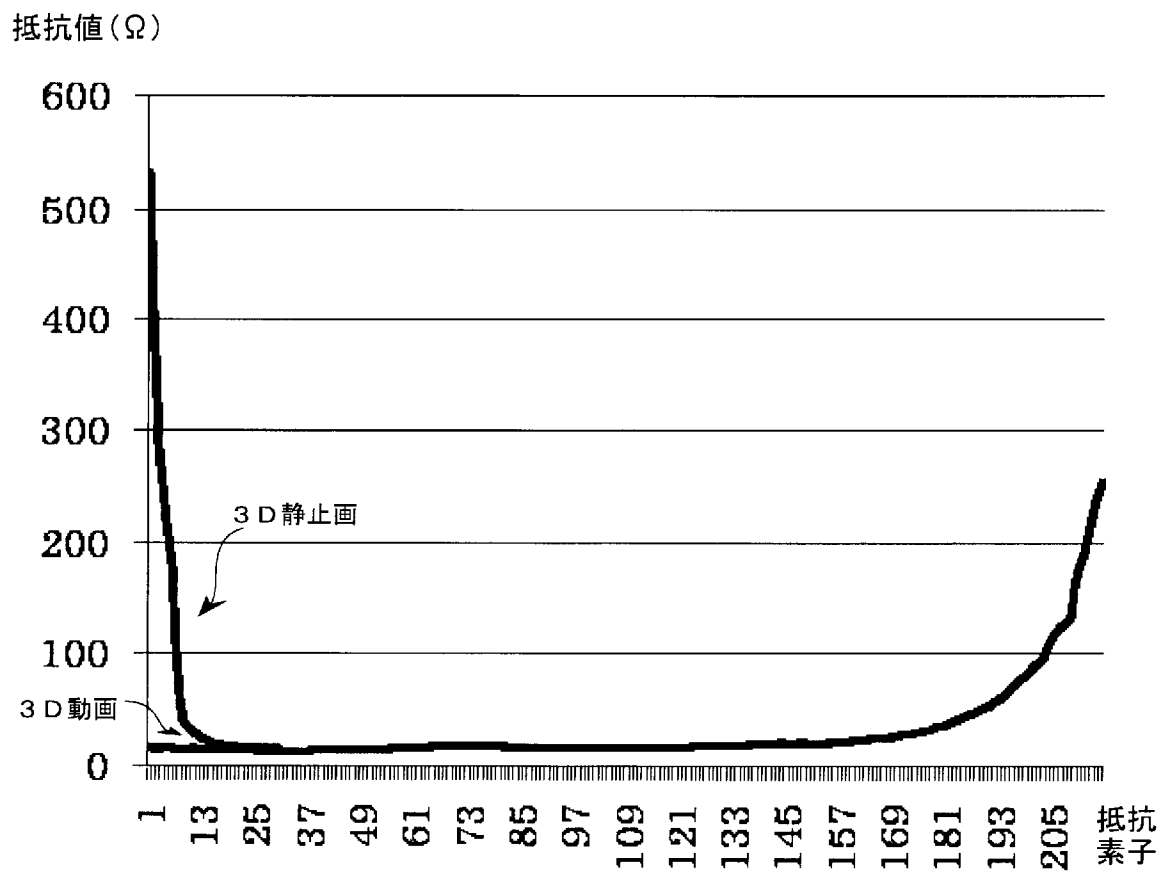
[図6]



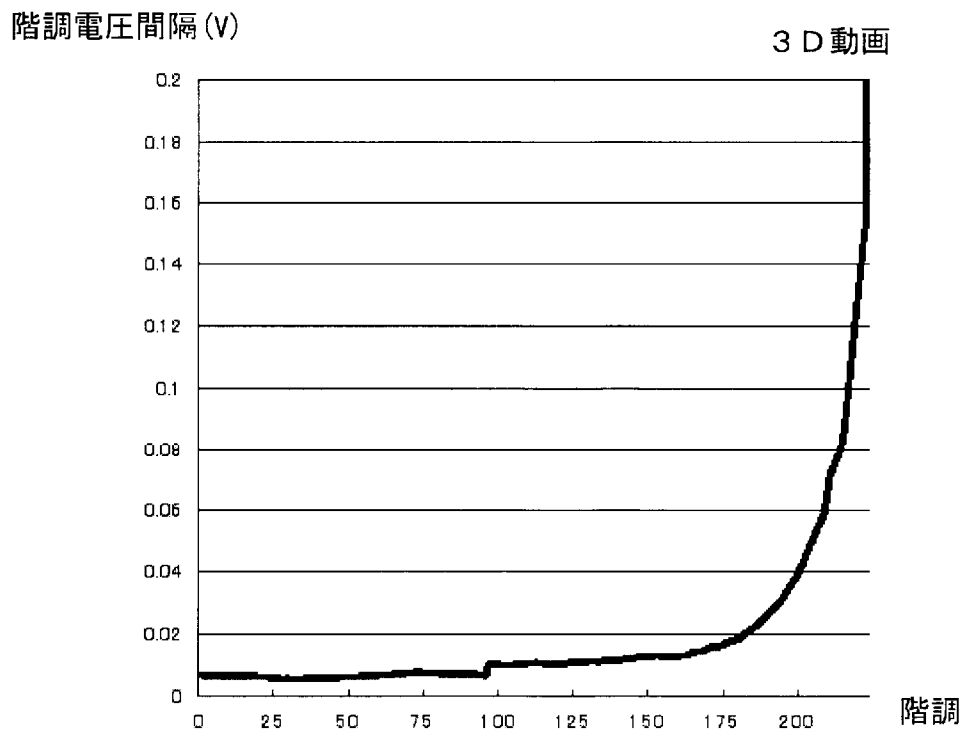
[図7]



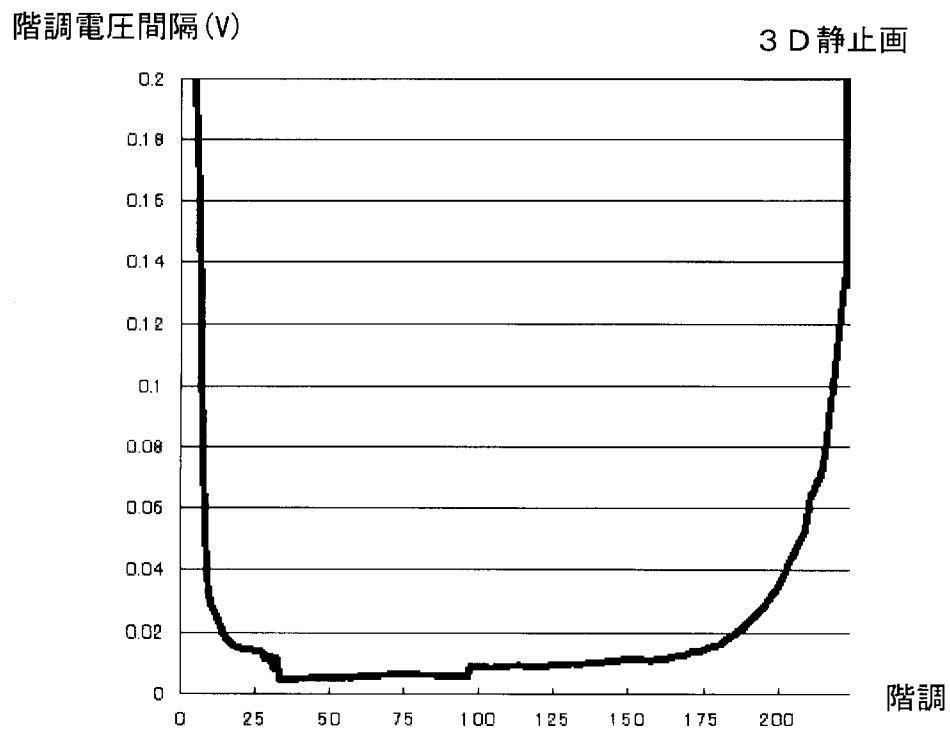
[図8]



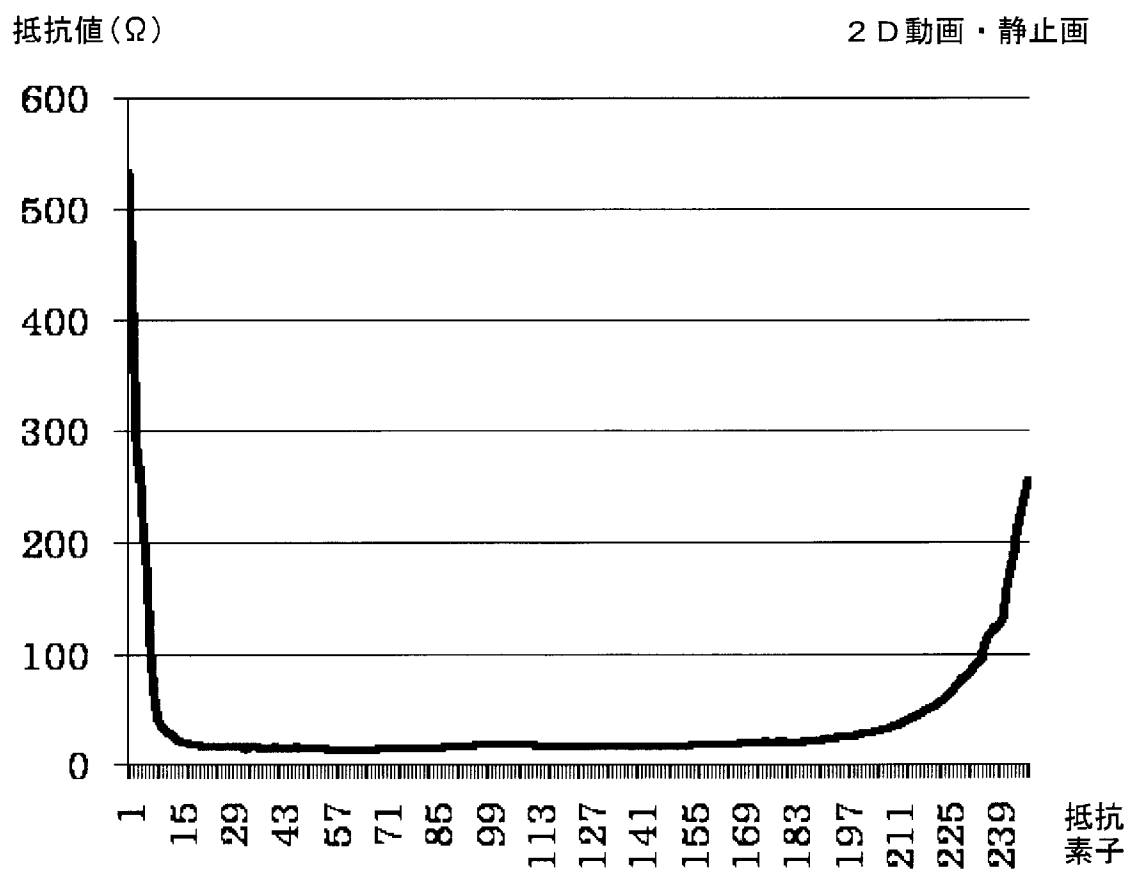
[図9]



[図10]



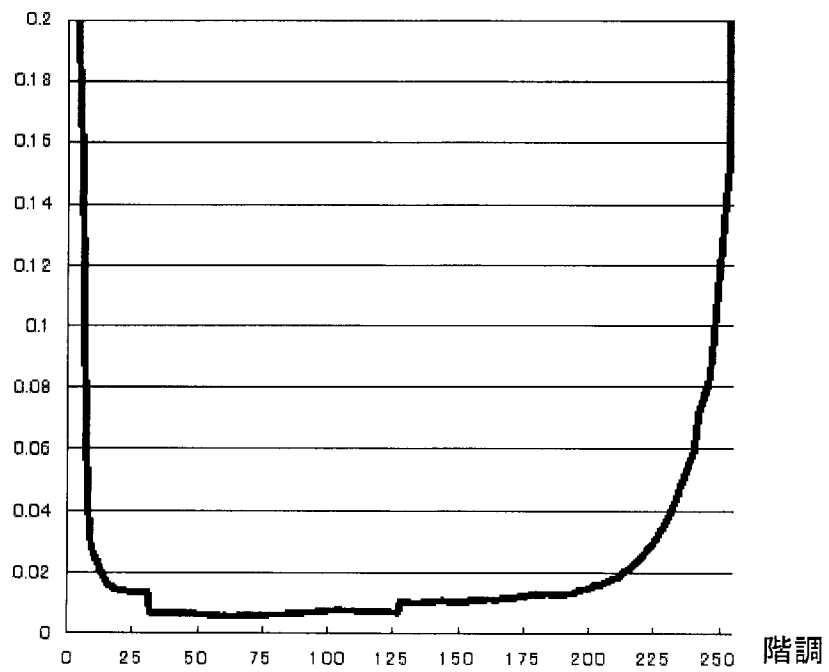
[図11]



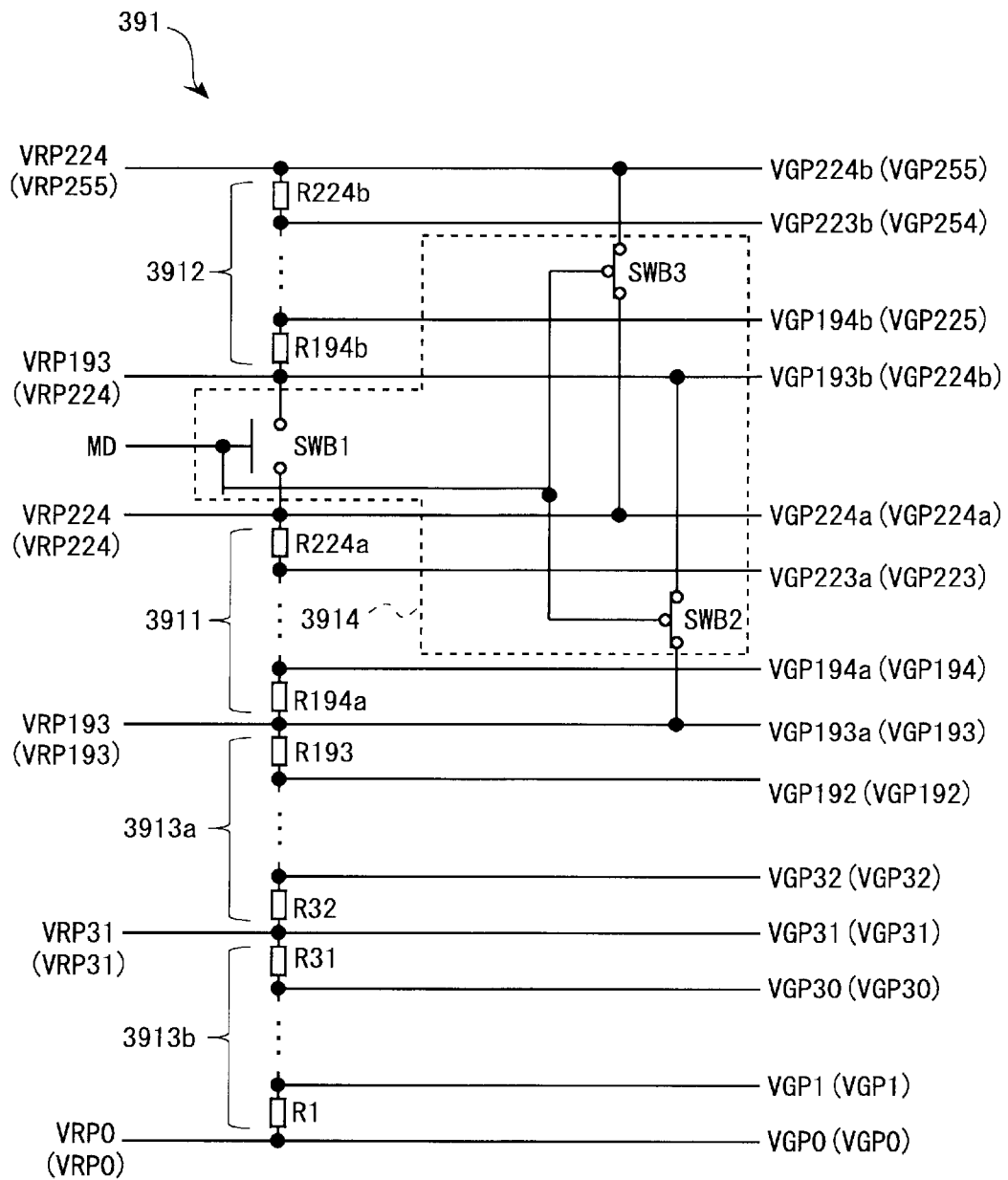
[図12]

階調電圧間隔 (V)

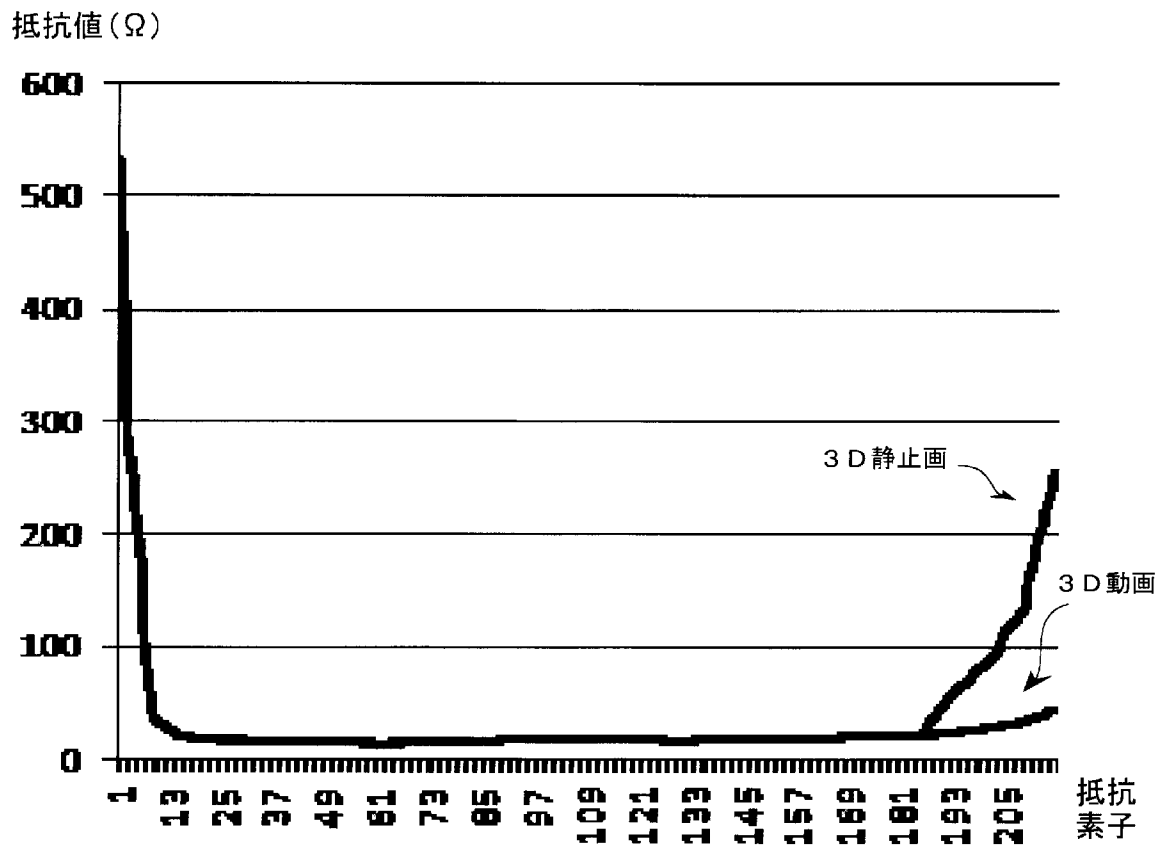
2 D 動画・静止画



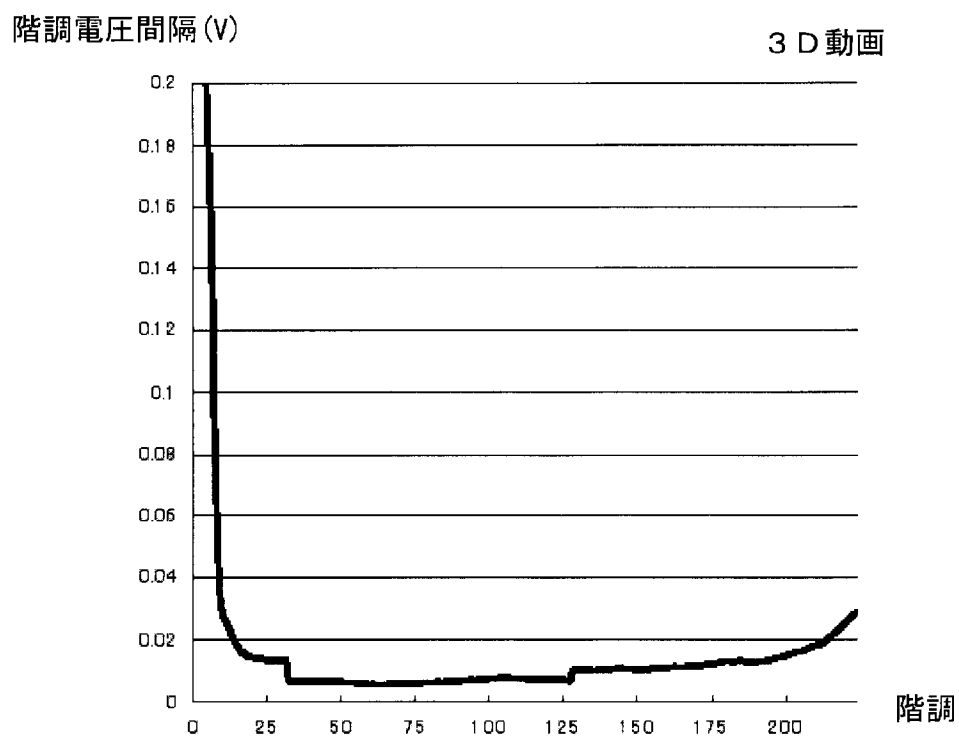
[図13]



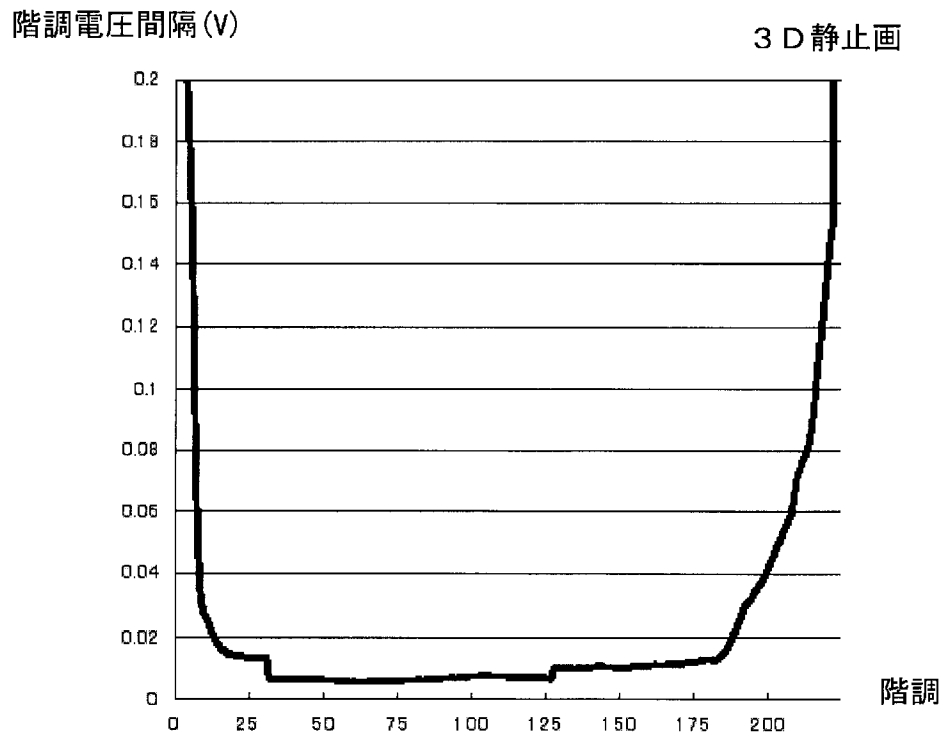
[図14]



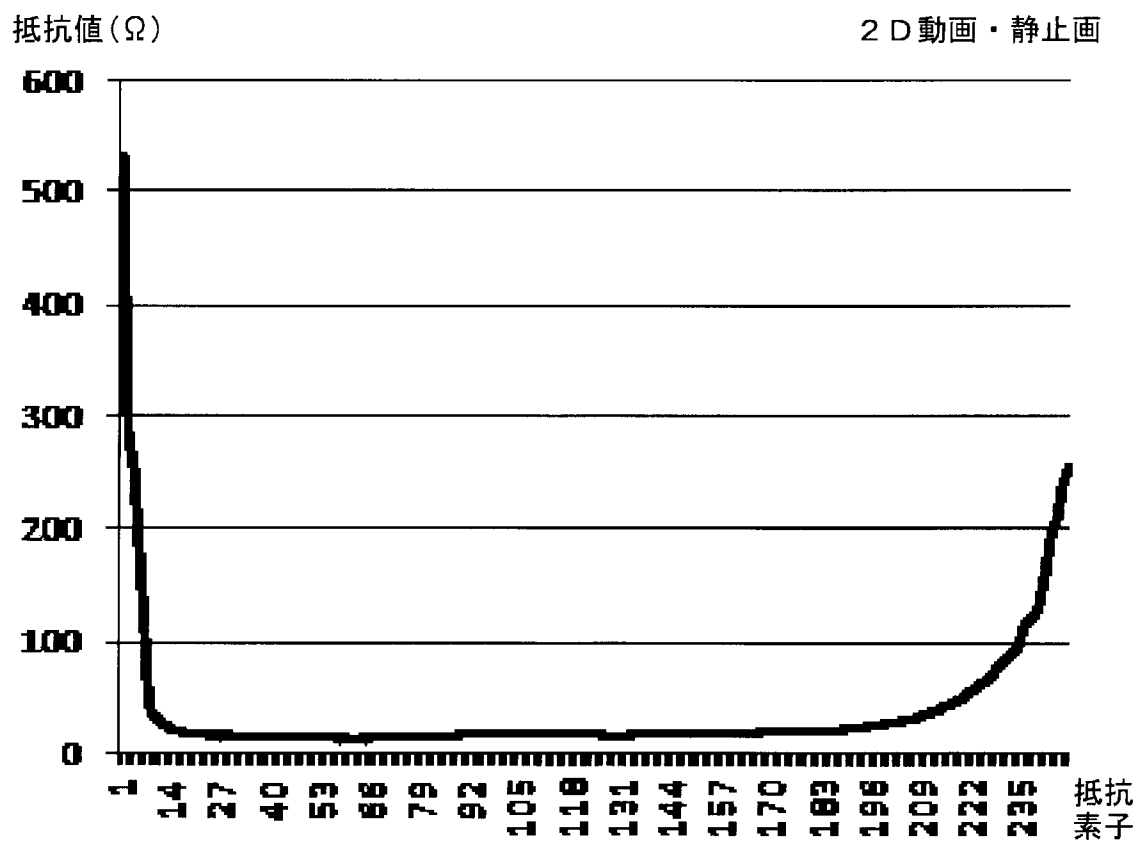
[図15]



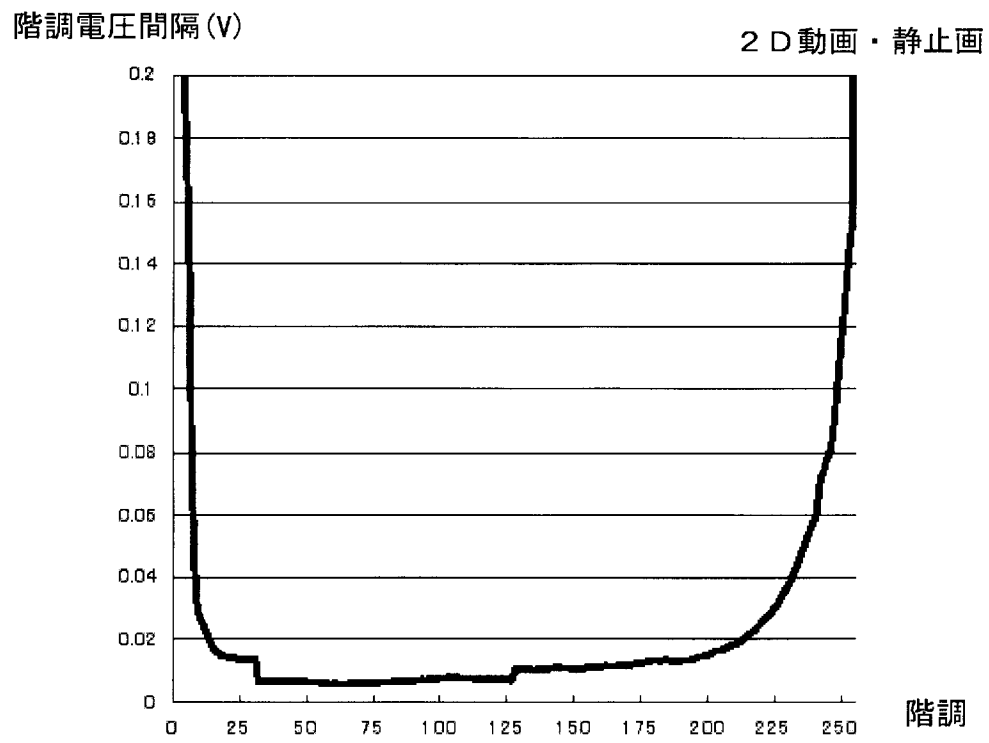
[図16]



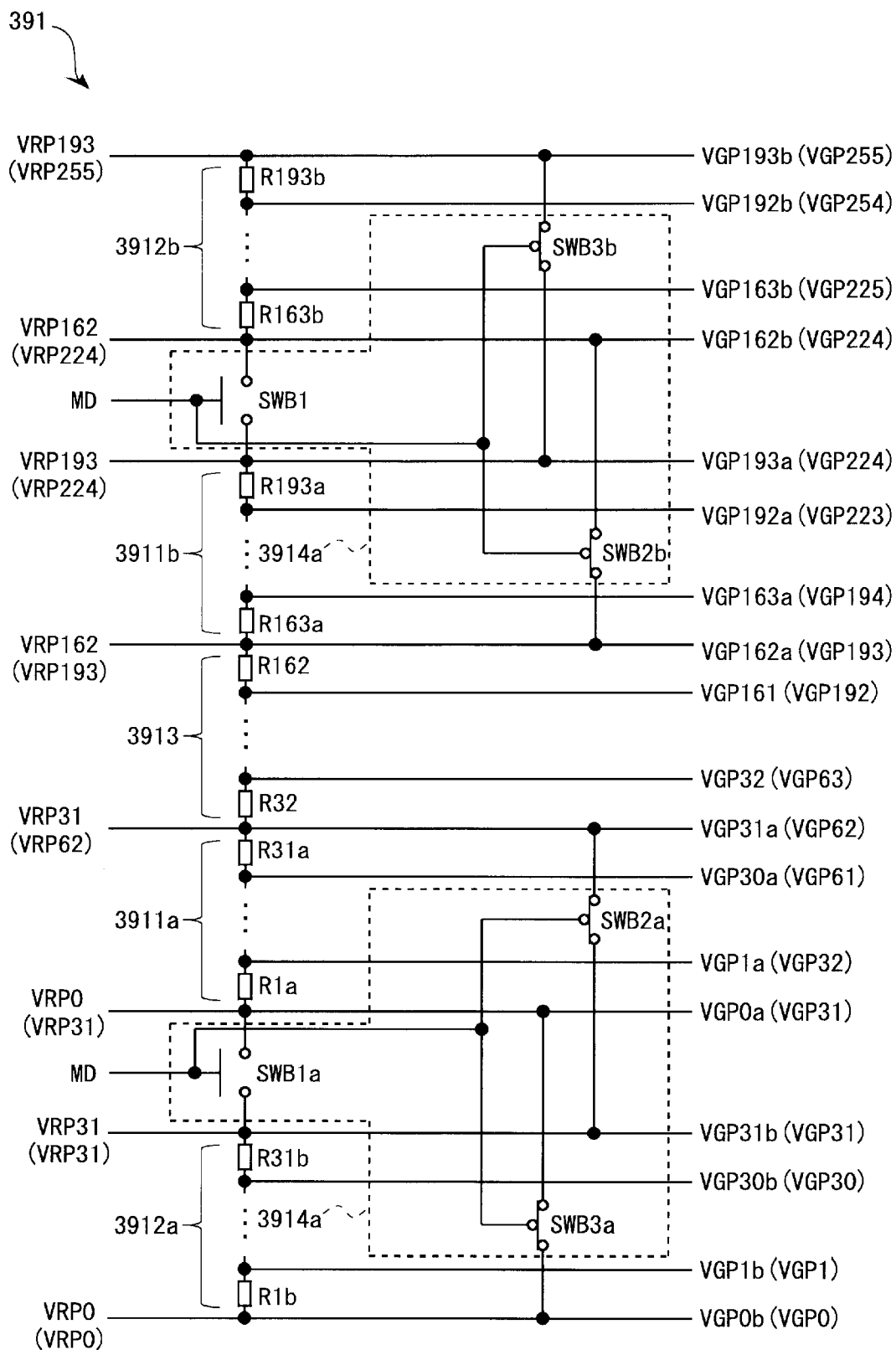
[図17]



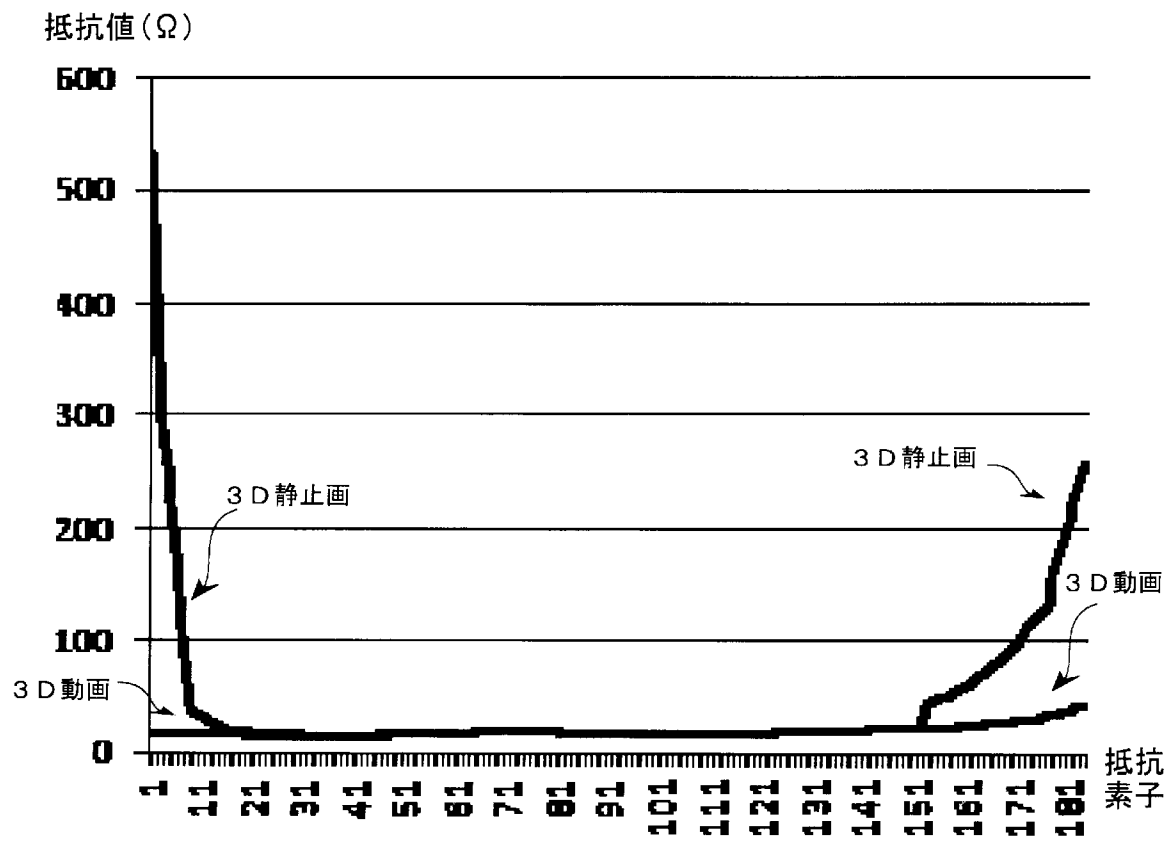
[図18]



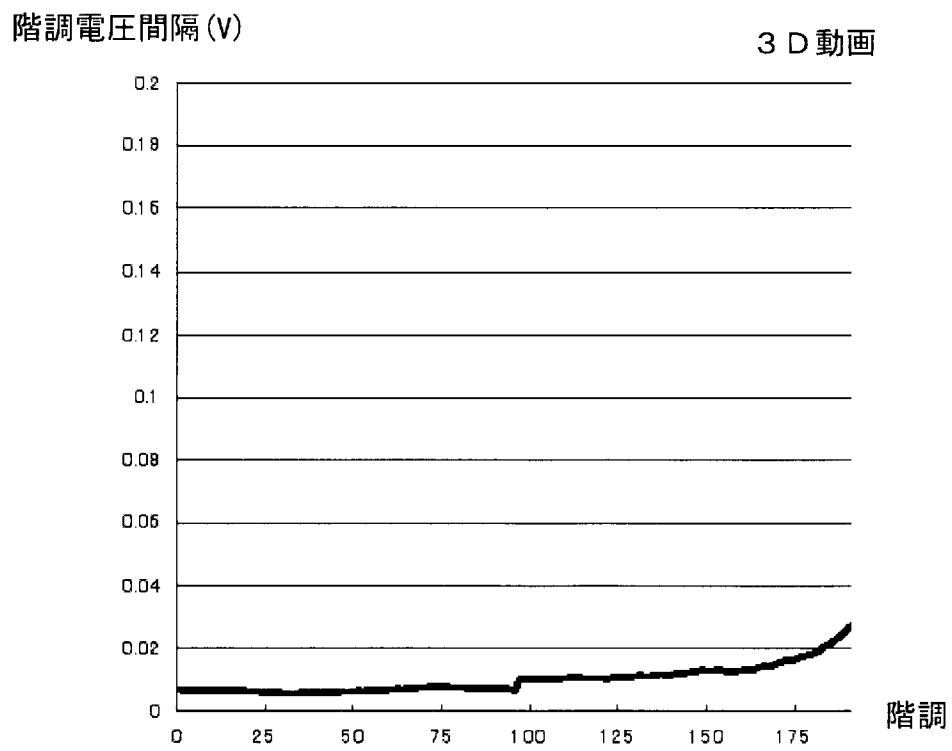
[図19]



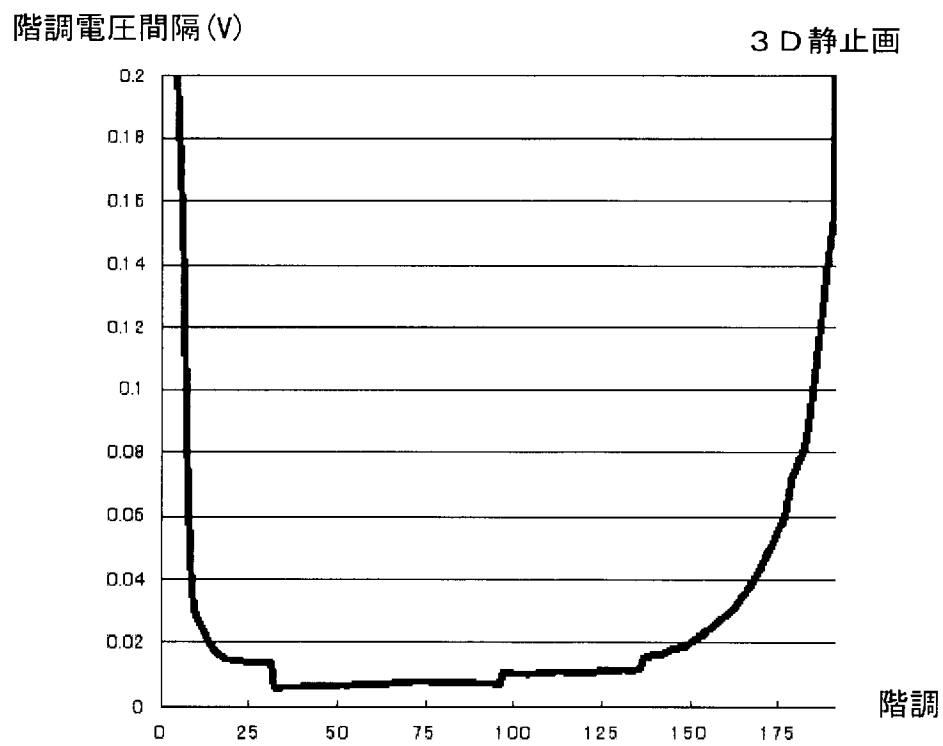
[図20]



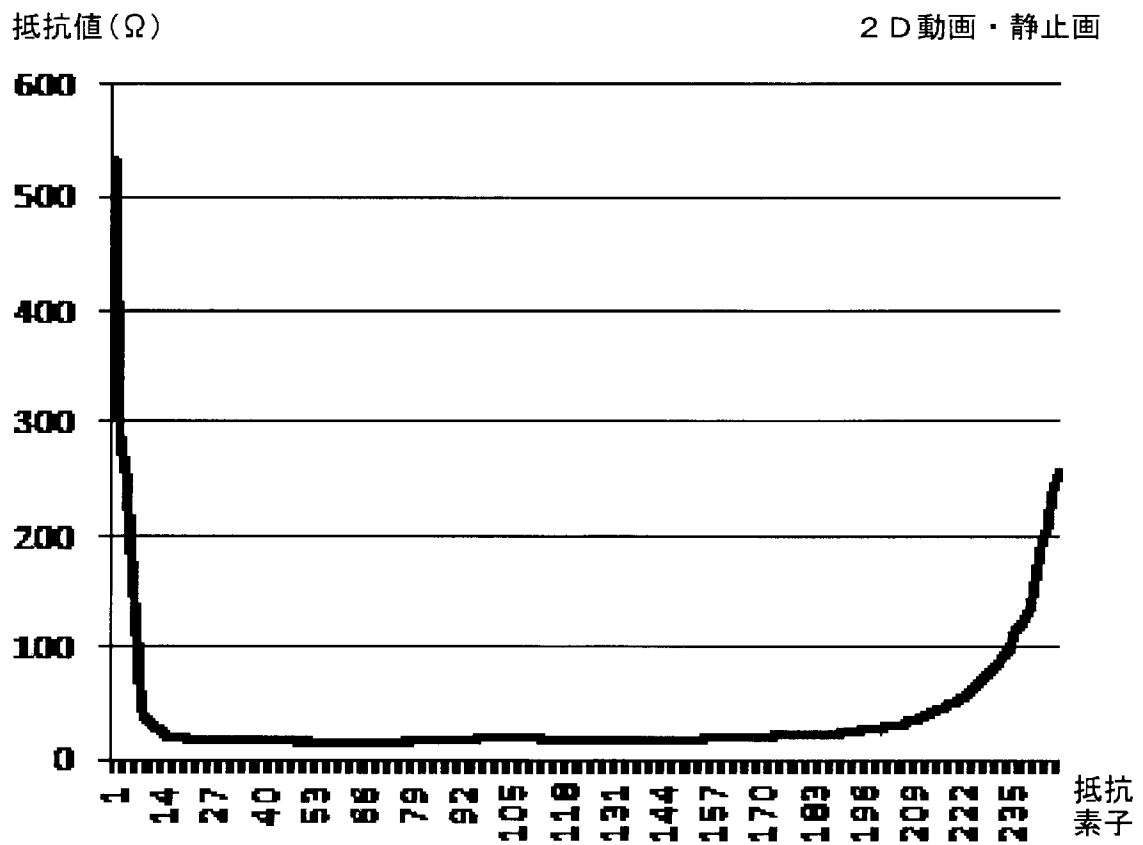
[図21]



[図22]



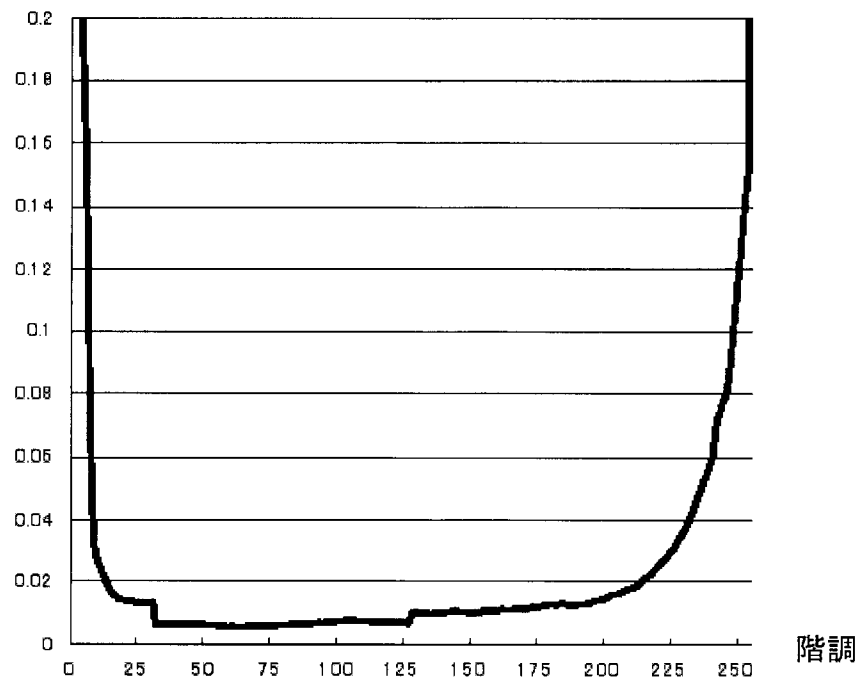
[図23]



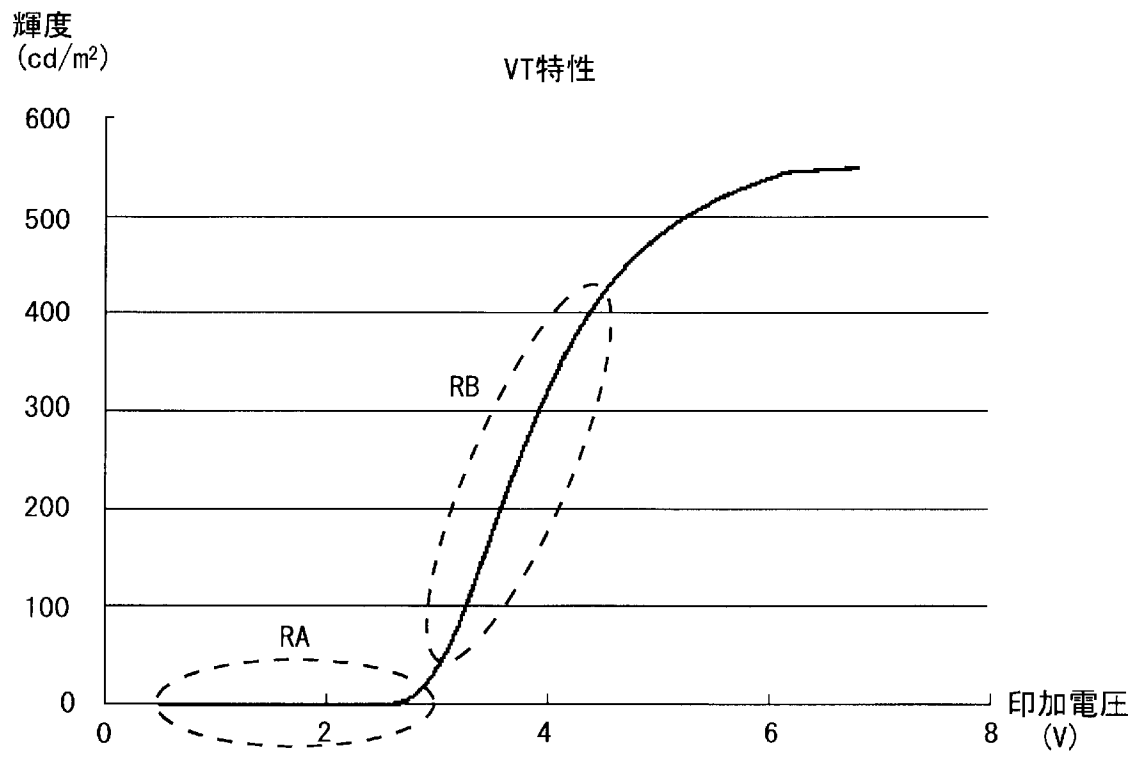
[図24]

階調電圧間隔 (V)

2 D 動画・静止画

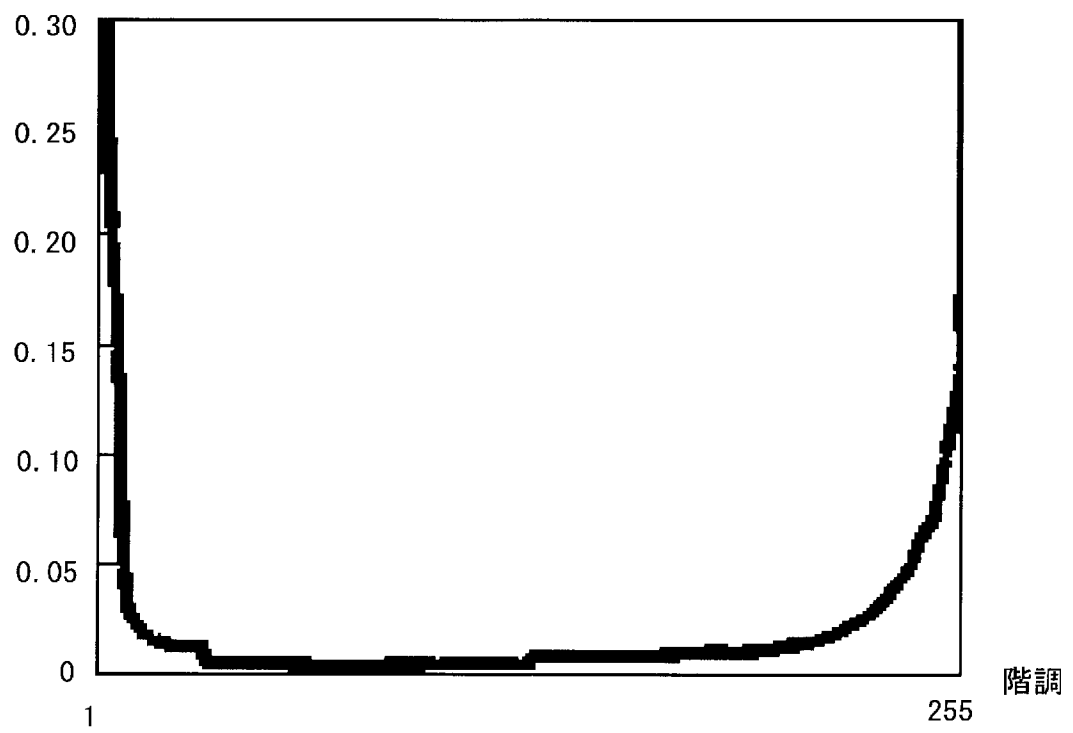


[図25]



[図26]

階調電圧間隔 (V)



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/076757

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/36, G02F1/133, G09G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2006/109516 A1 (Sharp Corp.), 19 October 2006 (19.10.2006), entire text; all drawings (Family: none)	1-12
A	JP 2009-58684 A (Sharp Corp.), 19 March 2009 (19.03.2009), entire text; all drawings (Family: none)	1-12
A	JP 2002-202745 A (Sharp Corp.), 19 July 2002 (19.07.2002), entire text; all drawings & US 2002/0050970 A1 & TW 246046 B & KR 10-2002-0033072 A	1-12

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
11 January, 2013 (11.01.13)

Date of mailing of the international search report
22 January, 2013 (22.01.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/076757

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-322030 A (Casio Computer Co., Ltd.), 24 November 2000 (24.11.2000), entire text; all drawings (Family: none)	1-12

A. 発明の属する分野の分類（国際特許分類（I P C））
 Int.Cl. G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料（国際特許分類（I P C））
 Int.Cl. G09G3/36, G02F1/133, G09G3/20

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1 9 2 2 - 1 9 9 6 年
 日本国公開実用新案公報 1 9 7 1 - 2 0 1 3 年
 日本国実用新案登録公報 1 9 9 6 - 2 0 1 3 年
 日本国登録実用新案公報 1 9 9 4 - 2 0 1 3 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2006/109516 A1（シャープ株式会社）2006.10.19, 全文, 全図 （ファミリーなし）	1-12
A	JP 2009-58684 A（シャープ株式会社）2009.03.19, 全文, 全図 （ファミリーなし）	1-12
A	JP 2002-202745 A（シャープ株式会社）2002.07.19, 全文, 全図 & US 2002/0050970 A1 & TW 246046 B & KR 10-2002-0033072 A	1-12

☒ C 欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日 1 1 . 0 1 . 2 0 1 3	国際調査報告の発送日 2 2 . 0 1 . 2 0 1 3
国際調査機関の名称及びあて先 日本国特許庁（I S A / J P） 郵便番号 1 0 0 - 8 9 1 5 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 武 田 悟 電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 2 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2000-322030 A (カシオ計算機株式会社) 2000. 11. 24, 全文, 全図 (ファミリーなし)	1-12