

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2012年2月2日(02.02.2012)

PCT

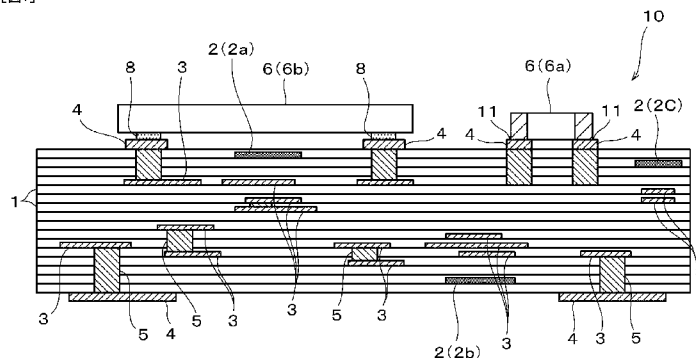
(10) 国際公開番号  
WO 2012/014692 A1

- (51) 国際特許分類:  
H05K 3/46 (2006.01)
- (21) 国際出願番号: PCT/JP2011/066061
- (22) 国際出願日: 2011年7月14日(14.07.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2010-170396 2010年7月29日(29.07.2010) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社村田製作所(MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 Kyoto (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 大坪喜人(OTSUBO, Yoshihito) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP).
- (74) 代理人: 西澤均(NISHIZAWA, Hitoshi); 〒5500002 大阪府大阪市西区江戸堀1丁目2番11号 大同生命南館5階 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:  
— 国際調査報告 (条約第21条(3))

(54) Title: CERAMIC MULTILAYER SUBSTRATE AND METHOD FOR PRODUCING SAME

(54) 発明の名称: セラミック多層基板およびその製造方法

[図1]



(57) Abstract: Disclosed are: a ceramic multilayer substrate of which the surface flatness is favorable and that has excellent component mounting properties; and a method for producing a ceramic multilayer substrate that can efficiently produce said ceramic multilayer substrate. The ceramic multilayer substrate is configured provided with: a plurality of stacked ceramic layers (1); a plurality of internal conductors (3) that are stacked with the ceramic layers therebetween and that are disposed in a manner so as to be at least partially overlapping each other looking in the direction of stacking; and a constraining layer (2) that is provided to a different layer from the internal conductors, looking in the direction of stacking, overlaps an internal conductor overlap region at which at least two layers of the internal conductors that overlap each other looking in the direction of stacking overlap, and comprises an unsintered inorganic material powder that has a planar area that is no greater than double the planar area of the internal conductor overlap region. The planar area of the constraining layer (2) is no greater than half the planar area of the ceramic layers (1). The constraining layer (2) is disposed in a manner so as to cover the entire internal conductor overlap region.

(57) 要約:

[続葉有]

WO 2012/014692 A1



---

表面の平坦性が良好で、部品実装性に優れたセラミック多層基板および該セラミック多層基板を効率良く製造することが可能なセラミック多層基板の製造方法を提供する。積層された複数のセラミック層 1 と、セラミック層を介して積層され、少なくとも一部が積層方向から見て互いに重なるように配設された複数の内部導体 3 と、内部導体とは異なる層に配設され、積層方向から見て互いに重なる内部導体のうちの少なくとも 2 層が重なる内部導体重なり領域と積層方向から見て重なり、かつ平面面積が内部導体重なり領域の平面面積の 2 倍以下の、焼結していない無機材料粉末を含んでなる拘束層 2 とを備えた構成とする。拘束層 2 の平面面積をセラミック層 1 の平面面積の  $1/2$  以下にする。拘束層 2 を、内部導体重なり領域の全てを覆うように配設する。

## 明 細 書

**発明の名称：**セラミック多層基板およびその製造方法

### 技術分野

[0001] 本発明は、セラミック多層基板およびその製造方法に関し、詳しくは、表面の平坦性が良好で、部品実装性に優れたセラミック多層基板およびその製造方法に関する。

### 背景技術

[0002] 近年、配線導体を３次元的に配置したセラミック多層基板が種々の用途に広く用いられている。

そして、このようなセラミック多層基板の一つとして、複数のセラミック層が積層された積層体の内部にビアホール導体と内部導体とが配置され、表面には外部電極が形成されているとともに、ビアホール導体を介して内部導体と外部電極が接続された構造を有するセラミック多層基板が提案されている(特許文献１参照)。

[0003] そして、特許文献１のような構成を有するセラミック多層基板においては、電子部品の小型化や高性能化が求められる中、セラミック層が薄層化され、内部回路要素は密に形成される傾向にある。

[0004] しかしながら、内部導体が積層方向に重なって配置される領域においては、内部導体が配置されていない領域に比べて、基板表面が凸状に盛り上がり、セラミック多層基板の平坦性(コプラナリティ)が損なわれる。そして、その結果、セラミック多層基板の表面に、電子部品(表面実装部品)を搭載するにあたって、部品実装に不良が発生するという問題点がある。

### 先行技術文献

#### 特許文献

[0005] 特許文献１：国際公開第２００５／０６７３５９号パンフレット

### 発明の概要

#### 発明が解決しようとする課題

[0006] 本発明は、上記課題を解決するものであり、表面の平坦性が良好で、部品実装性に優れたセラミック多層基板および該セラミック多層基板を効率よく製造することが可能なセラミック多層基板の製造方法を提供することを目的とする。

### 課題を解決するための手段

- [0007] 上記課題を解決するために、本発明のセラミック多層基板は、  
積層された複数のセラミック層と、  
前記セラミック層を介して積層され、少なくとも一部が積層方向から見て互いに重なるように配設された複数の内部導体と、  
前記内部導体とは異なる層に配設され、積層方向から見て互いに重なる前記内部導体のうちの少なくとも2層が重なる内部導体重なり領域と積層方向から見て重なり、かつ平面面積が前記内部導体重なり領域の平面面積の2倍以下である、焼結していない無機材料粉末を含んでなる拘束層と  
を備えることを特徴としている。
- [0008] なお、本発明においては、特に基板表面のコプラナリティを確保しようとする意図する領域においては、積層方向から見て上述の内部導体重なり領域と重なるように拘束層を形成する必要があるが、特に基板表面のコプラナリティを確保する必要のない領域では、積層方向から見て内部電極が互いに重なる内部導体重なり領域が存在する場合でも、内部導体重なり領域と積層方向から見て重なるように拘束層を形成しないように構成することも可能である。
- [0009] 本発明のセラミック多層基板においては、前記拘束層の平面面積が前記セラミック層の平面面積の $1/2$ 以下であることが望ましい。
- [0010] また、積層方向から見て、前記拘束層が、前記内部導体重なり領域の全てを覆うように配設されていることが望ましい。
- [0011] また、前記拘束層は、積層方向から見て重なるべき対象である前記内部導体と基板表面の間のうち、内部導体と基板表面間の距離が短い方に配設されることが望ましい。
- [0012] また、積層方向から見て互いに重なる前記内部導体がコイル導体であるこ

とが望ましい。

[0013] また、前記セラミック層は、ガラス成分を含むセラミック材料からなるものであることが望ましい。

[0014] また、本発明のセラミック多層基板の製造方法は、

(a)基板用セラミック材料粉末を含む複数の基板用セラミックグリーン層と、

少なくとも2層の前記基板用セラミックグリーン層上に、少なくとも一部が、他の前記基材用セラミックグリーンシート上に配設された内部導体と積層方向から見て重なるように配設された内部導体と、

前記内部導体とは異なる層に形成され、積層方向から見て互いに重なる前記内部導体のうちの少なくとも2層が重なる内部導体重なり領域と積層方向から見て重なり、かつ平面面積が前記内部導体重なり領域の平面面積の2倍以下の、前記基板用セラミック材料粉末の焼結温度では焼結しない無機材料粉末を含んでなる拘束層と

を備えた、生の積層体を作製する工程と、

(b)前記生の積層体を、前記基板用セラミック材料粉末は焼結するが前記無機材料粉末は焼結しない温度で焼成する工程と

を具備することを特徴としている。

[0015] 本発明のセラミック多層基板の製造方法においては、前記拘束層を、前記無機材料粉末を含む無機材料ペーストを前記基板用セラミックグリーン層上に塗布することにより形成することが望ましい。

## 発明の効果

[0016] 本発明のセラミック多層基板は、積層された複数のセラミック層と、セラミック層を介して積層され、少なくとも一部が積層方向から見て互いに重なるように配設された複数の内部導体と、内部導体とは異なる層に配設され、積層方向から見て互いに重なる内部導体のうちの少なくとも2層が重なる内部導体重なり領域と積層方向から見て重なるように、焼結していない無機材料粉末を含んでなる拘束層を配設するようにしているので、基板表面のコブ

ラナリティ（平坦性）に優れた基板表面を効率よく平坦にすることが可能になる。

[0017] 本発明により基板表面のコプラナリティが改善されるのは、以下に説明するような理由によるものである。

まず、セラミック多層基板を製造する場合において、表面に内部導体となる導体パターンが形成されたセラミックグリーンシートを積層、圧着することにより形成される積層体（焼成後にセラミック多層基板となる未焼成の積層体）について考えると、例えば、内部導体が配設されている領域では、その上側領域および下側領域において、セラミックグリーンシートが他の領域よりも強くプレスされて、厚みが薄くなる。

[0018] そして、焼成後にはセラミック層の焼結密度が一定となる、すなわち、内部導体が配設されている領域の上側領域および下側領域において、他の領域よりも強くプレスされて厚みが薄くなっていた領域の厚みが、他の領域とほぼ同じとなり、基板表面に凸状の盛り上がり形成されることになる。特に複数の内部導体が積層方向から見て重なり合うように積層されている場合には、この凸状の盛り上がりは累積されて、基板表面のコプラナリティがそれだけ大きく低下する。

[0019] これに対して、本発明では、拘束層が配設されている部分のセラミック層が、その主面に平行な方向にはほとんど収縮せず、厚み方向にのみ大きく収縮することから、拘束層を、上述の内部導体重なり領域と積層方向から見て重なるように配設することにより、焼成工程で拘束層と重なる部分のセラミック層を厚み方向に大きく収縮させて、内部導体の重なりによるセラミック層の変形を吸収させて、基板表面のコプラナリティを改善することができる。

[0020] また、例えば、ガラス成分を含有する低温焼結セラミック材料を主成分とするセラミック層用の低温焼成セラミックグリーンシートに、Ag, Cuなどを導電成分とする導電性ペーストを塗布して外部導体パターンや内部導体パターンを形成し、これらの低温焼成セラミックグリーンシートを積層して

積層体を形成し、この積層体を一体焼成（同時焼成）する方法でセラミック多層基板を製造する場合、導体材料（導電性ペースト）とセラミック材料の収縮挙動は異なる。

[0021] 通常、まず、導体材料についてみると、焼成開始後300～400℃で導体材料中のバインダー樹脂などの有機物が熱分解し、その後、Ag, Cuなどの金属成分が焼結して収縮を開始し、700～800℃で焼結収縮が終了する。

一方、ガラスやセラミックを主成分とする低温焼成セラミックグリーンシートは、導体材料よりも100℃以上高い、500℃以上で焼結収縮を開始し、900～1100℃で焼結収縮が終了する。

すなわち、セラミック材料が本格的に焼結収縮する温度域では、導体材料（内部導体）の焼結収縮はほぼ終了しているか、もしくは、焼結収縮のピークが過ぎている状態である。

[0022] したがって、セラミック材料の焼結収縮温度域では、すでに焼結収縮の終了した、もうそれ以上収縮しない導体材料（内部導体）が、収縮に抗する（突っ張る）ように働く一方で、内部導体とは異なる層に、内部導体重なり領域と積層方向から見て重なるように配設された拘束層も、その主面に平行な方向には収縮しないため、セラミック層が湾曲し凸状に盛り上がるのが抑制される。

[0023] なお、拘束層は、本願請求項3で規定しているように、上述の内部導体重なり領域の全てを覆うように配設されていることが望ましいが、内部導体重なり領域の一部と重なるように配設した場合にも、それだけ内部導体の重なりによるセラミック層の変形を吸収することが可能になり、コプラナリティの改善に寄与することができる。

[0024] また、拘束層の平面面積が、上記の内部導体重なり領域の平面面積の2倍を超えると、内部導体の周辺のセラミック層に大きな凹みが生じ、クラック発生のおそれもあるため、拘束層の平面面積は、上記の内部導体重なり領域の平面面積の2倍以下とすることが望ましい。

[0025] また、拘束層の平面面積をセラミック層の平面面積の  $1/2$  以下にすることにより、さらに確実に、歪みや反りが少なく、コプラナリティに優れたセラミック多層基板を得ることが可能になる。

なお、ここでいう拘束層の平面面積とは、

(a)拘束層が1つだけ配設されている場合にはその平面面積の値、

(b)拘束層が平面的に見て複数配設されている場合において、各拘束層に重なりがない場合には、各拘束層の平面面積の合計値、

(c)拘束層が平面的に見て複数配設され、かつ、何層かの拘束層が、積層方向から見て互いに重なるように配設されている場合には、セラミック多層基板を平面的に見た場合における、拘束層が配設されている領域の面積、すなわち、内部導体の投影領域の面積の値（内部導体が重なっている領域についても、該重なり面積に、重なった拘束層の層数を乗じることとはしない値）をいう。

[0026] また、拘束層を、積層方向から見て、内部導体重なり領域の全てを覆うように配設した場合、内部導体の重なりによるセラミック層の変形を十分かつ確実に吸収して、セラミック多層基板のコプラナリティをさらに向上させることができる。

なお、拘束層が、内部導体重なり領域の一部を覆うように配設した場合にも、それなりにコプラナリティが改善されることは上述の通りである。

[0027] また、拘束層を、積層方向から見て重なるべき対象である内部導体と基板表面の間のうち、内部導体と基板表面間の距離が短い方に配設することにより、さらに確実にコプラナリティを改善することができる。

すなわち、積層方向に重なった内部導体の影響で形成される凸状の盛り上がりは、内部導体から近い方の基板表面に形成されやすいため、拘束層を、積層方向から見て重なるべき対象である内部導体と基板表面との間のうち、内部導体と基板表面間の距離が短い方に配設することにより、効率よく、基板表面に凸状の盛り上がりが形成されることを抑制、防止して、コプラナリティを向上させることができる。

なお、拘束層は、内部導体との間に3～4層程度のセラミック層を介して配設すると、拘束層と内部導体の間にある3～4層のセラミック層が焼成工程で厚み方向に大きく収縮することによって内部導体の重なりによるセラミック層の変形をより確実に吸収することができる。

[0028] また、セラミック多層基板内にコイル導体を配設してコイルを構成する場合、同一形状のコイル導体（内部導体）が積層方向に重なるように配置されることになるため、基板表面の、前記コイル導体が配設された領域に対応する領域が盛り上がり凸状になりやすいが、このようなセラミック多層基板に本発明を適用することにより、コプラナリティに優れたセラミック多層基板を得ることが可能になり、特に有意義である。

[0029] また、前記セラミック層を構成する材料として、ガラス成分を含むセラミック材料を用いることにより、例えば1000℃以下の比較的低い温度での焼成工程を経て効率よく特性の高いセラミック多層基板を製造することが可能になり、有意義である。

[0030] また、セラミック層からガラス成分が拘束層に拡散して拘束層とセラミック層の接合強度が高くなり、セラミック層が主面に平行な方向に収縮することを拘束層が防止する結果、セラミック層の厚み方向への収縮が促進され、焼成工程におけるセラミック層の変形（厚みの増大）を吸収して、コプラナリティを向上させることが可能になる点でも有意義である。

[0031] また、本発明のセラミック多層基板の製造方法は、複数の基板用セラミックグリーン層と、少なくとも2層の前記基板用セラミックグリーン層上に、少なくとも一部が、他の基材用セラミックグリーンシート上に配設された内部導体と積層方向から見て重なるように配設された内部導体と、内部導体とは異なる層に形成され、積層方向から見て互いに重なる内部導体のうちの少なくとも2層が内部導体重なり領域と積層方向から見て重なり、かつ平面面積が内部導体重なり領域の平面面積の2倍以下の、基板用セラミック材料粉末の焼結温度では焼結しない無機材料粉末を含んでなる拘束層とを備えた生の積層体を作製し、この生の積層体を、基板用セラミック材料粉末は焼結す

るが無機材料粉末は焼結しない温度で焼成するようにしているので、基板表面のコプラナリティに優れたセラミック多層基板を効率よく製造することが可能になる。

[0032] また、拘束層を、無機材料粉末を含む無機材料ペーストを基板用セラミックグリーン層上に塗布することにより形成した場合、拘束層を容易に任意のパターンに形成することが可能になり、本発明をより実効あらしめることができる。

### 図面の簡単な説明

[0033] [図1]本発明の実施の形態1にかかるセラミック多層基板の構成を模式的に示す図である。

[図2A]本発明の実施の形態1のセラミック多層基板において、内部導体重なり領域を説明するための図である。

[図2B]本発明の実施の形態1のセラミック多層基板において、内部導体重なり領域を説明するための他の図である。

[図3]本発明のセラミック多層基板の特性を評価するために作製した試料の構成を示す図である。

[図4]本発明の実施の形態2にかかるセラミック多層基板の構成を模式的に示す図である。

### 発明を実施するための形態

[0034] 以下に本発明の実施の形態を示して、本発明の特徴とするところをさらに詳しく説明する。

[0035] [実施の形態1]

図1は本発明の実施の形態1にかかるセラミック多層基板の構成を模式的に示す図である。

このセラミック多層基板10は、基材層であるセラミック層1と、層間に配設された内部導体3と、表面に形成された外部導体4と、層間接続用のビアホール導体5とを備えている。なお、異なる層に配置されている内部導体3および外部導体4は、ビアホール導体5を介して互いに電氣的に接続され

ている。

[0036] また、内部導体 3 とは異なる層に配設され、積層方向から見て互いに重なる内部導体 3 のうちの少なくとも 2 層が重なる領域（内部導体重なり領域）と積層方向から見て重なるように、実質的に焼結していない無機材料粉末を含んでなる拘束層 2 が配設されている。

[0037] また、この実施の形態 1 のセラミック多層基板 10 においては、拘束層 2 が 3 箇所配設されており、各拘束層 2（2 a, 2 b, 2 c）は、それぞれ平面面積が、上述の内部導体重なり領域の平面面積の 2 倍以下となるように構成されている。

なお、拘束層 2 の配設位置や配設数に特別の制約はなく、必要に応じて配設位置や配設数を定めることが可能である。

[0038] また、セラミック多層基板 10 の表面には、表面実装型の電子部品 6 a、半導体素子 6 b が実装されている。

電子部品 6 a は、はんだ 11 を介して、外部導体 4 に機械的、電氣的に接続されている。また、半導体素子 6 b は、はんだボール 8 を介して外部導体 4 に電氣的に接続されている。

[0039] このセラミック多層基板 10 において、基材層であるセラミック層 1 は、セラミック多層基板 10 の基板特性を支配する。

セラミック層 1 の厚み（焼成後の厚み）は、通常  $5\ \mu\text{m} \sim 100\ \mu\text{m}$  の範囲にあることが好ましい。

[0040] セラミック層 1 の構成材料としては、ガラスを含む、例えば、 $1000^\circ\text{C}$  以下の比較的低温で焼結可能な低温焼結セラミック材料が有利に用いられる。なお、低温焼結が可能なセラミック材料としては、例えば、酸化バリウム、酸化ケイ素、アルミナ、酸化カルシウムおよび酸化ホウ素の混合物のように、焼成工程において、ガラスを生成する組成のものを用いることが可能である。また、これに代えて、たとえばアルミナのようなフィラーとなるセラミックと、ホウケイ酸系ガラス、または酸化ケイ素のような焼結助剤として作用するガラスとを混合としたものを用いることも可能である。

- [0041] また、拘束層 2 を構成する材料としては、セラミック層 1 を構成するセラミック材料の焼結温度では焼結しない、高い焼結温度を有する無機材料を未焼結のままで含有するものが用いられる。例えば、アルミナ、ジルコニア、マグネシア、ムライト、石英などの酸化物系無機材料粉末、あるいは、窒化ホウ素などの非酸化物系無機材料粉末などを用いることができる。
- [0042] また、内部導体は、通常、導電性ペーストを所定の形状に印刷した内部導体パターンが、セラミック層を焼成する工程で、同時に焼成されることにより形成される。そして、この内部導体の形成に用いられる導電性ペーストとしては、例えば、Ag、Ag-Pd、Ag-Pt、Cu、Au、Pt、Al などの金属粉末、合金粉末を導電材料の主成分とし、このような金属粉末を有機ビヒクル中に分散させてペースト状としたものが用いられる。
- [0043] また、この実施の形態 1 のセラミック多層基板 10 において、「積層方向から見て互いに重なる内部導体のうちの少なくとも 2 層が重なる内部導体重なり領域」とは、内部導体と拘束層の配設態様を模式的に示す図 2 A を参照して説明すると、2 層の内部導体 3 (3 a, 3 b) がセラミック層 1 を介して正対するように配設されている場合においては、平面的に見て、一方の内部導体 3 a の占める領域が、他方の内部導体 3 b の占める割合に等しいから、内部導体 3 a または 3 b が形成されている領域（すなわち、図 2 A において、「A」で示す領域）が、内部導体重なり領域となる。この場合、内部導体が 3 層以上であってもそれらが正対するように配設されている場合には、「内部導体重なり領域 A」は、内部導体が 2 層の場合と同じになる。
- [0044] 一方、例えば、図 2 B に示すように、セラミック層 1 を介して、3 層の内部導体 3 (3 a, 3 b, 3 c) が配設されており、上下の内部導体 3 a と 3 c とは積層方向に直交する方向に位置をずらして配設されており、中央の内部導体 3 b は内部導体 3 a, 3 c よりも広い領域に形成されており、積層方向から見た場合に上下の内部導体 3 a と 3 c と重なるように配設されている場合においては、内部導体 3 a と 3 b が重なる領域 A 1 と内部導体 3 b と内部導体 3 c が重なる領域 A 2 の両方の領域を含む領域 A 1 2 が「内部導体重

なり領域A」となる。

[0045] 次に、図1に示すような構成を備えた本発明の実施の形態1にかかるセラミック多層基板10の製造方法について説明する。

セラミック多層基板10を製造するにあたっては、まず、セラミック層1となるべき、例えば焼成後の厚みが、 $5\mu\text{m}\sim 100\mu\text{m}$ 程度の複数の基板用セラミックグリーンシートを用意する。

[0046] 次に、所定の基板用セラミックグリーンシートに、ビアホール導体5を配設するための貫通孔を形成する。そして、この貫通孔に導電性ペーストを充填することにより、ビアホール導体5を形成する。

[0047] また、所定の基板用セラミックグリーンシート上に、導電性ペーストを所定のパターンで印刷することにより、内部導体や外部導体となるべき導体膜を形成する。

[0048] また、所定の基板用セラミックグリーンシート上の、積層方向から見て互いに重なる内部導体のうちの少なくとも2層が重なる内部導体重なり領域となるべき所定の位置に、所定のパターンで、たとえば厚み $1\sim 10\mu\text{m}$ 程度の拘束層パターンを形成する。

[0049] なお、拘束層の形成には、基板用セラミックグリーンシートを構成するセラミック材料の焼結温度では実質的に焼結しないアルミナ粉末などの難焼結性の無機材料粉末を主たる成分とする拘束層形成用の無機材料ペーストを印刷する方法を用いることが望ましい。

[0050] また、無機材料としては、基板用セラミックグリーンシートを構成するセラミック材料の焼結温度では焼結しないジルコニアなどの他の材料を使用することも可能である。

[0051] 次に、上述のように、ビアホール導体、導体膜、拘束層パターンのいずれか1種または2種以上が形成された基材用セラミックグリーンシート、およびそれらの形成されていない基材用セラミックグリーンシートを積層して、圧着することにより、焼成後に図1に示すような構造のセラミック多層基板となる積層体を形成する。

なお、上記の積層体を圧着するにあたっては、例えば、静水圧プレスの方法が用いられる。

[0052] 次に、上述のようにして形成した、圧着後の積層体を、基板用セラミックグリーンシートを構成するセラミック材料粉末は焼結するが、拘束層を構成する無機材料粉末は実質的に焼結しない温度で焼成する。具体的には、例えば、還元雰囲気中にて最高温度 900～1000℃の温度条件で焼成を行う。焼成工程では、拘束層が配設されている部分のセラミック層が、その主面に平行な方向にはほとんど収縮せず、厚み方向にのみ大きく収縮することから、セラミック層の変形が吸収され、基板表面が凸状に盛り上がるのが抑制される。

なお、この焼成工程においては、積層体全体の反りや変形を防止するため、積層体を積層方向に加圧した状態で焼成してもよい。

[0053] これにより、図 1 に示すような構造を有するセラミック多層基板（電子部品 6 a、半導体素子 6 b など実装される前のセラミック多層基板） 10 が得られる。

[0054] このセラミック多層基板 10 においては、上述のように、積層されたセラミック層 1 の層間の合計 3 箇所に拘束層 2（2 a，2 b，2 c）が配設されている。

[0055] そして、拘束層 2（2 a）は、その下方にある合計 3 層の内部導体 3 に対応して配設されている。

また、拘束層 2（2 b）は、その上方の 3 層の内部導体 3 に対応して配設されている。

さらに、拘束層 2（2 c）は、その下方の 2 層の内部導体 3 に対応して配設されている。

これらの拘束層 2（2 a，2 b，2 c）により、基板表面のコプラナリティを確保したい領域において、十分なコプラナリティが確保される。

[0056] なお、本発明のセラミック多層基板において、拘束層 2 は、少なくとも 2 層の内部導体 3 が互いに重なる内部導体重なり領域がある場合に必ず配設し

なければならないものではなく、他の配線導体などとの兼ね合いにより、配置する必要がない場合もある。すなわち、全体のバランスを考慮して、内部導体の重なり合いによる基板表面のコプラナリティの低下が特に問題になる部分を選んで拘束層 2 を配置することができる。そうすることにより、効率よく、コプラナリティに優れたセラミック多層基板を作製することができる。

[0057] なお、上記のセラミック多層基板の製造方法では、個々のセラミック多層基板を製造する場合について説明したが、通常は、複数個分のセラミック多層基板を含む集合積層体を形成し、焼成前あるいは焼成後にこれを分割することにより複数個のセラミック多層基板を得る、いわゆる多数個取りの製造方法が用いられることが多い。

なお、上述の多数個取りの製造方法を適用する場合、焼成前の集合積層体に対して、後で実施される分割工程を容易にするためのブレイクラインを形成しておくことが望ましい。

[0058] また、この実施の形態 1 では、セラミックグリーンシートを積層することにより未焼成の積層体を形成したが、基板用セラミック材料粉末を含むスラリーを塗布する工程を繰り返すことによって、未焼成の積層体を形成する方法を採用することも可能である。

[0059] 上述のように製造されるこの実施の形態 1 のセラミック多層基板 10 においては、内部導体 3 が配設されている層とは異なる層に、内部導体重なり領域 A と積層方向から見て重なるように、実質的に焼結していない無機材料粉末を含んでなる拘束層 2 が配設されているので、セラミック層 1 を介して積層された複数の内部導体 3 の影響を吸収して、基板表面の平坦性(コプラナリティ)を確保することができる。

[0060] また、拘束層 2 の平面面積が内部導体重なり領域 A の平面面積の 2 倍以下となるようにしているので、内部導体 3 の周辺のセラミック層 1 に大きな凹みが生じることを防止して、クラック発生のない、コプラナリティに優れたセラミック多層基板 10 を得ることができる。

## [0061] [特性評価]

本発明の効果を確認するため、図3に模式的に示すように、

(a)厚み $20\mu\text{m}$ のセラミック層1を15層、

(b)厚み $10\mu\text{m}$ の内部導体3を2層、

(c)厚み $2\mu\text{m}$ の拘束層2を1層、

を備え、

セラミック層1を介して正対する位置に2層の内部導体3が配設され、その上方に3層のセラミック層1を介して拘束層2が配設され、かつ、拘束層2の上に1層のセラミック層1が配設された構造を有し、セラミック層1の平面面積（基板面積）が $14\text{mm}^2$ の試料（表1の試料番号2～6の試料）10sを作製した。この試料10sは $100\text{mm}\times 100\text{mm}$ の集合基板を焼成した後にカットして作製された基板である。

## [0062] [表1]

| 試料<br>番号 | 内部導体の<br>平面面積<br>( $\text{mm}^2$ ) | 拘束層の<br>平面面積<br>( $\text{mm}^2$ ) | 拘束層平面面積／<br>内部導体重なり面積 | コプラナリティ<br>( $\mu\text{m}$ ) | 備考           |
|----------|------------------------------------|-----------------------------------|-----------------------|------------------------------|--------------|
| 1        | 2                                  | 0                                 | 0                     | 75                           | —            |
| 2        | 2                                  | 0.5                               | 0.25                  | 44                           | —            |
| 3        | 2                                  | 1                                 | 0.5                   | 35                           | —            |
| 4        | 2                                  | 2                                 | 1                     | 22                           | —            |
| 5        | 2                                  | 3                                 | 1.5                   | 20                           | —            |
| 6        | 2                                  | 4                                 | 2                     | 26                           | —            |
| 7        | 2                                  | 5                                 | 2.5                   | —                            | 基板に凹<br>みが発生 |

[0063] また、比較のため、拘束層を備えていない試料（表 1 の試料番号 1 の試料）および、拘束層 2 の平面面積が内部導体 3 の平面面積の 2 倍を超える試料（表 1 の試料番号 7 の試料）を作製した。

[0064] <コプラナリティ>

そして、表 1 の試料番号 1 ～ 7 の各試料について、コプラナリティを評価するため、基板表面の最も低い部分と高い部分の標高差（ $\mu\text{m}$ ）を測定した。測定結果をコプラナリティとして表 1 に示す。コプラナリティは上記集合基板をカットして得られた試料 10 本のコプラナリティの平均値である。

[0065] 表 1 に示すように、拘束層を備えていない試料番号 1 の試料（比較例）では、コプラナリティが  $70\mu\text{m}$  を超えており、拘束層を配設しない場合には、十分な平坦性が確保できないことが確認された。

[0066] また、試料番号 7 の試料のように、拘束層 2 の平面面積が内部導体 3 の平面面積の 2 倍を超えると、内部導体 3 の周辺のセラミック層 1 が大きく凹み、クラックも発生することが認められた。

[0067] <セラミック層の平面面積に対する拘束層の面積の影響確認>

図 3 に示すような構成を有する試料において、内部導体重なり領域 A と拘束層 2 の平面面積の割合を 1 : 1 としたまま、内部導体 3 の平面面積と拘束層 2 の平面面積を変化させて、セラミック層（セラミック多層基板）の平面面積に対する拘束層 2 の面積の割合を変化させた試料（表 2 の試料番号 8 ～ 13 の試料）を作製した。なお、この表 2 の試料も、セラミック層の平面面積（基板面積）が  $14\text{mm}^2$  のものである。

[0068]

[表2]

| 試料<br>番号 | 内部導体<br>の平面<br>面積<br>(mm <sup>2</sup> ) | 拘束層の<br>平面面積<br>(mm <sup>2</sup> ) | 拘束層平面面積<br>／セラミック層<br>平面面積 | コプラナ<br>リティ<br>( $\mu$ m) | 非直線性<br>歪み<br>( $\mu$ m) | 基板反り<br>( $\mu$ m) |
|----------|-----------------------------------------|------------------------------------|----------------------------|---------------------------|--------------------------|--------------------|
| 8        | 2                                       | 2                                  | 1/7                        | 22                        | 45                       | 145                |
| 9        | 4                                       | 4                                  | 2/7                        | 24                        | 48                       | 165                |
| 10       | 6                                       | 6                                  | 3/7                        | 32                        | 62                       | 215                |
| 11       | 7                                       | 7                                  | 1/2                        | 43                        | 73                       | 245                |
| 12       | 8                                       | 8                                  | 4/7                        | 52                        | 80                       | 285                |
| 13       | 10                                      | 10                                 | 5/7                        | 56                        | 86                       | 335                |

[0069] そして、表2の試料番号8～13の試料について、コプラナリティ ( $\mu$  m)、非直線性歪み ( $\mu$  m)、反り ( $\mu$  m) を調べた。非直線性ひずみ、反りは集合基板について測定した値である。その結果を表2に併せて示す。

なお、非直線性歪み ( $\mu$  m) は、以下の方法で求めた値である。まず、試料の4辺の理論値とのずれをX、Yのそれぞれについて求める。そして、Xの最大のずれと最小のずれの絶対値の和の1/2の値と、Yの最大のずれと最小のずれの絶対値の和の1/2の値を比較し、大きい方の値を非直線性歪み ( $\mu$  m) とした。

[0070] 焼成工程で積層体が拘束層を備えている場合、得られる焼結体には、拘束層を備えていない場合よりも積層体全体として大きな歪みや反りが生じる傾向があるが、表2に示すように、拘束層の平面面積をセラミック層の平面面積（基板面積）の1/2以下とした試料番号8～11の試料の場合、歪みや

反りが小さく、しかもコプラナリティに優れていることが確認された。

[0071] 一方、拘束層の平面面積がセラミック層の平面面積（基板面積）の  $1/2$  を超えた、表 2 の試料番号 12 および 13 の試料の場合、実用可能な範囲ではあるが、歪みや反りがいくらか大きくなり、コプラナリティも少し低下する傾向が認められた。

[0072] また、内部導体重なり領域 A の平面面積と拘束層の平面面積を同じとし、拘束層の位置をずらして、両者の重なる割合を変化させることにより、表 3 の試料番号 14 ～ 16 の試料を作製した。なお、この表 3 の試料も、セラミック層の平面面積（基板面積）が  $14 \text{ mm}^2$  のものである。

そして、この試料番号 14 ～ 16 の試料についてコプラナリティを調べた。その結果を表 3 に併せて示す。

[0073] [表3]

| 試料<br>番号 | 内部導体の平<br>面面積<br>( $\text{mm}^2$ ) | 拘束層の<br>平面面積<br>( $\text{mm}^2$ ) | 拘束層の内部導体<br>重なり領域に<br>対する割合 | コプラナリティ<br>( $\mu\text{m}$ ) |
|----------|------------------------------------|-----------------------------------|-----------------------------|------------------------------|
| 14       | 2                                  | 2                                 | 1（全面）                       | 22                           |
| 15       | 2                                  | 2                                 | $1/2$                       | 38                           |
| 16       | 2                                  | 2                                 | $1/3$                       | 48                           |

[0074] 表 3 に示すように、拘束層が内部導体重なり領域 A の全面を覆っている試料番号 14 の試料の場合、コプラナリティは  $22 \mu\text{m}$  と特に良好であるが、拘束層が内部導体重なり領域 A の一部を覆っている試料番号 15, 16 の場合にも、コプラナリティが改善されることが確認された。

[0075] また、実施の形態 1 のセラミック多層基板では、拘束層を、積層方向から見て重なるべき対象である内部導体と基板表面の間のうち、内部導体と基板

表面間の距離が短い方に配設するようにしているので、確実にコプラナリティを改善することができる。すなわち、複数の内部導体の影響で形成される凸状の盛り上がりは、内部導体から近い方の基板表面に形成されやすいため、拘束層を、積層方向から見て重なるべき対象である内部導体と基板表面との間のうち、内部導体と基板表面間の距離が短い方に配設することにより、効率よくコプラナリティを改善することができる。

[0076] また、本発明において、拘束層は、内部導体との間に3～4層程度のセラミック層を介して配設することが望ましい。これは、内部導体と拘束層の間に3～4層程度のセラミック層を介在させることにより、これらのセラミック層の厚み方向の収縮によって、内部導体の重なりによるセラミック層の変形を、十分かつ柔軟に吸収し、コプラナリティを効率よく改善できることによる。

[0077] また、本発明においては、拘束層は必要に応じて2層以上重ねて配置してもよい。その場合、セラミック層の変形を吸収する能力を大きくすることができる。

[0078] なお、拘束層はセラミック多層基板の最外層となる位置に配設しないことが望ましい。これは、セラミック層と拘束層とは異なる材料であり、接合強度が不十分になりやすく、また、セラミック多層基板の表面は、外部からの力にさらされる可能性が高く、クラックや割れの原因になり易いことによる。

[0079] また、拘束層は内部導体と接しないように配置されることが好ましい。これは、例えば2層の内部導体のうち、一方の内部導体が拘束層に接し、他方がセラミック層と接した状態になる、上下の収縮率および焼結収縮挙動の違いにより、内部導体に浮きが発生するおそれがあることによる。

[0080] [実施の形態2]

図4は、本発明の他の実施の形態（実施の形態2）にかかるセラミック多層基板の構成を示す正面断面図である。

[0081] このセラミック多層基板10aは、基材層であるセラミック層1と、層間

に配設された内部導体 3 と、表面に形成された外部導体 4 と、層間接続用のビアホール導体 5 とを備えている。なお、異なる層に配置されている内部導体 3 および外部導体 4 は、ビアホール導体 5 を介して互いに電氣的に接続されている。

[0082] また、セラミック多層基板 10a の厚み方向の中央領域に位置する積層方向から見て互いに重なる複数の内部導体 3 (3c) は、特に図示しないビアホール導体により接続されてコイル L を形成するコイル導体である。

[0083] そして、このセラミック多層基板 10a において、セラミック層 1 は、例えばフェライトセラミックから構成されている。フェライトセラミックとしては、例えば、Fe-Ni-Zn-Cu 系、Fe-Zn-Cu 系、または Fe-Mn-Zn 系の組成のものが用いられる。

[0084] なお、このセラミック多層基板 10a においては、すべてのセラミック層 1 をフェライトセラミックから構成しても、あるいは、内部導体 3 (3c) から構成されるコイル L が位置する部分を構成するセラミック層のみをフェライトセラミックから構成し、他のセラミック層を誘電体セラミックまたは絶縁体セラミックから構成してもよい。

[0085] また、このセラミック多層基板 10a においては、内部導体 3 とは異なる層であって、基板表面に近い層には、コイル L を構成する複数の内部導体 3 (3c) と、積層方向から見て重なるように、実質的に焼結していない無機材料粉末を含んでなる拘束層 2 が配設されている。

[0086] また、図 4 では、セラミック多層基板 10 の表面に、表面実装型の電子部品 6a がはんだ 11 を介して実装され、半導体素子 6b がはんだボール 8 を介して実装された状態を示している。

[0087] この実施の形態 2 の場合のように、内部導体 3 (3c) として、複数のコイル導体を配設してコイル L を内部に形成したセラミック多層基板 10a の場合、同一形状のコイル導体 (内部導体) 3 (3c) が積層方向に重なるように配置されるため、基板表面の、コイル導体 (内部導体) 3 (3c) が配設された領域に対応する領域は盛り上がって凸状になりやすいが、本発明を

適用することにより、コプラナリティに優れたセラミック多層基板を得ることができるため、有意義である。

[0088] なお、本発明は、上記実施の形態 1 および 2 に限定されるものではなく、セラミック多層基板を構成するセラミック層の層数、拘束層や内部導体などの配設態様、セラミック層、内部導体、拘束層などを構成する材料、セラミック多層基板の製造工程における具体的な条件などに関し、発明の範囲内において、種々の応用、変形を加えることが可能である。

### 符号の説明

|        |                  |           |
|--------|------------------|-----------|
| [0089] | 1                | セラミック層    |
|        | 2                | 拘束層       |
|        | 3, 3 a, 3 b, 3 c | 内部導体      |
|        | 4                | 外部導体      |
|        | 5                | ビアホール導体   |
|        | 6 a              | 電子部品      |
|        | 6 b              | 半導体素子     |
|        | 8                | はんだボール    |
|        | 10, 10 a         | セラミック多層基板 |
|        | 11               | はんだ       |
|        | A                | 内部導体重なり領域 |
|        | L                | コイル       |

## 請求の範囲

- [請求項1] 積層された複数のセラミック層と、  
前記セラミック層を介して積層され、少なくとも一部が積層方向から見て互いに重なるように配設された複数の内部導体と、  
前記内部導体とは異なる層に配設され、積層方向から見て互いに重なる前記内部導体のうちの少なくとも2層が重なる内部導体重なり領域と積層方向から見て重なり、かつ平面面積が前記内部導体重なり領域の平面面積の2倍以下である、焼結していない無機材料粉末を含んでなる拘束層と  
を備えることを特徴とするセラミック多層基板。
- [請求項2] 前記拘束層の平面面積が前記セラミック層の平面面積の $1/2$ 以下であることを特徴とする、請求項1記載のセラミック多層基板。
- [請求項3] 積層方向から見て、前記拘束層が、前記内部導体重なり領域の全てを覆うように配設されていることを特徴とする、請求項1または2記載のセラミック多層基板。
- [請求項4] 前記拘束層は、積層方向から見て重なるべき対象である前記内部導体と基板表面の間のうち、内部導体と基板表面間の距離が短い方に配設されることを特徴とする、請求項1～3のいずれかに記載のセラミック多層基板。
- [請求項5] 積層方向から見て互いに重なる前記内部導体がコイル導体であることを特徴とする請求項1～4のいずれかに記載のセラミック多層基板。
- [請求項6] 前記セラミック層が、ガラス成分を含むセラミック材料からなるものであることを特徴とする、請求項1～5のいずれかに記載のセラミック多層基板。
- [請求項7] (a)基板用セラミック材料粉末を含む複数の基板用セラミックグリーン層と、  
少なくとも2層の前記基板用セラミックグリーン層上に、少なくと

も一部が、他の前記基材用セラミックグリーンシート上に配設された内部導体と積層方向から見て重なるように配設された内部導体と、

前記内部導体とは異なる層に形成され、積層方向から見て互いに重なる前記内部導体のうちの少なくとも2層が重なる内部導体重なり領域と積層方向から見て重なり、かつ平面面積が前記内部導体重なり領域の平面面積の2倍以下の、前記基板用セラミック材料粉末の焼結温度では焼結しない無機材料粉末を含んでなる拘束層と

を備えた、生の積層体を作製する工程と、

(b)前記生の積層体を、前記基板用セラミック材料粉末は焼結するが前記無機材料粉末は焼結しない温度で焼成する工程と

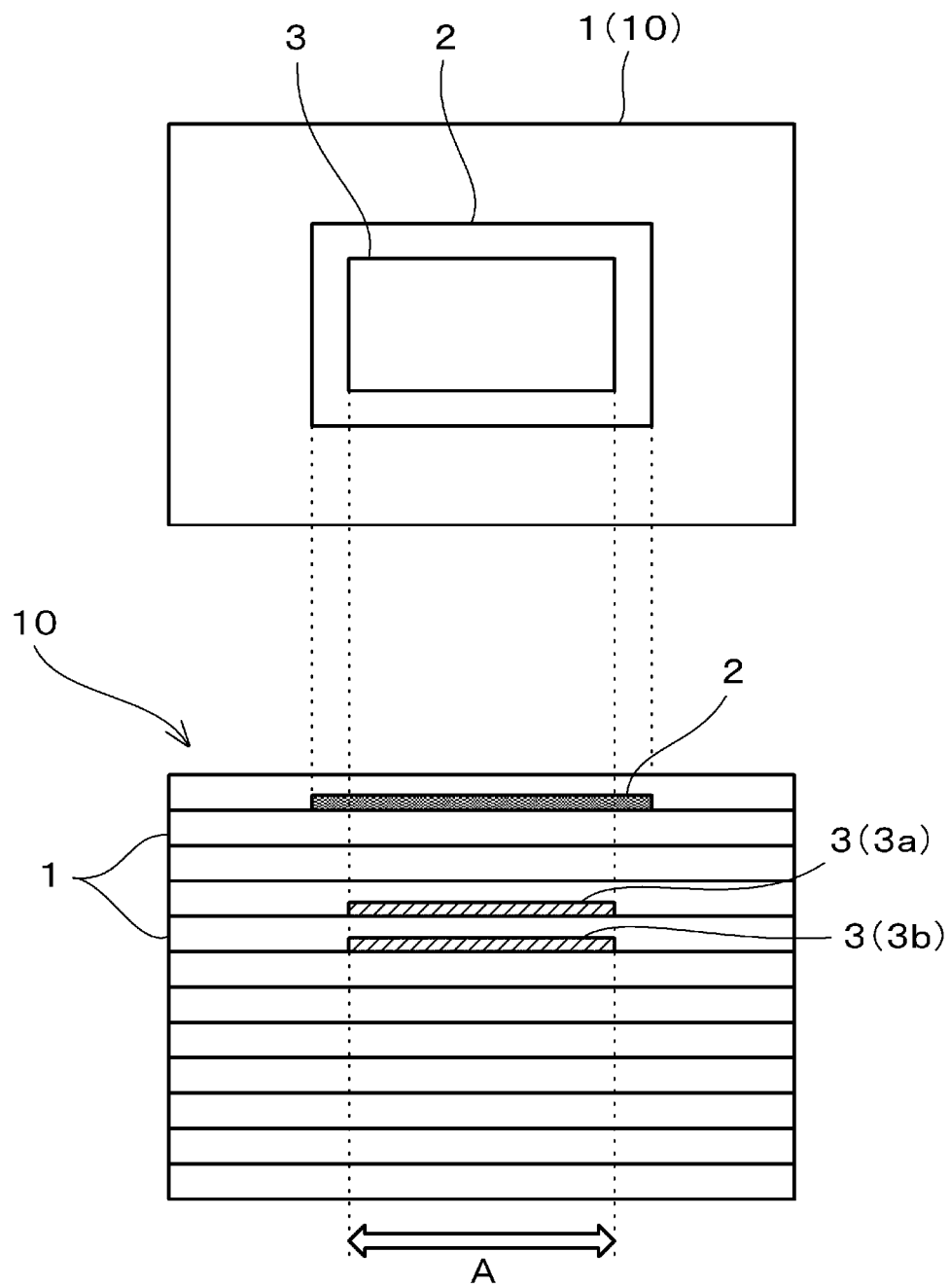
を具備することを特徴とする、セラミック多層基板の製造方法。

[請求項8]

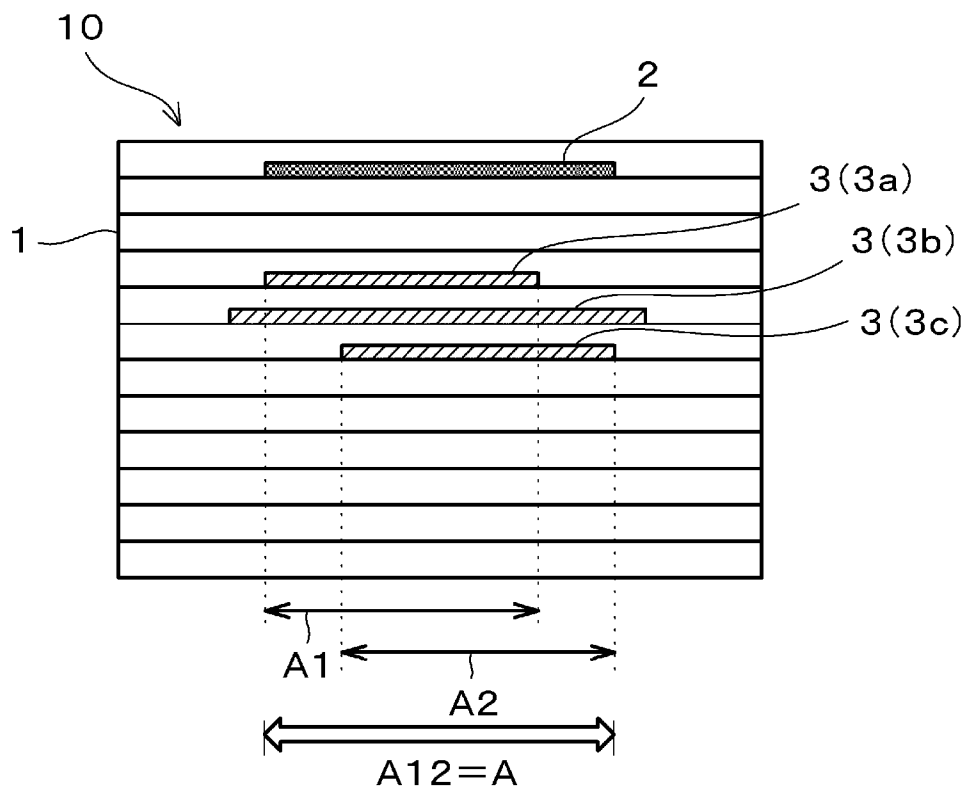
前記拘束層を、前記無機材料粉末を含む無機材料ペーストを前記基板用セラミックグリーン層上に塗布することにより形成することを特徴とする、請求項7記載のセラミック多層基板の製造方法。



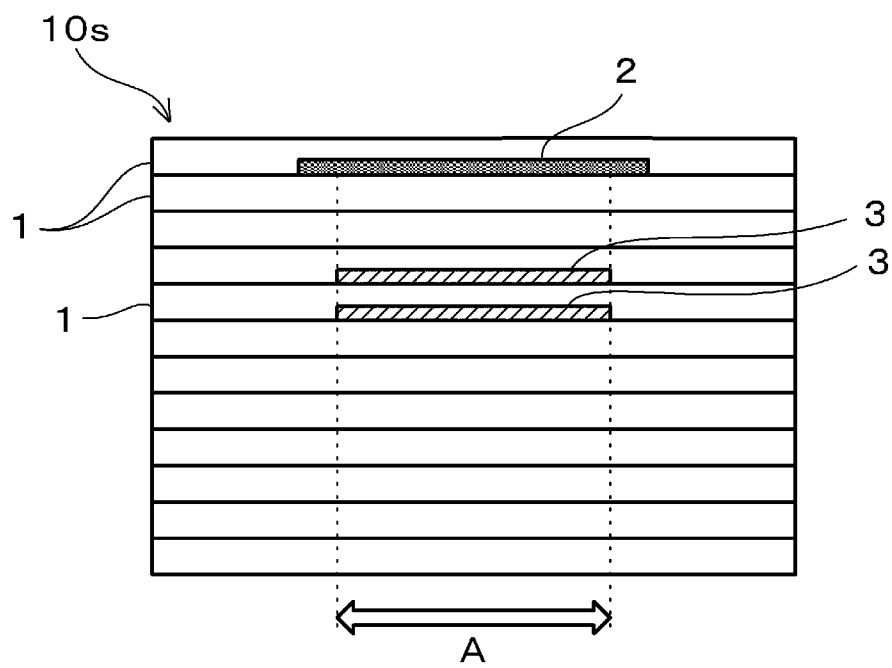
[図2A]

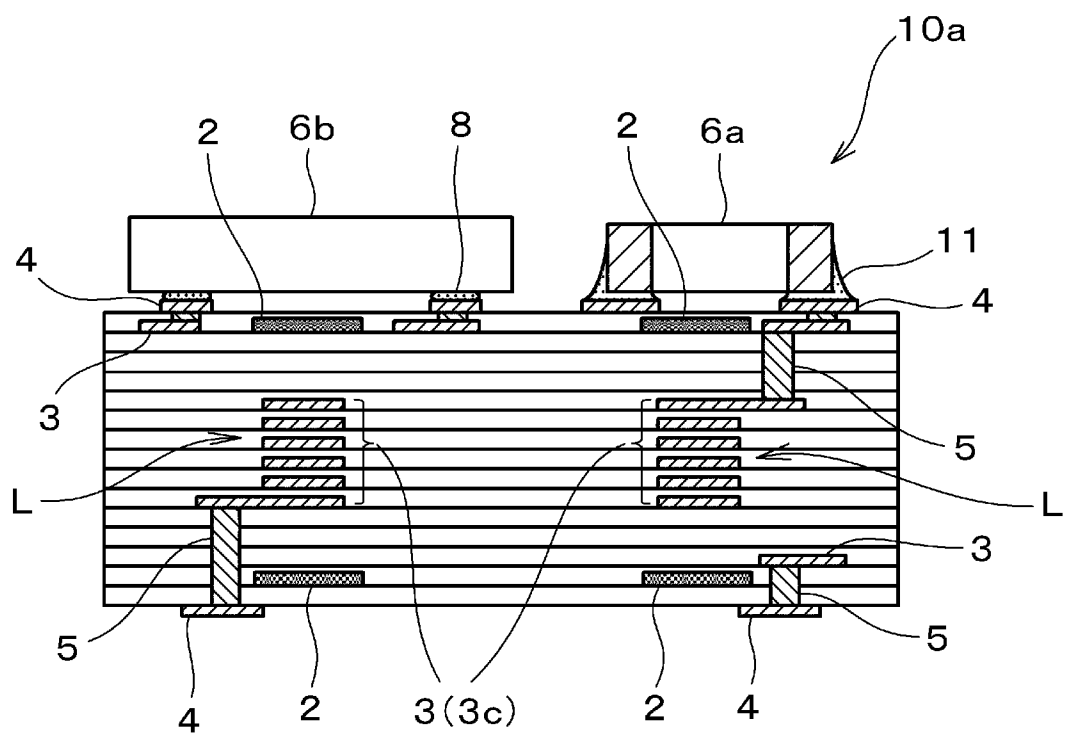


[図2B]



[図3]





# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/066061

## A. CLASSIFICATION OF SUBJECT MATTER

H05K3/46(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H05K3/46

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

|                           |           |                            |           |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho       | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2011 |
| Kokai Jitsuyo Shinan Koho | 1971-2011 | Toroku Jitsuyo Shinan Koho | 1994-2011 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                | Relevant to claim No. |
|-----------|---------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| A         | WO 2007/145189 A1 (Murata Mfg. Co., Ltd.),<br>21 December 2007 (21.12.2007),<br>entire text; all drawings<br>& US 2009/0068426 A1 & EP 2028664 A1 | 1-8                   |
| A         | JP 2007-335732 A (NGK Spark Plug Co., Ltd.),<br>27 December 2007 (27.12.2007),<br>fig. 8, 10, 11<br>(Family: none)                                | 1-8                   |
| A         | JP 2008-135523 A (Kyocera Corp.),<br>12 June 2008 (12.06.2008),<br>paragraphs [0022] to [0028]; fig. 1<br>(Family: none)                          | 1-8                   |



Further documents are listed in the continuation of Box C.



See patent family annex.

\* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search  
11 October, 2011 (11.10.11)

Date of mailing of the international search report  
25 October, 2011 (25.10.11)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H05K3/46(2006.01) i

## B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H05K3/46

最小限資料以外の資料で調査を行った分野に含まれるもの

|             |                     |
|-------------|---------------------|
| 日本国実用新案公報   | 1 9 2 2 - 1 9 9 6 年 |
| 日本国公開実用新案公報 | 1 9 7 1 - 2 0 1 1 年 |
| 日本国実用新案登録公報 | 1 9 9 6 - 2 0 1 1 年 |
| 日本国登録実用新案公報 | 1 9 9 4 - 2 0 1 1 年 |

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                            | 関連する<br>請求項の番号 |
|-----------------|----------------------------------------------------------------------------------------------|----------------|
| A               | WO 2007/145189 A1（株式会社村田製作所）<br>2007. 12. 21, 全文, 全図<br>& US 2009/0068426 A1 & EP 2028664 A1 | 1-8            |
| A               | JP 2007-335732 A（日本特殊陶業株式会社）<br>2007. 12. 27, 【図 8】 , 【図 10】 , 【図 11】<br>(ファミリーなし)           | 1-8            |

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」 同一パテントファミリー文献

国際調査を完了した日

1 1 . 1 0 . 2 0 1 1

国際調査報告の発送日

2 5 . 1 0 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

中尾 麗

3 S

4 0 2 6

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 3 9 1

| C (続き) . 関連すると認められる文献 |                                                                                 |                |
|-----------------------|---------------------------------------------------------------------------------|----------------|
| 引用文献の<br>カテゴリー*       | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                               | 関連する<br>請求項の番号 |
| A                     | JP 2008-135523 A (京セラ株式会社)<br>2008.06.12, 段落【0022】 - 【0028】, 【図 1】<br>(ファミリーなし) | 1-8            |