

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-164869

(P2012-164869A)

(43) 公開日 平成24年8月30日(2012.8.30)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/8238 (2006.01)	HO 1 L 27/08 3 2 1 C	5 F 0 3 3
HO 1 L 27/092 (2006.01)	HO 1 L 27/08 1 0 2 B	5 F 0 4 8
HO 1 L 21/8234 (2006.01)	HO 1 L 27/08 1 0 2 C	5 F 1 4 0
HO 1 L 27/088 (2006.01)	HO 1 L 27/08 3 2 1 D	
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 3 0 1 N	
審査請求 未請求 請求項の数 19 O L (全 42 頁) 最終頁に続く		

(21) 出願番号 特願2011-24941 (P2011-24941)
(22) 出願日 平成23年2月8日 (2011.2.8)

(71) 出願人 302062931
ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部 1 7 5 3 番地
(74) 代理人 100080001
弁理士 筒井 大和
(74) 代理人 100113642
弁理士 菅田 篤志
(74) 代理人 100117008
弁理士 筒井 章子
(74) 代理人 100147050
弁理士 中原 亨
(74) 代理人 100147430
弁理士 坂次 哲也

最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

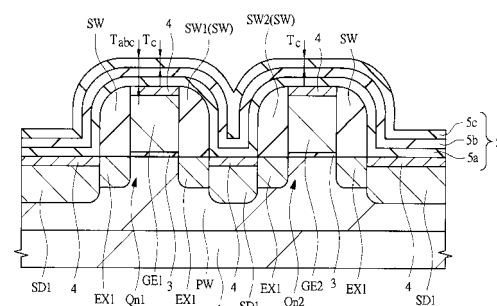
(57) 【要約】

【課題】 半導体装置の性能と信頼性を向上させる。

【解決手段】 nチャネル型MISFETQn1, Qn2を覆うように半導体基板1上に引張応力膜としての窒化シリコン膜5を形成する。窒化シリコン膜5は窒化シリコン膜5a, 5b, 5cの積層膜である。窒化シリコン膜5a, 5bの膜厚の合計は、サイドウォールスペーサSW1とサイドウォールスペーサSW2との間の間隔の半分よりも小さく、窒化シリコン膜5a, 5bは、成膜後に紫外線照射処理を行って引張応力を増大させる。窒化シリコン膜5a, 5b, 5cの膜厚の合計は、サイドウォールスペーサSW1とサイドウォールスペーサSW2との間の間隔の半分以上であり、窒化シリコン膜5cに対しては紫外線照射処理を行わない。

【選択図】 図15

図 15



1: 半導体基板
5a, 5b, 5c: 窒化シリコン膜
Qn1, Qn2: nチャネル型MISFET
SW1, SW2: サイドウォールスペーサ

【特許請求の範囲】

【請求項 1】

半導体基板と、

前記半導体基板の主面上に形成され、互いに隣り合う第 1 ゲート電極および第 2 ゲート電極と、

前記第 1 ゲート電極の前記第 2 ゲート電極に対向する側の第 1 側壁上に形成された第 1 サイドウォールスペーサと、

前記第 2 ゲート電極の前記第 1 ゲート電極に対向する側の第 2 側壁上に形成された第 2 サイドウォールスペーサと、

前記半導体基板の主面上に、前記第 1 および第 2 ゲート電極と前記第 1 および第 2 サイドウォールスペーサとを覆うように形成された第 1 絶縁膜と、

前記第 1 および第 2 ゲート電極と前記第 1 および第 2 サイドウォールスペーサとを覆うように、前記第 1 絶縁膜上に形成された第 2 絶縁膜と、

前記第 1 および第 2 ゲート電極と前記第 1 および第 2 サイドウォールスペーサとを覆うように、前記第 2 絶縁膜上に形成された第 3 絶縁膜と、

を有する半導体装置であって、

前記第 1 絶縁膜および前記第 2 絶縁膜のそれぞれは、窒化シリコンからなりかつ引張応力膜として機能し、

前記第 3 絶縁膜は、酸化シリコン系の絶縁膜からなり、

前記第 1 サイドウォールスペーサと前記第 2 サイドウォールスペーサとの間の間隔を L_0 とし、前記第 1 絶縁膜の膜厚を T_1 とし、前記第 1 サイドウォールスペーサの側面上の前記第 1 絶縁膜と前記第 2 サイドウォールスペーサの側面上の前記第 1 絶縁膜との間の間隔を L_1 とし、前記第 2 絶縁膜の膜厚を T_2 としたときに、 $L_0 / 2 > T_1$ かつ $L_1 / 2 \leq T_2$ が成り立ち、

前記第 1 絶縁膜の水素含有率は、前記第 2 絶縁膜の水素含有率よりも小さいことを特徴とする半導体装置。

【請求項 2】

請求項 1 記載の半導体装置において、

前記第 1 絶縁膜の水素含有率は、前記第 2 絶縁膜の水素含有率の $1/3$ 以下であることを特徴とする半導体装置。

【請求項 3】

請求項 2 記載の半導体装置において、

前記第 1 絶縁膜の引張応力は、前記第 2 絶縁膜の引張応力よりも大きいことを特徴とする半導体装置。

【請求項 4】

請求項 3 記載の半導体装置において、

前記第 1 絶縁膜は、複数の窒化シリコン膜の積層膜からなり、

前記第 1 絶縁膜を構成する前記複数の窒化シリコン膜のそれぞれの水素含有率は、前記第 2 絶縁膜の水素含有率よりも小さいことを特徴とする半導体装置。

【請求項 5】

請求項 4 記載の半導体装置において、

前記第 1 ゲート電極および前記第 2 ゲート電極は、それぞれ n チャネル型 MISFET のゲート電極であることを特徴とする半導体装置。

【請求項 6】

請求項 5 記載の半導体装置において、

前記第 3、第 2 および第 1 絶縁膜に形成されたコンタクトホールと、前記コンタクトホール内に形成された導電性のプラグとを更に有することを特徴とする半導体装置。

【請求項 7】

(a) 半導体基板の主面上に、互いに隣り合う第 1 ゲート電極および第 2 ゲート電極を形成する工程、

10

20

30

40

50

(b) 前記第1ゲート電極の前記第2ゲート電極に対向する側の第1側壁上に第1サイドウォールスペーサを、前記第2ゲート電極の前記第1ゲート電極に対向する側の第2側壁上に第2サイドウォールスペーサを、それぞれ形成する工程、

(c) 前記半導体基板の主面上に、前記第1および第2ゲート電極と前記第1および第2サイドウォールスペーサとを覆うように、窒化シリコンからなりかつ引張応力膜として機能する第1絶縁膜を形成する工程、

(d) 前記第1および第2ゲート電極と前記第1および第2サイドウォールスペーサとを覆うように、前記第1絶縁膜上に、第2絶縁膜を形成する工程、

(e) 前記第1および第2ゲート電極と前記第1および第2サイドウォールスペーサとを覆うように、前記第2絶縁膜上に第3絶縁膜を形成する工程、

10

を有する半導体装置の製造方法であって、

前記第1絶縁膜および前記第2絶縁膜のそれぞれは、窒化シリコンからなりかつ引張応力膜として機能し、

前記第3絶縁膜は、酸化シリコン系の絶縁膜からなり、

前記(b)工程で形成された前記第1サイドウォールスペーサと前記第2サイドウォールスペーサとの間の間隔を L_0 とし、前記(c)工程における前記第1絶縁膜の堆積膜厚を T_1 とし、前記(d)工程で前記第2絶縁膜を形成する前の段階における前記第1サイドウォールスペーサの側面上の前記第1絶縁膜と前記第2サイドウォールスペーサの側面上の前記第1絶縁膜との間の間隔を L_1 とし、前記(d)工程における前記第2絶縁膜の堆積膜厚を T_2 としたときに、 $L_0/2 > T_1$ かつ $L_1/2 \leq T_2$ が成り立ち、

20

前記(c)工程で形成された前記第1絶縁膜に対しては、前記第1絶縁膜の成膜後に前記第1絶縁膜の引張応力を増大する処理を施し、

前記(d)工程で形成された前記第2絶縁膜に対しては、前記第2絶縁膜の成膜後に前記第2絶縁膜の引張応力を増大する処理を施さないことを特徴とする半導体装置の製造方法。

【請求項8】

請求項7記載の半導体装置の製造方法において、

前記引張応力を増大する処理は、紫外線照射処理、電子ビーム照射処理、マイクロ波照射処理または熱処理であることを特徴とする半導体装置の製造方法。

【請求項9】

30

請求項8記載の半導体装置の製造方法において、

前記引張応力を増大する処理は、紫外線照射処理であり、

前記(c)工程では、前記第1絶縁膜の成膜後に前記第1絶縁膜に対して紫外線照射処理を行い、

前記(d)工程で形成された前記第2絶縁膜に対しては、紫外線照射処理を行わないことを特徴とする半導体装置の製造方法。

【請求項10】

請求項9記載の半導体装置の製造方法において、

前記第1ゲート電極および前記第2ゲート電極は、それぞれnチャネル型MISFETのゲート電極であることを特徴とする半導体装置の製造方法。

40

【請求項11】

請求項10記載の半導体装置の製造方法において、

前記(c)工程で形成された前記第1絶縁膜の引張応力は、前記(d)工程で形成された前記第2絶縁膜の引張応力よりも大きいことを特徴とする半導体装置の製造方法。

【請求項12】

請求項11記載の半導体装置の製造方法において、

前記(c)工程では、プラズマCVD法により前記第1絶縁膜を成膜した後、大気暴露させることなく、前記第1絶縁膜に対して紫外線照射処理を行い、該紫外線照射処理の後、大気暴露させることなく、前記(d)工程でプラズマCVD法により前記第2絶縁膜を成膜することを特徴とする半導体装置の製造方法。

50

【請求項 13】

請求項 7 記載の半導体装置の製造方法において、

前記 (c) 工程では、

(c1) 窒化シリコン膜を形成する工程と、

(c2) 前記 (c1) 工程後、前記 (c1) 工程で形成された前記窒化シリコン膜に対して引張応力を増大する処理を施す工程と、

を複数回繰り返すことにより、複数の前記窒化シリコン膜の積層膜からなる前記第 1 絶縁膜が形成されることを特徴とする半導体装置の製造方法。

【請求項 14】

請求項 7 記載の半導体装置の製造方法において、

前記 (c) 工程では、前記第 1 絶縁膜はプラズマ CVD 法で形成され、

前記 (d) 工程では、前記第 2 絶縁膜はプラズマ CVD 法で形成されることを特徴とする半導体装置の製造方法。

【請求項 15】

請求項 14 記載の半導体装置の製造方法において、

前記 (c) 工程では、プラズマ CVD 法による前記第 1 絶縁膜の成膜温度は 400℃以上であり、

前記 (d) 工程では、プラズマ CVD 法による前記第 2 絶縁膜の成膜温度は 400℃以上であることを特徴とする半導体装置の製造方法。

【請求項 16】

請求項 7 記載の半導体装置の製造方法において、

(f) 前記 (e) 工程後、前記第 3、第 2 および第 1 絶縁膜にコンタクトホールを形成する工程、

(g) 前記コンタクトホール内に導電性のプラグを形成する工程、

を更に有することを特徴とする半導体装置の製造方法。

【請求項 17】

(a) 半導体基板の主面上に、互いに隣り合う第 1 ゲート電極および第 2 ゲート電極を形成する工程、

(b) 前記第 1 ゲート電極の前記第 2 ゲート電極に対向する側の第 1 側壁上に第 1 サイドウォールスペーサを、前記第 2 ゲート電極の前記第 1 ゲート電極に対向する側の第 2 側壁上に第 2 サイドウォールスペーサを、それぞれ形成する工程、

(c) 前記半導体基板の主面上に、前記第 1 および第 2 ゲート電極と前記第 1 および第 2 サイドウォールスペーサとを覆うように、窒化シリコンからなりかつ引張応力膜として機能する第 1 絶縁膜を形成する工程、

(d) 前記第 1 および第 2 ゲート電極と前記第 1 および第 2 サイドウォールスペーサとを覆うように、前記第 1 絶縁膜上に、第 2 絶縁膜を形成する工程、

(e) 前記第 1 および第 2 ゲート電極と前記第 1 および第 2 サイドウォールスペーサとを覆うように、前記第 2 絶縁膜上に第 3 絶縁膜を形成する工程、

を有する半導体装置の製造方法であって、

前記第 1 絶縁膜および前記第 2 絶縁膜のそれぞれは、窒化シリコンからなりかつ引張応力膜として機能し、

前記第 3 絶縁膜は、酸化シリコン系の絶縁膜からなり、

前記 (b) 工程で形成された前記第 1 サイドウォールスペーサと前記第 2 サイドウォールスペーサとの間の間隔を L_0 とし、前記 (c) 工程における前記第 1 絶縁膜の堆積膜厚を T_1 とし、前記 (d) 工程で前記第 2 絶縁膜を形成する前の段階における前記第 1 サイドウォールスペーサの側面上の前記第 1 絶縁膜と前記第 2 サイドウォールスペーサの側面上の前記第 1 絶縁膜との間の間隔を L_1 とし、前記 (d) 工程における前記第 2 絶縁膜の堆積膜厚を T_2 としたときに、 $L_0/2 > T_1$ かつ $L_1/2 \leq T_2$ が成り立ち、

前記 (c) 工程で形成された前記第 1 絶縁膜に対しては、前記第 1 絶縁膜の成膜後に前記第 1 絶縁膜の引張応力を増大する第 1 処理を施し、

10

20

30

40

50

前記（d）工程で形成された前記第２絶縁膜に対しては、前記第２絶縁膜の成膜後に前記第２絶縁膜の引張応力を増大する第２処理を施し、

前記第１処理の条件と前記第２処理の条件とが異なることを特徴とする半導体装置の製造方法。

【請求項１８】

請求項１７記載の半導体装置の製造方法において、

前記第１処理よりも前記第２処理の方が、引張応力の増大作用が小さいことを特徴とする半導体装置の製造方法。

【請求項１９】

請求項１８記載の半導体装置の製造方法において、

前記第１処理および前記第２処理は、紫外線照射処理であり、

前記第２処理における紫外線の照度は、前記第１処理における紫外線の照度よりも小さいことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、半導体装置およびその製造方法に関し、特に、ＭＩＳＦＥＴを有しかつ応力膜を使用する半導体装置およびその製造に適用して有効な技術に関する。

【背景技術】

【０００２】

現在、トランジスタを微細化させ、その性能向上を図ることが幅広く行われている。しかしながら、微細化のみによるトランジスタの性能の向上は、対性能比で見た場合のコストの上昇といった問題がある。

【０００３】

そこで、微細化のみによるトランジスタの性能向上ばかりでなく、窒化膜に代表される応力膜を用いてトランジスタの性能を向上させる手法が現れてきている。

【０００４】

特開２００９－１４７１９９号公報（特許文献１）には、ＭＯＳトランジスタのチャネル領域に歪を印加させることができるＳｉＮライナー膜に関する技術が記載されている。国際公開第２００８／１１７４３１号パンフレット（特許文献２）には、チャネル領域に引張りストレスを与える応力膜に関する技術が記載されている。

【先行技術文献】

【特許文献】

【０００５】

【特許文献１】特開２００９－１４７１９９号公報

【特許文献２】国際公開第２００８／１１７４３１号パンフレット

【発明の概要】

【発明が解決しようとする課題】

【０００６】

本発明者の検討によれば、次のことが分かった。

【０００７】

nチャネル型ＭＩＳＦＥＴを覆うように引張応力膜を形成すると、nチャネル型ＭＩＳＦＥＴのチャネル領域における電子の移動度が増加するなどして、nチャネル型ＭＩＳＦＥＴのチャネルを流れるオン電流を増加させることができ、nチャネル型ＭＩＳＦＥＴを備えた半導体装置の性能を向上させることができる。この引張応力膜としては、窒化シリコン膜が好適である。

【０００８】

引張応力による電子の移動度の増加のためには、引張応力膜の引張応力を大きくすることが有効である。引張応力を大きくする手法として、プラズマＣＶＤ法で窒化シリコン膜を成膜してから、その窒化シリコン膜に対して紫外線を照射する処理を行う手法がある。

10

20

30

40

50

紫外線照射処理を施すことで、窒化シリコン膜の引張応力を増大することができる。

【0009】

しかしながら、引張応力膜としての窒化シリコン膜に対して紫外線照射を施すと、窒化シリコン膜にクラックまたは亀裂が発生する可能性がある。引張応力膜としての窒化シリコン膜にクラックまたは亀裂が発生すると、引張応力膜としての機能を損なったり、半導体装置の信頼性の低下を招く虞がある。このため、引張応力膜の引張応力の増大を図りながら、引張応力膜におけるクラックまたは亀裂の発生を防止することが望まれる。

【0010】

本発明の目的は、半導体装置の性能を向上できる技術を提供することにある。

【0011】

また、本発明の他の目的は、半導体装置の信頼性を向上できる技術を提供することにある。

【0012】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0013】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0014】

代表的な実施の形態による半導体装置は、半導体基板と、半導体基板の主面上に形成されて互いに隣り合う第1ゲート電極および第2ゲート電極と、第1ゲート電極の第2ゲート電極に対向する側の第1側壁上に形成された第1サイドウォールスペーサと、第2ゲート電極の第1ゲート電極に対向する側の第2側壁上に形成された第2サイドウォールスペーサとを有している。更に、半導体基板の主面上に第1および第2ゲート電極と第1および第2サイドウォールスペーサとを覆うように形成された第1絶縁膜と、第1および第2ゲート電極と第1および第2サイドウォールスペーサとを覆うように第1絶縁膜上に形成された第2絶縁膜と、第1および第2ゲート電極と第1および第2サイドウォールスペーサとを覆うように第2絶縁膜上に形成された第3絶縁膜とを有する。第1絶縁膜および第2絶縁膜のそれぞれは、窒化シリコンからなりかつ引張応力膜として機能し、第3絶縁膜は、酸化シリコン系の絶縁膜からなる。第1サイドウォールスペーサと第2サイドウォールスペーサとの間の間隔を L_0 とし、第1絶縁膜の膜厚を T_1 とし、第1サイドウォールスペーサの側面上の第1絶縁膜と第2サイドウォールスペーサの側面上の第1絶縁膜との間の間隔を L_1 とし、第2絶縁膜の膜厚を T_2 としたときに、 $L_0/2 > T_1$ かつ $L_1/2 \leq T_2$ が成り立つ。そして、第1絶縁膜の水素含有率（水素含有量）は第2絶縁膜の水素含有率（水素含有量）よりも小さい。

【0015】

また、代表的な実施の形態による半導体装置の製造方法は、（a）半導体基板の主面上に、互いに隣り合う第1ゲート電極および第2ゲート電極を形成する工程、（b）第1ゲート電極の第2ゲート電極に対向する側の第1側壁上に第1サイドウォールスペーサを、第2ゲート電極の第1ゲート電極に対向する側の第2側壁上に第2サイドウォールスペーサを、それぞれ形成する工程を有する。更に、（c）半導体基板の主面上に、第1および第2ゲート電極と第1および第2サイドウォールスペーサとを覆うように、窒化シリコンからなりかつ引張応力膜として機能する第1絶縁膜を形成する工程、（d）第1および第2ゲート電極と第1および第2サイドウォールスペーサとを覆うように、第1絶縁膜上に、第2絶縁膜を形成する工程を有する。更に、（e）第1および第2ゲート電極と第1および第2サイドウォールスペーサとを覆うように、第2絶縁膜上に第3絶縁膜を形成する工程を有する。第1絶縁膜および第2絶縁膜のそれぞれは、窒化シリコンからなりかつ引張応力膜として機能し、第3絶縁膜は、酸化シリコン系の絶縁膜からなる。（b）工程で形成された第1サイドウォールスペーサと第2サイドウォールスペーサとの間の間隔を L

10

20

30

40

50

0 とし、(c)工程における第1絶縁膜の堆積膜厚を T_1 とし、(d)工程で第2絶縁膜を形成する前の段階における第1サイドウォールスペーサの側面上の第1絶縁膜と第2サイドウォールスペーサの側面上の第1絶縁膜との間の間隔を L_1 とし、(d)工程における第2絶縁膜の堆積膜厚を T_2 としたときに、 $L_0/2 > T_1$ かつ $L_1/2 \leq T_2$ が成り立つ。そして、(c)工程で形成された第1絶縁膜に対しては、第1絶縁膜の成膜後に第1絶縁膜の引張応力を増大する処理を施し、(d)工程で形成された第2絶縁膜に対しては、第2絶縁膜の成膜後に第2絶縁膜の引張応力を増大する処理を施さない。

【発明の効果】

【0016】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0017】

代表的な実施の形態によれば、半導体装置の性能を向上させることができる。

【0018】

また、半導体装置の信頼性を向上させることができる。

【図面の簡単な説明】

【0019】

【図1】本発明の一実施の形態である半導体装置の製造工程中の要部断面図である。

【図2】図1に続く半導体装置の製造工程中の要部断面図である。

【図3】図2に続く半導体装置の製造工程中の要部断面図である。

【図4】図3に続く半導体装置の製造工程中の要部断面図である。

【図5】図4に続く半導体装置の製造工程中の要部断面図である。

【図6】図5に続く半導体装置の製造工程中の要部断面図である。

【図7】図6に続く半導体装置の製造工程中の要部断面図である。

【図8】図7に続く半導体装置の製造工程中の要部断面図である。

【図9】図8に続く半導体装置の製造工程中の要部断面図である。

【図10】図9に続く半導体装置の製造工程中の要部断面図である。

【図11】引張応力膜としての窒化シリコン膜形成工程の詳細を示すプロセスフロー図である。

【図12】本発明の一実施の形態である半導体装置の製造工程中の要部断面図である。

【図13】図12に続く半導体装置の製造工程中の要部断面図である。

【図14】図13に続く半導体装置の製造工程中の要部断面図である。

【図15】図14に続く半導体装置の製造工程中の要部断面図である。

【図16】図15に続く半導体装置の製造工程中の要部断面図である。

【図17】引張応力膜としての窒化シリコン膜の形成に用いた半導体製造装置の説明図である。

【図18】比較例（第2の比較例）の半導体装置の製造工程中の要部断面図である。

【図19】比較例（第2の比較例）の半導体装置の製造工程中の要部断面図である。

【図20】比較例（第2の比較例）の半導体装置の製造工程中の要部断面図である。

【図21】ゲート電極の平面レイアウトの一例を示す平面図である。

【図22】ステップS5の窒化シリコン膜形成工程中の半導体装置の要部断面図である。

【図23】図22に続くステップS5の窒化シリコン膜形成工程中の半導体装置の要部断面図である。

【図24】図23に続くステップS5の窒化シリコン膜形成工程中の半導体装置の要部断面図である。

【図25】図24に続くステップS5の窒化シリコン膜形成工程中の半導体装置の要部断面図である。

【図26】第1の変形例の半導体装置の製造工程中の要部断面図である。

【図27】図26に続く第1の変形例の半導体装置の製造工程中の要部断面図である。

【図28】第2の変形例における引張応力膜としての窒化シリコン膜形成工程の詳細を示

10

20

30

40

50

すプロセスフロー図である。

【図 29】第 3 の変形例の半導体装置の製造工程中の要部断面図である。

【図 30】図 29 に続く第 3 の変形例の半導体装置の製造工程中の要部断面図である。

【図 31】第 4 の変形例における引張応力膜としての窒化シリコン膜形成工程の詳細を示すプロセスフロー図である。

【図 32】本発明の他の実施の形態である半導体装置の製造工程中の要部断面図である。

【図 33】図 32 に続く半導体装置の製造工程中の要部断面図である。

【図 34】図 33 に続く半導体装置の製造工程中の要部断面図である。

【図 35】図 34 に続く半導体装置の製造工程中の要部断面図である。

【図 36】図 35 に続く半導体装置の製造工程中の要部断面図である。

【図 37】図 36 に続く半導体装置の製造工程中の要部断面図である。

【図 38】図 37 に続く半導体装置の製造工程中の要部断面図である。

【図 39】図 38 に続く半導体装置の製造工程中の要部断面図である。

【発明を実施するための形態】

【0020】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

【0021】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。また、以下の実施の形態では、特に必要なとき以外は同一または同様な部分の説明を原則として繰り返さない。

【0022】

また、実施の形態で用いる図面においては、断面図であっても図面を見易くするためにハッチングを省略する場合もある。また、平面図であっても図面を見易くするためにハッチングを付す場合もある。

【0023】

（実施の形態 1）

＜半導体装置の製造工程について＞

本実施の形態の半導体装置の製造工程を図面を参照して説明する。図 1～図 10 は、本発明の一実施の形態である半導体装置、ここでは n チャネル型の M I S F E T（Metal Insulator Semiconductor Field Effect Transistor：M I S 型電界効果トランジスタ）を有する半導体装置の製造工程中の要部断面図である。

【0024】

本実施の形態の半導体装置は、半導体基板 1 に形成された複数の n チャネル型 M I S F E T を有しているが、図 1～図 10 には、それらを代表して、2 つの n チャネル型 M I S F E T（後述の n チャネル型 M I S F E T Q n 1, Q n 2 に対応）が形成される領域の断面が示されている。

【0025】

まず、図 1 に示されるように、例えば $1 \sim 10 \Omega \cdot \text{cm}$ 程度の比抵抗を有する p 型の単結

10

20

30

40

50

晶シリコンなどからなる半導体基板（半導体ウエハ）1を準備する。それから、半導体基板1の主面に素子分離領域を形成する。素子分離領域は、図1～図10には示されていないが、後述の図32～図39に示される素子分離領域2がこれに対応している。素子分離領域は酸化シリコンなどの絶縁体からなり、例えばSTI（Shallow Trench Isolation）法により形成される。例えば、半導体基板1に素子分離溝（素子分離用の溝）を形成してから、この素子分離溝に絶縁膜を埋め込むことで、素子分離溝に埋め込まれた絶縁膜からなる素子分離領域を形成することができる。

【0026】

次に、半導体基板1の主面から所定の深さに渡ってp型ウエルPWを形成する。p型ウエルPWは、半導体基板1のnチャネル型MISFETを形成する領域に形成され、半導体基板1において、p型ウエルPWは、素子分離領域2によって規定された活性領域に形成される。p型ウエルPWは、半導体基板1に、例えばホウ素（B）などのp型の不純物をイオン注入することなどによって形成することができる。また、p型ウエルPWの形成前または形成後に、半導体基板1の上層部に対して、後で形成されるMISFETのしきい値調整用のイオン注入（いわゆるチャネルドープイオン注入）を必要に応じて行なうこともできる。

【0027】

次に、例えばフッ酸（HF）水溶液を用いたウェットエッチングなどにより半導体基板1の表面を清浄化（洗浄）した後、半導体基板1の表面（すなわちp型ウエルPWの表面）上にゲート絶縁膜3を形成する。ゲート絶縁膜3は、例えば薄い酸化シリコン膜などからなり、例えば熱酸化法などによって形成することができる。

【0028】

次に、図2に示されるように、ゲート絶縁膜3上にゲート電極GEを形成する。ゲート電極GEを形成するには、例えば、半導体基板1の主面上（すなわちゲート絶縁膜3上）に、多結晶シリコン膜（ドーフトポリシリコン膜）などの導電体膜を形成してから、この導電体膜をフォトリソグラフィ技術およびドライエッチング技術を用いてパターニングすればよい。これにより、パターニングされた導電体膜からなるゲート電極GEが、p型ウエルPWの表面上にゲート絶縁膜3を介して形成される。図2には、半導体基板1の主面上に形成された複数のゲート電極GEのうち、ゲート長方向（ゲート電極GE1、GE2のゲート長方向）に互いに隣り合うゲート電極GE1、GE2が示されている。

【0029】

次に、図3に示されるように、p型ウエルPWのゲート電極GEの両側の領域にリン（P）またはヒ素（As）などのn型の不純物をイオン注入することにより、n⁻型半導体領域（不純物拡散層）EX1を形成する。このn⁻型半導体領域EX1形成用のイオン注入時には、半導体基板1（p型ウエルPW）にゲート電極GEをマスクとしてイオン注入する。n⁻型半導体領域EX1形成用のイオン注入では、p型ウエルPWにおけるゲート電極GEの直下の領域には、ゲート電極GEに遮蔽されることでイオン注入されない。

【0030】

次に、図4に示されるように、各ゲート電極GEの側壁上に、側壁絶縁膜（絶縁膜）として、例えば酸化シリコンまたは窒化シリコンあるいはそれら絶縁膜の積層膜などからなるサイドウォールスペーサ（サイドウォール、側壁スペーサ、側壁絶縁膜）SWを形成する。

【0031】

例えば、半導体基板1上にゲート電極GEを覆うように酸化シリコン膜または窒化シリコン膜あるいはそれらの積層膜を堆積し、この酸化シリコン膜または窒化シリコン膜あるいはそれらの積層膜をRIE（Reactive Ion Etching）法などにより異方性エッチングすることによって、サイドウォールスペーサSWを形成することができる。この場合、サイドウォールスペーサSWは、ゲート電極GEの側壁上に残存する酸化シリコン膜または窒化シリコン膜あるいはそれらの積層膜からなる。

【0032】

10

20

30

40

50

次に、図5に示されるように、p型ウエルPWのゲート電極GEおよびサイドウォールスペースSWの両側の領域にリン(P)またはヒ素(As)などのn型の不純物をイオン注入することにより、n⁺型半導体領域SD1(ソース、ド레인)を形成する。このn⁺型半導体領域SD1形成用のイオン注入時には、半導体基板1(p型ウエルPW)に、ゲート電極GEおよびその側壁上のサイドウォールスペースSWをマスクとしてイオン注入する。このため、n⁻型半導体領域EX1は、ゲート電極GEに整合(自己整合)して形成され、n⁺型半導体領域SD1はサイドウォールスペースSWに整合(自己整合)して形成される。n⁺型半導体領域SD1形成用のイオン注入では、p型ウエルPWにおけるゲート電極GEおよびサイドウォールスペースSWの直下の領域には、ゲート電極GEおよびサイドウォールスペースSWに遮蔽されることで、イオン注入されない。

10

【0033】

イオン注入後、導入された不純物の活性化のためのアニール処理(活性化アニール、熱処理)を行う。これにより、n⁻型半導体領域EX1およびn⁺型半導体領域SD1などに導入された不純物を活性化することができる。

【0034】

このようにして、図5に示されるような構造が得られ、p型ウエルPWに、電界効果トランジスタとしてnチャネル型MISFETQnが形成される。

【0035】

n⁺型半導体領域SD1は、n⁻型半導体領域EX1よりも不純物濃度が高くかつ接合深さが深い。これにより、nチャネル型MISFETQnのソースまたはド레인として機能するn型の半導体領域(不純物拡散層)が、n⁺型半導体領域SD1およびn⁻型半導体領域EX1により形成される。従って、nチャネル型MISFETQnのソース・ド레인領域は、LDD(Lightly doped Drain)構造を有している。n⁺型半導体領域SD1は、nチャネル型MISFETQnのソースまたはド레인用の半導体領域(ソース・ド레인領域)とみなすことができる。ゲート電極GEは、nチャネル型MISFETQnのゲート電極として機能する。

20

【0036】

なお、図5には、nチャネル型MISFETQnとして2つのnチャネル型MISFETQn1、Qn2が示されているが、nチャネル型MISFETQn1のゲート電極であるゲート電極GE1とnチャネル型MISFETQn2のゲート電極であるゲート電極GE2とは、ゲート長方向(ゲート電極GE1、GE2のゲート長方向)に互いに隣り合っている。また、nチャネル型MISFETQn1とnチャネル型MISFETQn2とは、ゲート電極GE1とゲート電極GE2との間に位置するソースまたはド레인用のn⁺型半導体領域SD1を共有(共用)している。

30

【0037】

次に、図6に示されるように、サリサイド技術により、nチャネル型MISFETQnのゲート電極GEおよびソース・ド레인領域(n⁺型半導体領域SD1)の表面(上層部)に、低抵抗の金属シリサイド層4を形成する。

【0038】

例えば、ゲート電極GEおよびn⁺型半導体領域SD1の表面(上面)を露出させてから、ゲート電極GEおよびn⁺型半導体領域SD1上を含む半導体基板1の主面(全面)上に、コバルト(Co)膜またはニッケル(Ni)膜などの金属膜をスパッタリング法などを用いて形成(堆積)し、熱処理によってこの金属膜とゲート電極GEおよびn⁺型半導体領域SD1(を構成する各シリコン領域)を反応させる。これにより、ゲート電極GEおよびn⁺型半導体領域SD1の表面に、それぞれ金属シリサイド層4が形成される。前記金属膜がコバルト膜の場合は、金属シリサイド層4はコバルトシリサイド層であり、前記金属膜がニッケル膜の場合は、金属シリサイド層4はニッケルシリサイド層である。前記金属膜にニッケル白金合金膜を用いれば、金属シリサイド層4はニッケル白金シリサイド層となる。その後、未反応の金属膜は除去する。金属シリサイド層4を形成したことで、ゲート電極GEおよびn⁺型半導体領域SD1の拡散抵抗やコンタクト抵抗などを低

40

50

抵抗化することができる。なお、ゲート電極GE上に金属シリサイド層4を形成した場合には、ゲート電極GE上の金属シリサイド層4もゲート電極GEの一部とみなすこともできる。

【0039】

次に、図7に示されるように、半導体基板1の主面全面上に、引張応力用の絶縁膜として窒化シリコン膜5を形成する。窒化シリコン膜5は、ゲート電極GE、サイドウォールスペーサSWおよび n^+ 型半導体領域SD1を覆うように、金属シリサイド層4上を含む半導体基板1の主面上に形成される。この窒化シリコン膜5は、引張応力膜である。

【0040】

本実施の形態では、窒化シリコン膜5は、複数の窒化シリコン膜の積層膜として形成されるが、窒化シリコン膜5の構成および形成法については、後でより詳細に説明する。図面の簡略化のために、図7～図10では、窒化シリコン膜5を単層として示してあるが、実際には、窒化シリコン膜5は後述のように窒化シリコン膜5aと窒化シリコン膜5bと窒化シリコン膜5cとの積層膜である。

【0041】

本実施の形態で形成している窒化シリコン膜5は、引張応力膜である。また、窒化シリコン膜5を構成している後述の窒化シリコン膜5a、5b、5cのそれぞれも、引張応力膜である。なお、本実施の形態および以下の実施の形態2において、引張応力膜とは、その引張応力膜を形成した半導体基板に引張応力を与える膜（絶縁膜）であり、半導体基板上に引張応力膜が形成された領域では、その引張応力膜によって半導体基板に引張応力が作用している（与えられている、生じている）。 n チャネル型MISFETが形成された半導体基板（におけるチャネル領域）に引張応力膜によって引張応力が作用すると、電子の移動度が増加するなどして、 n チャネル型MISFETのチャネルを流れるオン電流を増加させることができる。また、引張応力膜を、引張の応力膜という場合もある。一方、圧縮応力膜とは、その圧縮応力膜を形成した半導体基板に圧縮応力を与える膜（絶縁膜）であり、半導体基板上に圧縮応力膜が形成された領域では、その圧縮応力膜によって半導体基板に圧縮応力が作用している（与えられている、生じている）。 p チャネル型MISFETが形成された半導体基板（におけるチャネル領域）に圧縮応力膜によって圧縮応力が作用すると、正孔の移動度が増加するなどして、 p チャネル型MISFETのチャネルを流れるオン電流を増加させることができる。また、圧縮応力膜を、圧縮の応力膜という場合もある。

【0042】

本実施の形態では、 n チャネル型MISFET Q_n （ n チャネル型MISFET Q_{n1} 、 Q_{n2} を含む）を覆うように、引張応力膜である窒化シリコン膜5を形成しているため、 n チャネル型MISFET Q_n のチャネル領域における電子の移動度が増加するなどして、 n チャネル型MISFET Q_n のチャネルを流れるオン電流（駆動電流）を増加させることができる。このため、 n チャネル型MISFET Q_n を備えた半導体装置の性能を向上させることができる。

【0043】

また、引張応力膜としては、窒化シリコン膜以外にSiON膜（酸窒化シリコン膜）やSiCN膜（炭窒化シリコン膜）もあるが、窒化シリコン膜に比べて、SiON膜やSiCN膜は、高い引張応力を得ることが難しいため、本実施の形態では、引張応力膜として窒化シリコン膜5を使用している。本実施の形態では、窒化シリコンからなる引張応力膜（ここでは窒化シリコン膜5）を用いることで、半導体基板に作用する引張応力を高めることができ、 n チャネル型MISFET Q_n のオン電流（駆動電流）の向上効果を高めることができる。窒化シリコン膜5の引張応力は、好ましくは1.5GPa以上とする。

【0044】

次に、図8に示されるように、半導体基板1の主面全面上に、すなわち窒化シリコン膜5上に、酸化シリコン系の絶縁膜として層間絶縁膜6を形成する。層間絶縁膜6の膜厚は、窒化シリコン膜5の膜厚よりも厚い。層間絶縁膜6としては、酸化シリコン系の絶縁膜

(すなわち酸化膜系絶縁膜)を用いる。ここで、酸化シリコン系の絶縁膜(酸化膜系絶縁膜)とは、酸化シリコンを主体とする絶縁膜であるが、炭素(C)、フッ素(F)、窒素(N)、ホウ素(B)およびリン(P)のうち的一种以上を更に含有することもできる。

【0045】

層間絶縁膜6の形成後、層間絶縁膜6の表面をCMP(Chemical Mechanical Polishing: 化学的機械的研磨)法により研磨するなどして、層間絶縁膜6の上面を平坦化する。

【0046】

次に、図9に示されるように、層間絶縁膜6上に形成したフォトレジストパターン(図示せず)をエッチングマスクとして用いて、層間絶縁膜6および窒化シリコン膜5をドライエッチングすることにより、層間絶縁膜6および窒化シリコン膜5にコンタクトホール(貫通孔、孔)CNTを形成する。コンタクトホールCNTは、層間絶縁膜6および窒化シリコン膜5からなる積層膜(積層絶縁膜)を貫通するように形成される。

【0047】

コンタクトホールCNTを形成するには、まず、窒化シリコン膜5に比較して層間絶縁膜6がエッチングされやすい条件で層間絶縁膜6のドライエッチングを行い、窒化シリコン膜5をエッチングストップ膜として機能させることで、層間絶縁膜6にコンタクトホールCNTを形成する。それから、層間絶縁膜6に比較して窒化シリコン膜5がエッチングされやすい条件でコンタクトホールCNTの底部の窒化シリコン膜5をドライエッチングして除去することで、貫通孔としてのコンタクトホールCNTが形成される。 n^+ 型半導体領域SD1の上部に形成されたコンタクトホールCNTの底部では、 n^+ 型半導体領域SD1上の金属シリサイド層4が露出される。

【0048】

次に、コンタクトホールCNT内に、タングステン(W)などからなる導電性のプラグ(接続用導体部)PGを形成する(埋め込む)。プラグPGを形成するには、例えば、コンタクトホールCNTの内部(底部および側壁上)を含む層間絶縁膜6上に、バリア導体膜(例えばチタン膜、窒化チタン膜、あるいはそれらの積層膜)を形成する。それから、このバリア導体膜上にタングステン膜などからなる主導体膜をコンタクトホールCNTを埋めるように形成し、層間絶縁膜6上の不要な主導体膜およびバリア導体膜をCMP法またはエッチバック法などによって除去することにより、プラグPGを形成することができる。なお、図面の簡略化のために、図9では、プラグPGを構成するバリア導体膜および主導体膜(タングステン膜)を一体化して示してある。 n^+ 型半導体領域SD1の上部に形成されたプラグPGは、その底部で n^+ 型半導体領域SD1の表面上の金属シリサイド層4と接して電氣的に接続される。

【0049】

次に、図10に示されるように、プラグPGが埋め込まれた層間絶縁膜6上に、配線形成用の絶縁膜(層間絶縁膜)7を形成する。絶縁膜7は、単体膜または積層膜とすることができる。

【0050】

次に、シングルダマシン法により第1層目の配線を形成する。まず、レジストパターン(図示せず)をマスクとしたドライエッチングによって絶縁膜7の所定の領域に配線溝8を形成した後、半導体基板1の主面上(すなわち配線溝8の底部および側壁上を含む絶縁膜上)にバリア導体膜(バリアメタル膜)を形成する。バリア導体膜は、例えば窒化チタン膜、タンタル膜または窒化タンタル膜などを用いることができる。続いて、CVD法またはスパッタリング法などによりバリア導体膜上に銅のシード層(図示せず)を形成し、さらに電解めっき法などを用いてシード層上に銅めっき膜(主導体膜)を形成する。銅めっき膜により配線溝8の内部を埋め込む。それから、配線溝8以外の領域の銅めっき膜、シード層およびバリアメタル膜をCMP法により除去して、銅を主導電材料とする第1層目の配線M1を形成する。なお、図面の簡略化のために、図10では、配線M1を構成する銅めっき膜、シード層およびバリアメタル膜を一体化して示してある。配線M1は、プラグPGを介して n チャネル型MISFETQnのソースまたはドレイン用の n^+ 型半導

体領域SD1やゲート電極GEなどと電氣的に接続されている。

【0051】

その後、デュアルダマシン法により2層目以降の配線を形成するが、ここでは図示およびその説明は省略する。また、配線M1はダマシン配線に限定されず、配線用の導電体膜をパターニングして形成することもでき、例えばタングステン配線またはアルミニウム配線などとすることもできる。

【0052】

＜引張応力膜としての窒化シリコン膜形成工程について＞

次に、窒化シリコン膜5形成工程について、より詳細に説明する。図11は、引張応力膜としての窒化シリコン膜5形成工程の詳細を示すプロセスフロー図である。図12～図16は、本実施の形態の半導体装置の製造工程中の要部断面図であり、上記図1～図10と同じ断面領域が示されている。

【0053】

上述のように、本実施の形態では、窒化シリコン膜5は、複数の窒化シリコン膜の積層膜として形成されるが、窒化シリコン膜5形成工程について、以下具体的に説明する。

【0054】

上記図1～図6の工程を行って上記図6に相当する図12の構造が得られる。

【0055】

図12に示されるように、ゲート電極GE1とゲート電極GE2とは、ゲート長（ゲート電極GE1, GE2のゲート長）方向に隣り合っており、ゲート電極GE1, GE2の側壁上にはサイドウォールスペーサSWが形成されている。サイドウォールスペーサSWのうち、ゲート電極GE1の側壁（ゲート電極GE2に対向する側の側壁）11a上に形成されたサイドウォールスペーサSWをサイドウォールスペーサ（第1サイドウォールスペーサ）SW1と称し、ゲート電極GE2の側壁（ゲート電極GE1に対向する側の側壁）11b上に形成されたサイドウォールスペーサSWをサイドウォールスペーサ（第2サイドウォールスペーサ）SW2と称するものとする。なお、ゲート電極GE1の側壁11aは、ゲート電極GE1の側壁のうち、ゲート電極GE2に対向する側の側壁であり、ゲート電極GE2の側壁11bは、ゲート電極GE2の側壁のうち、ゲート電極GE1に対向する側の側壁である。このため、ゲート電極GE1の側壁11aとゲート電極GE2の側壁11bとは互いに対向して（向かい合って、隣り合って）おり、また、ゲート電極GE1の側壁11a上に形成されたサイドウォールスペーサSW1と、ゲート電極GE2の側壁11b上に形成されたサイドウォールスペーサSW2とは、互いに対向している（向かい合っている、隣り合っている）。

【0056】

図12の構造が得られた後、図13に示されるように、半導体基板1の主面全面上に、窒化シリコン膜5aを形成する（図11のステップS1）。窒化シリコン膜5aは、窒化シリコンからなる絶縁膜である。窒化シリコン膜5aは、ゲート電極GE（ゲート電極GE1, GE2を含む）、サイドウォールスペーサSW（サイドウォールスペーサSW1, SW2を含む）および n^+ 型半導体領域SD1を覆うように、金属シリサイド層4上を含む半導体基板1の主面上に形成される。

【0057】

窒化シリコン膜5aは、プラズマCVD（CVD：Chemical Vapor Deposition）法を用いて形成することができる。窒化シリコン膜5aの具体的な成膜条件例を挙げると、例えば平行平板型プラズマCVD装置を用い、シラン（ SiH_4 ）ガス、アンモニア（ NH_3 ）ガスおよび窒素（ N_2 ）ガスを、ガス流量比が $\text{SiH}_4 : \text{NH}_3 : \text{N}_2 = 1 : 5 \sim 10 : 5 \sim 20$ 程度となるような割合で成膜用チャンバ（後述の成膜用チャンバ23に対応）に導入し、 $0.01 \sim 1 \text{ W/cm}^2$ 程度のRFパワー（高周波パワー）を印加することで、半導体基板1上に窒化シリコン膜5aを成膜することができる。成膜温度（成膜時の半導体基板1の温度）は、例えば $250 \sim 450^\circ\text{C}$ 程度とすることができる。形成された窒化シリコン膜5aの厚み（膜厚）は、好ましくは $1 \sim 25 \text{ nm}$ の範囲内とする。

【0058】

ここで、サイドウォールスペーサSW1とサイドウォールスペーサSW2との間の間隔（距離）を L_0 と表記するものとする。この間隔（距離） L_0 は、図12に示されている。間隔（距離） L_0 は、ゲート電極GE1またはゲート電極GE2のゲート長方向に平行な方向において、サイドウォールスペーサSW1とサイドウォールスペーサSW2との間の間隔（距離）を測定したものに对应している。また、窒化シリコン膜5aの膜厚を T_a と表記する。窒化シリコン膜5aの膜厚 T_a は、図13に示されている。窒化シリコン膜5aの膜厚 T_a は、ステップS1における窒化シリコン膜5aの堆積膜厚（堆積厚み、形成膜厚、形成厚み）であり、ゲート電極GE1、GE2上における窒化シリコン膜5aの厚みに对应している。

10

【0059】

窒化シリコン膜5aの膜厚 T_a とサイドウォールスペーサSW1、SW2間の間隔 L_0 とを比較すると、窒化シリコン膜5aの膜厚 T_a は、サイドウォールスペーサSW1、SW2間の間隔 L_0 の半分よりも小さくなっている。すなわち、次の式1

$$L_0 / 2 > T_a \quad \dots (式1)$$

の関係が成り立っている。

【0060】

ステップS1において、窒化シリコン膜5aは、引張応力膜として形成される。引張応力膜は、プラズマCVD法で窒化シリコン膜（ここでは窒化シリコン膜5a）を形成し、その際の成膜条件（成膜温度、成膜ガスの種類、ガスの圧力、高周波パワーなど）を制御することで、形成することができる。これにより、ステップS1で形成される窒化シリコン膜5aを引張応力膜とすることができる。

20

【0061】

また、窒化シリコン膜5a、5b、5cは、それぞれ引張応力膜として形成されるが、高引張応力の膜として成膜するという観点で、窒化シリコン膜5a、5b、5cのそれぞれは、成膜温度を400℃以上としたプラズマCVD法により形成することが好ましい。

【0062】

引張応力膜として成膜した窒化シリコン膜の引張応力を更に増大させる処理として、紫外線照射処理がある。プラズマCVD法を用いて引張応力膜として成膜した窒化シリコン膜に対して紫外線照射処理（紫外線を照射する処理）を施すことで、紫外線照射前よりも大きな引張応力の窒化シリコン膜とすることができる。紫外線照射処理によって窒化シリコン膜の引張応力が増大するのは、紫外線照射によって窒化シリコン膜中の水素が脱離することにより、窒化シリコン膜が収縮して窒化シリコン膜におけるSi（シリコン）とN（窒素）との結合角が変化し、それによって窒化シリコン膜の引張応力が増大するためと考えられる。

30

【0063】

本実施の形態では、ステップS1で窒化シリコン膜5aをプラズマCVD法で成膜した後、この窒化シリコン膜5aに対して紫外線を照射する（図11のステップS2）。ステップS2の紫外線照射処理は、半導体基板1を加熱しながら行うことが好ましく、その加熱温度（半導体基板1の温度）は、例えば350～600℃の範囲内とすることができる。ステップS2の紫外線照射処理は、不活性ガス雰囲気中、例えばヘリウム（He）、アルゴン（Ar）または窒素（N₂）雰囲気中、で行うことが好ましい。紫外線を照射する処理（すなわち紫外線照射処理）を、以下ではUV（UV：ultraviolet）照射処理とも称する。ステップS2のUV照射処理は、窒化シリコン膜5aの引張応力を増大させるように作用するため、窒化シリコン膜5aの引張応力を増大する処理とみなすことができる。すなわち、ステップS1で形成された窒化シリコン膜5aは引張応力膜であるが、ステップS2のUV照射処理により、引張応力膜である窒化シリコン膜5aの引張応力を更に増大させることができる。

40

【0064】

ステップS2のUV照射処理の後、図14に示されるように、半導体基板1の主面全面

50

上に、すなわち窒化シリコン膜 5 a 上に、窒化シリコン膜 5 b を形成する（図 1 1 のステップ S 3）。

【0065】

ステップ S 1 では、半導体基板 1 の主面上に、ゲート電極 G E（ゲート電極 G E 1，G E 2 を含む）およびサイドウォールスペーサ S W（サイドウォールスペーサ S W 1，S W 2 を含む）を覆うように、窒化シリコン膜 5 a を形成している。このため、ステップ S 3 では、窒化シリコン膜 5 b は、ゲート電極 G E（ゲート電極 G E 1，G E 2 を含む）およびサイドウォールスペーサ S W（サイドウォールスペーサ S W 1，S W 2 を含む）を覆うように、窒化シリコン膜 5 a 上に形成される。

【0066】

ステップ S 3 の窒化シリコン膜 5 b 形成工程は、上記ステップ S 1 の窒化シリコン膜 5 a 形成工程と基本的には同じ手法により行うことができる。すなわち、窒化シリコン膜 5 b も、プラズマ C V D 法を用いて形成され、成膜温度や使用するガスなどの成膜条件は、上記ステップ S 1（窒化シリコン膜 5 a 成膜工程）と同様とすることができる。ステップ S 1 において窒化シリコン膜 5 a を引張応力膜として形成したのと同様に、ステップ S 3 において、窒化シリコン膜 5 b は、引張応力膜として形成される。

【0067】

ここで、窒化シリコン膜 5 b の膜厚を T_b と表記する。窒化シリコン膜 5 b の膜厚 T_b は、図 1 4 に示されている。窒化シリコン膜 5 b の膜厚 T_b は、ステップ S 3 における窒化シリコン膜 5 b の堆積膜厚（堆積厚み、形成膜厚、形成厚み）であり、ゲート電極 G E 1，G E 2 上における窒化シリコン膜 5 b の厚みに対応している。また、窒化シリコン膜 5 a と窒化シリコン膜 5 b との積層膜を、符号 1 5 を付して窒化シリコン膜 1 5 と表記すると、窒化シリコン膜 1 5 の膜厚 T_{ab} は、 $T_{ab} = T_a + T_b$ と表すことができる。窒化シリコン膜 5 a，5 b は引張応力膜であるため、窒化シリコン膜 1 5 も引張応力膜である。窒化シリコン膜 1 5 の膜厚 T_{ab} は、図 1 4 に示されており、ゲート電極 G E 1，G E 2 上における窒化シリコン膜 1 5 の厚みに対応している。

【0068】

窒化シリコン膜 5 a の膜厚 T_a と窒化シリコン膜 5 b の膜厚 T_b とサイドウォールスペーサ S W 1，S W 2 間の間隔 L_0 とを比較すると、窒化シリコン膜 5 a の膜厚 T_a と窒化シリコン膜 5 b の膜厚 T_b との合計（すなわち窒化シリコン膜 1 5 の膜厚 T_{ab} ）は、サイドウォールスペーサ S W 1，S W 2 間の間隔 L_0 の半分よりも小さくなっている。すなわち、次の式 2

$$L_0 / 2 > T_a + T_b \quad (\text{すなわち } L_0 / 2 > T_{ab}) \quad \cdots (\text{式 2})$$

の関係が成り立っている。

【0069】

ここで、ステップ S 3 で窒化シリコン膜 5 b を形成する前の段階（すなわちステップ S 2 の UV 照射処理を行った後でかつステップ S 3 の窒化シリコン膜 5 b 形成工程を行う前の段階）における、サイドウォールスペーサ S W 1 の側面上の窒化シリコン膜 5 a とサイドウォールスペーサ S W 2 の側面上の窒化シリコン膜 5 a との間の間隔（距離）を L_a と表記する。この間隔 L_a は、図 1 3 に示されている。間隔（距離） L_a は、ゲート電極 G E 1 またはゲート電極 G E 2 のゲート長方向に平行な方向において、サイドウォールスペーサ S W 1 の側面上の窒化シリコン膜 5 a とサイドウォールスペーサ S W 2 の側面上の窒化シリコン膜 5 a との間の間隔（距離）を測定したものに对应している。

【0070】

この間隔 L_a は、間隔 L_0 から窒化シリコン膜 5 a の膜厚 T_a の 2 倍を差し引いた値になるため、次の式 3

$$L_a = L_0 - 2 T_a \quad \cdots (\text{式 3})$$

の関係が成り立つ。このため、上記式 2 は、次の式 4

$$L_a / 2 > T_b \quad \cdots (\text{式 4})$$

と等価である。すなわち、上記式 2 が成り立てば、上記式 4 も成り立つことになる。従っ

10

20

30

40

50

て、窒化シリコン膜 5 b の膜厚 T_b と、サイドウォールスペーサ SW 1 の側面上の窒化シリコン膜 5 a とサイドウォールスペーサ SW 2 の側面上の窒化シリコン膜 5 a との間の間隔 L_a とを比較すると、上記式 4 の関係が成り立っている。

【0071】

本実施の形態では、ステップ S 3 で窒化シリコン膜 5 b をプラズマ CVD 法で成膜した後、この窒化シリコン膜 5 b に対して紫外線を照射する（図 11 のステップ S 4）。ステップ S 4 における窒化シリコン膜 5 b に対する紫外線照射処理（UV 照射処理）は、上記ステップ S 2 における窒化シリコン膜 5 a に対する紫外線照射処理（UV 照射処理）と基本的には同じ手法により行うことができる。ステップ S 4 の UV 照射処理は、窒化シリコン膜 5 b の引張応力を増大させるように作用するため、窒化シリコン膜 5 b の引張応力を増大する処理とみなすことができる。すなわち、ステップ S 3 で形成された窒化シリコン膜 5 b は引張応力膜であるが、ステップ S 4 の UV 照射処理により、引張応力膜である窒化シリコン膜 5 b の引張応力を更に増大させることができる。

【0072】

ステップ S 4 の UV 照射処理の後、図 15 に示されるように、半導体基板 1 の主面全面上に、すなわち窒化シリコン膜 5 b 上に、窒化シリコン膜 5 c を形成する（図 11 のステップ S 5）。

【0073】

ステップ S 1, S 3 では、ゲート電極 GE（ゲート電極 GE 1, GE 2 を含む）およびサイドウォールスペーサ SW（サイドウォールスペーサ SW 1, SW 2 を含む）を覆うように、窒化シリコン膜 5 a, 5 b を形成している。このため、ステップ S 5 では、窒化シリコン膜 5 c は、ゲート電極 GE（ゲート電極 GE 1, GE 2 を含む）およびサイドウォールスペーサ SW（サイドウォールスペーサ SW 1, SW 2 を含む）を覆うように、窒化シリコン膜 5 b 上に形成される。

【0074】

ステップ S 5 の窒化シリコン膜 5 c 形成工程は、上記ステップ S 1 の窒化シリコン膜 5 a 形成工程や上記ステップ S 3 の窒化シリコン膜 5 b 形成工程と、基本的には同じ手法により行うことができる。すなわち、窒化シリコン膜 5 c も、プラズマ CVD 法を用いて形成され、成膜温度や使用するガスなどの成膜条件は、上記ステップ S 1（窒化シリコン膜 5 a 成膜工程）や上記ステップ S 3（窒化シリコン膜 5 b 成膜工程）と同様とすることができる。ステップ S 1, S 3 において窒化シリコン膜 5 a, 5 b を引張応力膜として形成したのと同様に、ステップ S 5 において、窒化シリコン膜 5 c は、引張応力膜として形成される。

【0075】

ここで、窒化シリコン膜 5 c の膜厚を T_c と表記する。窒化シリコン膜 5 c の膜厚 T_c は、図 15 に示されている。窒化シリコン膜 5 c の膜厚 T_c は、ステップ S 5 における窒化シリコン膜 5 c の堆積膜厚（堆積厚み、形成膜厚、形成厚み）であり、ゲート電極 GE 1, GE 2 上における窒化シリコン膜 5 c の厚みに対応している。また、窒化シリコン膜 5 a と窒化シリコン膜 5 b と窒化シリコン膜 5 c との積層膜である窒化シリコン膜 5 の膜厚 T_{abc} は、 $T_{abc} = T_a + T_b + T_c$ と表すことができる。窒化シリコン膜 5 の膜厚 T_{abc} は、図 15 に示されており、ゲート電極 GE 1, GE 2 上における窒化シリコン膜 5 の厚みに対応している。

【0076】

窒化シリコン膜 5 a の膜厚 T_a と窒化シリコン膜 5 b の膜厚 T_b と窒化シリコン膜 5 c の膜厚 T_c とサイドウォールスペーサ SW 1, SW 2 間の間隔 L_0 とを比較すると、窒化シリコン膜 5 a の膜厚 T_a と窒化シリコン膜 5 b の膜厚 T_b と窒化シリコン膜 5 c の膜厚 T_c との合計（すなわち窒化シリコン膜 5 の膜厚 T_{abc} ）は、サイドウォールスペーサ SW 1, SW 2 間の間隔 L_0 の半分以上となっている。すなわち、次の式 5

$$L_0 / 2 \leq T_a + T_b + T_c = T_{abc} \quad \cdots \text{（式 5）}$$

の関係が成り立っている。

10

20

30

40

50

【0077】

ここで、ステップS5で窒化シリコン膜5cを形成する前の段階（すなわちステップS4のUV照射処理を行った後でかつステップS5の窒化シリコン膜5c形成工程を行う前の段階）における、サイドウォールスペーサSW1の側面上の窒化シリコン膜5bとサイドウォールスペーサSW2の側面上の窒化シリコン膜5bとの間の間隔（距離）を L_b と表記する。この間隔 L_b は、図14に示されている。間隔（距離） L_b は、ゲート電極GE1またはゲート電極GE2のゲート長方向に平行な方向において、サイドウォールスペーサSW1の側面上の窒化シリコン膜5bとサイドウォールスペーサSW2の側面上の窒化シリコン膜5bとの間の間隔（距離）を測定したものに对应している。また、間隔 L_b は、サイドウォールスペーサSW1の側面上の窒化シリコン膜15とサイドウォールスペーサSW2の側面上の窒化シリコン膜15との間の間隔（距離）とみなすこともできる。

10

【0078】

この間隔 L_b は、間隔 L_0 から窒化シリコン膜5aの膜厚 T_a と窒化シリコン膜5bの膜厚 T_b との合計の2倍を差し引いた値になるため、次の式6

$$L_b = L_0 - 2(T_a + T_b) = L_0 - 2T_{ab} \quad \dots (式6)$$

の関係が成り立つ。このため、上記式5は、次の式7

$$L_b / 2 \leq T_c \quad \dots (式7)$$

と等価である。すなわち、上記式5が成り立てば、上記式7も成り立つ。従って、窒化シリコン膜5cの膜厚 T_c と、サイドウォールスペーサSW1の側面上の窒化シリコン膜5bとサイドウォールスペーサSW2の側面上の窒化シリコン膜5bとの間の間隔 L_b とを比較すると、上記式7の関係が成り立っている。

20

【0079】

なお、図12に示されている上記間隔 L_0 は、サイドウォールスペーサSW1の側面12a（この側面12aはゲート電極GE1の側壁11aに接する側とは反対側の側面であり、半導体基板1の主面に略垂直な面となる）から、サイドウォールスペーサSW2の側面12b（この側面12bはゲート電極GE2の側壁11bに接する側とは反対側の側面であり、半導体基板1の主面に略垂直な面となる）までの間隔（距離）に对应する。また、図13に示されている上記間隔 L_a は、サイドウォールスペーサSW1の側面上の窒化シリコン膜5aの表面（側面）13a（この表面13aは半導体基板1の主面に略垂直な面となる）から、サイドウォールスペーサSW2の側面上の窒化シリコン膜5aの表面（側面）13b（この表面13bは半導体基板1の主面に略垂直な面となる）までの間隔（距離）に对应する。また、図14に示されている上記間隔 L_b は、サイドウォールスペーサSW1の側面上の窒化シリコン膜5bの表面（側面）14a（この表面14aは半導体基板1の主面に略垂直な面となる）から、サイドウォールスペーサSW2の側面上の窒化シリコン膜5bの表面（側面）14b（この表面14bは半導体基板1の主面に略垂直な面となる）までの間隔（距離）に对应する。そして、間隔 L_0 、 L_a 、 L_b は、ゲート電極GE1、GE2の隣接方向（ここではゲート長方向）に沿った（平行な）方向にて測定された間隔（距離）である。側面12aと側面12bとは、ゲート長方向（ゲート電極GE1、GE2のゲート長方向）に上記間隔 L_0 を空けて互いに対向し、表面13aと表面13bとは、ゲート長方向（ゲート電極GE1、GE2のゲート長方向）に上記間隔 L_a を空けて互いに対向し、表面14aと表面14bとは、ゲート長方向（ゲート電極GE1、GE2のゲート長方向）に上記間隔 L_b を空けて互いに対向している。なお、窒化シリコン膜5bの表面14a、14bは、窒化シリコン膜15の表面14a、14bとみなすこともできる。

30

40

【0080】

本実施の形態では、ステップS5で窒化シリコン膜5cをプラズマCVD法で成膜した後、この窒化シリコン膜5cに対しては、紫外線を照射しない。すなわち、窒化シリコン膜5a、5bに対しては、それぞれの成膜後に紫外線照射処理（ステップS2、S4に対応）を行っているが、窒化シリコン膜5cに対しては、成膜後の紫外線照射処理は行わない。

50

【0081】

UV照射処理は引張応力を増大させる処理であるため、UV照射処理を施された窒化シリコン膜5a、5bからなる窒化シリコン膜15の引張応力は、UV照射処理が施されていない窒化シリコン膜5cの引張応力よりも大きくなっている。窒化シリコン膜5全体の引張応力は、1.5GPa以上であればより好ましい。

【0082】

このようにして、窒化シリコン膜5a、5b、5cの積層膜からなる窒化シリコン膜5が完成する。その後、図16に示されるように、半導体基板1の主面全面上に、すなわち窒化シリコン膜5上に、層間絶縁膜6を形成する(図11のステップS6)。窒化シリコン膜5a、5b、5cの積層膜からなる窒化シリコン膜5は、最上層が窒化シリコン膜5cであるため、層間絶縁膜6は、窒化シリコン膜5c上に形成されることになる。

10

【0083】

ステップS1、S3、S5では、ゲート電極GE(ゲート電極GE1、GE2を含む)およびサイドウォールスペーサSW(サイドウォールスペーサSW1、SW2を含む)を覆うように、窒化シリコン膜5a、5b、5cを形成している。このため、ステップS6では、層間絶縁膜6は、ゲート電極GE(ゲート電極GE1、GE2を含む)およびサイドウォールスペーサSW(サイドウォールスペーサSW1、SW2を含む)を覆うように、窒化シリコン膜5上(すなわち窒化シリコン膜5c上)に形成される。

【0084】

<引張応力膜としての窒化シリコン膜形成用の半導体製造装置について>

20

図17は、引張応力膜としての窒化シリコン膜5の形成に用いた半導体製造装置21の説明図である。図17の半導体製造装置21を用いて窒化シリコン膜5を形成する手法について説明する。

【0085】

図17に示されるように、半導体製造装置21は、搬送室(パuffァ用チャンバ)22を備え、搬送室22の周囲に成膜用チャンバ23と、紫外線照射用チャンバ24と、ロードロック室25とが配置されており、いわゆるマルチチャンバタイプの半導体製造装置である。搬送室22と成膜用チャンバ23との間と、搬送室22と紫外線照射用チャンバ24との間と、搬送室22とロードロック室25との間とは、開閉手段であるゲートバルブ(図示せず)などを介して連結されている。成膜用チャンバ23と紫外線照射用チャンバ24との間で搬送室22を介して半導体ウエハを真空搬送可能となっている。

30

【0086】

まず、1枚の半導体ウエハ(半導体基板1に対応)をフープ26から取り出し、ロードロック室25へ搬入する。フープ26は半導体ウエハのバッチ搬送用の密閉収納容器であり、通常25枚、12枚、6枚等のバッチ単位で半導体ウエハを収納する。フープ26の容器外壁は微細な通気フィルタ部を除いて機密構造になっており、塵埃はほぼ完全に排除される。従って、クラス1000の雰囲気中で搬送しても、内部はクラス1の清浄度が保てるようになっている。

【0087】

続いてロードロック室25内を真空引きした後、搬送用ロボット(図示せず)などによって半導体ウエハを、ロードロック室25から搬送室22を経て成膜用チャンバ23内へ真空搬送する。そして、成膜用チャンバ23内で、上記ステップS1の成膜処理(半導体ウエハの主面にプラズマCVD法で上記窒化シリコン膜5aを成膜する処理)を行う。

40

【0088】

次に、搬送用ロボット(図示せず)などによって半導体ウエハを、成膜用チャンバ23から搬送室22を経て紫外線照射用チャンバ24内へ真空搬送する。そして、紫外線照射用チャンバ24内で、上記ステップS2の紫外線照射処理(半導体ウエハの主面に形成された上記窒化シリコン膜5aに紫外線を照射する処理)を行う。

【0089】

次に、搬送用ロボット(図示せず)などによって半導体ウエハを、紫外線照射用チャン

50

バ 2 4 から搬送室 2 2 を経て成膜用チャンバ 2 3 内へ真空搬送する。そして、成膜用チャンバ 2 3 内で、上記ステップ S 3 の成膜処理（半導体ウエハの主面にプラズマ C V D 法で上記窒化シリコン膜 5 b を成膜する処理）を行う。

【0090】

次に、搬送用ロボット（図示せず）などによって半導体ウエハを、成膜用チャンバ 2 3 から搬送室 2 2 を経て紫外線照射用チャンバ 2 4 内へ真空搬送する。そして、紫外線照射用チャンバ 2 4 内で、上記ステップ S 4 の紫外線照射処理（半導体ウエハの主面に形成された上記窒化シリコン膜 5 b に紫外線を照射する処理）を行う。

【0091】

次に、搬送用ロボット（図示せず）などによって半導体ウエハを、紫外線照射用チャンバ 2 4 から搬送室 2 2 を経て成膜用チャンバ 2 3 内へ真空搬送する。そして、成膜用チャンバ 2 3 内で、上記ステップ S 5 の成膜処理（半導体ウエハの主面にプラズマ C V D 法で上記窒化シリコン膜 5 c を成膜する処理）を行う。

【0092】

このように、窒化シリコン膜 5 形成工程の始まりであるステップ S 1 のプラズマ C V D 法による窒化シリコン膜 5 a の成膜開始時点から窒化シリコン膜 5 形成工程の終わりであるステップ S 5 のプラズマ C V D 法による窒化シリコン膜 5 c の成膜終了時点まで、半導体ウエハ（半導体基板 1）は大気暴露されない。すなわち、ステップ S 1 で窒化シリコン膜 5 a を成膜した後、大気暴露させることなく、ステップ S 2 で窒化シリコン膜 5 a に対して紫外線照射処理を行い、それから大気暴露させることなく、ステップ S 3 で窒化シリコン膜 5 b を成膜し、それから大気暴露させることなく、ステップ S 4 で窒化シリコン膜 5 b に対して紫外線照射処理を行い、それから大気暴露させることなく、ステップ S 5 で窒化シリコン膜 5 c を成膜する。

【0093】

次に、搬送用ロボット（図示せず）などによって半導体ウエハを、成膜用チャンバ 2 3 から搬送室 2 2 を経てロードロック室 2 5 へ真空搬送する。そして、半導体ウエハをロードロック室 2 5 からフープ 2 6 へ戻す。成膜用チャンバ 2 3 内で上記ステップ S 5 の成膜処理（半導体ウエハの主面にプラズマ C V D 法で上記窒化シリコン膜 5 c を成膜する処理）を行った後は、その半導体ウエハに対する紫外線照射処理は行わないため、その半導体ウエハは紫外線照射用チャンバ 2 4 には送らずに、フープ 2 6 へ戻すのである。その後、上記層間絶縁膜 6 用の成膜装置を用いて上記ステップ S 6 の成膜処理（半導体ウエハの主面に上記層間絶縁膜 6 を成膜する処理）が行われる。

【0094】

本実施の形態では、引張応力膜としての窒化シリコン膜 5 を複数の窒化シリコン膜 5 a , 5 b , 5 c で形成しているが、U V 照射処理を施した窒化シリコン膜 5 a , 5 b と U V 照射処理を施さない窒化シリコン膜 5 c とを使い分けている。以下に、その理由と効果を、比較例を参照しながら説明する。

【0095】

＜比較例について＞

本実施の形態では、引張応力膜としての窒化シリコン膜 5 を複数の窒化シリコン膜 5 a , 5 b , 5 c で形成しているが、本実施の形態とは異なり、引張応力膜としての窒化シリコン膜 5 を単一の窒化シリコン膜により形成することが考えられる。この引張応力膜としての窒化シリコン膜 5 を単一の窒化シリコン膜により形成した場合を、第 1 の比較例と称することとする。

【0096】

第 1 の比較例の場合、プラズマ C V D 法によって引張応力膜としての窒化シリコン膜を成膜した後、成膜した窒化シリコン膜の引張応力を増大させるために、その窒化シリコン膜に対して U V 照射処理を行うと、窒化シリコン膜にクラックが発生しやすくなる。これは、窒化シリコン膜に対して U V 照射処理を行うと、窒化シリコン膜の厚みが厚くなるほど、U V 照射時の窒化シリコン膜の収縮量が大きくなり、窒化シリコン膜における応力集

中箇所クラックが発生しやすくなるためである。窒化シリコン膜にこのクラックが発生すると、窒化シリコン膜が非連続的になって、窒化シリコン膜によって半導体基板（特にnチャネル型MISFETのチャネル領域）に引張応力を作用させることができなくなってしまう、窒化シリコン膜を形成したことによるnチャネル型MISFETの特性向上の効果が十分に得られなくなる虞がある。

【0097】

そこで、引張応力膜としての窒化シリコン膜を、複数の窒化シリコン膜の積層膜として形成することが考えられる。これは、引張応力膜としての窒化シリコン膜を複数の窒化シリコン膜の積層膜として形成すれば、各窒化シリコン膜の膜厚を薄くすることができるため、第1の比較例で問題になるクラックの発生を抑制できるためである。

10

【0098】

図18および図19は、第2の比較例の半導体装置の製造工程中の要部断面図である。図18は、上記図1～図6の工程を行って上記図6（すなわち上記図12）に相当する構造が得られた段階が示されている。図19は、図18の構造を得た後、本実施の形態の窒化シリコン膜5の代わりに窒化シリコン膜105を形成した状態（段階）が示されている。

【0099】

なお、図18および図19において、(a)と(b)では、サイドウォールスペーサSW1とサイドウォールスペーサSW2との間の間隔（上記間隔 L_0 に対応するもの）が異なっている。図18(b)および図19(b)におけるサイドウォールスペーサSW1とサイドウォールスペーサSW2との間の間隔 L_{02} （上記間隔 L_0 に対応するもの）は、図18(a)および図19(a)におけるサイドウォールスペーサSW1とサイドウォールスペーサSW2との間の間隔 L_{01} （上記間隔 L_0 に対応するもの）よりも小さく（すなわち $L_{02} < L_{01}$ ）になっている。

20

【0100】

図19に示される第2の比較例の窒化シリコン膜105は、本実施の形態の窒化シリコン膜5と同じ厚みを有しており、窒化シリコン膜105a、105b、105cの積層膜により形成されており、窒化シリコン膜105a、105b、105cの各厚みは、本実施の形態の窒化シリコン膜5a、5b、5cの各厚みと同じとされている。

【0101】

第2の比較例における窒化シリコン膜105を形成するには、まず、窒化シリコン膜105aをプラズマCVD法で成膜してから、窒化シリコン膜105aの引張応力を増大させるために窒化シリコン膜105aに対してUV照射処理を行う。それから、窒化シリコン膜105a上に窒化シリコン膜105bをプラズマCVD法で成膜してから、窒化シリコン膜105bの引張応力を増大させるために窒化シリコン膜105bに対してUV照射処理を行う。その後、窒化シリコン膜105b上に窒化シリコン膜105cをプラズマCVD法で成膜してから、窒化シリコン膜105cの引張応力を増大させるために窒化シリコン膜105cに対してUV照射処理を行う。このようにして、窒化シリコン膜105a、105b、105cの積層膜からなる窒化シリコン膜105を形成することができる。

30

【0102】

図18および図19の第2の比較例の場合、引張応力膜としての窒化シリコン膜105を複数層（ここでは窒化シリコン膜105a、105b、105c）で形成したことにより、上述した第1の比較例における引張応力膜としての窒化シリコン膜の厚みに比べて、窒化シリコン膜105a、105b、105cの各厚みを薄くすることができる。このため、第2の比較例の場合、各窒化シリコン膜105a、105b、105cに対する各UV照射時の収縮量を、上記第1の比較例で窒化シリコン膜にUV照射したときの収縮量に比べて、少なくすることができる。

40

【0103】

しかしながら、半導体基板1の主面に形成する半導体素子の小型化に伴い、隣り合うゲート電極GE1、GE2間の間隔が小さくなってきており、これに伴い、サイドウォール

50

スペーサ SW 1, SW 2 間の間隔 (間隔 L_0 , L_{01} , L_{02} に対応) もが小さくなっている。すなわち、図 18 (a) および図 19 (a) の場合には、サイドウォールスペーサ SW 1, SW 2 間の間隔 L_{01} は比較的大きいのに対して、図 18 (b) および図 19 (b) の場合には、半導体素子の小型化に伴い、サイドウォールスペーサ SW 1, SW 2 間の間隔 L_{02} が小さくなっている (すなわち $L_{02} < L_{01}$ となっている)。

【0104】

図 18 (b) および図 19 (b) のように、隣り合うゲート電極 GE 1, GE 2 の間隔が小さくなってくる (すなわちサイドウォールスペーサ SW 1, SW 2 間の間隔が小さくなってくる) と、窒化シリコン膜 105 を構成する窒化シリコン膜 105a, 105b, 105c のうちの窒化シリコン膜 105c に亀裂 19 が発生する虞がある。図 20 は、第 2 の比較例において、図 19 と同じ段階の断面図が示されているが、図 20 (b) において窒化シリコン膜 105c に亀裂 (クラック) 19 が発生した状態が模式的に示されている。

10

【0105】

第 1 の比較例で窒化シリコン膜に生じるクラックは、UV 照射する窒化シリコン膜の厚みが厚いことに起因していたが、第 2 の比較例で窒化シリコン膜 105c に生じる亀裂 19 は、窒化シリコン膜 105c が薄くとも生じ得るものであり、その発生原因は、次のようなものである。

【0106】

すなわち、図 18 ~ 図 20 の (b) の断面の場合、窒化シリコン膜 105c は、その成膜時に、サイドウォールスペーサ SW 1 の側面 12a 上から方向 17a (側面 12a および方向 17a は図 18 に示されている) に向かって成長した部分と、サイドウォールスペーサ SW 2 の側面 12b 上から方向 17b に向かって成長した部分とがくっついて、そこに界面 (後述の界面 18 に対応するもの) が形成される。この界面の形成位置は、図 20 において亀裂 19 が生じている位置に対応している。窒化シリコン膜 105c の成膜後に窒化シリコン膜 105c に対して UV 照射処理を行うと、この界面に沿って亀裂 (クラック) 19 が発生する。

20

【0107】

窒化シリコン膜 105c に亀裂 19 が発生すると、プラグ PG を形成するための導電性材料がこの亀裂 19 内にも充填されてしまい、亀裂 19 内に充填された導電性材料を介してプラグ PG 同士が電氣的に短絡してしまう虞がある。また、窒化シリコン膜 105c に亀裂 19 が発生すると、窒化シリコン膜 105c が非連続的になって、窒化シリコン膜 105c による引張応力が得られなくなる虞もある。

30

【0108】

ここで、図 21 は、ゲート電極 GE 1, GE 2 の平面レイアウトの一例を示す平面図であり、図 21 には、プラグ PG の形成位置の一例も示されている。上記図 1 ~ 図 10、図 12 ~ 図 16、図 18 ~ 図 20 は、図 21 の A-A 線の断面図に相当するものである。図 20 (b) に生じている亀裂 19 は、図 21 の点線 19a の位置に生じ得るものであり、この亀裂 19 内にプラグ PG 形成用の導電性材料が充填されてしまうと、図 21 に示されるプラグ PG 1 とプラグ PG 2 とが、電氣的に短絡してしまう虞がある。

40

【0109】

<窒化シリコン膜に対する UV 照射処理の有無の使い分け>

それに対して、本実施の形態では、窒化シリコン膜 5 は複数層 (ここでは窒化シリコン膜 5a, 5b, 5c) で形成している。この観点では、本実施の形態も、上記第 2 の比較例と同様である。しかしながら、本実施の形態では、窒化シリコン膜 5 を構成する複数層 (ここでは窒化シリコン膜 5a, 5b, 5c) の全てに対して UV 照射処理を行うわけではなく、UV 照射処理を行う層と、UV 照射処理を行わない層とを使い分けている。なお、UV 照射処理は、UV 照射された窒化シリコン膜の引張応力を増大する処理である。

【0110】

すなわち、本実施の形態では、窒化シリコン膜 5 を構成する複数の窒化シリコン膜のう

50

ち、UV照射を行っても上記亀裂19が発生しにくい窒化シリコン膜に対してはUV照射を行って引張応力を増大させ、UV照射を行うと上記亀裂19が発生しやすい窒化シリコン膜に対してはUV照射を行わずに上記亀裂19の発生を防止するという観点で、UV照射処理の有無を使い分けている。具体的には、窒化シリコン膜5を構成する複数の窒化シリコン膜5a, 5b, 5cのうち、窒化シリコン膜5a, 5bは、UV照射を行っても上記亀裂19が発生しにくいため、これら窒化シリコン膜5a, 5bに対しては、成膜後にUV照射を行って引張応力を増大させる。一方、窒化シリコン膜5を構成する複数の窒化シリコン膜5a, 5b, 5cのうち、窒化シリコン膜5cは、UV照射を行うと上記亀裂19が発生しやすいため、この窒化シリコン膜5cに対してはUV照射を行わずに上記亀裂19の発生を防止する。

10

【0111】

窒化シリコン膜5a, 5b, 5cのうち、窒化シリコン膜5cはUV照射を行うと上記亀裂19が発生しやすい理由について、図22～図25を参照して説明する。図22～図25は、上記ステップS5の窒化シリコン膜5c形成工程中の半導体装置の要部断面図である。図22は、上記図14と同じ段階であり、上記図14の部分拡大図に対応し、図25は、上記図15と同じ段階であり、上記図15の部分拡大図に対応している。つまり、図22は、窒化シリコン膜5cの成膜開始直前の段階で、図23および図24の順に窒化シリコン膜5cの成膜が進行し、図25が、窒化シリコン膜5cの成膜が終了した段階である。

【0112】

上記ステップS1, S2, S3, S4を行って上記図14に相当する図22の構造を得た後、上記ステップS5においてプラズマCVD法による窒化シリコン膜5cの成膜を開始するが、図23に示されるように、窒化シリコン膜5bの表面から、該表面に垂直な方向に向かって、窒化シリコン膜5cの堆積が進行する。

20

【0113】

図23の段階では、窒化シリコン膜5cにおける、サイドウォールスペーサSW1の側面12a側から方向17a（方向17aは図22に矢印で示されている）に向かって成長した部分と、サイドウォールスペーサSW2の側面12b側から方向17b（方向17bは図22に矢印で示されている）に向かって成長した部分とは、まだ離れている（くっついていない）。しかしながら、プラズマCVD法による窒化シリコン膜5cの成膜が更に進行すると、図24に示されるように、窒化シリコン膜5cにおける、サイドウォールスペーサSW1の側面12a側から上記方向17aに向かって成長した部分と、サイドウォールスペーサSW2の側面12b側から上記方向17bに向かって成長した部分とは、ちょうどくっついて（接して）、両者の接触面に界面18が形成される。プラズマCVD法による窒化シリコン膜5cの成膜が更に進行すると、図25に示されるように、窒化シリコン膜5cにおける、サイドウォールスペーサSW1の側面12a側から上記方向17aに向かった成長とサイドウォールスペーサSW2の側面12b側から上記方向17bに向かった成長とは行われなくなるが、上方に向かう方向17cへの成長が進行するが、窒化シリコン膜5cにおいて界面18は維持される。図25において、界面18は点線で示されている。

30

【0114】

なお、方向17aと方向17bとは、どちらも半導体基板1の主面に略平行な方向であるが、方向17aは、ゲート電極GE1の側壁11a（あるいはサイドウォールスペーサSW1の側面12a）に略垂直な方向で、かつゲート電極GE1の側壁11a（あるいはサイドウォールスペーサSW1の側面12a）からゲート電極GE2に向かう側の方向である。一方、方向17bは、ゲート電極GE2の側壁11b（あるいはサイドウォールスペーサSW2の側面12b）に垂直な方向で、かつゲート電極GE2の側壁11b（あるいはサイドウォールスペーサSW2の側面12b）からゲート電極GE1に向かう側の方向である。ゲート電極GE1の側壁11aとゲート電極GE2の側壁11bとは略平行であるため（ゲート電極GE1の延在方向とゲート電極GE2の延在方向とが略平行である

40

50

ため)、方向17aと方向17bとは、互いに反対側の方向(180°反対の方向)である。

【0115】

図25の状態が得られてから、プラズマCVD法による窒化シリコン膜5cの成膜が終了する。形成された窒化シリコン膜5cは、上記界面18を有しているため、窒化シリコン膜5cの成膜後にUV照射処理を行うと、この界面18に沿って上記亀裂19が発生しやすい。すなわち、もしも図23の段階で窒化シリコン膜5cの成膜を終了したら、窒化シリコン膜5cに上記界面18は形成されないため、窒化シリコン膜5cにUV照射処理を行っても上記亀裂19は発生しにくい。図24または図25の段階で窒化シリコン膜5cの成膜を終了したら、窒化シリコン膜5cに上記界面18が形成され、窒化シリコン膜5cにUV照射処理を行うと上記亀裂19が発生しやすい。しかしながら、本実施の形態では、窒化シリコン膜5cの成膜後にはUV照射処理を行っていないため、窒化シリコン膜5cが界面18を有していても、その界面18に起因して上記亀裂(クラック)19が発生するのを抑制または防止することができる。このため、窒化シリコン膜5cにおける亀裂(クラック)の発生を防止することができる。

10

【0116】

もしも図23の段階で窒化シリコン膜5cの成膜を終了した場合には、 $L_0/2 > T_{abc}$ (従って $L_b/2 > T_c$)となるのに対して、図24の段階で窒化シリコン膜5cの成膜を終了した場合には、 $L_0/2 = T_{abc}$ (従って $L_b/2 = T_c$)となり、図25の段階で窒化シリコン膜5cの成膜を終了した場合には、 $L_0/2 < T_{abc}$ (従って $L_b/2 < T_c$)となる。上記式5や上記式7が成り立つのは、図24または図25の段階まで窒化シリコン膜5cの成膜が進行した場合である。

20

【0117】

一方、窒化シリコン膜5a, 5bは、上記界面18に相当するものは形成されない。すなわち、窒化シリコン膜5a, 5bのそれぞれは、その成膜時において、サイドウォールスペーサSW1の側面12a側から方向17aに向かって成長した部分と、サイドウォールスペーサSW2の側面12b側から方向17bに向かって成長した部分とが、くっつかずに(接触せずに)離れた状態で、成膜を終了しているため、窒化シリコン膜5a, 5bには、上記界面18に相当するものは形成されない。従って、窒化シリコン膜5a, 5bは、UV照射時に発生しやすい上記亀裂19の起点となる上記界面18に相当するもの自体が形成されていないため、成膜後にUV照射処理を行っても、窒化シリコン膜5a, 5bにおける上記亀裂19の発生を防止することができる。そして、上記亀裂19の発生を防止しながら、UV照射処理により窒化シリコン膜5a, 5bの引張応力を増大させることができる。

30

【0118】

このように、本実施の形態では、上記界面18が形成されないため亀裂(クラック)が生じにくい窒化シリコン膜5a, 5bに対しては、成膜後のUV照射を行うことで窒化シリコン膜5a, 5bの引張応力を増大させ、上記界面18が形成されることで亀裂(クラック)が発生しやすい窒化シリコン膜5cに対しては、成膜後のUV照射を行わないことで窒化シリコン膜5cの亀裂(クラック)を防止する。これにより、窒化シリコン膜5全体の引張応力を効率的に増大させることができるとともに、窒化シリコン膜5における亀裂(クラック)を防止できることで、窒化シリコン膜5によって半導体基板1(特にnチャンネル型MISFETのチャンネル領域)に作用させることができる引張応力を的確かつ効率的に向上させることができる。従って、引張応力膜としての窒化シリコン膜5を形成したことによるnチャンネル型MISFETの特性向上の効果を、的確かつ効率的に向上させることができる。また、窒化シリコン膜5に亀裂(クラック)が生じることに起因する不具合を防止することができ、例えば、窒化シリコン膜5に生じた亀裂(クラック)にプラグPG用の導電性材料が充填されることによるプラグPG間の短絡を防止することができる。このため、半導体装置の信頼性を向上することができる。

40

【0119】

50

<変形例について>

本実施の形態では、成膜後にUV照射処理を行う引張応力用の窒化シリコン膜を、窒化シリコン膜5aと窒化シリコン膜5bとの2層としたが、他の形態として、成膜後にUV照射処理を行う引張応力用の窒化シリコン膜を1層とする、あるいは3層以上とすることができる。まず、成膜後にUV照射処理を行う引張応力用の窒化シリコン膜を1層とする場合（これを第1の変形例と称する）について説明する。

【0120】

図26および図27は、第1の変形例の半導体装置の製造工程中の要部断面図である。図26には上記図14に対応する工程段階が示され、図27には上記図15に対応する工程段階が示されている。

【0121】

上記図14の場合は上記窒化シリコン膜5aと上記窒化シリコン膜5bとの積層膜であった窒化シリコン膜15を、図26および図27の第1の変形例の場合には、1層の窒化シリコン膜として形成している。この場合、上記ステップS1、S2、S3、S4の代わりに、窒化シリコン膜15（引張応力膜としての窒化シリコン膜15）をプラズマCVD法で形成する工程と、その後、窒化シリコン膜15に対してUV照射処理を行う（UV照射によって窒化シリコン膜15の引張応力を増大させる）工程とを行う。この際の窒化シリコン膜15の成膜工程およびUV照射工程は、窒化シリコン膜の厚みが異なる以外は、上記ステップS1、S2と基本的には同じであるため、ここではその説明は省略する。これにより、図26に示されるように、1層の窒化シリコン膜からなる窒化シリコン膜15が形成される。窒化シリコン膜15の膜厚は、膜厚 T_{ab} であり、上記式2の $L_0/2 > T_{ab}$ の関係が、第1の変形例の場合も成り立つ。以降の工程は、上記図15および図16の工程と同じであり、上記ステップS5（窒化シリコン膜5c形成工程）と上記ステップS6（層間絶縁膜6形成工程）とを順に行い、窒化シリコン膜5cに対してはUV照射処理を行わない。なお、図27には、上記ステップS5で窒化シリコン膜5cを形成した段階（層間絶縁膜6を形成する前の段階）が示されている。窒化シリコン膜5cを形成すると、上記式5の $L_0/2 \leq T_{abc}$ の関係（すなわち $L_0/2 \leq T_{abc} = T_{ab} + T_c$ の関係）が第1の変形例の場合も成り立ち、従って、上記式7の $L_b/2 \leq T_c$ の関係が第1の変形例の場合も成り立つ。但し、上記図12～図16の場合は、間隔 L_b は、サイドウォールスペーサSW1の側面上の窒化シリコン膜5bとサイドウォールスペーサSW2の側面上の窒化シリコン膜5bとの間の間隔（距離）であったが、第1の変形例の場合は、間隔 L_b は、サイドウォールスペーサSW1の側面上の窒化シリコン膜15とサイドウォールスペーサSW2の側面上の窒化シリコン膜15との間の間隔（距離）となる。

【0122】

UV照射処理を行う引張応力用の窒化シリコン膜15を1層の窒化シリコン膜とする場合であっても、亀裂（クラック）が生じにくい窒化シリコン膜15に対しては、成膜後のUV照射を行うことで窒化シリコン膜15の引張応力を増大させ、上記界面18が形成されることで亀裂（クラック）が発生しやすい窒化シリコン膜5cに対しては、成膜後のUV照射を行わないことで窒化シリコン膜5cの亀裂（クラック）を防止する。これにより、窒化シリコン膜5全体の引張応力を効率的に増大させることができるとともに、窒化シリコン膜5における亀裂（クラック）を防止できることで、窒化シリコン膜5によって半導体基板1（特にnチャネル型MISFETのチャネル領域）に作用させることができる引張応力を的確かつ効率的に向上させることができる。従って、引張応力膜としての窒化シリコン膜5を形成したことによるnチャネル型MISFETの特性向上の効果を、的確かつ効率的に向上させることができる。また、窒化シリコン膜5に亀裂（クラック）が生じることに起因する不具合を防止することができ、例えば、プラグPG間の短絡を防止することもできるため、半導体装置の信頼性を向上することができる。

【0123】

但し、成膜後にUV照射処理を行う引張応力用の窒化シリコン膜15は、1層の窒化シリコン膜とするよりも、2層以上の窒化シリコン膜の積層膜とした方が、より好ましい。

これは、成膜後にUV照射処理を行う引張応力用の窒化シリコン膜15を、2層以上の窒化シリコン膜の積層膜とすれば、各窒化シリコン膜の厚みを薄くすることができるため、各窒化シリコン膜に対して成膜後に行うUV照射処理の際の収縮量を小さくすることができ、各窒化シリコン膜におけるクラックの発生をよりの確に防止できるからである。

【0124】

次に、成膜後にUV照射処理を行う引張応力用の窒化シリコン膜を3層以上とする場合（これを第2の変形例と称する）について説明する。図28は、第2の変形例における引張応力膜としての窒化シリコン膜5形成工程の詳細を示すプロセスフロー図であり、上記図11に対応するものである。

【0125】

上記図14の場合は上記窒化シリコン膜5aと上記窒化シリコン膜5bとの積層膜であった窒化シリコン膜15を、第2の変形例の場合には、 n 層（ここで n は3以上の整数）の窒化シリコン膜として形成する。この場合、上記ステップS1、S2、S3、S4の代わりに、図28に示されるように、引張応力膜としての窒化シリコン膜をプラズマCVD法で形成する工程であるステップS1aと、その後、そのステップS1aで成膜した窒化シリコン膜に対してUV照射処理を行う（UV照射によって窒化シリコン膜の引張応力を増大させる）工程であるステップS2aとを1サイクルとし、これを n サイクル繰り返す（上記図11のフローは、2サイクル繰り返した場合に対応する）。この際のステップS1aの窒化シリコン膜の成膜工程およびステップS2aのUV照射工程（すなわち上記1サイクル）は、上記ステップS1、S2と基本的には同じであるため、ここではその説明は省略する。これにより、 n 層の窒化シリコン膜の積層膜からなる上記窒化シリコン膜15が形成される。第2の変形例の場合も、窒化シリコン膜15の膜厚は上記膜厚 T_{ab} であり、上記式2の $L_0/2 > T_{ab}$ の関係が、第2の変形例の場合も成り立つ。以降の工程は、上記図15および図16の工程と同じであり、上記ステップS5（窒化シリコン膜15上に窒化シリコン膜5cを形成する工程）と上記ステップS6（窒化シリコン膜5上に層間絶縁膜6を形成する工程）とを順に行い、窒化シリコン膜5cに対してはUV照射処理を行わない。

【0126】

ステップS5で窒化シリコン膜5cを形成すると、上記式5の $L_0/2 \leq T_{abc}$ の関係（すなわち $L_0/2 \leq T_{abc} = T_{ab} + T_c$ の関係）が第2の変形例の場合も成り立ち、従って、上記式7の $L_b/2 \leq T_c$ の関係が第2の変形例の場合も成り立つ。但し、上記図12～図16の場合は、間隔 L_b は、サイドウォールスペーサSW1の側面上の窒化シリコン膜5bとサイドウォールスペーサSW2の側面上の窒化シリコン膜5bとの間の間隔（距離）であったが、第2の変形例の場合は、間隔 L_b は、サイドウォールスペーサSW1の側面上の窒化シリコン膜15とサイドウォールスペーサSW2の側面上の窒化シリコン膜15との間の間隔（距離）となる。

【0127】

図29および図30は、第3の変形例の半導体装置の製造工程中の要部断面図である。

【0128】

上記ステップS5で窒化シリコン膜5cを形成して上記図15の構造を得た後、第3の変形例では、図29に示されるように、窒化シリコン膜5c上に更に窒化シリコン膜5dを形成し、その後、図30に示されるように、上記ステップS6で窒化シリコン膜5d上に層間絶縁膜6を形成する。

【0129】

第3の変形例の場合、窒化シリコン膜5c上に形成する窒化シリコン膜5dは、窒化シリコン膜5cと同様にして形成することができ、窒化シリコン膜5cと同様に引張応力膜として機能することができる。第3の変形例では、引張応力膜としての窒化シリコン膜5は、窒化シリコン膜5a、5b、5c、5dの積層膜として形成されるが、窒化シリコン膜5aと窒化シリコン膜5bとは成膜後にUV照射処理が行われるのに対して、窒化シリコン膜5cと窒化シリコン膜5dについては、UV照射処理が行われない。すなわち、窒

10

20

30

40

50

化シリコン膜 5 c と同様に、窒化シリコン膜 5 d に対しても UV 照射処理は行わないようにし、窒化シリコン膜 5 d の成膜後、UV 照射処理を行うことなく、層間絶縁膜 6 を形成する。窒化シリコン膜 5 d を複数の窒化シリコン膜とした場合には、窒化シリコン膜 5 d を構成するいずれの窒化シリコン膜についても、UV 照射処理を行わないようにする。

【0130】

但し、第 3 の変形例の場合、窒化シリコン膜 5 c 上に窒化シリコン膜 5 d を形成するが、窒化シリコン膜 5 c の成膜後および窒化シリコン膜 5 d の成膜後のいずれにおいても、UV 照射処理を行わず、層間絶縁膜 6 の形成工程に移行する。このため、第 3 の変形例のように窒化シリコン膜 5 c を形成した後で窒化シリコン膜 5 c 上に更に窒化シリコン膜 5 d を形成するよりも、その分、窒化シリコン膜 5 c 自身の厚みを厚く（図 29 の窒化シリコン膜 5 c と窒化シリコン膜 5 d の合計の厚みと同程度に）して、上記図 16 のように窒化シリコン膜 5 c 上に他の窒化シリコン膜を形成せずに層間絶縁膜 6 を形成する方が、工程数の低減や製造時間の短縮の観点で有利である。

【0131】

また、本実施の形態では、窒化シリコン膜 5 c に対しては UV 照射処理を行わなかったが、他の形態として、ステップ S 5 で窒化シリコン膜 5 c を形成した後、この窒化シリコン膜 5 c に対して UV 照射処理を行うこともできる（これを第 4 の変形例と称する）。図 31 は、第 4 の変形例における引張応力膜としての窒化シリコン膜 5 形成工程の詳細を示すプロセスフロー図であり、上記図 11 に対応するものである。

【0132】

この第 4 の変形例の場合、ステップ S 5 で窒化シリコン膜 5 c をプラズマ CVD 法で形成した後、この窒化シリコン膜 5 c に対して紫外線を照射する（図 31 のステップ S 5 a）。その後、ステップ S 6 で窒化シリコン膜 5 c 上に層間絶縁膜 6 を形成する。図 31 の、第 4 の変形例におけるプロセスフローは、ステップ S 5 a が追加されたこと以外は、上記図 11 のプロセスフローと同じである。ステップ S 5 a で窒化シリコン膜 5 c に対して行う UV 照射処理における紫外線の照度（窒化シリコン膜 5 c に照射する紫外線の照度）は、ステップ S 2, S 4 の UV 照射処理における紫外線の照度（ステップ S 2 で窒化シリコン膜 5 a に照射する紫外線の照度およびステップ S 4 で窒化シリコン膜 5 b に照射する紫外線の照度）よりも小さく（低く）する。

【0133】

第 4 の変形例では、ステップ S 2, S 4 よりも低照度の UV 照射処理をステップ S 5 a で窒化シリコン膜 5 c に対して行うことで、上記界面 18 に起因した上記亀裂 19 の発生を抑制しながら窒化シリコン膜 5 c の引張応力を増大させることができる。また、第 4 の変形例では、ステップ S 5 a の UV 照射処理よりも高照度の UV 照射処理をステップ S 2, S 4 で窒化シリコン膜 5 a, 5 b に対して、行うことで、窒化シリコン膜 5 a, 5 b の引張応力を的確かつ効率的に増大させることができる。このため、窒化シリコン膜 5 の全体の引張応力をできるだけ増大させるという観点からは、第 4 の変形例のようにステップ S 5 で窒化シリコン膜 5 c を形成した後に窒化シリコン膜 5 c に対してステップ S 2, S 4 よりも低照度の UV 照射処理を行う方が有利である。一方、上記亀裂 19 の発生をできるだけ抑制または防止するという観点からは、上記実施の形態のように窒化シリコン膜 5 c に対しては UV 照射処理を行わない方が有利である。

【0134】

ここで、UV 照射処理は、対象の窒化シリコン膜（ステップ S 2 では窒化シリコン膜 5 a に対応し、ステップ S 4 では窒化シリコン膜 5 b に対応する）の引張応力を増大させる処理である。このため、第 4 の変形例を別の観点で見ると、ステップ S 2, S 4 における窒化シリコン膜（ステップ S 2 では窒化シリコン膜 5 a に対応し、ステップ S 4 では窒化シリコン膜 5 b に対応する）の引張応力を増大させる処理の条件と、ステップ S 5 a における窒化シリコン膜 5 c の引張応力を増大させる処理の条件とが異なるということが出来る。より特定的には、ステップ S 2, S 4 における窒化シリコン膜（ステップ S 2 では窒化シリコン膜 5 a に対応し、ステップ S 4 では窒化シリコン膜 5 b に対応する）の引張応

力を増大させる処理よりも、ステップ S 5 a における窒化シリコン膜 5 c の引張応力を増大させる処理の方が、引張応力の増大作用が小さいといえることができる。すなわち、ステップ S 2, S 4 において、対象の窒化シリコン膜（ステップ S 2 では窒化シリコン膜 5 a に対応し、ステップ S 4 では窒化シリコン膜 5 b に対応する）の引張応力が増大した量よりも、ステップ S 5 a において、対象の窒化シリコン膜 5 c の引張応力が増大した量の方が小さくなる。

【0135】

また、各変形例 1～4 を組み合わせることもできる。

【0136】

＜UV 照射処理の置き換え＞

上記ステップ S 2, S 4, S 2 a, S 5 a で UV 照射処理を行っているが、この UV 照射処理は、紫外線照射の対象の窒化シリコン膜（ステップ S 2 では窒化シリコン膜 5 a に対応し、ステップ S 4 では窒化シリコン膜 5 b に対応する）の引張応力を増大させる処理である。引張応力を増大させる処理としては、UV 照射処理が最も好ましいが、他に、電子ビーム照射処理、マイクロ波照射処理または熱処理がある。このため、他の形態（変形例）として、引張応力を増大させる処理として UV 照射処理（ステップ S 2, S 4, S 2 a, S 5 a の UV 照射処理）の代わりに、電子ビーム照射処理、マイクロ波照射処理または熱処理を行い、それによって、対象の窒化シリコン膜（ステップ S 2 では窒化シリコン膜 5 a に対応し、ステップ S 4 では窒化シリコン膜 5 b に対応する）の引張応力を増大させることもできる。

【0137】

電子ビーム照射処理は、対象の窒化シリコン膜（ステップ S 2 では窒化シリコン膜 5 a に対応し、ステップ S 4 では窒化シリコン膜 5 b に対応し、ステップ S 5 a では窒化シリコン膜 5 c に対応する）に対して電子ビームを照射する処理である。マイクロ波照射処理は、対象の窒化シリコン膜（ステップ S 2 では窒化シリコン膜 5 a に対応し、ステップ S 4 では窒化シリコン膜 5 b に対応し、ステップ S 5 a では窒化シリコン膜 5 c に対応する）に対してマイクロ波を照射する処理である。熱処理は、対象の窒化シリコン膜（ステップ S 2 では窒化シリコン膜 5 a に対応し、ステップ S 4 では窒化シリコン膜 5 b に対応し、ステップ S 5 a では窒化シリコン膜 5 c に対応する）を加熱する（実際には半導体基板 1 ごと加熱される）処理である。

【0138】

引張応力を増大させる処理として行う UV 照射処理、電子ビーム照射処理、マイクロ波照射処理または熱処理は、その処理の前に比べて処理の後で対象の窒化シリコン膜（ステップ S 2 では窒化シリコン膜 5 a に対応し、ステップ S 4 では窒化シリコン膜 5 b に対応する）の引張応力が増大するような処理条件で行う。

【0139】

また、UV 照射処理、電子ビーム照射処理、マイクロ波照射処理および熱処理のうち、引張応力の増大効果が最も大きいのは UV 照射処理である。このため、引張応力の増大効果や製造工程の簡略化などの観点から、引張応力を増大させる処理（ステップ S 2, S 4 で行う引張応力を増大させる処理）としては、UV 照射処理が最も好ましい。

【0140】

一方、UV 照射処理を施さない上記窒化シリコン膜 5 c に対しては、その成膜後に、引張応力を増大させる処理（UV 照射処理、電子ビーム照射処理、マイクロ波照射処理または熱処理により窒化シリコン膜 5 c の引張応力を増大させる処理）は行わない（但し上記第 4 の変形例の場合は行う）。

【0141】

また、上記図 3 1 の第 4 の変形例で、ステップ S 2, S 4, S 5 a において、UV 照射処理の代わりに電子ビーム照射処理を行う場合は、ステップ S 2, S 4 で行う電子ビーム照射処理の照度（電子ビームの照度）に比べてステップ S 5 a で行う電子ビーム照射処理の照度（電子ビームの照度）を小さく（低く）する。また、上記図 3 1 の第 4 の変形例で

、ステップ S 2, S 4, S 5 a において、U V 照射処理の代わりにマイクロ波照射処理を行う場合は、ステップ S 2, S 4 で行うマイクロ波照射処理のパワー（マイクロ波パワー）に比べてステップ S 5 a で行うマイクロ波照射処理のパワー（マイクロ波パワー）を小さく（低く）する。また、上記図 3 1 の第 4 の変形例で、ステップ S 2, S 4, S 5 a において、U V 照射処理の代わりに熱処理を行う場合は、ステップ S 2, S 4 で行う熱処理の温度（熱処理温度）に比べてステップ S 5 a で行う熱処理の温度（熱処理温度）を低くする。

【0142】

＜製造後の半導体装置について＞

本実施の形態では、引張応力膜として成膜した窒化シリコン膜の引張応力を更に増大させる処理として、U V 照射処理を行っている。U V 照射処理によって窒化シリコン膜の引張応力が增大するのは、U V 照射によって窒化シリコン膜中の水素が脱離することにより、窒化シリコン膜が収縮して窒化シリコン膜における S i（シリコン）と N（窒素）との結合角が変化し、それによって窒化シリコン膜の引張応力が增大するためと考えられる。このため、引張応力膜としてプラズマ C V D 法で成膜された窒化シリコン膜について、成膜後にその窒化シリコン膜に対して U V 照射処理が行われた場合は、U V 照射処理が行われなかった場合に比べて、窒化シリコン膜中の水素含有率（S i-H 結合密度）が小さいと言える。U V 照射前と U V 照射後とを比べると、U V 照射後の窒化シリコン膜中の水素含有率（水素含有量）は、U V 照射前の窒化シリコン膜中の水素含有率（水素含有量）の概ね $1/3$ 以下になる。例えば、U V 照射前の水素含有量は、 1.3×10^{21} atoms/cm³ 程度であったものが、U V 照射後の水素含有量は、 3×10^{21} atoms/cm³ 程度となる（この場合、U V 照射後の水素含有量は、U V 照射前の水素含有量の $3/1.3$ となる）。

【0143】

つまり、プラズマ C V D 法で窒化シリコン膜を引張応力膜として成膜し、この窒化シリコン膜中の水素を U V 照射処理によって膜中から脱離させて窒化シリコン膜中の水素含有率（水素含有量）を低下させることで、この窒化シリコン膜の引張応力を増大させることができる。このため、製造された半導体装置においては、引張応力として窒化シリコン膜 5 を有しているが、この窒化シリコン膜 5 を構成する複数の窒化シリコン膜 5 a, 5 b, 5 c のうち、U V 照射処理が行われた窒化シリコン膜 5 a, 5 b の水素含有率（水素含有量）が、U V 照射処理が行われていない窒化シリコン膜 5 c の水素含有率（水素含有量）よりも小さくなっている。すなわち、上記式 1～式 7 の関係にある窒化シリコン膜 5 a, 5 b, 5 c の積層膜で形成された窒化シリコン膜 5 を引張応力膜として有する半導体装置において、窒化シリコン膜 5 a, 5 b のそれぞれにおける水素含有率（水素含有量）が、窒化シリコン膜 5 c の水素含有率（水素含有量）よりも小さくなっているのである。これにより、窒化シリコン膜 5 c は水素含有率（水素含有量）が多いことからその圧縮量が小さかったため、上記亀裂 19 が窒化シリコン膜 5 c に生じるのを防止でき、窒化シリコン膜 5 a, 5 b は水素含有率（水素含有量）が少ないことからその圧縮量が大きかったため、窒化シリコン膜 5 の引張応力を効率的に大きくすることができる。これにより、n チャネル型 M I S F E T を有する半導体装置の性能を向上させることができる。

【0144】

上述のように、U V 照射前と U V 照射後とを比べると、U V 照射後の窒化シリコン膜中の水素含有率（水素含有量）は、U V 照射前の窒化シリコン膜中の水素含有率（水素含有量）の概ね $1/3$ 以下になるため、製造された半導体装置において、窒化シリコン膜 5 a, 5 b のそれぞれにおける水素含有率（水素含有量）は、窒化シリコン膜 5 c の水素含有率（水素含有量）の概ね $1/3$ 以下となっている。

【0145】

なお、上記第 1 の変形例の場合は、製造された半導体装置において、窒化シリコン膜 1 5 における水素含有率（水素含有量）が、窒化シリコン膜 5 c の水素含有率（水素含有量）よりも小さく（より特定のには概ね $1/3$ 以下に）なっている。また、上記第 2 の変形

例の場合は、製造された半導体装置において、窒化シリコン膜 15 を構成する n 層の窒化シリコン膜のそれぞれにおける水素含有率（水素含有量）が、窒化シリコン膜 5 c の水素含有率（水素含有量）よりも小さく（より特定のには概ね 1 / 3 以下に）なっている。また、上記第 3 の変形例の場合は、製造された半導体装置において、窒化シリコン膜 15 を構成する各窒化シリコン膜 5 a, 5 b における水素含有率（水素含有量）が、窒化シリコン膜 5 c, 5 d のそれぞれにおける水素含有率（水素含有量）よりも小さく（より特定のには概ね 1 / 3 以下に）なっている。

【0146】

また、引張応力を増大する処理である UV 照射処理が施されている窒化シリコン膜 15 の引張応力は、UV 照射処理が施されていない窒化シリコン膜 5 c の引張応力よりも大きくなっているが、これは、製造された半導体装置においても維持されている。

10

【0147】

また、上記図 26 および図 27 のように窒化シリコン膜 15 を単層の窒化シリコン膜により形成した場合には、製造された半導体装置において、窒化シリコン膜 15 の水素含有率（水素含有量）は、窒化シリコン膜 5 c の水素含有率（水素含有量）よりも小さくなっている。また、上記図 12 ~ 図 16 のように窒化シリコン膜 15 を複数の窒化シリコン膜（ここでは窒化シリコン膜 5 a, 5 b）により形成した場合には、製造された半導体装置において、窒化シリコン膜 15 を構成する各窒化シリコン膜（ここでは窒化シリコン膜 5 a, 5 b のそれぞれ）の水素含有率（水素含有量）は、窒化シリコン膜 5 c の水素含有率（水素含有量）よりも小さくなっている。

20

【0148】

（実施の形態 2）

本実施の形態では、上記実施の形態 1 の技術を C M I S F E T（Complementary Metal Insulator Semiconductor Field Effect Transistor）に適用した場合の一例について説明する。

【0149】

図 32 ~ 図 39 は、本実施の形態 2 の半導体装置、ここでは C M I S F E T を有する半導体装置の製造工程中の要部断面図である。

【0150】

図 32 に示されるように、本実施の形態の半導体装置が形成される半導体基板 1 は、n チャネル型の M I S F E T が形成される領域である n M I S 形成領域 1 A と、p チャネル型の M I S F E T が形成される領域である p M I S 形成領域 1 B とを有している。このため、図 32 における n M I S 形成領域 1 A と p M I S 形成領域 1 B とは、同一の半導体基板 1 の異なる平面領域である。n M I S 形成領域 1 A には、上記図 1 ~ 図 6 と同様の工程を行って、上記図 6 に相当する構造が形成される。n チャネル型 M I S F E T Q n 形成工程は、上記実施の形態 1 で既に述べたものと基本的には同じである。一方、p M I S 形成領域 1 B には、上記図 1 ~ 図 6 と類似した工程（イオン注入する不純物の導電型を逆にした工程）を行って、p チャネル型 M I S F E T Q p が形成される。

30

【0151】

簡単に説明すると、半導体基板 1 に素子分離領域 2 を形成してから、n M I S 形成領域 1 A に p 型不純物をイオン注入することで p 型ウエル P W を形成し、p M I S 形成領域 1 B に n 型不純物をイオン注入することで n 型ウエル N W を形成する。それから、ゲート絶縁膜 3 およびゲート電極 G E が、n M I S 形成領域 1 A と p M I S 形成領域 1 B の両方に形成される。それから、n M I S 形成領域 1 A において、p 型ウエル P W のゲート電極 G E の両側の領域に n 型不純物をイオン注入することで n⁻型半導体領域（エクステンション領域）E X 1 を形成し、p M I S 形成領域 1 B において、n 型ウエル N W のゲート電極 G E の両側の領域に p 型不純物をイオン注入することで p⁻型半導体領域（エクステンション領域）E X 2 を形成する。それから、サイドウォールスペーサ S W を、n M I S 形成領域 1 A のゲート電極 G E の側壁上と p M I S 形成領域 1 B のゲート電極 G E の側壁上とに形成する。それから、n M I S 形成領域 1 A における p 型ウエル P W のゲート電極 G E

40

50

およびサイドウォールスペーサSWの両側の領域にn型不純物をイオン注入することでn⁺型半導体領域SD1（ソース、ドレイン）を形成し、pMIS形成領域1Bにおけるn型ウェルNWのゲート電極GEおよびサイドウォールスペーサSWの両側の領域にp型不純物をイオン注入するでp⁺型半導体領域SD2（ソース、ドレイン）を形成する。その後、サリサイド技術により、nMIS形成領域1Aにおけるnチャネル型MISFETQnのゲート電極GEおよびソース・ドレイン領域（n⁺型半導体領域SD1）の表面（上層部）とpMIS形成領域1Bにおけるpチャネル型MISFETQpのゲート電極GEおよびソース・ドレイン領域（p⁺型半導体領域SD2）の表面（上層部）とに、金属シリサイド層4を形成する。

【0152】

次に、図33に示されるように、上記実施の形態1のステップS1、S2、S3、S4、S5を行うことで、窒化シリコン膜5a、5b、5cの積層膜からなる窒化シリコン膜5を形成する。ステップS1、S2、S3、S4、S5については上述したので、ここではその説明は省略する。本実施の形態においても、上記実施の形態1のステップS1、S2、S3、S4、S5により窒化シリコン膜5a、5b、5cの積層膜からなる窒化シリコン膜5を形成したことで、上記実施の形態1で説明したような効果を得ることができる。

【0153】

窒化シリコン膜5は、半導体基板1の主面全面上に形成される。このため、本実施の形態においては、窒化シリコン膜5は、nMIS形成領域1AとpMIS形成領域1Bとの両方に形成され、nMIS形成領域1Aのゲート電極GEおよびサイドウォールスペーサSWとpMIS形成領域1Bのゲート電極GEおよびサイドウォールスペーサSWとを覆うように形成される。上記実施の形態1で説明したように、窒化シリコン膜5は引張応力膜である。

【0154】

次に、図34に示されるように、上記実施の形態1のステップS6を行うことで、層間絶縁膜6を形成する。層間絶縁膜6は、半導体基板1の主面全面上に形成されるため、nMIS形成領域1AとpMIS形成領域1Bとの両方に形成され、nMIS形成領域1Aの窒化シリコン膜5上およびpMIS形成領域1Bの窒化シリコン膜5上に形成される。

【0155】

次に、図35に示されるように、pMIS形成領域1Bの層間絶縁膜6および窒化シリコン膜5を除去する。この際、nMIS形成領域1Aの層間絶縁膜6および窒化シリコン膜5は、除去せずに残存させる。これは、例えば、フォトリソグラフィ法を用いてnMIS形成領域1Aの層間絶縁膜6上にフォトレジストパターン（図示せず）を形成し、このフォトレジストパターンをエッチングマスクとして用いて、pMIS形成領域1Bの層間絶縁膜6および窒化シリコン膜5をドライエッチングすることにより、行うことができる。

【0156】

次に、図36に示されるように、半導体基板1の主面全面上に、圧縮応力用の絶縁膜として絶縁膜41（より特定的には窒化シリコン膜41）を形成する。pMIS形成領域1Bにおいては、絶縁膜41は、ゲート電極GE、サイドウォールスペーサSWおよびp⁺型半導体領域SD2を覆うように、金属シリサイド層4上を含む半導体基板1の主面上に形成される。一方、nMIS形成領域1Aにおいては、絶縁膜41は層間絶縁膜6上に形成される。絶縁膜41は、圧縮応力膜であり、好ましくは窒化シリコンからなる。

【0157】

絶縁膜41は、プラズマCVD法で形成することができ、その形成時の成膜条件（成膜温度、成膜ガスの種類、ガスの圧力、高周波パワーなど）を制御することで、圧縮応力膜とすることができる。

【0158】

次に、図37に示されるように、半導体基板1の主面全面上に、すなわち絶縁膜41上

10

20

30

40

50

に、層間絶縁膜 42 を形成する。nMIS 形成領域 1A および pMIS 形成領域 1B において、層間絶縁膜 42 は絶縁膜 41 上に形成される。層間絶縁膜 42 は、層間絶縁膜 6 と同様に、酸化シリコン系の絶縁膜（すなわち酸化膜系絶縁膜）を用いることが好ましい。

【0159】

次に、図 38 に示されるように、nMIS 形成領域 1A の層間絶縁膜 42 を除去する。この際、pMIS 形成領域 1B の層間絶縁膜 42 および絶縁膜 41 は、除去せずに残存させる。これは、例えば、フォトリソグラフィ法を用いて pMIS 形成領域 1B の層間絶縁膜 42 上にフォトレジストパターン（図示せず）を形成し、このフォトレジストパターンをエッチングマスクとして用いて、nMIS 形成領域 1A の層間絶縁膜 42 をドライエッチングすることにより、行うことができる。

10

【0160】

次に、図 39 に示されるように、nMIS 形成領域 1A の絶縁膜 41 を除去する。この際、pMIS 形成領域 1B の層間絶縁膜 42 および絶縁膜 41 は、除去せずに残存させる。これは、例えば、pMIS 形成領域 1B の層間絶縁膜 42 上のフォトレジストパターン（図示せず）をエッチングマスクとして用いて、nMIS 形成領域 1A の絶縁膜 41 をドライエッチングすることにより、行うことができる。

【0161】

これにより、図 39 に示されるように、nMIS 形成領域 1A においては、半導体基板 1 上にゲート電極 GE およびサイドウォールスペーサ SW を覆うように、窒化シリコン膜 5 とその上の層間絶縁膜 6 との積層膜が形成され、pMIS 形成領域 1B においては、半導体基板 1 上にゲート電極 GE およびサイドウォールスペーサ SW を覆うように、絶縁膜 41 とその上の層間絶縁膜 42 との積層膜が形成された構造が得られる。その後、nMIS 形成領域 1A の層間絶縁膜 6 の上面の高さと pMIS 形成領域 1B の層間絶縁膜 42 の上面の高さとを一致させるための CMP 処理を施すこともできる。

20

【0162】

その後、図示は省略するが、上記図 9 および図 10 で説明したように、上記コンタクトホール CNT を形成してから、コンタクトホール CNT 内に上記プラグ PG を形成し、更に上記絶縁膜 7 および配線 M1 を形成する。なお、nMIS 形成領域 1A においては、上記コンタクトホール CNT は、層間絶縁膜 6 および窒化シリコン膜 5 からなる積層膜（積層絶縁膜）を貫通するように形成され、pMIS 形成領域 1B においては、上記コンタクトホール CNT は、層間絶縁膜 42 および絶縁膜 41 からなる積層膜（積層絶縁膜）を貫通するように形成される。

30

【0163】

本実施の形態では、nMIS 形成領域 1A に、nチャネル型 MISFET Qn を覆うように、引張応力膜である窒化シリコン膜 5 を形成しているため、nチャネル型 MISFET Qn のチャネル領域における電子の移動度が増加するなどして、nチャネル型 MISFET Qn のチャネルを流れるオン電流を増加させることができる。また、pMIS 形成領域 1B に、pチャネル型 MISFET Qp を覆うように、圧縮応力膜である絶縁膜 41 を形成しているため、pチャネル型 MISFET Qp のチャネル領域におけるホール（正孔）の移動度が増加するなどして、pチャネル型 MISFET Qp のチャネルを流れるオン電流を増加させることができる。このため、CMISFET を備えた半導体装置の性能を向上させることができる。

40

【0164】

また、上記実施の形態 1 をそのまま CMISFET を有する半導体装置に適用することも可能である。この場合、上記図 34 の構造を得た後、上記図 35～図 39 の工程は行わずに、上記コンタクトホール CNT および上記プラグ PG を形成し、その後、プラグ PG が埋め込まれた層間絶縁膜 6 上に上記絶縁膜 7 および配線 M1 を形成する。nMIS 形成領域 1A と pMIS 形成領域 1B とに窒化シリコン膜 5 および層間絶縁膜 6 が形成された状態で上記コンタクトホール CNT およびプラグ PG を形成するため、図 34 の nMIS 形成領域 1A と pMIS 形成領域 1B との両方において、上記図 9 のように窒化シリコン

50

膜 5 および層間絶縁膜 6 の積層膜を貫通するように上記コンタクトホール CNT が形成され、そこにプラグ PG が埋め込まれる。この場合、nMIS 形成領域 1A では、n チャネル型 MISFET Qn を覆うように引張応力膜である窒化シリコン膜 5 が形成されているため、n チャネル型 MISFET Qn のチャネル領域における電子の移動度が増加するなどして、n チャネル型 MISFET Qn のチャネルを流れるオン電流を増加させることができる。しかしながら、pMIS 形成領域 1B には、圧縮応力膜は形成されていないため、pMIS 形成領域 1B の p チャネル型 MISFET Qp については、チャネル領域におけるホール（正孔）の移動度を増加させることができない。このため、n チャネル型 MISFET のチャネル領域におけるキャリア（ここでは電子）の移動度を優先的に向上させたいような CMISFET を有する半導体装置に適用すれば、好適である。また、この場合、製造工程数を抑制（低減）できるため、低コスト化にも有利である。

【0165】

一方、上記実施の形態 2 は、nMIS 形成領域 1A には引張応力膜（ここでは窒化シリコン膜 5）があり、pMIS 形成領域 1B には圧縮応力膜（ここでは絶縁膜 41）があるため、nMIS 形成領域 1A の n チャネル型 MISFET Qn のチャネル領域と pMIS 形成領域 1B の p チャネル型 MISFET Qp のチャネル領域との両方で、キャリアの移動度を向上させることができる。このため、n チャネル型 MISFET と p チャネル型 MISFET との両方でチャネル領域におけるキャリアの移動度を向上させたいような CMISFET を有する半導体装置に適用すれば、効果が大きい。

【0166】

以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【産業上の利用可能性】

【0167】

本発明は、半導体装置およびその製造技術に適用して有効である。

【符号の説明】

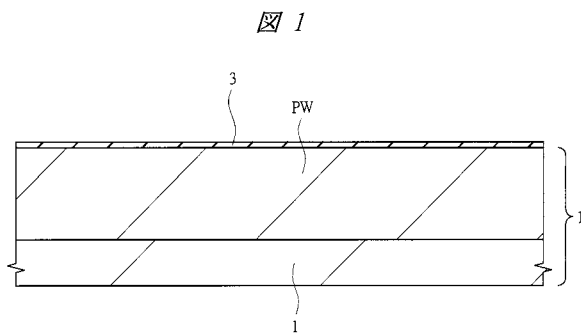
【0168】

- 1 半導体基板
- 1A nMIS 形成領域
- 1B pMIS 形成領域
- 2 素子分離領域
- 3 ゲート絶縁膜
- 4 金属シリサイド層
- 5, 5a, 5b, 5c 窒化シリコン膜
- 6 層間絶縁膜
- 7 絶縁膜
- 8 配線溝
- 11a, 11b 側壁
- 12a, 12b 側面
- 13a, 13b 表面（側面）
- 14a, 14b 表面（側面）
- 15 窒化シリコン膜
- 17a, 17b, 17c 方向
- 18 界面
- 19 亀裂
- 19a 点線
- 21 半導体製造装置
- 22 搬送室
- 23 成膜用チャンバ

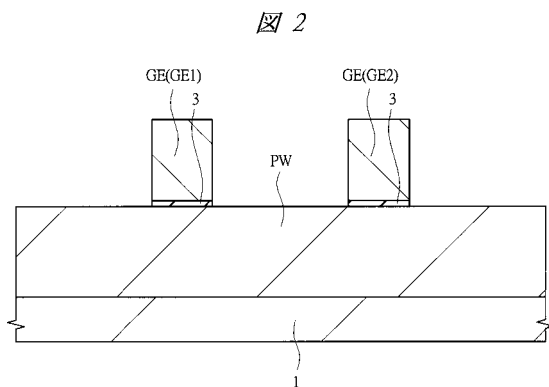
24 紫外線照射用チャンバ
 25 ロードロック室
 26 フープ
 105, 105a, 105b, 105c 窒化シリコン膜
 CNT コンタクトホール
 EX1 n⁻型半導体領域
 EX2 p⁻型半導体領域
 GE, GE1, GE2 ゲート電極
 L₀, L₀₁, L₀₂, L_a, L_b 間隔
 M1 配線
 NW n型ウエル
 PG, PG1, PG2 プラグ
 PW p型ウエル
 Qn, Qn1, Qn2 nチャネル型MISFET
 Qp pチャネル型MISFET
 SD1 n⁺型半導体領域
 SD2 p⁺型半導体領域
 SW, SW1, SW2 サイドウォールスペーサ
 T_a, T_b, T_c, T_{ab}, T_{abc} 膜厚

10

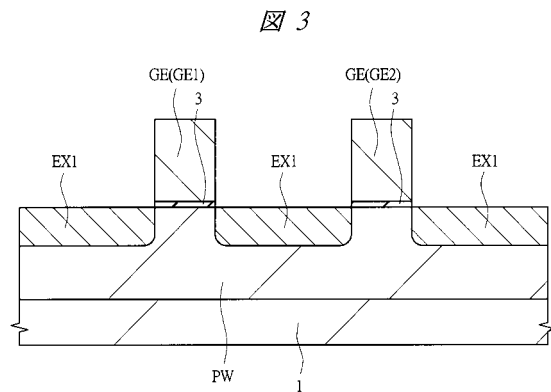
【図1】



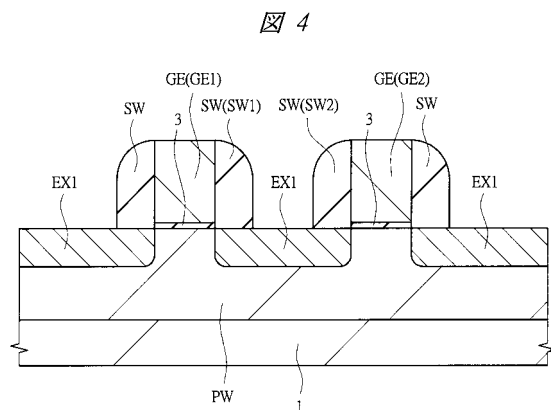
【図2】



【図3】

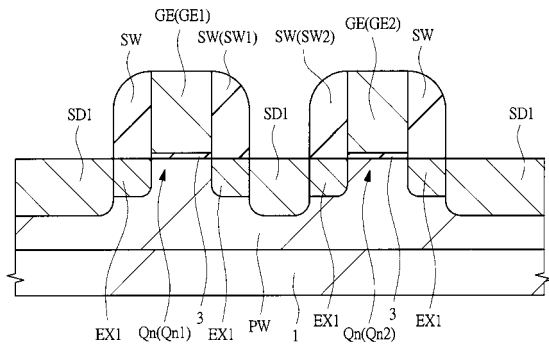


【図4】



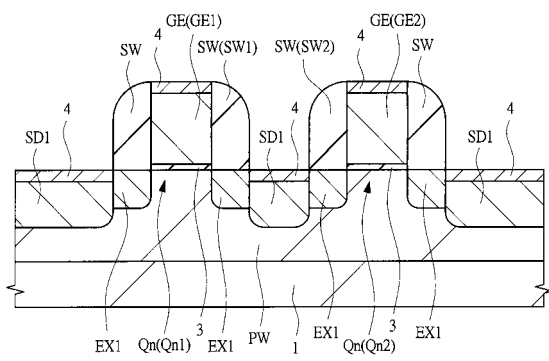
【図 5】

図 5



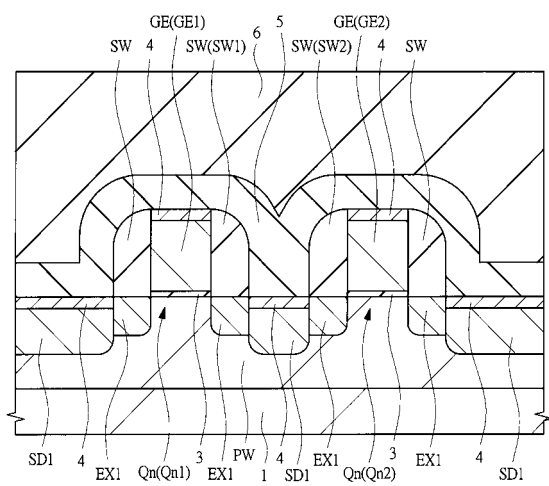
【図 6】

図 6



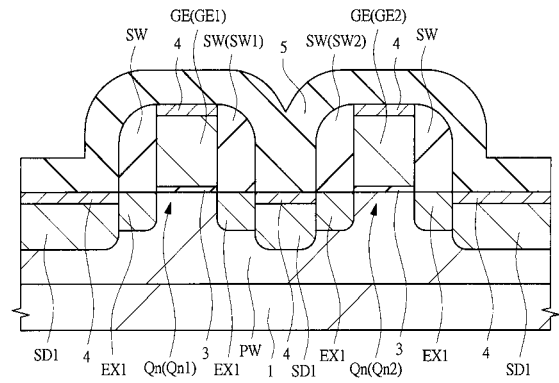
【図 8】

図 8



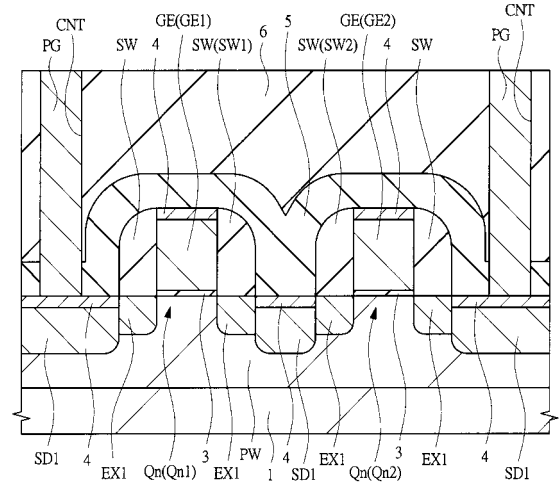
【図 7】

図 7



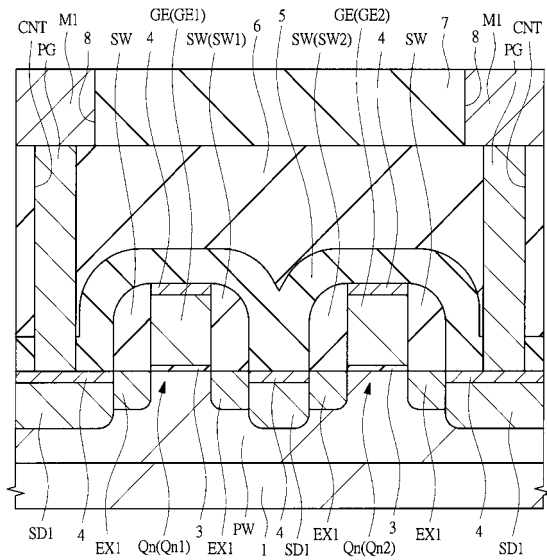
【図 9】

図 9



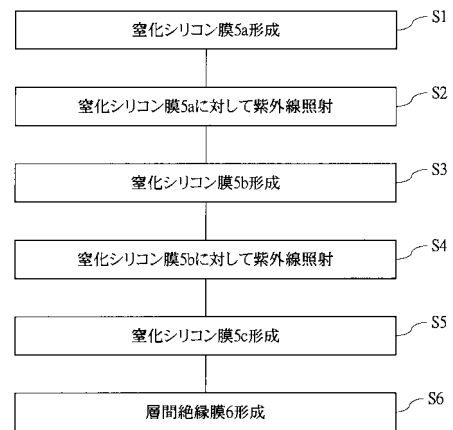
【図 10】

図 10



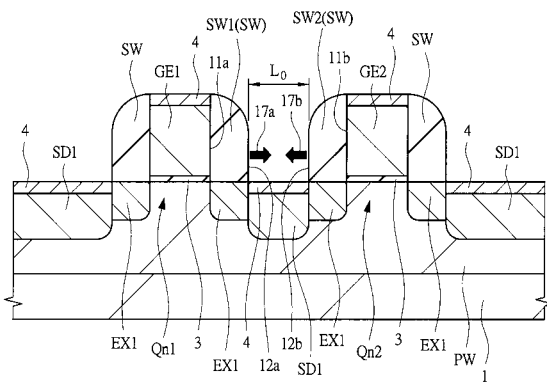
【図 11】

図 11



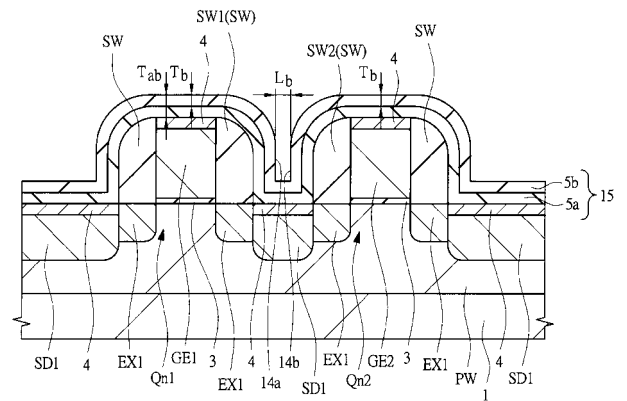
【図 12】

図 12



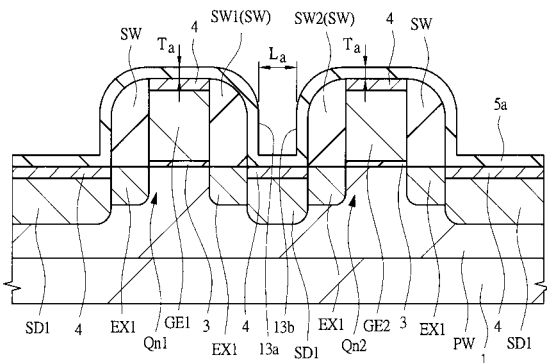
【図 14】

図 14

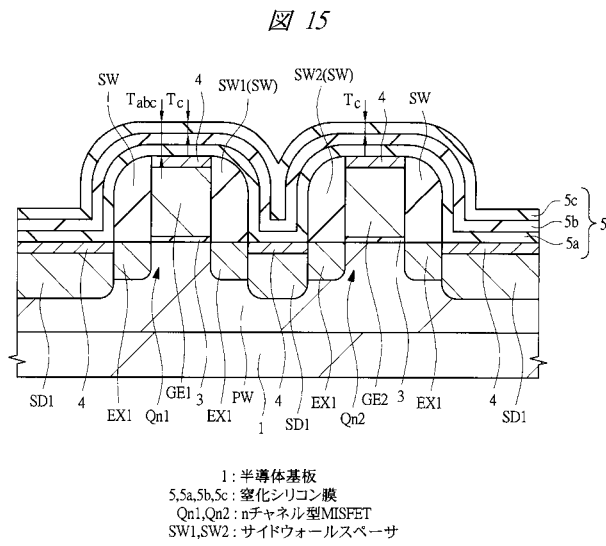


【図 13】

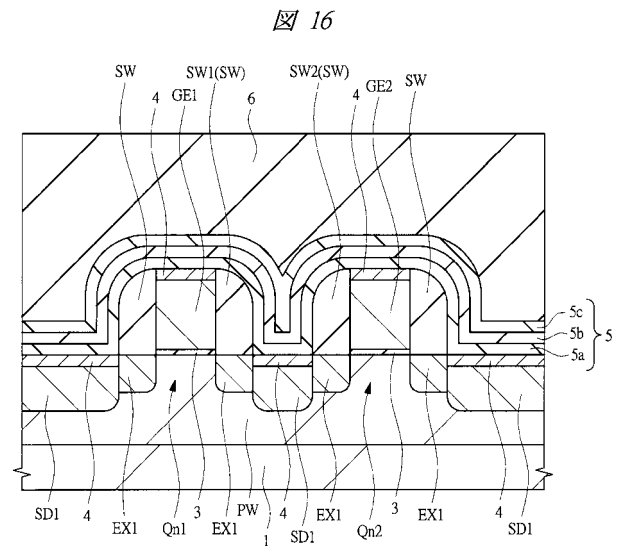
図 13



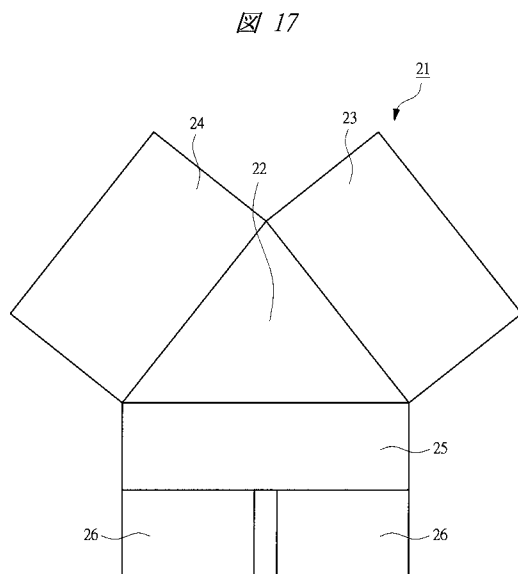
【図 15】



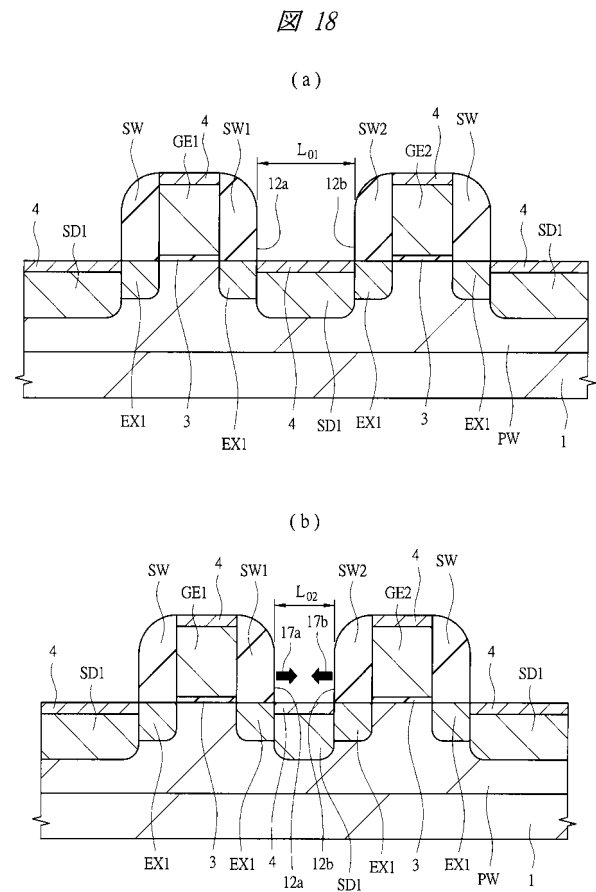
【図 16】



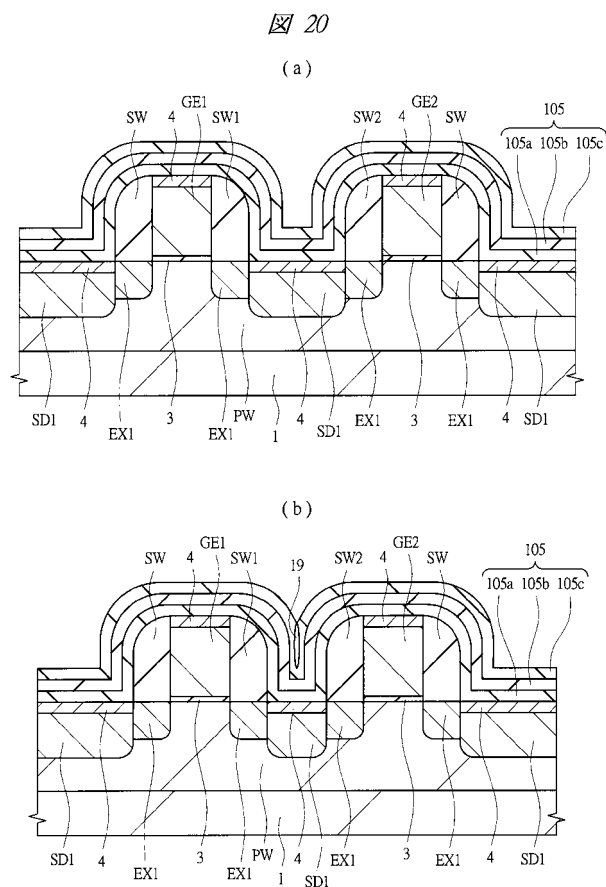
【図 17】



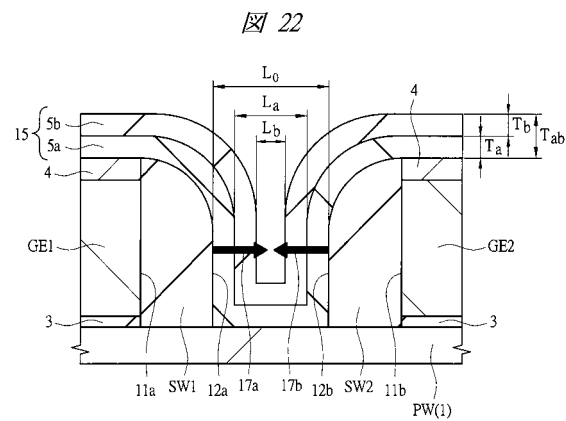
【図 18】



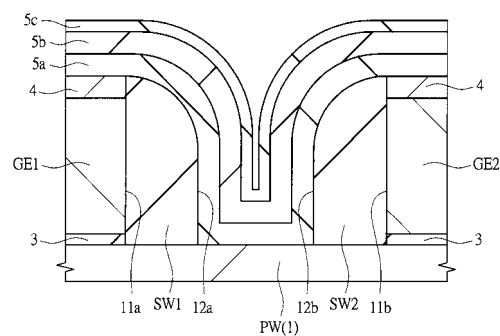
【図 20】



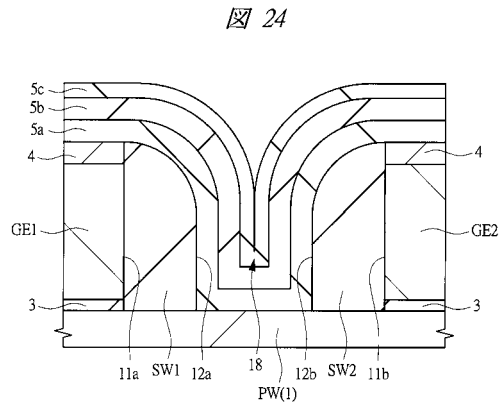
【図 2 2】



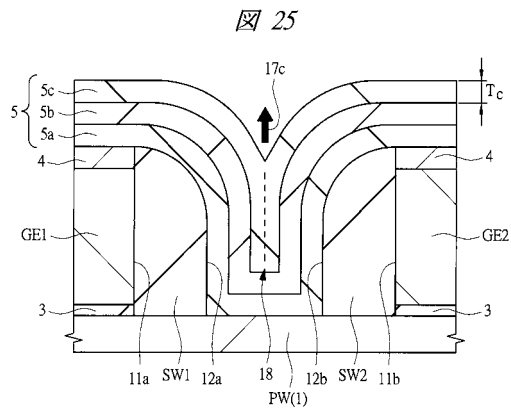
23



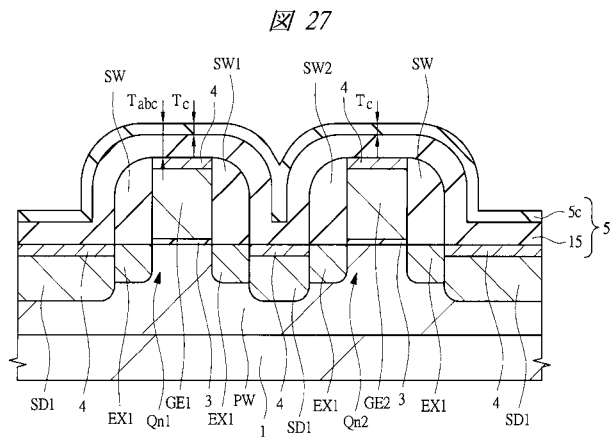
【図 2 4】



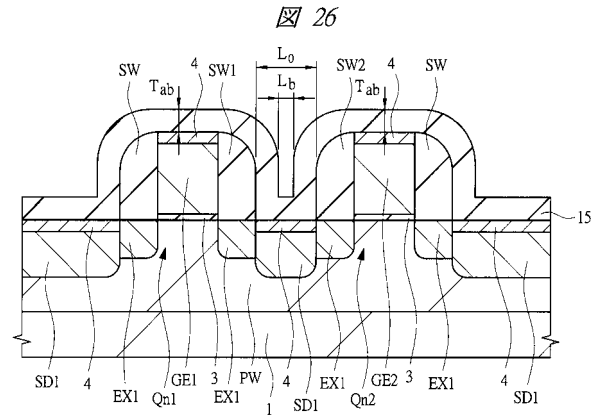
【図 2 5】



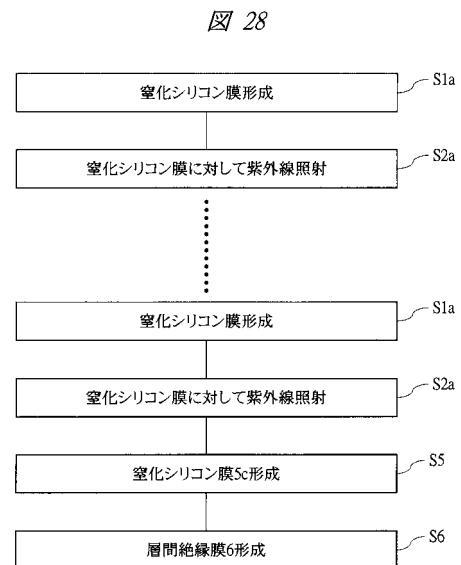
【図 2 7】



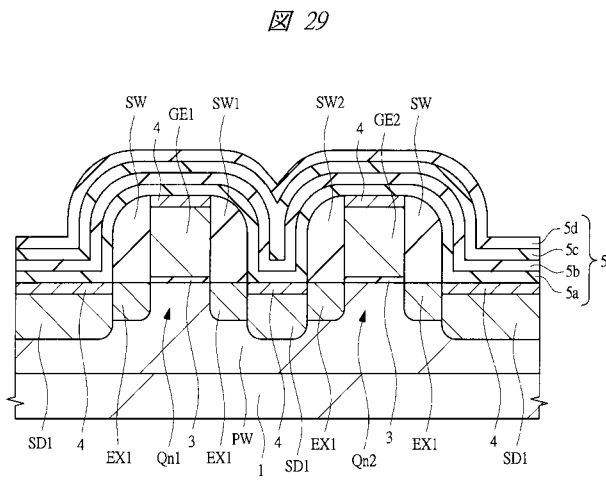
【図 2 6】



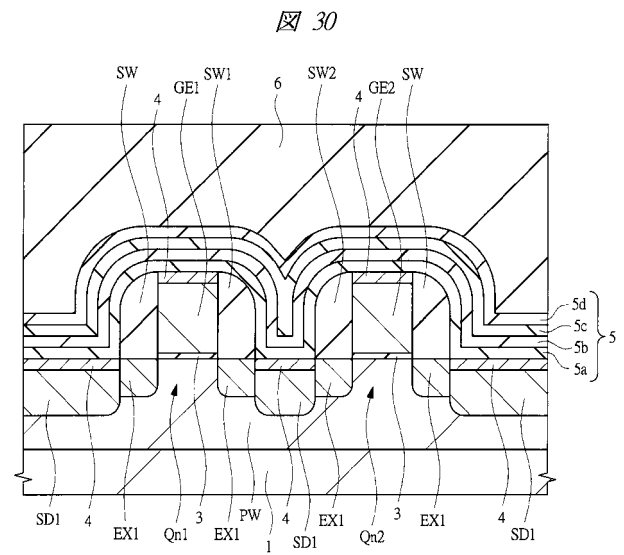
【図 2 8】



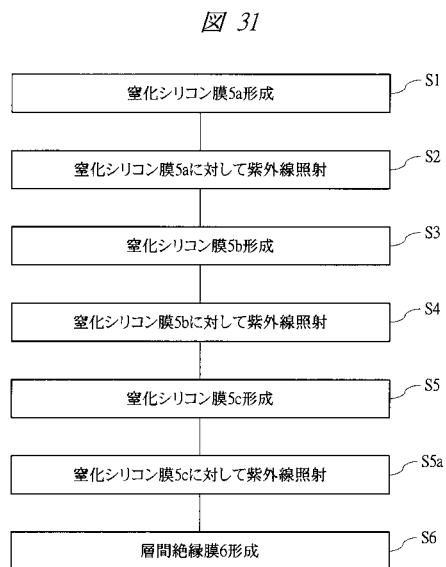
【図 29】



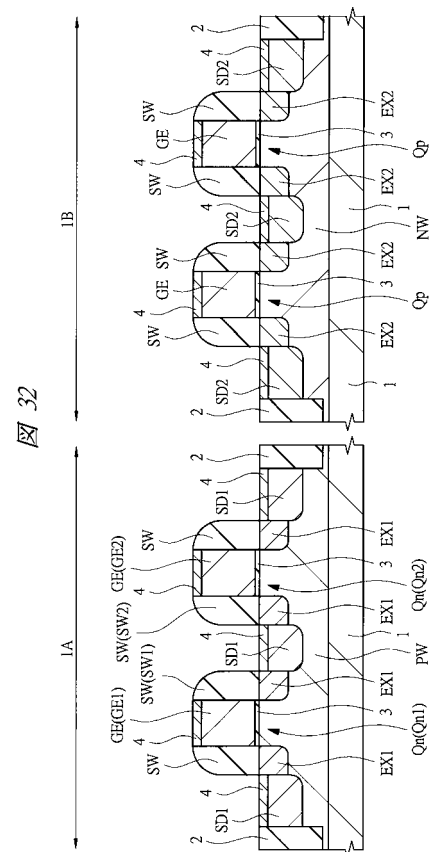
【図 30】



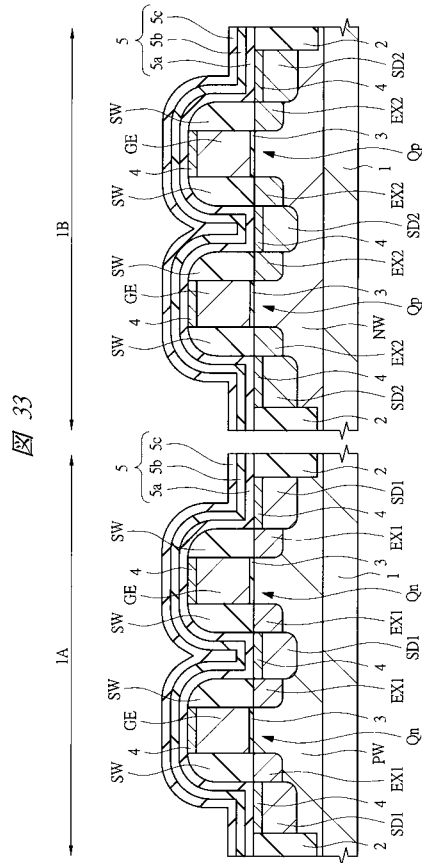
【図 31】



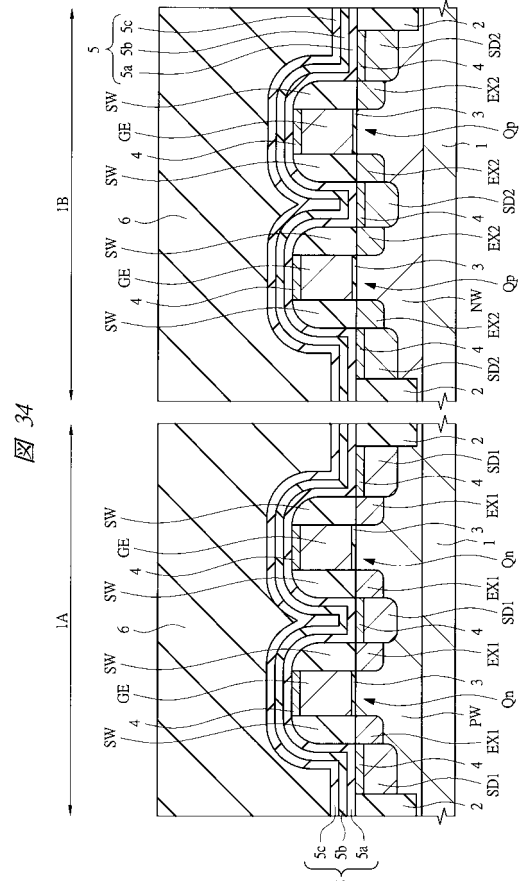
【図 32】



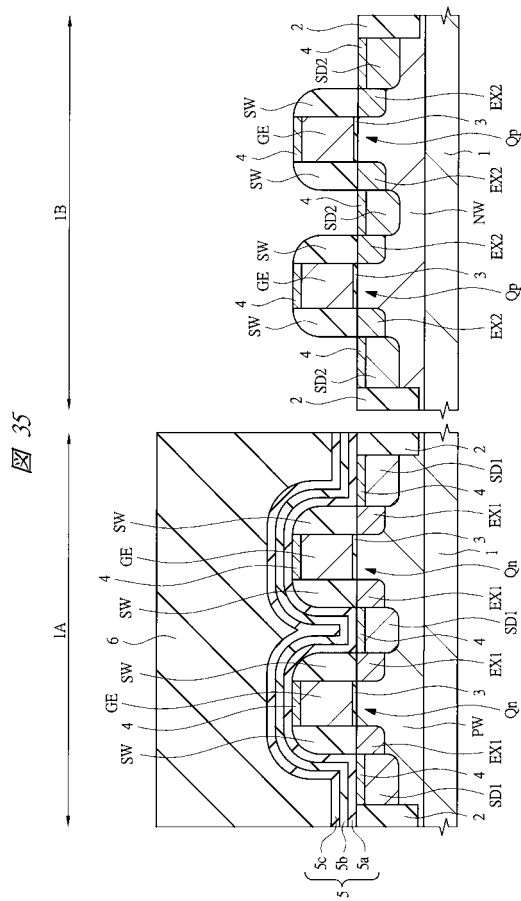
【図 33】



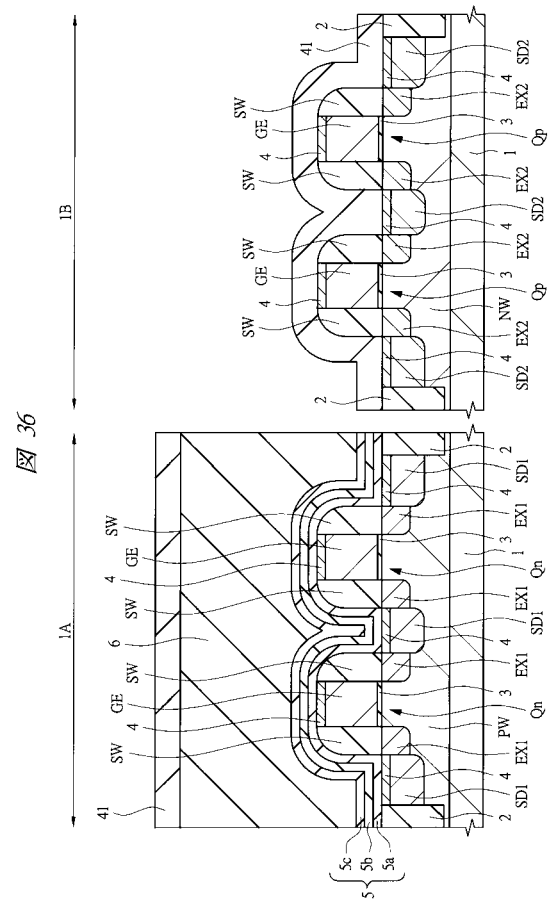
【図 34】



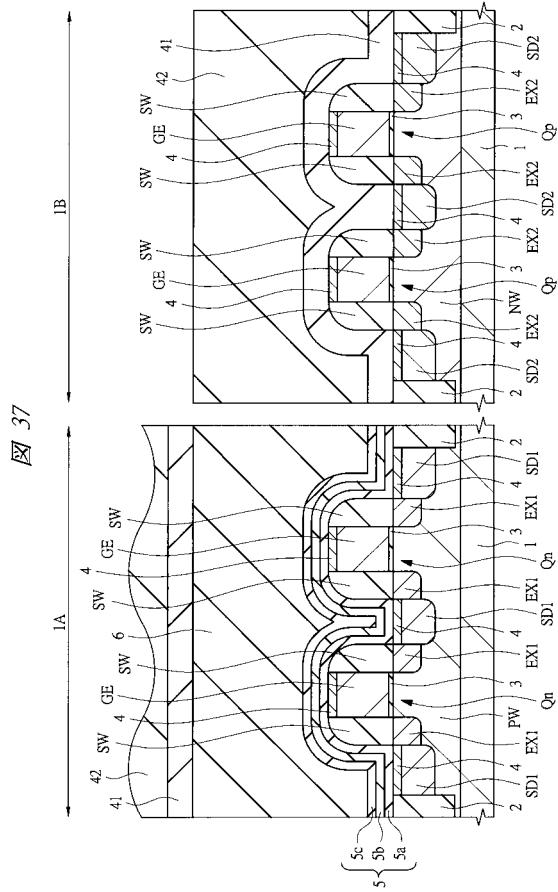
【図 35】



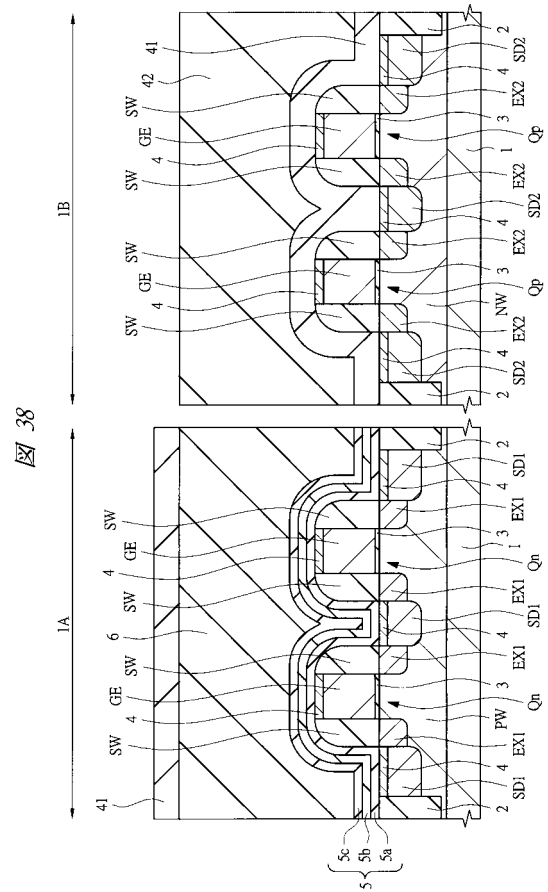
【図 36】



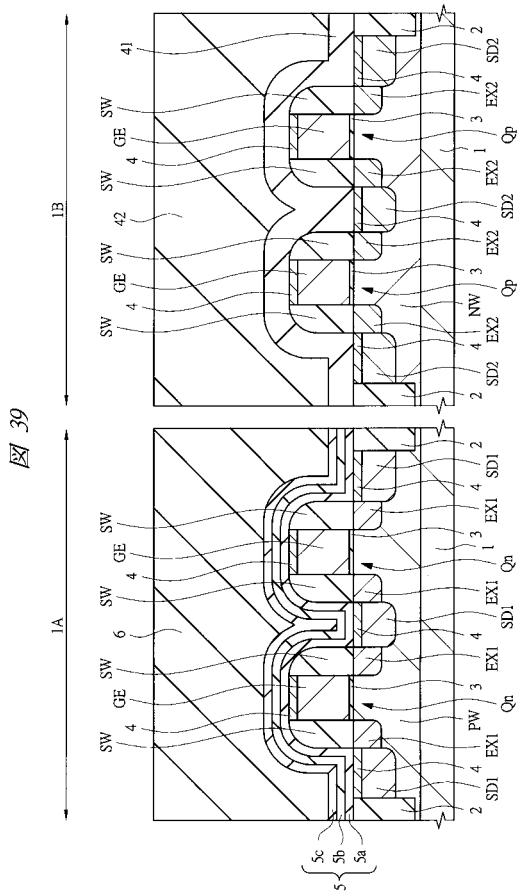
【図 37】



【図 38】



【図 39】



フロントページの続き

(51)Int.Cl. F I テーマコード (参考)
H O 1 L 21/336 (2006.01) H O 1 L 21/90 M
H O 1 L 23/532 (2006.01)
H O 1 L 21/768 (2006.01)

(72)発明者 村田 龍紀
 神奈川県川崎市中原区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内

(72)発明者 小出 優樹
 神奈川県川崎市中原区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内

F ターム (参考) 5F033 HH04 HH11 HH21 HH25 HH32 HH33 JJ18 JJ19 JJ33 KK01
 KK25 MM01 MM07 MM12 MM13 NN06 NN07 PP06 PP15 PP27
 PP28 QQ08 QQ09 QQ11 QQ13 QQ16 QQ25 QQ31 QQ37 QQ48
 QQ54 QQ70 QQ73 QQ74 QQ98 RR04 RR06 RR08 RR11 RR13
 RR14 RR15 SS01 SS02 SS15 TT08 XX17 XX19
 5F048 AA07 AA08 AB10 AC01 AC03 BA01 BB05 BB08 BB12 BC03
 BC06 BD01 BD04 BE03 BF06 BF07 BF16 BG13 DA25 DA27
 DA30
 5F140 AA05 AB01 AC28 BA01 BE02 BE07 BF04 BF11 BF18 BG08
 BG09 BG12 BG14 BG27 BG38 BG51 BG53 BH14 BH15 BJ08
 BJ11 BJ17 BJ20 BJ27 BK02 BK21 BK22 BK26 BK29 BK30
 BK34 CA02 CA03 CB01 CB04 CC01 CC02 CC04 CC08 CC11
 CE07 CF04