

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：95139867

※申請日期：95.10.27

※IPC 分類：H01L 27/115, 27/247(2006.01)

一、發明名稱：(中文/英文)

具多記憶層及多階記憶態之雙穩態電阻式隨機存取記憶體之操作方法
Methods of Operating a Bistable Resistance Random
Access Memory with Multiple Memory Layers and
Multilevel Memory States

二、申請人：(共1人)

姓名或名稱：(中文/英文)

旺宏電子股份有限公司

MACRONIX INTERNATIONAL CO., LTD.

代表人：(中文/英文) 吳敏求 Wu, Miin Chyou

住居所或營業所地址：(中文/英文)

新竹科學工業園區力行路16號

No. 16, Li-Hsin Rd., Hsinchu Science Park, Hsinchu, Taiwan,
R.O.C.

國籍：(中文/英文) 中華民國 Taiwan(R.O.C.)

三、發明人：(共3人)

姓名：(中文/英文)

1. 何家驊 HO, CHIA-HUA

2. 賴二琨 LAI, ERH-KUN

3. 謝光宇 HSIEH, KUANG-YEU

國籍：(中文/英文)

1. 中華民國 (R.O.C.)

2. 中華民國 (R.O.C.)

3. 中華民國 (R.O.C.)

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明是有關於一種基於可程式電阻式記憶體材料的高密度記憶體裝置，包含金屬氧化基材及其他材料，以及此裝置製造之方法。

【先前技術】

讀/寫光碟廣泛使用相變化為主之記憶體材料。而此材料至少含有兩種固體相，舉例來說包含一般之非晶質固體相及一般之晶質固定相。雷射脈衝可使讀/寫光碟之在相位的切換以及在相位改變之後讀取之光學特性的材料。

相變化基本記憶體材料，如硫屬化物基本素材及相似的材料，可藉由應用適合電流位準施加於積體電路使得相位改變。一般非晶質狀態較一般晶質固定相具有高電阻係數的特徵，而可立即地去感應及指出資料。因這些特性而產生了使用可程式電阻的材料來形成非揮發性電路的興趣，可以隨機存取來讀取與寫入。

一般是以一低電流操作而使非晶質狀態改變至晶質狀態。從晶質改變至非晶質，在此處被稱為重置(reset)，一般是以一高電流來操作，其包含了一瞬時高密度電流脈衝來熔化或打斷晶質結構，而其相變化材料經冷卻相變化程序可快速冷卻，且至少有一部份相變化結構以非晶質狀態穩定。想要將引起相變化材料從晶質狀態變成非晶質狀態的重置電流強度減至最低。減少重置動作所需的重置電

流強度可藉由減少相變化材料及電極之尺寸以及相變化材料與電極之間的接觸面積來達成，藉由相變化材料而以小絕對電流值達至更高的電流密度。

一種發展方向係在積體電路裡形成小孔洞，以及使用小量的可程式電阻式材料來填補此小孔洞。而指出朝向小孔洞發展的專利包含：Ovshinsky 於 1997 年 11 月 11 日發表之美國專利案號 No. 5, 687, 112” 具有尖細接觸點之多位元單記憶胞記憶元件 (Multibit Single Cell Memory Element Having Tapered Contact)；Zahorik 等人於 1998 年 8 月 4 日發表之美國專利案號 No. 5, 789, 277” 硫化合物記憶體裝置製造之方法 (Method of Making Chalcogenide [sic] Memory Device”；Doan 等人於 2000 年 11 月 21 日發表之美國專利案號 No. 6, 150, 253” 可控制之雙向相變化半導體記憶體裝置及製造方法 (Controllable Ovonic Phase-Change Semiconductor Memory Device and Methods of Fabricating the Same)”。

製造此種裝置所產生的問題例如裝置需要非常小的尺寸，以及要符合大尺寸記憶體裝置嚴謹的規格需要改變製程。如同追尋更大的記憶容量，需要相變化記憶體的每一記憶層儲存多位元。

【發明內容】

一雙穩態隨機存取記憶體描述中包含多個可程式電阻式隨機存取記憶胞，此處每一個可程式電阻式隨機存取

記憶體胞具有多層的記憶層堆疊。每一記憶層堆疊包含一導電層覆於一可程式電阻式隨機存取記憶層。根據本發明之第一方面，一第一記憶層堆疊覆蓋一第二記憶層堆疊，以及第二記憶層堆疊覆蓋一第三記憶層堆疊。此第一記憶層堆疊包含一第一導電層覆蓋於一第一可程式電阻式隨機記憶層。此第二記憶層堆疊包含一第二導電層覆蓋於第二可程式電阻式隨機存取記憶層。第三記憶層堆疊包含一第三導電層覆蓋於一第三可程式電阻式隨機記憶層。此第三可程式電阻式隨機存取記憶層具有一記憶面積且大於第二可程式隨機存取記憶體的記憶面積。此第二可程式隨機存取記憶層具有一記憶面積且大於此第一可程式隨機存取記憶層的記憶面積。

每一可程式電阻式隨機存取記憶層具有多階的記憶狀態，例如：第一位元用以儲存第一狀態及第二位元用以儲存第二狀態。第一記憶堆疊與第二記憶堆疊串連，且第二記憶堆疊與第三記憶堆疊串聯。記憶胞具有三個記憶堆疊而提供八個邏輯狀態(2^k)，此處的 k 代表記憶層或記憶堆疊的數量。舉例來說，記憶堆疊的數量可減少為每一記憶胞裡兩個記憶堆疊，或增加為每一記憶胞裡為四個記憶體堆疊，端看記憶體的設計。

做為第一可程式電阻式機記憶層、第二可程式電阻式隨機記憶層或第三可程式電阻式隨機記憶層的適當材料，可包括但不限定於金屬氧化物、巨磁阻材料(Colossal magnetoresistance, CMR)、三元氧化物(three-element

oxide)、相變化材料以及高分子材料。電阻式隨機存取記憶體(RRAM)用於第一可程式電阻式隨機存取記憶層與第二可程式電阻式隨機存取記憶層的材料可相同或不同。電阻式隨機存取記憶體(RRAM)用於第三可程式電阻式隨機存取記憶層與第一可程式電阻式隨機存取記憶層的材料可相同或不同。電阻式隨機存取記憶體(RRAM)用於第三可程式電阻式隨機存取記憶層與第二可程式電阻式隨機存取記憶層的材料可相同或不同。而在第一、第二及第三可程式電阻式隨機存取記憶體之間的厚度例如為大約 1 奈米 (nm) 至 200 奈米 (nm)。

廣泛來說，記憶體裝置包含一第一導電構件覆蓋於一第一可程式電阻式隨機存取記憶體構件，第一可程式電阻式隨機存取記憶體構件具有一表示第一電阻值之面積，第一導電構件及第一可程式電阻式隨機存取記憶體具有側邊；以及一第二導電構件覆蓋於一第二可程式電阻式隨機存取記憶體構件，第一可程式電阻式隨機存取記憶體構件覆蓋於第二導電構件，第一可程式電阻式隨機存取記憶體構件與第二可程式電阻式隨機存取記憶體構件串聯，且第二可程式電阻式隨機存取記憶體具一表示一第二電阻值之面積，而第二可程式隨機存取記憶體構件的面積大於第一可程式隨機存取記憶體構件的面積。

在此描述製造一雙穩態電阻式隨機存取記憶體且具有多重記憶層堆疊之方法。一第一記憶層堆疊，包含一第一導電層覆蓋於一第一可程式電阻式隨機存取記憶體材

料上，以及第二記憶層堆疊包含了一第二導電層覆蓋於一第二可程式電阻式隨機存取記憶層，而第一記憶層堆疊係堆積於一第二記憶層堆疊上。一遮罩(mask)以乾式或濕式蝕刻化學設置於部分第一導電層上。此第一導電層及第一可程式電阻式隨機存取記憶層的左側及右側蝕刻至第二導電層的頂面，由此產生一第一導電構件以及一第一可程式電阻式隨機存取記憶體構件。一介電側壁子設置於第一導電構件及第一可程式電阻式隨機存取記憶體構件的左右兩側。

此介電側壁子的厚度影響第二導電構件及第二可程式電阻式隨機存取記憶體構件兩者的面積尺寸。舉例來說，如假設遮罩的臨界尺寸(critical dimension, CD)大約為 0.15 微米(μm)，而介電側壁子的厚度大約可選擇為 31 奈米(nm)，即代表第二可程式電阻式隨機存取記憶體構件的面積大約為第一可程式電阻式隨機存取記憶體構件的面積二倍。此面積與電阻值成反比，而以一數學關係式 $R = \rho (l/A)$ 表示，此處 l 代表可程式電阻式隨機存取記憶體構件的長度，以及 A 代表可程式電阻式隨機存取記憶體構件的面積。在這個例子中，第二可程式電阻式隨機存取記憶體構件的電阻大約為第一可程式電阻式隨機存取記憶體構件的電阻的二分之一。界於第一及第二可程式電阻式隨機存取記憶體構件間理想的電阻差值是取決於此可程式電阻式隨機存取記憶體構件的 SET/RESET 電阻窗(resistance window)(其以一狀態至另一狀態的電阻比值

來定義)。將第二導電層及第二可程式電阻式隨機存取記憶層的左右兩側蝕刻，產生一第二導電構件以及一第二可程式電阻式隨機存取記憶體構件。對第二導電層及第二可程式電阻式隨機存取記憶層的左右兩側蝕刻至下一層或穿過下一層為止。而一接觸孔(via plug)則置於下一層的下方。

根據本發明之第二方面，揭露一用以操作串聯排列的二個記憶層堆疊之電阻式隨機存取記憶體。此第一記憶體堆疊包含一第一導電層覆蓋於一第一可程式電阻式隨機存取記憶層上，以及第二記憶層堆疊包含一第二導電層覆蓋於第二可程式電阻式隨機存取記憶層上。一第一位元線電壓 V_{b1} 與第一導電層的頂面連接以及一第二位元線電壓 V_{b2} 與第二可程式電阻式隨機存取記憶體的底面連接。一可程式電阻式隨機存取電壓 V_{1RRAM} 具有一第一端與第一導電構件連接以及一第二端與第一可程式電阻式隨機存取記憶層構件連接。第二可程式電阻式隨機存取電壓 V_{2RRAM} 一般以一第一端與第一可程式電阻式隨機存取記憶體構件連接以及一第二端與第二可程式電阻式隨機存取記憶體構件連接。

有兩個重要的變數影響雙穩態可程式電阻式隨機存取記憶體如何從一邏輯狀態變化至另一邏輯狀態。第一個變數以符號 n 來代表，用以表示所選擇的記憶體材料特性。第二個變數以符號 f 來代表，用以表示介電側壁子的厚度(或寬度)。此變數 f 可選擇或調整來與電阻的改變符

合，而有足夠大的操作窗去執行一多重位元電阻式隨機存取記憶體(resistive random access memory, RRAM)。在一雙穩態隨機存取記憶體中每一個記憶體單元具有兩個記憶層堆疊，雙穩態電阻式隨機存取記憶體以四個邏輯狀態操作，邏輯狀態「00」（或邏輯狀態「0」）、邏輯狀態「01」（或邏輯狀態「1」）、邏輯狀態「10」（或邏輯狀態「2」）以及邏輯狀態「11」（或邏輯狀態「3」）。而這四個不同的邏輯狀態之間的關係可藉由兩個變數 n 、 f 及電阻值 R 以數學來表示。邏輯狀態「0」以數學式 $(1+f)R$ 表示。邏輯狀態「1」以數學式 $(n+f)R$ 表示。邏輯狀態「2」以數學式 $(1+nf)R$ 表示。邏輯狀態「3」以數學式 $n(1+f)R$ 表示。

本發明的優點為藉由使用每一記憶體單元以多重記憶層堆疊增加一雙穩態電阻式隨機存取記憶體的整體密度。本發明也提供一三維的雙穩態隨機存取記憶體設計及製造方案。本發明更能減少於雙穩態式電阻式隨機存取記憶體的電阻改變。

本發明中的結構與方法於之後詳細敘述揭露。此處之發明內容不意圖去定義本發明。而本發明以專利申請範圍進行定義。為讓這些以及其他技術的實施例、特徵、方面以及優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

【實施方式】

描述本發明之結構實施例及方法請參照所提供之第 1 至第 17 圖。可瞭解到具體揭露之本發明實施例並不用以限縮範圍並且本發明也可使用其他特徵、元件、方法及以實施例來實施。在不同實施例中相同元件共用相同標號。

第 1 圖為一概要圖用以說明一記憶體陣列 100，以如此處描述之方式實施。在第 1 圖中所示，一共源線(common source line)128、一字元線(word line)123 以及一字元線 124 一般以 Y 軸方向平行排列。一位元線 141 及 142 一般以 X 軸方向平行排列。因此，Y-解碼器及一字元線驅動器(word line driver)145 在裡與字元線 123 及 124 耦接。X-解碼器及一組感應放大器(sense amplifier) 146 與位元線 141 及 142 耦接。此共源線 128 與存取電晶體 150、151、152 及 153 的源極端(source terminal)耦接。存取電晶體 150 的閘極(gate)與字元線 123 耦接。存取電晶體 151 的閘極與字元線 124 耦接。存取電晶體 152 的閘極與字元線 123 耦接。存取電晶體 153 的閘極與字元線 124 耦接。此存取電晶體 150 之汲極以側壁接腳記憶胞(sidewall pin memory cell)135 與下部電極構件 132 耦接，且側壁接腳記憶胞 135 具有上部電極構件 134 及下部電極構件 132。此上部電極構件 134 與位元線 141 耦接。而共源線 128 可視為由兩列記憶體元件所分享，此處所指的列是指示意圖的 Y 方向。在其他的實施例中，可以二極體取代此存取電晶體，或選擇裝置用以控制電流流量之其他結構於

陣列中用以讀取及寫出資料。

第 2 圖繪示根據本發明一較佳實施例之一電阻式隨機存取記憶體構造的積體電路 200 之簡單方塊圖。此積體電路 275 包含一記憶體陣列，係應用側邊主動接腳雙穩態電阻式隨機存取記憶胞於一半導體基板。一列解碼器 261 與數條字元線 262 耦接，且沿著記憶體陣列 260 的列排列。一接腳解碼器 263 與數條位元線 264 耦接並延著記憶體陣列 260 的接腳排列，用以讀取及程式化記憶體陣列 260 內之側邊接腳記憶體元件資料。由一匯流排 265 所提供之位址至接腳解碼器 263 及列解碼器 261。感應放大器及資料輸入結構 266 通過一資料匯排流 267 與接腳解碼器 263 耦接。資料的提供係經由從位於積體電路 275 之輸入/輸出埠或從位於積體電路 275 內部或外部的其他資料來源經由資料輸入線(data-in line)271 流入至位於感應放大器及資料輸入結構 266 之資料輸入結構。在此實施例說明中，其他的電路圖也包含於積體電路裡，如一般用途處理器(general-purpose processor)或特殊用途應用電路系統(special purpose application circuitry)，或藉由薄膜雙穩態電阻式隨機存取記憶胞陣列提供功能性之系統晶片(system-on-a chip)之模組組合。資料藉由資料輸出線(data-out line)272 提供，從位於感應放大器及資料輸入結構 266 之感應放大器至積體電路 275 上輸入/輸出接口，或者至其他內部的資料目的單元或外部的積體電路 275。

此例中控制器利用偏壓排列狀態機 (bias arrangement state machine)²⁶⁹ 控制偏壓排列供應電壓 (bias arrangement supply voltage)²⁶⁸，如讀取、程式化、抹除、抹除驗證以及程式驗證電壓。此控制器可使用習知之特殊目的邏輯電路實施。在替代實施例中，此控制器包含一多種用途的多重處理器，其可以執行相同的積體電路，也可執行一電腦程式去控制裝置的操作。另一實施例中，合併特殊用途邏輯電路及多種用途的多重處理器也可利用於控制器的實施。

第 3 圖繪示根據本發明製造雙穩態電阻式隨機存取記憶層之兩可程式電阻式隨機存取記憶層之沈積及微影技術的參考步驟之簡單示意圖。此雙穩態電阻式隨機存取記憶體 300 包含一第一可程式電阻式隨機存取記憶層 310 與一第二可程式電阻式隨機存取記憶層 320 串連。每一個第一可程式電阻式隨機存取記憶層 310 和第二可程式電阻式隨機存取記憶層 320 提供儲存兩組資訊狀態的容量。第一及第二可程式電阻式隨機存取記憶層 310、320 於雙穩態電阻式隨機存取記憶體 300 提供總計四組邏輯狀態：第一邏輯狀態「00」(或「0」)、第二邏輯狀態「01」(或「1」)、第三邏輯狀態「10」(或「2」)以及第四邏輯狀態「11」(或「3」)。

在一實施例中，第一可程式電阻式隨機存取記憶層 310 與第二可程式電阻式隨機存取記憶層 320 係為相同的材料。在另一實施例中，第一可程式電阻式隨機存取記憶

層 310 與第二可程式電阻式隨機存取記憶層 320 則係為不同的材料。而第一可程式電阻式隨機存取記憶層 310 與第二可程式電阻式隨機存取記憶層 320 兩者的厚度可為相同或者相異。而第一可程式電阻式隨機存取記憶層 310 或第二可程式電阻式隨機存取記憶層 320 其厚度範圍例如大約從 1 奈米(nm)至 200 奈米(nm)。

以同一材料所形成之各可程式電阻式記憶層 310、320 至少包含兩個穩態電阻位準，意即電阻式隨機存取記憶體材料。在後續敘述證明不同的材料對製造電阻式隨機存取記憶體有益。

項次”雙穩態電阻式隨機存取記憶體”意指控制一電阻位準而有下列的意義：電壓振幅、電流振幅或電極性。相變化記憶體的狀態係藉由電壓振幅、電流振幅或脈衝時間來進行控制。此雙穩態電阻式隨機存取記憶體 300 的電極性並不會影響雙穩態電阻式隨機存取記憶體 300 的程式化。

接下來為簡短摘要敘述四種型式電阻式記憶體材料適合做為電阻式隨機存取記憶體。第一種適合用於實施例的記憶體材料為巨磁阻(CMR)材料，如鏷-鈣-錳氧化物($\text{Pr}_x\text{Ca}_y\text{MnO}_3$)其中 $x:y=0.5:0.5$ 或者是 $x:0\sim 1; y:0\sim 1$ 來組成 CMR，其中氧化錳(Mn oxide)可選擇性的使用。

一種形成 CMR 材料的方法例如為使用物理氣相沉積(physical vapor deposition, PVD)濺鍍或磁控濺鍍方法(magnetron-sputtering method)，並使用氬氣(Ar)、氮氣

(N₂)、氧氣(O₂)以及或者氦氣(He)做為來源氣體，其壓力位於 1~100 毫托爾(mTorr)之間。而其沉積溫度其範圍從室溫至 600°C，取決於後續沉積處理的條件。一具有縱橫比 1~5 的準直儀(collimator)可以用來改善填補表現(fill-in performance)。為了改善填補表現，直流式偏壓由數十倍的電壓至數百倍的電壓均可使用。另一方面，可同時結合直流偏壓及準直儀來使用。一磁場由數十倍高斯(Gauss)到一特斯拉(Tesla=10,000Gauss)也可應用於改善磁結晶相。

一沉積後退火處理可選擇使用於真空或於氦氣或氬氣/氧氣混合的環境中來改善 CMR 材料的結晶狀態。其退火溫度位於 400°C 至 600°C 之間，且其退火時間至少小於 2 小時。

CMR 材料的厚度取決於記憶胞結構的設計。例如可使用厚度為 10~200 奈米(nm)的 CMR 做為核心材料。一鈮-鋇-銅氧化物(YBaCuO₃ 為一種高溫度超導體材料)緩衝層(buffer layer)也常使用於改善 CMR 材料的結晶狀態。此 YBCO 係沉積於 CMR 材料前。且 YBCO 的厚度範圍為 30~200 奈米(nm)。

第二種記憶體材料型式為兩種元素的化合物，如鎳氧化物(Ni_xO_y)、鈦氧化物(Ti_xO_y)、鋁氧化物(Al_xO_y)、鎢氧化物(W_xO_y)、鋅氧化物(Zn_xO_y)、鋯氧化物(Zr_xO_y)、銅氧化物(Cu_xO_y)等，其中 x:y=0.5:0.5 或是 x:0~1；y:0~1。一形成方法例如為使用 PVD 濺鍍或磁控濺鍍方法與反應性氣體氫

氣(Ar)、氮氣(N₂)、氧氣(O₂)以及或者氦氣(He)等，壓力位於 1~100 毫托爾(mTorr)之間，使用氧化金屬做為靶材，如鎳氧化物(Ni_xO_y)、鈦氧化物(Ti_xO_y)、鋁氧化物(Al_xO_y)、鎢氧化物(W_xO_y)、鋅氧化物(Zn_xO_y)、鋯氧化物(Zr_xO_y)、銅氧化物(Cu_xO_y)等。而沉積通常於室溫中形成。一具有縱橫比 1~5 的準直儀可以用來改善填補表現。為了改善填補表現，直流偏壓由數十倍至數百倍的電壓均可使用。假如需要，直流偏壓也可同時與準直儀同時使用。

一沉積後退火處理可選擇使用於真空或於氮氣或氮氣/氧氣混合的環境中來改善金屬氧化物的氧氣分佈。其退火溫度位於 400°C 至 600°C 之間，其退火時間小於 2 小時。

一替代性形成方法可使用 PVD 濺鍍或磁控濺鍍方法與反應性氣體氬/氧(Ar/O₂)、氬/氮/氧(Ar/N₂/O₂)、純氧(O₂)、氦/氧(He/O₂)、氦/氮/氧(He/N₂/O₂)等氣體，其壓力為 1~100 毫托爾(mTorr)，使用金屬靶材如鎳(Ni)、鈦(Ti)、鋁(Al)、鎢(W)、鋅(Zn)、鋯(Zr)、銅(Cu)等。其沉積通常於室溫執行。一具有縱橫比 1~5 的準直儀可以用來改善填補表現。為了改善填補表現，直流偏壓由數十倍至數百倍的電壓均可使用。假如需要，直流偏壓也可同時與準直儀同時使用。

一沉積後退火處理可選擇使用於真空或於氮氣或氮氣/氧氣混合的環境中來改善金屬氧化物的氧氣分佈。其退火溫度位於 400°C 至 600°C 之間，其退火時間小於 2 小

時。

另一個形成方法為藉由高溫度氧化系統進行氧化，如熔爐或快速熱火處理(rapid thermal pulse, RTP)系統。其溫度為 200~700°C 以及純氧(O₂)及氮/氧(N₂/O₂)混合氣體其壓力為數毫托爾(mTorr)至 1 大氣壓(atm)。而時間範圍為數分鐘至數小時。另一氧化方法為電漿氧化。一射頻或一直流來源電漿為以純氧(O₂)、氬/氧(Ar/O₂)混合氣體或氬/氮/氧(Ar/O₂/O₂)混合氣體於壓力 1~100 毫托爾(mTorr)用於氧化金屬表面，金屬例如為鎳(Ni)、鈦(Ti)、鋁(Al)、鎢(W)、鋅(Zn)、鋯(Zr)、銅(Cu)等。其氧化時間從數秒至數分鐘。其氧化溫度範圍由室溫至 300°C 其，視電漿氧化的程度決定。

第三種記憶體型式材料為一聚合材料，如氰基對醌二甲烷錯合物(tetracyquinodimethane, TCNQ)摻雜銅(Cu)、碳 60(C₆₀)、銀(Ag)等或苯基 C61 丁酸甲脂(phenyl C61-butylric acid methyl ester, PCBM)-氰基對醌二甲烷錯合物(TCNQ)混合聚合物。形成方法可藉由熱蒸鍍(thermal evaporation)、電子束蒸鍍(e-beam evaporation)或分子束磊晶成長(molecular beam epitaxy, MBE)系統等進行蒸鍍。固體狀態的 TCNQ 與摻雜粒狀物於一單槽裡共蒸(co-evaporated)。固體狀態的 TCNQ 與粒狀物摻雜放入一鎢舟(w-boat)或一鉭舟(Ta-boat)或一陶舟。一高電流或電子束應用於熔解來源材料以便材料混合及沉積於晶圓上。沒有反應性的化學物

質及氣體。而沉積則是於壓力 10^{-4} ~ 10^{-10} 托爾(Torr)進行。晶圓的溫度範圍由室溫至 200°C 。

一沉積後退火處理可選擇使用於真空或於氮氣(N_2)環境中來改善聚合物材料的組成分佈。其退火溫度位於室溫至 300°C ，其退火時間小於 1 小時。

另一技術用以形成一聚合物為主的記憶體材料為使用摻雜 TCNQ 的溶液以小於 1000rpm 的轉速旋轉塗佈。在旋轉塗佈後，此晶圓會擺置一段時間直至形成固體狀態(一般在室溫或低於 200°C 中進行)。此擺置時間範圍從數分鐘至數天，視其溫度以及形成狀態。

第四種型式為硫化物(chalcogenide)材料，如鍺-銻-碲($\text{Ge}_x\text{Sb}_y\text{Te}_z$)其中 $x:y:z=2:2:5$ 或以 $x:0\sim 5$ 、 $y:0\sim 5$ 、 $z:0\sim 10$ 所組成。 GeSbTe 可以摻雜氮(N-)、矽(Si-)、銻(Sb-)或選擇性的摻雜其他的元素。

一形成硫化物材料之方法例如可使用 PVD 濺鍍或磁控濺鍍方法與來源氣體氬(Ar)、氮(N_2)及/或氦(He)等氣體，於壓力為 1~100 毫托爾(mTorr)。沉積通常於室溫下形成。一具有縱橫比 1~5 的準直儀可以用來改善填補表現。為了改善填補表現，直流偏壓由數十倍至數百倍的電壓均可使用。假如需要，直流偏壓也可同時與準直儀同時使用。

一沉積後退火處理可選擇使用於真空或於氮氣的環境中來改善硫化物的晶體狀態。其退火溫度一般位於 100°C 至 400°C 之間，其退火時間小於 30 分鐘。該硫化材料的

厚度高於 8 奈米 (nm) 而可具有一相變化特性以使材料展現出兩種穩定的電阻狀態。

實施例中於雙穩態電阻式隨機存取記憶體 300 之記憶胞可能包括相變化為主之記憶體材料，包含硫化物為主之材料以及其他材料，做為第一可程式電阻式隨機存取記憶層 310 以及第二可程式電阻式隨機存取記憶層 320。硫族元素包含週期表的第六族以及任何有這四種元素氧 (Oxygen)、硫 (Sulfer)、硒 (Selenium) 以及碲 (Tellurium)。硫化物包含具有更趨正電性 (electropositive element) 或自由基 (radical) 的硫屬元素化合物。硫屬合金包含硫屬化合物及如過渡金屬等其他材料。硫屬合金通常包含一或多個元素從週期表元素的第六欄如鍺 (germanium) 及錫 (Tin)。通常硫屬合金包含包含銻 (antimony)、鎳 (gallium)、銦 (indium) 及銀 (silver) 中的一個或多個之組合。許多相變化基本記憶體材料已敘述於科技出版品內，包含合金：鎳/銻 (Ga/Sb)、銦/銻 (In/Sb)、銦/硒 (In/Se)、銻/碲 (Sb/Te)、鍺/碲 (Ge/Te)、鍺/銻/碲 (Ge/Sb/Te)、銦/銻/碲 (In/Sb/Te)、鎳/硒/碲 (Ga/Se/Te)、錫/銻/碲 (Sn/Sb/Te)、銦/銻/碲 (In/Sb/Ge)、銀/銦/銻/碲 (Ag/In/Sb/Te)、鍺/錫/銻/碲 (Ge/Sn/Sb/Te)、鍺/銻/硒/碲 (Ge/Sb/Se/Te) 及碲/鍺/銻/硫 (Te/Ge/Sb/S)。於鍺/銻/碲 (Ge/Sb/Te) 合金家族裡，可使用的合金組成範圍很大。而其組成可以碲-鍺-銻化合物 ($\text{Te}_a\text{Ge}_b\text{Sb}_{100-(a+b)}$) 做為特徵。一研究員曾描述最有用的合金

其沉積材料裡的碲(Te)平均濃度最好是少於 70%，一般為低於 60%，一般範圍最低從 23%至 58%Te，以及較佳地大約為 48%~58%Te。鍺(Ge)的濃度大約超過 5%以及平均在材料中從最低的大約從 8%至平均 30%的範圍，一般低於 50%。在此化合物中剩餘主要組成元素為銻(Sb)。這些百分比為原子百分比，其組成元素原子的總量為 100%。(Ovshinsky" 112patent, cols 10-11.)。另一研究者評估之特殊合金包含碲-銻-鎳化合物($\text{Ge}_2\text{Sb}_2\text{Te}_5$ 、 GeSb_2Te_4 以及 GeSb_4Te_7)(Noboru Yamada," 以鎳-銻-碲(Ge-Sb-Te)做為高速率資料記錄的相變化光碟的可能性"，SPIE v. 3109, pp. 28-37(1997))。更廣泛性的來說，一過渡金屬如鉻(chromium, Cr)、鐵(iron, Fe)、鎳(nickel, Ni)、鈮(niobium, Nb)、鈀(palladium, Pd)、鉑(platinum, Pt)以及其混合物或其合金也可以與鍺/銻/碲(Ge/Sb/Te)相互合併來形成一相變化合金，以具有可程式電阻的特性。由 Ovshinsky' 112 patent at columns 11-13 所提供之記憶體材料的特殊例子也可能有用，此處的例子包含在參考資料內。

相變化合金可切換於第一結構狀態及第二結構狀態之間，第一結構狀態是材料位於一般非晶質固體相以及第二結構狀態是材料位於一般晶質固體相，也就是記憶胞的活動通道區域內的局部秩序(local order)。此些合金至少為雙穩態。非晶質是指相對來說較無秩序的結構，較單一晶體較無致序，比起結晶態具有具有可偵測特性如較高

的電阻係數。結晶態是指其相對來說其較為有序的結構(較非晶質結構有秩序)，其具有可偵測特性例如其電阻係數較非晶質相低。一般來說，相變化材料可於局部秩序的完全的非晶質及晶質狀態的範圍間的可偵測狀態中相互電切換。其他材料特性也會被相位在非晶質與晶質變化時影響，包含原子序、自由電子密度以及活化能。材料可以切換為不同的固體相，或是兩個或更多之固體混合相，以提供一個介於完全非晶質及完全晶質狀態的灰階。在材料裡的電子特性會對應產生改變。

相變化合金藉由電子脈衝的應用可從一相位改變至另一相位。而可觀察出一較短、較高振幅的脈衝傾向於改變相變化材料至一般非晶質狀態。一較長、較低的振幅的脈衝傾向於改變相變化材料至一般晶質狀態。一較短、較高振幅的脈衝的能量夠高而使晶體鍵結被打斷，也因為脈衝夠短而可避免原子重新排列為晶體狀態。不必經由過度實驗即可決定適用於特殊相變化合金的適當脈衝波形。在後續的章節中所揭露的相變化材料是指銻-銻-碲(GST)，而且可以了解的是其他的相變化材料也可以被使用。在此所描述對完成相變化隨機存取記憶體(phase change random access memory, PCRAM)有幫助的材料為銻-銻-碲化合物($\text{Ge}_2\text{Sb}_2\text{Te}_5$)。

其他的可程式電阻式記憶體材料也可使用於本發明的其他實施例，包含銻-銻-碲(GST)摻雜氮氣(N_2)、銻-銻化合物(Ge_xSb_y)、或其他材料使用不同晶體相的變化來決

定其電阻；鏷-鈣-錳氧化物($\text{Pr}_x\text{Ca}_y\text{MnO}_3$)、鏷-鋇-錳氧化物(PrSrMnO_3)、鋯氧化物(ZrO_x)、鎢氧化物(WO_x)、鈦氧化物(TiO_x)、鋁氧化物(AlO_x)或其他材料使用電子脈衝來改變其電阻狀態；7,7,8,8-氰基對醌二甲烷錯合物(7,7,8,8-tetracyanoquinodimethane, TCNQ)、methanofullerene 6,6-phenyl C61-butyric acid ester, PCBM、TCNQ-PCBM、Cu-TCNQ、Ag-TCNQ、 C_{60} -TCNQ、摻雜其他金屬的 TCNQ、或者任何其他可被電子脈衝控制且具有雙穩態或多重穩態電阻的狀態的聚合物材料。

第一導電層 312 覆於第一可程式電阻式隨機存取記憶層 310 上，係為一導電元件。第二導電層 322 則是被設置於第一可程式電阻式隨機存取記憶層 310 和第二可程式電阻式隨機存取記憶層 320 之間。此第一導電層 312 係為與第一可程式電阻式隨機存取記憶層 310 有連接之導電元件。此第二導電層 322 係為與第二可程式電阻式隨機存取記憶層 320 有連接之導電元件。適合做為第一導電層 312 和第二導電層 322 的材料包含：鈦(Ti)、氮化鈦(TiN)、氮化鈦/鎢/氮化鈦(TiN/W/TiN)、氮化鈦/鈦/鋁/氮化鈦(TiN/Ti/Al/TiN)、n+多晶矽(n+polysilicon)、氮氧化鈦(TiON)、鉭(Ta)、氮化鉭(TaN)、氮氧化鉭(TaON)以及其他材料。

於一實施例裡，第一導電層 312 和第二導電層 322 為相同的材料。但在另一實施例裡，第一導電層 312 與第二導電層 322 則是不同的材料。第一導電層 312 與第二導電

層 322 的厚度可以相同或是相異。第一導電層 312 或是第二導電層 322 的厚度範圍例如大約為 10 至 20 奈米(nm)之間。

一遮罩 330 形成於第一導電層 312 上。此遮罩 330 包含光阻、硬遮罩(hard mask)，如矽氧化物(SiO_x)、矽氮化物(SiN_x)、矽氮氧化物(SiO_xN_y)。此遮罩可以藉由挑選適合遮罩的技術來修整出臨界尺寸(CD)。假如遮罩 330 為光阻，以氯(Cl_2)及溴化氫(HBr)為主的反應離子蝕刻機用以修整光阻。假如遮罩 330 為一硬遮罩，以濕修整搭配適當的溶劑可用以修整此硬遮罩。尤其是，一稀釋的氟化氫(dilute HF, DHF)可使用於以氧化矽(SiO_x)製作的硬遮罩。熱磷酸(Hot phosphoric acid, HPA)則使用於以氧化氮(SiN_x)製作的硬遮罩。

第 4 圖繪示根據本發明製造雙穩態電阻式隨機存取記憶體 300 之下一步驟之示意圖，蝕刻至第二導電層，第二導電層有鄰近於第一導電構件 412 及第一可程式電阻式隨機存取記憶體構件 410 沈積之介電側壁子。如第 3 圖所示，第一導電層 312 及第一可程式電阻式隨機存取記憶體層 310 被蝕刻至第二導電層 322 的頂面，以形成第一導電構件 412 及第一可程式電阻式隨機存取記憶體構件 410。用於第一導電層 312 及第一可程式電阻式隨機存取記憶體層 310 之蝕刻程序可以是單一非等相性蝕刻，或者以兩階段程序，第一，以第一蝕刻化學物蝕刻第一導電層 312；第二，以第二次蝕刻化學物蝕刻第一可程式電阻式隨機存取

記憶層 310。蝕刻化學物可依據單一材料或複數材料來選擇。舉例來說：假如第一導電構件 412 使用氮化鈦(TiN)以及一電阻式隨機存取記憶體構件 410 材料使用氧化鎢(WO_x)，則兩階段蝕刻程序之第一蝕刻步驟是以氯(Cl_2)完成第一導電層 312，以及第二蝕刻步驟是以氟化硫(SF_6)來蝕刻第一可程式電阻式隨機存取記憶體層 310。第一介電側壁子 430 沉積於第一可程式電阻式隨機存取記憶體構件 410 材料和第一導電構件 412 的左側及右側。第一介電側壁子 430 置於第二導電層 322 的部分頂面上。而適合用於第一介電側壁子 430 的材料包含氧化矽(SiO_x)和氮化矽(SiN_x)，且此處選擇材料具有一預定厚度。第一介電側壁子 430 的厚度會影響第二導電構件 512(如第 5 圖示)以及第二可程式電阻式隨機存取記憶體構件 510(如第 5 圖示)的面積。舉例來說：假如遮罩 330 具有一臨界尺寸大約為 0.15 微米(μm)，而設定之介電側壁子的厚度大約可為 31 奈米(nm)，以使第二可程式電阻式隨機存取記憶體構件 510 的面積大約為第一可程式電阻式隨機存取記憶體構件 410 的二倍大。也就是說，在相同的邏輯狀態(如 SET 或 RESET)，第二可程式電阻式隨機存取記憶體構件 510 的電阻大約為第一可程式電阻式隨機存取記憶體構件 410 的電阻的一半。第一可程式電阻式隨機存取記憶體構件 410 與第二可程式電阻式隨機存取記憶體構件 510 的電阻差值是依據一電阻式隨機存取記憶體材料之 SET/RESET 電阻窗。假設 SET/RESET 窗大約為 10 倍一個數量級(order of

magnitude)，則第一可程式電阻式隨機存取記憶體構件 410 及第二可程式電阻式隨機存取記憶體構件 510 的電阻差值大約兩倍是適當的。

第 5 圖為繪示根據本發明製造雙穩態電阻式隨機存取記憶體下一步驟之結構圖 500，蝕刻穿過第二電阻式隨機存取記憶體層。此第二導電層 322 和第二可程式電阻式隨機存取記憶體層 320(如第 3 圖示)，藉由一反應離子蝕刻機蝕刻至底層的頂面或是蝕刻穿過一底層 610(如第 6 圖所示)來產生第二導電構件 512 和第二可程式電阻式隨機存取記憶體構件 510。此蝕刻程序可對第二導電層 322 及第二可程式電阻式隨機存取記憶體層 320 以一單一非等相性蝕刻或一兩階段程序，第一，第一蝕刻化學物蝕刻第二導電層 322；第二，以第二蝕刻化學物蝕刻第二可程式電阻式隨機存取記憶體層 320。蝕刻化學物可依據材料或材料選擇。舉例來說，假如第二導電構件 512 使用氮化鈦(TiN)以及第二可程式電阻式隨機存取記憶體構件 510 使用鎢氧化物(WO_x)，則兩階段蝕刻程序之以氯(Cl_2)對第二導電層 512 進行第一次蝕刻，以及以氟化硫(SF_6)對第二可程式電阻式隨機存取記憶體構件 510 進行第二次蝕刻。

第 6 圖為繪示根據本發明雙穩態可程式電阻式隨機存取記憶體的電阻式隨機存取記憶體胞結構 600 之簡單示意圖。此胞結構 600 繪示底層 610 已被蝕刻穿過，如上述第 5 圖之描述。雙穩態可程式電阻式隨機存取記憶體 600 包含底層 610 係設置於第二可程式電阻式隨機存取記憶體構

件 510 下。底層 610 的蝕刻程序於中間介電層 630 的頂面即停止。底層 610 則與接觸孔 620 連接，係設置於底層 610 之下以及由中間介電層 630 圍繞。接觸孔 620 的實施例包含鎢栓塞(W-plug)或多晶矽栓塞(poly-Si plug)。而多晶矽栓塞則可由多晶矽兩極體(Poly-Si diode)或 NP 二極體(NP diode)所構成。

第 7 圖為繪示根據本發明具有一電阻式隨機存取記憶層之雙穩態電阻式隨機存取記憶體的電流-電壓曲線之範例 700，其 x 軸為電壓 710 而 y 軸為電流 720。在一重置(RESET)狀態 730，此電阻式隨機存取記憶層為低電阻。在一設定(SET)狀態 740，此電阻式隨機存取記憶層於一高電阻。在此例子中，此電阻式隨機存取記憶層的設定/重置窗大約為一個數量級之讀取電壓 750。此讀取電壓，圖示為一虛線 752，表現展示高電流狀態(高邏輯狀態)以及低電流狀態(低邏輯狀態)之間具有一顯著間隙。從重置狀態 730，在電壓應力之後，重置狀態 730 內的電流升高至高電流。從設定狀態 740，設定狀態內的電流降低。電流停止時的大幅擺盪，由低狀態至高狀態或由高狀態至一低狀態，以電壓控制不同邏輯多重狀態會變得困難。因此，以不同電阻式隨機存取記憶層以串連相互連接，而此處每一電阻式隨機存取記憶體具有各自的面積或自己的電阻，用於雙穩態電阻式隨機存取記憶體實現不同邏輯狀態。

第 8A 圖為繪示根據本發明具有兩個均位於重置(RESET)狀態之電阻式隨機存取記憶體構件之雙穩態可程

式電阻式隨機存取記憶體 600 之簡單示意圖。當第一可程式電阻式隨機存取記憶體構件 410 和第二可程式電阻式隨機存取記憶體構件 510 均於重置狀態，此雙穩態可程式電阻式隨機存取記憶體 600 操作於邏輯狀態”00”。第二可程式電阻式隨機存取記憶體構件 510 具有一電阻 R_{810} 而第一可程式電阻式隨機存取記憶體構件 410 具有一電阻 fR_{820} 。此處變數 f 大於 1，因為第一可程式電阻式隨機存取記憶體構件 410 的面積小於第二可程式電阻式隨機存取記憶體構件 510 之面積。此雙穩態可程式電阻式隨機存取記憶體 600 的總電阻大約為 $(1+f)R$ 。舉例來說，假設變數 f 等於 2，而總電阻可計算為 $3R$ ，數學式表示為 $(1+2R)=3R$ 。

第 8B 圖繪示根據本發明之具有兩個位於設定 (SET) 及重置 (RESET) 狀態電阻式隨機存取構件的雙穩態可程式電阻式隨機存取記憶體 600 之簡單示意圖。當第一可程式電阻式隨機存取記憶體構件 410 於一設定狀態以及第二可程式電阻式隨機存取記憶體構件 510 於一重置狀態，此雙穩態可程式電阻式隨機存取記憶體 600 操作於一邏輯狀態”01”，而此處的第二可程式電阻式隨機存取記憶體構件 510 仍然於處於重置狀態或未充電。第二可程式電阻式隨機存取記憶體構件 510 具有一電阻 R_{810} 以及第一可程式電阻式隨機存取記憶體構件 410 具有一電阻 nfR_{830} ，此處的變數 n 比 1 大。而雙穩態可程式電阻式隨機存取記憶體 600 的總電阻大約為 $(1+nf)R$ 。舉例來說，假如變數 f 等於 2 以及變數 n 等於 10，而總電阻經計算為 $21R$ ，其數

學式表示如 $(10+21)R=31R$ 。

第 8C 圖繪示根據本發明具有兩個位於設定 (SET) 及重置 (RESET) 狀態之電阻式隨機存取記憶體構件的雙穩態可程式電阻式隨機存取記憶體 600 之簡單示意圖。當第一電阻式隨機存取記憶體材料構件 410 於一重置狀態以及第二可程式電阻式隨機存取記憶體構件 510 於一設定狀態，此雙穩態可程式電阻式隨機存取記憶體 600 操作於邏輯狀態 "10"，而此處第一可程式電阻式隨機存取記憶體構件 410 仍於重置狀態或充電。第二可程式電阻式隨機存取記憶體構件 510 具有一電阻 $nR850$ 以及第一可程式電阻式隨機存取記憶體構件 410 具有一電阻 $fR860$ ，此處變數 n 大於 1。此雙穩態可程式電阻式隨機存取記憶體 600 的總電阻大約為 $(n+f)R$ 。舉例來說，假設變數 f 等於 2 且變數 n 等於 10，總電阻可計算為 $12R$ ，其數學式表示為 $(10+2)R=12R$ 。

第 8D 圖繪示根據本發明之具有兩個位於設定 (SET) 狀態之電阻式隨機存取記憶體構件的雙穩態可程式電阻式隨機存取記憶體 600 之簡單示意圖。當第一可程式電阻式隨機存取記憶體構件 410 於一設定狀態以及第二可程式電阻式隨機存取記憶體構件 510 於一設定狀態，則此雙穩態可程式電阻式隨機存取記憶體 600 操作於一邏輯狀態 "11"。第二可程式電阻式隨機存取記憶體構件 510 具有一電阻 $nR870$ 以及第一電阻式隨機存取記憶體 410 具有一電阻 $nfR880$ 。此雙穩態可程式電阻式隨機存取記憶體

600 的總電阻大約為 $n(1+f)R$ 。舉例來說，假設變數 f 等於 2 以及變數 n 等於 10，總電阻可以計算為 $30R$ ，而數學式表示為 $10(1+2)R=30R$ 。

第 9 圖繪示根據本發明以串聯方式連接之兩個電阻式隨機存取記憶體構件以提供四種邏輯狀態的雙穩態可程式電阻式隨機存取記憶體 600 之四種邏輯狀態之數學關係，且每記憶胞儲存兩位元。三個變數 R 、 n 以及 f 使用電阻關係的方程式，此處變數 R 表示一記憶體構件的重置電阻、變數 n 與電阻式隨機存取記憶體材料的特性有關，且變數 f 與介電側壁子的厚度有關。換句話說，變數 n 隨材料特性相關而定。變數 f 可以藉由介電側壁子厚度來控制。在邏輯狀態「0」910，雙穩態可程式電阻式隨機存取記憶體 600 的總電阻大約為 $(1+f)R$ 。在邏輯狀態「1」920，雙穩態可程式電阻式隨機存取記憶體 600 的總電阻大約為 $(n+f)R$ 。在邏輯狀態「2」930，雙穩態可程式電阻式隨機存取記憶體 600 的總電阻大約為 $(1+nf)R$ 。在邏輯狀態「3」940，雙穩態可程式電阻式隨機存取記憶體 600 的總電阻大約為 $n(1+f)R$ 。調整變數 f 來符合電阻變換，以便有充足之操作窗在雙穩態可程式電阻式隨機存取記憶體 600 中進行二位元操作。舉例來說，上述二位元操作窗在以下列之電阻表示： $3R$ 、 $12R$ 、 $21R$ 至 $30R$ 。假如變數 $n=100$ ，以及變數 $f=2$ ，而二位元操作窗將被計算為 $3R$ 、 $102R$ 、 $201R$ 及 $300R$ 。

第 10 圖繪示根據本發明以串聯方式連接多重電阻式

隨機存取記憶體構件以使每一記憶體單元提供多重位元之雙穩態電阻式隨機存取記憶體 1000 的示意圖。多重電阻隨機存取記憶體構件以串聯連接每一記憶胞以提供多重位元。雙穩態電阻式隨機存取記憶體 1000 包含以串連接的多重電阻式隨機存取記憶層，換言之即為一第一可程式電阻式隨機存取記憶層 310 與第二可程式電阻式隨機存取記憶層 320 串聯，第二可程式電阻式隨機存取記憶層 320 與第三可程式電阻式隨機存取記憶層 1010 串聯，...，第 $(n-1)^{\text{th}}$ 可程式電阻式隨機記憶層 1020 與第 n^{th} 可程式電阻式隨機存取記憶層 1030 串聯。於實施例中，每個第一、第二、第三... $(n-1)^{\text{th}}$ 、 n^{th} 可程式電阻式隨機存取記憶層 310、320、1010、1020、1030 分別提供儲存兩邏輯狀態的能力。在另一實施例中，每個第一、第二、第三... $(n-1)^{\text{th}}$ 、 n^{th} 可程式電阻式隨機存取記憶層 310、320、1010、1020、1030 分別提供儲存大於兩位元的資訊的能力。在其他的實施例中，每個第一、第二、第三... $(n-1)^{\text{th}}$ 、 n^{th} 可程式電阻式隨機存取記憶層 310、320、1010、1020、1030 分別提供儲存兩個或多於兩位元的資訊能力，其中每位元具有儲存多重的資訊的能力。雙穩態電阻式隨機存取記憶體 1000 的總邏輯狀態數量藉由各電阻式隨機存取記憶層的 x 數目以及每位元的層數 y 來決定，以數學式 $Z^{x \cdot y}$ 表示，符號 Z 表示總電阻式隨機存取記憶層的總數量。舉例來說，假如雙穩態電阻式隨機存取記憶體 1000 具有八個電阻式隨機存取記憶層，此處每電阻式存取記憶層可儲存 1 元位的資

訊以及每一位元儲存兩邏輯狀態或電流位準，而邏輯狀態的總數目可計算為 8^{1*2} 或 64 種邏輯狀態。

每個第一、第二、第三... $(n-1)^{th}$ 、 n^{th} 可程式電阻式隨機存取記憶層 310、320、1010、1020、1030 材料分別可為相同或相異，或是某一些電阻式隨機存取記憶層使用相同的材料，部分結合其他電阻式隨機存取記憶層使用另一材料。此外，第一、第二、第三... $(n-1)^{th}$ 、 n^{th} 可程式電阻式隨機存取記憶層 310、320、1010、1020、1030 厚度可彼此相同或相異，或者某一些電阻式隨機存取記憶體使用相同的厚度，部分其他電阻式隨機存取記憶層的使用不同的厚度。第一、第二、第三... $(n-1)^{th}$ 、 n^{th} 可程式電阻式隨機存取記憶層 310、320、1010、1020、1030 的厚度範圍例如大約從 1 奈米(nm)至 200 奈米(nm)之間。

每一電阻式隨機存取記憶層均會與一導電層相連。除上述描述的第一及第二導電層 312、322，第三導電層 1012 設置於第三電阻式隨機存取記憶層 1010 上。第 $(n-1)^{th}$ 導電層 1022 設置於第 $(n-1)^{th}$ 電阻式隨機存取記憶層上。第 n^{th} 導電層 1032 設置於第 n^{th} 可程式電阻式隨機存取記憶層 1030 上。

第 11 圖繪示根據本發明具有蝕刻程序於第一及第二可程式電阻式隨機存取記憶體構件 410、510 以及沈積第一、第二介電側壁子 430、1110 的雙穩態電阻式隨機存取記憶體 1000 之示意圖。蝕刻程序可以更進一步的執行於第一及第二可程式電阻式隨機存取記憶體構件 410、510

以及後續的電阻式隨機存取記憶層，如第三電阻式隨機存取記憶層 1010。在此例子中，第三導電層 1012 在第三電阻式隨機存取記憶層 1010 同時被蝕刻。相同的介電側壁子也設置於後續的的導電層及電阻式隨機存取記憶層上。於實施例中，第二可程式電阻式隨機存取記憶體構件 510 的面積主要是藉由第一介電側壁子 430 來決定的。相同地，第三電阻式隨機存取記憶體構件 1010 的面積主要也是藉由第二介電側壁子 1110 來決定的。因此，每一電阻式隨機存取記憶層具有其各別的面積，且主要是由介電側壁子的厚度所定義的，如此，電阻式隨機存取記憶層具有其各自的電阻。

第 12 圖繪示根據本發明去除介電側壁子後具有多重電阻式隨機存取記憶體構件及多重導電構件的雙穩態電阻式隨機存取記憶體 1200 之示意圖。雙穩態電阻式隨機存取記憶體 1200 包含第一導電構件 412 設置於第一可程式電阻式隨機存取記憶體構件 410 上、第一可程式電阻式隨機存取記憶體構件 410 設置於第二導電構件 512 上、第二導電構件 512 設置於第二可程式電阻式隨機存取記憶體構件 510 上、第二可程式電阻式隨機存取記憶體構件 510 設置於第三導電構件 1220 上、第三導電構件 1220 設置於第三可程式電阻式隨機存取記憶體構件 1210...，以及第 n^{th} 導電構件 1040 設置於第 n^{th} 可程式電阻式隨機存取記憶體層 1030 上。於實施例中，第一導電構件 412 與第一可程式電阻式隨機存取記憶體構件 410 具有相同的寬度，且

小於第二導電構件 512 及第二可程式電阻式隨機存取記憶體構件 510 的寬度。第二導電構件 512 與第二可程式電阻式隨機存取記憶體構件 510 具有相同的寬度，且小於第三導電構件 1220 及第三可程式電阻式隨機存取記憶體構件 1210 的寬度。第 n^{th} 導電構件 1040 及第 n^{th} 可程式電阻式隨機存取記憶體層 1030 的寬度會較前一個電阻式隨機存取記憶體構件及導電構件的寬度為寬。

如第 12 及第 13 圖所示，位元線電壓施加於雙穩態可程式電阻式隨機存取記憶體 600 使其達到不同的邏輯狀態。如第 5 圖的結構 500 可以第 13 圖以相同電路圖示意。在此實施例中，描述兩可程式電阻式隨機存取記憶體層，以及額外附加記憶層及相對應的位元線電壓。此電路 1300 之第一電阻器 R_1 1310 表示第一可程式電阻式隨機存取記憶體構件 410 的電阻，以及第二電阻器 R_2 1312 表示第二可程式電阻式隨機存取記憶體構件 510 的電阻，而與具有第一位元線電壓 V_{b1} 1320 的第一位元線 BL_1 1340 與具有第二位元線電壓 V_{b2} 1330 的第二位元線 BL_2 1342 相連。第一位元線電壓 V_{b1} 1320 與連接於第一導電層構件 412 的頂面以及第二位元線電壓 V_{b2} 1330 與第二可程式電阻式隨機存取記憶體構件 510 的底面相連。在此實施例中，雙穩態電阻式隨機存取記憶體 500 包含兩可程式電阻式隨機存取記憶體層，其具有兩個分別與第一可程式電阻式隨機存取記憶體構件 410 和第二可程式電阻式隨機存取記憶體構件 510 相連的電壓，其中第一電壓至第一可程式電阻式隨機存取記憶

體構件 410，以符號 $V_{1RRAM1312}$ 表示而第二電壓至第二電阻式隨機存取構件 510，以符號 $V_{2RRAM1314}$ 表示。此第一可程式電阻式隨機存取電壓 $V_{1RRAM1313}$ 具有一第一端與第一導電構件 412 相連，以及一第二端與第一可程式電阻式隨機存取記憶體構件 410 相連。第二可程式電阻式隨機存取記憶體電壓 $V_{2RRAM1314}$ 具有一第一端一般與第一可程式電阻式隨機存取記憶體構件 410 及第一可程式電阻式隨機存取電壓 $V_{1RRAM1313}$ 相連，以及以一第二端與第二可程式電阻式隨機存取記憶體構件 510 相連。另外的可程式電阻式隨機存取記憶體電壓，如 $V_{3RRAM1316}$ 與第三可程式電阻式隨機存取記憶體 1210 相連，且可施加於於後續的可程式電阻式隨機存取記憶體構件。

當雙穩態電阻式隨機存取記憶體 500 為重置狀態時，也就是重置狀態，此雙穩態可程式電阻式隨機存取記憶體 600 由邏輯狀態「0」（或狀態「00」）設定。此雙穩態可程式電阻式隨機存取記憶體 600 可從邏輯狀態「0」程式化至邏輯狀態「1」（或狀態「01」）、或是從邏輯狀態「0」至邏輯狀態「2」（或狀態「10」）、或是從邏輯狀態「0」至邏輯狀態「3」（或狀態「11」）。

在可程式雙穩態電阻式隨機存取記憶體 500 從邏輯狀態「00」至邏輯狀態「10」過程中，第一電壓施加於第一位元線達到第一位元線電壓 V_{b11320} 以及一第二電壓施加於第二位元線達當第二位元線電壓 V_{b21330} 。施加達到第一位元線電壓 V_{b11320} 的電壓可為 0 電壓或者是小的負電

壓。施加於第一元位線 V_{b1} 1320 及第二元位線電壓 V_{b2} 1330 間的電壓差值與第一電阻式隨機存取記憶體電壓 V_{1RRAM} 1313 及第二電阻式隨機存取記憶體電壓 V_{2RRAM} 1314 的總合相等，若以數學表示即為： $V_{b2}-V_{b1}=V_{2RRAM}+V_{1RRAM}=V_{low}$ 。第一可程式電阻式隨機存取記憶體構件 410 和第二可程式電阻式隨機存取記憶體構件 510 兩者的初始狀態為重置狀態，也就是一低電阻的狀態。在此實施例中，第一可程式電阻式隨機存取記憶體構件 410 的面積較第二可程式電阻式隨機存取記憶體構件 510 的面積小。因此，第一可程式電阻式隨機存取記憶體構件 410 的電阻較第二可程式電阻式隨機存取記憶體構件 510 的電阻高。這意義即為第一電阻式隨機存取記憶體電壓 V_{1RRAM} 1313 的值較第二電阻式隨機存取記憶體電壓 V_{2RRAM} 1314 大，若以數學關係式表示即為 $V_{1RRAM}>V_{2RRAM}$ 。假設第一電阻式隨機存取記憶體電壓 V_{1RRAM} 1313 比一重置電壓大 ($V_{1RRAM}>V_{SET}$)，則第一可程式電阻式隨機存取記憶體構件 410 由一重置狀態改變為一設定狀態 (也就是高電阻)。假如第二電阻式隨機存取記憶體電壓 V_{2RRAM} 1314 小於設定電壓 ($V_{2RRAM}<V_{SET}$)，則第二可程式電阻式隨機存取記憶體構件 510 保持於重置狀態下。此第一可程式電阻式隨機存取記憶體構件 410 的電阻具有 $(1+f)R$ 的電阻值從邏輯狀態「0」(或狀態「00」) 改變至具有電阻 $(1+nf)R$ 的邏輯狀態「2」(或狀態「10」)。舉例來說，假如變數 $f=2$ ，變數 $n=10$ ，及第二可程式電阻式隨機存取記憶體構件 510 的重置電阻等於 R ，而總電阻就會從 $3R$ 改變

至 $21R$ 。

在雙穩態可程式電阻式隨機存取記憶體 600 從邏輯狀態「0」(或狀態「00」)程式化至邏輯狀態「3」(或狀態「11」)的過程中，第一電壓施加於第一位元線達到第一位元線電壓 $V_{b1}1320$ ，而第二電壓施加於第二位元線達當第二位元線電壓 $V_{b2}1330$ 。施加達到第一位元線電壓 $V_{b1}1320$ 的電壓可以為零電壓或是小的負電壓。第一可程式電阻式隨機存取記憶體構件 410 和第二可程式電阻式隨機存取記憶體構件 510 的初始狀態為一重置狀態，也就是一低電阻狀態。介於第一位元線電壓 $V_{b1}1320$ 和第二位元線電壓 $V_{b2}1330$ 的電壓差值夠高 (V_{high})，足以使第一電阻式隨機存取構件電壓 $V_{1RRAM}1313$ 及第二電阻式隨機存取記憶體電壓 $V_{2RRAM}1314$ 均較第一可程式電阻式隨機存取記憶體構件 410 及第二可程式電阻式隨機存取記憶體構件 510 的 V_{SET} 高。第一可程式電阻式隨機存取記憶體構件 410 及第二可程式電阻式隨機存取記憶體構件 510 的電阻狀態從重置狀態改變至設定狀態。第一及第二可程式電阻式隨機存取記憶體構件 410、510 的電阻從電阻值 $(1+f)R$ 的邏輯狀態「0」(狀態「00」)變化至電阻值 $n(1+f)R$ 的邏輯狀態「3」(狀態「11」)。舉例來說，假如變數 $f=2$ ，變數 $n=10$ 及第二可程式電阻式隨機存取記憶體構件 510 的重置電阻等於 R ，則總電阻會從 $3R$ 改變至 $30R$ 。

在雙穩態可程式電阻式隨機存取記憶體 600 從邏輯狀態「0」(或狀態「00」)程式化至邏輯狀態「1」(或狀

態「01」)的過程中，此雙穩態可程式電阻式隨機存取記憶體 600 首先依序從邏輯狀態「0」(或狀態「00」)改變至邏輯狀態「3」(或狀態「11」)，且第一及第二可程式電阻式隨機存取記憶體構件 410、510 也從重置狀態改變為設定狀態。提供給第二位元線電壓 $V_{b2}1330$ 的電壓可以為零電壓或一小負電壓，以數學式表示為： $V_{b2}-V_{b1}=-V_{low}<0$ 。第一位元線電壓 $V_{b1}1320$ 提供一正電壓。在設定狀態，第一可程式電阻式隨機存取記憶體構件的面積較第二可程式電阻式隨機存取記憶體構件 510 的面積小，以便第一可程式電阻式隨機存取記憶體構件 410 具有較第二可程式電阻式隨機存取記憶體構件 510 高的電阻。這代表發生一高電壓洩降通過第一可程式電阻式隨機存取記憶體構件 410，以數學式表示為 $|V_{1RRAM}|>|V_{2RRAM}|$ 。假如第一電阻式隨機存取記憶體電壓 $V_{1RRAM}1313$ 的絕對值大於重置電壓 ($|V_{1RRAM}|>V_{RESET}$)，則第一可程式電阻式隨機存取記憶體構件 410 改變至重置狀態(低電阻)。假如第二電阻式隨機存取記憶體電壓 $V_{2RRAM}1314$ 之絕對值少於重置電壓 ($|V_{2RRAM}|<V_{RESET}$)，此第二可程式電阻式隨機存取記憶體構件 510 仍維持於設定狀態。在第一和第二可程式電阻式隨機存取記憶體構件 410、510 的電阻從電阻值 $n(1+f)R$ 的邏輯狀態「3」(或狀態「11」)改變至電阻值 $(n+f)R$ 的邏輯狀態「1」(或狀態「01」)。舉例來說，假如變數 $f=2$ ，變數 $n=10$ 以及第二可程式電阻式隨機存取記憶體構件 510 的重置電阻等於 R ，當從邏輯狀態「0」變至「3」時，總

電阻從 $3R$ 變至 $30R$ ，當邏輯狀態從“3”變至“1”時，總電阻從 $30R$ 變至 $12R$ 。

兩電阻 R_1 1310 和 R_2 1312 串連於兩位元線 BL_1 1340 和 BL_2 1342 之間。供給於位元線之電壓分別表示為 V_{b1} 1320 和 V_{b2} 1342，以及跨越兩電阻之電壓洩降分別為 V_{1RRAM} 1313 和 V_{2RRAM} 1314，兩位元線間的電壓洩降為 $V_{b2} - V_{b1}$ 相等於 $V_{1RRAM} + V_{2RRAM}$ 。如第 5 圖、第 6 圖、第 8A~8B 圖、及第 12 圖圖示所繪，第一可程式電阻式隨機存取記憶體構件 410 的面積較第二可程式電阻式隨機存取記憶體構件 510 的面積小，因此電阻 R_1 大於 R_2 。

結合電阻式隨機存取記憶體的狀態，及其造成的胞值 (cell value) 如第 1 表所示。此胞值對應於相對之整體電阻值。

第 1 表狀態/值

R_1	R_2	胞值
重置	重置	0(“00”)
重置	設定	1(“01”)
設定	重置	2(“10”)
設定	設定	3(“11”)

值得注意的是第 1 表之實施例係依循一小尾序 (small-endian) 之結構表示。也就是說，最後一個元件係為最小有效數元 (least significant digit, LSD) 及最大

有效數元 (most significant digit, MSD)。其他實施例係依循大尾序 (big-endian) 模式，亦即數元係被保存，且開始之程序係為同樣之程序，但兩個記憶單元係為顛倒。

如第 8A 至 8D 圖描述呈現各記憶胞狀態的數學式推導之關係。第 8A 圖繪示具有第一記憶體元件 M_1 之記憶胞包含第一可程式電阻式隨機存取記憶體構件 410 以及第一導電構件 420。以及第二記憶體元件 M_2 ，包含第二可程式電阻式隨機存取記憶體構 510 和第二導電構件 520。此處，兩構件於一重置狀態均具有低電阻。假如 R 可以被當作較大第二可程式電阻式隨機存取記憶體構 510 的電阻，然後其他的第二可程式電阻式隨機存取記憶體構件 410 的電阻值與第二可程式電阻式隨機存取記憶體構 510 之一定值 f 相關。此實施例表示，此第一可程式電阻式隨機存取讀取記憶體構件 410 的電阻較第二可程式電阻式隨機存取記憶體構 510 的電阻高，因此常數 f 已知大於 1，但其他實施例於語義上係為與上述顛倒之描述。

如圖示，此實施例的第 8A 至第 8D 圖表現出的電阻的差值係由於兩電阻式隨機存取記憶體構件不同的尺寸。較小的電阻式隨機存取記憶體構件具有一較高的電阻值。在另一實施例中 (未繪示)，藉由兩元件使用不同的材料以取得相同的操作電阻差值。在此兩實施例結構上的差距，並不會影響彼此之間關係的表示，然而其差值仍可由常數 f 獲得。在此實施例中，兩電阻式隨機存取記憶體構件大約為相同的厚度 (以下提出詳細說明)，但是其寬度不同因而產生電阻差異。

此兩電阻式隨機存取記憶體構件以串聯排列，以及因此記憶胞的電阻可全部以 $R+fR$ 、或 $(1+f)R$ 來表示。轉換較低次序元件 M_2 至設定狀態，其具有一相對高電阻位準，如第 8B 圖所示。電阻位準與常數 n 成比例升高。不同的材料存在不同的常數，依據特定化合物的特性或准予挑選，但是一給定材料其重置及設定狀態之間的關係可藉由一關係式 $R \rightarrow nR$ 如第 8B 圖所示。如此，於第 8B 圖所繪示的狀態可以藉由數學式 $fR+nR$ 或 $(n+f)R$ 描述。

相似的，第 8C 圖繪示轉換電阻式隨機存取記憶體元件 M_2 至設定狀態的結果，保留 M_1 於重置狀態。在此實施例中，以相同材料形成兩構件，此常數 n 可描述介於設定與重置之間的差值，且允許以 nfR 來描述電阻值。推導出完整的數學式 $(1+nf)R$ 來描述記憶胞的電阻值。最後，於第 8D 圖繪示轉換 RRAM 構件 M_1 、 M_2 至一設定狀態，產生過渡 $R \rightarrow nR$ (for M_2) 以及 $fR \rightarrow nfR$ (for M_1) 的過渡狀態。此狀態可表示為 $nR+nfR$ 或 $n(1+f)R$ 。

四個胞值語意上的關係可以第 2 表做一整理如下。

第 2 表 胞值關係

關係	胞值
$(1+f)R$	0(“00”)
$(n+f)R$	1(“01”)
$(1+nf)R$	2(“10”)
$n(1+f)R$	3(“11”)

一感應操作窗的例子可以藉由設定參數值 n 、 f 及 R 實現。假如 $R=10^4\Omega$ 、 $n=10$ 及 $f=2$ ，四狀態的電阻值可表示為 $3\times 10^4\Omega$ 、 $1.2\times 10^5\Omega$ 、 $2.1\times 10^5\Omega$ 及 $3\times 10^5\Omega$ 。一偵測電壓(讀取電壓)為 120mV ，此四狀態的感應電流分別為 $4\mu\text{A}$ 、 $1\mu\text{A}$ 、 $0.6\mu\text{A}$ 及 $0.4\mu\text{A}$ 。用以多重位準操作的區別電壓可設定為 $2.5\mu\text{A}$ 、 $0.8\mu\text{A}$ 及 $0.5\mu\text{A}$ 。對於高於 $2.5\mu\text{A}$ 的感應電流，一最低電阻狀態可被定義為狀態「0」(或狀態「00」)。對於少於 $0.5\mu\text{A}$ 的感應電流，一最高電阻狀態可被定義為狀態「3」(或狀態「11」)。對於高於 $0.8\mu\text{A}$ 但少於 $2.5\mu\text{A}$ 的感應電流，一低電阻狀態可被定義為狀態「1」(或狀態「01」)。對於偵測高於 $0.5\mu\text{A}$ 但小於 $0.8\mu\text{A}$ 的感應電流，一高電阻狀態可被定義為狀態「2」(或狀態「10」)。感應電流的變化係依據製造程序的變化以及材料本質的變化。舉例來說，介電側壁子的厚度(或寬度)的變化決定第二可程式電阻式隨機存取記憶體構件的面積，其厚度及面積決定第二可程式電阻式隨機存取記憶體構件的電阻。因此，一高品質的多重位元電阻式隨機存取記憶體的操作需要一寬廣操作窗。一較高的常數 n 以及較高的係數 f 可以提供一寬廣操作窗，因此來避免產品發生狀態確認錯誤。

藉由跨越位元線 BL_1 和 BL_2 施加電壓於以設定記憶體於期望值。四電壓的總值足以完成所有如第 1 表所示之可能值。在此技藝領域中之技術人員可了解存在一些可用之實際電壓。在一實施例中，使用兩正電壓(此處的正是在

VB₁ 以及 VB₂ 測量)及兩負電壓，此結果電壓標記為 V_{high}、V_{low}、-V_{high} 及 -V_{low}。施加電壓的絕對值取決於記憶體構件的特性，包括材料及尺寸。在此實施例中表示，一高電壓值為 3.3 伏特(volts)及一低電壓值為 1.5 伏特(volts)被驗證為有效的。

第一個程序為一般的重置，也就是驅動電阻式隨機存取記憶體構件至重置狀態，來產生 0 胞值。此程序如下方第 3 表所示。

第 3 表 整體重置過渡過程

$$((V_{b2}-V_{b1})=-V_{high})$$

	元件狀態	胞值	動作	元件狀態	胞值
M ₁	1	3	$ V_1 > V_{RESET}$	0	0
M ₂	1		$ V_2 > V_{RESET}$	0	

如所示，適當的過渡區電壓為 -V_{high}，如電壓洩降的每一絕對值 V_{1RRAM} 和 V_{2RRAM} 均超過重置值。隨著兩電阻式隨機存取記憶體構件於重置狀態，記憶胞的整體的值則為 0。

重置狀態是進一步的操作的起始點。因為不可預知的結果可能發生於中間狀態的過渡，較佳地在任何相變化操作中可以降低單位至重置狀態做為第一步。

其相反的狀態，一胞值為 3，如下方第 4 表中所示。

第 4 表 0-3 的過渡

$$(V_{b2}-V_{b1})=V_{high}$$

	元件狀態	胞值	動作	元件狀態	胞值
M ₁	0	0	$V_1 < V_{SET}$	1	3
M ₂	0		$V_2 > V_{SET}$	1	

施加一 V_{high} 高壓，足以產生超過兩構件之 V_{SET} 的電壓洩降。隨著兩構件於設定狀態，此胞值為二進位的 11 或 3。

要產生一胞值 2，其程序如下方第 5 表所示。

第 5 表 0-2 的過渡

$$(V_{b2}-V_{b1})=V_{low}$$

	元件狀態	胞值	動作	元件狀態	胞值
M ₁	0	0	$V_1 > V_{SET}$	1	2
M ₂	0		$V_2 < V_{SET}$	0	

此設定中，此電壓洩降 V_1 大於產生一設定狀態的需求，所以 R_1 為設定狀態，但此電壓洩降 V_2 小於設定需求。此結果使 R_1 位於一設定狀態，且 R_2 於重置狀態，而造成一胞值為二位元 01 或 2。

產生一胞值 1 的方式第 6 表所示。到達 1 值較其他過渡轉換更加的困難，可明顯的觀察到假如兩構件從重置狀態開始，在 V_2 施加一足以產生設定狀態之電壓也必然會在 V_1 設定，而造成之值為 3 而非 1。而此解決方法為首先讓記憶胞全部為設定狀態，如前第 3 表所示。然後，從一胞

值 3 設定，施加 $-V_{low}$ 電壓足夠於 R_1 而非 R 產生重置狀態²，而產生二位元的胞值 01 或 1。

第 6 表 3-1 的過渡

$$(V_{b2}-V_{b1})=-V_{low}$$

	元件狀態	胞值	動作	元件狀態	胞值
M_1	1	3	$ V_1 > V_{RESET}$	0	1
M_2	1		$ V_2 > V_{RESET}$	1	

第 14 圖繪示根據本發明說明雙穩態可程式電阻式隨機存取記憶體 600 從邏輯狀態「00」至其他三個邏輯狀態，邏輯狀態「01」、邏輯狀態「10」以及邏輯狀態「11」之流程圖 1400。在步驟 1410，雙穩態可程式電阻式隨機存取記憶體 600 可程式從邏輯狀態「00」至三邏輯狀態、邏輯狀態「01」、邏輯狀態「10」及邏輯狀態「11」。在步驟 1410 中，雙穩態可程式電阻式隨機存取記憶體 600 於邏輯狀態「00」。假如，雙穩態可程式電阻式隨機存取記憶體 600 從邏輯狀態「00」程式化至邏輯狀態「01」，在步驟 1420 中此雙穩態可程式電阻式隨機存取記憶體 600 首先從邏輯狀態「00」程式化至邏輯狀態「11」，以及其次在步驟 1430 中從邏輯狀態「11」程式化至邏輯狀態「01」。在步驟 1420 中此雙穩態可程式電阻式隨機存取記憶體 600 由邏輯狀態「00」程式化至邏輯狀態「11」，其第一位元線電壓 V_{b1} 1320 及第二位元線電壓 V_{b2} 1330 間之差值電壓相等於一高電壓 V_{high} ，以數學式表示為 $V_{b1}-V_{b2}=V_{high}$ ，此第二

電阻式隨機存取記憶體電壓 $V_{2RRAM1314}$ 大於 V_{SET} 電壓，且第一電阻式隨機存取記憶體電壓 $V_{1RRAM1313}$ 大於 V_{SET} 電壓。於步驟 1430 中雙穩態可程式電阻式隨機存取記憶體 600 從邏輯狀態「11」程式化至邏輯狀態「01」，其第一元位線電壓 V_{b11320} 和第二元位線電壓 V_{b21330} 間的電壓差值相等於一負低電壓 $-V_{low}$ ，以數學式表示為 $V_{b2}-V_{b1}=-V_{low}$ ，其第二電阻式隨機存取記憶體電壓 $V_{2RRAM1314}$ 的絕對值小於 V_{RESET} 電壓的絕對值，以及第一電阻式隨機存取記憶體電壓 $V_{1RRAM1313}$ 大於 V_{RESET} 電壓的絕對值。

於步驟 1440 中雙穩態可程式電阻式隨機存取記憶體 600 由邏輯狀態「00」程式化至邏輯狀態「10」，在第一元位線電壓 V_{b11320} 和第二元位線電壓 V_{b21330} 間的電壓差值等於一低電壓 V_{low} ，而以數學式表示為 $V_{b2}-V_{b1}=V_{low}$ ，第二電阻式隨機存取記憶體電壓 $V_{2RRAM1314}$ 小於 V_{SET} 電壓，且第一電阻式隨機存取記憶體電壓 $V_{1RRAM1313}$ 大於 V_{SET} 電壓。於步驟 1450 中雙穩態可程式電阻式隨機存取記憶體 600 由邏輯狀態「00」程式化至邏輯狀態「11」，其第一元位線電壓 V_{b11320} 和第二元位線電壓 V_{b21330} 間的電壓差值等於高電壓 V_{high} ，由數學式表示為 $V_{b1}-V_{b2}=V_{high}$ ，此第二電阻式隨機存取記憶體電壓 $V_{2RRAM1314}$ 大於 V_{SET} 電壓，且第一電阻式隨機存取記憶體電壓 $V_{1RRAM1313}$ 大於 V_{SET} 電壓。

第 15 圖繪示根據本發明說明雙穩態可程式電阻式隨機存取記憶體 600 從邏輯狀態「01」至其他三個邏輯狀態，邏輯狀態「00」、邏輯狀態「10」以及邏輯狀態「11」之

流程圖 1500。於步驟 1510，雙穩態可程式電阻式隨機存取記憶體 600 位於邏輯狀態「01」。於步驟 1520，雙穩態電阻式隨機存取記憶體 600 由邏輯狀態「01」程式化至邏輯狀態「00」，第一位元線電壓 $V_{b1}1320$ 和第二位元線電壓 $V_{b2}1330$ 間的電壓差值相等於一負高電壓 $-V_{high}$ ，由數學式表示為 $V_{b1}-V_{b2}=-V_{high}$ ，且第二電阻式隨機存取記憶體電壓 $V_{2RRAM}1314$ 的絕對值大於 V_{RESET} 電壓，以及第一電阻式隨機存取記憶體電壓 $V_{1RRAM}1313$ 的絕對值大於 V_{RESET} 電壓。

● 假如雙穩態可程式電阻式隨機存取記憶體 600 從邏輯狀態「01」程式化至邏輯狀態「10」，此雙穩態可程式電阻式隨機存取記憶體 600 於步驟 1530 中首先由邏輯狀態「01」程式化至邏輯狀態「00」，其次於步驟 1540 中由邏輯狀態「00」程式化至邏輯狀態「10」。於步驟 1530 中雙穩態可程式電阻式隨機存取記憶體 600 由邏輯狀態「01」程式化至邏輯狀態「00」，其第一位元線電壓 $V_{b1}1320$ 及第二位元線電壓 $V_{b2}1330$ 間的電壓差值相等於一負高電壓 $-V_{high}$ ，以數學式表示為 $V_{b1}-V_{b2}=-V_{high}$ ，其第二電阻式隨機存取記憶體電壓 $V_{2RRAM}1314$ 的絕對值大於 V_{RESET} 電壓，且第一電阻式隨機存取記憶體 $V_{1RRAM}1313$ 的絕對值大於 V_{RESET} 電壓。於步驟 1540 中雙穩態可程式電阻式隨機存取記憶體 600 由邏輯狀態「00」程式化至邏輯狀態「10」，其第一位元線電壓 $V_{b1}1320$ 及第二位元線電壓 $V_{b2}1330$ 間的電壓差值相等於一低電壓 V_{low} ，以數學式表示為 $V_{b1}-V_{b2}=V_{low}$ ，第二電阻式隨機存取記憶體電壓 $V_{2RRAM}1314$ 大於 V_{RESET} 電壓，且第

一電阻式隨機存取記憶體電壓 $V_{IRRAM1313}$ 小於 V_{RESET} 電壓。

於步驟 1550 中，雙穩態可程式電阻式隨機存取記憶體 600 從邏輯狀態「01」程式化至邏輯狀態「11」，其第一位元線電壓 V_{b11320} 及第二位元線電壓 V_{b21330} 間的電壓差值相等於一高電壓 V_{high} ，以數學式表示為 $V_{b1}-V_{b2}=V_{high}$ ，第二電阻式隨機存取記憶體電壓 $V_{2RRAM1314}$ 大於 V_{SET} 電壓，且第一電阻式隨機存取記憶體電壓 $V_{IRRAM1313}$ 大於 V_{SET} 電壓。

第 16 圖繪示根據本發明說明雙穩態可程式電阻式隨機存取記憶體 600 從邏輯狀態「10」程式化至其他三個邏輯狀態，邏輯狀態「00」、邏輯狀態「01」以及邏輯狀態「11」之流程圖 1600。於步驟 1610，雙穩態可程式電阻式隨機存取記憶體 600 於邏輯狀態「10」。於步驟 1620 中雙穩態可程式電阻式隨機存取記憶體 600 由邏輯狀態「10」程式化至邏輯狀態「00」，其第一位元線電壓 V_{b11320} 及第二位元線電壓 V_{b21330} 間的電壓差值相等於一負高電壓 $-V_{high}$ ，以數學式表示為 $V_{b1}-V_{b2}=-V_{high}$ ，其第二電阻式隨機存取記憶體電壓 $V_{2RRAM1314}$ 的絕對值大於 V_{RESET} 電壓，及第一電阻式隨機存取記憶體電壓 $V_{IRRAM1313}$ 的絕對值大於 V_{RESET} 電壓。

假如雙穩態可程式電阻式隨機存取記憶體 600 由邏輯狀態「10」程式化至邏輯狀態「01」，於步驟 1630 中此雙穩態可程式電阻式隨機存取記憶體 600 首先由邏輯狀態「10」程式化至邏輯狀態「11」，其次於步驟 1640 中由邏

輯狀態”11”程式化至邏輯狀態「01」。在步驟1630中雙穩態可程式電阻式隨機存取記憶體600從邏輯狀態「10」程式化至邏輯狀態「11」，其第一位元線電壓 V_{b1} 1320及第二位元線電壓 V_{b2} 1330間的電壓差值相等於高電壓 V_{high} ，以數學式表示為 $V_{b1}-V_{b2}=V_{high}$ ，第二電阻式隨機存取記憶體電壓 V_{2RRAM} 1314大於 V_{SET} 電壓，且第一電阻式隨機存取記憶體電壓 V_{1RRAM} 1313大於 V_{SET} 電壓。於步驟1640中，雙穩態可程式電阻式隨機存取記憶體600由邏輯狀態「11」程式化至邏輯狀態「10」，其第一位元線電壓 V_{b1} 1320及第二位元線電壓 V_{b2} 1330的電壓差值相等於負低電壓 $-V_{low}$ ，以數學式表示為 $V_{b1}-V_{b2}=-V_{low}$ ，第二電阻式隨機存取記憶體電壓 V_{2RRAM} 1314的絕對值大於 V_{RESET} 電壓的絕對值，且第一電阻式隨機存取記憶體電壓 V_{1RRAM} 1313的絕對值小於 V_{RESET} 電壓的絕對值。

於步驟1650中，雙穩態可程式電阻式隨機存取記憶體600由邏輯狀態「10」程式化至邏輯狀態「11」，其第一位元線電壓 V_{b1} 1320及第二位元線電壓 V_{b2} 1330的電壓差值相等於高電壓 V_{high} ，以數學式表示為 $V_{b1}-V_{b2}=V_{high}$ ，第二電阻式隨機存取記憶體電壓 V_{2RRAM} 1314大於 V_{SET} 電壓，且第一電阻式隨機存取記憶體電壓 V_{1RRAM} 1312大於 V_{SET} 電壓。

第17圖繪示根據本發明說明雙穩態可程式電阻式隨機存取記憶體600之從邏輯狀態「1」程式化至其他三個邏輯狀態，邏輯狀態「00」、邏輯狀態「01」以及邏輯狀態「10」之流程圖1700。於步驟1710中雙穩態可程式電

阻式隨機存取記憶體 600 由邏輯狀態「11」程式化至邏輯狀態「00」，其介於第一位元線電壓 $V_{b1}1320$ 及第二位元線電壓 $V_{b2}1330$ 的電壓差值相等於負高電壓 $-V_{high}$ ，以數學式表示為 $V_{b1}-V_{b2}=-V_{high}$ ，第二電阻式隨機存取記憶體電壓 $V_{2RRAM}1314$ 的絕對值大於 V_{RESET} 電壓，且第一電阻式隨機存取記憶體電壓 $V_{1RRAM}1313$ 的絕對值大於 V_{RESET} 電壓。

於步驟 1730 中雙穩態可程式電阻式隨機存取記憶體 600 由邏輯狀態「11」程式化至邏輯狀態「01」，其第一位元線電壓 $V_{b1}1320$ 及第二位元線電壓 $V_{b2}1330$ 之間的電壓差值相等於負低電壓 $-V_{low}$ ，以數學式表示為 $V_{b1}-V_{b2}=-V_{low}$ ，第二電阻式隨機存取記憶體電壓 $V_{2RRAM}1314$ 的絕對值大於 V_{RESET} 電壓的絕對值，且第一電阻式隨機存取記憶體電壓 $V_{1RRAM}1313$ 的絕對值小於 V_{RESET} 電壓的絕對值。

假如雙穩態可程式電阻式隨機存取記憶體 600 由邏輯狀態「11」程式化至邏輯狀態「10」，於步驟 1740 雙穩態可程式電阻式隨機存取記憶體 600 首先由邏輯狀態「11」程式化至邏輯狀態「00」，其次於步驟 1750 中由邏輯狀態「00」程式化至邏輯狀態「10」。於步驟 1740 中雙穩態可程式電阻式隨機存取記憶體 600 由邏輯狀態「11」程式化至邏輯狀態「00」，其第一位元線電壓 $V_{b1}1320$ 及第二位元線電壓 $V_{b2}1330$ 之間的電壓差值相等於負高電壓 $-V_{high}$ ，以數學式表示為 $V_{b1}-V_{b2}=-V_{high}$ ，第二電阻式隨機存取記憶體電壓 $V_{2RRAM}1314$ 的絕對值大於 V_{RESET} 電壓，且第一電阻式隨機存取記憶體電壓 $V_{1RRAM}1313$ 的絕對值大於 V_{RESET} 電壓。於

步驟 1750 中，其雙穩態可程式電阻式隨機存取記憶體 600 由邏輯狀態「00」程式化至邏輯狀態「10」，其第一位元線電壓 V_{b1} 1320 及第二位元線電壓 V_{b2} 1330 之間的電壓差值相等於負低電壓 $-V_{low}$ ，以數學式表示為 $V_{b1} - V_{b2} = -V_{low}$ ，第二電阻式隨機存取記憶體電壓 V_{2RRAM} 1314 大於 V_{SET} 電壓，且第一電阻式隨機存取記憶體電壓 V_{1RRAM} 1313 小於 V_{SET} 電壓。

關於相變化隨機存取記憶體裝置的製造、材料組成、使用及操作的其他資訊，請見美國專利案號 No.11/155,067” Thin Film Fuse Phase Chang RAM and Manufacturing Method.”，此專利於 2005 年 6 月 17 號申請並為此應用的受讓人所擁有，包括在在此提出之參考文獻中。

綜上所述，雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明。本發明所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾。因此，本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

第 1 圖繪示根據本發明之雙穩態電阻式隨機存取記憶體陣列之示意圖。

第 2 圖繪示根據本發明一較佳實施例之一電阻式隨機存取記憶體構造的積體電路圖之簡單方塊圖。

第 3 圖繪示根據本發明製造雙穩態電阻式隨機存取記憶體層之兩可程式電阻式隨機存取記憶體層之沈積及微影技術的參考步驟之簡單示意圖。

第 4 圖繪示根據本發明製造雙穩態電阻式隨機存取記憶體之下一步驟的示意圖，蝕刻至第二導電層，第二導電層沈積鄰近於第一導電構件及第一可程式電阻式隨機存取記憶體構件之介電側壁子。

第 5 圖為繪示根據本發明製造雙穩態電阻式隨機存取記憶體之下一步驟的結構圖，蝕刻穿過第二電阻式隨機存取記憶體層。

第 6 圖為繪示根據本發明雙穩態電阻式隨機存取記憶體的電阻式隨機存取記憶體胞結構之簡單示意圖。

第 7 圖為繪示根據本發明具有一電阻式隨機存取記憶體層之雙穩態電阻式隨機存取記憶體的電流-電壓(I-V)曲線之範例。

第 8A 圖為繪示根據本發明具有兩個均位於重置(RESET)狀態之電阻式隨機存取記憶體構件之雙穩態電阻式隨機存取記憶體之簡單示意圖。

第 8B 圖繪示根據本發明之具有兩個位於設定(SET)

及重置(RESET)狀態電阻式隨機存取構件的雙穩態電阻式隨機存取記憶體之簡單示意圖。

第 8C 圖繪示根據本發明之具有兩個位於設定(SET)及重置(RESET)狀態之電阻式隨機存取記憶體構件的雙穩態電阻式隨機存取記憶體之簡單示意圖。

第 8D 圖繪示根據本發明之具有兩個位於設定(SET)狀態之電阻式隨機存取記憶體構件的雙穩態電阻式隨機存取記憶體之簡單示意圖。

第 9 圖繪示根據本發明之以串聯方式連接兩個電阻式隨機存取記憶體構件以提供四種邏輯狀態的雙穩態電阻式隨機存取記憶體之四種邏輯狀態的數學關係。

第 10 圖繪示根據本發明以串聯方式連接多重電阻式隨機存取記憶體構件以使每一記憶體單元提供多重位元之雙穩態隨機存取記憶體的示意圖。

第 11 圖繪示根據本發明具有蝕刻程序於第一及第二電阻式隨機存取記憶層以及沈積介電側壁子的雙穩態電阻式隨機存取記憶體之示意圖。

第 12 圖繪示根據本發明去除介電側壁子後具有多重電阻式隨機存取記憶體構件及多重導電構件的雙穩態電阻式隨機存取記憶體之示意圖。

第 13 圖繪示根據本發明用以施用電壓以程式具有二電阻式隨機存取記憶體構件之雙穩態電阻式隨機存取記憶體。

第 14 圖繪示根據本發明說明雙穩態電阻式隨機存取

記憶體從邏輯狀態「00」程式化至其他三個邏輯狀態，邏輯狀態「01」、邏輯狀態「10」以及邏輯狀態「11」之流程圖。

第 15 圖繪示根據本發明說明雙穩態電阻式隨機存取記憶體從邏輯狀態「01」程式化至其他三個邏輯狀態，邏輯狀態「00」、邏輯狀態「10」以及邏輯狀態「11」之流程圖。

第 16 圖繪示根據本發明說明雙穩態電阻式隨機存取記憶體從邏輯狀態「10」程式化至其他三個邏輯狀態，邏輯狀態「00」、邏輯狀態「01」以及邏輯狀態「11」之流程圖。

第 17 圖繪示根據本發明說明雙穩態電阻式隨機存取記憶體從邏輯狀態「11」程式化至其他三個邏輯狀態，邏輯狀態「00」、邏輯狀態「01」以及邏輯狀態「10」之流程圖。

【主要元件符號說明】

100：記憶體陣列

123、124、262：字元線

128：共源線

132、133：下部電極構件

134：上部電極構件

135：側壁接腳記憶體胞

141、142、264：位元線

- 145：Y-解碼器及一字元線驅動器
- 146：X-解碼器及一組感應放大器
- 150、151、152、153：：存取電晶體
- 200、275：積體電路
- 260：記憶體陣列
- 261：列解碼器
- 263：接腳解碼器
- 265：匯流排
- 266：感應放大器及資料輸入結構
- 267：資料匯排流
- 268：偏壓排列供應電壓
- 269：偏壓排列狀態機
- 271：資料輸入線
- 272：資料輸出線
- 274：其他電路
- 300、1000、500：雙穩態電阻式隨機存取記憶體
- 310：第一可程式電阻式隨機存取記憶層
- 312：第一導電層
- 320：第二可程式電阻式隨機存取記憶層
- 322：第二導電層
- 330：遮罩
- 410：第一可程式電阻式隨機存取記憶體構件
- 412、420：第一導電構件

- 430：第一介電側壁子
- 510：第二可程式電阻式隨機存取記憶體構件
- 512、520：第二導電構件
- 600：雙穩態可程式電阻式隨機存取記憶體
- 610：底層
- 620：接觸孔
- 630：中間介電層
- 700：電流-電壓曲線範例圖
- 710：電壓
- 720：電流
- 730：重置狀態
- 740：設定狀態
- 750：讀取電壓
- 752：虛線
- 810：電阻 R
- 820、860：電阻 fR
- 830、880：電阻 nfR
- 850、870：電阻 nR
- 910：邏輯狀態「0」
- 920：邏輯狀態「1」
- 930：邏輯狀態「2」
- 940：邏輯狀態「3」
- 1010：第三電阻式隨機存取記憶體層
- 1012：第三導電層

- 1020：第 $(n-1)^{\text{th}}$ 可程式電阻式隨機記憶層
- 1022：第 $(n-1)^{\text{th}}$ 導電層
- 1030：第 n^{th} 可程式電阻式隨機存取記憶層
- 1032：第 n^{th} 導電層
- 1110：第二介電側壁子
- 1200：雙穩態可程式電阻式隨機存取記憶體
- 1210：第三可程式電阻式隨機存取記憶構件
- 1220：第三導電構件
- 1300：電路系統
- 1310：第一電阻器 R_1
- 1312：第二電阻器 R_2 、
- 1313：第一可程式電阻式隨機存取電壓 $V_{1\text{RRAM}}$
- 1314：第二可程式電阻式隨機存取記憶體電壓 $V_{2\text{RRAM}}$
- 1316：附加的可程式電阻式隨機存取記憶體電壓
- 1320：第一位元線電壓 V_{b1}
- 1330：第二位元線電壓 V_{b2}
- 1340：第一位元線 BL_1
- 1342：第二位元線 BL_2
- 1400、1500、1600、1700：流程圖

五、中文發明摘要：(中文案件名稱：具多記憶層及多階記憶態之雙穩態電阻式隨機存取記憶體之操作方法)

一方法描述用以揭露操作一雙穩態電阻式隨機存取記憶體具有二個記憶層堆疊串聯。此雙穩態電阻式隨機存取記憶體於每一記憶胞中包含每一記憶胞有兩個記憶層堆疊，該雙穩態電阻式隨機存取記憶體以四種邏輯狀態操作，包括邏輯狀態「00」、邏輯狀態「01」、邏輯狀態「10」、邏輯狀態「11」。而四個不同邏輯狀態下的相互關係可以兩變數 n 及 f 以及一電阻 R 以數學式子表示。以數學式子表示邏輯狀態「0」為 $(1+f)R$ 。以數學式子表示邏輯狀態「1」為 $(n+f)R$ 。以數學式子表示邏輯狀態「2」為 $(1+nf)R$ 。以數學式子表示邏輯狀態「3」為 $n(1+f)R$ 。

六、英文發明摘要：(英文案件名稱：Methods of Operating a Bistable Resistance Random Access Memory with Multiple Memory Layers and Multilevel Memory States)

A method is described for operating a bistable resistance random access memory having two memory layer stacks that are aligned in series is disclosed. The bistable resistance random access memory comprises two memory layer stacks per memory cell, the bistable resistance random access memory operates in four logic states, a logic "00" state, a logic "01" state, a logic "10" state and a logic "11" state. The relationship between the four different logic states can be represented mathematically by the two variables n and f and a resistance R . The logic "0" is represented by a mathematical expression $(1+f)R$. The logic "1" state is represented by a mathematical expression $(n+f)R$. The logic "2" state is represented by a mathematical expression $(1+nf)R$. The logic "3" state is represented by a mathematical expression $n(1+f)R$.

十、申請專利範圍：

1. 一種操作一電阻式隨機存取記憶體裝置之方法，具有一第一導電構件，係位於一第一可程式電阻式隨機存取記憶體構件上，該第一可程式電阻式隨機存取記憶體構件係位於一第二導電構件上，該第二導電構件則是位於一第二可程式電阻式隨機存取記憶體構件上，該方法至少包含：

該第一可程式電阻式隨機存取記憶體構件與該第二可程式電阻式隨機存取記憶體構件以串聯連接，該第一可程式電阻式隨機存取記憶體構件具有一表示一第一電阻值之面積，該第二可程式電阻式隨機存取記憶體構件具有一表示一第二電阻值 R 之面積，該第二可程式電阻式隨機存取記憶體構件其所具有該面積大於該第一可程式電阻式隨機存取記憶體構件，該第一可程式電阻式隨機存取記憶體構件具有一第一邏輯狀態（“00”狀態）以及一第二邏輯狀態（“01”狀態），該第二可程式電阻式隨機存取記憶體構件具有一第三邏輯狀態（“10”狀態）以及一第四邏輯狀態（“11”狀態）；

沈積一介電側壁子於該第一導電構件以及該第一可程式電阻式隨機存取記憶體構件兩側以及在該第二導電構件的上表面，該第二可程式電阻式隨機存取記憶體構件具有一面積，該面積為該第一介電側壁子之厚度的函數；以及

改變該第一及該第二可程式電阻式隨機存取記憶體

構件之邏輯狀態至另一邏輯狀態，邏輯狀態係為材料係數 n 及介電側壁子之厚度 f 的函數。

2. 如申請專利範圍第 1 項所述之方法，其中該第一邏輯狀態依據數學式 $(1+f)R$ 操作。

3. 如申請專利範圍第 1 項所述之方法，其中該第二邏輯狀態依據數學式 $(n+f)R$ 操作。

4. 如申請專利範圍第 1 項所述之方法，其中該第三邏輯狀態依據數學式 $(1+nf)R$ 操作。

5. 如申請專利範圍第 1 項所述之方法，其中該第四邏輯狀態依據數學式 $n(1+f)R$ 操作。

6. 如申請專利範圍第 1 項所述之方法，更包括：

連接一第一位元線電壓 V_{b1} 至該第一導電層的一頂面；

連接一第二位元線電壓 V_{b2} 至該第二可程式電阻式隨機存取記憶體構件的底面；

產生一第一電阻式隨機存取記憶體電壓 V_{1RRAM} 於該第一導電構件及該第一可程式電阻式隨機存取記憶體構件之間；以及

產生一第二電阻式隨機存取記憶體電壓 V_{2RRAM} 於該第一可程式電阻式隨機存取記憶體構件及該第二可程式電阻式隨機存取記憶體構件之間。

7. 如申請專利範圍第 6 項所述之電阻式隨機存取記憶體裝置操作方法，其中該第一及第二可程式電阻式隨機存取記憶體構件在一重置(RESET)狀態。

8. 如申請專利範圍第 6 項所述之方法，其中該記憶體裝置從該第一邏輯狀態經由一過渡狀態至該第二邏輯狀態，如此從該第一邏輯狀態改變至該過渡狀態時，設定 $V_{b1}-V_{b2}=V_{high}$ ， $V_{2RRAM}>V_{SET}$ 及 $V_{1RRAM}>V_{SET}$ ，以及從該過渡狀態改變至該第二邏輯狀態時，設定 $V_{b2}-V_{b1}=-V_{low}<0$ ， $|V_{2RRAM}|<|V_{RESET}|$ 且 $|V_{1RRAM}|>|V_{RESET}|$ 。

9. 如申請專利範圍第 6 項所述之方法，其中該記憶體裝置藉由設定 $V_{b2}-V_{b1}=V_{low}$ ， $V_{2RRAM}<V_{SET}$ 跟 $V_{1RRAM}>V_{SET}$ 由該第一邏輯狀態改變至該第三邏輯狀態。

10. 如申請專利範圍第 6 項所述之方法，其中該記憶體裝置藉由設定 $V_{b1}-V_{b2}=V_{high}$ ， $V_{2RRAM}>V_{SET}$ 跟 $V_{1RRAM}>V_{SET}$ 由該第一邏輯狀態改變至該第四邏輯狀態。

11. 如申請專利範圍第 6 項所述之操作方法，其中該記憶體裝置藉由設定 $V_{b1}-V_{b2}=-V_{high}$ ， $|V_{2RRAM}|>V_{RESET}$ 且 $|V_{1RRAM}|>V_{RESET}$ 由該第二邏輯狀態改變至該第一狀態。

12. 如申請專利範圍第 6 項所述之方法，其中該記憶體裝置從該第二邏輯狀態經由一過渡狀態至該第三狀態，如此從該第一狀態改變至該過渡狀態時，設定 $V_{b1}-V_{b2}=-V_{high}$ ， $|V_{2RRAM}|>V_{RESET}$ 且 $|V_{1RRAM}|>V_{RESET}$ ，以及從該過渡狀態改變至第三狀態時，設定 $V_{b1}-V_{b2}=V_{low}$ ， $V_{2RRAM}>V_{SET}$ 跟 $V_{1RRAM}<V_{SET}$ 。

13. 如申請專利範圍第 6 項所述之操作方法，其中該記憶體裝置藉由設定 $V_{b1}-V_{b2}=V_{high}$ ， $V_{2RRAM}>V_{SET}$ 且 $V_{1RRAM}>V_{SET}$ 從該第二邏輯狀態改變至該第四邏輯狀態。

14. 如申請專利範圍第 6 項所述之操作方法，其中該記憶體裝置藉由設定 $V_{b1}-V_{b2}=-V_{high}$ ， $|V_{2RRAM}|>V_{RESET}$ 且 $|V_{1RRAM}|>V_{RESET}$ 從該第三邏輯狀態改變至該第一邏輯狀態。

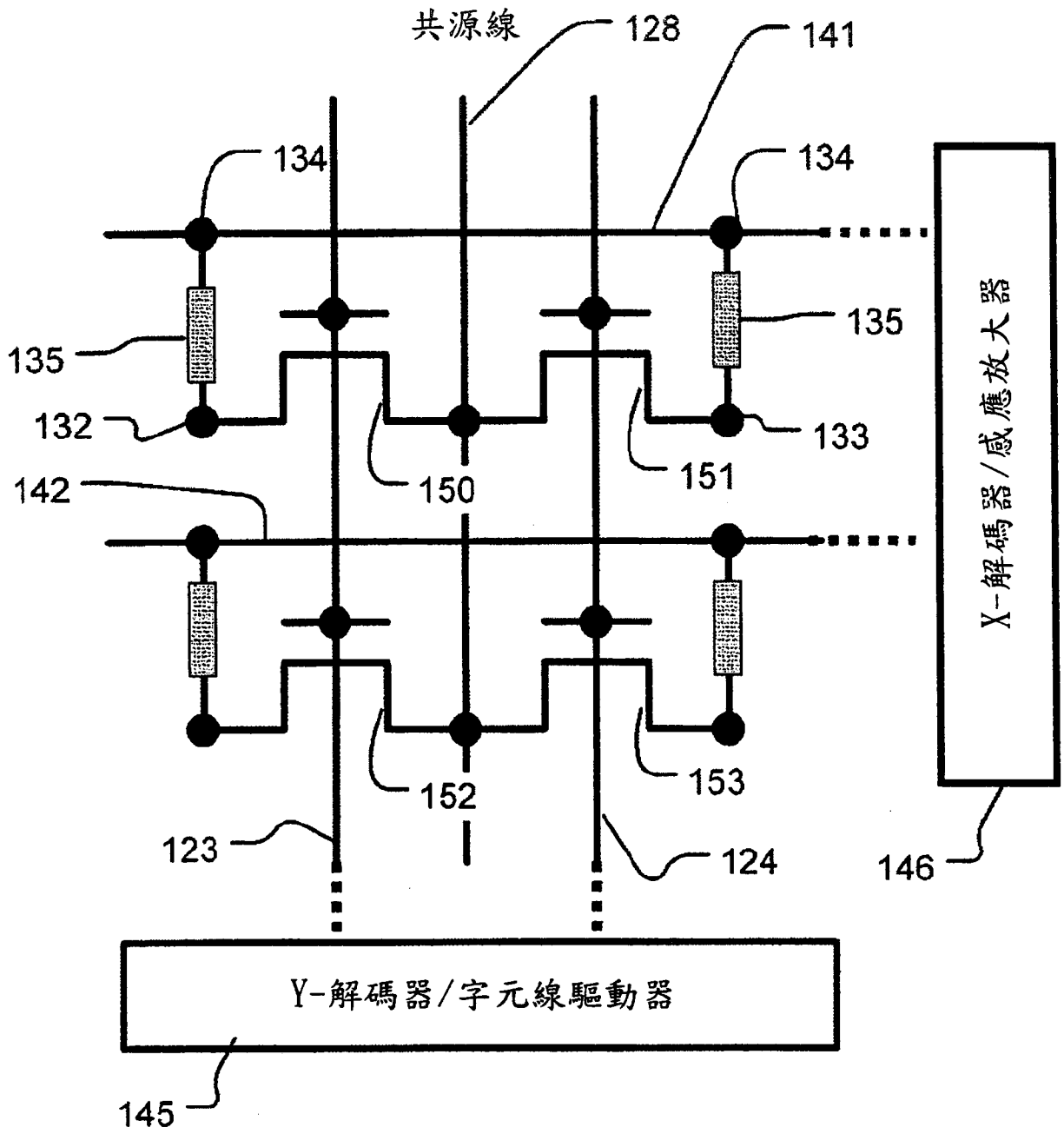
15. 如申請專利範圍第 6 項所述之操作方法，其中該記憶體裝置從該第三邏輯狀態經由一過渡狀態改變至該第二邏輯狀態，如此從該第三邏輯狀態改變至該過渡狀態時，設定 $V_{b1}-V_{b2}=V_{high}$ ， $V_{2RRAM}>V_{SET}$ 且 $V_{1RRAM}>V_{SET}$ ，以及從該第三邏輯狀態改變至該第二邏輯狀態時，設定 $V_{b1}-V_{b2}=-V_{low}$ ， $|V_{2RRAM}|>|V_{RESET}|$ 且 $|V_{1RRAM}|>|V_{RESET}|$ 。

16. 如申請專利範圍第 6 項所述之方法，其中該記憶體裝置從該第三邏輯狀態至該第四邏輯狀態時， $V_{b1}-V_{b2}=V_{high}$ ， $V_{2RRAM}>V_{SET}$ 且 $V_{1RRAM}<V_{SET}$ 。

17. 如申請專利範圍第 6 項所述之方法，其中該記憶體裝置藉由設定 $V_{b1}-V_{b2}=-V_{high}$ ， $|V_{2RRAM}|>V_{RESET}$ 且 $|V_{1RRAM}|>V_{RESET}$ 從該第四邏輯狀態改變至該第一邏輯狀態。

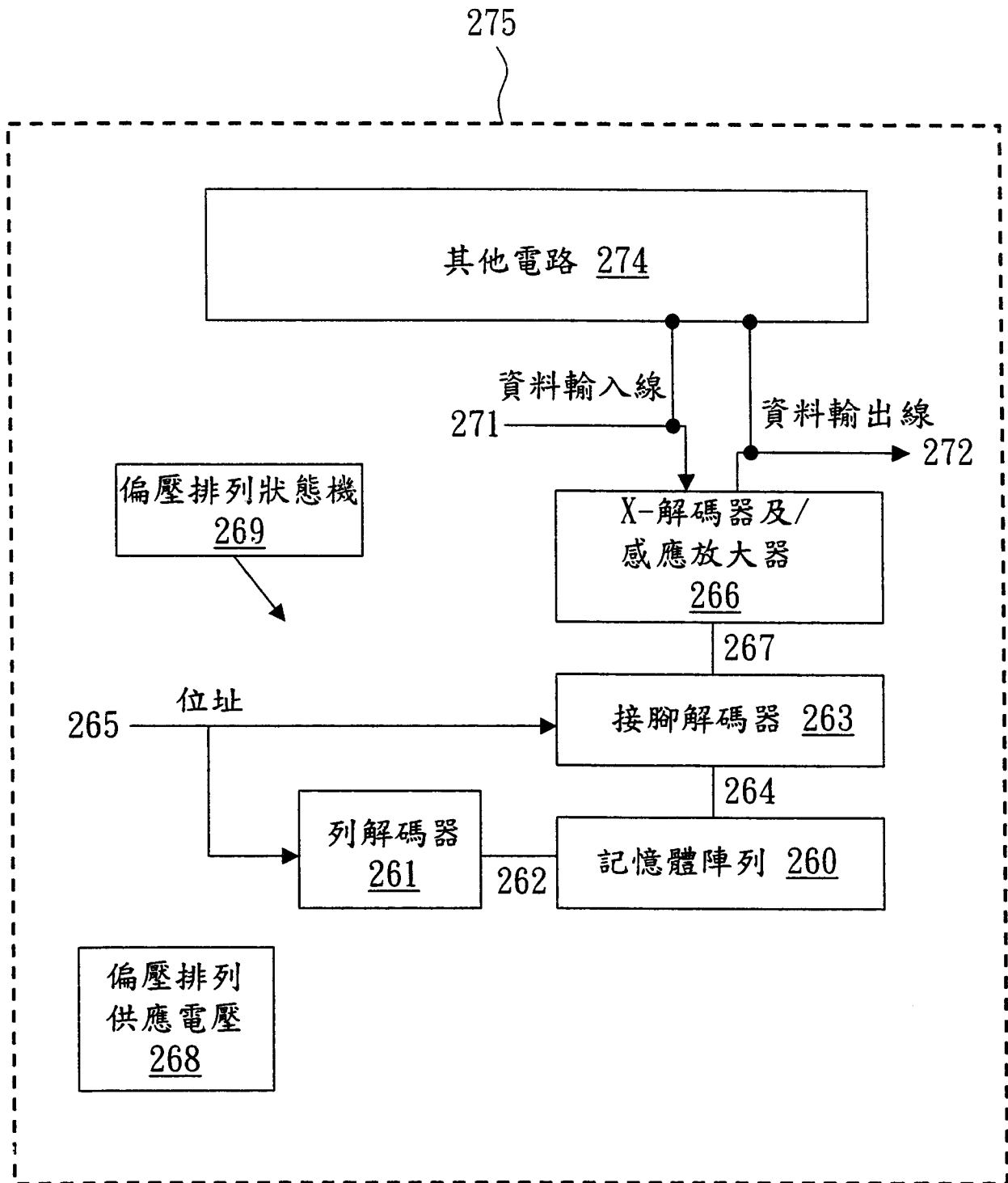
18. 如申請專利範圍第 6 項所述之方法，其中該記憶體裝置藉由設定 $V_{b1}-V_{b2}=-V_{low}$ ， $|V_{2RRAM}|>|V_{RESET}|$ 且 $|V_{1RRAM}|<|V_{RESET}|$ 從該第四邏輯狀態改變至該第二邏輯狀態。

19. 如申請專利範圍第 6 項所述之方法，其中該記憶體裝置從該第四邏輯狀態經由一過渡狀態改變至該第一邏輯狀態，如此從該第四邏輯狀態改變至該過渡狀態時，設定 $V_{b1}-V_{b2}=-V_{high}$ ， $|V_{2RRAM}|>V_{RESET}$ 且 $|V_{1RRAM}|>V_{RESET}$ ，以及從該過渡狀態改變至該第四邏輯狀態時，設定 $V_{b1}-V_{b2}=V_{low}$ ， $V_{2RRAM}>V_{SET}$ 且 $V_{1RRAM}<V_{SET}$ 。



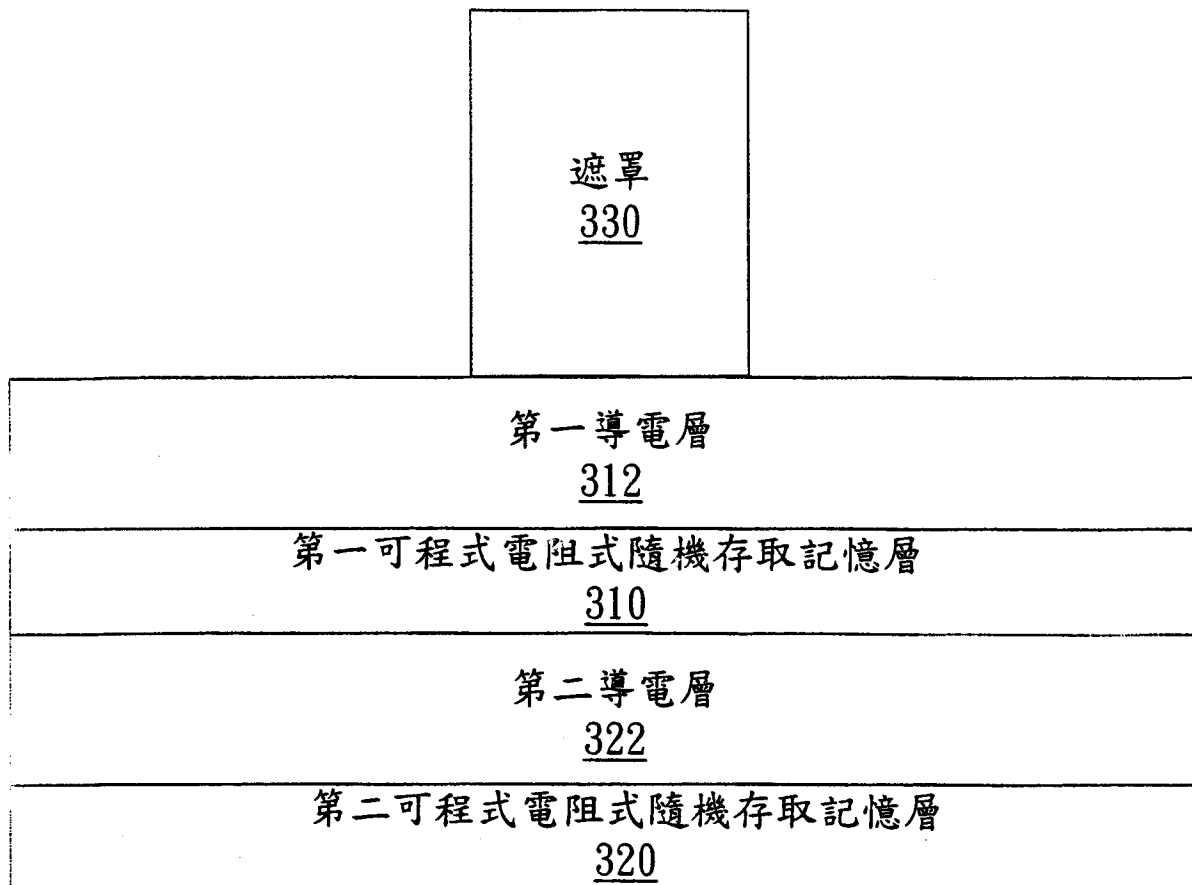
第 1 圖

200

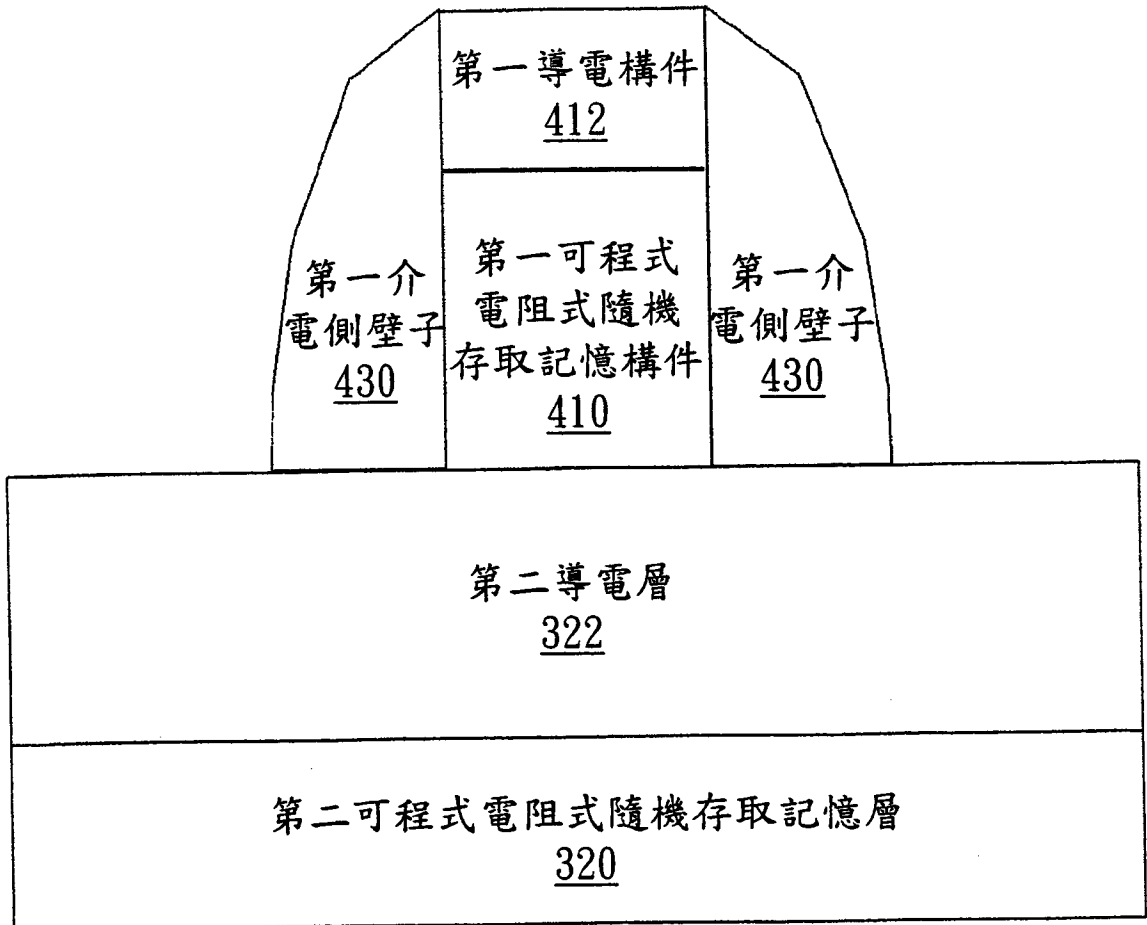


第 2 圖

300

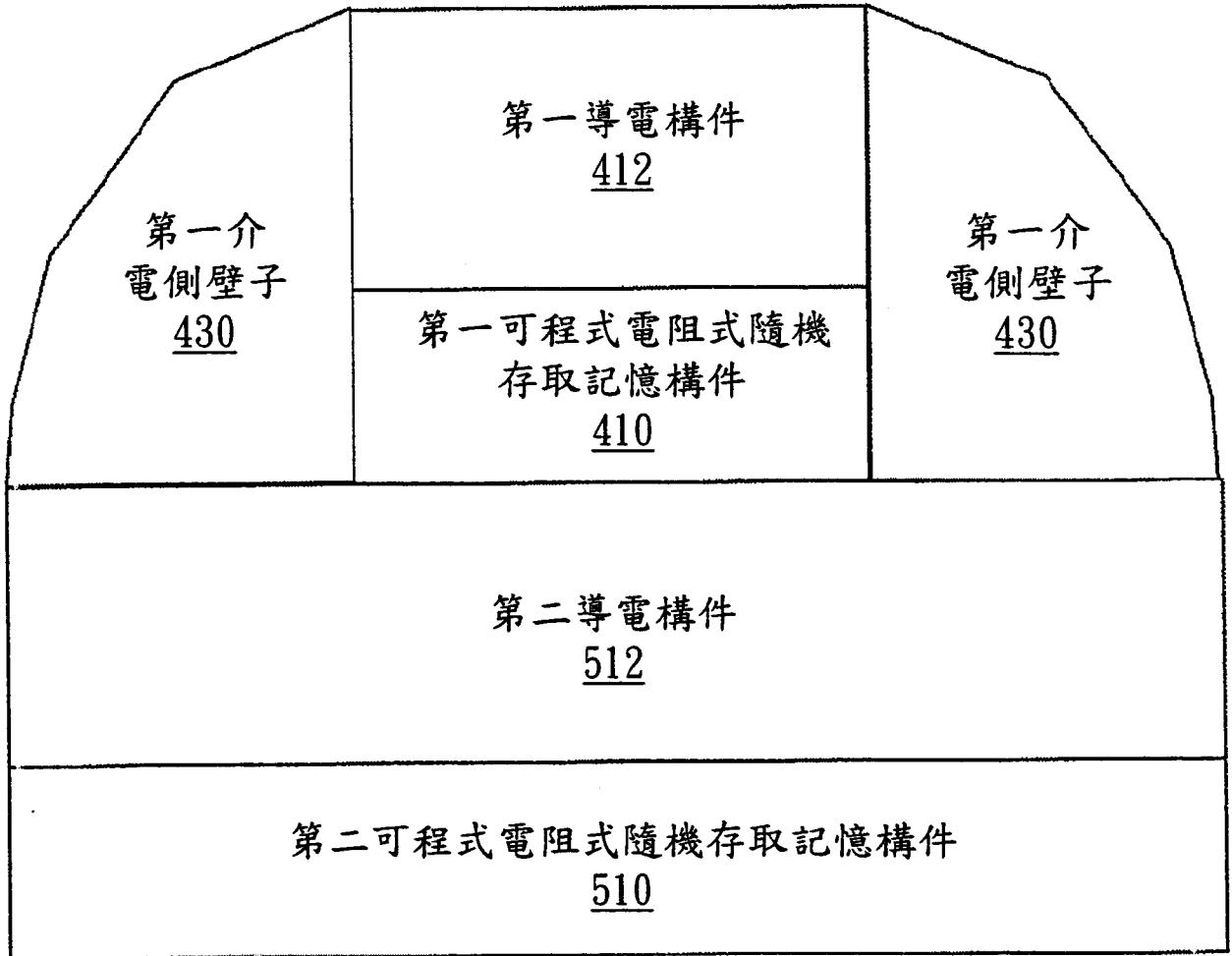


第 3 圖



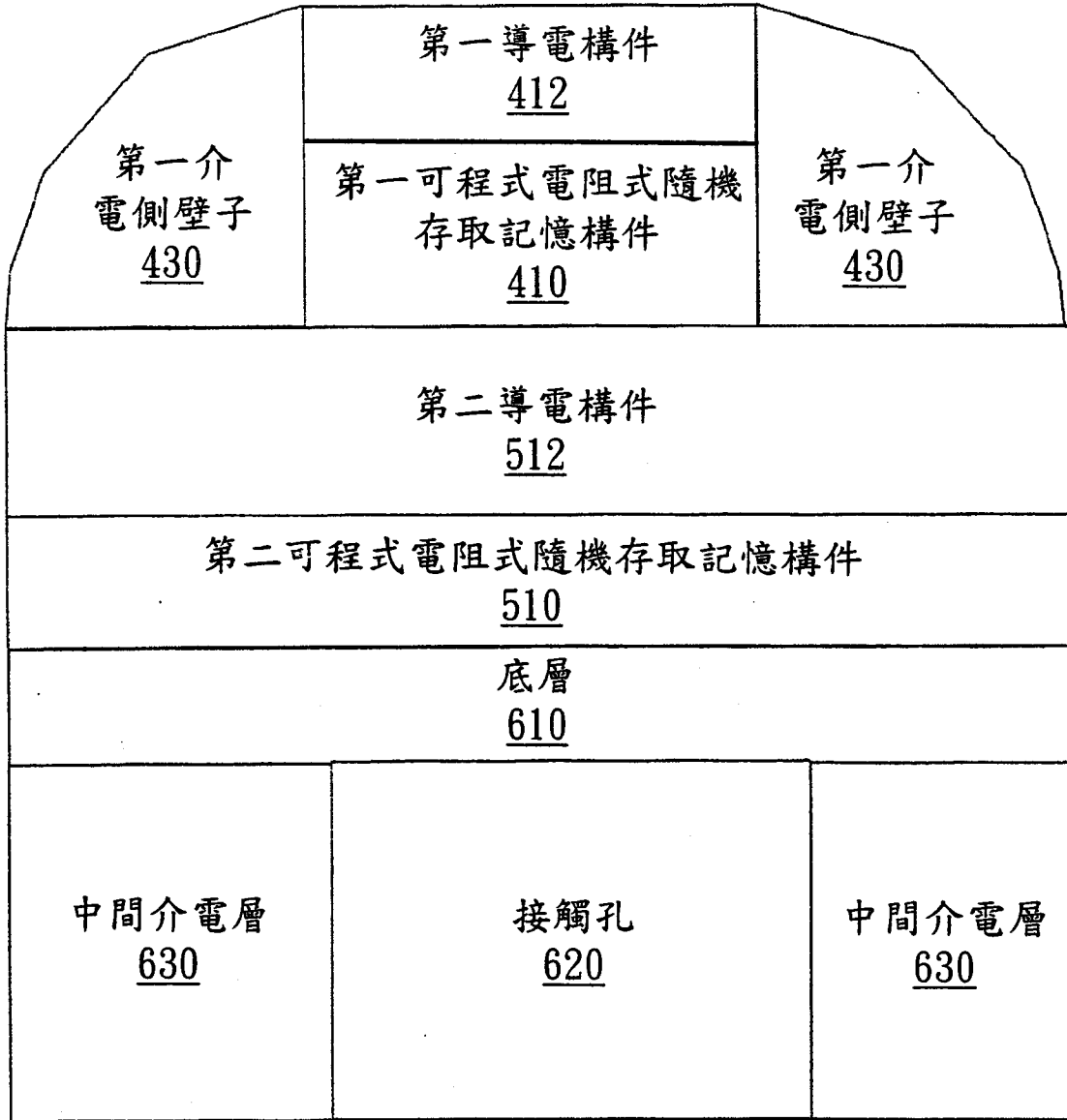
第 4 圖

500



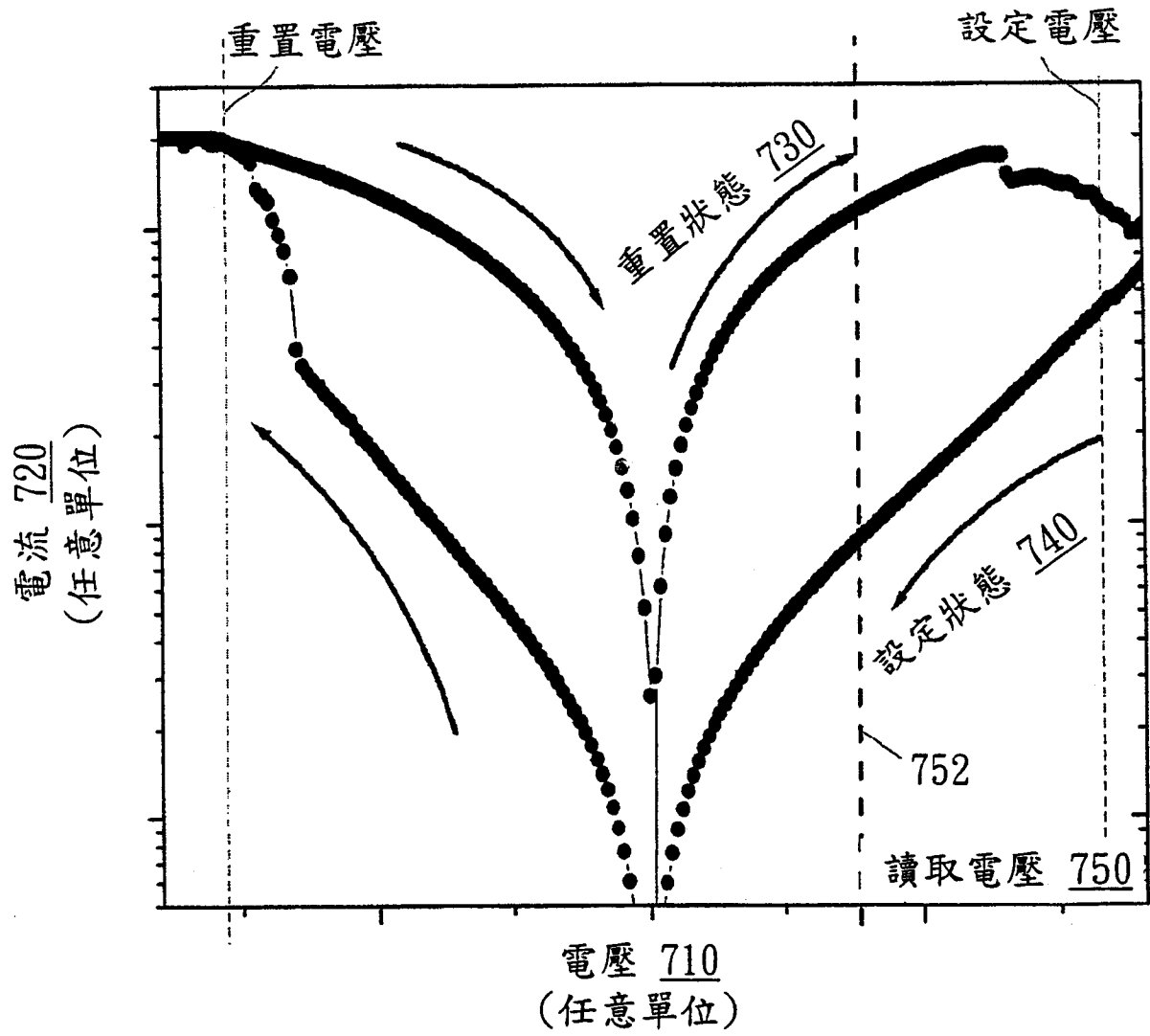
第 5 圖

600

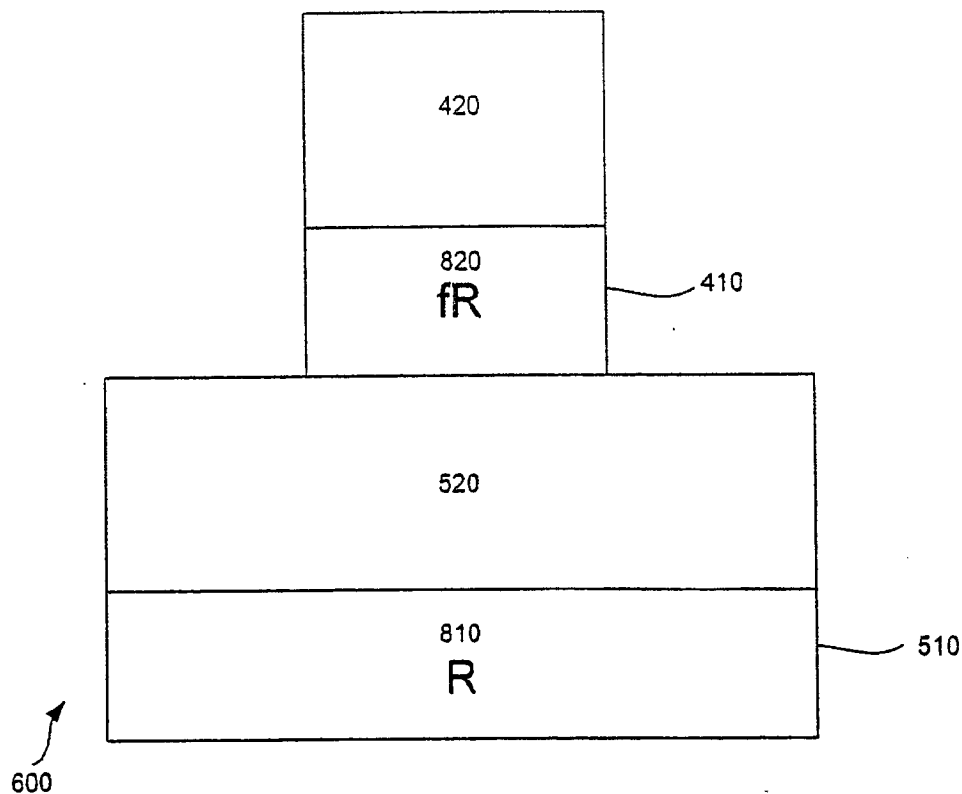


第 6 圖

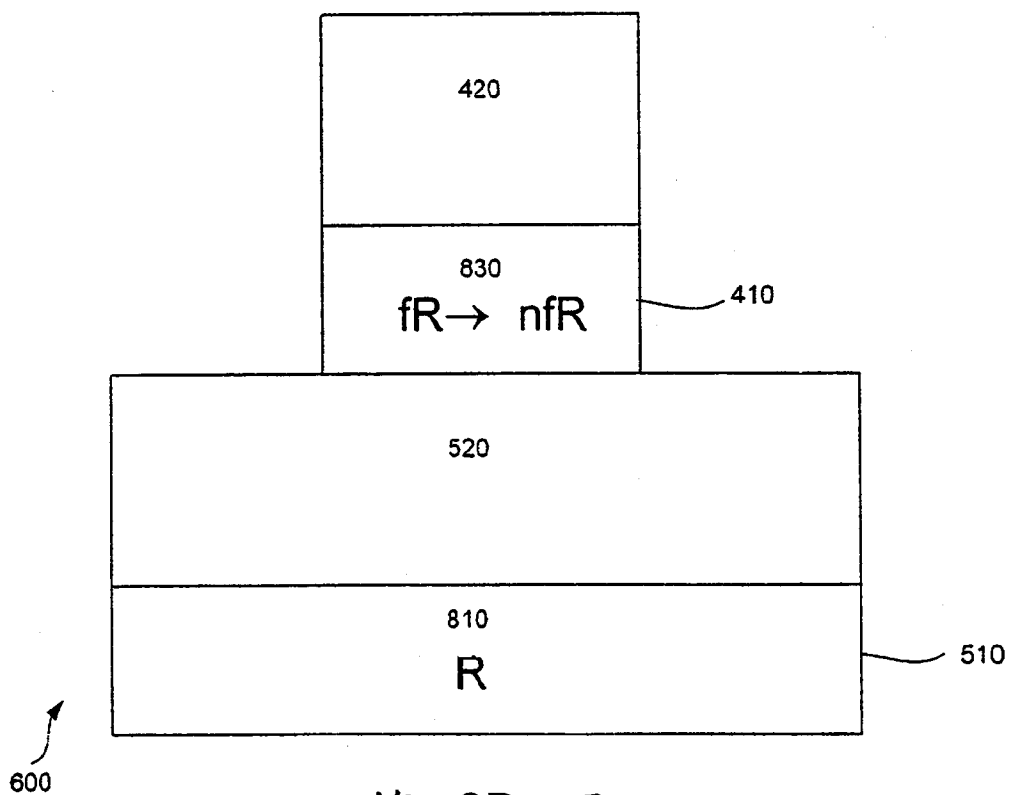
700



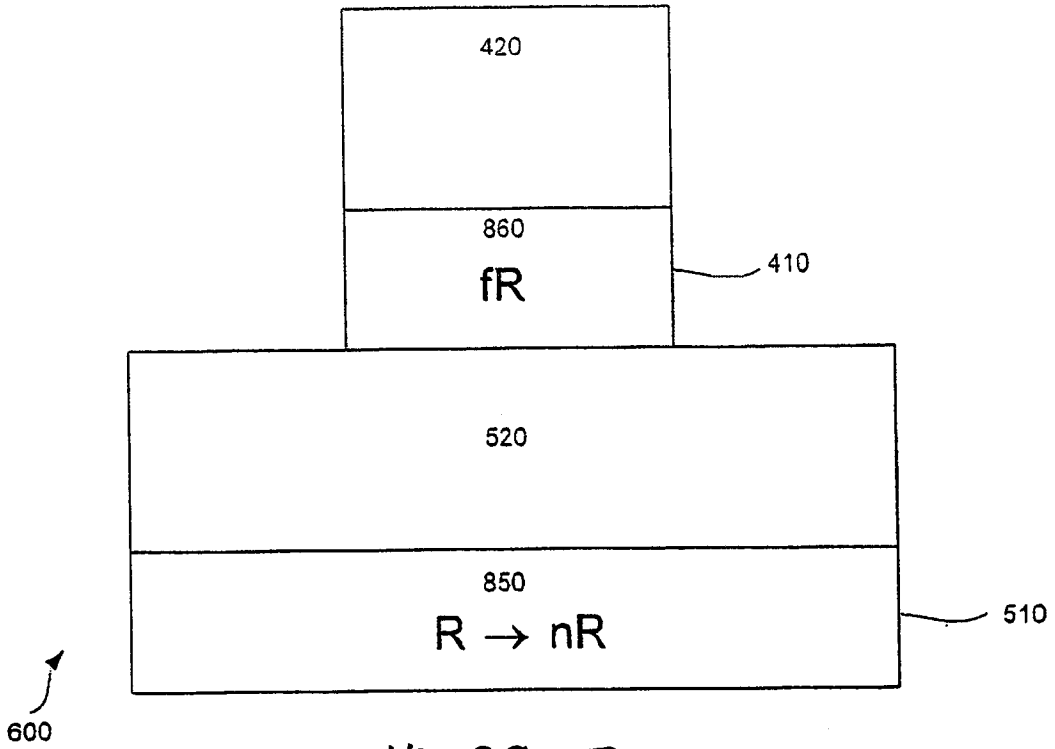
第 7 圖



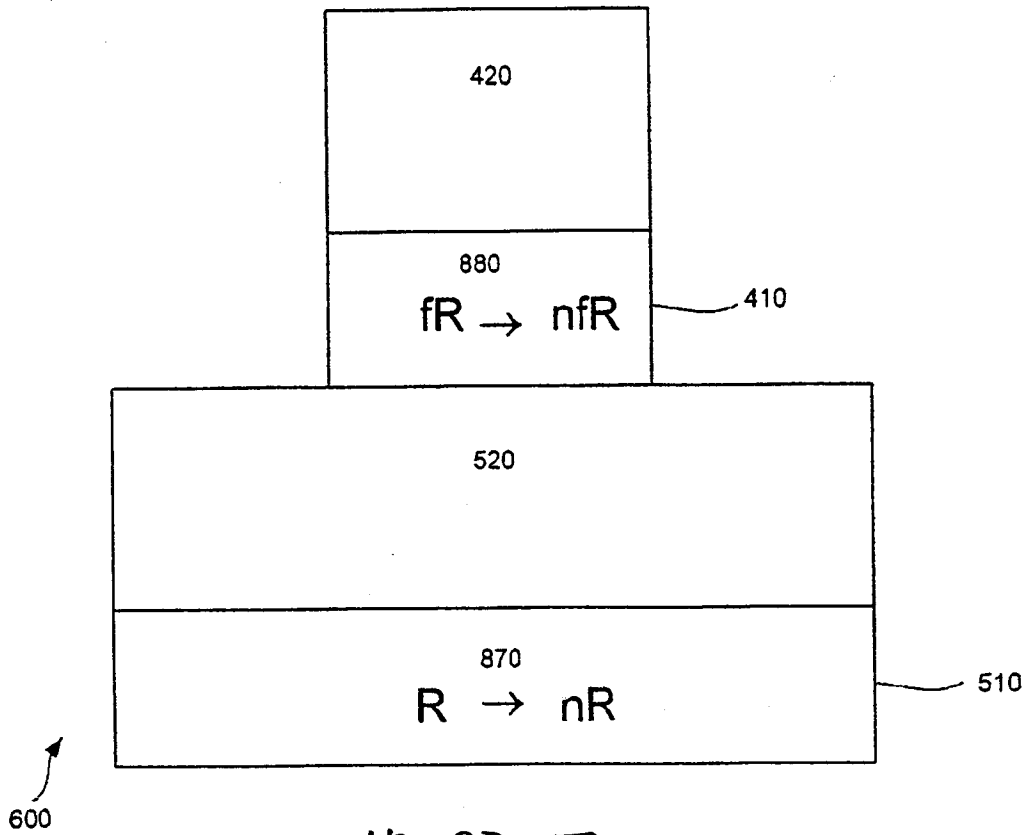
第 8A 圖




第 8B 圖



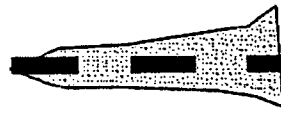
第 8C 圖




第 8D 圖



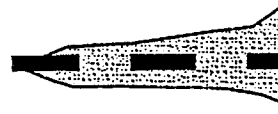
940
 $n(1+f)R = \text{“3”}$



930
 $(1+nf)R = \text{“2”}$

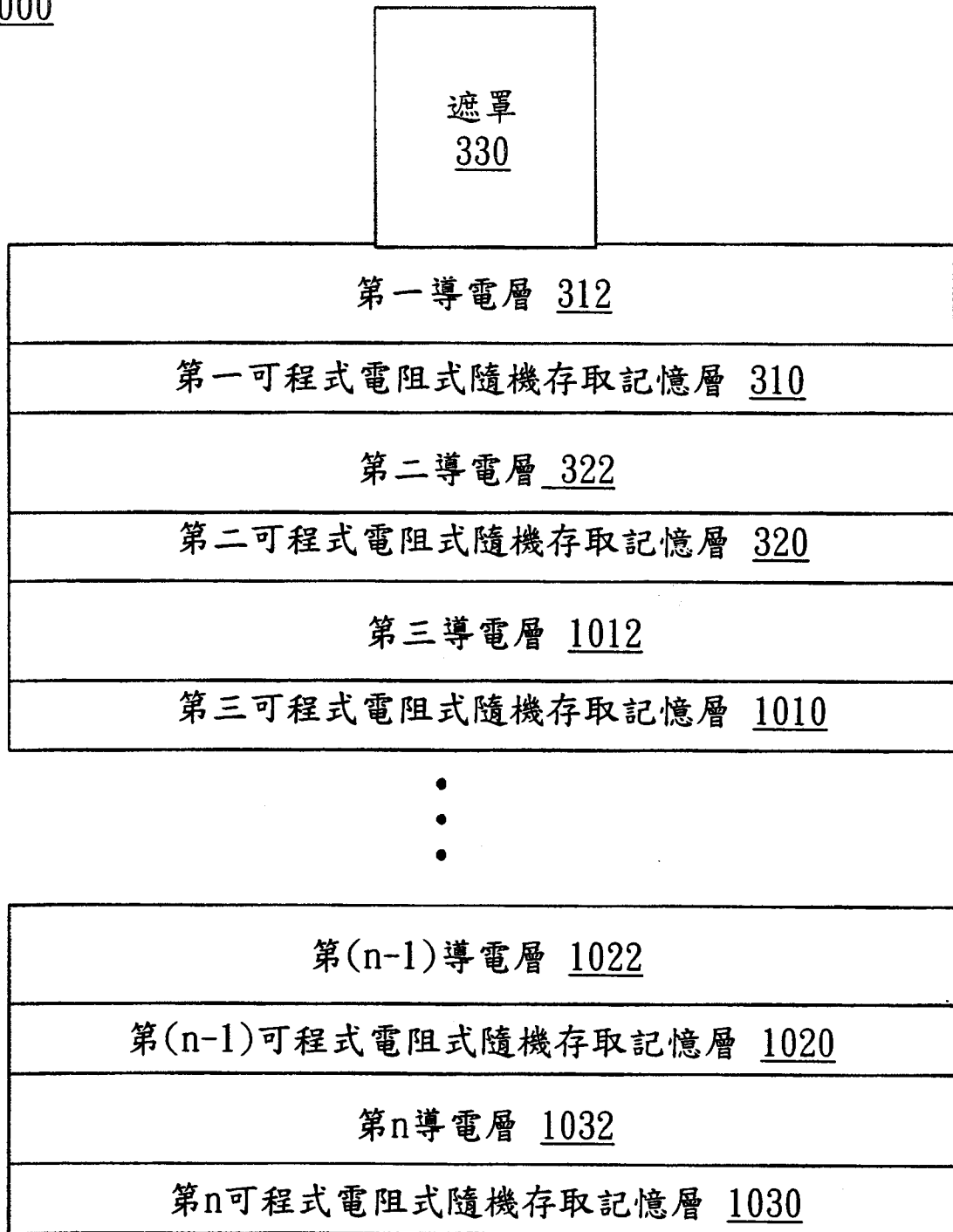


920
 $(n+f)R = \text{“1”}$

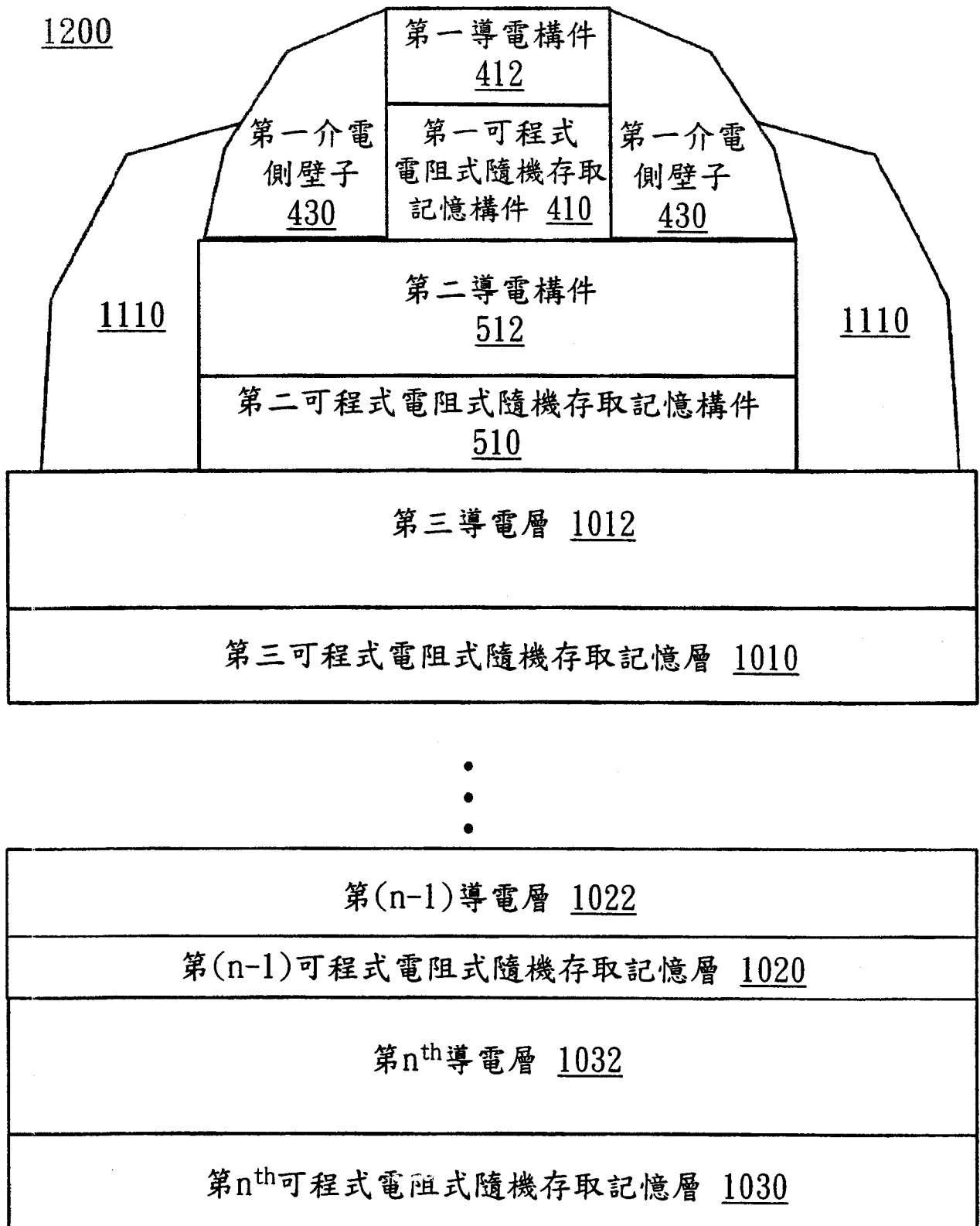


910
 $(1+f)R = \text{“0”}$

第 9 圖

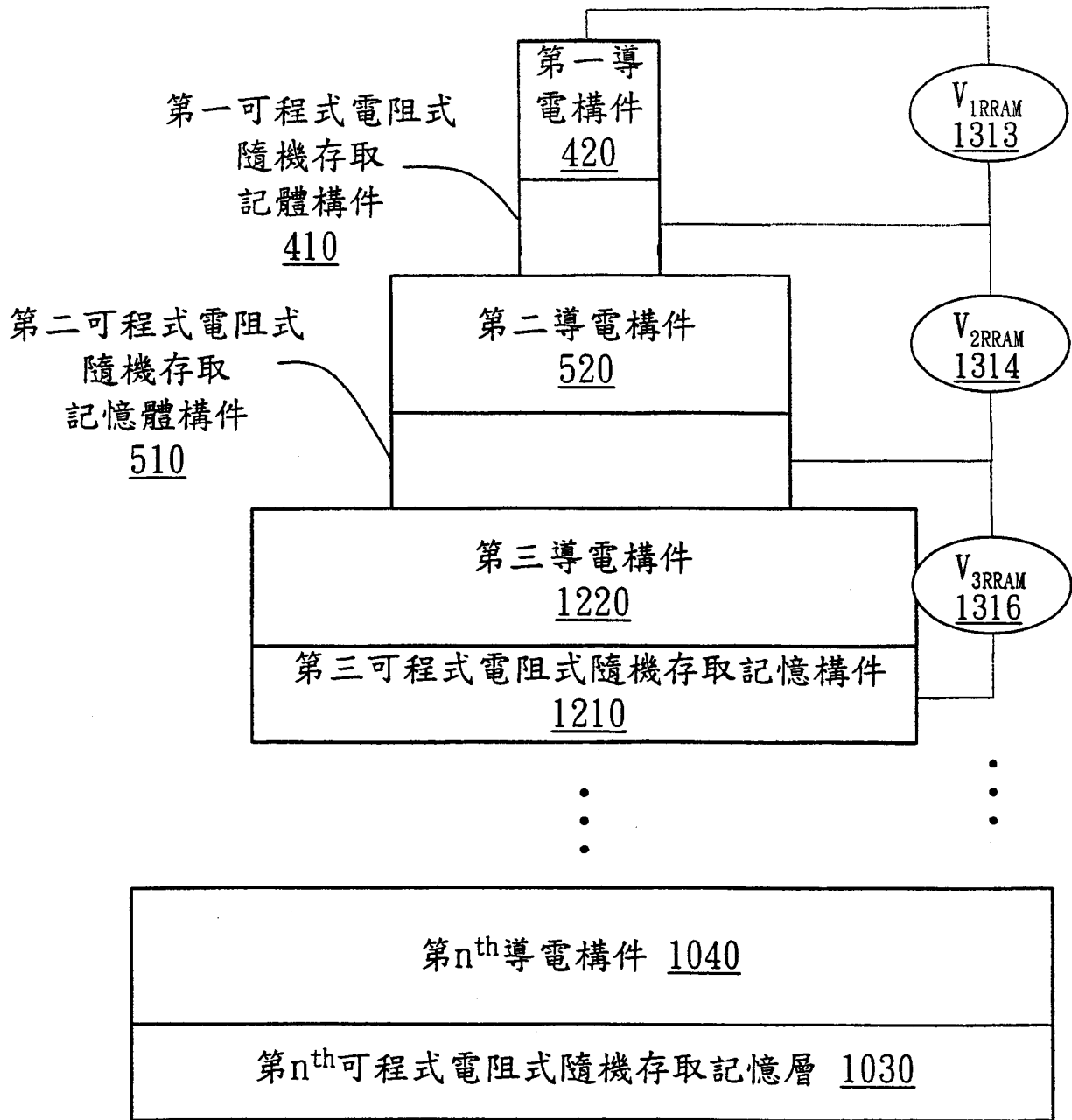
1000

第 10 圖



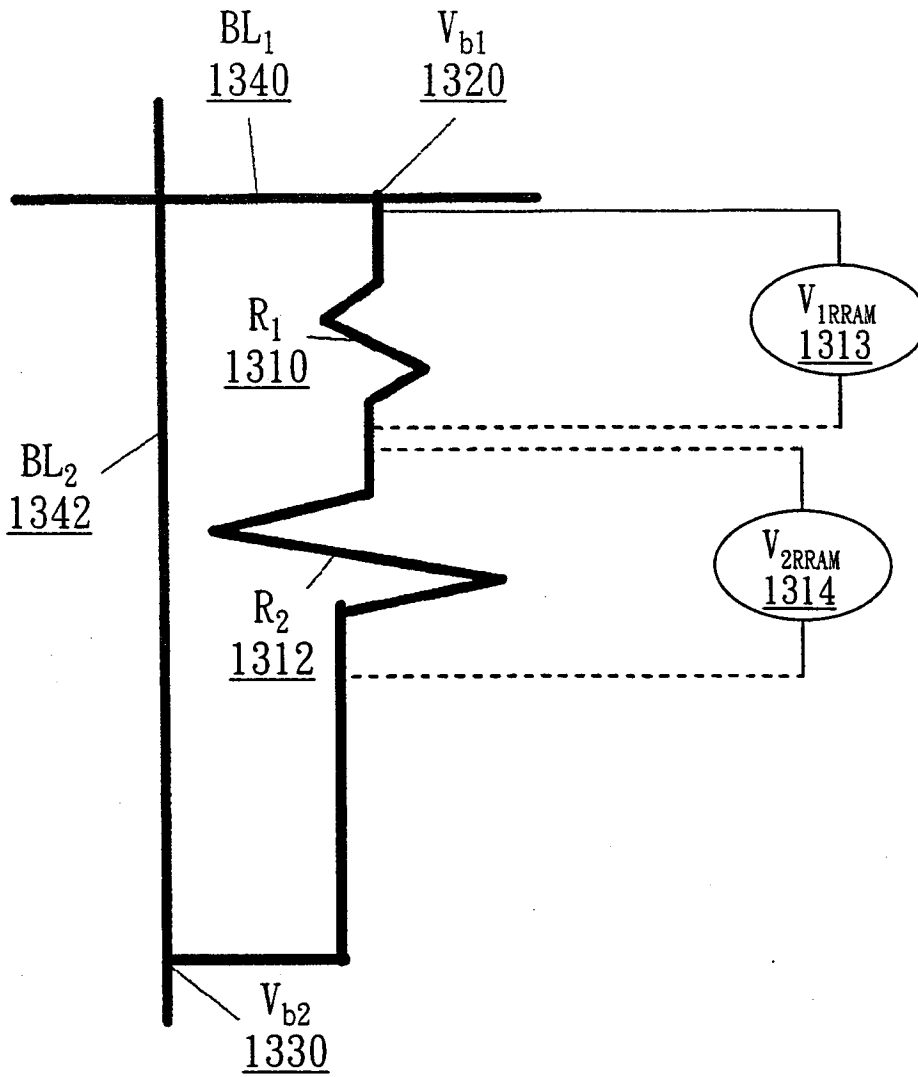
第 11 圖

1200

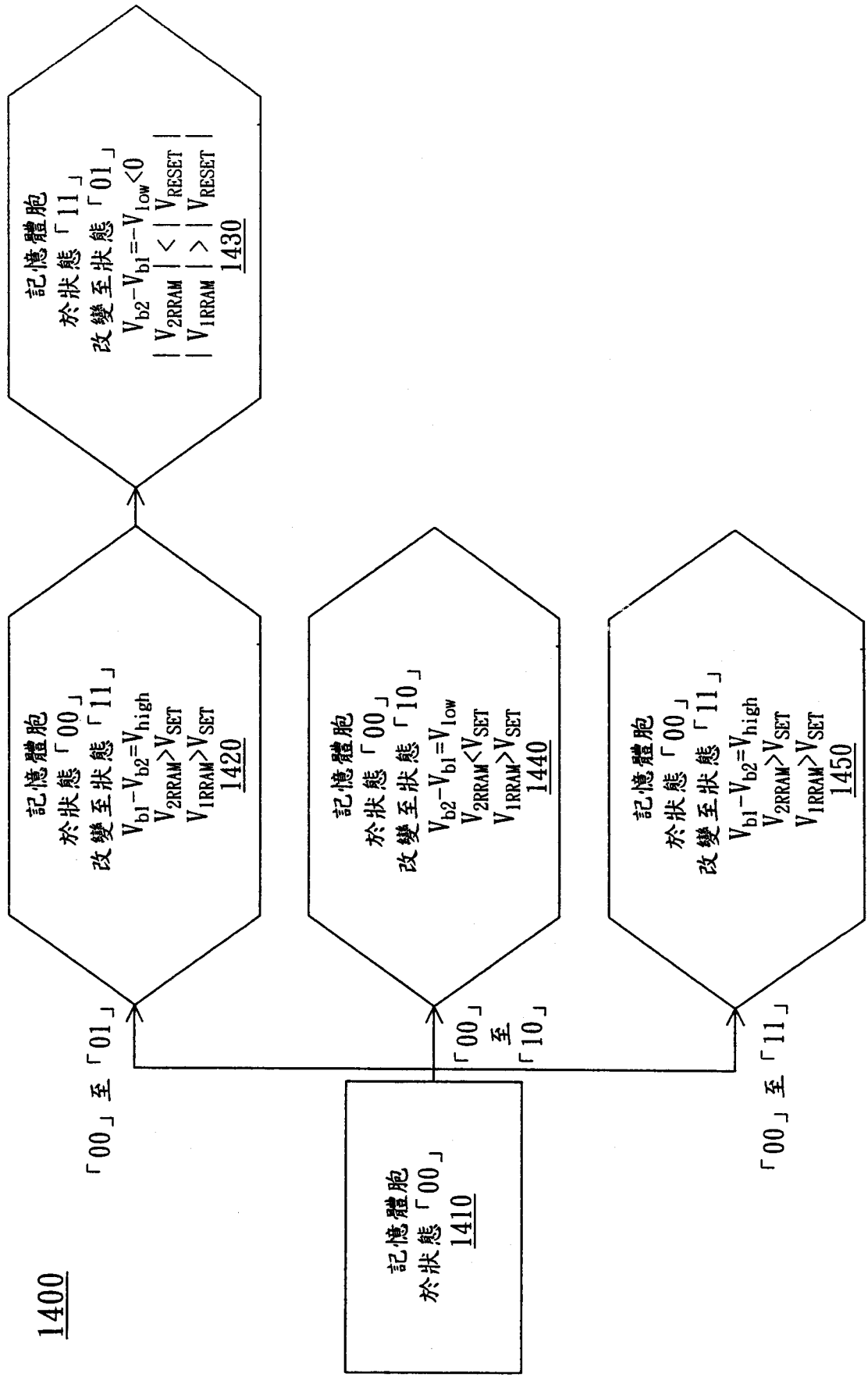


第 12 圖

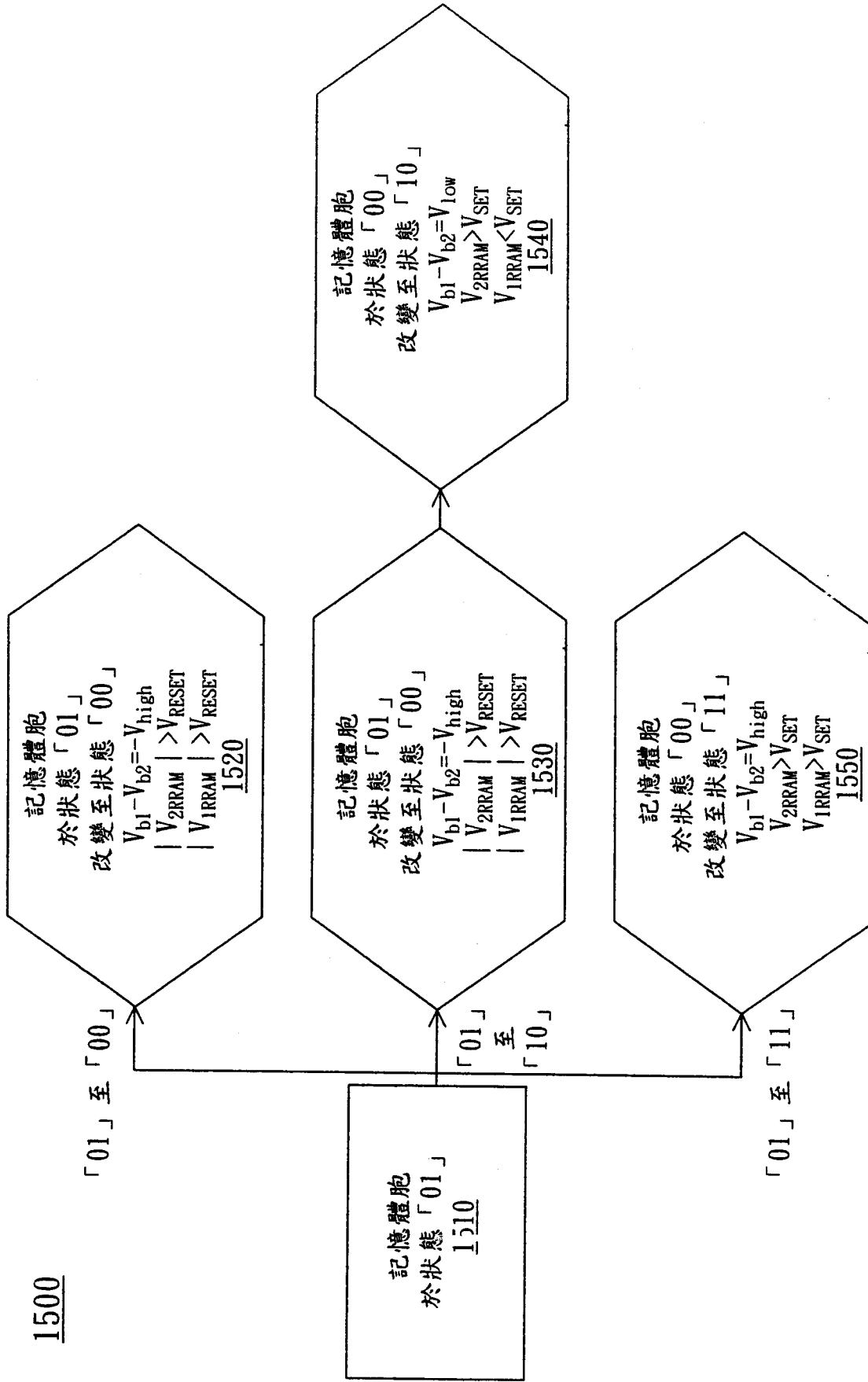
1300



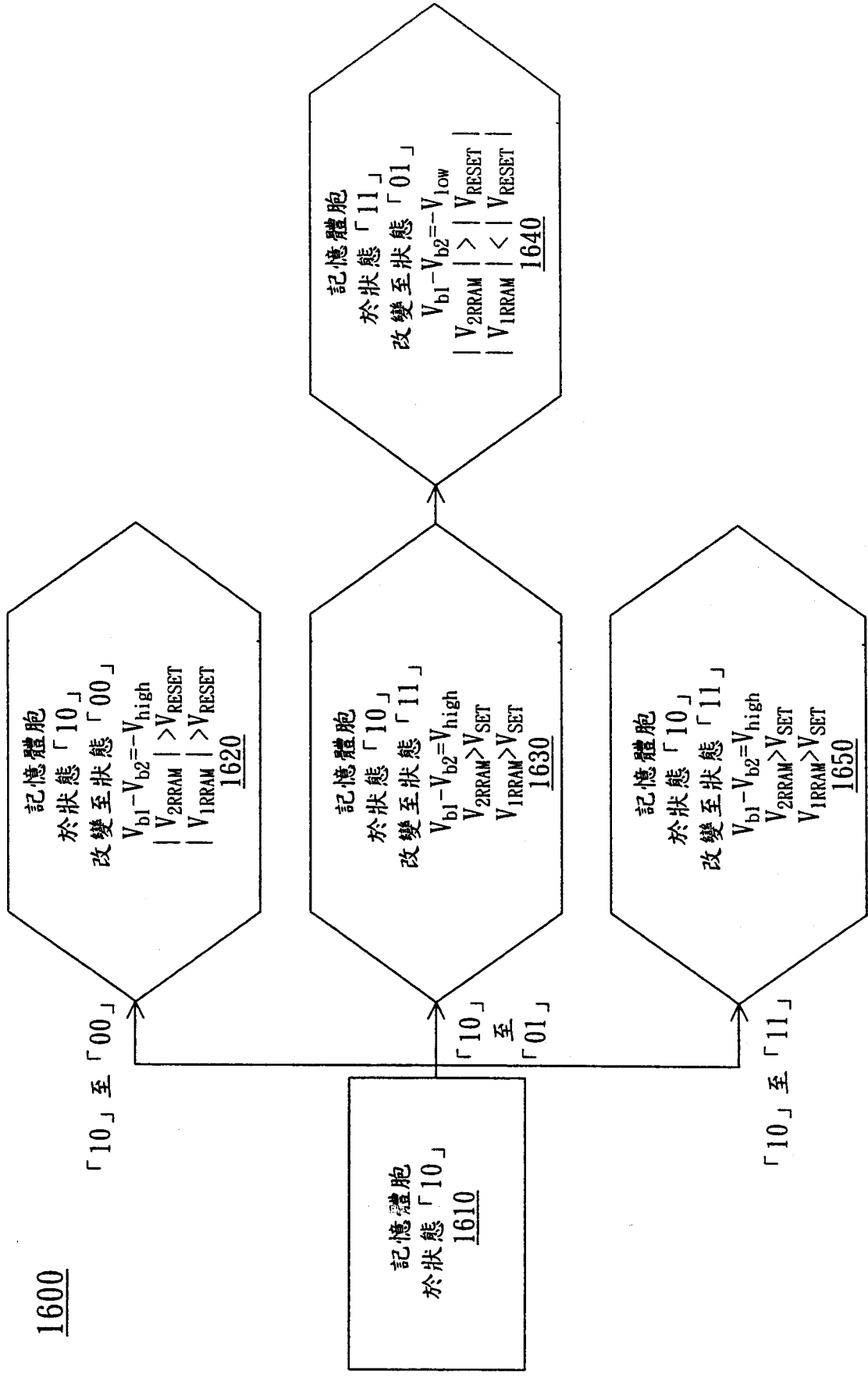
第 13 圖



第 14 圖



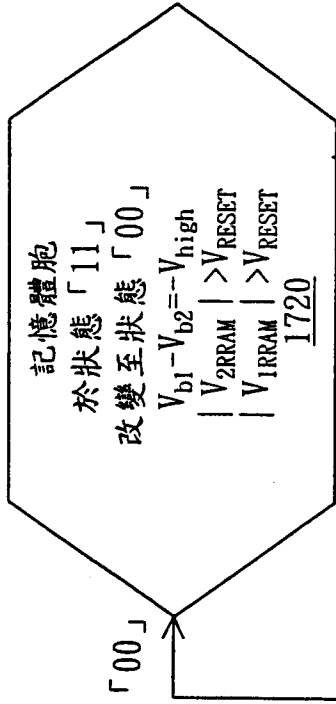
第 15 圖



第 16 圖

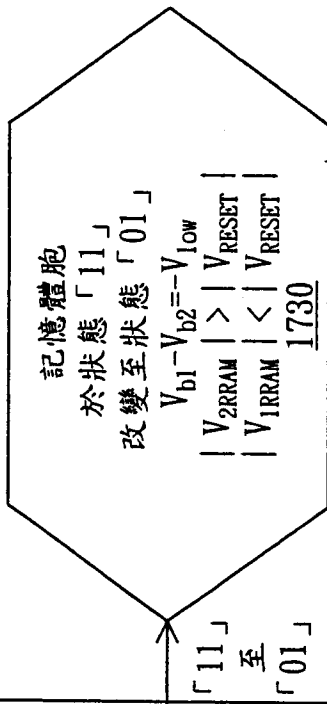
1700

「11」至「00」

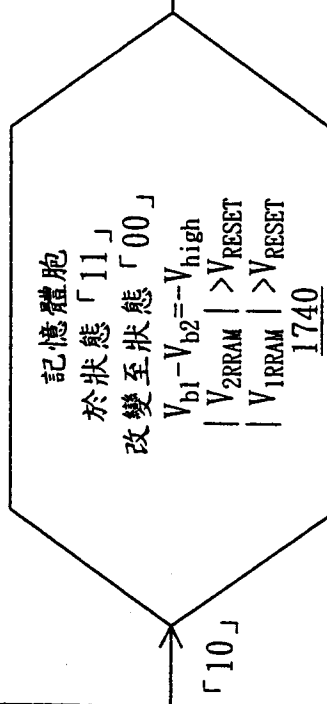


記憶體胞
於狀態「11」
1710

「11」
至
「01」



「11」至「10」



記憶體胞
於狀態「00」
改變至狀態「10」

$V_{b1} - V_{b2} = -V_{low}$	
$V_{2RRAM} > V_{SET}$	
$V_{1RRAM} < V_{SET}$	

1750

第 17 圖

七、指定代表圖：

(一)本案指定代表圖為：第(6)圖

(二)本代表圖之元件符號簡單說明：

410：第一可程式電阻式隨機存取記憶體構件

412：第一導電構件

430：第一介電側壁子

510：第二可程式電阻式隨機存取記憶體構件

512：第二導電構件

600：雙穩態可程式電阻式隨機存取記憶體

610：底層

620：接觸孔

630：中間介電層

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無