

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-44134

(P2009-44134A)

(43) 公開日 平成21年2月26日(2009.2.26)

(51) Int.Cl.	F I	テーマコード (参考)
<b>H01L 29/786 (2006.01)</b>	H01L 29/78 618E	2H092
<b>G02F 1/1368 (2006.01)</b>	G02F 1/1368	5F110
<b>H01L 21/336 (2006.01)</b>	H01L 29/78 612Z	
	H01L 29/78 618F	

審査請求 未請求 請求項の数 10 O L (全 53 頁)

(21) 出願番号	特願2008-169188 (P2008-169188)	(71) 出願人	000153878
(22) 出願日	平成20年6月27日 (2008. 6. 27)		株式会社半導体エネルギー研究所
(31) 優先権主張番号	特願2007-173540 (P2007-173540)		神奈川県厚木市長谷398番地
(32) 優先日	平成19年6月29日 (2007. 6. 29)	(72) 発明者	山崎 舜平
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2007-185067 (P2007-185067)		半導体エネルギー研究所内
(32) 優先日	平成19年7月13日 (2007. 7. 13)	(72) 発明者	鈴木 幸恵
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	桑原 秀明
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	木村 肇
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内

最終頁に続く

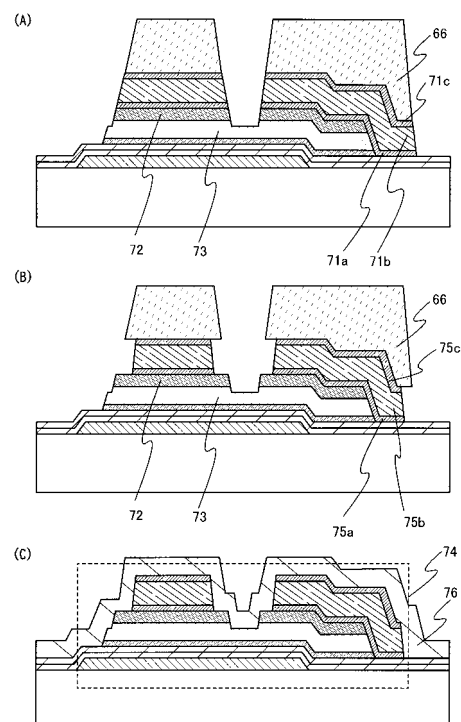
(54) 【発明の名称】 液晶表示装置

## (57) 【要約】

【課題】電気特性の信頼性の高い薄膜トランジスタを有する液晶表示装置を量産高く作製する方法を提案することを課題とする。

【解決手段】逆スタガ型の薄膜トランジスタを有する液晶表示装置において、逆スタガの薄膜トランジスタは、ゲート電極上にゲート絶縁膜が形成され、ゲート絶縁膜上にチャネル形成領域として機能する微結晶半導体膜が形成され、微結晶半導体膜上にバッファ層が形成され、バッファ層上に一对のソース領域及びドレイン領域が形成され、ソース領域及びドレイン領域の一部を露出するようにソース領域及びドレイン領域に接する一对のソース電極及びドレイン電極が形成される。

【選択図】図2



## 【特許請求の範囲】

## 【請求項 1】

ゲート電極と、

前記ゲート電極上に形成されるゲート絶縁膜と、

前記ゲート絶縁膜上に形成される微結晶半導体膜と、

前記微結晶半導体膜上に形成されるバッファ層と、

前記バッファ層上に形成されるソース領域及びドレイン領域と、

前記ソース領域及びドレイン領域上に形成されるソース電極及びドレイン電極とを有し、

前記ソース領域及びドレイン領域の上面の一部は、前記ソース電極及びドレイン電極に接し、

前記ソース領域及びドレイン領域の上面の他部は、前記ソース電極及びドレイン電極に接しない薄膜トランジスタを有することを特徴とする液晶表示装置。

10

## 【請求項 2】

ゲート電極と、

前記ゲート電極上に形成されるゲート絶縁膜と、

前記ゲート絶縁膜上に形成される微結晶半導体膜と、

前記微結晶半導体膜上に形成されるバッファ層と、

前記バッファ層上に形成されるソース領域及びドレイン領域と、

前記ソース領域及びドレイン領域上に形成されるソース電極及びドレイン電極と、

前記ソース電極及びドレイン電極上に形成される絶縁膜とを有し、

前記ソース領域及びドレイン領域の上面の一部、並びに前記バッファ層の一部が前記絶縁膜と接する薄膜トランジスタを有することを特徴とする液晶表示装置。

20

## 【請求項 3】

ゲート電極と、

前記ゲート電極上に形成されるゲート絶縁膜と、

前記ゲート絶縁膜上に形成される微結晶半導体膜と、

前記微結晶半導体膜上に形成されるバッファ層と、

前記バッファ層上に形成されるソース領域及びドレイン領域と、

前記ソース領域及びドレイン領域上に形成されるソース電極及びドレイン電極とを有し、

前記ソース領域及びドレイン領域は、前記ソース電極及びドレイン電極の端よりも延びており、

30

対向するソース領域とドレイン領域の距離は、対向するソース電極とドレイン領域の距離よりも短い薄膜トランジスタを有することを特徴とする液晶表示装置。

## 【請求項 4】

請求項 2 において、さらに前記絶縁膜上に画素電極を有し、

前記画素電極は、前記絶縁膜に形成されるコンタクトホールにおいて、前記ソース電極またはドレイン電極に電氣的に接続することを特徴とする液晶表示装置。

## 【請求項 5】

請求項 1 乃至 4 のいずれか一項において、前記バッファ層は、非晶質半導体膜で形成されることを特徴とする液晶表示装置。

40

## 【請求項 6】

請求項 1 乃至 4 のいずれか一項において、前記バッファ層は、窒素を含む非晶質半導体膜で形成されることを特徴とする液晶表示装置。

## 【請求項 7】

請求項 1 乃至 4 のいずれか一項において、前記バッファ層は、水素を含む非晶質半導体膜で形成されることを特徴とする液晶表示装置。

## 【請求項 8】

請求項 1 乃至 4 のいずれか一項において、前記バッファ層は、フッ素、塩素、臭素、またはヨウ素を含む非晶質半導体膜で形成されることを特徴とする液晶表示装置。

## 【請求項 9】

50

請求項 1 または請求項 3 において、さらに前記ソース電極及びドレイン電極上に形成される絶縁膜と、

前記絶縁膜上に画素電極を有し、

前記画素電極は、前記絶縁膜に形成されるコンタクトホールを介して前記ソース電極またはドレイン電極に電氣的に接続することを特徴とする液晶表示装置。

【請求項 10】

請求項 1 乃至 4 のいずれか一項において、前記微結晶半導体膜の一部と前記ソース領域及び前記ドレイン領域は、前記バッファ層を介して重なっており、

前記微結晶半導体膜は、p 型を付与する不純物元素を含み、前記ソース領域及び前記ドレイン領域は、n 型を付与する不純物元素を含むことを特徴とする液晶表示装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、少なくとも画素部に薄膜トランジスタを用いた液晶表示装置に関する。

【背景技術】

【0002】

近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数十～数百 nm 程度）を用いて薄膜トランジスタを構成する技術が注目されている。薄膜トランジスタは IC や電気光学装置のような電子デバイスに広く応用され、特に画像表示装置のスイッチング素子として開発が急がれている。

20

【0003】

画像表示装置のスイッチング素子として、非晶質半導体膜を用いた薄膜トランジスタ、または多結晶半導体膜を用いた薄膜トランジスタ等が用いられている。多結晶半導体膜の形成方法としては、パルス発振のエキシマレーザビームを光学系により線状に加工して、非晶質珪素膜に対し線状ビームを走査させながら照射して結晶化する技術が知られている。

【0004】

また、画像表示装置のスイッチング素子として、微結晶半導体膜を用いた薄膜トランジスタが用いられている（特許文献 1 及び 2）。

【0005】

従来の薄膜トランジスタの作製方法として、ゲート絶縁膜上にアモルファスシリコン膜を成膜した後、その上面に金属膜を形成し、当該金属膜にダイオードレーザを照射して、アモルファスシリコン膜をマイクロクリスタルシリコン膜に改質するものが知られている（非特許文献 1）。この方法によれば、アモルファスシリコン膜上に形成した金属膜は、ダイオードレーザの光エネルギーを熱エネルギーに変換するためのものであり、薄膜トランジスタの完成のためにはその後除去されるべきものであった。すなわち、金属膜からの伝導加熱によってのみアモルファスシリコン膜が加熱され、マイクロクリスタルシリコン膜を形成する方法である。

30

【特許文献 1】特開平 4 - 242724 号公報

【特許文献 2】特開 2005 - 49832 号公報

【非特許文献 1】トシアキ・アライ（Toshiaki Arai）他、エス・アイ・ディー 07 ダイジェスト（SID 07 DIGEST）、2007、p. 1370 - 1373

40

【発明の開示】

【発明が解決しようとする課題】

【0006】

多結晶半導体膜を用いた薄膜トランジスタは、非晶質半導体膜を用いた薄膜トランジスタに比べて電界効果移動度が 2 桁以上高く、液晶表示装置の画素部とその周辺の駆動回路を同一基板上に形成できるという利点を有している。しかしながら、非晶質半導体膜を用いた場合に比べて、ガラス基板上に設けられた非晶質半導体膜の結晶化のために工程が複雑化するため、その分歩留まりが低減し、コストが高まるという問題がある。

50

## 【 0 0 0 7 】

また、結晶粒が露出する微結晶半導体膜の表面は、酸化されやすいという問題がある。このため、チャネル形成領域の結晶粒が酸化されると、結晶粒の表面に酸化膜が形成されてしまい、当該酸化膜がキャリアの移動の障害となり、薄膜トランジスタの電気特性が低下するという問題がある。

## 【 0 0 0 8 】

上述した問題に鑑み、本発明は、電気特性の信頼性の高い薄膜トランジスタを有する液晶表示装置を量産高く作製する方法を提案することを課題とする。

## 【課題を解決するための手段】

## 【 0 0 0 9 】

逆スタガ型の薄膜トランジスタを有する液晶表示装置において、逆スタガの薄膜トランジスタは、ゲート電極上にゲート絶縁膜が形成され、ゲート絶縁膜上にチャネル形成領域として機能する微結晶半導体膜（セミアモルファス半導体膜ともいう。）が形成され、微結晶半導体膜上にバッファ層が形成され、バッファ層上に一对のソース領域及びドレイン領域が形成され、ソース領域及びドレイン領域の一部を露出するようにソース領域及びドレイン領域に接する一对のソース電極及びドレイン電極が形成される。このため、ソース領域及びドレイン領域の上面は、ソース電極及びドレイン電極に接する領域と、ソース電極及びドレイン電極に接しない領域とを有する。また、ソース電極及びドレイン電極が対向する領域において、ソース領域及びドレイン領域の一部、並びにバッファ層の一部が露出している。また、ソース電極及びドレイン電極の端部の外側にソース領域及びドレイン領域の端部が形成される。また、ソース領域及びドレイン領域は、ソース電極及びドレイン電極の端よりも延びている。さらに、対向するソース領域とドレイン領域の距離は、対向するソース電極とドレイン電極の距離よりも短い。

## 【 0 0 1 0 】

ソース電極及びドレイン電極の端部と、ソース領域及びドレイン領域の端部が一致せず、ソース電極及びドレイン電極の端部の外側にソース領域及びドレイン領域の端部が形成されることにより、ソース電極及びドレイン電極の端部の距離が離れるため、ソース電極及びドレイン電極間のリーク電流やショートを防止することができる。また、ソース電極及びドレイン電極並びにソース領域及びドレイン領域の端部に電界が集中せず、ゲート電極と、ソース電極及びドレイン電極との間でのリーク電流を防止することができる。

## 【 0 0 1 1 】

また、バッファ層は一部に窪みを有し、当該窪みの側面とソース領域及びドレイン領域の端部とが一致している。バッファ層は一部に窪みを有しリーク電流の流れるバッファ層表面の経路が延長されるため、ソース領域及びドレイン領域の間でのリーク電流を低減することができる。

## 【 0 0 1 2 】

また、微結晶半導体膜とソース領域及びドレイン領域との間に、バッファ層が形成されている。微結晶半導体膜はチャネル形成領域として機能する。また、バッファ層は、微結晶半導体膜の酸化を防止すると共に、高抵抗領域として機能する。微結晶半導体膜とソース領域及びドレイン領域との間に、バッファ層が形成されているため、電界効果移動度が高く、且つリーク電流が少なく、ドレイン耐圧が高い。

## 【 0 0 1 3 】

バッファ層は、プラズマCVD法、スパッタリング法等で形成することができる。バッファ層としては、非晶質半導体膜を用いることができ、更には、窒素、水素、またはハロゲンのいずれか一つ以上を含む非晶質半導体膜であることが好ましい。非晶質半導体膜に、窒素、水素、またはハロゲンのいずれか一つを含ませることで、微結晶半導体膜に含まれる結晶粒が酸化されることをさらに低減することが可能である。

## 【 0 0 1 4 】

また、膜中に、窒素、水素、またはハロゲンのいずれか一つを含ませるため、例えば、非晶質半導体膜を形成した後、非晶質半導体膜の表面を窒素プラズマ、水素プラズマ、また

10

20

30

40

50

はハロゲンプラズマで処理して非晶質半導体膜の表面を窒素化、水素化またはハロゲン化することができる。

【0015】

バッファ層を微結晶半導体膜の表面に接して設けることで、微結晶半導体膜に含まれる結晶粒の酸化を低減することが可能であるため、薄膜トランジスタの電気特性の劣化を低減することができる。

【0016】

微結晶半導体膜は、多結晶半導体膜と異なり、微結晶半導体膜として直接ガラス基板上に成膜することができる。具体的には、水素化珪素を原料ガスとし、プラズマCVD装置を用いて成膜することができる。上記方法を用いて作製された微結晶半導体膜は、0.5 nm ~ 20 nmの結晶粒を非晶質半導体中に含む微結晶半導体膜も含んでいる。よって、多結晶半導体膜を用いる場合と異なり、半導体膜の成膜後に長時間の熱処理を行う結晶化の工程を設ける必要がない。薄膜トランジスタの作製における工程数を削減することができる。液晶表示装置の歩留まりを高め、コストを抑えることができる。本明細書においては、成膜によって得られる膜をセミアモルファス半導体膜と呼び、成膜後に溶融しないエネルギー密度でレーザ光を照射して結晶を成長させた膜をセミクリスタル半導体膜と呼ぶ。また、周波数が1 GHz以上のマイクロ波を用いたプラズマは電子密度が高く、原料ガスである水素化珪素の解離が容易となる。このため、周波数が数十MHz ~ 数百MHzのマイクロ波プラズマCVD法と比較して、微結晶半導体膜を容易に作製することが可能であり、成膜速度を高めることが可能である。このため、液晶表示装置の量産性を高めることが可能である。

10

20

【0017】

また、微結晶半導体膜を用い、薄膜トランジスタ(TFT)を作製し、該薄膜トランジスタを画素部、さらには駆動回路に用いて液晶表示装置を作製する。微結晶半導体膜を用いた薄膜トランジスタは、その電界効果移動度が $1 \sim 20 \text{ cm}^2 / \text{V} \cdot \text{sec}$ と、非晶質半導体膜を用いた薄膜トランジスタの2 ~ 20倍の電界効果移動度を有しているので、駆動回路の一部または全体を、画素部と同じ基板上に一体形成し、システムオンパネルを形成することができる。

【0018】

また、素子基板は、具体的には、表示素子の画素電極のみが形成された状態であっても良いし、画素電極となる導電膜を成膜した後であって、エッチングして画素電極を形成する前の状態であっても良いし、あらゆる形態があてはまる。

30

【0019】

なお、本明細書中における液晶表示装置とは、画像表示デバイス、もしくは光源(照明装置含む)を指す。また、コネクタ、例えばFPC(Flexible printed circuit)もしくはTAB(Tape Automated Bonding)テープもしくはTCP(Tape Carrier Package)が取り付けられたモジュール、TABテープやTCPの先にプリント配線板が設けられたモジュール、または表示素子にCOG(Chip On Glass)方式によりIC(集積回路)が直接実装されたモジュールも全て液晶表示装置に含むものとする。

40

【発明の効果】

【0020】

本発明により、電気特性の信頼性の高い薄膜トランジスタを有する液晶表示装置を量産高く作製することができる。

【発明を実施するための最良の形態】

【0021】

以下、本発明の実施の形態について図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。

50

## 【 0 0 2 2 】

## ( 実施の形態 1 )

本実施の形態では、液晶表示装置に用いられる薄膜トランジスタの作製工程について、図 1 乃至図 8 を用いて説明する。図 1 乃至図 3、図 5 乃至図 7 は、薄膜トランジスタの作製工程を示す断面図であり、図 4、及び図 8 は、一画素における薄膜トランジスタ及び画素電極の接続領域の上面図である。

## 【 0 0 2 3 】

微結晶半導体膜を有する薄膜トランジスタは p 型よりも n 型の方が、電界効果移動度が高いので駆動回路に用いるのにより適している。同一の基板上に形成する薄膜トランジスタを全て同じ極性にそろえておくことが、工程数を抑えるためにも望ましい。ここでは、n

10

## 【 0 0 2 4 】

図 1 ( A ) に示すように、基板 5 0 上にゲート電極 5 1 を形成する。基板 5 0 は、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス、若しくはアルミノシリケートガラスなど、フュージョン法やフロート法で作製される無アルカリガラス基板、セラミック基板の他、本作製工程の処理温度に耐えうる耐熱性を有するプラスチック基板等を用いることができる。また、ステンレス合金などの金属基板の表面に絶縁膜を設けた基板を適用しても良い。基板 5 0 がマザーガラスの場合、基板の大きさは、第 1 世代 ( 3 2 0 mm × 4 0 0 mm )、第 2 世代 ( 4 0 0 mm × 5 0 0 mm )、第 3 世代 ( 5 5 0 mm × 6 5 0 mm )、第 4 世代 ( 6 8 0 mm × 8 8 0 mm、または 7 3 0 mm × 9 2 0 mm )、第 5 世代 ( 1 0 0 0 mm × 1 2 0 0 mm または 1 1 0 0 mm × 1 2 5 0 mm )、第 6 世代 1 5 0 0 mm × 1 8 0 0 mm )、第 7 世代 ( 1 9 0 0 mm × 2 2 0 0 mm )、第 8 世代 ( 2 1 6 0 mm × 2 4 6 0 mm )、第 9 世代 ( 2 4 0 0 mm × 2 8 0 0 mm、2 4 5 0 mm × 3 0 5 0 mm )、第 1 0 世代 ( 2 9 5 0 mm × 3 4 0 0 mm ) 等を用いることができる。

20

## 【 0 0 2 5 】

ゲート電極 5 1 は、チタン、モリブデン、クロム、タンタル、タングステン、アルミニウムなどの金属材料またはその合金材料を用いて形成する。ゲート電極 5 1 は、スパッタリング法や真空蒸着法で基板 5 0 上に導電膜を形成し、当該導電膜上にフォトリソグラフィ技術またはインクジェット法によりマスクを形成し、当該マスクを用いて導電膜をエッチングすることで、形成することができる。また、銀、金、銅などの導電性ナノペーストを用いてインクジェット法により吐出し焼成して、ゲート電極 5 1 を形成することもできる。なお、ゲート電極 5 1 の密着性向上と下地への拡散を防ぐバリアメタルとして、上記金属材料の窒化物膜を、基板 5 0 及びゲート電極 5 1 の間に設けてもよい。ここでは、フォトリソマスクを用いて形成したレジストマスクを用いて基板 5 0 上に形成された導電膜をエッチングしてゲート電極を形成する。

30

## 【 0 0 2 6 】

なお、ゲート電極 5 1 上には半導体膜や配線を形成するので、段切れ防止のため端部がテーパ状になるように加工することが望ましい。また、図示しないがこの工程でゲート電極に接続する配線も同時に形成することができる。

## 【 0 0 2 7 】

次に、ゲート電極 5 1 上に、ゲート絶縁膜 5 2 a、5 2 b、微結晶半導体膜 5 3、バッファ層 5 4、一導電型を付与する不純物が添加された半導体膜 5 5 を順に形成する。次に、一導電型を付与する不純物が添加された半導体膜 5 5 上にマスク 5 6 を形成する。なお、少なくとも、ゲート絶縁膜 5 2 a、5 2 b、微結晶半導体膜 5 3、及びバッファ層 5 4 を連続的に形成することが好ましい。さらには、ゲート絶縁膜 5 2 a、5 2 b、微結晶半導体膜 5 3、バッファ層 5 4、及び一導電型を付与する不純物が添加された半導体膜 5 5 を連続的に形成することが好ましい。少なくとも、ゲート絶縁膜 5 2 a、5 2 b、微結晶半導体膜 5 3、及びバッファ層 5 4 を大気に触れさせることなく連続成膜することで、大気成分や大気中に浮遊する汚染不純物元素に汚染されることなく各積層界面を形成することができるので、薄膜トランジスタ特性のばらつきを低減することができる。

40

50

## 【0028】

ゲート絶縁膜52a、52bはそれぞれ、CVD法やスパッタリング法等を用いて、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、または窒化酸化珪素膜で形成することができる。ここでは、ゲート絶縁膜52a、52bとして、酸化珪素膜または酸化窒化珪素膜と、窒化珪素膜または窒化酸化珪素膜との順に積層して形成する形態を示す。なお、ゲート絶縁膜を2層とせず、基板側から窒化珪素膜または窒化酸化珪素膜と、酸化珪素膜または酸化窒化珪素膜と、窒化珪素膜または窒化酸化珪素膜との順に3層積層して形成することができる。また、ゲート絶縁膜を、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、または窒化酸化珪素膜の単層で形成することができる。更には、周波数が1GHz以上のマイクロ波プラズマCVD装置を用いてゲート絶縁膜を形成することが好ましい。マイクロ波プラズマCVD装置で形成した酸化窒化珪素膜、窒化酸化珪素膜は、耐圧が高く、後に形成される薄膜トランジスタの信頼性を高めることができる。

10

## 【0029】

ここでは、酸化窒化珪素膜とは、その組成として、窒素よりも酸素の含有量が多いものであって、濃度範囲として酸素が55～65原子%、窒素が1～20原子%、Siが25～35原子%、水素が0.1～10原子%の範囲で含まれるものをいう。また、窒化酸化珪素膜とは、その組成として、酸素よりも窒素の含有量が多いものであって、濃度範囲として酸素が15～30原子%、窒素が20～35原子%、Siが25～35原子%、水素が15～25原子%の範囲で含まれるものをいう。

20

## 【0030】

微結晶半導体膜53は、非晶質と結晶構造（単結晶、多結晶を含む）の中間的な構造の半導体を含む膜である。この半導体は、自由エネルギー的に安定な第3の状態を有する半導体であって、短距離秩序を持ち格子歪みを有する結晶質なものであり、その粒径を0.5～20nmとして非単結晶半導体中に分散させて存在せしめることが可能である。微結晶半導体の代表例である微結晶シリコンは、そのラマンスペクトルが単結晶シリコンを示す $520.6\text{ cm}^{-1}$ よりも低波数側に、シフトしている。即ち、 $481\text{ cm}^{-1}$ 以上 $520.6\text{ cm}^{-1}$ 以下の間に微結晶シリコンのラマンスペクトルのピークがある。また、未結合手（ダングリングボンド）を終端するため水素またはハロゲンを少なくとも1原子%またはそれ以上含ませている。さらに、ヘリウム、アルゴン、クリプトン、ネオンなどの希ガス元素を含ませて格子歪みをさらに助長させることで、安定性が増し良好な微結晶半導体膜が得られる。このような微結晶半導体膜に関する記述は、例えば、米国特許4,409,134号で開示されている。また、微結晶シリコン膜をマイクロクリスタルシリコン膜（ $\mu\text{C-Si}$ 膜）とも呼ぶ。

30

## 【0031】

この微結晶半導体膜は、周波数が数十MHz～数百MHzの高周波プラズマCVD法、または周波数が1GHz以上のマイクロ波プラズマCVD装置により形成することができる。代表的には、 $\text{SiH}_4$ 、 $\text{Si}_2\text{H}_6$ などの水素化珪素を水素で希釈して形成することができる。また、水素化珪素及び水素に加え、ヘリウム、アルゴン、クリプトン、ネオンから選ばれた一種または複数種の希ガス元素で希釈して微結晶半導体膜を形成することができる。これらのときの水素化珪素に対して水素の流量比を5倍以上200倍以下、好ましくは50倍以上150倍以下、更に好ましくは100倍とする。なお、水素化珪素の代わりに、 $\text{SiH}_2\text{Cl}_2$ 、 $\text{SiHCl}_3$ 、 $\text{SiCl}_4$ 、 $\text{SiF}_4$ 等を用いることができる。

40

## 【0032】

また、微結晶半導体膜は、価電子制御を目的とした不純物元素を意図的に添加しないときに弱いn型の電気伝導性を示すので、薄膜トランジスタのチャネル形成領域として機能する微結晶半導体膜に対しては、p型を付与する不純物元素を、成膜と同時に、或いは成膜後に添加することで、しきい値制御をすることが可能となる。p型を付与する不純物元素としては、代表的には硼素であり、 $\text{B}_2\text{H}_6$ 、 $\text{BF}_3$ などの不純物気体を1ppm～1000ppm、好ましくは1～100ppmの割合で水素化珪素に混入させると良い。そ

50

してボロンの濃度を、例えば  $1 \times 10^{14} \sim 6 \times 10^{16} \text{ atoms/cm}^3$  とすると良い。

#### 【0033】

また、微結晶半導体膜の酸素濃度を、 $1 \times 10^{19} \text{ cm}^{-3}$  以下、好ましくは  $5 \times 10^{18} \text{ cm}^{-3}$  以下、窒素及び炭素の濃度それぞれを  $5 \times 10^{18} \text{ cm}^{-3}$  以下、好ましくは  $1 \times 10^{18} \text{ cm}^{-3}$  以下とすることが好ましい。酸素、窒素、及び炭素が微結晶半導体膜に混入する濃度を低減することで、微結晶半導体膜がn型化になることを防止することができる。

#### 【0034】

微結晶半導体膜53は、0nmより厚く200nm以下、好ましくは1nm以上100nm以下、さらに好ましくは5nm以上50nm以下で形成する。微結晶半導体膜53は後に形成される薄膜トランジスタのチャネル形成領域として機能する。微結晶半導体膜53の厚さを5nm以上50nm以下の範囲内とすることで、後に形成される薄膜トランジスタは、完全空乏型となる。また、微結晶半導体膜53は成膜速度が非晶質半導体膜の成膜速度の  $1/10 \sim 1/100$  と遅いため、膜厚を薄くすることでスループットを向上させることができる。また、微結晶半導体膜は微結晶で構成されているため、非晶質半導体膜と比較して抵抗が低い。このため、微結晶半導体膜を用いた薄膜トランジスタは、電流電圧特性を示す曲線の立ち上がり部分の傾きが急峻となり、スイッチング素子としての応答性が優れ、高速動作が可能となる。また、薄膜トランジスタのチャネル形成領域に微結晶半導体膜を用いることで、薄膜トランジスタの閾値の変動を抑制することが可能である。このため、電気特性のばらつきの少ない液晶表示装置を作製することができる。

#### 【0035】

また、微結晶半導体膜は非晶質半導体膜と比較して電界効果移動度が高い。このため、表示素子のスイッチングとして、チャネル形成領域が微結晶半導体膜で形成される薄膜トランジスタを用いることで、チャネル形成領域の面積、即ち薄膜トランジスタの面積を縮小することが可能である。このため、一画素あたりに占める薄膜トランジスタの面積が小さくなり、透過型の液晶表示装置の場合に画素の開口率を高めることが可能である。この結果、解像度の高い液晶表示装置を作製することができる。

#### 【0036】

バッファ層54は、 $\text{SiH}_4$ 、 $\text{Si}_2\text{H}_6$  などの水素化珪素を用いて、プラズマCVD法により形成することができる。また、上記水素化珪素に、ヘリウム、アルゴン、クリプトン、ネオンから選ばれた一種または複数種の希ガス元素で希釈して非晶質半導体膜を形成することができる。水素化珪素の流量の1倍以上20倍以下、好ましくは1倍以上10倍以下、更に好ましくは1倍以上5倍以下の流量の水素を用いて、水素を含む非晶質半導体膜を形成することができる。また、上記水素化珪素と窒素またはアンモニアとを用いることで、窒素を含む非晶質半導体膜を形成することができる。また、上記水素化珪素と、フッ素、塩素、臭素、またはヨウ素を含む気体 ( $\text{F}_2$ 、 $\text{Cl}_2$ 、 $\text{Br}_2$ 、 $\text{I}_2$ 、 $\text{HF}$ 、 $\text{HCl}$ 、 $\text{HBr}$ 、 $\text{HI}$  等) を用いることで、フッ素、塩素、臭素、またはヨウ素を含む非晶質半導体膜を形成することができる。なお、水素化珪素の代わりに、 $\text{SiH}_2\text{Cl}_2$ 、 $\text{SiHCl}_3$ 、 $\text{SiCl}_4$ 、 $\text{SiF}_4$  等を用いることができる。

#### 【0037】

また、バッファ層54は、ターゲットに非晶質半導体を用いて水素、または希ガスでスパッタリングして非晶質半導体膜を形成することができる。このとき、アンモニア、窒素、または $\text{N}_2\text{O}$ を雰囲気中に含ませることにより、窒素を含む非晶質半導体膜を形成することができる。また、雰囲気中にフッ素、塩素、臭素、またはヨウ素を含む気体 ( $\text{F}_2$ 、 $\text{Cl}_2$ 、 $\text{Br}_2$ 、 $\text{I}_2$ 、 $\text{HF}$ 、 $\text{HCl}$ 、 $\text{HBr}$ 、 $\text{HI}$  等) を含ませることにより、フッ素、塩素、臭素、またはヨウ素を含む非晶質半導体膜を形成することができる。

#### 【0038】

また、バッファ層54として、微結晶半導体膜53の表面にプラズマCVD法またはスパッタリング法により非晶質半導体膜を形成した後、非晶質半導体膜の表面を水素プラズマ

、窒素プラズマ、またはハロゲンプラズマで処理して、非晶質半導体膜の表面を水素化、窒素化、またはハロゲン化してもよい。または、非晶質半導体膜の表面を、ヘリウムプラズマ、ネオンプラズマ、アルゴンプラズマ、クリプトンプラズマ等で処理してもよい。

【0039】

バッファ層54は、結晶粒を含まない非晶質半導体膜で形成することが好ましい。このため、周波数が数十MHz～数百MHzの高周波プラズマCVD法、またはマイクロ波プラズマCVD法で形成する場合は、結晶粒を含まない非晶質半導体膜となるように、成膜条件を制御することが好ましい。

【0040】

バッファ層54は、後のソース領域及びド레인領域の形成プロセスにおいて、一部エッチングされる場合があるが、そのときに、バッファ層54の一部が残存する厚さで形成することが好ましい。エッチングされて残存する部分の厚さは、代表的には、10nm以上100nm以下の厚さで形成することが好ましい。

【0041】

なお、バッファ層54には、リンやボロン等の一導電型を付与する不純物が添加されていないことが好ましい。特に、閾値を制御するために微結晶半導体膜に含まれるボロン、または一導電型を付与する不純物が添加された半導体膜に含まれるリンがバッファ層54に混入されないことが好ましい。この結果、PN接合によるリーク電流の発生領域をなくすることで、リーク電流の低減を図ることができる。また、一導電型を付与する不純物が添加された半導体膜と、微結晶半導体膜との間に、リンやボロン等の一導電型を付与する不純物が添加されない非晶質半導体膜を形成することで、微結晶半導体膜とソース領域及びド레인領域それぞれに含まれる不純物が拡散するのを妨げることが可能である。しきい値電圧制御用の一導電型を付与する不純物を微結晶半導体膜に添加した場合、バッファ層を設けることでソース領域及びド레인領域に含まれる一導電型を付与する不純物と微結晶半導体膜のしきい値電圧制御用の一導電型を付与する不純物が相互に混ざらないようにすることができる。

【0042】

微結晶半導体膜53の表面に、非晶質半導体膜、更には水素、窒素、またはハロゲンを含む非晶質半導体膜を形成することで、微結晶半導体膜53に含まれる結晶粒の表面の自然酸化を防止することが可能である。特に、非晶質半導体と微結晶粒が接する領域では、結晶格子の歪に由来し、亀裂が入りやすい。この亀裂が酸素に触れると結晶粒は酸化され、酸化珪素が形成される。しかしながら、微結晶半導体膜53の表面にバッファ層を形成することで、微結晶粒の酸化を防ぐことができる。また、バッファ層を形成することで、後にソース領域及びド레인領域を形成する際に発生するエッチング残渣が微結晶半導体膜に混入することを防ぐことができる。

【0043】

また、バッファ層54は、非晶質半導体膜を用いて形成する、または、水素、窒素、若しくはハロゲンを含む非晶質半導体膜で形成する。非晶質半導体膜のエネルギーギャップが微結晶半導体膜に比べて大きく（非晶質半導体膜のエネルギーギャップは1.6eV以上1.8eV以下、微結晶半導体膜のエネルギーギャップは1.1eV以上1.5eV以下）、また抵抗が高く、電界効果移動度が低く、非晶質半導体膜の電界効果移動度は微結晶半導体膜の1/5～1/10である。このため、後に形成される薄膜トランジスタにおいて、ソース領域及びド레인領域と、微結晶半導体膜との間に形成されるバッファ層は高抵抗領域として機能し、微結晶半導体膜がチャネル形成領域として機能する。このため、薄膜トランジスタのオフ電流を低減することができる。当該薄膜トランジスタを液晶表示装置のスイッチング素子として用いた場合、液晶表示装置のコントラストを向上させることができる。

【0044】

一導電型を付与する不純物が添加された半導体膜55は、nチャネル型の薄膜トランジスタを形成する場合には、代表的な不純物元素としてリンを添加すれば良く、水素化珪素

10

20

30

40

50

に  $\text{PH}_3$  などの不純物気体を加えれば良い。例えば、一導電型を付与する不純物が添加された半導体膜 55 は、リンを含むアモルファスシリコン膜 ( $\text{a-Si}(\text{n}^+)$  膜とも呼ぶ。) で形成すればよい。また、p チャネル型の薄膜トランジスタを形成する場合には、代表的な不純物元素としてボロンを添加すれば良く、水素化珪素に  $\text{B}_2\text{H}_6$  などの不純物気体を加えれば良い。一導電型を付与する不純物が添加された半導体膜 55 は、微結晶半導体膜、または非晶質半導体で形成することができる。一導電型を付与する不純物が添加された半導体膜 55 は 2 nm 以上 50 nm 以下の厚さで形成する。一導電型を付与する不純物が添加された半導体膜の膜厚を、薄くすることでスループットを向上させることができる。

#### 【0045】

ここで、ゲート絶縁膜 52 a、52 b から一導電型を付与する不純物が添加された半導体膜 55 を連続成膜することが可能なマイクロ波プラズマ CVD 装置について、図 9 を用いて示す。図 9 はマイクロ波プラズマ CVD 装置の上断面を示す模式図であり、共通室 1120 の周りに、ロード室 1110、アンロード室 1115、反応室 (1) ~ 反応室 (4) 1111 ~ 1114 を備えた構成となっている。共通室 1120 と各室の間にはゲートバルブ 1122 ~ 1127 が備えられ、各室で行われる処理が、相互に干渉しないように構成されている。基板はロード室 1110、アンロード室 1115 のカセット 1128、1129 に装填され、共通室 1120 の搬送手段 1121 により反応室 (1) ~ 反応室 (4) 1111 ~ 1114 へ運ばれる。この装置では、堆積膜種ごとに反応室をあてがうことが可能であり、複数の異なる被膜を大気に触れさせることなく連続して形成することができる。

10

20

#### 【0046】

反応室 (1) ~ 反応室 (4) それぞれにおいて、ゲート絶縁膜 52 a、52 b、微結晶半導体膜 53、バッファ層 54、及び一導電型を付与する不純物が添加された半導体膜 55 を積層形成する。この場合は、原料ガスの切り替えにより異なる種類の膜を連続的に複数積層することができる。この場合、ゲート絶縁膜を形成した後、反応室内にシラン等の水素化珪素を導入し、残留酸素及び水素化珪素を反応させて、反応物を反応室外に排出することで、反応室内の残留酸素濃度を低減させることができる。この結果、微結晶半導体膜に含まれる酸素の濃度を低減することができる。また、微結晶半導体膜に含まれる結晶粒の酸化を防止することができる。

30

#### 【0047】

または、反応室 (1) 及び反応室 (3) でゲート絶縁膜 52 a、52 b、微結晶半導体膜 53、及びバッファ層 54 を形成し、反応室 (2) 及び反応室 (4) で一導電型を付与する不純物が添加された半導体膜 55 を形成する。一導電型を付与する不純物のみ単独で成膜することにより、チャンバに残存する一導電型を付与する不純物が他の膜に混入することを防ぐことができる。

#### 【0048】

このように、複数のチャンバが接続されたマイクロ波プラズマ CVD 装置で、同時にゲート絶縁膜 52 a、52 b、微結晶半導体膜 53、バッファ層 54、及び一導電型を付与する不純物が添加された半導体膜 55 を成膜することができるため、量産性を高めることができる。また、ある反応室がメンテナンスやクリーニングを行っていても、残りの反応室において成膜処理が可能となり、成膜のタクトを向上させることができる。また、大気成分や大気中に浮遊する汚染不純物元素に汚染されることなく各積層界面を形成することができるので、薄膜トランジスタ特性のばらつきを低減することができる。

40

#### 【0049】

また、反応室 (1) でゲート絶縁膜 52 a、52 b を形成し、反応室 (2) で微結晶半導体膜 53 及びバッファ層 54 を形成し、反応室 (3) で一導電型を付与する不純物が添加された半導体膜 55 を形成することができる。また、ゲート絶縁膜 52 a を酸化珪素膜または酸化窒化珪素膜で形成し、ゲート絶縁膜 52 b を窒化珪素膜または窒化酸化珪素膜で形成する場合、反応室を 5 つ設け、反応室 (1) で、ゲート絶縁膜 52 a の酸化珪素膜ま

50

たは酸化窒化珪素膜を形成し、反応室(2)で、ゲート絶縁膜52bの窒化珪素膜または窒化酸化珪素膜を形成し、反応室(3)で、微結晶半導体膜を形成し、反応室(4)でバッファ層を形成し、反応室(5)で、一導電型を付与する不純物が添加された半導体膜を形成してもよい。また、微結晶半導体膜は成膜速度が遅いため、複数の反応室で微結晶半導体膜を成膜してもよい。例えば、反応室(1)でゲート絶縁膜52a、52bを形成し、反応室(2)及び(3)で微結晶半導体膜53を形成し、反応室(4)でバッファ層54を形成し、反応室(5)で一導電型を付与する不純物が添加された半導体膜55を形成してもよい。このように、複数の反応室で同時に微結晶半導体膜53を成膜することでスループットを向上させることができる。このとき、各反応室の内壁を成膜する種類の膜でコーティングすることが好ましい。

10

#### 【0050】

このような構成のマイクロ波プラズマCVD装置を用いれば、各反応室で種類の類似する膜または一種の膜を成膜することが可能であり、且つ大気に曝すことなく連続して形成することができるため、前に成膜した膜の残留物や大気に浮遊する不純物元素に汚染されることなく、各積層界面を形成することができる。

#### 【0051】

なお、図9に示すマイクロ波プラズマCVD装置には、ロード室及びアンロード室が別々に設けられているが、一つとしロード/アンロード室とでもよい。また、マイクロ波プラズマCVD装置に予備室を設けてもよい。予備室で基板を予備加熱することで、各反応室において成膜までの加熱時間を短縮することが可能であるため、スループットを向上させることができる。

20

#### 【0052】

以下に、成膜処理について説明する。これらの成膜処理は、その目的に応じて、ガス供給部から供給するガスを選択すれば良い。

#### 【0053】

ここでは、ゲート絶縁膜52aに、酸化窒化珪素膜を形成し、ゲート絶縁膜52bに窒化酸化珪素膜を形成する方法を一例としてあげる。

#### 【0054】

はじめに、マイクロ波プラズマCVD装置の反応室の処理容器の内部を、フッ素ラジカルでクリーニングする。なお、フッ素ラジカルは、反応室の外側に設けられたプラズマ発生器に、フッ化炭素、フッ化窒素、またはフッ素を導入し、解離し、フッ素ラジカルを反応室に導入することで、反応室内をクリーニングすることができる。

30

#### 【0055】

フッ素ラジカルでクリーニングした後、反応室内部に水素を大量に導入することで、反応室内の残留フッ素と水素を反応させて、残留フッ素の濃度を低減することができる。このため、後に反応室の内壁に成膜する保護膜へのフッ素の混入量を減らすことが可能であり、保護膜の厚さを薄くすることが可能である。

#### 【0056】

次に、反応室の処理容器内壁等の表面に保護膜として酸化窒化膜を堆積する。ここでは、処理容器内の圧力を1~200Pa、好ましくは1~100Paとし、プラズマ着火用ガスとして、ヘリウム、アルゴン、キセノン、クリプトン等の希ガスのいずれか一種以上のガスを導入する。さらには、希ガスのいずれか一種及び水素を導入する。特に、プラズマ着火用ガスとしてヘリウム、更にはヘリウムと水素を用いることが好ましい。

40

#### 【0057】

ヘリウムのイオン化エネルギーは24.5eVと高いエネルギーを持つが、約20eVに準安定状態があるので、放電中においては約4eVでイオン化が可能である。このため、放電開始電圧が低く、また放電を維持しやすい。よって、プラズマを均一に維持することが可能であると共に、省電力化が可能である。

#### 【0058】

また、プラズマ着火用ガスとして、ヘリウム、アルゴン、キセノン、クリプトン等の希ガ

50

スのいずれか一種以上及び酸素ガスを導入してもよい。希ガスと共に、酸素ガスを処理容器内に導入することで、プラズマの着火を容易とすることができる。

【0059】

次に、マイクロ波発生装置の電源をオンにし、マイクロ波発生装置の出力は500～6000W、好ましくは4000～6000Wとしてプラズマを発生させる。次に、ガス管から原料ガスを処理容器内に導入する。具体的には、原料ガスとして、一酸化二窒素、希ガス、及びシランを導入することで、処理容器の内壁、ガス管、誘電体板、及び支持台表面上に保護膜として酸化窒化珪素膜を形成する。このときの水素化珪素の流量を50～300sccm、一酸化二窒素の流量を500～6000sccmとし、保護膜の膜厚を500～2000nmとする。

10

【0060】

次に、原料ガスの供給を停止し、処理容器内の圧力を低下し、マイクロ波発生装置の電源をオフにした後、処理容器内の支持台上に基板を導入する。

【0061】

次に、上記保護膜と同様の工程により、基板上にゲート絶縁膜52aとして酸化窒化珪素膜を堆積させる。

【0062】

所定の厚さの酸化窒化珪素膜が堆積されたら、原料ガスの供給を停止し、処理容器内の圧力を低下し、マイクロ波発生装置の電源をオフにする。

【0063】

次に、処理容器内の圧力を1～200Pa、好ましくは1～100Paとし、プラズマ着火用ガスとして、ヘリウム、アルゴン、キセノン、クリプトン等の希ガスのいずれか一種以上と、原料ガスであるシラン、一酸化二窒素、及びアンモニアを導入する。なお、原料ガスとして、アンモニアの代わりに窒素を導入しても良い。次に、マイクロ波発生装置の電源をオンにし、マイクロ波発生装置の出力は500～6000W、好ましくは4000～6000Wとしてプラズマを発生させる。次に、ガス管から原料ガスを処理容器内に導入し、基板の酸化窒化珪素膜上にゲート絶縁膜52bとして窒化酸化珪素膜を形成する。次に、原料ガスの供給を停止し、処理容器内の圧力を低下し、マイクロ波発生装置の電源をオフにして、成膜プロセスを終了する。

20

【0064】

以上の工程により、反応室内壁の保護膜を酸化窒化珪素膜とし、基板上に酸化窒化珪素膜及び窒化酸化珪素膜を連続的に成膜することで、上層側の窒化酸化珪素膜中に酸化珪素等の不純物の混入を低減することができる。電源装置としてマイクロ波を発生させることが可能な電源装置を用いたマイクロ波プラズマCVD法により上記膜を形成することで、プラズマ密度が高くなり耐圧の高い膜を形成することができ、当該膜をゲート絶縁膜として用いると、トランジスタの閾値のばらつきを低減することができる。また、BT特性を向上させることができる。また、静電気に対する耐性が高まり、高い電圧が印加されても破壊にくいトランジスタを作製することができる。また、経時破壊の少ないトランジスタを作製することができる。また、ホットキャリアダメージの少ないトランジスタを作製することができる。

30

40

【0065】

また、ゲート絶縁膜としてマイクロ波プラズマCVD装置により形成した酸化窒化珪素膜単層の場合、上記保護膜の形成方法及び酸化窒化珪素膜の形成方法を用いる。特に、シランに対する一酸化二窒素の流量比を100倍以上300倍以下、好ましくは150倍以上250倍以下とすると、耐圧の高い酸化窒化珪素膜を形成することができる。

【0066】

次に、マイクロ波プラズマCVD法による微結晶半導体膜及びバッファ層として非晶質半導体膜を連続的に成膜する成膜処理方法について示す。まず、上記ゲート絶縁膜と同様により、反応室内をクリーニングする。次に、処理容器内に保護膜として珪素膜を堆積する。ここでは、処理容器内の圧力を1～200Pa、好ましくは1～100Paとし、プラ

50

ズマ着火用ガスとして、ヘリウム、アルゴン、キセノン、クリプトン等の希ガスのいずれか一種以上を導入する。なお、希ガスと共に水素を導入してもよい。

【0067】

次に、マイクロ波発生装置の電源をオンにし、マイクロ波発生装置の出力は500～6000W、好ましくは4000～6000Wとしてプラズマを発生させる。次に、ガス管から原料ガスを処理容器内に導入する。具体的には、原料ガスとして、具体的には、水素化珪素ガス、及び水素ガスを導入することで、処理容器の内壁、ガス管、誘電体板、及び支持台表面上に保護膜として微結晶珪素膜を形成する。また、水素化珪素ガス及び水素ガスに加え、ヘリウム、アルゴン、クリプトン、ネオンから選ばれた一種または複数種の希ガス元素で希釈して微結晶半導体膜を形成することができる。これらのときの水素化珪素に対して水素の流量比を5倍以上200倍以下、好ましくは50倍以上150倍以下、更に好ましくは100倍とする。また、このときの保護膜の膜厚を500～2000nmとする。なお、マイクロ波発生装置の電源をオンにする前に、処理容器内に上記希ガスの他、水素化珪素ガス及び水素ガスを導入してもよい。

10

【0068】

また、水素化珪素ガス、及び水素化珪素ガスに加え、ヘリウム、アルゴン、クリプトン、ネオンから選ばれた一種または複数種の希ガス元素で希釈して、保護膜として非晶質半導体膜を形成することができる。

【0069】

次に、原料ガスの供給を停止し、処理容器内の圧力を低下し、マイクロ波発生装置の電源をオフにした後、処理容器内の支持台上に基板を導入する。

20

【0070】

次に、基板上に形成されるゲート絶縁膜52bの表面を水素プラズマ処理する。微結晶半導体膜を形成する前に水素プラズマ処理することにより、ゲート絶縁膜及び微結晶半導体膜の界面における格子歪を低減することが可能であり、ゲート絶縁膜及び微結晶半導体膜の界面特性を向上させることができる。このため、後に形成される薄膜トランジスタの電気特性を向上させることができる。

【0071】

また、上記水素プラズマ処理において、処理容器内に形成された保護膜である非晶質半導体膜または微結晶半導体膜をも水素プラズマ処理することにより、保護膜がエッチングされてゲート絶縁膜52bの表面に微量の半導体が堆積する。当該半導体が結晶成長の核となり、当該核によって、微結晶半導体膜が堆積する。この結果、ゲート絶縁膜及び微結晶半導体膜の界面における格子歪を低減することが可能であり、ゲート絶縁膜及び微結晶半導体膜の界面特性を向上させることができる。このため、後に形成される薄膜トランジスタの電気特性を向上させることができる。

30

【0072】

次に、上記保護膜と同様の工程により、基板上に微結晶珪素膜を堆積させる。微結晶珪素膜の膜厚を0nmより厚く50nm以下、好ましくは0nmより厚く20nm以下とする。

【0073】

所定の厚さの微結晶珪素膜が堆積されたら、次に、原料ガスの供給を停止し、処理容器内の圧力を低下し、マイクロ波発生装置の電源をオフにして、微結晶半導体膜成膜プロセスを終了する。

40

【0074】

次に、処理容器内の圧力を下げ、原料ガスの流量を調整する。具体的には、水素ガスの流量を微結晶半導体膜の成膜条件より大幅に低減する。代表的には、水素化珪素の流量の1倍以上20倍以下、好ましくは1倍以上10倍以下、更に好ましくは1倍以上5倍以下の流量の水素ガスを導入する。または、水素ガスを処理容器内に導入せず、水素化珪素ガスを導入する。このように水素化珪素に対する水素の流量を低減することにより、バッファ層として非晶質半導体膜の成膜速度を向上させることができる。または、水素化珪素ガス

50

に加え、ヘリウム、アルゴン、クリプトン、ネオンから選ばれた一種または複数種の希ガス元素で希釈する。次に、マイクロ波発生装置の電源をオンにし、マイクロ波発生装置の出力は500～6000W、好ましくは4000～6000Wとしてプラズマを発生させて、非晶質半導体膜を形成することができる。非晶質半導体膜の成膜速度は微結晶半導体膜に比べて高いため、処理容器内の圧力を低く設定することができる。このときの非晶質半導体膜の膜厚を100～400nmとする。

#### 【0075】

所定の厚さの非晶質半導体膜が堆積されたら、次に、原料ガスの供給を停止し、処理容器内の圧力を低下し、マイクロ波発生装置の電源をオフにして、非晶質半導体膜の成膜プロセスを終了する。

10

#### 【0076】

なお、微結晶半導体膜53及びバッファ層54である非晶質半導体膜をプラズマの着火したまま形成してもよい。具体的には微結晶半導体膜53を形成する原料ガスである水素化珪素に対する水素の流量比を徐々に低減させて微結晶半導体膜53及びバッファ層54である非晶質半導体膜を積層する。このような手法により微結晶半導体膜53及びバッファ層54の界面に不純物が堆積せず、歪の少ない界面を形成することが可能であり、後に形成される薄膜トランジスタの電気特性を向上させることができる。

#### 【0077】

周波数が1GHz以上のマイクロ波プラズマCVD装置で発生されたプラズマは、電子密度が高く、原料ガスから多くのラジカルが形成され、基板1130へ供給されるため、基板でのラジカルの表面反応が促進され、微結晶シリコンの成膜速度を高めることができる。更に、複数のマイクロ波発生装置、及び複数の誘電体板で構成されるマイクロ波プラズマCVD装置は、安定した大面積のプラズマを生成することができる。このため、周波数が1GHz以上のマイクロ波を用いたプラズマCVD法は、大面積基板上においても、膜質の均一性を高めた膜を成膜することが可能であると共に、量産性を高めることができる。

20

#### 【0078】

また、同じ処理容器で微結晶半導体膜及び非晶質半導体膜を連続的に成膜することで、歪の少ない界面を形成することが可能である。

#### 【0079】

なお、ゲート絶縁膜及び半導体膜それぞれの作製工程において、反応室の内壁に500～2000nmの保護膜が形成されている場合は、上記クリーニング処理及び保護膜形成処理を省くことができる。

30

#### 【0080】

マスク56は、フォトリソグラフィ技術またはインクジェット法により形成する。

#### 【0081】

次に、マスクを用いて微結晶半導体膜53、バッファ層54、及び一導電型を付与する不純物が添加された半導体膜55をエッチングし分離して、図1(B)に示すように、微結晶半導体膜61、バッファ層62、及び一導電型を付与する不純物が添加された半導体膜63を形成する。この後、マスク56を除去する。なお、図1(B)は、図4(A)のA-Bの断面図に相当する。

40

#### 【0082】

次に、図1(C)に示すように、一導電型を付与する不純物が添加された半導体膜63及びゲート絶縁膜52b上に導電膜を形成し、導電膜上にマスク66を形成する。

#### 【0083】

導電膜は、アルミニウム、若しくは銅、シリコン、チタン、ネオジム、スカンジウム、モリブデンなどの耐熱性向上元素若しくはヒロック防止元素が添加されたアルミニウム合金の単層または積層で形成することが好ましい。また、一導電型を付与する不純物が添加された半導体膜と接する側の膜を、チタン、タンタル、モリブデン、タンゲステン、またはこれらの元素の窒化物で形成し、その上にアルミニウムまたはアルミニウム合金を形成し

50

た積層構造としても良い。更には、アルミニウムまたはアルミニウム合金の上面及び下面を、チタン、タンタル、モリブデン、タングステン、またはこれらの元素の窒化物で挟んだ積層構造としてもよい。ここでは、導電膜としては、導電膜 6 5 a ~ 6 5 c 3 層が積層した構造の導電膜を示し、導電膜 6 5 a、6 5 c にモリブデン膜、導電膜 6 5 b にアルミニウム膜を用いた積層導電膜や、導電膜 6 5 a、6 5 c にチタン膜、導電膜 6 5 b にアルミニウム膜を用いた積層導電膜を示す。

【0084】

導電膜 6 5 a ~ 6 5 c は、スパッタリング法や真空蒸着法で形成する。また、導電膜 6 5 a ~ 6 5 c は、銀、金、銅などの導電性ナノペーストを用いてスクリーン印刷法、インクジェット法等を用いて吐出し焼成して形成しても良い。

10

【0085】

マスク 6 6 は、マスク 5 6 と同様に形成することができる。

【0086】

次に、マスク 6 6 を用いて導電膜 6 5 a ~ 6 5 c をエッチングし分離して、図 2 ( A ) に示すように導電膜 7 1 a ~ 7 1 c を形成する。次に、マスク 6 6 を用いて一導電型を付与する不純物が添加された半導体膜 6 3 及びバッファ層 6 2 をエッチングして、ソース領域及びドレイン領域 7 2、バッファ層 7 3 を形成する。なお、バッファ層 7 3 は一部のみがエッチングされたものであり、微結晶半導体膜 6 1 の表面を覆っている。また、このとき、ソース領域及びドレイン領域 7 2 の端部と導電膜 7 1 a ~ 7 1 c の端部はほぼ一致している。

20

【0087】

次に、図 2 ( B ) に示すように、導電膜 7 1 a ~ 7 1 c の一部をエッチングしソース電極及びドレイン電極 7 5 a ~ 7 5 c を形成する。ここでは、マスク 6 6 を用いて導電膜 7 1 a ~ 7 1 c をウエットエッチングすると、導電膜 7 1 a ~ 7 1 c の端部が選択的にエッチングされる。この結果、導電膜 7 1 a ~ 7 1 c より面積の小さいソース電極及びドレイン電極 7 5 a ~ 7 5 c を形成することができる。ソース電極及びドレイン電極 7 5 a ~ 7 5 c の端部と、ソース領域及びドレイン領域 7 2 の端部は一致せずずれており、ソース電極及びドレイン電極 7 5 a ~ 7 5 c の端部の外側に、ソース領域及びドレイン領域 7 2 の端部が形成される。この後、マスク 6 6 を除去する。なお、図 2 ( B ) は、図 4 ( B ) の A - B の断面図に相当する。図 4 ( B ) に示すように、ソース領域及びドレイン領域 7 2 の端部は、ソース電極及びドレイン電極 7 5 c の端部の外側に位置することが分かる。また、ソース電極またはドレイン電極の一方は、ソース配線またはドレイン配線としても機能する。

30

【0088】

図 2 ( B ) に示すように、ソース電極及びドレイン電極 7 5 a ~ 7 5 c の端部と、ソース領域及びドレイン領域 7 2 の端部は一致せずずれた構造となることで、ソース電極及びドレイン電極 7 5 a ~ 7 5 c の端部の距離が離れるため、ソース電極及びドレイン電極間のリーク電流やショートを防止することができる。また、ソース電極及びドレイン電極 7 5 a ~ 7 5 c の端部と、ソース領域及びドレイン領域 7 2 の端部は一致せずずれた構造であるため、ソース電極及びドレイン電極 7 5 a ~ 7 5 c 及びソース領域及びドレイン領域 7 2 の端部に電界が集中せず、ゲート電極 5 1 と、ソース電極及びドレイン電極 7 5 a ~ 7 5 c との間でのリーク電流を防止することができる。このため、信頼性が高く、且つ耐圧の高い薄膜トランジスタを作製することができる。

40

【0089】

以上の工程により、チャンネルエッチ型の薄膜トランジスタ 7 4 を形成することができる。

【0090】

本実施の形態で示す薄膜トランジスタは、ゲート電極上にゲート絶縁膜、微結晶半導体膜、バッファ層、ソース領域及びドレイン領域、ソース電極及びドレイン電極が積層され、チャンネル形成領域として機能する微結晶半導体膜の表面をバッファ層が覆う。また、バ

50

ッファ層の一部には窪み（溝）が形成されており、当該窪み以外の領域がソース領域及びドレイン領域で覆われる。即ち、パッファ層に形成される窪みにより、ソース領域及びドレイン領域の距離が離れているため、ソース領域及びドレイン領域の間でのリーク電流を低減することができる。また、パッファ層の一部をエッチングすることにより窪みを形成するため、ソース領域及びドレイン領域の形成工程において発生するエッチング残渣を除去することができるため、残渣を介してソース領域及びドレイン領域にリーク電流（寄生チャンネル）が発生することを回避することができる。

【0091】

また、チャンネル形成領域として機能する微結晶半導体膜とソース領域及びドレイン領域との間に、パッファ層が形成されている。また、微結晶半導体膜の表面がパッファ層で覆われている。高抵抗で形成されたパッファ層は、微結晶半導体膜と、ソース領域及びドレイン領域との間にまで延在しているため、薄膜トランジスタにリーク電流が発生することを低減できると共に、高い電圧の印加による劣化を低減することができる。また、微結晶半導体膜の表面に水素で表面が終端された非晶質半導体膜がパッファ層として形成されているため、微結晶半導体膜の酸化を防止することが可能であると共に、ソース領域及びドレイン領域の形成工程に発生するエッチング残渣が微結晶半導体膜に混入することを防ぐことができる。このため、電気特性が高く、且つ耐圧に優れた薄膜トランジスタである。

10

【0092】

また、ソース電極及びドレイン電極の端部と、ソース領域及びドレイン領域の端部は一致せずずれた構造となることで、ソース電極及びドレイン電極の端部の距離が離れるため、ソース電極及びドレイン電極間のリーク電流やショートを防止することができる。

20

【0093】

また、上述した図2（A）及び図2（B）では、一部に窪み（溝）を有するパッファ層73を形成した後、対向するソース電極の端部とドレイン電極の端部との距離を長くするエッチングを行う例を示したが、特に限定されない。例えば、導電膜65a～65cをエッチングし分離し、一導電型を付与する不純物が添加された半導体膜63を露出させた後、対向するソース電極の端部とドレイン電極の端部との距離を長くするエッチングを行う。その後、マスク66を用いて半導体膜63をエッチングしてソース領域及びドレイン領域72を分離し、さらにパッファ層の一部に窪み（溝）を形成する工程順序としてもよい。

30

【0094】

次に、図2（C）に示すように、ソース電極及びドレイン電極75a～75c、ソース領域及びドレイン領域72、微結晶半導体膜61、及びゲート絶縁膜52b上に絶縁膜76を形成する。絶縁膜76は、ゲート絶縁膜52a、52bと同様に形成することができる。なお、絶縁膜76は、大気中に浮遊する有機物や金属物、水蒸気などの汚染不純物の侵入を防ぐためのものであり、緻密な膜が好ましい。また、絶縁膜76に窒化珪素膜を用いることで、パッファ層73中の酸素濃度を $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下とすることができる。

【0095】

次に、絶縁膜76にコンタクトホールを形成し、当該コンタクトホールにおいてソース電極またはドレイン電極75cに接する画素電極77を形成する。なお、図3は、図4（C）のA-Bの断面図に相当する。

40

【0096】

画素電極77は、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物（以下、ITOと示す。）、インジウム亜鉛酸化物、酸化珪素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いることができる。

【0097】

また、画素電極77として、導電性高分子（導電性ポリマーともいう）を含む導電性組成

50

物を用いて形成することができる。導電性組成物を用いて形成した画素電極は、シート抵抗が10000 / 以下、波長550nmにおける透光率が70%以上であることが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率が0.1・cm以下であることが好ましい。

#### 【0098】

導電性高分子としては、いわゆる電子共役系導電性高分子が用いることができる。例えば、ポリアニリンまたはその誘導体、ポリピロールまたはその誘導体、ポリチオフェンまたはその誘導体、若しくはこれらの2種以上の共重合体などがあげられる。

#### 【0099】

次に、上記形態とは異なる薄膜トランジスタの作製方法について、図5乃至図8を用いて説明する。ここでは、ソース電極またはドレイン電極と、ソース配線またはドレイン配線とが分離された構造について示す。

10

#### 【0100】

図5(A)に示すように、基板50上にゲート電極51を形成する。次に、ゲート電極51上に、ゲート絶縁膜52a、52b、微結晶半導体膜53、バッファ層54、一導電型を付与する不純物が添加された半導体膜55、及び導電膜65aを順に形成する。次に、導電膜65a上に、マスク56を形成する。

#### 【0101】

次に、マスク56により、微結晶半導体膜53、バッファ層54、一導電型を付与する不純物が添加された半導体膜55、及び導電膜65aをエッチングし分離する。この結果、図5(B)に示すような、微結晶半導体膜61、バッファ層62、一導電型を付与する不純物が添加された半導体膜63、及び導電膜85aを形成することができる。この後、マスク56を除去する。なお、図5(B)は図8(A)のA-Bにおける断面図に相当する。

20

#### 【0102】

次に、図5(B)に示すように、導電膜85a上にレジストマスク66を形成する。次に、レジストマスク66を用いて一導電型を付与する不純物が添加された半導体膜63、及び導電膜85aをエッチングし分離する。この結果、図8(C)に示すような、一対の導電膜89a、及び一対のソース領域及びドレイン領域88を形成することができる。なお、当該エッチング工程において、バッファ層62の一部もエッチングされる。一部エッチングされたバッファ層をバッファ層87と示す。ここでは、バッファ層62の一部が、レジストマスク66で一部エッチングされるため、一対の導電膜89aの外側にバッファ層87が突出した形状となる。

30

#### 【0103】

次に、図6(A)に示すように、一対の導電膜89aの一部をエッチングしソース電極及びドレイン電極92aを形成する。ここでは、レジストマスク66を用いて導電膜89aをウエットエッチングすると、導電膜89aの端部が選択的にエッチングされる。この結果、導電膜89aより面積の小さいソース電極及びドレイン電極92aを形成することができる。ソース電極及びドレイン電極92aの端部と、ソース領域及びドレイン領域88の端部は一致せずずれる。この後、レジストマスク66を除去する。なお、図6(A)は、図8(B)のA-Bの断面図に相当する。図8(B)に示すように、ソース領域及びドレイン領域88の端部は、ソース電極及びドレイン電極92aの端部の外側に位置することが分かる。また、ソース電極及びドレイン電極92aはそれぞれ分離されていて、隣接する画素と接続していない。また、ここでは、ウエットエッチングによりソース電極及びドレイン電極92aを形成したが、レジストマスク66をアッシングして、導電膜89aをエッチングしてソース電極及びドレイン電極92aを形成することができる。

40

#### 【0104】

図6(B)に示すように、ソース電極及びドレイン電極92aの端部と、ソース領域及びドレイン領域88の端部は一致せずずれた構造となることで、ソース電極及びドレイン電極92aの端部の距離が離れるため、ソース電極及びドレイン電極間のリーク電流やショ

50

ートを防止することができる。また、ソース電極及びドレイン電極 9 2 a の端部と、ソース領域及びドレイン領域 8 8 の端部は一致せずずれた構造であるため、ソース電極及びドレイン電極 9 2 a 及びソース領域及びドレイン領域 8 8 の端部に電界が集中せず、ゲート電極と、ソース電極及びドレイン電極 9 2 a との間でのリーク電流を防止することができる。このため、信頼性が高く、且つ耐圧の高い薄膜トランジスタを作製することができる。

#### 【 0 1 0 5 】

次に、図 6 ( B ) に示すように、ソース電極及びドレイン電極 9 2 a、ソース領域及びドレイン領域 8 8、パuffa 層 8 7、及びゲート絶縁膜 5 2 b 上に絶縁膜 7 6 を形成する。絶縁膜 7 6 は、ゲート絶縁膜 5 2 a、5 2 b と同様に形成することができる。次に、絶縁膜 7 6 にコンタクトホールを形成し、当該コンタクトホールにおいてソース電極またはドレイン電極 9 2 a の一方に接し、且つ積層された配線 7 9 b、7 9 c を形成する。なお、図 6 ( C ) は、図 8 ( C ) の A - B の断面図に相当する。また、配線 7 9 b、7 9 c は、隣接する画素に形成されるソース電極またはドレイン電極を接続する配線である。

10

#### 【 0 1 0 6 】

次に、図 7 に示すように、次に、絶縁膜 7 6 にコンタクトホールを形成し、当該コンタクトホールにおいてソース電極またはドレイン電極 9 2 a の他方に接する画素電極 7 7 を形成する。なお、図 7 は、図 8 ( D ) の A - B の断面図に相当する。

#### 【 0 1 0 7 】

以上の工程により、チャネルエッチ型の薄膜トランジスタ 7 4 を形成することができる。このチャネルエッチ型の薄膜トランジスタは、作製工程数が少なく、コスト削減が可能である。また、微結晶半導体膜でチャネル形成領域を構成することにより  $1 \sim 20 \text{ cm}^2 / \text{V} \cdot \text{sec}$  の電界効果移動度を得ることができる。従って、この薄膜トランジスタを画素部の画素のスイッチング用素子として、さらに走査線 (ゲート線) 側の駆動回路を形成する素子として利用することができる。

20

#### 【 0 1 0 8 】

本実施の形態により、電気特性の信頼性の高い薄膜トランジスタを作製することができる。

#### 【 0 1 0 9 】

##### ( 実施の形態 2 )

本実施の形態では、実施の形態 1 で示す薄膜トランジスタを有する液晶表示装置について、以下に示す。

30

#### 【 0 1 1 0 】

はじめに V A ( V e r t i c a l A l i g n m e n t ) 型の液晶表示装置について示す。V A 型の液晶表示装置とは、液晶パネルの液晶分子の配列を制御する方式の一種である。V A 型の液晶表示装置は、電圧が印加されていないときにパネル面に対して液晶分子が垂直方向を向く方式である。本実施の形態では、特に画素 (ピクセル) をいくつかの領域 (サブピクセル) に分け、それぞれ別の方向に分子を倒すよう工夫されている。これをマルチドメイン化あるいはマルチドメイン設計という。以下の説明では、マルチドメイン設計が考慮された液晶表示装置について説明する。

40

#### 【 0 1 1 1 】

図 1 4 及び図 1 5 は、それぞれ画素電極及び対向電極を示している。なお、図 1 4 は画素電極が形成される基板側の平面図であり、図中に示す切断線 G - H に対応する断面構造を図 1 3 に表している。また、図 1 5 は対向電極が形成される基板側の平面図である。以下の説明ではこれらの図を参照して説明する。

#### 【 0 1 1 2 】

図 1 3 は、T F T 6 2 8 とそれに接続する画素電極 6 2 4、及び保持容量部 6 3 0 が形成された基板 6 0 0 と、対向電極 6 4 0 等が形成される対向基板 6 0 1 とが重ね合わせられ、液晶が注入された状態を示している。

#### 【 0 1 1 3 】

50

対向基板 601 においてスペーサ 642 が形成される位置には、遮光膜 632、第 1 の着色膜 634、第 2 の着色膜 636、第 3 着色膜 638、対向電極 640 が形成されている。この構造により、液晶の配向を制御するための突起 644 とスペーサ 642 の高さを異ならせている。画素電極 624 上には配向膜 648 が形成され、同様に対向電極 640 上にも配向膜 646 が形成されている。この間に液晶層 650 が形成されている。

【0114】

スペーサ 642 はここでは柱状スペーサを用いて示したがビーズスペーサを散布してもよい。さらには、スペーサ 642 を基板 600 上に形成される画素電極 624 上に形成してもよい。

【0115】

基板 600 上には、TFT 628 とそれに接続する画素電極 624、及び保持容量部 630 が形成される。画素電極 624 は、TFT 628、配線 618、及び保持容量部 630 を覆う絶縁膜 620、絶縁膜を覆う第 3 絶縁膜 622 をそれぞれ貫通するコンタクトホール 623 で、配線 618 と接続する。TFT 628 は実施の形態 1 で示す薄膜トランジスタを適宜用いることができる。また、保持容量部 630 は、TFT 628 のゲート配線 602 と同様に形成した第 1 の容量配線 604 と、ゲート絶縁膜 606 と、配線 616、618 と同様に形成した第 2 の容量配線 617 で構成される。

【0116】

画素電極 624 と液晶層 650 と対向電極 640 が重なり合うことで、液晶素子が形成されている。

【0117】

図 14 に基板 600 上の構造を示す。画素電極 624 は実施の形態 1 で示した材料を用いて形成する。画素電極 624 にはスリット 625 を設ける。スリット 625 は液晶の配向を制御するためのものである。

【0118】

図 14 に示す TFT 629 とそれに接続する画素電極 626 及び保持容量部 631 は、それぞれ TFT 628、画素電極 624 及び保持容量部 630 と同様に形成することができる。TFT 628 と TFT 629 は共に配線 616 と接続している。この液晶パネルの画素（ピクセル）は、画素電極 624 と画素電極 626 により構成されている。画素電極 624 と画素電極 626 はサブピクセルである。

【0119】

図 15 に対向基板側の構造を示す。遮光膜 632 上に対向電極 640 が形成されている。対向電極 640 は、画素電極 624 と同様の材料を用いて形成することが好ましい。対向電極 640 上には液晶の配向を制御する突起 644 が形成されている。また、遮光膜 632 の位置に合わせてスペーサ 642 が形成されている。

【0120】

この画素構造の等価回路を図 16 に示す。TFT 628 と TFT 629 は、共にゲート配線 602、配線 616 と接続している。この場合、容量配線 604 と容量配線 605 の電位を異ならせることで、液晶素子 651 と液晶素子 652 の動作を異ならせることができる。すなわち、容量配線 604 と容量配線 605 の電位を個別に制御することにより液晶の配向を精密に制御して視野角を広げている。

【0121】

スリット 625 を設けた画素電極 624 に電圧を印加すると、スリット 625 の近傍には電界の歪み（斜め電界）が発生する。このスリット 625 と、対向基板 601 側の突起 644 とを交互に咬み合うように配置することで、斜め電界が効果的に発生させて液晶の配向を制御することで、液晶が配向する方向を場所によって異ならせている。すなわち、マルチドメイン化して液晶パネルの視野角を広げている。

【0122】

次に、上記とは異なる VA 型の液晶表示装置について、図 17 乃至図 20 を用いて説明する。

10

20

30

40

50

## 【 0 1 2 3 】

図 1 7 と図 1 8 は、V A 型液晶パネルの画素構造を示している。図 1 8 は基板 6 0 0 の平面図であり、図中に示す切断線 Y - Z に対応する断面構造を図 1 7 に表している。以下の説明ではこの両図を参照して説明する。

## 【 0 1 2 4 】

この画素構造は、一つの画素に複数の画素電極が有り、それぞれの画素電極に T F T が接続されている。各 T F T は、異なるゲート信号で駆動されるように構成されている。すなわち、マルチドメイン設計された画素において、個々の画素電極に印加する信号を、独立して制御する構成を有している。

## 【 0 1 2 5 】

画素電極 6 2 4 はコンタクトホール 6 2 3 において、配線 6 1 8 で T F T 6 2 8 と接続している。また、画素電極 6 2 6 はコンタクトホール 6 2 7 において、配線 6 1 9 で T F T 6 2 9 と接続している。T F T 6 2 8 のゲート配線 6 0 2 と、T F T 6 2 9 のゲート配線 6 0 3 には、異なるゲート信号を与えることができるように分離されている。一方、データ線として機能する配線 6 1 6 は、T F T 6 2 8 と T F T 6 2 9 で共通に用いられている。T F T 6 2 8 と T F T 6 2 9 は実施の形態 1 で示す薄膜トランジスタを適宜用いることができる。

## 【 0 1 2 6 】

画素電極 6 2 4 と画素電極 6 2 6 の形状は異なっており、スリット 6 2 5 によって分離されている。V 字型に広がる画素電極 6 2 4 の外側を囲むように画素電極 6 2 6 が形成されている。画素電極 6 2 4 と画素電極 6 2 6 に印加する電圧のタイミングを、T F T 6 2 8 及び T F T 6 2 9 により異ならせることで、液晶の配向を制御している。この画素構造の等価回路を図 2 0 に示す。T F T 6 2 8 はゲート配線 6 0 2 と接続し、T F T 6 2 9 はゲート配線 6 0 3 と接続している。ゲート配線 6 0 2 とゲート配線 6 0 3 は異なるゲート信号を与えることで、T F T 6 2 8 と T F T 6 2 9 の動作タイミングを異ならせることができる。

## 【 0 1 2 7 】

対向基板 6 0 1 には、遮光膜 6 3 2、第 2 の着色膜 6 3 6、対向電極 6 4 0 が形成されている。また、第 2 の着色膜 6 3 6 と対向電極 6 4 0 の間には平坦化膜 6 3 7 が形成され、液晶の配向乱れを防いでいる。図 1 9 に対向基板側の構造を示す。対向電極 6 4 0 は異なる画素間で共通化されている電極であるが、スリット 6 4 1 が形成されている。このスリット 6 4 1 と、画素電極 6 2 4 及び画素電極 6 2 6 側のスリット 6 2 5 とを交互に咬み合うように配置することで、斜め電界が効果的に発生させて液晶の配向を制御することができる。これにより、液晶が配向する方向を場所によって異ならせることができ、視野角を広げている。

## 【 0 1 2 8 】

画素電極 6 2 4 と液晶層 6 5 0 と対向電極 6 4 0 が重なり合うことで、第 1 の液晶素子が形成されている。また、画素電極 6 2 6 と液晶層 6 5 0 と対向電極 6 4 0 が重なり合うことで、第 2 の液晶素子が形成されている。また、一画素に第 1 の液晶素子と第 2 の液晶素子が設けられたマルチドメイン構造である。

## 【 0 1 2 9 】

次に、横電界方式の液晶表示装置について示す。横電界方式は、セル内の液晶分子に対して水平方向に電界を加えることで液晶を駆動して階調表現する方式である。この方式によれば、視野角を約 1 8 0 度にまで広げることができる。以下の説明では、横電界方式を採用する液晶表示装置について説明する。

## 【 0 1 3 0 】

図 2 1 は、T F T 6 2 8 とそれに接続する画素電極 6 2 4 が形成された基板 6 0 0 と、対向基板 6 0 1 を重ね合わせ、液晶を注入した状態を示している。対向基板 6 0 1 には遮光膜 6 3 2、第 2 の着色膜 6 3 6、平坦化膜 6 3 7 などが形成されている。画素電極は基板 6 0 0 側に有るので、対向基板 6 0 1 側には設けられていない。基板 6 0 0 と対向基板

10

20

30

40

50

601の間に液晶層650が形成されている。

【0131】

基板600上には、第1の画素電極607及び第1の画素電極607に接続する容量配線604、並びに及び実施の形態1で示すTFT628が形成される。第1の画素電極607は、実施の形態1で示す画素電極77と同様の材料を用いることができる。また、第1の画素電極607は略画素の形状に区画化した形状で形成する。なお、第1の画素電極607及び容量配線604上にはゲート絶縁膜606が形成される。

【0132】

TFT628の配線616、配線618がゲート絶縁膜606上に形成される。配線616は液晶パネルにおいてビデオ信号をのせるデータ線であり一方向に伸びる配線であると同時に、ソース領域610と接続し、ソース及びドレインの一方の電極となる。配線618はソース及びドレインの他方の電極となり、第2の画素電極624と接続する配線である。

【0133】

配線616、配線618上に第2の絶縁膜620が形成される。また、絶縁膜620上には、絶縁膜620に形成されるコンタクトホールにおいて、配線618に接続する第2の画素電極624が形成される。画素電極624は実施の形態1で示した画素電極77と同様の材料を用いて形成する。

【0134】

このようにして、基板600上にTFT628とそれに接続する第2の画素電極624が形成される。なお、保持容量は第1の画素電極607と第2の画素電極624の間で形成している。

【0135】

図22は、画素電極の構成を示す平面図である。画素電極624にはスリット625が設けられる。スリット625は液晶の配向を制御するためのものである。この場合、電界は第1の画素電極607と第2の画素電極624の間で発生する。第1の画素電極607と第2の画素電極624の間にはゲート絶縁膜606が形成されているが、ゲート絶縁膜606の厚さは50～200nmであり、2～10μmである液晶層の厚さと比較して十分薄いので、実質的に基板600と平行な方向（水平方向）に電界が発生する。この電界により液晶の配向が制御される。この基板と略平行な方向の電界を利用して液晶分子を水平に回転させる。この場合、液晶分子はどの状態でも水平であるため、見る角度によるコントラストなどの影響は少なく、視野角が広がることとなる。また、第1の画素電極607と第2の画素電極624は共に透光性の電極であるので、開口率を向上させることができる。

【0136】

次に、横電界方式の液晶表示装置の他の一例について示す。

【0137】

図23と図24は、IPS(In-Plane Switching)型の液晶表示装置の画素構造を示している。図24は平面図であり、図中に示す切断線I-Jに対応する断面構造を図23に表している。以下の説明ではこの両図を参照して説明する。

【0138】

図23は、TFT628とそれに接続する画素電極624が形成された基板600と、対向基板601を重ね合わせ、液晶を注入した状態を示している。対向基板601には透光膜632、第2の着色膜636、平坦化膜637などが形成されている。画素電極は基板600側にあるので、対向基板601側には設けられていない。基板600と対向基板601の間に液晶層650が形成されている。

【0139】

基板600上には、共通電位線609、及び実施の形態1で示すTFT628が形成される。共通電位線609はTFT628のゲート配線602と同時に形成することができる。また、第1の画素電極607は略画素の形状に区画化した形状で形成する。

## 【0140】

TFT628の配線616、配線618がゲート絶縁膜606上に形成される。配線616は液晶パネルにおいてビデオ信号をのせるデータ線であり一方向に伸びる配線であると同時に、ソース領域610と接続し、ソース及びドレインの一方の電極となる。配線618はソース及びドレインの他方の電極となり、第2の画素電極624と接続する配線である。

## 【0141】

配線616、配線618上に第2の絶縁膜620が形成される。また、絶縁膜620上には、絶縁膜620に形成されるコンタクトホール623において、配線618に接続する第2の画素電極624が形成される。画素電極624は実施の形態1で示した画素電極77と同様の材料を用いて形成する。なお、図24に示すように、画素電極624は、共通電位線609と同時に形成した櫛形の電極と横電界が発生するように形成される。また、画素電極624の櫛歯の部分が共通電位線609と同時に形成した櫛形の電極と交互に咬み合うように形成される。

10

## 【0142】

画素電極624に印加される電位と共通電位線609の電位との間に電界が生じると、この電界により液晶の配向が制御される。この基板と略平行な方向の電界を利用して液晶分子を水平に回転させる。この場合、液晶分子はどの状態でも水平であるため、見る角度によるコントラストなどの影響は少なく、視野角が広がることとなる。

## 【0143】

20

このようにして、基板600上にTFT628とそれに接続する画素電極624が形成される。保持容量は共通電位線609と容量電極615の間にゲート絶縁膜606を設け、それにより形成している。容量電極615と画素電極624はコンタクトホール633を介して接続されている。

## 【0144】

次に、TN型の液晶表示装置の形態について示す。

## 【0145】

図25と図26は、TN型の液晶表示装置の画素構造を示している。図26は平面図であり、図中に示す切断線K-Lに対応する断面構造を図25に表している。以下の説明ではこの両図を参照して説明する。

30

## 【0146】

画素電極624はコンタクトホール623により、配線618でTFT628と接続している。データ線として機能する配線616は、TFT628と接続している。TFT628は実施の形態1に示すTFTのいずれかを適用することができる。

## 【0147】

画素電極624は、実施の形態1で示す画素電極77を用いて形成されている。

## 【0148】

対向基板601には、遮光膜632、第2の着色膜636、対向電極640が形成されている。また、第2の着色膜636と対向電極640の間には平坦化膜637が形成され、液晶の配向乱れを防いでいる。液晶層650は画素電極624と対向電極640の間に形成されている。

40

## 【0149】

画素電極624と液晶層650と対向電極640が重なり合うことで、液晶素子が形成されている。

## 【0150】

また、基板600または対向基板601にカラーフィルタや、ディスクリネーションを防ぐための遮蔽膜（ブラックマトリクス）などが形成されていても良い。また、基板600の薄膜トランジスタが形成されている面とは逆の面に偏光板を貼り合わせ、また対向基板601の対向電極640が形成されている面とは逆の面に、偏光板を貼り合わせておく。

50

## 【 0 1 5 1 】

対向電極 6 4 0 は、画素電極 6 2 4 と同様の材料を適宜用いることができる。画素電極 6 2 4 と液晶層 6 5 0 と対向電極 6 4 0 が重なり合うことで、液晶素子が形成されている。

## 【 0 1 5 2 】

以上の工程により、液晶表示装置を作製することができる。本実施の形態の液晶表示装置は、オフ電流が少なく、電気特性の信頼性の高い薄膜トランジスタを用いているため、コントラストが高く、視認性の高い液晶表示装置である。また、レーザ結晶化工程のない微結晶半導体膜を用いた薄膜トランジスタを用いているため、視認性の高い液晶表示装置を量産高く作製することができる。

10

## 【 0 1 5 3 】

(実施の形態 3)

次に、本発明の液晶表示装置の一形態である表示パネルの構成について、以下に示す。

## 【 0 1 5 4 】

図 1 0 ( A ) に、信号線駆動回路 6 0 1 3 のみを別途形成し、基板 6 0 1 1 上に形成された画素部 6 0 1 2 と接続している表示パネルの形態を示す。画素部 6 0 1 2 及び走査線駆動回路 6 0 1 4 は、微結晶半導体膜を用いた薄膜トランジスタを用いて形成する。微結晶半導体膜を用いた薄膜トランジスタよりも高い電界効果移動度が得られるトランジスタで信号線駆動回路を形成することで、走査線駆動回路よりも高い駆動周波数が要求される信号線駆動回路の動作を安定させることができる。なお、信号線駆動回路 6 0 1 3 は、単結晶の半導体を用いたトランジスタ、多結晶の半導体を用いた薄膜トランジスタ、または S O I を用いたトランジスタであっても良い。画素部 6 0 1 2 と、信号線駆動回路 6 0 1 3 と、走査線駆動回路 6 0 1 4 とに、それぞれ電源の電位、各種信号等が、F P C 6 0 1 5 を介して供給される。

20

## 【 0 1 5 5 】

なお、信号線駆動回路及び走査線駆動回路を、共に画素部と同じ基板上に形成しても良い。

## 【 0 1 5 6 】

また、駆動回路を別途形成する場合、必ずしも駆動回路が形成された基板を、画素部が形成された基板上に貼り合わせる必要はなく、例えば F P C 上に貼り合わせるようにしても良い。図 1 0 ( B ) に、信号線駆動回路 6 0 2 3 のみを別途形成し、基板 6 0 2 1 上に形成された画素部 6 0 2 2 及び走査線駆動回路 6 0 2 4 と接続している液晶表示装置パネルの形態を示す。画素部 6 0 2 2 及び走査線駆動回路 6 0 2 4 は、微結晶半導体膜を用いた薄膜トランジスタを用いて形成する。信号線駆動回路 6 0 2 3 は、F P C 6 0 2 5 を介して画素部 6 0 2 2 と接続されている。画素部 6 0 2 2 と、信号線駆動回路 6 0 2 3 と、走査線駆動回路 6 0 2 4 とに、それぞれ電源の電位、各種信号等が、F P C 6 0 2 5 を介して供給される。

30

## 【 0 1 5 7 】

また、信号線駆動回路の一部または走査線駆動回路の一部のみを、微結晶半導体膜を用いた薄膜トランジスタを用いて画素部と同じ基板上に形成し、残りを別途形成して画素部と電氣的に接続するようにしても良い。図 1 0 ( C ) に、信号線駆動回路が有するアナログスイッチ 6 0 3 3 a を、画素部 6 0 3 2、走査線駆動回路 6 0 3 4 と同じ基板 6 0 3 1 上に形成し、信号線駆動回路が有するシフトレジスタ 6 0 3 3 b を別途異なる基板に形成して貼り合わせる液晶表示装置パネルの形態を示す。画素部 6 0 3 2 及び走査線駆動回路 6 0 3 4 は、微結晶半導体膜を用いた薄膜トランジスタを用いて形成する。信号線駆動回路が有するシフトレジスタ 6 0 3 3 b は、F P C 6 0 3 5 を介して画素部 6 0 3 2 と接続されている。画素部 6 0 3 2 と、信号線駆動回路と、走査線駆動回路 6 0 3 4 とに、それぞれ電源の電位、各種信号等が、F P C 6 0 3 5 を介して供給される。

40

## 【 0 1 5 8 】

図 1 0 に示すように、本発明の液晶表示装置は、駆動回路の一部または全部を、画素部

50

と同じ基板上に、微結晶半導体膜を用いた薄膜トランジスタを用いて形成することができる。

【0159】

なお、別途形成した基板の接続方法は、特に限定されるものではなく、公知のCOG方法、ワイヤボンディング方法、或いはTAB方法などを用いることができる。また接続する位置は、電氣的な接続が可能であるならば、図10に示した位置に限定されない。また、コントローラ、CPU、メモリ等を別途形成し、接続するようにしても良い。

【0160】

なお本発明で用いる信号線駆動回路は、シフトレジスタとアナログスイッチのみを有する形態に限定されない。シフトレジスタとアナログスイッチに加え、バッファ、レベルシフタ、ソースフォロワ等、他の回路を有していても良い。また、シフトレジスタとアナログスイッチは必ずしも設ける必要はなく、例えばシフトレジスタの代わりにデコーダ回路のような信号線の選択ができる別の回路を用いても良いし、アナログスイッチの代わりにラッチ等を用いても良い。

【0161】

図28に本発明の表示装置のブロック図を示す。図28に示す表示装置は、表示素子を備えた画素を複数有する画素部700と、各画素を選択する走査線駆動回路702と、選択された画素へのビデオ信号の入力を制御する信号線駆動回路703とを有する。

【0162】

図28において信号線駆動回路703は、シフトレジスタ704、アナログスイッチ705を有している。シフトレジスタ704には、クロック信号(CLK)、スタートパルス信号(SP)が入力されている。クロック信号(CLK)とスタートパルス信号(SP)が入力されると、シフトレジスタ704においてタイミング信号が生成され、アナログスイッチ705に入力される。

【0163】

またアナログスイッチ705には、ビデオ信号(video signal)が与えられている。アナログスイッチ705は入力されるタイミング信号に従ってビデオ信号をサンプリングし、後段の信号線に供給する。

【0164】

次に、走査線駆動回路702の構成について説明する。走査線駆動回路702は、シフトレジスタ706、バッファ707を有している。また場合によってはレベルシフタを有していても良い。走査線駆動回路702において、シフトレジスタ706にクロック信号(CLK)及びスタートパルス信号(SP)が入力されることによって、選択信号が生成される。生成された選択信号はバッファ707において緩衝増幅され、対応する走査線に供給される。走査線には、1ライン分の画素のトランジスタのゲートが接続されている。そして、1ライン分の画素のトランジスタを一斉にONにしなければならないので、バッファ707は大きな電流を流すことが可能なものが用いられる。

【0165】

フルカラーの表示装置で、R(赤)、G(緑)、B(青)に対応するビデオ信号を、順にサンプリングして対応する信号線に供給している場合、シフトレジスタ704とアナログスイッチ705とを接続するための端子数が、アナログスイッチ705と画素部700の信号線を接続するための端子数の1/3程度に相当する。よって、アナログスイッチ705を画素部700と同じ基板上に形成することで、アナログスイッチ705を画素部700と異なる基板上に形成した場合に比べて、別途形成した基板の接続に用いる端子の数を抑えることができ、接続不良の発生確率を抑え、歩留まりを高めることができる。

【0166】

なお、図28の走査線駆動回路702は、シフトレジスタ706、及びバッファ707を有するが、シフトレジスタ706で走査線駆動回路702を構成してもよい。

【0167】

なお、図28に示す構成は、本発明の表示装置の一形態を示したに過ぎず、信号線駆動

10

20

30

40

50

回路と走査線駆動回路の構成はこれに限定されない。

【0168】

次に、極性が全て同一の微結晶半導体膜を用いた薄膜トランジスタを含むシフトレジスタの一形態について図29及び図30を用いて説明する。図29に、本実施の形態のシフトレジスタの構成を示す。図29に示すシフトレジスタは、複数のフリップフロップで構成される。また、第1のクロック信号、第2のクロック信号、スタートパルス信号、リセット信号が入力されて動作する。

【0169】

図29のシフトレジスタの接続関係について説明する。図29のシフトレジスタは、 $i$ 段目のフリップフロップ701- $i$ （フリップフロップ701-1～701- $n$ のうちいずれか）は、図30に示した第1の配線501が第7の配線717- $i$ -1に接続され、図30に示した第2の配線502が第7の配線717- $i$ +1に接続され、図30に示した第3の配線503が第7の配線717- $i$ に接続され、図30に示した第6の配線506が第5の配線715に接続される。

10

【0170】

また、図30に示した第4の配線504が奇数段目のフリップフロップでは第2の配線712に接続され、偶数段目のフリップフロップでは第3の配線713に接続され、図30に示した第5の配線505が第4の配線714に接続される。

【0171】

ただし、1段目のフリップフロップ701-1の図30に示す第1の配線501は第1の配線711に接続され、 $n$ 段目のフリップフロップ701- $n$ の図30に示す第2の配線502は第6の配線716に接続される。

20

【0172】

なお、第1の配線711、第2の配線712、第3の配線713、第6の配線716を、それぞれ第1の信号線、第2の信号線、第3の信号線、第4の信号線と呼んでもよい。さらに、第4の配線714、第5の配線715を、それぞれ第1の電源線、第2の電源線と呼んでもよい。

【0173】

次に、図29に示すフリップフロップの詳細について、図30に示す。図30に示すフリップフロップは、第1の薄膜トランジスタ171、第2の薄膜トランジスタ172、第3の薄膜トランジスタ173、第4の薄膜トランジスタ174、第5の薄膜トランジスタ175、第6の薄膜トランジスタ176、第7の薄膜トランジスタ177及び第8の薄膜トランジスタ178を有する。本実施の形態において、第1の薄膜トランジスタ171、第2の薄膜トランジスタ172、第3の薄膜トランジスタ173、第4の薄膜トランジスタ174、第5の薄膜トランジスタ175、第6の薄膜トランジスタ176、第7の薄膜トランジスタ177及び第8の薄膜トランジスタ178は、 $n$ チャネル型トランジスタとし、ゲート・ソース間電圧( $V_{gs}$ )がしきい値電圧( $V_{th}$ )を上回ったとき導通状態になるものとする。

30

【0174】

次に、図29に示すフリップフロップの接続構成について、以下に示す。

40

【0175】

第1の薄膜トランジスタ171の第1の電極（ソース電極またはドレイン電極の一方）が第4の配線504に接続され、第1の薄膜トランジスタ171の第2の電極（ソース電極またはドレイン電極の他方）が第3の配線503に接続される。

【0176】

第2の薄膜トランジスタ172の第1の電極が第6の配線506に接続され、第2の薄膜トランジスタ172の第2の電極が第3の配線503に接続される。

【0177】

第3の薄膜トランジスタ173の第1の電極が第5の配線505に接続され、第3の薄膜トランジスタ173の第2の電極が第2の薄膜トランジスタ172のゲート電極に接続さ

50

れ、第3の薄膜トランジスタ173のゲート電極が第5の配線505に接続される。

【0178】

第4の薄膜トランジスタ174の第1の電極が第6の配線506に接続され、第4の薄膜トランジスタ174の第2の電極が第2の薄膜トランジスタ172のゲート電極に接続され、第4の薄膜トランジスタ174のゲート電極が第1の薄膜トランジスタ171のゲート電極に接続される。

【0179】

第5の薄膜トランジスタ175の第1の電極が第5の配線505に接続され、第5の薄膜トランジスタ175の第2の電極が第1の薄膜トランジスタ171のゲート電極に接続され、第5の薄膜トランジスタ175のゲート電極が第1の配線501に接続される。

10

【0180】

第6の薄膜トランジスタ176の第1の電極が第6の配線506に接続され、第6の薄膜トランジスタ176の第2の電極が第1の薄膜トランジスタ171のゲート電極に接続され、第6の薄膜トランジスタ176のゲート電極が第2の薄膜トランジスタ172のゲート電極に接続される。

【0181】

第7の薄膜トランジスタ177の第1の電極が第6の配線506に接続され、第7の薄膜トランジスタ177の第2の電極が第1の薄膜トランジスタ171のゲート電極に接続され、第7の薄膜トランジスタ177のゲート電極が第2の配線502に接続される。

【0182】

第8の薄膜トランジスタ178の第1の電極が第6の配線506に接続され、第8の薄膜トランジスタ178の第2の電極が第2の薄膜トランジスタ172のゲート電極に接続され、第8の薄膜トランジスタ178のゲート電極が第1の配線501に接続される。

20

【0183】

なお、第1の薄膜トランジスタ171のゲート電極、第4の薄膜トランジスタ174のゲート電極、第5の薄膜トランジスタ175の第2の電極、第6の薄膜トランジスタ176の第2の電極及び第7の薄膜トランジスタ177の第2の電極の接続箇所をノード143とする。さらに、第2の薄膜トランジスタ172のゲート電極、第3の薄膜トランジスタ173の第2の電極、第4の薄膜トランジスタ174の第2の電極、第6の薄膜トランジスタ176のゲート電極及び第8の薄膜トランジスタ178の第2の電極の接続箇所をノード144とする。

30

【0184】

なお、第1の配線501、第2の配線502、第3の配線503及び第4の配線504を、それぞれ第1の信号線、第2の信号線、第3の信号線、第4の信号線と呼んでもよい。さらに、第5の配線505を第1の電源線、第6の配線506を第2の電源線と呼んでもよい。

【0185】

図30に示したフリップフロップの上面図の一例を図31に示す。

【0186】

導電膜901は、第1の薄膜トランジスタ171の第1の電極として機能する部分を含み、画素電極と同時に形成される配線951を介して第4の配線504と接続される。

40

【0187】

導電膜902は第1の薄膜トランジスタ171の第2の電極として機能する部分を含み、画素電極と同時に形成される配線952を介して第3の配線503と接続される。

【0188】

導電膜903は、第1の薄膜トランジスタ171のゲート電極、及び第4の薄膜トランジスタ174のゲート電極として機能する部分を含む。

【0189】

導電膜904は、第2の薄膜トランジスタ172の第1の電極、第6の薄膜トランジスタ176の第1の電極、第4の薄膜トランジスタ174の第1の電極、及び第8の薄膜トラン

50

ンジスタ 178 の第 1 の電極として機能する部分を含み、第 6 の配線 506 と接続される。

【0190】

導電膜 905 は、第 2 の薄膜トランジスタ 172 の第 2 の電極として機能する部分を含み、画素電極と同時に形成される配線 954 を介して第 3 の配線 503 と接続される。

【0191】

導電膜 906 は第 2 の薄膜トランジスタ 172 のゲート電極、及び第 6 のトランジスタのゲート電極として機能する部分を含む。

【0192】

導電膜 907 は、第 3 の薄膜トランジスタ 173 の第 1 の電極として機能する部分を含み、配線 955 を介して第 5 の配線 505 と接続される。

10

【0193】

導電膜 908 は、第 3 の薄膜トランジスタ 173 の第 2 の電極、及び第 4 の薄膜トランジスタ 174 の第 2 の電極として機能する部分を含み、画素電極と同時に形成される配線 956 を介して導電膜 906 と接続される。

【0194】

導電膜 909 は、第 3 の薄膜トランジスタ 173 のゲート電極として機能する部分を含み、配線 955 を介して第 5 の配線 505 と接続される。

【0195】

導電膜 910 は、第 5 の薄膜トランジスタ 175 の第 1 の電極として機能する部分を含み、画素電極と同時に形成される配線 959 を介して第 5 の配線 505 と接続される。

20

【0196】

導電膜 911 は、第 5 の薄膜トランジスタ 175 の第 2 の電極、及び第 7 の薄膜トランジスタ 177 の第 2 の電極として機能する部分を含み、画素電極と同時に形成される配線 958 を介して導電膜 903 と接続される。

【0197】

導電膜 912 は、第 5 の薄膜トランジスタ 175 のゲート電極として機能する部分を含み、画素電極と同時に形成される配線 960 を介して第 1 の配線 501 と接続される。

【0198】

導電膜 913 は、第 6 の薄膜トランジスタ 176 の第 2 の電極として機能する部分を含み、画素電極と同時に形成される配線 957 を介して導電膜 903 と接続される。

30

【0199】

導電膜 914 は、第 7 の薄膜トランジスタ 177 のゲート電極として機能する部分を含み、画素電極と同時に形成される配線 962 を介して第 2 の配線 502 と接続される。

【0200】

導電膜 915 は、第 8 の薄膜トランジスタ 178 のゲート電極として機能する部分を含み、画素電極と同時に形成される配線 961 を介して導電膜 912 と接続される。

【0201】

導電膜 916 は、第 8 の薄膜トランジスタ 178 の第 2 の電極として機能する部分を含み、画素電極と同時に形成される配線 953 を介して導電膜 906 と接続される。なお、微結晶半導体層 981 ~ 988 の一部は、それぞれ第 1 乃至第 8 の薄膜トランジスタのチャネル形成領域として機能する。

40

【0202】

図 28 乃至図 30 に示したような回路を、微結晶半導体を用いたトランジスタで構成することにより、回路を高速に動作させることが出来る。例えば、非晶質半導体膜を用いた場合と微結晶半導体膜を用いた場合とを比較すると、微結晶半導体膜を用いた場合の方が、トランジスタの電界効果移動度が大きいため、駆動回路（例えば走査線駆動回路 702 のシフトレジスタ 706）の駆動周波数を高くすることが可能となる。走査線駆動回路 702 を高速に動作させることが出来るため、フレーム周波数を高くすること、または、黒画面挿入を実現することなども実現することが出来る。

50

## 【0203】

フレーム周波数を上げる場合は、画像の動きの方向に応じて、画面のデータを生成することが望ましい。つまり、動き補償を行って、データを補間することが望ましい。このように、フレーム周波数を上げ、画像データを補間することにより、動画の表示特性が改善され、滑らかな表示を行うことが出来る。例えば、2倍（例えば120ヘルツ、100ヘルツ）以上、より好ましくは4倍（例えば480ヘルツ、400ヘルツ）以上により、動画における画像のぼけや残像を低減することが出来る。その場合、走査線駆動回路702も、駆動周波数を高くして、動作させることにより、フレーム周波数を上げることが出来る。

## 【0204】

黒画面挿入を行う場合は、画像データもしくは黒表示となるデータを画素部700に供給できるようにする。その結果、インパルス駆動に近い形となり、残像を低減することが出来る。その場合、走査線駆動回路702も、駆動周波数を高くして、動作させることにより、黒画面挿入を行うことが出来る。

## 【0205】

さらに、走査線駆動回路702のトランジスタのチャンネル幅を大きくすることや、複数の走査線駆動回路を配置することなどによって、さらに高いフレーム周波数を実現することが出来る。例えば8倍（例えば960ヘルツ、800ヘルツ）以上のフレーム周波数とすることが出来る。複数の走査線駆動回路を配置する場合は、偶数行の走査線を駆動する為の走査線駆動回路を片側に配置し、奇数行の走査線を駆動するための走査線駆動回路をその反対側に配置することにより、フレーム周波数を高くすることを実現することが出来る。一例としては、第2の薄膜トランジスタ172のチャンネル幅は、300  $\mu\text{m}$ 以上、より望ましくは、1000  $\mu\text{m}$ 以上であることが望ましい。

## 【0206】

なお、図28乃至図30に示したような回路を、微結晶半導体を用いたトランジスタで構成することにより、レイアウト面積を小さくすることが出来る。そのため、表示装置の額縁を小さくすることが出来る。例えば、非晶質半導体膜を用いた場合と微結晶半導体膜を用いた場合とを比較すると、微結晶半導体膜を用いた場合の方が、トランジスタの電界効果移動度が大きいため、トランジスタのチャンネル幅を小さくすることが出来る。その結果、表示装置を狭額縁化させることが可能となる。一例としては、第2の薄膜トランジスタ172のチャンネル幅は、3000  $\mu\text{m}$ 以下、より望ましくは、2000  $\mu\text{m}$ 以下であることが望ましい。

## 【0207】

なお、図30における第2の薄膜トランジスタ172は、第3の配線503にローレベルの信号を出力する期間が長い。その間、第2の薄膜トランジスタ172は、ずっとオン状態になっている。したがって、第2の薄膜トランジスタ172には、強いストレスが加わり、トランジスタ特性が劣化しやすくなっている。トランジスタ特性が劣化すると、しきい値電圧が徐々に大きくなっていく。その結果、電流値が小さくなっていく。そこで、トランジスタが劣化しても、十分な電流を供給できるようにするため、第2の薄膜トランジスタ172のチャンネル幅は大きいことが望ましい。あるいは、トランジスタが劣化しても、回路動作に支障がないように、トランジスタの劣化分が補償されていることが望ましい。例えば、第2の薄膜トランジスタ172と並列に、トランジスタを配置し、第2の薄膜トランジスタ172と交互にオン状態となるようにすることによって、スイッチング特性が劣化の影響を受けにくくすることが望ましい。

## 【0208】

しかしながら、非晶質半導体膜を用いた場合と微結晶半導体膜を用いた場合とを比較すると、微結晶半導体膜を用いた場合の方が、劣化しにくい。したがって、微結晶半導体膜を用いた場合は、トランジスタのチャンネル幅を小さくすることが出来る。または、劣化に対する補償用の回路を配置しなくても正常に動作させることが出来る。これらにより、レイアウト面積を小さくすることが出来る。

10

20

30

40

50

## 【 0 2 0 9 】

次に、本発明の液晶表示装置の一形態に相当する液晶表示パネルの外観及び断面について、図 27 を用いて説明する。図 27 ( A ) は、第 1 の基板 4 0 0 1 上に形成された微結晶半導体膜をチャネル形成領域に用いた薄膜トランジスタ 4 0 1 0 及び液晶素子 4 0 1 3 を、第 2 の基板 4 0 0 6 との間にシール材 4 0 0 5 によって封止した、パネルの上面図であり、図 27 ( B ) は、図 27 ( A ) の M - N における断面図に相当する。

## 【 0 2 1 0 】

第 1 の基板 4 0 0 1 上に設けられた画素部 4 0 0 2 と、走査線駆動回路 4 0 0 4 とを囲むようにして、シール材 4 0 0 5 が設けられている。また画素部 4 0 0 2 と、走査線駆動回路 4 0 0 4 の上に第 2 の基板 4 0 0 6 が設けられている。よって画素部 4 0 0 2 と、走査線駆動回路 4 0 0 4 とは、第 1 の基板 4 0 0 1 とシール材 4 0 0 5 と第 2 の基板 4 0 0 6 とによって、液晶 4 0 0 8 と共に封止されている。また第 1 の基板 4 0 0 1 上のシール材 4 0 0 5 によって囲まれている領域とは異なる領域に、別途用意された基板上に多結晶半導体膜で形成された信号線駆動回路 4 0 0 3 が実装されている。なお本実施の形態では、多結晶半導体膜を用いた薄膜トランジスタを有する信号線駆動回路を、第 1 の基板 4 0 0 1 に貼り合わせる例について説明するが、単結晶半導体を用いたトランジスタで信号線駆動回路を形成し、貼り合わせるようにしても良い。図 27 では、信号線駆動回路 4 0 0 3 に含まれる、多結晶半導体膜で形成された薄膜トランジスタ 4 0 0 9 を例示する。

## 【 0 2 1 1 】

また第 1 の基板 4 0 0 1 上に設けられた画素部 4 0 0 2 と、走査線駆動回路 4 0 0 4 は、薄膜トランジスタを複数有しており、図 27 ( B ) では、画素部 4 0 0 2 に含まれる薄膜トランジスタ 4 0 1 0 を例示している。薄膜トランジスタ 4 0 1 0 は微結晶半導体膜をチャネル形成領域に用いた薄膜トランジスタに相当する。

## 【 0 2 1 2 】

また、液晶素子 4 0 1 3 が有する画素電極 4 0 3 0 は、薄膜トランジスタ 4 0 1 0 の配線 4 0 4 0 と電氣的に接続されている。そして液晶素子 4 0 1 3 の対向電極 4 0 3 1 は第 2 の基板 4 0 0 6 上に形成されている。画素電極 4 0 3 0 と対向電極 4 0 3 1 と液晶 4 0 0 8 とが重なっている部分が、液晶素子 4 0 1 3 に相当する。

## 【 0 2 1 3 】

なお、第 1 の基板 4 0 0 1、第 2 の基板 4 0 0 6 としては、ガラス、金属（代表的にはステンレス）、セラミックス、プラスチックを用いることができる。プラスチックとしては、FRP ( F i b e r g l a s s - R e i n f o r c e d P l a s t i c s ) 板、PVF ( ポリビニルフルオライド ) フィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルを PVF フィルムやポリエステルフィルムで挟んだ構造のシートを用いることもできる。

## 【 0 2 1 4 】

また、球状のスペーサ 4 0 3 5 は、画素電極 4 0 3 0 と対向電極 4 0 3 1 との間の距離（セルギャップ）を制御するために設けられている。なお絶縁膜を選択的にエッチングすることで得られるスペーサを用いても良い。

## 【 0 2 1 5 】

また別途形成された信号線駆動回路 4 0 0 3 と、走査線駆動回路 4 0 0 4 または画素部 4 0 0 2 に与えられる各種信号及び電位は、引き回し配線 4 0 1 4、4 0 1 5 を介して、FPC 4 0 1 8 から供給されている。

## 【 0 2 1 6 】

本実施の形態では、接続端子 4 0 1 6 が、液晶素子 4 0 1 3 が有する画素電極 4 0 3 0 と同じ導電膜から形成されている。また、引き回し配線 4 0 1 4、4 0 1 5 は、ソース電極またはドレイン電極である配線 4 0 4 0 と同じ導電膜で形成されている。

## 【 0 2 1 7 】

接続端子 4 0 1 6 は、FPC 4 0 1 8 が有する端子と、異方性導電膜 4 0 1 9 を介して電氣的に接続されている。

10

20

30

40

50

## 【0218】

なお図示していないが、本実施の形態に示した液晶表示装置は配向膜、偏光板を有し、更にカラーフィルタや遮蔽膜を有していても良い。

## 【0219】

また図27では、信号線駆動回路4003を別途形成し、第1の基板4001に実装している例を示しているが、本実施の形態はこの構成に限定されない。走査線駆動回路を別途形成して実装しても良いし、信号線駆動回路の一部または走査線駆動回路の一部のみを別途形成して実装しても良い。

## 【0220】

本実施の形態は、他の実施の形態に記載した構成と組み合わせて実施することが可能である。

## 【0221】

(実施の形態4)

本発明により得られる液晶表示装置は、アクティブマトリクス型液晶モジュールに用いることができる。即ち、それらを表示部に組み込んだ電子機器全てに本発明を実施できる。

## 【0222】

その様な電子機器としては、ビデオカメラ、デジタルカメラ等のカメラ、ヘッドマウントディスプレイ(ゴーグル型ディスプレイ)、カーナビゲーション、プロジェクタ、カーステレオ、パーソナルコンピュータ、携帯情報端末(モバイルコンピュータ、携帯電話または電子書籍等)などが挙げられる。それらの一例を図11に示す。

## 【0223】

図11(A)はテレビジョン装置である。表示モジュールを、図11(A)に示すように、筐体に組みこんで、テレビジョン装置を完成させることができる。FPCまで取り付けられた表示パネルのことを表示モジュールとも呼ぶ。表示モジュールにより主画面2003が形成され、その他付属設備としてスピーカー部2009、操作スイッチなどが備えられている。このように、テレビジョン装置を完成させることができる。

## 【0224】

図11(A)に示すように、筐体2001に表示素子を利用した表示用パネル2002が組みこまれ、受信機2005により一般のテレビ放送の受信をはじめ、モデム2004を介して有線又は無線による通信ネットワークに接続することにより一方向(送信者から受信者)又は双方向(送信者と受信者間、又は受信者間同士)の情報通信をすることもできる。テレビジョン装置の操作は、筐体に組みこまれたスイッチ又は別体のリモコン操作機2006により行うことが可能であり、このリモコン装置にも出力する情報を表示する表示部2007が設けられていても良い。

## 【0225】

また、テレビジョン装置にも、主画面2003の他にサブ画面2008を第2の表示用パネルで形成し、チャンネルや音量などを表示する構成が付加されていても良い。この構成において、主画面2003を視野角の優れた液晶表示パネルで形成し、サブ画面を低消費電力で表示可能な液晶表示パネルで形成しても良い。また、主画面2003を低消費電力で表示可能な液晶表示パネルで形成し、サブ画面を液晶表示パネルで形成し、サブ画面は点滅可能とする構成としても良い。

## 【0226】

図12はテレビ装置の主要な構成を示すブロック図を示している。表示パネル920には、画素部921が形成されている。信号線駆動回路922と走査線駆動回路923は、表示パネルにCOG方式により実装されていても良い。

## 【0227】

その他の外部回路の構成として、映像信号の入力側では、チューナ924で受信した信号のうち、映像信号を増幅する映像信号増幅回路925と、そこから出力される信号を赤、緑、青の各色に対応した色信号に変換する映像信号処理回路926と、その映像信号を

ドライバICの入力仕様に変換するためのコントロール回路927などを有している。コントロール回路927は、走査線側と信号線側にそれぞれ信号が出力する。デジタル駆動する場合には、信号線側に信号分割回路928を設け、入力デジタル信号をm個に分割して供給する構成としても良い。

#### 【0228】

チューナ924で受信した信号のうち、音声信号は、音声信号増幅回路929に送られ、その出力は音声信号処理回路930を経てスピーカ933に供給される。制御回路931は受信局（受信周波数）や音量の制御情報を入力部932から受け、チューナ924や音声信号処理回路930に信号を送出する。

#### 【0229】

勿論、本発明はテレビジョン装置に限定されず、パーソナルコンピュータのモニタをはじめ、鉄道の駅や空港などにおける情報表示盤や、街頭における広告表示盤など大面積の表示媒体としても様々な用途に適用することができる。

#### 【0230】

図11(B)は携帯電話機2301の一例を示している。この携帯電話機2301は、表示部2302、操作部2303などを含んで構成されている。表示部2302においては、上記実施の形態で説明した液晶表示装置を適用することで、量産性を高めることができる。

#### 【0231】

また、図11(C)に示す携帯型のコンピュータは、本体2401、表示部2402等を含んでいる。表示部2402に、上記実施の形態に示す液晶表示装置を適用することにより、量産性を高めることができる。

#### 【実施例1】

#### 【0232】

微結晶シリコン膜を成膜し、その膜をラマン分光法で結晶性を測定した結果を図32に示す。

#### 【0233】

微結晶シリコン膜の成膜条件は、RF電源周波数を13.56MHzとし、成膜温度を280とし、水素流量とシランガス流量の比を100:1とし、280Paの圧力で成膜を行った。また、図32(A)は、ラマン散乱スペクトルであり、成膜時のRF電源の電力を100Wとした微結晶シリコン膜と、300Wとした微結晶シリコン膜とを比較した測定結果である。

#### 【0234】

なお、単結晶シリコンの結晶ピーク位置は、 $520.6\text{ cm}^{-1}$ である。なお、アモルファスシリコン(a-Siとも呼ぶ)は勿論、結晶ピークと言えるものは測定できず、図32(B)に示すように $480\text{ cm}^{-1}$ になだらかな山が測定されるだけである。本明細書の微結晶シリコン膜とは、ラマン分光器で測定して $481\text{ cm}^{-1}$ 以上 $520.6\text{ cm}^{-1}$ 未満に結晶ピーク位置を確認できるものを指す。

#### 【0235】

成膜時のRF電源の電力を100Wとした微結晶シリコン膜の結晶ピーク位置は、 $518.6\text{ cm}^{-1}$ であり、半値幅(FWHM)は、 $11.9\text{ cm}^{-1}$ であり、結晶/アモルファスピーク強度比(Ic/Ia)は、4.1である。

#### 【0236】

また、成膜時のRF電源の電力を300Wとした微結晶シリコン膜の結晶ピーク位置は、 $514.8\text{ cm}^{-1}$ であり、半値幅(FWHM)は、 $18.7\text{ cm}^{-1}$ であり、結晶/アモルファスピーク強度比(Ic/Ia)は、4.4である。

#### 【0237】

図32に示すように、RF電力によってピークシフトと半値幅に大きな差が出ている。これは、大電力ではイオン衝撃が増加し粒成長が阻害されるため小粒径になる傾向があるためと考えられる。また、図32(A)の測定に用いた微結晶シリコン膜を形成したCVD

10

20

30

40

50

装置の電源周波数が 13.56 MHz であるので結晶 / アモルファスピーク強度比 ( $I_c / I_a$ ) は、4.1 または 4.4 となっているが、RF 電源周波数が 27 MHz であれば、結晶 / アモルファスピーク強度比 ( $I_c / I_a$ ) を 6 とすることができることも確認している。従って、さらに 27 MHz よりも高い RF 電源周波数、例えば、2.45 GHz の RF 電源周波数とすることでさらに、結晶 / アモルファスピーク強度比 ( $I_c / I_a$ ) を高めることができる。

#### 【実施例 2】

##### 【0238】

本実施例では、水素プラズマを作用させた（作用させつつ）ゲート絶縁膜上に微結晶半導体膜を形成すると、ゲート絶縁膜表面に微結晶核を生成し、結晶成長を促進させる方法を用いてチャンネルエッチ構造の逆スタガ型薄膜トランジスタを作製する例を示す。

10

##### 【0239】

まず、基板 250 上にゲート電極 251 を形成する。ゲート電極 251 は、チタン、モリブデン、クロム、タンタル、タングステン、銅、アルミニウムなどの金属材料またはその合金材料を用いて形成する。大型の表示装置を作製する場合には、低抵抗なゲート電極とすることが好ましいため、アルミニウムまたはアルミニウム合金を用いる。さらに、アルミニウムのヒロック発生などを防止するため、アルミニウムを含む膜と高融点金属膜との積層とすることが好ましい。ここでは、ネオジムを含むアルミニウム膜と、モリブデン膜との積層を用いる。積層からなるゲート電極の合計膜厚は、300 nm とする。また、後の工程で、FPC との接続を行う端子電極と電氣的に接続するため、ゲート電極 251 に達するコンタクトホールを形成する。工程数を低減するためには、後に形成するソース電極やドレイン電極に達するコンタクトホールを形成するマスクと、ゲート電極 251 に達するコンタクトホールとを形成するマスクを同じものを用いることが好ましく、さらにゲート電極とソース電極との両方に同じ材料を主成分に用いると、エッチングのマージンを広げることができる。

20

##### 【0240】

なお、ゲート電極 251 上には半導体膜や配線を形成するので、段切れ防止のため端部がテーパ状になるように加工することが望ましい。

##### 【0241】

次に、ゲート電極 251 上に、ゲート絶縁膜 252a、252b、微結晶半導体膜 253、バッファ層 254、一導電型を付与する不純物が添加された半導体膜 255 を順に形成する（図 33 (A) 参照。）。ゲート絶縁膜 252a、252b はそれぞれ、CVD 法やスパッタリング法を用いて、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、または窒化酸化珪素膜で形成することができる。ここでは、ゲート絶縁膜 252a、252b として、酸化珪素膜または酸化窒化珪素膜と、窒化珪素膜または窒化酸化珪素膜との順に積層して形成する形態を示す。本実施例では、積層からなるゲート絶縁膜の合計膜厚を 300 nm とする。

30

##### 【0242】

本実施例では、微結晶半導体膜 253 を、水素プラズマを作用させつつ（作用させた）ゲート絶縁膜 252b 表面に形成する。

40

##### 【0243】

水素プラズマを作用させたゲート絶縁膜上に微結晶半導体膜を形成すると、微結晶の結晶成長を促進することができる。水素プラズマによって、ゲート絶縁膜表面を水素で終端して不活性化できうるからである。従って得られる微結晶半導体膜は電気特性が高く信頼性のよいものとすることができる。

##### 【0244】

成膜が進むにつれ、珪素気体の流量に対する水素の流量比が小さくなるように珪素気体の流量を増加、逆に水素の流量を減少させ微結晶半導体膜 253 を形成する。例えば、成膜開始時には水素の流量：珪素気体の流量を 1000：1 程度にしておき、成膜終了時には 50：1 程度になるまで徐々に珪素気体の流量を増加、逆に水素の流量を減少させ微結晶

50

半導体膜 2 5 3 を形成すればよい。水素、及び珪素気体の流量の制御は一定の時間毎に変化させる段階的でもよいし、連続的でもよい。成膜開始直後は成膜ガスとして珪素気体を供給せず（つまり珪素気体の流量を 0 とする）、水素のみ供給し水素プラズマ処理を行う時間を設けてもよい。例えば、珪素気体としてはシランを用いることができる。

#### 【0 2 4 5】

本実施例では、水素及び珪素気体の流量をさらに制御し、水素を減少、珪素気体を増加させ、珪素気体の流量に対する水素の流量比を小さくすることで微結晶半導体膜上に連続的にバッファ層を形成する。バッファ層を形成する工程は、より水素の流量を減少させ、珪素気体（水素化珪素気体、又はハロゲン化珪素気体）のみで行ってもよい。微結晶半導体膜 2 5 3 の成長表面を大気に触れさせることなく、該微結晶半導体膜上にバッファ層として非晶質半導体膜を形成することができる。

10

#### 【0 2 4 6】

微結晶半導体膜 2 5 3 の成膜ガス中の水素と珪素気体の流量比を制御することによって、ゲート絶縁膜 2 5 2 b 表面への水素プラズマ、微結晶半導膜 2 5 3 の形成、バッファ層 2 5 4 の形成を連続的に行うことができる。水素と珪素気体との流量の制御としては、例えば微結晶半導体膜成膜開始時は水素の流量：珪素気体の流量を 1 0 0 0 : 1 とし、徐々に水素の流量を減少、珪素気体の流量を増加させ、微結晶半導体膜 5 3 の成膜終了時には 5 0 : 1 程度とすればよい。

#### 【0 2 4 7】

また、微結晶半導体膜 2 5 3 の酸素濃度を、 $5 \times 10^{-9} \text{ cm}^{-3}$  以下、好ましくは  $1 \times 10^{-9} \text{ cm}^{-3}$  以下、窒素及び炭素の濃度それぞれを  $1 \times 10^{-8} \text{ cm}^{-3}$  以下とすることが好ましい。酸素、窒素、及び炭素が微結晶半導体膜に混入する濃度を低減することで、微結晶半導体膜が n 型化になることを防止することができる。

20

#### 【0 2 4 8】

また、本実施例で得られる微結晶半導体膜 2 5 3 は、下側（基板 2 5 0 側）から上方に向かう縦方向に成長し、針状結晶である。微結晶半導体膜には非晶質と結晶構造が混在しており、結晶領域と非晶質領域との間に局部応力でクラックが発生し、隙間ができやすい。この隙間に新たなラジカルが介入して結晶成長を起こしうる。上方の結晶面が大きくなるため、針状に上方に成長しやすい。このように微結晶半導体膜は縦方向に成長しても、非晶質半導体膜の成膜速度に比べて  $1/10 \sim 1/100$  の早さである。

30

#### 【0 2 4 9】

本実施例では、微結晶半導体膜 2 5 3 の膜厚を 2 5 nm とし、バッファ層 2 5 4 の膜厚を 1 2 5 nm とし、一導電型を付与する不純物が添加された半導体膜 2 5 5 の膜厚を 5 0 nm とする。

#### 【0 2 5 0】

次に、一導電型を付与する不純物が添加された半導体膜 2 5 5 上にマスクを形成する。マスクは、フォトリソグラフィ技術またはインクジェット法により形成する。なお、少なくとも、ゲート絶縁膜 2 5 2 a、2 5 2 b、微結晶半導体膜 2 5 3、及びバッファ層 2 5 4 を連続的に形成してもよい。少なくとも、ゲート絶縁膜 2 5 2 a、2 5 2 b、微結晶半導体膜 2 5 3、及びバッファ層 2 5 4 を大気に触れさせることなく連続成膜することで、大気成分や大気中に浮遊する汚染不純物元素に汚染されことなく各種層界面を形成することができるので、薄膜トランジスタ特性のばらつきを低減することができる。

40

#### 【0 2 5 1】

次に、マスクを用いて微結晶半導体膜 2 5 3、バッファ層 2 5 4、及び一導電型を付与する不純物が添加された半導体膜 2 5 5 をエッチングして、微結晶半導体膜 2 6 1、バッファ層、及び一導電型を付与する不純物が添加された半導体膜の上面形状を所望の形状に加工する。この加工の際、それぞれの端部の断面形状をテーパ形状とすることが好ましい。テーパを有する形状にエッチングすることで、一導電型を付与する不純物が添加された半導体膜と微結晶半導体膜 2 6 1 とが直接接することを防ぐことができる。端部のテーパ角は  $90^\circ \sim 30^\circ$ 、好ましくは  $80^\circ \sim 45^\circ$  とする。これにより、一導電型を付与

50

する不純物が添加された半導体膜と微結晶半導体膜 2 6 1 との間の距離が長くなりリーク電流の発生を防ぐことができる。また、段差形状による配線の段切れを防ぐことができる。

#### 【0252】

そして、マスクを除去する。次に、一導電型を付与する不純物が添加された半導体膜及びゲート絶縁膜 2 5 2 b 上に導電膜を形成する。導電膜は、アルミニウム、若しくは銅、シリコン、チタン、ネオジム、スカンジウム、モリブデンなどの耐熱性向上元素若しくはヒロック防止元素が添加されたアルミニウム合金の単層または積層で形成する。本実施例では、導電膜としてモリブデン膜とアルミニウム膜とモリブデン膜とを順次積層させた 3 層積層を用い、合計膜厚を 3 0 0 n m とする。この導電膜と共通してゲート電極 2 5 1 にもモリブデン膜を用いているため、スパッタ法を用いる場合には同じターゲットを用いて材料コストを低減できる。そして、その導電膜上に新たにマスクを形成する。

10

#### 【0253】

次に、マスクを用いてエッチングして導電膜をそれぞれの電極または配線となるように分離して、ソース電極及びドレイン電極 2 7 1 a ~ 2 7 1 c を形成する。本実施例では、導電膜のエッチングとしてウエットエッチングする。ウエットエッチングでは、等方的にエッチングされるため、マスクの端部と、ソース電極及びドレイン電極 2 7 1 a ~ 2 7 1 c の端部は一致せず、ソース電極及びドレイン電極 2 7 1 a ~ 2 7 1 c の上面形状は、マスク上面形状のサイズよりも小さい形状となる。

20

#### 【0254】

次に、同じマスクをそのまま用いて一導電型を付与する不純物が添加された半導体膜及びバッファ層をエッチングして、ソース領域及びドレイン領域 2 7 2、バッファ層 2 7 3 を形成する。ここではドライエッチングを用いて、バッファ層 2 7 3 は一部のみがエッチングされる。なお、バッファ層 2 7 3 は、微結晶半導体膜 2 6 1 の表面が露呈されないように覆っている。バッファ層 2 7 3 は寄生チャネルの発生防止し、ソース領域及びドレイン領域のエッチング時のストッパーとしても機能する。微結晶半導体膜 2 6 1 上のバッファ層 2 7 3 は含まれる水素によって外部の空気、エッチング残渣を遮断し、微結晶半導体膜 2 6 1 を保護している。バッファ層 2 7 3 は、エッチング時のラジカルを止めることができる。仮にバッファ層 2 7 3 がなく、微結晶半導体膜 2 6 1 のみの構造であるなら、膜厚方向に酸化してトランジスタの電気特性が悪化する。例えば、電界効果移動度の低下、サブスレッショルド値 ( S 値 ) の増大を招いてしまう。また、バッファ層 2 7 3 として用いることができる材料のうち、酸化防止対策として、特に有効であるのは水素を含む非晶質シリコン膜である。エッチングにより溝部が形成されても、その表面は水素で終端されているため、酸化を防止することができる。

30

#### 【0255】

バッファ層 2 7 3 は一部エッチングされ、ソース電極及びドレイン電極 2 7 1 a ~ 2 7 1 c 間に溝部が形成されている。溝部を形成することで、その上の一導電型を付与する不純物が添加された半導体膜の除去を確実にし、残渣のリンなどの一導電型を付与する不純物により寄生チャネルができてしまうのを防ぐことができる。

#### 【0256】

また、バッファ層 2 7 3 の溝部の端部は、ソース領域及びドレイン領域 2 7 2 の端部とほぼ一致している。この溝部はソース領域及びドレイン領域 2 7 2 を形成するエッチングと同一エッチングプロセスで形成される。従って同一フォトリソマスクであるマスクの開口部と概略一致している、セルフアラインプロセスである。バッファ層 2 7 3 に溝部を形成することでリーク電流の流れる経路が長くなり、オフ電流を下げる効果がある。また、微結晶半導体膜 2 6 1 の表面が露呈されないようにバッファ層で覆われ、バッファ層には水素、及び / 又は、フッ素が混入していることにより、微結晶半導体膜 2 6 1 の酸化を防止する効果がある。

40

#### 【0257】

ソース領域及びドレイン領域 2 7 2 下方のバッファ層 2 7 3 と微結晶半導体膜 2 6 1 のチ

50

チャンネル形成領域上のバッファ層 273 は同一材料であり（炭素、窒素、酸素の濃度は、 $3 \times 10^{19} \text{ cm}^{-3}$  以下、好ましくは  $5 \times 10^{18} \text{ cm}^{-3}$  以下）、同時に形成され、さらに溝部を有している。

#### 【0258】

バッファ層 273 の溝部はソース領域とドレイン領域を分離し、ソース領域とドレイン領域間のリーク電流を下げるために溝状に加工された領域であり、下層の微結晶半導体膜の酸化を防ぐことのできる残存膜厚を有する。一方、バッファ層 273 において、微結晶半導体膜とソース領域及びドレイン領域と重なる領域は、50 ~ 400 nm の膜厚を有し、耐圧向上を図ることができる高抵抗領域を形成する。ゲート電極 251 とソース電極及びドレイン電極 271a ~ 271c との間にバッファ層 273 を設けることで、ソース領域及びドレイン領域に含まれる一導電型を付与する不純物と微結晶半導体膜のしきい値電圧制御用の一導電型を付与する不純物が相互に混ざらないようにすることができる。異なる導電型を付与する不純物が混ざると再結合中心ができ、リーク電流が流れてしまい、オフ電流低減の効果が得られなくなってしまう。

10

#### 【0259】

本実施例ではゲート電極 251 とソース電極及びドレイン電極 271a ~ 271c との間に 125 nm の膜厚を有する高抵抗領域が設けられているとも言える。ソース領域及びドレイン領域 272 下のバッファ層 273 は、チャンネル形成領域を形成する微結晶半導体膜 261 上に延在してオーバーラップしている。

20

#### 【0260】

また、ソース電極及びドレイン電極 271a ~ 271c の端部と、ソース領域及びドレイン領域 272 の端部は一致せずずれており、ソース電極及びドレイン電極 271a ~ 271c の端部の外側に、ソース領域及びドレイン領域 272 の端部が位置する。

#### 【0261】

次いで、マスクを除去する。

#### 【0262】

以上の工程により、チャンネルエッチ型の薄膜トランジスタ 279 を形成することができる。

#### 【0263】

次に、ソース電極及びドレイン電極 271a ~ 271c、ソース領域及びドレイン領域 272、バッファ層 273、微結晶半導体膜 261、及びゲート絶縁膜 252b を覆う絶縁膜 276 を形成する。なお、絶縁膜 276 は、大気中に浮遊する有機物や金属物、水蒸気などの汚染不純物の侵入を防ぐためのものであり、緻密な膜が好ましい。本実施例では、絶縁膜 276 として、窒化珪素膜を 300 nm の膜厚で形成する。なお、絶縁膜 276 に窒化珪素膜を用いることで、バッファ層 273 中の酸素濃度を  $1 \times 10^{19} \text{ atoms/cm}^3$  以下、好ましくは  $5 \times 10^{18} \text{ atoms/cm}^3$  以下とすることができる。

30

#### 【0264】

次に、絶縁膜 276 上にマスクを形成し、選択的にエッチングを行ってコンタクトホールを形成する。本実施例では、ソース電極またはドレイン電極 271c に達する第 1 のコンタクトホール、ソース電極と電氣的に接続しているソース配線に達する第 2 のコンタクトホール、ゲート電極 251 に達する第 3 のコンタクトホールを形成する。画素部の画素毎に第 1 のコンタクトホールは形成され、画素部の外側に第 2 のコンタクトホールと第 3 のコンタクトホールが形成される。第 2 のコンタクトホールと第 3 のコンタクトホールは外部端子と接続するための端子電極と電氣的に接続を行うために形成する。本実施例では、ソース電極またはドレイン電極 271c と、ゲート電極 251 の両方において、モリブデン膜がエッチングストッパーとして機能するため、同じマスクで形成することができる。

40

#### 【0265】

次いで、画素電極 277 及び端子電極または接続電極を形成する。この段階での断面図が図 33 (B) に相当し、なお、図 33 (B) は、図 33 (C) の A - B の断面図に相当する。

50

## 【0266】

また、画素電極277は、酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物（以下、ITOと示す。）、インジウム亜鉛酸化物、酸化珪素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いることができる。

## 【0267】

また、画素電極277として、導電性高分子（導電性ポリマーともいう）を含む導電性組成物を用いて形成することができる。導電性組成物を用いて形成した画素電極は、シート抵抗が10000 / 以下、波長550nmにおける透光率が70%以上であることが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率が0.1・cm以下であることが好ましい。

10

## 【0268】

導電性高分子としては、いわゆる電子共役系導電性高分子が用いることができる。例えば、ポリアニリンまたはその誘導体、ポリピロールまたはその誘導体、ポリチオフェンまたはその誘導体、若しくはこれらの2種以上の共重合体などがあげられる。

## 【0269】

チャンネルエッチ型の薄膜トランジスタは、作製工程数が少なく、コスト削減が可能である。また、微結晶半導体膜でチャンネル形成領域を構成することにより1~20cm<sup>2</sup>/V・secの電界効果移動度を得ることができる。従って、この薄膜トランジスタを画素部の画素のスイッチング用素子として、さらに走査線（ゲート線）側の駆動回路を形成する素子として利用することができる。

20

## 【0270】

以上のように微結晶半導体膜261上にバッファ層を設けることにより、リーク電流が低減された高耐圧の薄膜トランジスタを作製することができる。従って、15Vの電圧を印加する液晶表示装置に用いる薄膜トランジスタの場合でも信頼性が高く好適に用いることができる。

## 【0271】

また、本実施例は、実施の形態1乃至4のいずれか一と自由に組み合わせることができる。

30

## 【実施例3】

## 【0272】

本実施例では、微結晶半導体膜にレーザ光を照射する作製工程例を図34を用いて説明する。

## 【0273】

ここでは図示しないが、基板上にゲート電極を形成する。そして、ゲート電極を覆うようにゲート絶縁膜351を形成する。

## 【0274】

そして、図34（A）に示すようにゲート絶縁膜351上に微結晶半導体膜を形成する。

## 【0275】

ゲート絶縁膜351上にPCVD法等で微結晶半導体膜を成膜しようとする場合、ゲート絶縁膜351と、結晶を含む半導体膜353との界面付近に、半導体膜353よりも非晶質成分を多く含む領域（ここでは界面領域352と呼ぶ）が形成されることがある。また、PCVD法等で膜厚10nm程度以下の極薄い微結晶半導体膜を成膜しようとする場合、微結晶粒を含む半導体膜を形成することはできるが、膜全体に渡って均一に良質の微結晶粒を含む半導体膜を得ることは困難である。これらの場合において、以下に示すレーザ光を照射するレーザ処理は有効である。

40

## 【0276】

次いで、図34（B）に示すように半導体膜353に含まれる結晶を種として、半導体膜353が溶融しないエネルギー密度でレーザ光を表面側から照射する。ここでのレーザ処

50

理 ( Laser Process、以下「LP」ともいう。) は、輻射加熱により微結晶シリコン膜を溶融させないで行う固相結晶成長によるものである。すなわち、堆積された微結晶シリコン膜が液相にならない臨界領域を利用するものであり、その意味において「臨界成長」ともいうことができる。

#### 【0277】

レーザ光の照射直後の断面図を図34(C)に示す。レーザ光としては、波長400nm以下のエキシマレーザーや、YAGレーザーまたはYVO<sub>4</sub>レーザーの第2高調波(波長532nm)～第4高調波(波長266nm)を光源として用いて行う。これらのレーザー光は光学系にて線状またはスポット状に集光し、そのエネルギー密度は半導体膜353の溶融しないエネルギー密度範囲に調節して照射し、上記のように集光したレーザービームを基板の所定の領域に渡って走査させ処理を行う。半導体膜353の溶融しないエネルギー密度範囲であればよいため、線状のレーザービームの長さを長くすることや、スポット面積の増大を図ることができる。線状のレーザービームの長さを長くすればするほど大面積基板を短時間で処理することができる。

10

#### 【0278】

レーザ光は微結晶シリコン膜とゲート絶縁膜の界面にまで作用させることができる。それにより、微結晶シリコン膜の表面側における結晶を種として、該表面からゲート絶縁膜の界面に向けて固相結晶成長が進み略柱状の結晶が成長する。LP処理による固相結晶成長は、結晶粒径を拡大させるものではなく、むしろ膜の厚さ方向における結晶性を改善するものである。

20

#### 【0279】

LP処理は矩形長尺状に集光(線状レーザービーム)することで、例えば730mm×920mmのガラス基板上の微結晶シリコン膜を1回のレーザービームスキャンで処理することができる。この場合、線状レーザービームを重ね合わせる割合(オーバーラップ率)を0～90%(好ましくは0～67%)として行う。これにより、基板1枚当たりの処理時間が短縮され、生産性を向上させることができる。レーザービームの形状は線状に限定されるものでなく面状としても同様に処理することができる。また、本実施例のLP処理は上記ガラス基板のサイズに限定されず、さまざまなサイズに適用することができる。

#### 【0280】

このような臨界成長においては、従来の低温ポリシリコンで見られた表面の凹凸(リッジと呼ばれる凸状体)が形成されず、LP処理後のシリコン表面は平滑性が保たれていることも特徴である。本実施例におけるように、成膜後の微結晶シリコン膜に直接的にレーザー光を作用させて得られる結晶性のシリコン膜354は、成膜で得られる微結晶シリコン膜とは、その成長メカニズム及び膜質が明らかに異なっている。また、伝導加熱により改質された微結晶シリコン膜(非特許文献1におけるもの)ともその成長メカニズム及び膜質が明らかに異なっている。

30

#### 【0281】

本明細書では、成膜後の微結晶半導体膜にLP処理を行って得られる結晶性の半導体をセミクリスタル半導体と呼ぶ。

#### 【0282】

次いで、結晶性のシリコン膜354上にバッファ層355を積層する。バッファ層355として水素を含むアモルファスシリコン膜を用いる場合、水素を含むアモルファスシリコン膜の成膜時に結晶性のシリコン膜354の水素終端も同時に行うことができる。

40

#### 【0283】

以降の工程は、実施の形態1と同様に従って、一導電型を付与する不純物が添加された半導体膜を積層し、その上にマスクを形成する。次に、マスクを用いて微結晶半導体膜、バッファ層、及び一導電型を付与する不純物が添加された半導体膜をエッチングし分離する。次いで、導電膜を形成し、その導電膜上にマスクを形成する。次に、そのマスクを用いて導電膜をエッチングし分離して、ソース電極及びドレイン電極を形成する。さらに同じマスクを用いてエッチングして、ソース領域及びドレイン領域を形成し、バッファ層に窪

50

みを形成する。

【0284】

以上の工程により、チャネルエッチ型の薄膜トランジスタを形成することができる。

【0285】

本実施例のLP処理により、ゲート絶縁膜界面領域の結晶性が改善され、ボトムゲート構造を有するトランジスタの電気的特性を向上させる作用を奏する。

【0286】

また、本実施例は、実施の形態1乃至4のいずれか一と自由に組み合わせることができる。

【実施例4】

【0287】

本実施例では、本発明の薄膜トランジスタと比較例の薄膜トランジスタの電界効果移動度を比較する計算を行い、その結果を示す。比較例の薄膜トランジスタとはアモルファスシリコン膜のみを活性層とするチャネルエッチ型の薄膜トランジスタである。

【0288】

本発明の薄膜トランジスタの構造のモデル図を図35(A)に示す。また、比較例の薄膜トランジスタの構造のモデル図を図35(B)に示す。図35(A)において、酸化珪素からなる基板400、膜厚150nmのモリブデン膜からなるゲート電極401、膜厚300nmの窒化珪素膜からなるゲート絶縁膜402、微結晶シリコン膜406、50nmの窪みを有するアモルファスシリコン膜403、ソース電極404、ドレイン電極405

10

20

である。また、図35(B)は、微結晶シリコン膜406がない比較例の構造である。

【0289】

Silvaco社製のデバイスシミュレータ"ATLAS"を用い、アモルファスシリコン膜のパラメータをそれぞれ以下に示す数値に設定して計算を行った。

【0290】

伝導帯端におけるアクセプタの状態密度( $n_{ta} = 7.4 \times 10^{21}$ )、価電子帯におけるドナーの状態密度( $n_{td} = 7.4 \times 10^{21}$ )、伝導帯端におけるアクセプタの状態密度の減衰係数( $w_{ta} = 0.04$ )、価電子帯におけるドナーの状態密度の減衰係数( $w_{td} = 0.04$ )、ガウシアン分布におけるアクセプタ準位の全状態密度( $n_{ga} = 7.0 \times 10^{16}$ )、ガウシアン分布におけるドナー準位の全状態密度( $n_{gd} = 5.0 \times 10^{18}$ )、ガウシアン分布におけるアクセプタ準位のピークのエネルギー( $e_{ga} = 0.5$ )、ガウシアン分布におけるドナー準位のピークのエネルギー( $e_{gd} = 0.9$ )、ガウシアン分布におけるアクセプタの全状態密度の減衰係数( $w_{ga} = 0.4$ )、ガウシアン分布におけるドナーの全状態密度の減衰係数( $w_{gd} = 0.3$ )、アクセプタ準位の裾野における電子の捕獲断面積( $\sigma_{iga} = 1.0 \times 10^{-17}$ )、アクセプタ準位の裾野におけるホールの捕獲断面積( $\sigma_{igh} = 1.0 \times 10^{-15}$ )、ドナー準位の裾野における電子の捕獲断面積( $\sigma_{ide} = 1.0 \times 10^{-15}$ )、ドナー準位の裾野におけるホールの捕獲断面積( $\sigma_{idh} = 1.0 \times 10^{-17}$ )、アクセプタのガウシアン分布における電子の捕獲断面積( $\sigma_{gae} = 2.0 \times 10^{-16}$ )、アクセプタのガウシアン分布におけるホールの捕獲断面積( $\sigma_{gah} = 2.0 \times 10^{-15}$ )、ドナーのガウシアン分布における電子の捕獲断面積( $\sigma_{gde} = 2.0 \times 10^{-15}$ )、ドナーのガウシアン分布におけるホールの捕獲断面積( $\sigma_{gdh} = 2.0 \times 10^{-16}$ )とする。

30

40

【0291】

また、微結晶シリコン膜のパラメータをそれぞれ以下に示す数値に設定した。なお、微結晶シリコン膜の欠陥密度をアモルファスシリコン膜の10分の1としている。

【0292】

伝導帯端におけるアクセプタの状態密度( $n_{ta} = 7.4 \times 10^{20}$ )、価電子帯におけるドナーの状態密度( $n_{td} = 7.4 \times 10^{20}$ )、ガウシアン分布におけるアクセプタ順位の全状態密度( $n_{ga} = 7.0 \times 10^{15}$ )、ガウシアン分布におけるドナー順位の全状態密度( $n_{gd} = 5.0 \times 10^{17}$ )とする。その他のパラメータは、アモルファスシリコン膜のパラ

50

メータと同じとした。

【0293】

計算結果を図36に示す。図36に示すように、微結晶シリコン膜の存在により電界効果移動度が比較例に比べて増大することが分かる。

【0294】

また、図35(A)におけるモデル図に基づいて、 $V_g = -10\text{ V}$ 、 $V_{ds} = 14\text{ V}$ とした薄膜トランジスタのオフ状態と、 $V_g = +10\text{ V}$ 、 $V_{ds} = 14\text{ V}$ とした薄膜トランジスタのオン状態とについて、電子濃度の計算もそれぞれ行った。計算を行った結果、微結晶シリコン膜の存在することにより、微結晶シリコン膜がチャネル形成領域として機能していることが確認できた。

10

【0295】

さらに図36の結果から、以下に示す計算を行った。図36の結果から、本発明の薄膜トランジスタの電界効果移動度を従来の薄膜トランジスタの10倍と仮定して計算する。

【0296】

液晶表示装置においては、画素電極にマイナス5Vから+5Vの電圧印加を行う。図37は、マイナス5Vから+5Vの電圧変化をさせる際に所要される時間を横軸に、電圧を縦軸としたグラフである。

【0297】

比較例としてアモルファスシリコン膜を活性層とするチャネルエッチ型の従来の薄膜トランジスタを用いている。図37中の三角印が比較例である。

20

【0298】

また、画素部に525本のゲート配線を有する液晶表示装置、1画素あたりの容量を100fFと仮定して計算している。また、薄膜トランジスタのチャネル長を3 $\mu\text{m}$ 、チャネル幅を15 $\mu\text{m}$ とそれぞれ設定している。

【0299】

525本のゲート配線において、フレーム周波数が60Hzであれば、マイナス5Vから+5Vの電圧変化にかかる所要時間が約30 $\mu\text{s}$ 未満で液晶に電圧を印加して表示を行うことができる。さらなる動画表示を実現するため、フレーム周波数を4倍とした場合、従来の薄膜トランジスタの電圧変化にかかる所要時間は10.2 $\mu\text{s}$ であるため、画像表示性能は低下してしまう。

30

【0300】

また、液晶表示装置の表示面積が大きくなるにつれて、100fFよりもさらに大きい容量が必要となってくる。100fFよりもさらに大きい容量が必要になればなるほど所要時間が長くなってしまいうため、大面積の表示面積を有する液晶表示装置においては、従来の薄膜トランジスタではフレーム周波数を2倍とした場合においても画像表示性能が低下する恐れがある。

【0301】

図37中の丸印が本発明の薄膜トランジスタのデータである。本発明の薄膜トランジスタの電圧変化にかかる所要時間は、1.9 $\mu\text{s}$ であるため、フレーム周波数を4倍としても問題なく駆動させることができることが読み取れる。従って、本発明の薄膜トランジスタは、動画表示に適した薄膜トランジスタであると言える。さらに、100fFよりもさらに大きい容量が必要になっても十分に本発明の薄膜トランジスタの電圧変化にかかる所要時間は短いため、大面積の表示面積を有する液晶表示装置に適した薄膜トランジスタであると言える。

40

【実施例5】

【0302】

本実施例では、本発明に示す薄膜トランジスタのトランジスタ特性及び電子密度分布について計算を行った結果を示す。計算には、Silvaco社製デバイスシミュレータ"ATLAS"を用いている。

【0303】

50

図 38 にデバイス構造を示す。絶縁性基板 801 は酸化珪素（誘電率 4.1）を主成分とするガラス基板（厚さ 0.5  $\mu\text{m}$ ）を仮定している。なお、絶縁性基板 801 の厚さは、実際の製造工程では 0.5 mm、0.7 mm などが使われることが多いが、絶縁性基板 801 の下面における電界が、薄膜トランジスタ特性に影響が無い程度に十分な厚さに定義している。

【0304】

絶縁性基板 801 上に、モリブデンで形成される（厚さ 150 nm）のゲート電極 803 を積層している。モリブデンの仕事関数は 4.6 eV としている。

【0305】

ゲート電極 803 の上に、窒化珪素膜（誘電率 7.0、厚さ 110 nm）と酸化窒化珪素膜（誘電率 4.1、厚さ 110 nm）との積層構造のゲート絶縁膜 805 を積層している。

10

【0306】

ゲート絶縁膜 805 の上に、 $\mu\text{c-Si}$  膜 807、 $\text{a-Si}$  膜 809 を積層している。ここでは、厚さ 0 nm の  $\mu\text{c-Si}$  膜 807 及び厚さ 100 nm の  $\text{a-Si}$  膜 809 の積層と、厚さ 10 nm の  $\mu\text{c-Si}$  膜 807 及び厚さ 90 nm の  $\text{a-Si}$  膜 809 の積層と、厚さ 50 nm の  $\mu\text{c-Si}$  膜 807 及び厚さ 50 nm の  $\text{a-Si}$  膜 809 の積層と、厚さ 90 nm の  $\mu\text{c-Si}$  膜 807 及び厚さ 10 nm の  $\text{a-Si}$  膜 809 の積層と、厚さ 100 nm の  $\mu\text{c-Si}$  膜 807 及び厚さ 0 nm の  $\text{a-Si}$  膜 809 の積層とにそれぞれ条件振りをしている。

20

【0307】

また、 $\text{a-Si}$  膜 809 は、第 1 の  $\text{a-Si}(n^+)$  膜 811 と第 2 の  $\text{a-Si}(n^+)$  膜 813 と重畳する領域においては、上記厚さのほか更に 50 nm の  $\text{a-Si}$  膜を積層している。即ち、第 1 の  $\text{a-Si}(n^+)$  膜 811 と第 2 の  $\text{a-Si}(n^+)$  膜 813 が形成されない領域において、 $\text{a-Si}$  膜 809 は一部 50 nm エッチングされた凹部状である。

【0308】

$\text{a-Si}$  膜 809 上に、第 1 の  $\text{a-Si}(n^+)$  膜 811（厚さ 50 nm）と第 2 の  $\text{a-Si}(n^+)$  膜 813（厚さ 50 nm）とを各々積層している。図 38 に示す薄膜トランジスタにおいて、第 1 の  $\text{a-Si}(n^+)$  膜 811 と第 2 の  $\text{a-Si}(n^+)$  膜 813 との距離が、チャネル長  $L$  になる。ここでは、チャネル長  $L$  を 6  $\mu\text{m}$  としている。また、チャネル幅  $W$  を 15  $\mu\text{m}$  としている。

30

【0309】

第 1 の  $\text{a-Si}(n^+)$  膜 811 と第 2 の  $\text{a-Si}(n^+)$  膜 813 との上に、モリブデン  $\text{Mo}$  で形成される（厚さ 300 nm）のソース電極 815 とドレイン電極 817 とを各々積層している。ソース電極 815 及び第 1 の  $\text{a-Si}(n^+)$  膜 811、並びにドレイン電極 817 及び第 2 の  $\text{a-Si}(n^+)$  膜 813 の間は、オーミック接触と定義している。

【0310】

図 39 に、図 38 に示す薄膜トランジスタにおいて、 $\mu\text{c-Si}$  膜及び  $\text{a-Si}$  膜の膜厚を変えて、計算を行った際の、DC 特性（ $V_g - I_d$  特性、 $V_d = 14 \text{ V}$ ）の結果を示す。また、図 40 に、 $\mu\text{c-Si}$  膜 807 の厚さを 10 nm、 $\text{a-Si}$  膜 809 の厚さを 90 nm としたときの薄膜トランジスタの電子濃度分布を示す。図 40 (A) は、薄膜トランジスタがオン状態（ $V_g$  が +10 V、 $V_d$  が 14 V）の電子濃度分布の結果を示し、図 40 (B) はオフ状態（ $V_g$  が -10 V、 $V_d$  が 14 V）の電子濃度分布の結果を示す。

40

【0311】

図 39 より、 $\text{a-Si}$  膜の厚さを厚くするにつれ、オフ電流が低減することが分かる。また、 $\text{a-Si}$  膜の厚さを 50 nm 以上とすることにより、 $V_g$  が -20 V のときのドレイン電流を  $1 \times 10^{-13} \text{ A}$  未満とすることができる。

50

## 【 0 3 1 2 】

また、 $\mu c - Si$ 膜の厚さを厚くするにつれ、オン電流が増加することが分かる。また、 $\mu c - Si$ 膜の厚さを10nm以上とすることにより、 $V_g$ が20Vのときのドレイン電流を $1 \times 10^{-5} A$ 以上とすることができる。

## 【 0 3 1 3 】

図40(A)より、オン状態においては、電子密度が $a - Si$ 膜よりも $\mu c - Si$ 膜において高いことが分かる。即ち、電気伝導度の高い $\mu c - Si$ 膜において電子密度が高いため、オン状態においては、電子は流れやすく、ドレイン電流が上昇することがわかる。

## 【 0 3 1 4 】

図40(B)より、オフ状態においては、電子密度が $\mu c - Si$ 膜よりも $a - Si$ 膜において高いことが分かる。即ち、電気伝導度の低い $a - Si$ 膜において電子密度が高いため、オフ状態においては、電子は流れにくく、 $a - Si$ 膜をチャネル形成領域に用いる薄膜トランジスタと同様のドレイン電流となることがわかる。

## 【 0 3 1 5 】

以上のことから、図38に示すような、ゲート絶縁膜上に $\mu c - Si$ 膜が形成され、 $\mu c - Si$ 膜上に $a - Si$ 膜が形成され、 $a - Si$ 膜上にソース領域及びドレイン領域が形成される薄膜トランジスタは、オフ電流を低減すると共に、オン電流を高めることが可能であることがわかる。

## 【図面の簡単な説明】

## 【 0 3 1 6 】

【図1】本発明の表示装置の作製方法を説明する断面図である。

【図2】本発明の表示装置の作製方法を説明する断面図である。

【図3】本発明の表示装置の作製方法を説明する断面図である。

【図4】本発明の表示装置の作製方法を説明する上面図である。

【図5】本発明の表示装置の作製方法を説明する断面図である。

【図6】本発明の表示装置の作製方法を説明する断面図である。

【図7】本発明の表示装置の作製方法を説明する断面図である。

【図8】本発明の表示装置の作製方法を説明する上面図である。

【図9】マイクロ波プラズマCVD装置を説明する上面図である。

【図10】本発明の液晶表示パネルを説明する斜視図である。

【図11】本発明の表示装置を用いた電子機器を説明する斜視図である。

【図12】本発明の表示装置を用いた電子機器を説明する図である。

【図13】本発明に適用可能な液晶表示装置を説明する図である。

【図14】本発明に適用可能な液晶表示装置を説明する図である。

【図15】本発明に適用可能な液晶表示装置を説明する図である。

【図16】本発明に適用可能な液晶表示装置を説明する図である。

【図17】本発明に適用可能な液晶表示装置を説明する図である。

【図18】本発明に適用可能な液晶表示装置を説明する図である。

【図19】本発明に適用可能な液晶表示装置を説明する図である。

【図20】本発明に適用可能な液晶表示装置を説明する図である。

【図21】本発明に適用可能な液晶表示装置を説明する図である。

【図22】本発明に適用可能な液晶表示装置を説明する図である。

【図23】本発明に適用可能な液晶表示装置を説明する図である。

【図24】本発明に適用可能な液晶表示装置を説明する図である。

【図25】本発明に適用可能な液晶表示装置を説明する図である。

【図26】本発明に適用可能な液晶表示装置を説明する図である。

【図27】本発明の液晶表示パネルを説明する上面図及び断面図である。

【図28】本発明に適用可能な液晶表示装置の構成を説明するブロック図である。

【図29】本発明に適用可能な液晶表示装置の駆動回路の構成を説明する等価回路図である。

10

20

30

40

50

【図 3 0】本発明に適用可能な液晶表示装置の駆動回路の構成を説明する等価回路図である。

【図 3 1】本発明に適用可能な液晶表示装置の駆動回路のレイアウトを説明する上面図である。

【図 3 2】微結晶半導体膜をラマン分光法で測定した結果を示す図である。

【図 3 3】工程断面図及び画素上面図の一例を示す図である。

【図 3 4】作製工程の一例を示す断面図である。

【図 3 5】モデル図を示す断面図である。

【図 3 6】計算結果を示すグラフである。

【図 3 7】画素電位変化を示すグラフである。

10

【図 3 8】デバイス構造を示すモデル図である。

【図 3 9】D C 特性の結果を示す図である。

【図 4 0】薄膜トランジスタの電子濃度分布を示す図である。

【符号の説明】

【 0 3 1 7 】

5 0 基板

5 1 ゲート電極

5 2 a、5 2 b ゲート絶縁膜

5 3 微結晶半導体膜

5 4 バッファ層

20

5 5 一導電型を付与する不純物が添加された半導体膜

5 6 マスク

6 1 微結晶半導体膜

6 2 バッファ層

6 3 一導電型を付与する不純物が添加された半導体膜

6 5 a ~ 6 5 c 導電膜

6 6 マスク

7 1 a ~ 7 1 c 導電膜

7 2 ソース領域及びドレイン領域

7 3 バッファ層

30

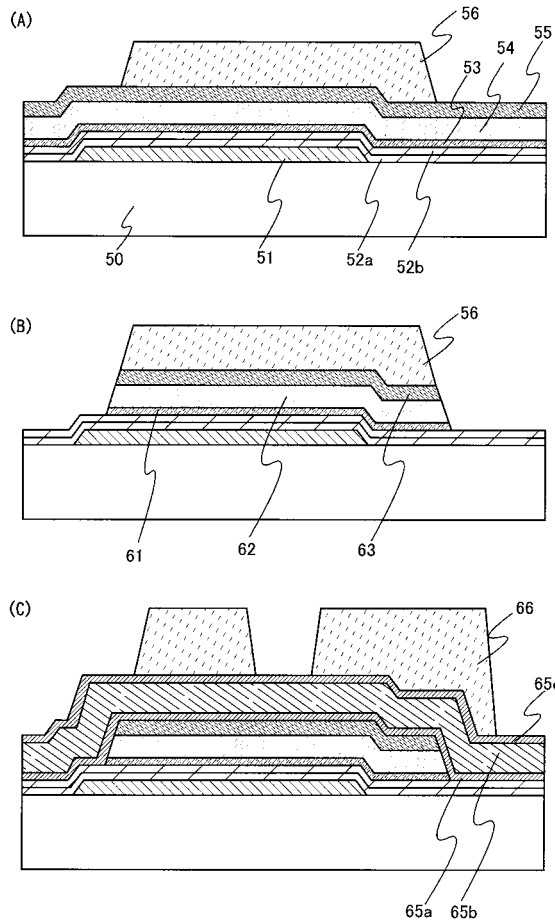
7 4 チャネルエッチ型の薄膜トランジスタ

7 5 a ~ 7 5 c ソース電極及びドレイン電極

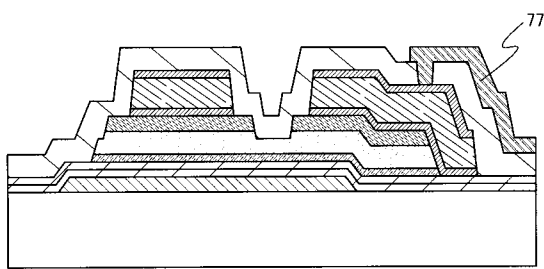
7 6 絶縁膜

7 7 画素電極

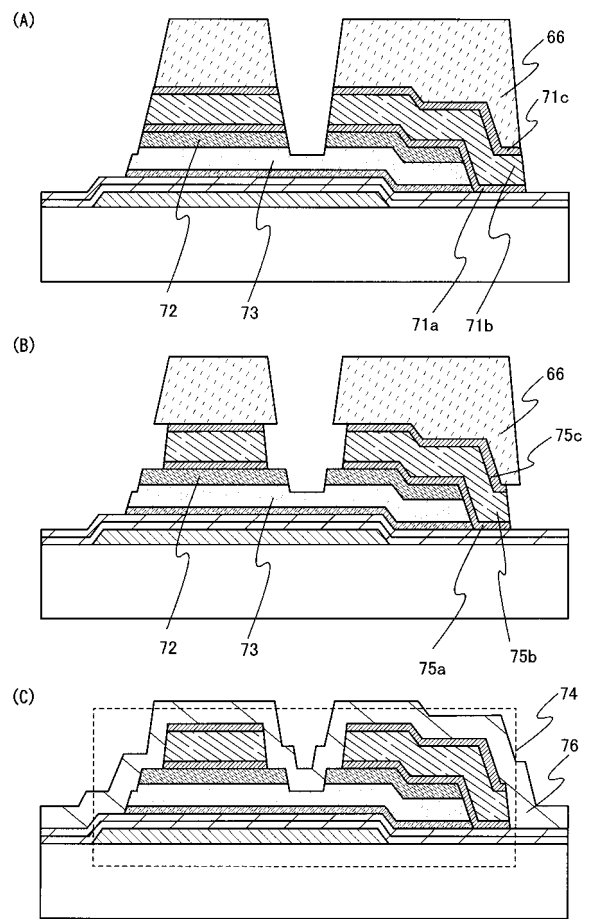
【図 1】



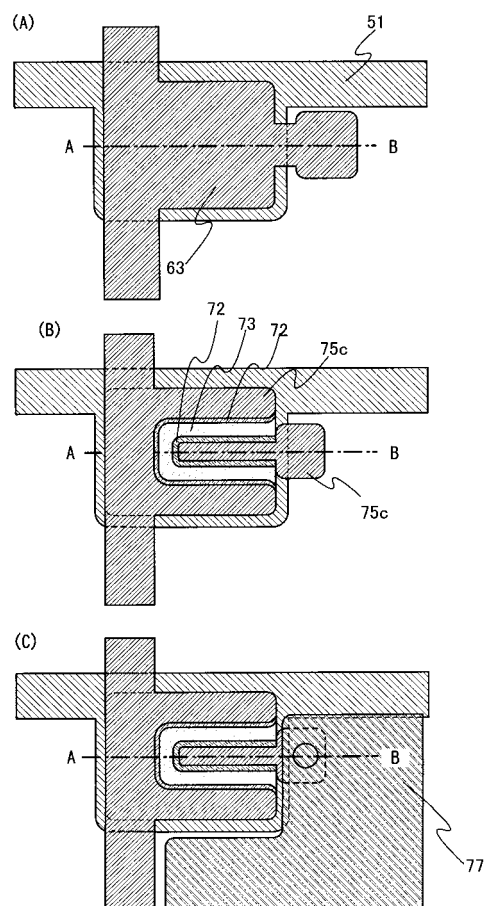
【図 3】



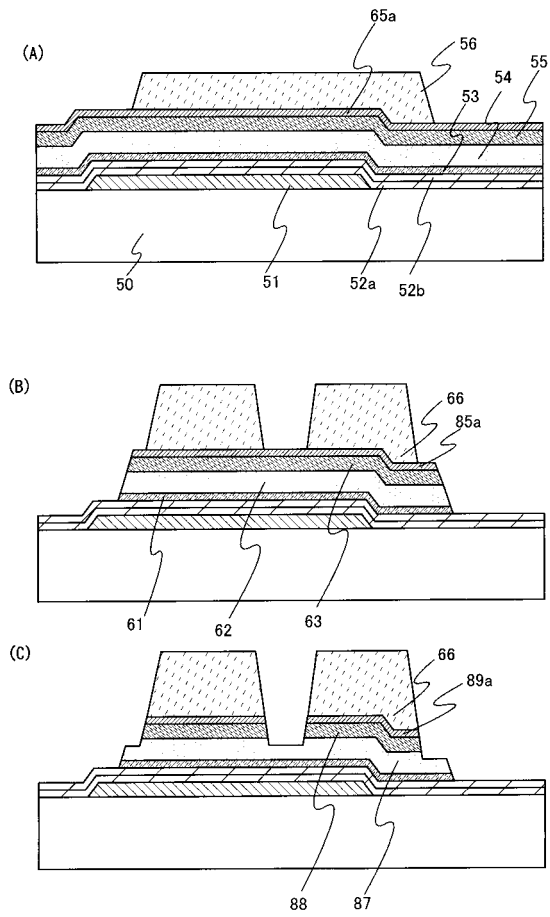
【図 2】



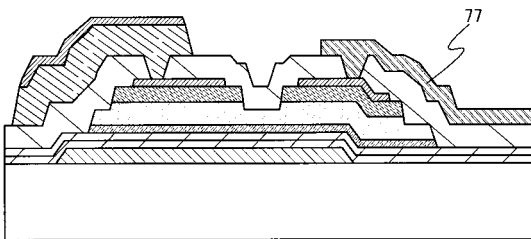
【図 4】



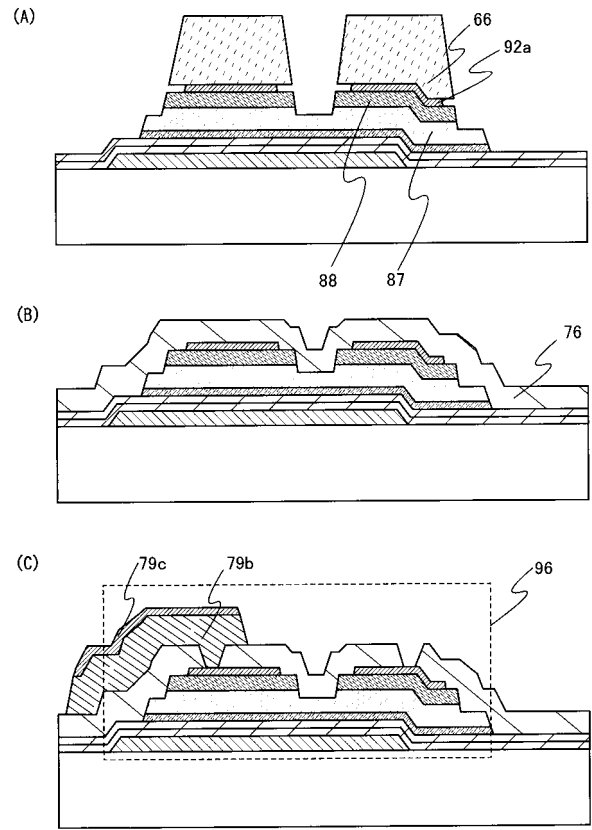
【図 5】



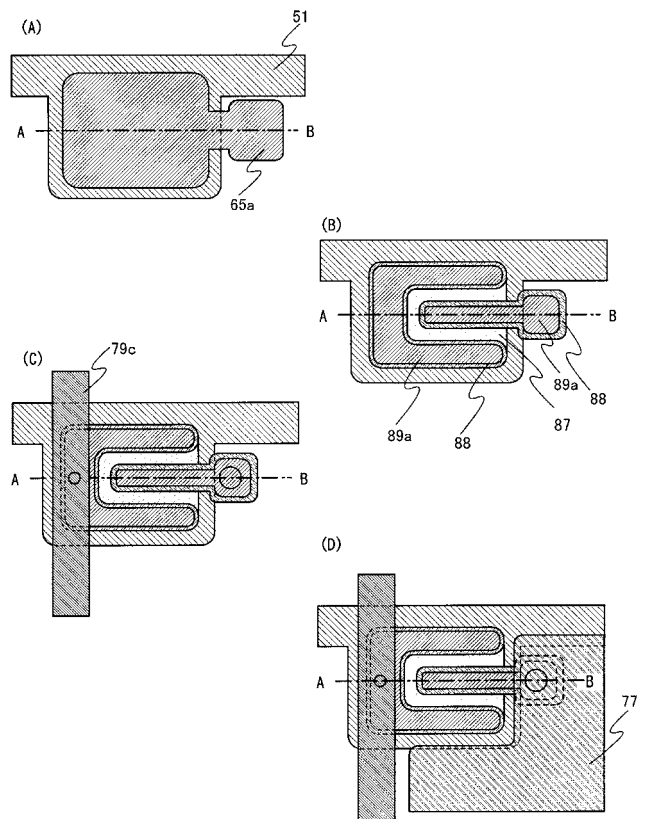
【図 7】



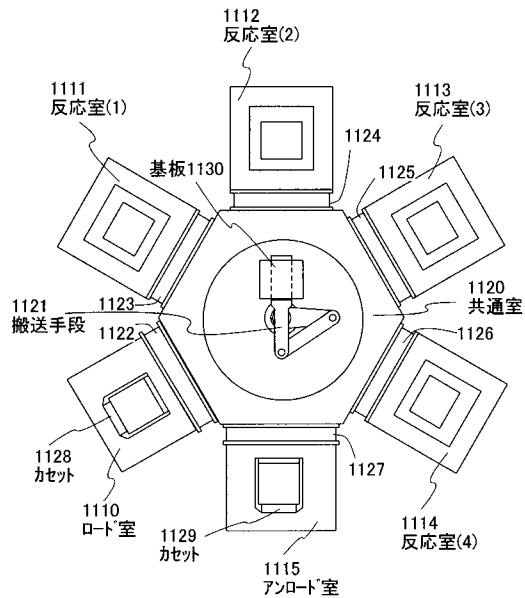
【図 6】



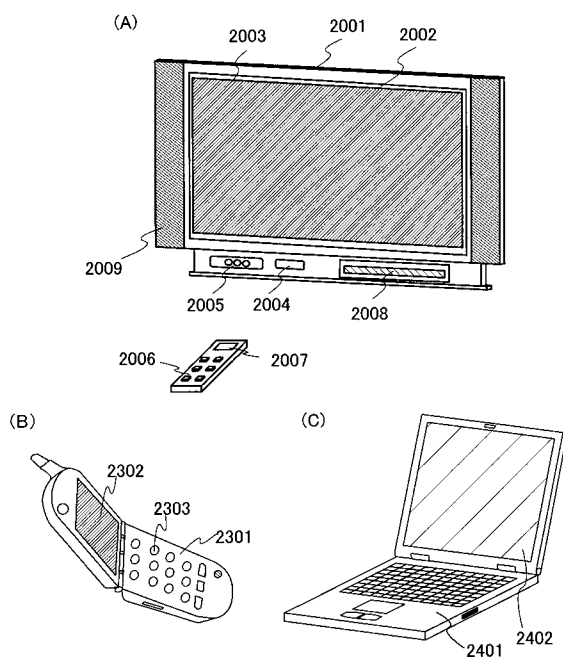
【図 8】



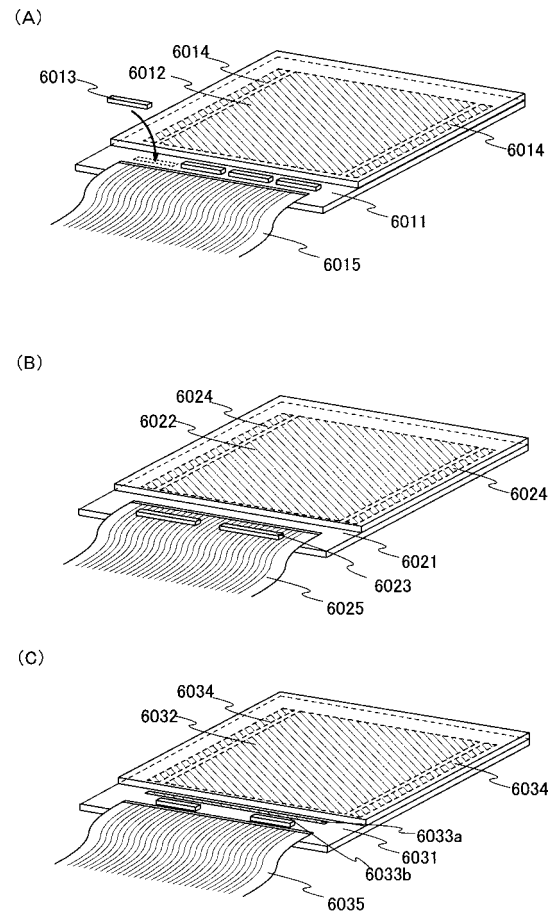
【図 9】



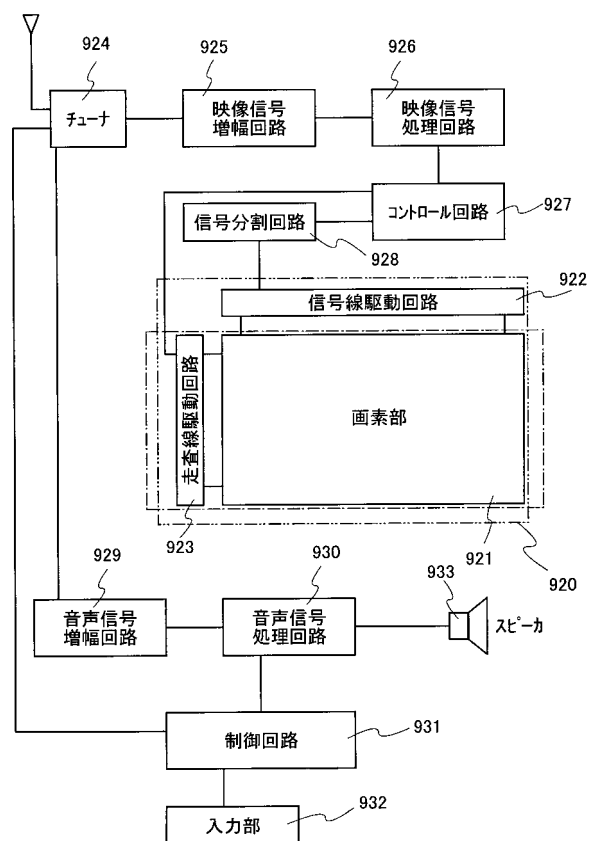
【図 1 1】



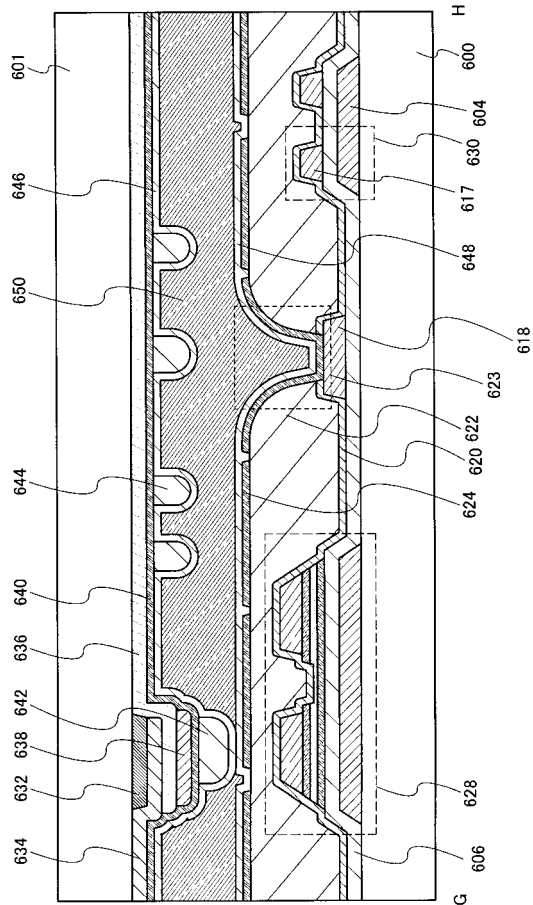
【図 1 0】



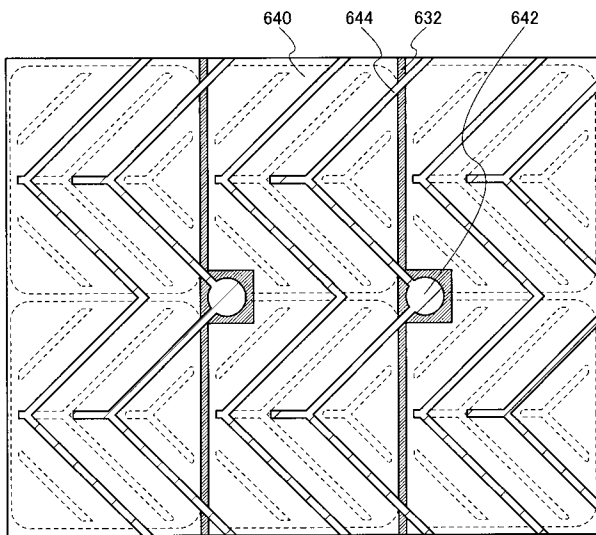
【図 1 2】



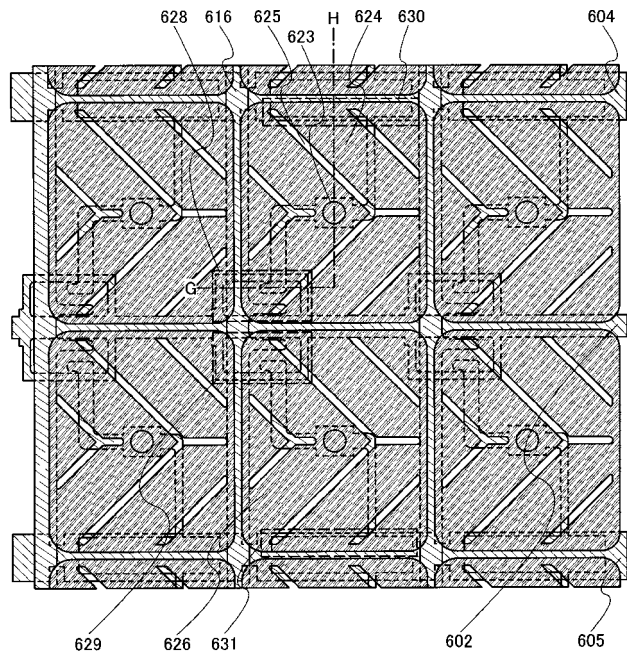
【図 13】



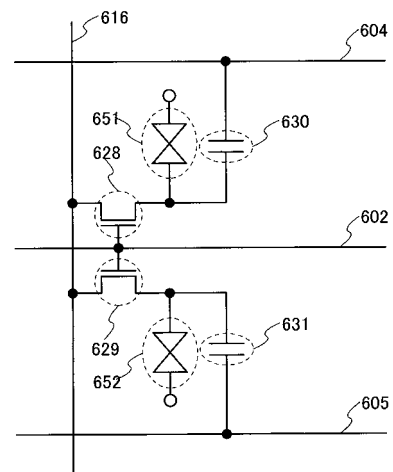
【図 15】



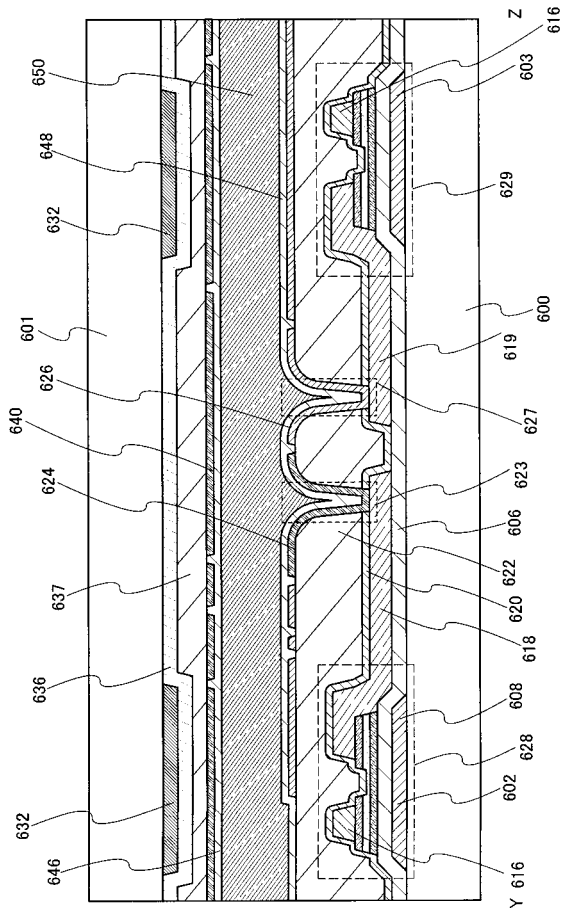
【図 14】



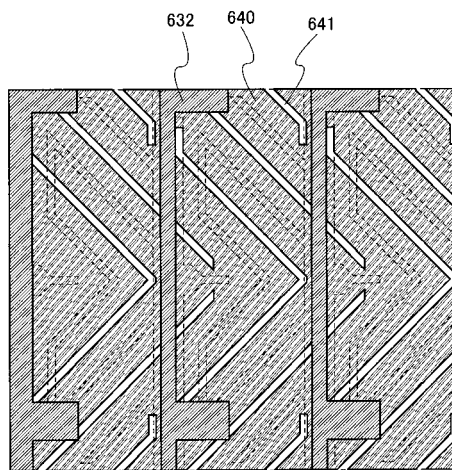
【図 16】



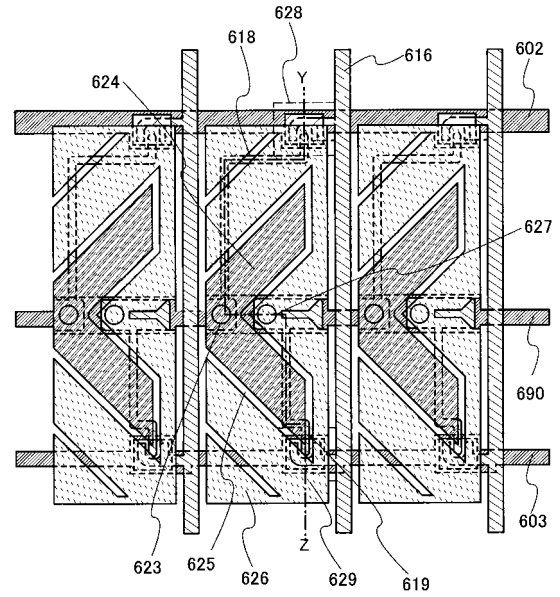
【図 17】



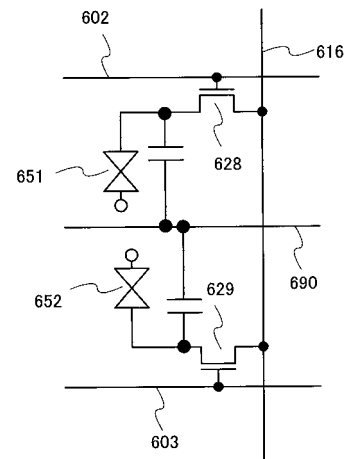
【図 19】



【図 18】



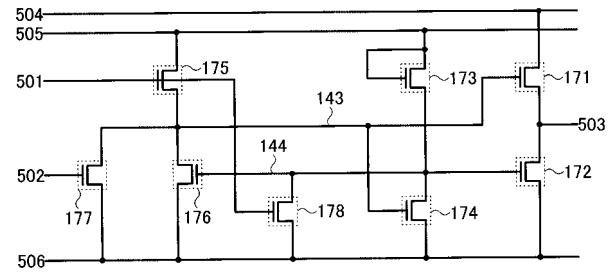
【図 20】



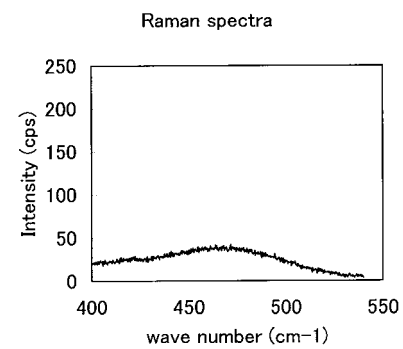




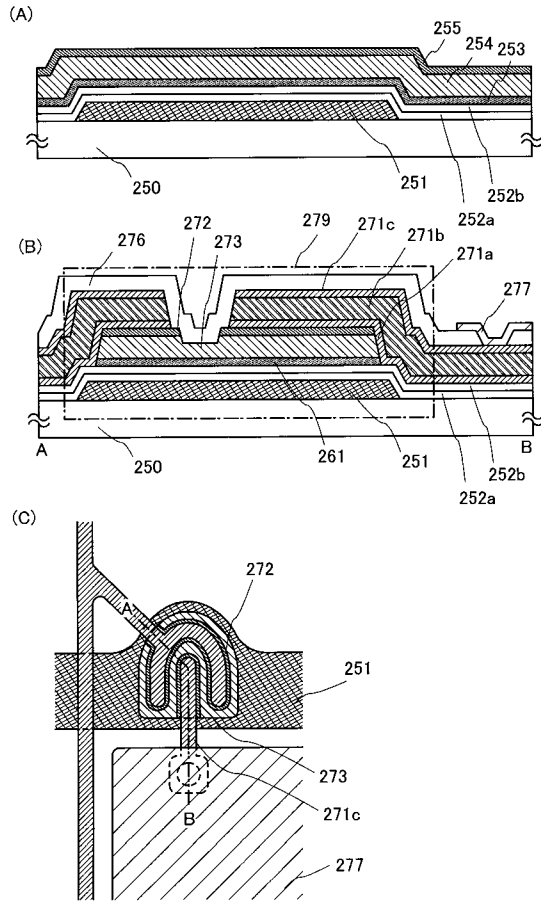
【 図 3 0 】



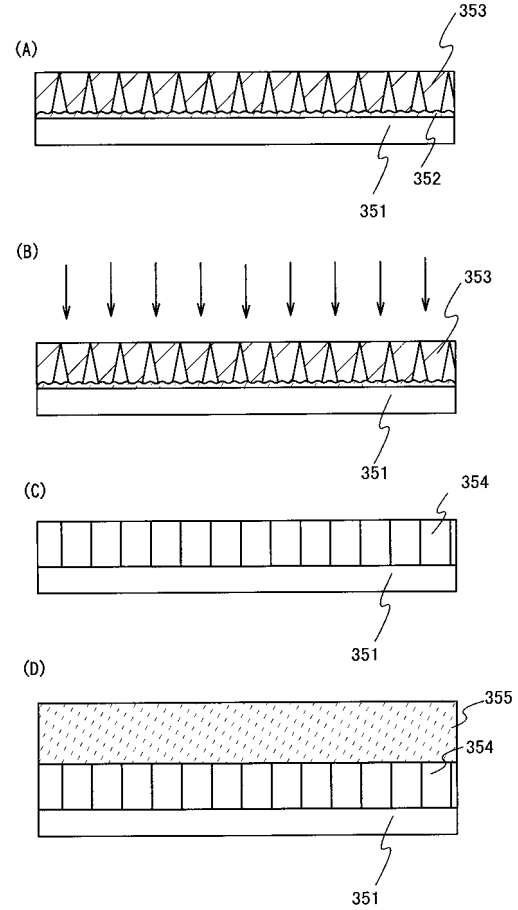
【 図 3 2 】



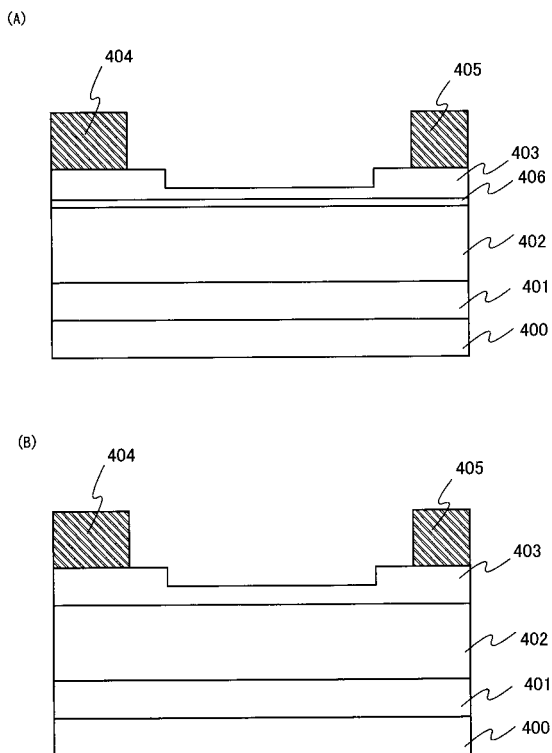
【図 3 3】



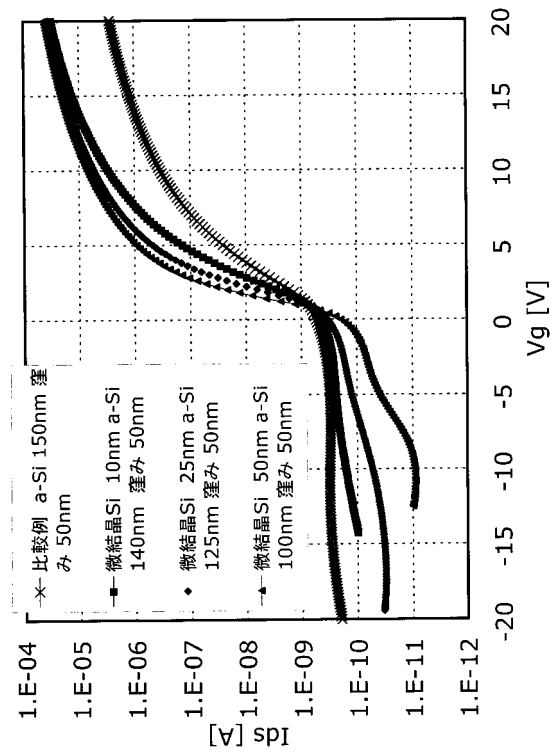
【図 3 4】



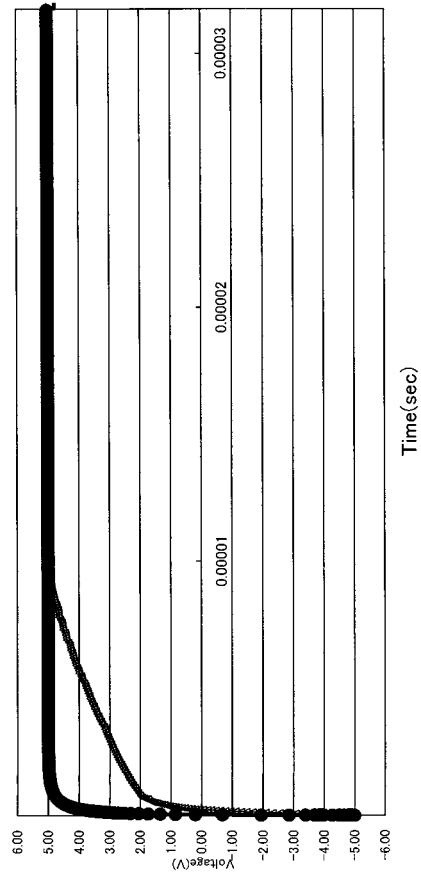
【図 3 5】



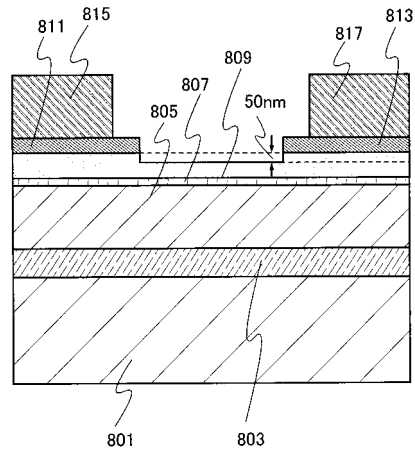
【図 3 6】



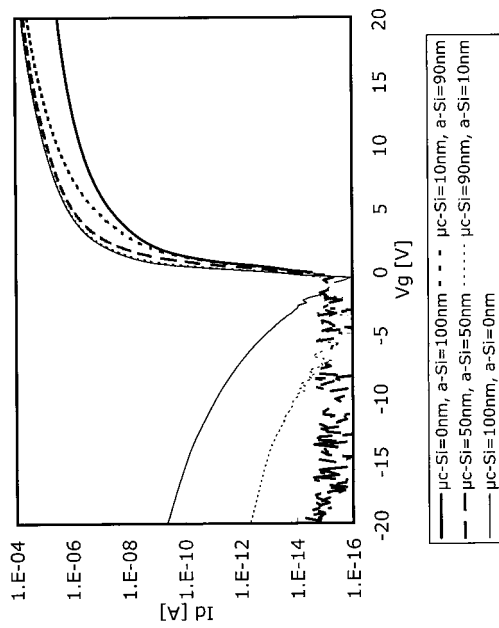
【図 37】



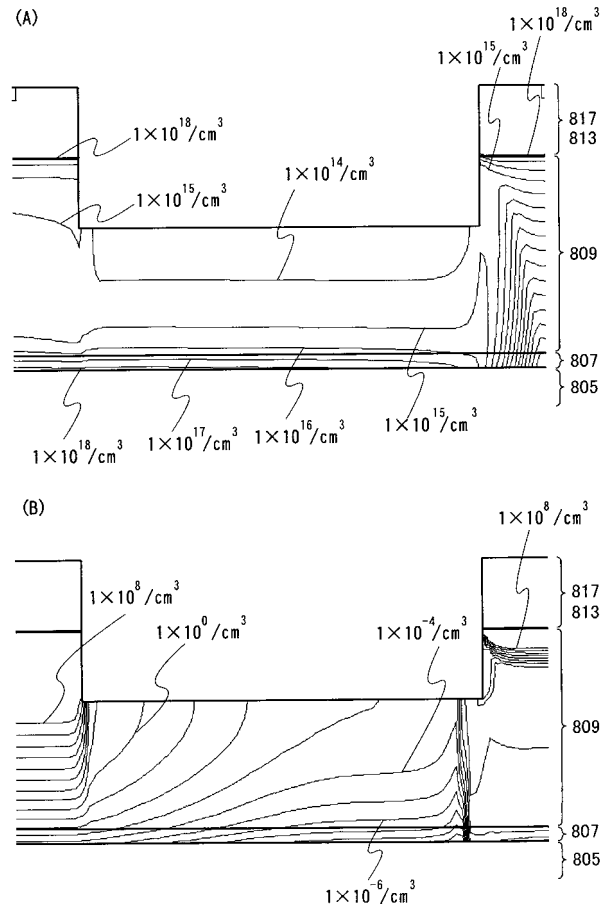
【図 38】



【図 39】



【図 40】



## フロントページの続き

(72)発明者 宮入 秀和

神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

(72)発明者 黒川 義元

神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

(72)発明者 小林 聡

神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

F ターム(参考) 2H092 GA14 GA50 GA59 GA60 JA26 JA28 JA42 JA46 JA47 JB05  
JB42 JB65 JB66 JB68 JB69 KA03 KA04 KA05 KA10 MA08  
MA30 NA22 NA29  
5F110 AA14 AA26 BB02 CC07 DD01 DD02 EE02 EE03 EE04 EE06  
EE14 EE23 EE42 EE43 EE44 FF02 FF03 FF04 FF06 FF09  
FF10 FF28 FF29 FF30 GG02 GG14 GG15 GG16 GG19 GG25  
GG32 GG33 GG34 GG45 GG57 GG58 HK01 HK02 HK03 HK04  
HK06 HK09 HK16 HK17 HK21 HK22 HK25 HK32 HK33 HK35  
HL01 HL07 HL09 HM04 HM12 NN03 NN22 NN23 NN24 NN34  
NN35 NN73 PP03 PP04 PP05 PP06 PP22 QQ06 QQ09