

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3967065号

(P3967065)

(45) 発行日 平成19年8月29日(2007. 8. 29)

(24) 登録日 平成19年6月8日(2007. 6. 8)

|                            |             |
|----------------------------|-------------|
| (51) Int. Cl.              | F I         |
| <b>H03F 3/34 (2006.01)</b> | H03F 3/34 A |
| <b>H03F 1/34 (2006.01)</b> | H03F 1/34   |
| <b>H03F 3/45 (2006.01)</b> | H03F 3/45 B |

請求項の数 5 (全 14 頁)

|           |                               |           |                     |
|-----------|-------------------------------|-----------|---------------------|
| (21) 出願番号 | 特願2000-176149 (P2000-176149)  | (73) 特許権者 | 000006013           |
| (22) 出願日  | 平成12年6月12日(2000. 6. 12)       |           | 三菱電機株式会社            |
| (65) 公開番号 | 特開2001-358544 (P2001-358544A) |           | 東京都千代田区丸の内二丁目7番3号   |
| (43) 公開日  | 平成13年12月26日(2001. 12. 26)     | (74) 代理人  | 100089118           |
| 審査請求日     | 平成16年10月12日(2004. 10. 12)     |           | 弁理士 酒井 宏明           |
|           |                               | (72) 発明者  | 宇藤 健一               |
|           |                               |           | 東京都千代田区丸の内二丁目2番3号 三 |
|           |                               |           | 菱電機株式会社内            |
|           |                               | (72) 発明者  | 本島 邦明               |
|           |                               |           | 東京都千代田区丸の内二丁目2番3号 三 |
|           |                               |           | 菱電機株式会社内            |
|           |                               | 審査官       | 石原 由晴               |

最終頁に続く

(54) 【発明の名称】 増幅回路

(57) 【特許請求の範囲】

## 【請求項 1】

1 または複数の差動増幅回路からなる差動増幅手段と、

前記差動増幅手段の出力電圧のピーク値および中間値を検出するとともに、該中間値の電圧に所定の外部電圧を加えた第1の基準電圧を生成する検出手段と、

前記検出手段が検出した前記ピーク値および前記第1の基準電圧に基づいてオフセット補償用のオフセット補償電圧を生成する生成手段と、

前記生成手段が生成したオフセット補償電圧を所定の範囲内に制限して該差動増幅手段に帰還させる制限手段と、

を具備することを特徴とする増幅回路。

10

## 【請求項 2】

前記制限手段は、前記差動増幅手段のバイアス電圧を生成することを特徴とする請求項1に記載の増幅回路。

## 【請求項 3】

前記生成手段は、

前記制限手段に第2の基準電圧を出力する第2基準電圧出力手段と、

前記制限手段のオフセット補償電圧の入力端子に出力端子を接続したオペアンプと、

前記オペアンプの逆相入力端子と前記検出手段のピーク値の出力端子との間に設けた第1の抵抗と、

前記オペアンプの正相入力端子と前記検出手段の第1の基準電圧の出力端子との間に設

20

けた第2の抵抗と、

前記オペアンプの逆相入力端子と出力端子との間に設けた第3の抵抗と、

前記第2基準電圧出力手段の出力端子と前記オペアンプの正相入力端子との間に設けた第4の抵抗と、

を具備することを特徴とする請求項1または2に記載の増幅回路。

【請求項4】

前記制限手段は、

前記生成手段のオフセット補償電圧の出力端子にベースを接続し、前記差動増幅手段の逆相入力端子にコレクタを接続した第1のトランジスタと、

前記第1のトランジスタのエミッタにエミッタを接続し、前記差動増幅手段の正相入力端子にコレクタを接続し、前記第2の基準電圧をベースに入力する第2のトランジスタと、

前記第1のトランジスタおよび前記第2のトランジスタのエミッタにコレクタを接続し、ベースに調整用の電圧を入力する第3のトランジスタと、

前記第3のトランジスタのエミッタと電源の低電位側との間に設けた第5の抵抗と、

前記第1のトランジスタのコレクタに一端を接続した第6の抵抗と、

前記第2のトランジスタのコレクタと前記第6の抵抗の他端との間に設けた第7の抵抗と、

前記第6の抵抗の他端と電源の高電位側との間に設けた第8の抵抗と、

を具備することを特徴とする請求項1～3のいずれか一つに記載の増幅回路。 20

【請求項5】

前記制限手段は、

前記生成手段のオフセット補償電圧の出力端子にベースを接続し、前記差動増幅手段の逆相入力端子にコレクタを接続した第1のトランジスタと、

前記第1のトランジスタのエミッタにエミッタを接続し、前記差動増幅手段の正相入力端子にコレクタを接続し、前記第2の基準電圧をベースに入力する第2のトランジスタと、

前記第1のトランジスタおよび前記第2のトランジスタのエミッタにコレクタを接続し、ベースに調整用の電圧を入力する第3のトランジスタと、

前記第3のトランジスタのエミッタと電源の低電位側との間に設けた第5の抵抗と、 30

前記第1のトランジスタのコレクタと電源の高電位側との間に設けた第6の抵抗と、

前記第2のトランジスタのコレクタと電源の高電位側との間に設けた第7の抵抗と、

前記第1のトランジスタのコレクタと電源の低電位側との間に設けた第8の抵抗と、

前記第2のトランジスタのコレクタと電源の低電位側との間に設けた第9の抵抗と、

を具備することを特徴とする請求項1～3のいずれか一つに記載の増幅回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、1または複数段の差動増幅回路によって増幅を行う増幅回路に関し、特に、トランジスタ特性のばらつき等によって発生するオフセット電圧を補償する増幅回路に関するものである。 40

【0002】

【従来の技術】

光通信システムで用いられる増幅回路は、低周波から高周波にかけての広域な信号を増幅するために、多段接続した差動増幅回路を備えている。これらの差動増幅回路は、小型化、低コスト化のために集積化されている。このような集積回路では、トランジスタのばらつきが無視できず、温度や電源電圧の変動によって、差動増幅回路の正相入力端子に入力される電圧の直流成分と逆相入力端子に入力される電圧の直流成分とがずれてオフセット電圧が発生する。このオフセット電圧は、高利得が得られる多段差動増幅回路で増幅され、正相・逆相間のデューティー変動を引き起こす。これにより、所望の出力振幅が得られ 50

なくなるという問題点がある。

#### 【0003】

この問題を解決する増幅回路として、たとえば、特開平11-4265号公報に開示された「増幅器」が知られている。図5は、この従来の増幅器の構成を示す図である。この増幅器は、入力端子81からの入力信号を正相入力とし、正相信号および逆相信号を出力端子85、86にそれぞれ出力する差動増幅回路83と、差動増幅回路83の逆相出力を入力とするピーク検出回路87と、ピーク検出回路87からの出力信号を逆相入力とし、差動増幅回路83の出力信号の線形動作上限電圧である基準電圧90を正相入力とし、出力を差動増幅回路83の逆相入力とした差動増幅回路89と、を備えている。差動増幅回路83は、オフセット補償電圧生成回路88を構成する。入力端子81からの入力信号は「1」「0」の矩形信号であるとする。

10

#### 【0004】

差動増幅回路83は入力端子81からの入力信号を増幅し、正相信号、逆相信号を出力端子85、86にそれぞれ出力する。ピーク検出回路87は、差動増幅回路83からの逆相出力信号を入力し、入力信号の「0」に相当する逆相出力信号のピーク電圧を検出する。差動増幅回路89は、出力信号の線形動作上限電圧である基準電圧90およびピーク検出回路87が検出したピーク電圧に基づいてオフセット電圧を検出し、検出したオフセット電圧の極性を反転してオフセット補償電圧を生成し、生成したオフセット補償電圧を差動増幅回路83に帰還させる。これにより、オフセット電圧を自動的に補償することができる。

20

#### 【0005】

オフセット補償電圧生成回路88に利得を持たせることで、さらにオフセット電圧を低減することができる。差動増幅回路83の出力に発生するオフセット電圧を $V_{OFFOUT}$ 、差動増幅回路83の入力信号に含まれるオフセット電圧を $V_{OFFIN}$ 、差動増幅回路83に帰還されるオフセット補償電圧を $\Delta V$ 、差動増幅回路83の利得を $G1$ とすると、オフセット電圧 $V_{OFFOUT}$ は次式(1)で表される。

$$V_{OFFOUT} = (V_{OFFIN} - \Delta V) \cdot G1 \quad (1)$$

#### 【0006】

ピーク検出回路87の検波効率を $\eta$ 、オフセット補償電圧生成回路88の利得を「 $G2$ 」とすると、オフセット補償電圧 $\Delta V$ は次式(2)で表される。

30

$$\Delta V = V_{OFFOUT} \cdot \eta \cdot G2 \quad (2)$$

式(1)に式(2)を代入して変形すると、オフセット電圧 $V_{OFFOUT}$ は次式(3)で表される。

$$V_{OFFOUT} = (G1 / (1 + G1 \cdot \eta \cdot G2)) \cdot V_{OFFIN} \quad (3)$$

ここで、 $(G1 \cdot \eta \cdot G2) \gg 1$ とすると、式(3)は式(4)として表すことができる。

$$V_{OFFOUT} \approx (1 / (\eta \cdot G2)) \cdot V_{OFFIN} \quad (4)$$

たとえば、 $\eta = 0.5$ 、 $G2 = 30 \text{ dB}$ の場合、 $V_{OFFOUT} \approx (1 / 16) \cdot V_{OFFIN}$ となり、差動増幅回路83の出力に発生するオフセット電圧が低減される。

#### 【0007】

40

#### 【発明が解決しようとする課題】

しかしながら、上記従来の技術によれば、オフセット補償電圧生成回路が生成したオフセット補償電圧がそのまま差動増幅回路に帰還されるため、過度なオフセット補償電圧が帰還され、安定したオフセット補償を行うことができない場合があるという問題点があった。たとえば、入力信号の振幅が差動増幅回路の線形動作範囲を超えた場合は、ピーク検波値が飽和し、正確なオフセット補償電圧を生成することができなくなり、不安定なフィードバック動作を引き起こすという不具合があった。

#### 【0008】

特に、オフセット補償電圧生成回路にオフセット電圧低減のための利得を持たせてある場合、出力に実際に発生したオフセット電圧に対して過度なオフセット補償電圧が帰還され

50

るという不具合があった。また、差動増幅回路が等化増幅回路である場合、大振幅の信号が入力されると等化増幅回路の利得が下がり、オフセット補償電圧生成回路の利得がフィードバックループ内で支配的になり、出力に実際に発生したオフセット電圧に対して過度なオフセット補償電圧が帰還されるという不具合があった。

#### 【0009】

この発明は、上記に鑑みてなされたものであって、過度なオフセット補償電圧を制限し、安定したオフセット補償を行うことを可能とする増幅回路を得ることを目的とする。

#### 【0010】

##### 【課題を解決するための手段】

上述した課題を解決し、目的を達成するために、この発明にかかる増幅回路にあっては、1または複数の差動増幅回路からなる差動増幅手段と、前記差動増幅手段の出力電圧のピーク値および中間値を検出するとともに、該中間値の電圧に所定の外部電圧を加えた第1の基準電圧を生成する検出手段と、前記検出手段が検出した前記ピーク値および前記第1の基準電圧に基づいてオフセット補償用のオフセット補償電圧を生成する生成手段と、前記生成手段が生成したオフセット補償電圧を所定の範囲内に制限して該差動増幅手段に帰還させる制限手段と、を具備することを特徴とする。

10

#### 【0011】

この発明によれば、差動増幅手段が、増幅を行い、検出手段が、差動増幅手段の出力電圧のピーク値および中間値を検出するとともに、この中間値の電圧に所定の外部電圧を加えた第1の基準電圧を生成し、生成手段が、検出手段が検出したピーク値および第1の基準電圧に基づいてオフセット補償用のオフセット補償電圧を生成し、制限手段が、生成手段が生成したオフセット補償電圧を所定の範囲内に制限して差動増幅手段に帰還させる。これにより、出力信号のオフセットがずれた場合も一定値を保つ中間値を基準とし、所定の外部電圧を調整して適切な第1の基準電圧を生成することができ、この第1の基準電圧に基づいて所定の範囲内に制限されたオフセット補償電圧を生成することができる。

20

#### 【0012】

つぎの発明にかかる増幅回路にあっては、前記制限手段が、前記差動増幅手段のバイアス電圧を生成することを特徴とする。

#### 【0013】

この発明によれば、制限手段が、差動増幅手段のバイアス電圧を生成する。これにより、増幅回路内で差動増幅手段のバイアス電圧を生成することが可能となり、外部から差動増幅手段のバイアス電圧を入力する必要がなくなる。

30

#### 【0016】

つぎの発明にかかる増幅回路にあっては、前記生成手段が、前記制限手段に第2の基準電圧を出力する第2基準電圧出力手段と、前記制限手段のオフセット補償電圧の入力端子に出力端子を接続したオペアンプと、前記オペアンプの逆相入力端子と前記検出手段のピーク値の出力端子との間に設けた第1の抵抗と、前記オペアンプの正相入力端子と前記検出手段の第1の基準電圧の出力端子との間に設けた第2の抵抗と、前記オペアンプの逆相入力端子と出力端子との間に設けた第3の抵抗と、前記第2基準電圧出力手段の出力端子と前記オペアンプの正相入力端子との間に設けた第4の抵抗と、を具備することを特徴とする。

40

#### 【0017】

この発明によれば、生成手段が、制限手段に第2の基準電圧を出力する第2基準電圧出力手段と、制限手段のオフセット補償電圧の入力端子に出力端子を接続したオペアンプと、オペアンプの逆相入力端子と検出手段のピーク値の出力端子との間に設けた第1の抵抗と、オペアンプの正相入力端子と検出手段の第1の基準電圧の出力端子との間に設けた第2の抵抗と、オペアンプの逆相入力端子と出力端子との間に設けた第3の抵抗と、第2基準電圧出力手段の出力端子とオペアンプの正相入力端子との間に設けた第4の抵抗とを備え、第1の抵抗と第3の抵抗との比（第2の抵抗と第4の抵抗との比）によって利得を決定することができる。

50

## 【0018】

つぎの発明にかかる増幅回路にあっては、前記制限手段が、前記生成手段のオフセット補償電圧の出力端子にベースを接続し、前記差動増幅手段の逆相入力端子にコレクタを接続した第1のトランジスタと、前記第1のトランジスタのエミッタにエミッタを接続し、前記差動増幅手段の正相入力端子にコレクタを接続し、前記第2の基準電圧をベースに入力する第2のトランジスタと、前記第1のトランジスタおよび前記第2のトランジスタのエミッタにコレクタを接続し、ベースに調整用の電圧を入力する第3のトランジスタと、前記第3のトランジスタのエミッタと電源の低電位側との間に設けた第5の抵抗と、前記第1のトランジスタのコレクタに一端を接続した第6の抵抗と、前記第2のトランジスタのコレクタと前記第6の抵抗の他端との間に設けた第7の抵抗と、前記第6の抵抗の他端と電源の高電位側との間に設けた第8の抵抗と、を具備することを特徴とする。

10

## 【0019】

この発明によれば、制限手段が、生成手段のオフセット補償電圧の出力端子にベースを接続し、差動増幅手段の逆相入力端子にコレクタを接続した第1のトランジスタと、第1のトランジスタのエミッタにエミッタを接続し、差動増幅手段の正相入力端子にコレクタを接続し、第2の基準電圧をベースに入力する第2のトランジスタと、第1のトランジスタおよび第2のトランジスタのエミッタにコレクタを接続し、ベースに調整用の電圧を入力する第3のトランジスタと、第3のトランジスタのエミッタと電源の低電位側との間に設けた第5の抵抗と、第1のトランジスタのコレクタに一端を接続した第6の抵抗と、第2のトランジスタのコレクタと第6の抵抗の他端との間に設けた第7の抵抗と、第6の抵抗の他端と電源の高電位側との間に設けた第8の抵抗とを備え、これにより、オフセット補償電圧を所定の範囲内に制限することができる。

20

## 【0020】

つぎの発明にかかる増幅回路にあっては、前記制限手段が、前記生成手段のオフセット補償電圧の出力端子にベースを接続し、前記差動増幅手段の逆相入力端子にコレクタを接続した第1のトランジスタと、前記第1のトランジスタのエミッタにエミッタを接続し、前記差動増幅手段の正相入力端子にコレクタを接続し、前記第2の基準電圧をベースに入力する第2のトランジスタと、前記第1のトランジスタおよび前記第2のトランジスタのエミッタにコレクタを接続し、ベースに調整用の電圧を入力する第3のトランジスタと、前記第3のトランジスタのエミッタと電源の低電位側との間に設けた第5の抵抗と、前記第1のトランジスタのコレクタと電源の高電位側との間に設けた第6の抵抗と、前記第2のトランジスタのコレクタと電源の高電位側との間に設けた第7の抵抗と、前記第1のトランジスタのコレクタと電源の低電位側との間に設けた第8の抵抗と、前記第2のトランジスタのコレクタと電源の低電位側との間に設けた第9の抵抗と、を具備することを特徴とする。

30

## 【0021】

この発明によれば、制限手段が、生成手段のオフセット補償電圧の出力端子にベースを接続し、差動増幅手段の逆相入力端子にコレクタを接続した第1のトランジスタと、第1のトランジスタのエミッタにエミッタを接続し、差動増幅手段の正相入力端子にコレクタを接続し、第2の基準電圧をベースに入力する第2のトランジスタと、第1のトランジスタおよび第2のトランジスタのエミッタにコレクタを接続し、ベースに調整用の電圧を入力する第3のトランジスタと、第3のトランジスタのエミッタと電源の低電位側との間に設けた第5の抵抗と、第1のトランジスタのコレクタと電源の高電位側との間に設けた第6の抵抗と、第2のトランジスタのコレクタと電源の高電位側との間に設けた第7の抵抗と、第1のトランジスタのコレクタと電源の低電位側との間に設けた第8の抵抗と、第2のトランジスタのコレクタと電源の低電位側との間に設けた第9の抵抗とを備え、これにより、オフセット補償電圧を所定の範囲内に制限することができる。

40

## 【0022】

## 【発明の実施の形態】

以下、この発明にかかる増幅回路の実施の形態を、図面を参照して詳細に説明する。なお

50

、この実施の形態により、この発明が限定されるものではない。

#### 【0023】

実施の形態 1.

この発明の実施の形態 1 にかかる増幅回路として、光通信システムで用いられる、多段接続した差動増幅回路を備えた増幅回路（半導体集積回路）を例に挙げて説明する。図 1 は、この発明の実施の形態 1 にかかる増幅回路の構成を示す図である。この増幅回路は、次段の差動増幅回路の正相入力端子、逆相入力端子に正相出力信号、逆相出力信号を出力するように多段接続された複数の差動増幅回路 3～4 と、外部からの正相入力信号、逆相入力信号を入力する初段の差動増幅回路 3 の正相入力端子 1、逆相入力端子 2 と、外部に正相出力信号、逆相出力信号をそれぞれ出力する最終段の差動増幅回路 4 の正相出力端子 5、逆相出力端子 6 とを備えている。

10

#### 【0024】

また、この増幅回路は、リファレンス電圧（第 1 の基準電圧）生成に用いるリファレンス電圧調整用電圧を外部に inputs リファレンス電圧調整用端子 11 と、最終段の差動増幅回路 4 からの正相出力信号および逆相出力信号を入力し、入力した信号のピーク値および中間値を検出し、リファレンス電圧調整用端子 11 からのリファレンス電圧調整用電圧を入力し、リファレンス電圧ならびに正相出力信号または逆相出力信号のピーク値を出力するピーク検波回路 7 とを備えている。

#### 【0025】

また、この増幅回路は、ピーク検波回路 7 からのピーク値およびリファレンス電圧を入力し、オフセット補償電圧を生成し、生成したオフセット補償電圧およびオフセット補償電圧の基準電圧（第 2 の基準電圧）を出力するオフセット補償電圧生成回路 8 と、オフセット補償電圧の制限値の調整に用いるオフセット制限値調整用電圧を入力するオフセット制限値調整用端子 12 と、オフセット補償電圧生成回路 8 からのオフセット補償電圧およびオフセット補償電圧の基準電圧を入力し、オフセット制限値調整用端子 12 からのオフセット制限値調整用電圧を入力し、初段の差動増幅回路 3 の正相入力端子 1 および逆相入力端子 2 に制限したオフセット補償電圧を帰還させるオフセット出力制限回路 9 とを備えている。

20

#### 【0026】

差動増幅回路 3～4 は、複数の差動増幅回路が多段接続されたものであって、初段の差動増幅回路 3 が、外部から正相入力端子 1、逆相入力端子 2 を介して正相入力信号、逆相入力信号を入力し、次段の差動増幅回路の正相入力端子、逆相入力端子に正相出力信号、逆相出力信号を出力する。以下同様に、各差動増幅回路が、次段の差動増幅回路の正相入力端子、逆相入力端子に正相出力信号、逆相出力信号をそれぞれ出力する。最終段の差動増幅回路 4 は、正相出力端子 5、逆相出力端子 6 を介して外部に正相出力信号、逆相出力信号をそれぞれ出力する。

30

#### 【0027】

ピーク検波回路 7 は、最終段の差動増幅回路 4 からの正相出力信号および逆相出力信号を入力し、入力した正相出力信号および逆相出力信号のピーク値および中間値を検出する。この中間値は、オフセットがずれた場合も一定の値となる。また、リファレンス電圧調整用端子 11 を介して外部からリファレンス電圧調整用電圧を入力し、入力したリファレンス電圧調整用電圧および検出した中間値に基づいてリファレンス電圧を生成する。ピーク検波回路 7 の構成は特に限定されず、たとえば、前述した従来のピーク検出回路 87 と同様のものを用いてもよい。

40

#### 【0028】

リファレンス電圧調整用電圧は、中間値との和が、オフセット電圧が 0 ボルトの場合の出力信号のピーク値（初期ピーク検波値）になるように調整された電圧である。換言すれば、初期ピーク検波値と中間値との差になるように調整された電圧である。このリファレンス電圧調整用電圧を中間値の電圧に加えることによって初期ピーク検波値に調整されたリファレンス電圧を生成する。そして、このリファレンス電圧ならびに正相出力信号または

50

逆相出力信号のピーク値をオフセット補償電圧生成回路 8 に出力する。

#### 【0029】

オフセット補償電圧生成回路 8 は、ピーク検波回路 7 からのピーク値およびリファレンス電圧を入力し、ピーク値とリファレンス電圧との差を 0 にする、すなわちオフセット電圧を 0 ボルトにするオフセット補償に用いるオフセット補償電圧を生成し、生成したオフセット補償電圧およびオフセット補償電圧の基準電圧（第 2 の基準電圧）をオフセット出力制限回路 9 に出力する。オフセット補償電圧生成回路 8 の構成は、特に限定されず、たとえば、前述したオフセット補償電圧生成回路 8 と同様のものを用いてもよい。

#### 【0030】

オフセット出力制限回路 9 は、オフセット補償電圧生成回路 8 からのオフセット補償電圧およびオフセット補償電圧の基準電圧を入力し、オフセット制限値調整用端子 1 2 からオフセット制限値調整用電圧を入力し、オフセット補償電圧を所定の範囲の電圧に制限し、初段の差動増幅回路 3 の正相入力端子 1 および逆相入力端子 2 に制限したオフセット補償電圧を帰還させる。すなわち、オフセット出力制限回路 9 は、オフセット制限値調整用端子 1 2 によって定めたオフセット出力上限から下限の範囲内にオフセット補償電圧を制限して出力する。

#### 【0031】

ここで、制限されたオフセット補償電圧は、初段の差動増幅回路 3 の正相入力端子 1 と逆相入力端子 2 との DC バイアス条件に合わせるように設定される。すなわち、初段の差動増幅回路 3 のバイアスを、外部から与えるのではなく、オフセット出力制限回路 9 で生成して与える。なお、差動増幅回路 3～4 は、この発明の差動増幅手段に対応し、ピーク検波回路 7 は、この発明の検出手段に対応し、オフセット補償電圧生成回路 8 は、この発明の生成手段に対応し、オフセット出力制限回路 9 は、この発明の制限手段に対応する。

#### 【0032】

以上の構成において、実施の形態 1 の動作について説明する。実施の形態 1 の動作においては、まず、初段の差動増幅回路 3 の正相入力端子 1、逆相入力端子 2 を介して正相入力信号、逆相入力信号がそれぞれ入力される。入力された正相入力信号、逆相入力信号は、初段の差動増幅回路 3 から最終段の差動増幅回路 4 に至るまで、各差動増幅回路のトータルの利得増幅される。そして、最終段の差動増幅回路 4 から正相出力信号、逆相出力信号が正相出力端子 5、逆相出力端子 6 にそれぞれ出力される。最終段の差動増幅回路 4 からの正相出力信号、逆相出力信号には、温度、電源電圧、トランジスタ特性等のばらつきから生じたオフセット電圧が含まれることとなる。

#### 【0033】

最終段の差動増幅回路 4 からの正相出力信号、逆相出力信号は、ピーク検波回路 7 に入力される。ピーク検波回路 7 では、正相出力信号、逆相出力信号のピーク値と、正相出力信号と逆相出力信号との中間値とが検出される。そして、この中間値の電圧にリファレンス電圧調整用電圧が加算され、初期ピーク検波値と同じ値のリファレンス電圧が生成される。ピーク検波回路 7 は、生成したリファレンス電圧ならびに検出した正相出力信号または逆相出力信号のピーク値をオフセット補償電圧生成回路 8 に出力する。

#### 【0034】

オフセット補償電圧生成回路 8 は、ピーク値とリファレンス電圧との差の電圧を反転増幅してオフセット補償電圧を生成する。また、オフセット補償電圧の基準電圧を生成する。オフセット補償電圧生成回路 8 の利得は、最終段の差動増幅回路 4 の出力におけるオフセット電圧を低減させるうえで有効に作用する。

#### 【0035】

たとえば、オフセット補償電圧生成回路 8 の利得を 30 dB、ピーク検波回路 7 の検波効率を 0.5、最終段の差動増幅回路 4 の出力におけるオフセット電圧を  $V_{OFFOUT}$ 、正相入力端子 1、逆相入力端子 2 を介して入力される正相入力信号、逆相入力信号のオフセット電圧を  $V_{OFFIN}$  とすると、 $V_{offout} = (1/16) \cdot V_{offin}$  の関係が成り立ち、オフセット電圧  $V_{OFFIN}$  に対し、オフセット電圧  $V_{offout}$  を低減することができる。生成されたオ

10

20

30

40

50

フセット補償電圧は、オフセット出力制限回路 9 で制限されて初段の差動増幅回路 3 の正相入力端子 1 および逆相入力端子 2 に出力される。

#### 【0036】

(オフセット補償電圧生成回路)

つぎに、オフセット補償電圧生成回路 8 について、図 2 を参照してさらに具体的に説明する。図 2 は、図 1 に示したオフセット補償電圧生成回路 8 の一構成例を示す図である。オフセット補償電圧生成回路 8 は、オフセット出力制限回路 9 にオフセット補償電圧の基準電圧を出力するオフセット補償電圧基準電圧源 26 と、オフセット出力制限回路 9 のオフセット補償電圧の入力端子に出力端子を接続したオペアンプ 25 と、オペアンプ 25 の逆相入力端子とピーク検波回路 7 のピーク値の出力端子との間に設けた抵抗 21 と、オペアンプ 25 の正相入力端子とピーク検波回路 7 のリファレンス電圧の出力端子との間に設けた抵抗 22 と、オペアンプ 25 の逆相入力端子と出力端子との間に設けた抵抗 23 と、オフセット補償電圧基準電圧源 26 とオペアンプ 25 の正相入力端子との間に設けた抵抗 24 とを備えている。

10

#### 【0037】

このオフセット補償電圧生成回路 8 においては、抵抗 21 ～ 24 によって利得が決定される。抵抗 21, 22, 23, 24 の抵抗値をそれぞれ  $R_1$ ,  $R_2$ ,  $R_3$ ,  $R_4$  とし、オフセット補償電圧生成回路 8 の利得を  $G_3$  とすると、 $R_1 = R_2$ ,  $R_3 = R_4$  の場合、 $G_3 = R_3 / R_1 = R_4 / R_2$  が成り立つ。最終段の差動増幅回路 4 の出力で発生したオフセット電圧を  $V_{offout}$ 、初段の差動増幅回路 3 の入力信号に含まれる初期オフセット電圧を  $V_{offin}$ 、ピーク検波回路 7 の検波効率を  $\eta$  とすると、以下の式が成り立つ。

20

$$V_{offout} = (1 / (G_3 \times \eta)) \times V_{offin} \quad (5)$$

抵抗値  $R_1 \sim R_4$  を調整することにより、オフセット補償電圧生成回路 8 の利得  $G_3$  を任意の値に設定できる。

#### 【0038】

(オフセット出力制限回路)

つぎに、オフセット出力制限回路 9 について、図 3 を参照してさらに具体的に説明する。図 3 は、図 1 に示したオフセット出力制限回路 9 の一構成例を示す図である。オフセット出力制限回路 9 は、オフセット補償電圧生成回路 8 のオフセット補償電圧の出力端子 (オペアンプ 25 の出力端子) にベースを接続し、逆相入力端子 2 にコレクタを接続した NPN 型トランジスタ 32 と、NPN 型トランジスタ 32 のエミッタにエミッタを接続し、正相入力端子 1 にコレクタを接続し、オフセット補償電圧基準電圧源 26 にベースを接続した NPN 型トランジスタ 31 とを備えている。

30

#### 【0039】

また、オフセット出力制限回路 9 は、NPN 型トランジスタ 31 および NPN 型トランジスタ 32 のエミッタにコレクタを接続し、オフセット制限値調整用端子 12 にベースを接続した NPN 型トランジスタ 33 と、NPN 型トランジスタ 33 のエミッタと電源の低電位側 38 との間に設けた抵抗 40 と、NPN 型トランジスタ 32 のコレクタに一端を接続した抵抗 35 と、NPN 型トランジスタ 31 のコレクタと抵抗 35 の他端との間に設けた抵抗 34 と、抵抗 35 の他端と電源の高電位側 37 との間に設けた抵抗 36 とを備えている。

40

#### 【0040】

NPN 型トランジスタ 31, 32 および抵抗 34, 35, 36 は、差動増幅回路を構成する。この差動増幅回路に流れる電流  $I$  は、NPN 型トランジスタ 33 (オフセット制限値調整用端子 12 のオフセット制限値調整用電圧) および抵抗 38 によって決定される。ここで、抵抗 34, 35, 36 の抵抗値をそれぞれ  $R_5$ ,  $R_6$ ,  $R_7$  とし、電源の高電位側 37 の電圧値を  $V_{REG}$  とすると、オフセット出力制限回路 9 から初段の差動増幅回路 3 の入力部に出力される出力電圧  $V_{dcont}$  は以下の式 (6) で表される。

$$V_{dcont} = (V_{REG} - (R_7 \times I)) + (R_5 \times I) \quad (6)$$

このように、出力電圧  $V_{dcont}$  は、 $(R_7 \times I)$  を中心に、 $(R_5 \times I)$  または  $(R_6 \times$

50

I)  $[V_{pp}]$  の範囲内のものとなる。

【0041】

NPN型トランジスタ33のベース電圧を外部から調整可能とし、電流Iを調整することにより、オフセット補償電圧の上限値、下限値を設定することができる。特に、多段に接続された差動増幅回路3～4の線形動作範囲内に $(R5 \times I)$ 値を設定することにより、差動増幅回路3～4の線形動作範囲からオフセット補償電圧がずれることを防ぐことができる。たとえば、差動増幅回路3～4が線形動作可能な入力範囲が $100mV_{pp}$ である場合、 $(R5 \times I) \leq 100mV_{pp}$ となるように電流Iを調整することにより、差動増幅回路3～4の線形動作範囲内で確実にオフセット補償を行うことができる。

【0042】

前述したように、実施の形態1によれば、オフセット出力制限回路9がオフセット補償電圧を所定の範囲内に制限するため、増幅回路で実際に発生したオフセット電圧に対して過度なオフセット補償電圧が生成され、帰還されることを防ぐことができる。また、過度なオフセット補償電圧が制限されるため、オフセット補償電圧生成回路8の利得設定値の許容範囲を広げることができる。また、実施の形態1によれば、多段接続された差動増幅回路が線形動作するしないにかかわらず、過度なオフセット補償電圧を制限することができる、安定したオフセット自動調整を行うことができる。

【0043】

特に、多段差動増幅回路が等化増幅回路であった場合、大入力振幅が入力されると等化増幅回路の利得が下がり、オフセット補償電圧生成回路8の利得がフィードバックループ内で支配的になり、増幅回路で実際に発生したオフセット電圧に対して過度なオフセット補償電圧が生成される可能性が高まるが、オフセット出力制限回路9がオフセット補償電圧を所定の範囲内に制限するため、過度なオフセット補償電圧が帰還されることを防ぐことができる。なお、差動増幅回路を一つまたは少数とした場合も同様の効果が得られる。

【0044】

また、オフセット補償電圧生成回路8が、オフセット出力制限回路9にオフセット補償電圧の基準電圧を出力するオフセット補償電圧基準電圧源26と、オフセット出力制限回路9のオフセット補償電圧の入力端子に出力端子を接続したオペアンプ25と、オペアンプ25の逆相入力端子とピーク検波回路7のピーク値の出力端子との間に設けた抵抗21と、オペアンプ25の正相入力端子とピーク検波回路7のリファレンス電圧の出力端子との間に設けた抵抗22と、オペアンプ25の逆相入力端子と出力端子との間に設けた抵抗23と、オフセット補償電圧基準電圧源26とオペアンプ25の正相入力端子との間に設けた抵抗24とを備え、これにより、抵抗値R1とR3との比(R2とR4との比)によって利得を決定することができるため、オフセット補償電圧生成回路8の利得G3を任意の値に容易に設定することができる。

【0045】

また、オフセット出力制限回路9が、オフセット補償電圧生成回路8のオフセット補償電圧の出力端子(オペアンプ25の出力端子)にベースを接続し、逆相入力端子2にコレクタを接続したNPN型トランジスタ32と、NPN型トランジスタ32のエミッタにエミッタを接続し、正相入力端子1にコレクタを接続し、オフセット補償電圧基準電圧源26にベースを接続したNPN型トランジスタ31と、NPN型トランジスタ31およびNPN型トランジスタ32のエミッタにコレクタを接続し、オフセット制限値調整用端子12にベースを接続したNPN型トランジスタ33と、NPN型トランジスタ33のエミッタと電源の低電位側38との間に設けた抵抗40と、NPN型トランジスタ32のコレクタに一端を接続した抵抗35と、NPN型トランジスタ31のコレクタと抵抗35の他端との間に設けた抵抗34と、抵抗35の他端と電源の高電位側37との間に設けた抵抗36とを備えているため、差動増幅回路3～4の線形動作範囲内に $(R5 \times I)$ 値を設定することにより、差動増幅回路3～4の線形動作範囲内で確実にオフセット補償を行うことができる。

【0046】

10

20

30

40

50

実施の形態 2.

この発明にかかる実施の形態 2 は、前述した実施の形態 1 において、オフセット出力制限回路の構成を変更したものである。基本的な構成、動作は実施の形態 1 と同様につき、ここでは異なる部分であるオフセット出力制限回路についてのみ説明する。図 4 は、この発明の実施の形態 2 にかかる増幅回路の構成を示す図である。なお、図 3 と同一の部分については同一の符号を付している。この増幅回路は、オフセット出力制限回路 50 を備えている。

#### 【0047】

オフセット出力制限回路 50 は、オフセット補償電圧生成回路 8 のオフセット補償電圧の出力端子（オペアンプ 25 の出力端子）にベースを接続し、逆相入力端子 2 にコレクタを接続した NPN 型トランジスタ 32 と、NPN 型トランジスタ 32 のエミッタにエミッタを接続し、正相入力端子 1 にコレクタを接続し、オフセット補償電圧基準電圧源 26 にベースを接続した NPN 型トランジスタ 31 と、NPN 型トランジスタ 31 および NPN 型トランジスタ 32 のエミッタにコレクタを接続し、オフセット制限値調整用端子 12 にベースを接続した NPN 型トランジスタ 33 と、NPN 型トランジスタ 33 のエミッタと電源の低電位側 38 との間に設けた抵抗 40 と、NPN 型トランジスタ 32 のコレクタと電源の高電位側 37 との間に設けた抵抗 51 と、NPN 型トランジスタ 32 のコレクタと電源の低電位側 38 との間に設けた抵抗 52 と、NPN 型トランジスタ 31 のコレクタと電源の高電位側 37 との間に設けた抵抗 53 と、NPN 型トランジスタ 31 のコレクタと電源の低電位側 38 との間に設けた抵抗 54 とを有している。

#### 【0048】

NPN 型トランジスタ 31、32 および抵抗 51、52、53、54 は差動増幅回路を構成する。この差動増幅回路を流れる電流  $I$  は、NPN 型トランジスタ 33（オフセット制限値調整用端子 12 のオフセット制限値調整用電圧）および抵抗 38 によって決定される。ここで、抵抗 51、52、53、54 の抵抗値をそれぞれ  $R_8$ 、 $R_9$ 、 $R_{10}$ 、 $R_{11}$  とし、電源の高電位側 37 の電圧値を  $V_{REG}$  とすると、初段の差動増幅回路 3 の正相入力端子 1 のオフセット電圧  $+V_{off}$ 、逆相入力端子 2 のオフセット電圧  $-V_{off}$  は、それぞれ以下の式 (7)、式 (8) で表される。

#### 【0049】

$$+V_{off} = ((R_8 \cdot R_9) / (R_8 + R_9)) \cdot I \quad (7)$$

$$-V_{off} = ((R_{10} \cdot R_{11}) / (R_{10} + R_{11})) \cdot I \quad (8)$$

トランジスタ 33 のベース電圧を外部から調整可能とし、電流  $I$  を調整することにより、オフセット補償電圧の上限値、下限値を設定することができる。特に、多段に接続された差動増幅回路 3～4 の線形動作範囲内に  $+V_{off}$ 、 $-V_{off}$  の値を設定することにより、差動増幅回路 3～4 の線形動作範囲からオフセット補償電圧がずれることを防ぐことができる。たとえば、差動増幅回路 3～4 が線形動作可能な入力範囲が  $100\text{mVpp}$  である場合、 $+V_{off}$ 、 $-V_{off} \leq 100\text{mVpp}$  に設定することにより、差動増幅回路 3～4 の線形動作範囲内で確実にオフセット補償を行うことができる。

#### 【0050】

前述したように、実施の形態 2 によれば、オフセット出力制限回路 50 が、オフセット補償電圧生成回路 8 のオフセット補償電圧の出力端子（オペアンプ 25 の出力端子）にベースを接続し、逆相入力端子 2 にコレクタを接続した NPN 型トランジスタ 32 と、NPN 型トランジスタ 32 のエミッタにエミッタを接続し、正相入力端子 1 にコレクタを接続し、オフセット補償電圧基準電圧源 26 にベースを接続した NPN 型トランジスタ 31 と、NPN 型トランジスタ 31 および NPN 型トランジスタ 32 のエミッタにコレクタを接続し、オフセット制限値調整用端子 12 にベースを接続した NPN 型トランジスタ 33 と、NPN 型トランジスタ 33 のエミッタと電源の低電位側 38 との間に設けた抵抗 40 と、NPN 型トランジスタ 32 のコレクタと電源の高電位側 37 との間に設けた抵抗 51 と、NPN 型トランジスタ 32 のコレクタと電源の低電位側 38 との間に設けた抵抗 52 と、NPN 型トランジスタ 31 のコレクタと電源の高電位側 37 との間に設けた抵抗 53 と、

NPN型トランジスタ31のコレクタと電源の低電位側38との間に設けた抵抗54とを有しているため、 $+V_{off}$ 、 $-V_{off} \leq 100\text{mV}_{pp}$ に設定することにより、差動増幅回路3～4の線形動作範囲内で確実にオフセット補償を行うことができる。

#### 【0051】

##### 【発明の効果】

以上説明したとおり、この発明によれば、差動増幅手段が、増幅を行い、検出手段が、差動増幅手段の出力電圧のピーク値および中間値を検出するとともに、この中間値の電圧に所定の外部電圧を加えた第1の基準電圧を生成し、生成手段が、検出手段が検出したピーク値および第1の基準電圧に基づいてオフセット補償用のオフセット補償電圧を生成し、制限手段が、差動増幅手段のバイアス電圧を生成するとともに、生成手段が生成したオフセット補償電圧を所定の範囲内に制限して差動増幅手段に帰還させる。これにより、出力信号のオフセットがずれた場合も一定値を保つ中間値を基準とし、所定の外部電圧を調整して適切な第1の基準電圧を生成することができ、この第1の基準電圧に基づいて所定の範囲内に制限されたオフセット補償電圧を生成することができるので、過度なオフセット補償電圧を制限し、安定したオフセット補償を行うことができる、という効果を奏する。

10

#### 【0052】

つぎの発明によれば、制限手段が、差動増幅手段のバイアス電圧を生成する。これにより、増幅回路内で差動増幅手段のバイアス電圧を生成することが可能となり、外部から差動増幅手段のバイアス電圧を入力する必要がなくなるため、外部回路を簡略化することができる、という効果を奏する。

20

#### 【0054】

つぎの発明によれば、生成手段が、制限手段に第2の基準電圧を出力する第2基準電圧出力手段と、制限手段のオフセット補償電圧の入力端子に出力端子を接続したオペアンプと、オペアンプの逆相入力端子と検出手段のピーク値の出力端子との間に設けた第1の抵抗と、オペアンプの正相入力端子と検出手段の第1の基準電圧の出力端子との間に設けた第2の抵抗と、オペアンプの逆相入力端子と出力端子との間に設けた第3の抵抗と、第2基準電圧出力手段の出力端子とオペアンプの正相入力端子との間に設けた第4の抵抗とを備え、第1の抵抗と第3の抵抗との比（第2の抵抗と第4の抵抗との比）によって利得を決定することができるため、生成手段の利得設定を容易に行うことができる、という効果を奏する。

30

#### 【0055】

つぎの発明によれば、制限手段が、生成手段のオフセット補償電圧の出力端子にベースを接続し、差動増幅手段の逆相入力端子にコレクタを接続した第1のトランジスタと、第1のトランジスタのエミッタにエミッタを接続し、差動増幅手段の正相入力端子にコレクタを接続し、第2の基準電圧をベースに入力する第2のトランジスタと、第1のトランジスタおよび第2のトランジスタのエミッタにコレクタを接続し、ベースに調整用の電圧を入力する第3のトランジスタと、第3のトランジスタのエミッタと電源の低電位側との間に設けた第5の抵抗と、第1のトランジスタのコレクタに一端を接続した第6の抵抗と、第2のトランジスタのコレクタと第6の抵抗の他端との間に設けた第7の抵抗と、第6の抵抗の他端と電源の高電位側との間に設けた第8の抵抗とを備えるため、オフセット補償電圧を所定の範囲内に制限することができる、という効果を奏する。

40

#### 【0056】

つぎの発明によれば、制限手段が、生成手段のオフセット補償電圧の出力端子にベースを接続し、差動増幅手段の逆相入力端子にコレクタを接続した第1のトランジスタと、第1のトランジスタのエミッタにエミッタを接続し、差動増幅手段の正相入力端子にコレクタを接続し、第2の基準電圧をベースに入力する第2のトランジスタと、第1のトランジスタおよび第2のトランジスタのエミッタにコレクタを接続し、ベースに調整用の電圧を入力する第3のトランジスタと、第3のトランジスタのエミッタと電源の低電位側との間に設けた第5の抵抗と、第1のトランジスタのコレクタと電源の高電位側との間に設けた第

50

6の抵抗と、第2のトランジスタのコレクタと電源の高電位側との間に設けた第7の抵抗と、第1のトランジスタのコレクタと電源の低電位側との間に設けた第8の抵抗と、第2のトランジスタのコレクタと電源の低電位側との間に設けた第9の抵抗とを備えるため、オフセット補償電圧を所定の範囲内に制限することができる、という効果を奏する。

【図面の簡単な説明】

【図1】 この発明の実施の形態1にかかる増幅回路の構成を示す図である。

【図2】 図1に示したオフセット補償電圧生成回路の一構成例を示す図である。

【図3】 図1に示したオフセット出力制限回路の一構成例を示す図である。

【図4】 この発明の実施の形態2にかかる増幅回路の構成を示す図である。

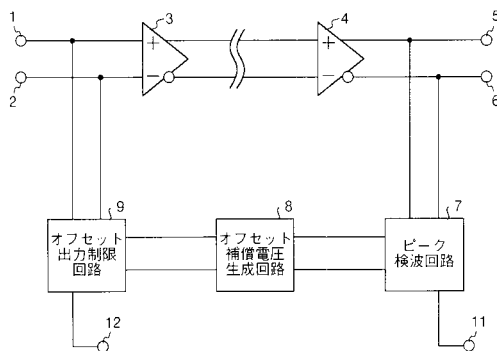
【図5】 従来における増幅回路の構成を示す図である。

10

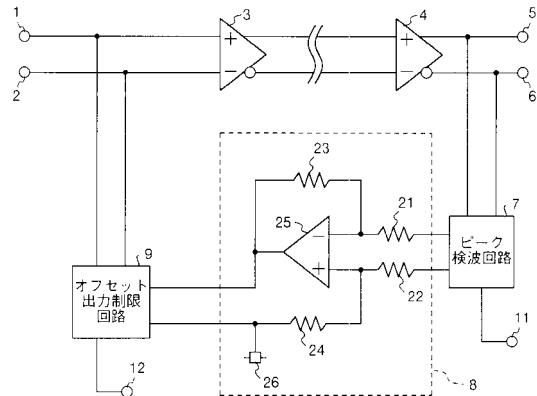
【符号の説明】

1 初段の差動増幅回路の正相入力端子、2 初段の差動増幅回路の逆相入力端子、3 初段の差動増幅回路、4 最終段の差動増幅回路、5 最終段の差動増幅回路の正相出力端子、6 最終段の差動増幅回路の逆相出力端子、7 ピーク検波回路、8 オフセット補償電圧生成回路、9 オフセット出力制限回路、11 リファレンス電圧調整用端子、12 オフセット制限値調整用端子、21～24, 34～36, 40, 51～54 抵抗、25 オペアンプ、26 オフセット補償電圧基準電圧源、31, 32, 33 NPN型トランジスタ、37 電源の高電位側、38 電源の低電位側。

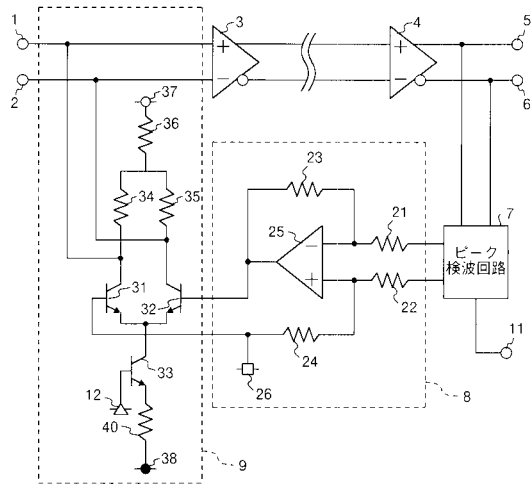
【図1】



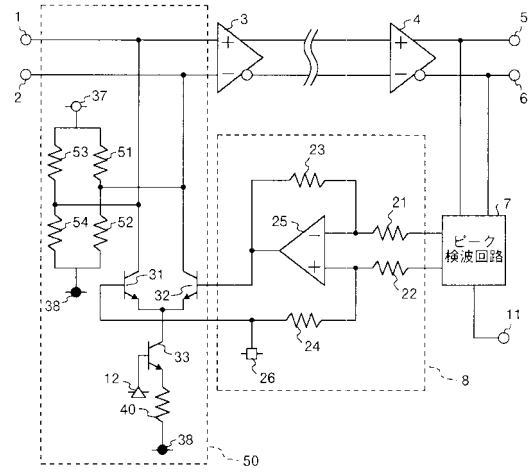
【図2】



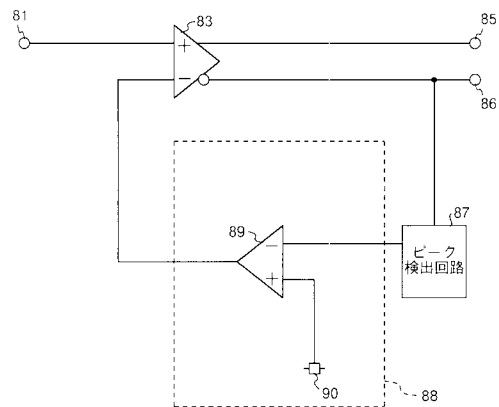
【図 3】



【図 4】



【図 5】



---

フロントページの続き

- (56)参考文献 特開昭62-202635 (JP, A)  
米国特許第04460873 (US, A)  
特開2001-189632 (JP, A)  
特開平11-004265 (JP, A)  
特開平10-215129 (JP, A)  
特開平08-288757 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H03F 1/00-3/45  
H03F 3/50-3/52  
H03F 3/62-3/64  
H03F 3/68-3/72