

[19] 中华人民共和国国家知识产权局

[51] Int. Cl<sup>7</sup>

H01L 29/786

H01L 21/336 G02F 1/1368



# [12] 发明专利申请公开说明书

[21] 申请号 02801641.6

[43] 公开日 2003年12月17日

[11] 公开号 CN 1462481A

[22] 申请日 2002.5.16 [21] 申请号 02801641.6

[30] 优先权

[32] 2001.5.18 [33] JP [31] 149453/2001

[32] 2002.3.11 [33] JP [31] 065794/2002

[86] 国际申请 PCT/JP02/04750 2002.5.16

[87] 国际公布 WO02/095834 日 2002.11.28

[85] 进入国家阶段日期 2003.1.14

[71] 申请人 三洋电机株式会社

地址 日本大阪府

[72] 发明人 米田清 山田努 汤田真次

铃木浩司

[74] 专利代理机构 北京纪凯知识产权代理有限公司

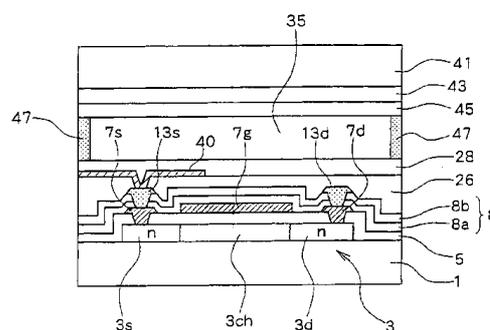
代理人 戈泊程伟

权利要求书 12 页 说明书 33 页 附图 17 页

[54] 发明名称 薄膜晶体管及有源矩阵型显示装置及其制造方法

[57] 摘要

形成贯通栅极绝缘膜(5)的第1接触孔(6)，并于栅极绝缘膜(5)上形成栅极电极(7g)，并同时于第1接触孔内形成第1接触部(7s、7d)。形成贯通层间绝缘(8)膜的第2接触孔(9)，并于第2接触孔(9)内，形成第2接触部(10)。形成贯通平坦化膜(26)的第3接触孔(11)，并于第3接触孔(11)内形成电极(40)。为电气连接电极(40)与半导体膜(3)而利用多个接触孔，各接触孔可缩小长宽比，从而实现成品产率提升、因接触部的上面与底面的面积差降低而带来的高集成化等。



1. 一种薄膜晶体管的制造方法，其特征在于：  
该方法具有：  
在绝缘基板上，形成岛状的半导体膜的工序；  
5 在所述绝缘基板及所述半导体膜上，覆盖所述半导体膜而形成第 1 绝缘膜的工序；  
形成至少 1 个贯通所述第 1 绝缘膜且露出所述半导体膜的一部份的第 1 接触孔的工序；  
在所述第 1 绝缘膜上以及所述第 1 接触孔内，形成第 1 导电体膜，  
10 并对该第 1 导电体膜进行刻蚀，而在与所述半导体膜的一部份重叠的栅极电极以及所述第 1 接触孔内，同时形成与所述半导体膜电气连接的第 1 接触部的工序。
2. 如权利要求 1 所述的薄膜晶体管的制造方法，其特征在于：  
15 该方法还具有：  
覆盖所述第 1 绝缘膜以及所述栅极电极以及所述第 1 接触部，而形成第 2 绝缘膜的工序；  
形成至少贯通所述第 2 绝缘膜且露出所述第 1 接触部的一部份的第 2 接触孔的工序；  
20 在所述第 2 绝缘膜上以及所述第 2 接触孔内，形成第 2 导电体膜，并对指定区域进行刻蚀，形成与所述第 1 接触部电气连接的指定形状的配线以及第 2 接触部的工序。
3. 如权利要求 1 所述的薄膜晶体管的制造方法，其特征在于：  
25 该方法还具有：  
覆盖所述第 1 绝缘膜以及所述栅极电极以及所述第 1 接触部，以形成第 2 绝缘膜的工序；  
形成至少 2 个至少贯通所述第 2 绝缘膜且露出所述第 1 接触部以及所述半导体膜的一部份的第 2 接触孔的工序；  
30 在所述第 2 绝缘膜上以及所述第 2 接触孔内，形成第 2 导电体膜，

并对指定区域进行刻蚀，形成与所述半导体膜电气连接的指定形状的配线以及第2接触部的工序。

4. 一种有源矩阵型显示装置的制造方法，其特征在于：

5 该方法具有：

在绝缘基板上，形成岛状的半导体膜的工序；

在所述绝缘基板及所述半导体膜上，覆盖所述半导体膜而形成第1绝缘膜的工序；

10 形成至少1个贯通所述第1绝缘膜且露出所述半导体膜的一部份的第1接触孔的工序；

在所述第1绝缘膜上以及所述第1接触孔内，形成第1导电体膜，并对该第1导电体膜进行刻蚀，在与所述半导体膜的一部份重叠的栅极电极以及所述第1接触孔内，同时形成与所述半导体膜电气连接的第1接触部的工序。

15

5. 如权利要求4所述的有源矩阵型显示装置的制造方法，其特征在于：

该方法还具有：

20 覆盖所述第1绝缘膜以及所述栅极电极以及所述第1接触部，以形成第2绝缘膜的工序；

形成至少贯通所述第2绝缘膜且露出所述第1接触部的一部份的第2接触孔的工序；

25 在所述第2绝缘膜上以及所述第2接触孔内，形成第2导电体膜，并对指定区域进行刻蚀，形成与所述第1接触部电气连接的指定形状的配线以及第2接触部的工序。

6. 如权利要求5所述的有源矩阵型显示装置的制造方法，其特征在于：

该方法还具有：

30 在所述第2绝缘膜以及所述第2接触部以及所述配线上，形成将因下层结构而形成的凹凸平坦化的平坦化膜的工序；

形成贯通所述平坦化膜且露出所述第 2 接触部的第 3 接触孔的工序；

在所述平坦化膜上，借助于所述第 3 接触孔，形成与所述第 2 接触部电气连接的电极的工序。

5

7. 如权利要求 4 所述的有源矩阵型显示装置的制造方法，其特征在于：

该方法还具有：

10 覆盖所述第 1 绝缘膜以及所述栅极电极以及所述第 1 接触部，以形成第 2 绝缘膜的工序；

形成至少 2 个至少贯通所述第 2 绝缘膜且露出所述第 1 接触部以及所述半导体膜的一部份的第 2 接触孔的工序；

15 在所述第 2 绝缘膜上以及所述第 2 接触孔内，形成第 2 导电体膜，并对指定区域进行刻蚀，形成与所述半导体膜电气连接的指定形状的配线以及第 2 接触部的工序。

8. 如权利要求 7 所述的有源矩阵型显示装置的制造方法，其特征在于：

该方法还具有：

20 于所述第 2 绝缘膜以及所述第 2 接触部以及所述配线上，形成将因下层结构而形成的凹凸平坦化的平坦化膜的工序；

形成贯通所述平坦化膜且露出第 2 接触部的第 3 接触孔的工序；

在所述平坦化膜上，借助于所述第 3 接触孔，形成与所述第 2 接触部电气连接的电极的工序。

25

9. 如权利要求 4 所述的有源矩阵型显示装置的制造方法，其特征在于：

该方法具有：

30 覆盖所述第 1 绝缘膜以及所述栅极电极和所述第 1 接触部，以形成第 2 绝缘膜的工序；

形成贯通所述第 2 绝缘膜且露出所述第 1 接触部的第 2 接触孔的

工序；

在所述第 2 绝缘膜上以及所述第 2 接触孔内，形成第 2 导电体膜，并对指定区域进行刻蚀，形成与所述第 1 接触部电气连接的指定形状的配线的工序；

5 在所述第 2 绝缘膜以及所述第 2 接触部和所述配线上，形成将因下层结构而形成的凹凸平坦化的平坦化膜的工序；

形成至少贯通所述平坦化膜的第 3 接触孔的工序；

在所述平坦化膜上，借助于所述第 3 接触孔，形成与所述半导体膜电气连接的电极的工序。

10

10. 如权利要求 9 所述的有源矩阵型显示装置的制造方法，其特征在于：

所述第 3 接触孔，贯通所述平坦化膜以及所述第 2 绝缘膜而露出所述第 1 接触部；

15 所述电极，借助于所述第 3 接触孔，与所述第 1 接触部电气连接。

11. 如权利要求 4 所述的有源矩阵型显示装置的制造方法，其特征在于：

该方法具有：

20 覆盖所述第 1 绝缘膜以及所述栅极电极以及所述第 1 接触部，以形成第 2 绝缘膜的工序；

形成贯通所述第 2 绝缘膜且露出所述第 1 接触部的第 2 接触孔和形成贯通所述第 2 绝缘膜以及所述第 1 绝缘膜且露出所述半导体膜的第 3 接触孔的工序；

25 在所述第 2 绝缘膜上以及所述第 2 接触孔内、所述第 3 接触孔内，形成第 2 导电体膜，并对指定区域进行刻蚀，形成与所述第 1 接触部电气连接的第 2 接触部和与所述半导体膜电气连接的指定形状的配线的工序；

30 在所述第 2 绝缘膜以及所述第 2 接触部以及所述配线上，形成将因下层结构而形成的凹凸平坦化的平坦化膜的工序；

形成贯通所述平坦化膜且露出所述第 2 接触部的第 4 接触孔的工

序；

在所述平坦化膜上，借助于所述第 4 接触孔，形成与所述第 2 接触部电气连接的电极的工序。

- 5        12. 一种薄膜晶体管，它具备：由含有信道区域、源极区域及漏极区域的半导体膜所构成的有源层、栅极绝缘膜、栅极电极、源极电极及漏极电极，其特征在于：

所述半导体膜，形成于绝缘基板上；

所述栅极绝缘膜是覆盖所述半导体膜而形成；

- 10        所述栅极电极形成于所述栅极绝缘膜上的信道对应区域；

第 1 接触孔形成于所述栅极绝缘膜的源极对应区域及漏极对应区域的至少一方；

- 在所述栅极绝缘膜的源极对应区域及漏极对应区域的至少一方所形成的所述第 1 接触孔之中，埋入与所述栅极电极同一材料构成、并且与对应的所述半导体膜的源极区域或漏极区域电气连接的第 1 接触部；

所述源极电极及所述漏极电极所对应的其中一方或两方，借助于所述第 1 接触部而与对应的所述半导体膜的所述源极区域或漏极区域连接。

20

13. 如权利要求 12 所述的薄膜晶体管，其特征在于：

所述第 1 接触孔，分别开口于所述栅极绝缘膜的源极对应区域及漏极对应区域；

所述第 1 接触部埋入所述各自的第 1 接触孔中；

- 25        所述源极电极借助于对应的所述第 1 接触部而连接于所述半导体的源极区域，所述漏极电极借助于对应的所述第 1 接触部而连接于所述半导体膜的漏极区域。

14. 如权利要求 13 所述的薄膜晶体管，其特征在于：

- 30        所述源极电极及所述漏极电极连接于与第 2 接触孔相对应的所述源极区域与所述漏极区域，该第 2 接触孔各自开口于覆盖所述第 1 接

触部及所述栅极电极的层间绝缘膜的所述第 1 接触部对应区域。

15. 如权利要求 12 所述的薄膜晶体管，其特征在于：

5 所述第 1 接触孔，开口于所述栅极绝缘膜的源极对应区域及漏极对应区域的其中一方；

所述第 1 接触部埋入所述第 1 接触孔；

所述源极电极及所述漏极电极的任意一方，借助于所述第 1 接触部而连接于对应的所述半导体膜的源极区域或漏极。

10 16. 如权利要求 15 所述的薄膜晶体管，其特征在于：

所述源极电极及所述漏极电极的另一方，借助于第 2 接触孔连接于所述半导体膜的对应的漏极区域或源极区域，该第 2 接触孔开口于覆盖所述栅极电极及所述栅极绝缘膜而形成的层间绝缘膜和所述栅极绝缘膜之间的对应区域，从而使所述半导体膜表面露出于底部。

15

17. 如权利要求 12 所述的薄膜晶体管，其特征在于：

所述栅极电极及所述第 1 接触部是高熔点金属材料。

18. 一种采用了薄膜晶体管的有源矩阵型显示装置，该薄膜晶体管  
20 具有：

由含有信道区域、源极区域及漏极区域的半导体膜所构成的有源层、栅极绝缘膜、栅极电极、源极电极及漏极电极，

该有源矩阵型显示装置的特征在于：

所述半导体膜形成于绝缘基板上；

25 所述栅极绝缘膜是覆盖半导体膜而得以形成；

所述栅极电极形成于所述栅极绝缘膜上的信道对应区域；

第 1 接触孔分别形成于所述栅极绝缘膜的源极对应区域及漏极对应区域；

30 第 1 接触部埋入形成于所述源极对应区域及漏极对应区域的所述第 1 接触孔的至少一方，该第 1 接触部由与所述栅极电极相同的材料构成并且电气连接于对应的所述半导体膜的源极区域或漏极区域；

所述源极电极及所述漏极电极的其中一方或两方，借助于所述第 1 接触部而连接于对应的所述半导体膜的所述源极区域或漏极区域。

19. 如权利要求 18 所述的有源矩阵型显示装置，其特征在于：

5 所述第 1 接触孔，分别开口于所述栅极绝缘膜的源极对应区域及漏极对应区域；

所述第 1 接触部埋入所述各个第 1 接触孔中；

所述源极电极及所述漏极电极连接于与第 2 接触孔相对应的所述源极区域以及所述漏极区域，该第 2 接触孔分别开口于覆盖了所述第 1 接触部及所述栅极电极的层间绝缘膜的所述第 1 接触部对应区域。

20. 如权利要求 19 所述的有源矩阵型显示装置，其特征在于：

覆盖所述源极电极及所述漏极电极而进一步形成平坦化绝缘膜；

15 在所述平坦化绝缘膜的所述源极电极及所述漏极电极的其中任意一方的对应区域，形成第 3 接触孔；

在所述第 3 接触孔内，对应的所述源极电极及所述漏极电极的其中之一和像素电极电气连接。

21. 如权利要求 18 所述的有源矩阵型显示装置，其特征在于：

20 所述第 1 接触孔，开口于所述栅极绝缘膜的源极对应区域及漏极对应区域的其中任意一方；

所述第 1 接触部埋入所述第 1 接触孔；

所述源极电极及所述漏极电极的其中任意一方，借助于所述第 1 接触部而连接于对应的所述半导体膜的源极区域或漏极。

25

22. 如权利要求 21 所述的有源矩阵型显示装置，其特征在于：

所述源极电极及所述漏极电极的另一方，借助于第 2 接触孔而连接于所述半导体膜的对应的漏极区域或源极区域，该第 2 接触孔开口于覆盖所述栅极电极及所述栅极绝缘膜而形成的层间绝缘膜和所述栅极绝缘膜之间的对应区域，从而使所述半导体膜表面露出于底部。

30

23. 如权利要求所述的有源矩阵型显示装置，其特征在于：  
覆盖所述源极电极及所述漏极电极而进一步形成平坦化绝缘膜；  
在所述平坦化绝缘膜的所述源极电极及所述漏极电极的其中一方的对应区域，形成第3接触孔；

5 在所述第3接触孔内，对应的所述源极电极及所述漏极电极的其中之一和像素电极电气连接。

24. 如权利要求18所述的有源矩阵型显示装置，其特征在于：  
所述栅极电极及所述第1接触部，是高熔点金属材料。

10

25. 一种栅极电极相对于有源层而形成于上层的顶栅极型晶体管的制造方法，其特征在于：

在形成所述有源层之后，且在覆盖该有源层的栅极绝缘膜的形成之前，利用保护层掩膜有选择地覆盖该有源层的期望区域后向该有源层注入杂质；

15 在注入所述杂质后，将所述保护层掩膜材去除，然后覆盖所述有源层而形成栅极绝缘膜；

在所述栅极绝缘膜上形成栅极电极。

20 26.如权利要求25所述的顶栅极型的晶体管的制造方法，其特征在于：

所述有源层，是在形成非晶硅层后将该硅层多结晶化而获得的多晶硅层。

25 27. 一种栅极电极相对于有源层而形成于上层的顶栅极型的晶体管的制造方法，其特征在于：

在形成所述有源层之后，且在覆盖该有源层的栅极绝缘膜的形成之前，利用保护层掩膜材有选择地覆盖成为该有源层的信道区域以及低浓度杂质注入区域的区域，向该有源层高浓度注入杂质；

30 在高浓度注入所述杂质后，去除所述保护层掩膜材，然后覆盖所述有源层而形成栅极绝缘膜；

在所述栅极绝缘膜上形成栅极电极；

在所述栅极电极形成后，以该栅极电极作为掩膜，而以低浓度向所述有源层注入杂质。

5        28. 如权利要求 27 所述的顶栅极型的晶体管的制造方法，其特征在于：

所述有源层，是在形成非晶硅层后将该硅层多结晶化而获得的多晶硅层。

10       29. 一种栅极电极相对于有源层而形成于上层的顶栅极型的晶体管的制造方法，其特征在于：

在形成所述有源层之后，且在覆盖该有源层的栅极绝缘膜的形成之前，利用保护层掩膜材有选择地覆盖成为该有源层的信道区域以及低浓度杂质注入区域的区域，向该有源层高浓度注入 n 型杂质；

15       在高浓度注入所述 n 型杂质后，去除所述保护层掩膜材，然后覆盖所述有源层而形成栅极绝缘膜；

在所述栅极绝缘膜上形成栅极电极；

在所述栅极电极形成后，以该栅极电极作为掩膜，而以低浓度向所述有源层注入 n 型杂质。

20

30. 如权利要求 29 所述的顶栅极型的晶体管的制造方法，特征在于：

所述有源层，是在形成非晶硅层后将该硅层多结晶化而获得的多晶硅层。

25

31. 如权利要求 30 所述的顶栅极型的晶体管的制造方法，其特征在于：

在 1 个基板上，在与注入所述 n 型杂质的所述有源层的多结晶化处理的同时，形成由经多结晶化处理而获得的多晶硅层所构成的有源层；

30

有别于所述 n 型杂质的注入处理地向该有源层注入 p 型杂质。

32. 一种导电型相互不同的晶体管的制造方法, 该晶体管是栅极电极相对于有源层而形成于上层的顶栅极型的晶体管, 该方法的特征在于:

5       在形成所述有源层之后, 且在覆盖所述有源层的栅极绝缘膜形成之前, 形成保护层掩膜, 然后将第 1 导电型杂质注入至所述有源层, 该保护层掩膜在第 1 导电型晶体管的形成区域是覆盖其有源层的信道形成区域, 而且该保护层掩膜在第 2 导电型晶体管的形成区域是覆盖其有源层的形成区域;

10       在注入第 1 导电型杂质后, 去除所述保护层掩膜, 形成覆盖所述有源层的栅极绝缘膜;

      在此栅极绝缘膜上形成栅极电极材料层, 使该栅极材料层在所述第 1 导电型晶体管的形成区域覆盖其有源层的整个区域, 而且使该栅极电极材料层在所述第 2 导电型晶体管的形成区域图案化成栅极电极的形状;

15       在所述栅极电极材料层的图案化后, 以该栅极电极材料层作为掩膜, 将所述第 2 导电型杂质注入至所述有源层;

      在注入所述第 2 导电型杂质后, 将所述第 1 导电型晶体管的形成区域的所述栅极电极材料层图案化成栅极电极形状。

20

33. 如权利要求 32 所述的顶栅极型的晶体管的制造方法, 其特征在于:

      所述第 1 导电型杂质是为 n 导电型杂质;

      所述第 2 导电型杂质是为 p 导电型杂质。

25

34. 一种导电型相互不同的晶体管的制造方法, 该晶体管是栅极电极相对于有源层而形成于上层的顶栅极型的晶体管, 该方法的特征在于:

30       在形成所述有源层之后, 且在覆盖该有源层的栅极绝缘膜形成之前, 形成保护层掩膜, 然后将第 1 导电型杂质以高浓度注入至所述有源层, 该保护层掩膜在第 1 导电型晶体管的形成区域是覆盖其有源层

的信道形成区域以及邻接该信道形成区域所形成的低浓度杂质注入区域，而且该保护层掩膜在第 2 导电型晶体管的形成区域是覆盖其有源层的形成区域；

在高浓度注入所述第 1 导电型杂质后，去除所述保护层掩膜材，  
5 形成覆盖所述有源层的栅极绝缘膜；

并于栅极绝缘膜上形成栅极电极材料层，使该栅极电极材料层在所述第 1 导电型晶体管的形成区域覆盖其有源层的整个区域，而且使该栅极电极材料层在所述第 2 导电型晶体管的形成区域图案化成栅极电极的形状；

10 在所述栅极电极的图案化后，以该栅极电极作为掩膜，将所述第 2 导电型杂质以高浓度注入至所述有源层；

并将所述第 1 导电型晶体管的形成区域的所述栅极电极材料层图案化成栅极电极形状后，将该栅极电极作为掩膜，而以低浓度将第 1 导电型杂质注入至所述有源层。

15

35. 如权利要求 34 所述的顶栅极型的晶体管的制造方法，其特征在于：

所述第 1 导电型杂质是为 n 导电型杂质；

所述第 2 导电型杂质是为 p 导电型杂质。

20

36. 一种导电型相互不同的晶体管的制造方法，该晶体管是栅极电极相对于有源层而形成于上层的顶栅极型的晶体管，该方法的特征在于：

形成所述有源层；

25 覆盖所述有源层而形成栅极绝缘膜；

在所述栅极绝缘膜上形成栅极电极材料层，使该栅极电极材料层在所述第 1 导电型晶体管的形成区域覆盖其有源层的整个区域，而且使该栅极电极材料层在所述第 2 导电型晶体管的形成区域图案化成栅极电极的形状；

30 在所述栅极电极的图案化后，以该栅极电极作为掩膜，有选择地将所述第 2 导电型杂质注入至所述第 2 导电型晶体管的所述有源层；

在注入所述第 2 导电型杂质后，将所述第 1 导电型晶体管的形成区域的所述栅极电极材料层图案化成栅极电极形状。

37. 如权利要求 36 所述的顶栅极型的晶体管的制造方法，其特征  
5 在于：

所述有源层，是在形成非晶硅层后将该硅层多结晶化而获得的多晶硅层。

## 薄膜晶体管及有源矩阵型显示装置及其制造方法

### 技术领域

- 5 本发明涉及薄膜晶体管（Thin Film Transistor：以下称 TFT）和具备此薄膜晶体管的有源矩阵型显示装置及其制造方法。

### 背景技术

- 10 在液晶显示装置以及最近备受瞩目的有机电致发光显示装置等方面，为了实现高精密度显示而于各像素内形成了开关元件的所谓有源矩阵型的显示装置已经为人所知。

图 1A 至图 1I，是现有的有源矩阵型液晶显示装置的制造过程剖面图。

- 15 工序 A（图 1A）：在绝缘基板 310 上，形成非晶硅（amorphous Silicon：以下称“a-Si”）膜 320。

工序 B（图 1B）：通过将激光照射于此 a-Si 膜 320 的表面，将 a-Si 熔融再结晶化，形成多晶硅（Poly Silicon：以下称“poly-Si”）膜。然后，采用光刻法以及刻蚀，将 poly-Si 膜图案化为岛状，形成半导体膜 330。

- 20 工序 C（图 1C）：在绝缘基板 310 及半导体膜 330 上，形成由 SiO<sub>2</sub> 膜所构成的栅极绝缘膜 340 作为第 1 绝缘膜。在栅极绝缘膜 340 上，形成由铬（Cr）所构成的金属膜，并采用光刻法以及刻蚀，在栅极绝缘膜 340 上面与半导体膜 330 的中央部份对应重叠的位置上形成栅极电极 350。

- 25 工序 D（图 1D）：针对半导体膜 330，以栅极电极 350 为掩膜，注入 P 型或 N 型的杂质。然后，为了使所注入的杂质活化，而施以加热处理，并于半导体膜 330 形成源极区域 330a 以及漏极区域 330b。

如此一来，即形成作为半导体元件的 poly-SiTFT。

- 30 工序 E（图 1E）：在栅极绝缘膜 340 以及与栅极电极 350 上，形成由 SiO<sub>2</sub> 膜 360a 以及 SiN 膜 360b 的 2 层所构成的层间绝缘膜 360，作为第

## 2 绝缘膜。

工序 F (图 1F): 为贯通栅极绝缘膜 340 以及层间绝缘膜 360, 并使源极区域 330a 以及漏极区域 330b 露出, 而形成第 1 接触孔 370。于露出漏极区域 330b 的第 1 接触孔 370 中, 形成由铝 (Al) 构成并向纸面垂直方向延伸的配线 380。

工序 G (图 1G): 在第 1 接触孔 370 以及层间绝缘膜 360、配线 380 上, 形成由有机材料所构成的平坦化膜 390 以使表面平坦化。

工序 H (图 1H): 形成贯通平坦化膜 390 且露出源极区域 330a 的第 2 接触孔, 再于此第 2 接触孔, 形成由 ITO (Indium Tin Oxide: 氧化铟锡) 所构成并与源极区域 330a 连接而扩展于平坦化膜 390 上的像素电极 400。

工序 I (图 1I): 在像素电极 400 以及平坦化膜 390 上, 形成由聚酰亚胺、 $\text{SiO}_2$  等所构成并使液晶取向的取向膜 410。

如此一来, 有源矩阵型液晶显示装置的 TFT 基板即完成。液晶显示装置通过将液晶夹持在 TFT 基板以及形成共通电极的对向基板之间而构成。

在上述制造方法中, 与 TFT 的源极区域 330a 以及像素电极 400 连接的第 2 接触孔, 因为是将平坦化膜 390 以及层间绝缘膜 360 开口而形成, 相比于开口直径较深, 也即, 其长宽比变大。因此, 在第 2 接触孔形成时, 经常有在到达源极区域 330a 前未能除尽平坦化膜 390 的情况。反之, 为完全去除平坦化膜 390, 若将进行刻蚀的时间设置长, 在平坦化膜 390 以及层间绝缘膜 360 与半导体膜 330 之间, 因完全无法进行选择性的刻蚀, 故将毁坏半导体膜 330 上的源极区域 330a 的表面等, 致使难以增减刻蚀, 并易于在接触孔的深度及大小上产生误差, 而成为成品产率下降的原因之一。

此外, 由于接触孔是采用利用了化学反应的刻蚀而形成, 故接触孔的上端的面积比底面的面积大。由于接触孔愈深, 该差异变得愈大, 因此为了形成较深的接触孔, 必须在上端确保宽阔的面积, 从而阻碍了高集成化。

30

## 发明内容

本发明，是为解决上述问题而完成的，其目的是为了为了使接触孔更容易且可靠地形成，并使成品产率提升，达到更进一步高集成化的目的。

5 本发明的另一目的是为了在制造薄膜晶体管的时候，防止杂质注入过程中的掩膜材料的硬化。

为达成上述目的，本发明具备下列的特征。

也即，本发明是有关一种薄膜晶体管的制造方法，具备有：在绝缘基板上，形成岛状的半导体膜的工序；于前述绝缘基板及前述半导体膜上，覆盖前述半导体膜并形成第1绝缘膜的工序；形成至少1个  
10 贯通前述第1绝缘膜且露出前述半导体膜的一部份的第1接触孔的工序；以及于前述第1绝缘膜上以及前述第1接触孔内，形成第1导电体膜，并对该第1导电体膜进行刻蚀，而在与前述半导体膜的一部份重叠的栅极电极以及前述第1接触孔内，同时形成与前述半导体膜电气连接的第1接触部的工序。

15 本发明的另一方式，是一种上述薄膜晶体管的制造方法，具备有：覆盖前述第1绝缘膜以及前述栅极电极以及前述第1接触部，而形成第2绝缘膜的工序；形成至少贯通前述第2绝缘膜且露出前述第1接触部的一部份的第2接触孔的工序；以及于前述第2绝缘膜上以及前述第2接触孔内，形成第2导电体膜，并对指定区域进行刻蚀，形成  
20 与前述第1接触部电气连接的指定形状的配线以及第2接触部的工序。

本发明的又一方式，是一种上述薄膜晶体管的制造方法，具备有：覆盖前述第1绝缘膜以及前述栅极电极以及前述第1接触部，而形成第2绝缘膜的工序；形成至少2个至少贯通前述第2绝缘膜且露出前述第1接触部以及前述半导体膜的一部份的第2接触孔的工序；以及  
25 于前述第2绝缘膜上以及前述第2接触孔内，形成第2导电体膜，并对指定区域进行刻蚀，形成与前述半导体膜电气连接的指定形状的配线以及第2接触部的工序。

本发明的又一方式，是一种采用薄膜晶体管的有源矩阵型显示装置，具体而言，具备有：在绝缘基板上，形成岛状的半导体膜的工序；  
30 于前述绝缘基板及前述半导体膜上，覆盖前述半导体膜而形成第1绝缘膜的工序；形成至少1个贯通前述第1绝缘膜且露出前述半导体膜

的一部份的第1接触孔的工序；以及在前述第1绝缘膜上以及前述第1接触孔内，形成第1导电体膜，并对该第1导电体膜进行刻蚀，在与前述半导体膜的一部份重叠的栅极电极以及前述第1接触孔内，同时形成与前述半导体膜电气连接的第1接触部的工序。

5 本发明的又一方式，是一种上述有源矩阵型显示装置的制造方法，具备有：覆盖前述第1绝缘膜以及前述栅极电极以及前述第1接触部，而形成第2绝缘膜的工序；形成至少贯通前述第2绝缘膜且露出前述第1接触部的一部份的第2接触孔的工序；以及于前述第2绝缘膜上以及前述第2接触孔内，形成第2导电体膜，并对指定区域进行刻蚀，  
10 形成与前述第1接触部电气连接的指定形状的配线以及第2接触部的工序。

本发明的又一方式，是一种上述有源矩阵型显示装置的制造方法，具备有：在前述第2绝缘膜以及前述第2接触部以及前述配线上，形成将因下层结构所形成的凹凸加以平坦化的平坦化膜的工序；形成贯通  
15 前述平坦化膜且露出前述第2接触部的第3接触孔的工序；以及于前述平坦化膜上，借助于前述第3接触孔，而形成与前述第2接触部电气连接的电极的工序。

本发明的又一方式，是一种上述有源矩阵型显示装置的制造方法，具备有：覆盖前述第1绝缘膜以及前述栅极电极以及前述第1接触部，  
20 而形成第2绝缘膜的工序；形成至少2个至少贯通前述第2绝缘膜且露出前述第1接触部以及前述半导体膜的一部份的第2接触孔的工序；以及于前述第2绝缘膜上以及前述第2接触孔内，形成第2导电体膜，并对指定区域进行刻蚀，形成与前述半导体膜电气连接的指定形状的配线以及第2接触部的工序。

25 本发明的又一方式，是一种上述有源矩阵型显示装置的制造方法，具备有：于前述第2绝缘膜以及前述第2接触部以及前述配线上，形成将因下层结构而形成的凹凸平坦化的平坦化膜的工序；形成贯通前述平坦化膜且露出第2接触部的第3接触孔的工序；以及于前述平坦化膜上，借助于前述第3接触孔，而形成与前述第2接触部电气连接  
30 的电极的工序。

本发明的又一方式，是一种上述有源矩阵型显示装置的制造方法，

具备有：覆盖前述第 1 绝缘膜以及前述栅极电极以及前述第 1 接触部，而形成第 2 绝缘膜的工序；形成贯通前述第 2 绝缘膜且露出前述第 1 接触部的第 2 接触孔的工序；于前述第 2 绝缘膜上以及前述第 2 接触孔内，形成第 2 导电体膜，并对指定区域进行刻蚀，形成与前述第 1 接触部电气连接的指定形状的配线的工序；于前述第 2 绝缘膜以及前述第 2 接触部以及前述配线上，形成将因下层结构而形成的凹凸平坦化的平坦化膜的工序；形成至少贯通前述平坦化膜的第 3 接触孔的工序；以及于前述平坦化膜上，借助于前述第 3 接触孔，而形成与前述半导体膜电气连接的电极的工序。

10 本发明的又一方式，是一种上述有源矩阵型显示装置的制造方法，其中前述第 3 接触孔，贯通前述平坦化膜以及前述第 2 绝缘膜而露出前述第 1 接触部；而前述电极，借助于前述第 3 接触孔，与前述第 1 接触部电气连接。

本发明的又一方式，是一种上述有源矩阵型显示装置的制造方法，具备有：覆盖前述第 1 绝缘膜以及前述栅极电极以及前述第 1 接触部，而形成第 2 绝缘膜的工序；形成贯通前述第 2 绝缘膜且露出前述第 1 接触孔的第 2 接触孔的工序和形成贯通前述第 2 绝缘膜以及前述第 1 绝缘膜且露出前述半导体膜的第 3 接触孔的工序；于前述第 2 绝缘膜上以及前述第 2 接触孔内、前述第 3 接触孔内，形成第 2 导电体膜，并对指定区域进行刻蚀，形成与前述第 1 接触部电气连接的第 2 接触部和与前述半导体膜电气连接的指定形状的配线的工序；于前述第 2 绝缘膜以及前述第 2 接触部以及前述配线上，形成将因下层结构而形成的凹凸平坦化的平坦化膜的工序；形成贯通前述平坦化膜且露出前述第 2 接触部的第 4 接触孔的工序；以及于前述平坦化膜上，借助于前述第 4 接触孔，而形成与前述第 2 接触部电气连接的电极的工序。

本发明的又一方式，是一种薄膜晶体管，具备有：由含有信道区域、源极区域及漏极区域的半导体膜所构成的有源层、栅极绝缘膜、栅极电极、源极电极及漏极电极，其中前述半导体膜，是形成于绝缘基板上，前述栅极绝缘膜是覆盖半导体膜而形成，前述栅极电极形成于前述栅极绝缘膜上的信道对应区域，在前述栅极绝缘膜的源极对应区域及漏极对应区域的至少一方形成第 1 接触孔，而在前述栅极绝缘

膜的源极对应区域及漏极对应区域的至少一方所形成的前述第 1 接触孔中埋入与前述栅极电极同一材料构成，并且与对应的前述半导体膜的源极区域或漏极区域电气连接的第 1 接触部，前述源极电极及前述漏极电极所对应的其中一方或两方，借助于前述第 1 接触部而与对应的前述半导体膜的前述源极区域或漏极区域连接。

本发明的又一方式，是一种上述薄膜晶体管，其中前述第 1 接触孔，分别开口于前述栅极绝缘膜的源极对应区域及漏极对应区域，在前述各别的第 1 接触孔中，埋入前述第 1 接触部，前述源极电极借助于对应的前述第 1 接触部而连接于前述半导体的源极区域，前述漏极电极，借助于对应的前述第 1 接触部而连接于前述半导体膜的漏极区域。

本发明的又一方式，是一种上述薄膜晶体管，其中前述源极电极及前述漏极电极，连接于与第 2 接触孔相对应的前述源极区域与前述漏极区域，该第 2 接触孔各自开口于覆盖前述第 1 接触部及前述栅极电极的层间绝缘膜的前述第 1 接触部对应区域。

本发明的又一方式，是一种上述薄膜晶体管，其中前述第 1 接触孔，开口于前述栅极绝缘膜的源极对应区域及漏极对应区域的其中一方，前述第 1 接触孔中埋入前述第 1 接触部，前述源极电极及前述漏极电极的其中一方，借助于前述第 1 接触部而与前述半导体膜的源极区域或漏极区域连接。

本发明的又一方式，是一种上述薄膜晶体管，其中前述源极电极及前述漏极电极的另一方，借助于第 2 接触孔连接于前述半导体膜的对应的漏极区域或源极区域，该第 2 接触孔开口于覆盖前述栅极电极及前述栅极绝缘膜而形成的层间绝缘膜和前述栅极绝缘膜之间的对应区域，使前述半导体膜表面露出于底部。

本发明的又一方式，是一种上述薄膜晶体管，其中前述栅极电极及前述第 1 接触部，是高熔点金属材料。

本发明的又一方式，是一种采用薄膜晶体管的有源矩阵型显示装置，该薄膜晶体管具有：由含有信道区域、源极区域及漏极区域的半导体膜所构成的有源层、栅极绝缘膜、栅极电极、源极电极及漏极电极，在该有源矩阵型显示装置中，前述半导体膜，形成于绝缘基板上，

前述栅极绝缘膜是覆盖半导体膜而形成，前述栅极电极形成于前述栅极绝缘上的信道对应区域，第 1 接触孔分别形成于前述栅极绝缘膜的源极对应区域及漏极对应区域，第 1 接触部埋入在前述源极对应区域及漏极对应区域所形成的前述第 1 接触孔的至少一方，该第 1 接触部  
5 由与前述栅极电极同一材料构成并且与对应的前述半导体膜的源极区域或漏极区域电气连接，前述源极电极及前述漏极电极的其中一方或两方，借助于前述第 1 接触部而与对应的前述半导体膜的前述源极区域或漏极区域连接。

本发明的又一方式，是一种上述有源矩阵型显示装置，其中前述  
10 第 1 接触孔，分别开口于前述栅极绝缘膜的源极对应区域及漏极对应区域，在前述各别的第 1 接触孔中，埋入前述第 1 接触部，前述源极电极及前述漏极电极连接于与第 2 接触孔相对应的前述源极区域以及前述漏极区域，该第 2 接触孔分别开口于覆盖了前述第 1 接触部及前述栅极电极的层间绝缘膜的前述第 1 接触部对应区域。

本发明的又一方式，是一种上述有源矩阵型显示装置，其是覆盖  
15 前述源极电极及前述漏极电极，而进一步形成平坦化绝缘膜，且在前述平坦化绝缘膜的前述源极电极及前述漏极电极的其中一方的对应区域，形成第 3 接触孔，在前述第 3 接触孔内，所对应的前述源极电极及前述漏极电极的其中之一和像素电极电气连接。

本发明的又一方式，是一种上述有源矩阵型显示装置，其中前述  
20 第 1 接触孔，开口于前述栅极绝缘膜的源极对应区域及漏极对应区域的其中一方，而前述第 1 接触孔中，埋入第 1 接触部，前述源极电极及前述漏极电极的其中一方，借助于前述第 1 接触部，而与对应的前述半导体膜的源极区域或漏极连接。

本发明的又一方式，是一种上述有源矩阵型显示装置，其中前述  
25 源极及前述漏极电极的另一方，借助于第 2 接触孔连接于前述半导体膜的对应漏极区域或源极区域连接，该第 2 接触孔开口于覆盖前述栅极电极及前述栅极绝缘膜所形成的层间绝缘膜和前述栅极绝缘膜间的对应区域，使前述半导体膜表面露出底部。

本发明的又一方式，是一种上述有源矩阵型显示装置，其是覆盖  
30 前述源极电极及前述漏极电极，而进一步形成平坦化绝缘膜，且在前

述平坦化绝缘膜的前述源极电极及前述漏极电极的其中一方的对应区域，形成第3接触孔，在前述第3接触孔内，所对应的前述源极电极及前述漏极电极的其中之一和像素电极电气连接。

5 本发明的又一方式，是一种上述有源矩阵型显示装置，其中前述栅极电极及前述第1接触部，是高熔点金属材料。

根据以上所述的本发明，是将于平坦化膜等较厚的膜上形成的像素电极与用于薄膜晶体管的有源层等的半导体膜之间的电气连接，借助于分别埋入例如分段形成的第1、第2、第3接触孔的第1接触部、第2接触部、第3接触部而得以进行。据此，各接触孔可各别作成较浅、长宽比较小的孔。接触孔愈浅，则开口时，所需刻蚀时间愈短，愈容易形成，并可缩小各接触部的上面及底面的面积，同时可缩小上面与底面的面积差而达高集成化的目的。

此外，用于各接触部的导电体，相对于因接触孔开口而刻蚀去除的膜，其选择比大多情况下大，从而可进行选择性的刻蚀。因此，可通过刻蚀而防止露出接触孔底面的膜的特性恶化。此外，第1接触部是与栅极电极同时形成，第2接触部是与配线同时形成，故不会增加程序，即可达成上述效果。

本发明的又一方式，是一种栅极电极相对于有源层而形成于上层的顶栅极型的晶体管的制造方法，在形成前述有源层之后，且在覆盖该有源层的栅极绝缘膜的形成之前，利用保护层掩膜材有选择地覆盖该有源层的期望区域后，将杂质注入该有源层，并在注入前述杂质后，将前述保护层掩膜去除，覆盖前述有源层而形成栅极绝缘膜，在前述栅极绝缘膜上形成栅极电极。

本发明的又一方式，是一种栅极电极相对于有源层而形成于上层的顶栅极型的晶体管的制造方法，在形成前述有源层之后，并在覆盖该有源层的栅极绝缘膜的形成之前，利用保护层掩膜材有选择地覆盖成为该有源层的信道区域以及低浓度杂质注入区域的区域，而将杂质高浓度注入该有源层，并于高浓度注入前述杂质后，将前述保护层掩膜材去除，覆盖前述有源层而形成栅极绝缘膜，并于前述栅极绝缘膜上形成栅极电极，并于前述栅极电极形成后，以该栅极电极作为掩膜，而以低浓度将杂质注入前述有源层。

本发明的又一方式，是一种上述各顶栅极型晶体管的制造方法，其中前述有源层，是在形成非晶硅层后将该硅层多结晶化而获得的多晶硅层。

本发明的又一方式，是一种上述各顶栅极型晶体管的制造方法，其中以上述高浓度及低浓度注入的杂质，是为 n 型（n 导电型）杂质。

如此，本发明的又一方式，是将杂质注入（注入）工序，至少将高浓度杂质注入工序，在栅极绝缘膜形成工序前实施，而直接将杂质注入至晶体管有源层。因此，可将注入的杂质的加速能源设定成可到达有源层指定深度的这一程度的较低水准。如能将杂质离子的加速能源缩小，则保护层掩膜即使被置于以高浓度注入杂质的环境下，也可防止硬化，并可于注入工序结束后能够可靠地被去除。

此外，有关杂质的低浓度注入，如欲将栅极电极作为掩膜，则针对栅极电极可自动排列形成信道及低浓度杂质区域，并可形成寄生电容较小的晶体管。

本发明的又一方式，是一种导电型相互不同的晶体管的制造方法，该晶体管是栅极电极相对于有源层而形成于上层的顶栅极型的晶体管，在该方法中，形成前述有源层，并覆盖前述有源层而形成栅极绝缘膜，并于前述栅极绝缘膜上形成栅极电极材料层，使该栅极电极材料层在第 1 导电型晶体管的形成区域覆盖其有源层的整个区域，而使该栅极电极材料层在所述第 2 导电型晶体管的形成区域图案化成为栅极电极的形状，并于前述栅极电极材料层的图案化后，将该栅极电极材料层作为掩膜，有选择地将前述第 2 导电型杂质注入前述第 2 导电型晶体管的前述有源层。在此第 2 导电型杂质注入后，将前述第 1 导电型晶体管的形成区域的前述栅极电极材料层，图案化成为栅极电极形状。

如此，在注入其它导电型杂质之时，在利用高能源的杂质注入环境中不会硬化，由于利用去除时不发生剥离残余的自身栅极电极材料层而对有源层区域予以屏蔽，所以在注入高浓度杂质之后，可正确地将用作掩膜的栅极电极材料层，图案化成为所希望的栅极电极的形状。此外，在第 1 及第 2 导电型的任一晶体管，均是将自身栅极电极作为掩膜而注入杂质，因此栅极电极与信道区域将自动排列，故可形成寄

生电容较小的晶体管。

本发明的又一方式，是一种导电型相互不同的晶体管的制造方法，该晶体管是栅极电极相对于有源层而形成于上层的顶栅极型的晶体管，在该方法中，在形成前述有源层之后，且在覆盖前述有源层的栅极绝缘膜形成前，形成保护层掩膜，然后将第 1 导电型杂质注入至前述有源层，该保护层掩膜在第 1 导电型晶体管的形成区域覆盖其有源层的信道形成区域、而且该保护层掩膜在第 2 导电型晶体管的形成区域覆盖形成其有源层的形成区域。在注入第 1 导电型杂质后，去除前述保护层掩膜，形成覆盖前述有源层的栅极绝缘膜。然后，在此栅极绝缘膜上形成栅极电极材料层，使该栅极电极材料层在所述第 1 导电型晶体管的形成区域覆盖其有源层的全区域、而且使该栅极电极材料层在所述第 2 导电型晶体管的形成区域图案化成栅极电极的形状，在所述栅极电极材料层的图案化后，以该栅极电极材料层作为掩膜，将前述第 2 导电型杂质注入至前述有源层。在注入此第 2 导电型杂质后，将前述第 1 导电型晶体管的形成区域的前述栅极电极材料层图案化成栅极电极形状。

本发明的又一方式，是一种导电型相互不同的晶体管的制造方法，该晶体管是栅极电极相对于有源层而形成于上层的顶栅极型的晶体管，在该方法中，在形成前述有源层之后，且在覆盖前述有源层的栅极绝缘膜形成前，形成保护层掩膜，然后将第 1 导电型杂质注入至前述有源层，该保护层掩膜在第 1 导电型晶体管的形成区域覆盖其有源层的信道形成区域及与该信道形成区域邻接所形成的低浓度杂质注入区域、而且该保护层掩膜在第 2 导电型晶体管的形成区域覆盖其有源层的形成区域。在高浓度注入前述第 1 导电型杂质后，去除前述保护层掩膜材，形成覆盖前述有源层的栅极绝缘膜，并于栅极绝缘膜上形成栅极电极材料层，使该栅极电极材料层在所述第 1 导电型晶体管的形成区域覆盖其有源层的整个区域，而且使该栅极电极材料层在所述第 2 导电型晶体管的形成区域图案化成栅极电极的形状。在所述栅极电极的图案化后，以该栅极电极作为掩膜，将前述第 2 导电型杂质以高浓度注入至前述有源层，并将前述第 1 导电型晶体管的形成区域的前述栅极电极材料层图案化成栅极电极形状后，将该栅极电极作为掩

膜，而以低浓度将第 1 导电型杂质注入至前述有源层。

本发明的又一方式，是一种上述各项栅极型晶体管的制造方法，其中前述第 1 导电型杂质是为 n 导电型杂质，前述第 2 导电型杂质是为 p 导电型杂质。

5 如此，通过将第 1 导电型杂质的注入工序、特别是将高浓度注入工序在绝缘膜形成工序前实施，并直接将杂质注入至晶体管有源层，而可将注入杂质的加速能源，设定成可到达有源层指定深度那样程度的较低水准。如能将杂质离子的加速能源减小，则保护层掩膜即使被置于以高浓度注入杂质的环境下，也可防止硬化，并可于注入工序结  
10 束后，能够可靠地去除。此外，在另一导电型杂质（第 2 导电型杂质）的注入工序的时候，先以成为自身的栅极电极的材料层将有源层屏蔽。如上所述如为栅极电极材料层，则即使曝露于高能源下的高浓度杂质注入，也不会发生因硬化而难以剥离之类的问题。因此，由于保护层掩膜不曝露于高能源下的杂质注入，且高能源条件下的杂质注入是采用栅极电极材料层作为屏蔽，故可在不同导电型的晶体管同时形成的  
15 设备中，能够没有掩膜剥离残余地形成各个晶体管。

再者，第 1 导电型杂质的低浓度注入，通过是在将第 2 导电型杂质注入时用作掩膜的栅极电极材料层图案化成预定栅极电极的形状后，将此栅极电极作为掩膜而实施，因而在第 1 导电型晶体管，可相  
20 对于栅极电极而自动排列形成信道及低浓度杂质区域，并可形成寄生电容小的晶体管。

## 附图说明

25 图 1A、1B、1C、1D、1E、1F、1G、1H 及 1I 是现有的有源矩阵型显示装置的 TFT 基板的制造工序剖面图。

图 2A、2B、2C、2D、2E、2F、2G、2H、2I、2J、2K、2L 及 2M 是与本发明的实施方式 1 有关的有源矩阵型显示装置的 TFT 基板的制造工序剖面图。

30 图 3 是与本发明的实施方式 1 有关的有源矩阵型显示装置的剖面图。

图 4 是与本发明的实施方式 2 有关的有源矩阵型显示装置的 TFT

基板的剖面图。

图 5 及图 6 是与本发明的实施方式 3 有关的有源矩阵型显示装置的 TFT 基板的剖面图。

图 7A、7B、7C、7D、7E 是表示有关相关技术的 TFT 的制造工序的图。

图 8 是表示与本发明的实施方式 4 有关的有源矩阵型 LCD 的概略电路结构的图。

图 9A、9B、9C 是表示本发明的实施方式 4 有关的 TFT 的制造工序的图。

图 10A、10B、10C 是表示继图 9C 后与本发明的实施方式 4 有关的 TFT 的制造工序的图。

图 11 及图 12 是表示与本发明的实施方式 4 及 5 有关的 TFT 的有源矩阵型显示装置中的适用示例的图。

图 13A、13B、13C、13D 是说明与形成于同一基板上的 n-ch 型及 p-ch 型 TFT 的相关技术有关的制造工序的图。

图 14A、14B、14C、14D 是表示与本发明的实施方式 5 有关的 TFT 的制造工序的图。

图 15A、15B、15C、15D 是表示继图 14D 后与本发明的实施方式 5 有关的 TFT 的制造工序的图。

20

### 具体实施方式

以下，采用附图说明本发明的最佳实施方式（以下称实施方式）。

（实施方式 1）

图 2A 至图 2M、图 3，显示本发明实施方式 1 中的有源矩阵型显示装置的制造方法。

工序 1（图 2A）：在石英玻璃、无碱玻璃等所构成的绝缘基板 1 上的全面，通过使用了包含  $\text{SH}_4$ （硅甲烷）及  $\text{Si}_2\text{H}_6$ （硅乙烷）的气体的等离子体 CVD（Chemical Vapor Deposition：化学气相沉积）法，形成 a-Si 膜 2。

工序 2（图 2B）：对 a-Si 膜 2 的表面照射激光束 L 进行退火处理，并将 a-Si 熔融再结晶化而形成由 poly-Si 所构成的半导体膜 3。在此，

由于 poly-Si 的粒径随着激光的照射能量-密度及照射次数而变化,故激光束 L 要将其能量-密度最佳化以使粒径成为最大。

工序 3 (图 2C): 在半导体膜 3 上形成感光膜, 并进行曝光。感光膜将已感光的部份去除, 仅留下已被掩膜遮光的部份, 图案化成为岛状。通过刻蚀, 去除未被感光膜覆盖区域内的半导体膜 3, 并将半导体膜 3 及感光膜图案化成岛状。为使剩余的感光膜的两端露出, 进行屏蔽并再度曝光, 将已感光的感光膜的两端部份去除, 形成保护层 4。对于未被保护层 4 覆盖的半导体膜 3, 注入杂质。所注入的杂质, 随着待形成的 TFT 的型态而可选择 P 型或 N 型, 但以下以 N 型为例进行说明。在杂质注入后, 去除保护层 4。半导体膜 3 的被保护层 4 覆盖的部份成为信道区域 3ch。对于注入杂质的半导体膜 3, 则利用 RTA (Rapid Thermal Anneal: 急速热退火) 法进行退火。通过利用 RTA 法的退火, 杂质活性化而可形成源极区域 3s 及漏极区域 3d。

工序 4 (图 2D): 于绝缘基板 1 及半导体膜 3 上, 采用等离子体 CVD 法, 以形成温度 350°C、膜厚 1000Å、由 SiO<sub>2</sub> 膜所构成的栅极绝缘膜 5, 以作为第 1 绝缘膜。

工序 5 (图 2E): 采用光刻法及刻蚀, 形成贯通栅极绝缘膜 5 且使源极区域 3s 及漏极区域 3d 露出的第 1 接触孔 6 (6s 及 6d)。

工序 6 (图 2F): 在栅极绝缘膜 5 及第 1 接触孔 6 上, 通过溅射法以 2000Å 形成由铬 (Cr)、钼 (Mo) 等高熔点金属所构成的金属膜, 以作为第 1 导电体膜。其次, 采用光刻法及刻蚀, 在与栅极绝缘膜 5 的信道区域 3ch 对应重叠的区域形成栅极电极 7g, 同时于第 1 接触孔 6 (6s 及 6d) 处形成由与栅极电极 7g 同一材料构成的第 1 接触部 7s 及 7d。

工序 7 (图 2G): 在栅极绝缘膜 5 与栅极电极 7g 及第 1 接触部 7s 及 7d 的上面, 采用等离子体 CVD 法, 形成由 SiO<sub>2</sub> 膜 8a 及 SiN 膜 8b 所构成的层间绝缘膜 8。此外, SiO<sub>2</sub> 膜的厚度为 2000Å、SiN 膜的厚度为 1000 Å。

工序 8 (图 2H): 采用光刻法及刻蚀, 形成贯通层间绝缘膜 8 且使第 1 接触部 7s、7d 露出的第 2 接触孔 9 (9s 及 9d)。此时, 第 1 接触部 7s 及 7d 是金属, 故相对于 SiO<sub>2</sub> 膜及 SiN 膜, 可以十分大的比例进

行选择性的刻蚀，且第1接触部7s及7d可发挥刻蚀挡止件的功能。因此，可充分确保刻蚀层间绝缘膜8的时间，而完全去除第2接触孔9内的层间绝缘膜8。

5 工序9（图2I）：在层间绝缘膜8及第2接触孔9上，通过溅射法以3000Å形成由铝（Al）等所构成的金属膜，以作为第2导电体膜，并采用光刻法及刻蚀，于第2接触孔9s处形成第2接触部13（此处为源极电极13s），同时，于第2接触孔9d处，形成向纸面垂直方向延伸的第2接触部13（配线、此处为漏极电极兼用配线13d）。

10 工序10（图2J）：在层间绝缘膜8及第2接触部13（13s、13d）的上面，形成由有机类材料所构成的平坦化绝缘膜26，并填埋起因于第2接触部13的凹凸而将表面平坦化。

15 工序11（图2K）：再者，采用光刻法及刻蚀，形成贯通平坦化膜26且使第2接触部13s露出的第3接触孔11。此时由于位于接触孔11底面的第2接触部13s是金属，所以选择比大，几乎不会有使底面破坏的情况发生。此外，因仅将平坦化膜26开口即可，故可将第3接触孔11形成的更浅，接触孔的上端与底面的面积差（口径差异）变得更小。

20 工序12（图2L）：在平坦化膜26及第3接触孔11的上面，形成透明导电体膜，例如ITO。然后，采用光刻法及刻蚀，在第3接触孔11处，形成与第2接触部13s电气连接且扩展于平坦化膜26上的像素电极40。

工序13（图2M）：在平坦化膜26及像素电极40之上，形成由聚酰亚胺、SiO<sub>2</sub>膜等所构成，并使液晶取向的取向膜14。

25 如此一来，具备TFT的有源矩阵型液晶显示装置的单侧的TFT基板即完成。

30 工序14（图3）：在作为绝缘基板而由石英玻璃或无碱玻璃所构成的对向基板41上，依序将由ITO膜等透明电极所构成的对向电极43，形成于基板全面后，于其上形成由聚酰亚胺、SiO<sub>2</sub>膜等构成，使液晶取向的取向膜45。然后，在与上述TFT基板相对向的位置配置对向基板41，并在TFT基板与对向基板41之间的周边部份，采用具有粘结性的树脂所构成的密封剂47将两基板粘结，并于两基板间填充液晶35，

从而完成有源矩阵型的液晶显示装置。

在本实施方式中，与像素电极（第3接触部）40及半导体膜3的电气接触结构，是借助于第1接触部7s、第2接触部13（此处为源极电极13s）、甚至第3接触部40的分段结构。与配线13（此处为漏极电极兼用）及半导体膜3的电气接触结构，是借助于第1接触部7d、第2接触部13d的分段结构。由于形成如此的分段结构，而各接触孔可作浅而无须作深，而且埋入此接触孔的接触部也无须作厚。

例如，在工序4中，在形成第1接触孔6时开口的仅有栅极绝缘膜5，其厚度为1000Å。因此，即使将实施刻蚀的时间，设定成十分长的时间以使栅极绝缘膜5贯通，第1接触孔6的长宽比仍较小，而可将深度的误差控制在较小，也不会使半导体膜3的表面特性大幅度的恶化。此外，第1接触部7s及7d，是由于与栅极电极7g同时采用同一材料而形成，故不会有增加工序数的情况。此外，在工序8，形成第2接触孔9时仅将层间绝缘膜8开口，其厚度是为3000Å。由于第2接触部13s是与配线13d同时形成，故在此也不会有增加工序数的情况。

因此，在本实施方式中，各接触孔6、9、11，不会有增加全体的工序数情况，与现有的接触孔370相较，可作成长宽比较小的浅孔，而且可将各接触部的上面的面积缩成较现有更小，而能使集成化度提高。

（实施方式2）

其次，对实施方式2进行说明。图4是利用与实施方式2有关的制造过程而形成的TFT基板的剖面图。与实施方式1相同具有从图2A至图2G所示的7个工序，省略其说明。

工序9：采用光刻法及刻蚀，形成贯通层间绝缘膜且使第1接触部7d露出的第2接触孔9（9d）。

工序9：在层间绝缘膜8及第2接触孔的上面，通过溅射法以3000Å形成金属膜以作为第2导电体膜，采用光刻法及刻蚀，于第2接触孔形成向纸面垂直方向延伸的配线13d。

工序10：覆盖层间绝缘膜8及配线13d，而形成平坦化绝缘膜26。

工序11：采用光刻法及刻蚀，贯通平坦化膜26及层间绝缘膜8，并形成第3接触孔以使第1接触部7s露出于底部。

工序 12: 在平坦化膜 26 及第 3 接触孔的上形成透明导电体膜。然后, 采用光刻法及刻蚀, 于第 3 接触孔处, 形成与第 1 接触部 7s 电气连接且扩展于平坦化膜 26 上的像素电极 40。

如此一来, 如图 4 所示, 也可直接连接像素电极 40 与第 1 接触部 7s。但是, 如上述实施方式 1 所示, 如在层间绝缘膜 8 将第 2 接触孔 9 开口, 并在此形成第 2 接触部时, 则在工序 10, 第 3 接触孔无须使层间绝缘膜贯通, 而可仅以其膜厚 3000Å 而浅浅形成, 故可确实获得本发明的效果。

此外, 在实施方式 1 及实施方式 2 中, 第 1 接触部, 是平均每一个 TFT 形成有 2 个 (7s、7d) 以作为源极区域使用及漏极区域使用, 但本发明并不以此为限, 第 1 接触部, 也可只是源极区域使用或漏极区域使用的任意 1 个即可, 当然, 也可多于 2 个。

#### (实施方式 3)

其次, 针对平均每一 TFT 的第 1 接触部数量与上述实施方式 1 及实施方式 2 相异的实施方式 3 进行说明。图 5 及图 6 是利用与第 3 实施方式相关的制造过程而形成的 TFT 基板的剖面图。与实施方式 1 相同具有从图 2A 至图 2D 所示的 4 个工序, 故省略其说明。

工序 5: 采用光刻法及刻蚀, 贯通图 2E 中栅极绝缘膜 5, 仅形成第 1 接触孔 6s, 以使源极区域 3s 的一部份露出。

工序 6: 在栅极绝缘膜 5 及第 1 接触孔上, 通过溅射法以 2000Å 形成金属膜以作为第 1 导电体膜, 并采用光刻法及刻蚀, 在与栅极绝缘膜 5 的信道区域 3ch 对应重叠的区域形成栅极电极 7g, 并同时于第 1 接触孔 6s 处, 形成由与栅极电极 7g 相同材料所构成的第 1 接触部 7s (参照图 2F)。

工序 7: 在栅极绝缘膜 5 及第 1 接触部 7s 上面, 采用等离子体 CVD 法, 形成由 SiO<sub>2</sub> 膜 8a 及 SiN 膜 8b 的层积结构而形成的层间绝缘膜 8。

工序 8: 采用光刻法及刻蚀, 贯通层间绝缘膜 8, 并形成第 2 接触孔 9s, 以仅使图 2H 的第 1 接触部 7s 露出。又同时在层间绝缘膜 8 的与半导体膜 3 的漏极区域 3d 对应的区域, 形成贯通层间绝缘膜 8 的第 2 接触孔 9d<sub>1</sub>。再者, 采用光刻法及刻蚀, 贯通栅极绝缘膜 5, 并形成第 2 接触孔 9d<sub>2</sub> (参照图 5), 以使半导体膜 3 的漏极区域 3d 露出。

工序 9: 在层间绝缘膜 8 及第 2 接触孔 9s 及第 2 接触孔 9d<sub>1</sub>、9d<sub>2</sub> 之上, 通过溅射法以 3000Å 形成金属膜以作为第 2 导电体膜, 并如图 5 所示形成第 2 接触部 13s 以埋入第 2 接触孔 9s, 并形成向纸面垂直方向延伸的配线 13d, 以埋入第 2 接触孔 9d<sub>1</sub>、9d<sub>2</sub>。

5 工序 10: 在层间绝缘膜 8 与第 2 接触部 13s 及配线 13d 上面, 形成平坦化膜 26。

工序 11: 采用光刻法及刻蚀, 贯通平坦化膜 26, 并形成第 3 接触孔 11, 以使第 2 接触部 13s 露出。

10 工序 12: 在平坦化膜 26 及第 3 接触孔 11 上面形成透明导电体膜。然后, 采用光刻法及刻蚀, 填埋第 3 接触孔 11, 而且, 形成与第 2 接触部 7s 接触而扩展于平坦化膜 26 上的像素电极 40。

如此一来, 如图 5 所示, 可在第 2 接触孔 9d<sub>1</sub>、9d<sub>2</sub> 直接将配线 13d 与漏极区域 3d 连接。此外, 也可如与图 5 相反的图 6 所示, 在第 2 接触孔 9d<sub>1</sub>、9d<sub>2</sub> 直将第 2 接触部 13s 与源极区域 3s 连接。

15 另外, 在以上各实施方式中, 虽以有源矩阵型液晶显示装置为例, 但本发明也可在使用了其它 TFT 的有源矩阵型液晶显示装置中实施。举例而言, 例如也可适用于用来使如 EL 显示装置一样的其它类型的有源矩阵型液晶显示装置的 EL 元件驱动的 TFT 等。再者, 在上述显示装置以外, 也可应用于影像传感器及指纹传感器。

20 此外, 在以上实施方式 1~3 中, 虽以源极区域借助于接触部而与像素电极 40 连接为例进行了说明, 但对于漏极区域借助于接触部而与像素电极 40 连接的情况, 也可通过同样的分段接触结构的采用, 而以长宽比较小的接触孔实现可靠的接触。再者, 也有利用电路结构而与像素电极不直接接触的 TFT, 通过这样的 TFT, 第 2 接触部 13, 分别  
25 在此状态下被用作为源极电极或配线 (13s), 漏极电极或配线 (13d)。

(实施方式 4)

其次针对本发明的实施方式 4 进行说明。在上述实施方式 1 中, 如图 2C 及图 2D 所示, 杂质向半导体膜 3 内的注入, 是在栅极绝缘膜 5 形成前进行。在实施方式 4 中也如实施方式 1 所示, 是在形成栅极绝  
30 缘膜前, 而实施对 TFT 的有源层注入杂质, 尤其是进行高浓度的杂质注入处理。由于在栅极绝缘膜的形成前先行注入杂质, 故不用贯通栅

极绝缘膜而使杂质到达其下层的有源层所需的极高的杂质加速能源，而防止作为杂质注入掩膜的保护层的过度硬化。

作为形成于有源矩阵型液晶显示装置的各像素的开关元件者而言，上述所示 TFT 是众所周知，此 TFT 之中，在有源层内采用 poly-Si 的所谓的 poly-SiTFT，与采用非晶硅（a-Si）于有源层的情况相比，更能实现高导电率故反应性极佳，且可利用栅极电极在有源层内自动排列形成信道、源极及漏极区域，故可缩小元件面积，再者，易于构成 CMOS（Complementary Metal Oxide Semiconductor）电路。因此，用于高精密度的显示器用的开关极佳，而且于形成像素用 TFT 的基板上，可形成由同样的 TFT 构成的 CMOS 电路，并可内置驱动显示部的驱动电路。

poly-Si，与单结晶 Si 不同，在半导体膜中（结晶内及结晶晶界）有许多缺陷。其中一方面，注入磷（P）等作为杂质的 n 信道（n-ch）TFT，在用于驱动电路的 CMOS 电路方面的同时，大多用于像素用 TFT。在用于像素用 TFT 的 n-ch 型 TFT 中，因成为载子阱的 poly-Si 中的上述缺陷而引起的漏电电流将造成问题。此外，以低温工艺形成的 poly-SiTFT，虽然具有可在廉价的玻璃基板上形成、且可在低成本下实现大型化的极佳特征，但是由于是在低温形成栅极绝缘膜，故不会形成如热氧化膜那样精密的膜。因此，对于在周边驱动电路上所用的 n-ch 型 TFT 来说，具有因热载流子（电子）而引起 TFT 的特性恶化的问题。鉴于以上所示的理由，低温 poly-SiTFT，在有关 n-ch 型方面，采用在漏极区域与信道区域之间具有低浓度的杂质注入区域的 LDD（Lightly Doped Drain）结构。

图 7A 至图 7E，表示利用由 LCD 的像素 TFT 中采用的 LDD 结构的 poly-Si 构成 TFT 的相关技术而进行的制造过程。首先，在玻璃基板 10 上形成 a-Si 层 12，并利用激光退火使该 a-Si 层 12 多结晶化。然后，将所得的 poly-Si 层图案化成为各 TFT 的有源层 140 的形状，并覆盖此有源层 140 形成 SiO<sub>2</sub> 等的栅极绝缘膜 160（图 7A）。

在栅极绝缘膜 160 形成后，形成栅极电极材料，并如图 7B 所示，图案化成栅极电极 180 的形状。再者，在将保护层 200 形成于基板全体后，以光刻法方式选择性的残留此保护层 200，使该保护层 200 形成

如图 7C 所示只覆盖比栅极电极 180 的电极长（图的横方向）长指定距离的样子。在驱动电路内置于同一基板的情况下，也利用该保护层 200 对 CMOS 电路的 p 信道 TFT 的有源层进行覆盖。使保留下的保护层 200 作为掩膜，通过栅极绝缘膜 160，以高浓度将磷等杂质注入（注入）至有源层 140。借此，在有源层 140 未被掩膜屏蔽的区域中，以高浓度注入 n 型杂质，其后构成源极区域及漏极区域 140s、140d 的高浓度杂质区域（N<sup>+</sup>区域）得以形成。

其次，如图 7D 所示，去除作为掩膜的保护层 200，并以露出的栅极电极 180 作为掩膜，将磷等杂质以低浓度注入至有源层 140。借此，在有源层 140 的栅极电极 180 正下方未注入杂质的原始区域的两侧，在与最初高浓度杂质注入过程中所形成的 N<sup>+</sup>区域之间，形成低浓度杂质（LD）区域（N<sup>-</sup>区域）。此外，注入至有源层 140 的杂质，以后利用退火处理而加以活性化。

活性化处理后，形成层间绝缘膜 22 以覆盖含有栅极电极 180 的基板的全体，并形成接触孔以贯通层间绝缘膜 22 及栅极绝缘膜 160 的源极、漏极区域 140s、140d 的对应区域，并形成电极、配线材料并图案化，在上述接触孔，形成与源极区域 140s 连接的源极电极 30s，以及与漏极区域 140d 连接的漏极电极 30d。

通过以上的办法，可获得 LDD 结构的顶栅极型 TFT，可获得一方面流过高导通电流，另一方面切断电流少，且特性一致的 TFT。

通过以上的办法，在制造 LDD 结构的 TFT 时，在形成高浓度杂质区域（140s、140d）时，如图 7C 所示，为使杂质通过栅极绝缘膜 160 而到达有源层 140，而须以高能源加速杂质。

但是，以高加速注入高浓度的杂质的时候，由于杂质也被大量且高加速地注入在用作掩膜的保护层 200 上，因而通常所用的保护树脂将硬化。如保护层 200 硬化，就会在为了形成下一个 LD 区域而去除保护层 200 的时候，易于发生剥离残余。如欲降低此剥离残余，将需要剥离时间，而且如发生剥离残余，则会对设备的特性、信赖度及成品产率均将造成不良影响。

针对此点，根据以下所说明的本实施方式 4 的办法，可防止杂质注入时的掩膜层的硬化。

与本发明实施方式 4 有关的 TFT，是在有源矩阵型显示装置（例如 LCD 及有机电致发光显示装置）中作为用于各像素的开关元件的像素 TFT，或是具有与此开关元件在同一基板上同时形成的驱动电路的 CMOS 结构的 TFT，甚或是可采用于此两方。

5 图 8，是在有源矩阵型 LCD 的像素开关元件及驱动电路元件采用了与本实施方式有关的 TFT 的情况下，概略显示 LCD 的电路结构。LCD，通过在 1 对基板间封入液晶而形成，在其中一方基板的显示部，将多个像素配置成矩阵状，在各个像素内配置单独的像素电极，作为与此像素电极连接的像素开关的 poly-Si，是具有用于有源层的双栅极型的 TFT 1、对此 TFT 1 提供数据信号的数据线 DL2、具有选择 TFT 1 10 以使其动作的栅极线 GL3。且在基板的显示部的外侧，配置有 H 驱动线路及 V 驱动线路作为驱动电路。两驱动线路均具备在有源层中采用与像素部 TFT 相同 poly-Si 的 TFT，H 驱动线路按照规定时序对各数据线输出数据信号，V 驱动线路则对栅极线 GL3 依次输出栅极信号。在 15 LCD 的另一方基板上形成有对向电极，在该对向电极和各像素电极之间构成有像素电容（液晶电容）CLC。此外对各像素来说，在 1 显示期间中为了补助来自于液晶电容 CLC 的电荷保持，对于像素 TFT 1，以与液晶电容 CLC 并列方式设有补助电容 Cs。

作为其次，针对如上述图 8 所示作为像素开关元件及驱动电路元件而用的与本实施方式有关的 TFT 的制造过程，使用图 9A~图 9C 以及图 10A~图 10C 进行说明。另外，这些图中所示的 TFT，是形成于有源矩阵型 LCD 的驱动线路区域内的 CMOS 结构的 TFT，以及形成于像素区域内的像素 TFT。

25 在玻璃基板 10 上形成有由未图示的例如 SiNx 膜与 SiO<sub>2</sub> 膜所构成的缓冲层，且在此缓冲层的上面形成 a-Si 层 12，并对此 a-Si 层 12 照射受激准分子激光束以多结晶化退火。将通过退火所得的 poly-Si 层依次图案化成各 TFT 的有源层 14 的形状（图 9A）。

其次虽以相关技术，覆盖有源层 14 而形成 SiO<sub>2</sub> 等的栅极绝缘膜，但在本实施方式中，在栅极绝缘膜成膜之前，形成如图 9B 所示那样覆盖有源层 14 上面一定区域的保护层 20，以作为杂质注入时的掩膜。此 30 保护层 20，例如是酚醛树脂类的阳极保护层。在基板全体，配置保护

材以直接覆盖有源层 14，通过光保护膜有选择地保留保护层，从而作成如图 9B 所示的图案。在本实施方式中，此保护层 20，其后覆盖 n 信道 TFT 的信道、成为 LD (Lightly Doped) 区域的区域，然后为 p 信道 TFT 的有源层 14 整个区域。

- 5           在形成保护层 20 并图案化后，以此保护层 20 为屏蔽，对有源层 14 直接以高浓度注入磷等的 n 导电型杂质，其后再形成构成源极及漏极区域 14s、14d 的高浓度杂质区域 ( $N^+$ 区域)。注入的时候，在有源层 14 的未被保护层 20 覆盖的区域，该有源层 14 的表面露出，而杂质可直接打入此露出的有源层 14。因此，施加于杂质的加速能源，仅需  
10 能到达有源层 14 的指定深度的大小即可，与现有的通过栅极绝缘膜而使之注入的情况相比，可以非常小。

- 在将保护层 20 作为掩膜并以高浓度将杂质注入至有源层 14 之后，利用例如灰化与湿式剥离而去除此保护层 20。如上所述，虽以保护层 20 为掩膜而以高浓度注入杂质，但在本实施方式中，可将打入杂质的  
15 加速能源控制在最小限度，且如为此类条件的注入工序，则保护层 20 的去除，将可确实作到不会有保护残余。此外，在针对 n 信道 TFT 而以低浓度的 p 导电型杂质注入至该信道时，在此保护层 20 形成前实施注入。

- 由有源层 14 表面去除保护层 20 之后，如图 9C 所示覆盖有源层  
20 14 以形成栅极绝缘膜 16，其后，如图 10A 所示在栅极绝缘膜 16 上形成栅极电极材料，并图案化成为所希望的栅极电极 18 的形状。

- 在栅极电极 18 图案化后，如图 10B 所示，将此栅极电极 18 作为掩膜，通过栅极绝缘膜 16 对有源层 14 进行磷等的 n 导电型杂质的低浓度注入。这样，仅在未被栅极电极 18 覆盖且在高浓度注入时由保护层 20 所覆盖的区域，有选择地进行低浓度的杂质注入。也就是，在栅  
25 极电极正下方区域 (信道区域) 的两外侧，在与有源层 14 的  $N^+$ 区域 (14s、14d) 之间，相对于栅极电极 18 而自动排列形成低浓度杂质 (LD) 区域 ( $N^-$ 区域)。

- 如此，在本实施方式中，由于 LD 区域是相对于栅极电极 18 而自  
30 动排列形成于与该信道区域之间的境界，故对于考虑了掩膜保护层的位置偏移的配置空间，与现有的 LDDTFT 的制造方法比较，无须特别

扩大。以栅极电极正下方的信道区域一端为基准的  $N^-$  区域的幅度 (LD 距离), 是随着保护层 20 与栅极电极 18 之间的位置偏移而变动。但是, 例如在图 10B, 通过栅极电极位置向源极侧偏移, 信道区域与源极区域 14s 间的 LD 距离, 虽比目标小, 但相对地信道区域与漏极区域 14d 间的 LD 距离变得比目标大。因此, 源极-漏极距离, 即使发生位置偏移也不变动, 而在源极侧与漏极侧取消导通电流的变动, 其结果 TFT 的导通电流不发生变化。此外, 由于 LD 距离是预先考虑掩膜的位置偏移而设置, 故对切断电流也即漏电电流来说, 即使发生掩膜偏移, 也能控制在非常小的范围, 从而能充分实现 TFT 的信赖度。

10 在此, 即使在形成于同一基板上的 p-ch 型 TFT 的有源层中, 存在磷离子 (N 导电型), 如其为少量, 则不会对电气特性造成很大的影响, 故在如图 10B 所示磷离子的低浓度注入工序中, 没有特将此 p-ch 型 TFT 屏蔽而进行注入。但是, 也可以保护层覆盖此 p-ch 型 TFT 的形成区域而实施。如果, 以保护层覆盖 p-ch 型 TFT 的形成区域, 而进行磷离子的低浓度注入时, 则此保护层, 将会曝露于加速而通过了栅极绝缘膜 16 的离子中。但是, 即使给予高的加速能源而其浓度仍低, 则最后对于保护层造成的损伤 (硬化) 会非常地小。因此, 与高浓度区域 14s、14d 的形成时所用掩膜保护层具有同等的剥离性, 也即可毫无残余地将此保护层去除。

20 在将 n 导电型杂质注入到 n-ch 型 TFT 的有源层 14 之后, 虽未予以图标, 屏蔽 n-ch 型 TFT 的形成区域, 而将硼 (B) 等的 p 导电型杂质注入到 p-ch 型 TFT 的有源层 14。对于此 p 导电型杂质的注入, 当然也以上述所示在栅极绝缘膜 16 的形成前实施较为理想。但是, 例如, 如果进行质量分析而注入离子, 也即采用离子注入技术而注入硼离子, 25 则该硼离子较磷离子小, 而注入硼离子的保护层掩膜所受损伤程度较为轻微。也就是, 与以高浓度且高能源注入磷离子的保护层掩膜相比, 以高浓度且高能源注入硼离子的保护层掩膜较不易于硬化。此外在硼离子注入之后, 更不须要注入杂质之类的工序, 因此即使发生些许程度的保护硬化, 对后序工序造成的影响也非常小。从而, 可如上所述  
30 屏蔽 n-ch 型 TFT 的形成区域, 而将硼 (B) 等 p 导电型杂质注入到 p-ch 型 TFT 的有源层 14。

如以上所示在所需区域全部注入杂质之后，即进行用来将此注入后的杂质予以活性化的活性化退火处理。杂质的活性化处理后，形成层间绝缘膜 22 以覆盖含有栅极电极 18 的基板全体，并形成接触孔以贯通层间绝缘膜 22 与栅极绝缘膜 16 的源极、漏极区域 14s、14d 的对应区域，此外，形成电极材料并图案化，在上述接触孔形成与源极区域 14s 连接的源极电极 30s、与漏极区域 14d 连接的漏极电极 30d 或是与此一体的信号配线。

在形成源极电极 30s 及漏极电极 30d 后，如图 11 所示，覆盖基板全面以形成由丙烯酸树脂等树脂材料所构成的平坦化绝缘膜 26，并于该源极电极 30s 的对应区域形成接触孔。然后，由于形成例如 ITO 等的像素电极材料，并图案化成各像素的形状而获得像素电极 40。最后形成取向膜 28 以覆盖基板全面，第 1 基板即完成。第 1 基板完成后，将此第 1 基板与形成共通电极及取向膜等后的第 2 基板贴合，并于基板之间封入液晶，LCD 单元即完成。

此外，上述的 TFT，可采用使用有机 EL 元件作为显示元件的有源矩阵型 OLED 的各像素 TFT 以及驱动电路 TFT。此外，如图 12 所示，有机 EL 元件 50 的结构，是在阳极 52 和由 Al 等金属材料构成的阴极 56 之间，形成至少具有采用了有机化合物的发光层的有机层 54（例如正孔传输层 / 发光层 / 电子传输层的集成体）。

在适用于 OLED 时，TFT 可用与图 9A~图 9C 及图 10A~图 10C 同样的工序形成，其后与图 11 同样，覆盖含有各 TFT 的源极电极 30s 及漏极电极 30d 的基板全面，并形成由丙烯酸树脂等树脂材料所构成的平坦化绝缘膜 26。其次，在对有机 EL 元件 50 供给电流的 TFT 的源极或是漏极电极的对应区域处形成接触孔，并由于形成例如 ITO 等的透明导电性材料以作为阳极材料，通过图案化成各像素的形状，而获得各像素单独的阳极（像素电极）52。如此一来，与本发明实施方式 4 有关的 TFT，也可适用于有源矩阵型的 OLED。

其次，针对杂质的注入条件与构成掩膜的保护层的剥离性的关系，说明其中的一例。针对 poly-Si 有源层 14，当采用 5%浓度的  $\text{PH}_3$  为材料而进行离子注入时，如现有那样通过栅极绝缘膜 16 而形成  $\text{N}^+$  区域时（以下显示为穿透注入），有必要以 90keV 的加速能源将打进侧的磷

离子浓度设定为  $6 \times 10^{14} \text{cm}^{-2}$  左右。与此相对，象本实施方式 4 那样不通过栅极绝缘膜 16 而直接注入有源层 14 的情况下（以下表示为直接注入），加速能源最大在 15keV 也就足够了，而且打进侧的磷离子浓度在  $2 \times 10^{14} \text{cm}^{-2}$  左右也足够。

- 5        在曝露于现有的穿透注入的条件（90keV， $6 \times 10^{14} \text{cm}^{-2}$ ）下的保护层（图 7C），即使经灰化及湿式剥离也无法完全去除而产生保护层残余。针对此点，曝露于如实施方式 4 所示的直接注入的条件（15keV， $2 \times 10^{14} \text{cm}^{-2}$ ）下的保护层（图 9B），可经灰化及湿式剥离而不残余保护层地可靠去除。此外，以直接注入方式，由于加速能源也小，使用的
- 10        离子浓度也低，因此也可降低制造成本。

此外，如上所述，对于 LD 区域的低浓度杂质注入，本实施方式 4 和现有相同，虽是通过栅极绝缘膜 16 而注入到有源层 14，但其注入条件是加速能源 90keV、P 离子浓度  $3 \times 10^{13} \text{cm}^{-2}$  左右，与高浓度穿透注入比较，加速能源虽是同等，但注入离子浓度小一个数量级。因此，

15        相对于将曝露于此种离子注入环境下的例如驱动电路的 p-ch 型 TFT 形成区域予以覆盖的保护层等，该保护层具有与  $\text{N}^+$  区域的直接注入情况大约同等的剥离性。

在实施方式 4 中，由于在栅极绝缘膜 16 形成前实施高浓度杂质注入，故栅极绝缘膜 16 的  $\text{N}^+$  对应区域与  $\text{N}^-$  对应区域曝露于离子注入的环境变为相同。在上述直接注入条件下，虽然有源层 14 的  $\text{N}^+$  区域中的注入磷浓度为  $1 \times 10^{19} \text{cm}^{-3}$  左右，有源层 14 的  $\text{N}^-$ （LD）区域中的注入磷浓度为  $1 \times 10^{18} \text{cm}^{-3}$  左右，但另一方面，隔着栅极绝缘膜 16 的注入处理因仅是低浓度注入，故栅极绝缘膜 16 中的磷浓度，不论在栅极绝缘膜 16 的  $\text{N}^+$  对应区域或  $\text{N}^-$  对应区域，两方区域均为  $1 \times 10^{17} \text{cm}^{-3}$  左右。

25        栅极绝缘膜中的磷浓度，在约为图 10B 所示低浓度注入的时候，是在膜中停止的磷离子决定。另一方面，如现有那样隔着栅极绝缘膜 16 而实施高浓度注入时，因栅极绝缘膜 16 的  $\text{N}^+$  对应区域，是曝露于高浓度注入及低浓度注入的两方，故其较栅极绝缘膜 16 的  $\text{N}^-$  对应区域中的膜中磷浓度更高，例如栅极绝缘膜 16 的  $\text{N}^+$  对应区域的磷浓度将达  $1 \times 10^{18} \text{cm}^{-3}$  程度以上。这样，虽然现有的栅极绝缘膜 16，其膜中的

30        磷浓度高，并担忧 TFT 的耐压的降低等、损害的降低等，但依据实施

方式 4 的方法可防止此问题。

(实施方式 5)

实施方式 5, 与实施方式 4 同样, 防止高浓度杂质注入时注入掩膜层硬化。再者, 在实施方式 5 中, 在采用 poly-SiTFT 而于同一基板上形成 n-ch 型 TFT 与 p-ch 型 TFT 的两方的设备中, 不仅 n-ch 型 TFT, 对于 p-ch 型 TFT, 也已提出方法可防止使离子注入时所用掩膜难以去除的硬化产生。此外, 虽然参照以下附图针对实施方式 5 进行说明, 但对于与在上述实施方式 4 等中既已说明的结构相对应的部份, 标以相同符号。

poly-SiTFT, 易于构成如上所述 CMOS 电路。因此, poly-SiTFT, 除高精密度显示器用的像素开关 (像素用 TFT) 之外, 在与此像素用 TFT 相同的基板上, 形成由同样 TFT 构成的 CMOS 电路, 运用于内置驱动显示部的驱动电路的显示装置等。

图 13A 至图 13D, 表示与如此驱动内置型 LCD 用的像素 TFT 以及驱动电路中的 CMOS 结构的 TFT 的技术有关的制造过程。首先, 于玻璃基板上形成 a-Si 层, 并利用激光退火使此 a-Si 层多结晶化。其次, 将所得的 poly-Si 层图案化成为各 TFT 的有源层 140 的形状, 并覆盖此有源层 140 形成 SiO<sub>2</sub> 等的栅极绝缘膜 160。在栅极绝缘膜 160 形成后, 形成栅极电极材料, 并如图 13A 所示, 图案化成栅极电极 180 的形状。

n-ch 型 TFT, 在用于驱动电路的 CMOS 电路的同时, 为像素用 TFT 采用。接着, 如实施方式 4 中所说明, 在驱动电路的 n-ch 型 TFT 中, 以低温而成膜的栅极绝缘膜, 须防止导因于膜的精密性低的热载流子 (电子) 所造成的 TFT 特性恶化, 而在像素用的 n-ch 型 TFT 中, 则须降低导因于 poly-Si 中许多结晶缺陷的漏电电流。因此, 采用了低温 poly-Si 的 n-ch 型 TFT, 采用在漏极区域与信道区域之间具有低浓度杂质区域的 LDD (Lightly Doped Drain) 结构。

在有关 n-ch 型 TFT 方面, 为作成此种 LDD 结构, 故在栅极电极 180 的图案化后, 用保护层 200 仅覆盖以 n-ch 型 TFT 区域的栅极电极 180 的电极长 (图 13B 横方向) 为一定距离的长度, 或者, 为使 p-ch 型 TFT 覆盖全区域而选择性地留下形成掩膜的保护层 200n。之后, 通过栅极绝缘膜 160 而以高浓度注入磷等 n 导电型的杂质。这样, 未被

保护层 200n 所覆盖的区域，即，以后构成源极区域 140s、漏极区域 140d 的高浓度杂质区域（N<sup>+</sup>区域）就得以形成。

其次，去除此保护层 200n，并以图 13C 所示露出的栅极电极 180 为掩膜，通过栅极绝缘膜 160 而以低浓度向有源层 140 注入 n 导电型杂质。这样，在有源层 140 的栅极电极 180 的正下方的原始区域与 N<sup>+</sup>区域之间形成低浓度杂质（LD）区域（N<sup>-</sup>）。

在对 n-ch 型 TFT 的有源层 140 注入杂质后，接下来，如图 13D 所示，形成选择性覆盖此 n-ch 型 TFT 的形成区域的保护层 200p。然后，以栅极电极 180 作为掩膜，通过栅极绝缘膜 160 而以高浓度向 p-ch 型 TFT 的有源层 140 注入硼等 p 导电型杂质。

在向 n-ch 型 TFT、p-ch 型 TFT 的各源层 140 分别注入杂质之后，形成层间绝缘膜 22 以覆盖含有栅极电极 180 的基板全面，并进行杂质的活性化退火。此外，在必要区域形成接触孔以贯通上述层间绝缘膜 22 与栅极绝缘膜 160，形成电极、配线材料以图案化，在上述接触孔上，形成与源极区域 140s 连接的源极电极、与漏极区域 140d 连接的漏极电极。

经以上所述工序，可在同一基板上分别形成顶栅极型的 n-ch 型以及 p-ch 型 TFT。

在向 n-ch 型及 p-ch 型 TFT 的有源层 140 分别以高浓度注入杂质时，以高能源加速杂质，而使杂质通过栅极绝缘膜 160 而到达有源层 140。但是，由于曝露于如此高加速的高浓度的杂质下，在通常用作保护层 200（200n、200p）的保护层树脂中，将产生过度的硬化。

此种保护层 200 的硬化，如图 13B 所示，不仅发生于在向 n-ch 型 TFT 的源极区域 140s、漏极区域 140d 进行高浓度杂质注入时所形成的保护层 200n，而且如图 13D 所示，也发生于在向 p-ch 型 TFT 的源极区域 140s、漏极区域 140d 以高浓度杂质注入 p 导电型杂质时，覆盖 n-ch 型 TFT 而形成的保护层 200p。

如上所示在同一基板上形成 n-ch 型 TFT 与 p-ch 型 TFT 的两方的装置中，尤其是在用以形成一方的导电型的 TFT 的高浓度杂质注入时，由于利用保护层掩膜而覆盖其它的导电型的 TFT，故现有的制造方法，无法避免上述那样由于保护层的硬化而造成的不良影响。

针对此点，在第 5 实施方式中，制造导电型不同的多个种类的顶栅极型的晶体管时，以高能源注入与本身导电型不同的杂质的时候，是不将组成本身的栅极电极的层予以图案化，而用作为覆盖有源层的掩膜层。通过此种方法，可确实防止杂质注入的时候，作为掩膜的层的硬化，而本实施方式 5，作为有源矩阵型显示装置的各像素 TFT、以及与此像素 TFT 在同一基板同时形成的驱动电路的 CMOS TFT 等的制造方法非常优越。另外，在有源矩阵型 LCD 的像素开关元件以及驱动电路元件中，采用了与实施方式 5 有关的 TFT 情况下的 LCD 的大概电路结构是如上述图 8 所示的通路。

10 以下，针对用作与实施方式 5 有关的 TFT 及驱动电路用 TFT 的多个导电型的 TFT 的制作方法，参照图 14A 至图 14D 及图 15A 至图 15D 进行说明。此外，图 14A 至图 15D 所示 TFT，是于有源矩阵型 LCD 的驱动线路区域内形成的 CMOS 结构的 TFT、和于像素区域内形成的像素 TFT。

15 在玻璃基板 10 上形成虽未图示但例如由  $\text{SiN}_x$  膜与  $\text{SiO}_2$  膜构成的缓冲层，并在此缓冲层上形成 a-Si 层 12，对此 a-Si 层 12 照射受激准分子激光束而多结晶化退火。将通过退火所得到的 poly-Si 层再接着图案化成各 TFT 的有源层 14 的形状（图 14A）。

在相关技术中，接下来，虽覆盖有源层 14 形成  $\text{SiO}_2$  等的栅极绝缘膜，但在实施方式 5 中，于栅极绝缘膜成膜之前，形成如图 14B 所示那样覆盖有源层 14 上的指定区域的保护层 20，作为杂质注入时的掩膜。此保护层 20，是例如为酚醛清漆树脂类的阳极保护层。在基板全体，配置保护层材以直接覆盖有源层 14，并利用光保护层有选择地残余保护层，从而作成如图 14B 所示的图案。在本实施方式中，此保护层 20，其后则覆盖 n 信道 TFT 的信道、以及与此信道邻接而形成 LD (Lightly Doped) 区域的区域，然后则为 p 信道 TFT 的有源层 14 全区域。

25 在形成保护层 20 并图案化之后，将此保护层 20 作为掩膜，并向有源层 14 直接地以高浓度注入磷等 n 导电型杂质，其后形成构成源极及漏极区域 14s、14d 的高浓度杂质区域 ( $\text{N}^-$ )。注入时，对于此有源层 14 的未被有源层 14 的保护层 20 覆盖的区域，该有源层的表面露出，而杂质，是直接被打进此露出的有源层 14。因此，如在实施方式 4 也

已说明那样，对杂质施加的加速能源，仅需到达有源层 14 的指定深度的大小即可，与通过栅极绝缘膜而注入的情况相比可以大幅缩小。

在将保护层 20 作为掩膜而以高浓度将杂质注入至有源层 14 之后，此保护层 20，是例如以灰化与湿式剥离而去除。如上述所示虽以保护层 20 作为掩膜而以高浓度注入杂质，但在实施方式 5 中，可将打入杂质的加速能源控制在最小限度，若利用此种条件下的注入过程，则保护层 20 的去除，将可毫无残余保护层而可靠地实施。此外，在对有关 n 信道 TFT，以低浓度的 p 导电型杂质对其信道进行注入时，在此保护层 20 的形成前实施注入。

10 由有源层 14 表面去除保护层 20 之后，如图 14C 所示那样覆盖有源层 14 并通过 CVD 形成栅极绝缘膜。

在栅极绝缘膜 16 之上，形成由 Mo 及 Cr 等的高熔点金属所构成的电极材料层。如图 14D 所示，此栅极电极材料层，在 n-ch 型 TFT 的形成区域中，为使其发挥作为掩膜层  $18_{MA}$  的功能而覆盖该 TFT 的至少 15 有源层 14 全区域，并且，在 p-ch 型 TFT 的形成区域，图案化成栅极电极  $18_p$  的形状（栅极电极第 1 图案化）。另外，在所有的像素 TFT 以 n-ch 型 TFT 构成时，虽可将配置成岛状的各像素 TFT，作成掩膜层  $18_{MA}$  单独覆盖的形状，但如为共同覆盖像素区域全区域而将上述掩膜层  $18_{MA}$  图案化，将可缓和掩膜层  $18_{MA}$  的图案化精度，而从简化制造工艺 20 的观点而言是较为理想。

在栅极电极第 1 图案化后，如图 15A 所示，将 n-ch 型 TFT 形成区域的掩膜层  $18_{MA}$  与 p-ch 型 TFT 形成区域的栅极电极  $18_p$  作为掩膜，对着有源层 14 而通过栅极绝缘膜 16 进行硼等 p 导电型杂质的高效注入。据此，在 p-ch 型 TFT 的形成区域，p 导电型杂质选择性地注入至 25 有源层 14 中，并相对于栅极电极  $18_p$ ，而自动排列地形成构成源极及漏极区域 14s、14d 的 p 导电型杂质注入区域 ( $P^+$ )。另外，在 n-ch 型 TFT 的形成区域，其有源层 14 通过被由栅极电极材料层而构成的掩膜层  $18_{MA}$  覆盖，从而防止 p 导电型杂质被注入。

在 p 导电型杂质注入之后，接下来，将覆盖 n-ch 型 TFT 的有源层 30 14 的掩膜层（栅极电极材料层） $18_{MA}$ ，图案化成 n-ch 型 TFT 的栅极电极的形状（栅极第 2 图案化）。具体而言，例如是于基板全面形成感光

型保护层，并通过光刻法，如图 15B 所示，在覆盖 n-ch 型 TFT 的形成区域的掩膜层  $18_{MA}$  之中，仅在待去除的区域（栅极电极与配线以外的区域）残余保护层 19。然后，相对此保护层 19，而采用具有选择刻蚀性的刻蚀气体进行干式刻蚀，并选择性地去除保护层 19 及为保护层 19 所覆盖的掩膜层  $18_{MA}$ 。通过此种刻蚀处理，在 n-ch 型 TFT 的形成区域，也形成所希望图案的栅极电极 18n。另外，由于尚有配置的空间，故此保护层 19，实际上形成得比待去除掩膜层  $18_{MA}$  的区域稍大。因此，在栅极电极第 2 图案化后，如图 15C 所示，栅极绝缘膜 16 的表面在 n-ch 型 TFT 的有源层 14 的周围区域，些许受到刻蚀。另外，也可通过湿式刻蚀而对掩膜层  $18_{MA}$  进行刻蚀，形成所希望的栅极电极 18n 的图案。

在 n-ch 型 TFT 的栅极电极 18n 的图案化终了后，接下来，如图 15D 所示，以栅极电极 18n 作为掩膜，进行 n 导电型杂质的低浓度注入。通过此注入处理，在 n-ch 型 TFT 区域，仅在未由栅极电极 18n 覆盖、而且在 n 导电型杂质的高浓度注入时被保护层 20 覆盖的区域，有选择性地注入低浓度的杂质。也就是，在栅极电极正下方区域（信道区域）的两外侧，与有源层 14 的  $N^+$  区域（14s、14d）之间，相对于栅极电极 18n 而自动排列地形成低浓度杂质（LD）区域（ $N^-$  区域）。如此，有关 LD 区域，因相对于栅极电极 18n 而可自动排列地形成与其信道区域间的境界，故与相关技术的制造方法比较，无须将掩膜保护层的位置偏移考虑在内的配置空间作得特别大。以栅极电极 18n 正下方的信道区域端作为基准的  $N^-$  区域的幅度（LD 距离），是由于保护层 20 与栅极电极 18n 间的位置偏移而变动，例如在图 15D 中，当栅极电极 18n 的形成位置向源极侧偏移时，信道区域与源极区域 14s 间的 LD 距离，将较目标变得更小。但是，信道区域与漏极区域 14d 间的 LD 距离也随之较目标变得更大。因此，源极至漏极距离即使位置偏移发生也不会变动，而导通电流的变动在源极侧与漏极侧取消，其结果 TFT 的导通电流不发生变化。此外，LD 距离是由于预先考虑屏蔽的位置偏移而设定，故切断电流，也即相对于漏电电流而言，即使发生屏蔽偏移也可控制在极小的范围，并可充分实现确保 TFT 的信赖度。

另外，在 p-ch 型 TFT 的有源层中，即使 n 导电型杂质（例如磷离子）存在，如为少量，则对电气特性并不造成大的影响。因此在本第 5

实施方式中，在 n 导电型杂质的低浓度注入的时候，如图 15C 所示，未特别将 p-ch 型 TFT 屏蔽而进行注入。当然，也可以保护层将此 p-ch 型 TFT 的形成区域覆盖而实施。此保护层，虽是曝露于加速成可通过栅极绝缘膜 16 的离子，但由于注入浓度低，且保护层所受损伤（硬化）较小，故可可靠地去除保护层。

如以上方式，在 n-ch 型 TFT、p-ch 型 TFT 的必要区域分别注入杂质之后，形成层间绝缘膜 22 以覆盖包含栅极电极 18n、18p 的基板全体。其次，进行活性化退火处理，以使所注入的杂质活性化。另外，在本实施方式中，将包含在栅极绝缘膜 16 及层间绝缘膜 22 的氢导入至 poly-Si 有源层，从而与此活性化退火处理同时进行目的在于终止有源层中的结晶缺陷的氢化退火。

在完成这些退火处理后，形成接触孔以贯通层间绝缘膜 22 与栅极绝缘膜 16 的源极、漏极区域 14s、14d 的对应区域，此外，形成 Al 等电极材料而图案化，并如图 15D 所示，在上述接触孔中，形成与源极区域 14s 连接的源极电极 30s、与漏极区域 14d 连接的漏极电极 30d 或是与这些形成一体的信号配线。

在源极电极 30s 及漏极电极 30d 形成后，如上述图 11 所示，覆盖基板全面而形成丙烯酸树脂等树脂材料所构成的平坦化绝缘膜 26，并于源极电极 30s 的对应区域形成接触孔。其次，例如形成 ITO 等的像素电极，并以图案化成各像素的形状而获得像素电极 40。最后，形成取向膜 28 以覆盖基板全面，LCD 的第 1 基板即完成。第 1 基板完成后，将此第 1 基板与形成共通电极及取向膜等后的第 2 基板贴合，并将液晶封入于基板间，LCD 单元即完成。

此外，与第 5 实施方式有关的 TFT，与第 4 实施方式同样，是也可用于采用有机 EL 元件来作为显示元件的有源矩阵型 OLED 的各像素 TFT 及驱动电路 TFT。另外，如上述图 12 所示，此有机 EL 元件 50，形成如下的结构：至少具有有机发光层的有机层 54 形成在阳极 52 与阴极 56 之间。

适用于此种 OLED 的 TFT，按照与本第 5 实施方式的图 14A 至图 15D 同样的顺序形成即可，之后，与图 11 同样，覆盖含有各 TFT 的源极电极 30s 及漏极电极 30d 的基板全面而形成由丙烯酸树脂等树脂材料

所构成的平坦化绝缘膜 26。其次,在对有机 EL 元件 50 供给电流的 TFT 的源极或漏极电极的对应区域形成接触孔,并形成例如 ITO 等的透明导电性材料以作为阳极材料,并按照各像素的形状图案化而获得各像素单独的阳极(像素电极) 52。

5 其次,针对杂质的注入条件与组成掩膜的保护层的剥离性的关系进行说明。对着 poly-Si 有源层 14,采用 5%浓度的  $\text{PH}_3$  作为材料而注入离子时,现有的穿透注入条件,已在第 4 实施方式中说明,须以 90keV 左右的加速能源,将打入侧的磷离子浓度设定在  $6 \times 10^{14} \text{cm}^{-2}$  左右。相对于此,若是不通过第 5 实施方式中也采用的栅极绝缘膜 16 而直接  
10 注入,加速能源最大仅需 15keV 即足够,且在打入侧的磷离子浓度仅需  $2 \times 10^{14} \text{cm}^{-2}$  左右即足够。

此外,如第 4 实施方式中的说明,曝露于穿透注入(90keV,  $6 \times 10^{14} \text{cm}^{-2}$ )的保护层(图 13B),即使经过灰化及湿式剥离也无法完全去除而产生保护层残余。但是,在第 5 实施方式中,在 n 导电型杂质的高浓度注入的时候也采用直接注入(15keV,  $2 \times 10^{14} \text{cm}^{-2}$ ),而保护层  
15 (图 14B),经由灰化及湿式剥离而可毫无残余将保护层可靠地去除。

再者,在第 5 实施方式中,在 p 导电型杂质的高浓度注入的时候,通过栅极电极材料层(18<sub>MA</sub>)而将 n-ch 型 TFT 区域予以屏蔽(图 15A)。在此 p 导电型杂质注入的时候,此 p 导电型杂质,为通过既已形成的  
20 栅极绝缘膜 16 而以高的能源加速。但是,即使放在此种穿透注入条件下,与保护层材料不同的栅极电极材料层(18<sub>MA</sub>)不会硬化,在其后的图案化处理的时候,不会产生剥离残余等。由此点也可确认,在利用高能源注入与自身导电型不同的杂质的时候,由于采用自身组成栅极电极的层作为将有源层覆盖于图案的掩膜,而可简单消除掩膜剥离  
25 残余的问题。

另外,对于 LD 区域的低浓度杂质注入,在第 5 实施方式中,是以通过栅极绝缘膜 16 之类的注入条件下进行,例如加速能源 90keV、P 离子浓度  $3 \times 10^{13} \text{cm}^{-2}$  左右。与高浓度穿透注入比较,加速能源虽同等,但注入离子浓度少一个数量级。因此,在此 n 导电型杂质的低浓度注  
30 入的时候,即使以保护层掩膜将驱动电路的 p-ch 型 TFT 形成区域覆盖,也仅是如上述所示曝露于低浓度的杂质,而此种保护层的硬化少,可

达成充分的剥离性。此外，在第5实施方式中，如图15C所示，在形成LD区域所需的低浓度杂质注入工序之前，已在p-ch型TFT的源极漏极区域实施p导电型杂质的高浓度注入（图15A），相对于此种p导电型源极与漏极区域，即使以低浓度注入n导电型杂质，也不至于对TFT特性造成很大影响。因此，在n导电型杂质的低浓度注入的时候，对于p-ch型TFT，也与n-ch型TFT同样，源极漏极区域不特别屏蔽，而将已图案化的栅极电极18p、18n，分别相对于信道区域而作为屏蔽。因此，依据第5实施方式的方法，在低浓度杂质注入的时候，无须形成多少有硬化可能的保护层掩膜。

而在第5实施方式中，也与第4实施方式同样，由于在栅极绝缘膜16形成前实施高浓度杂质注入，故栅极绝缘膜16的 $N^+$ 对应区域与 $N^-$ 对应区域，仅曝露于磷的低浓度注入，而曝露于离子注入的环境是为同样。因此，在有源层14，相对于注入该 $N^+$ 区域的磷浓度为 $1 \times 10^{19} \text{cm}^{-3}$ 左右、注入 $N^-$ 区域的磷浓度为 $1 \times 10^{18} \text{cm}^{-3}$ 左右，在栅极绝缘膜16中的磷浓度，不论在 $N^+$ 对应区域 $N^-$ 对应区域，两区域均为 $1 \times 10^{17} \text{cm}^{-3}$ 左右。因此，膜中的磷源较高的栅极绝缘膜16中，虽然有TFT的耐压下降等、受损害的缺点等担心之处，但在第5实施方式中可防止此种不良发生。另外，n-ch型TFT形成区域，在p导电型杂质注入时因以栅极电极材料层屏蔽，故在n-ch型TFT的栅极绝缘膜16中不含p导电型杂质。相反地，p-ch型TFT的栅极绝缘膜16，如上述所示当曝露于n导电型杂质的低浓度注入时，则在膜中将少量存在p导电型杂质与n导电型杂质。

### 发明效果

依据本发明，形成于平坦化膜等厚膜上的像素电极与用于TFT有源层等的半导体膜之间的电气连接，是通过分段所形成的多个接触孔以及分别填埋它们的接触材料而完成的。因此，借此，即使上述像素电极与半导体膜间的层间距离很大，各接触孔也可各自形成为长宽比较小的孔，且接触孔可以短时间的刻蚀形成，且可缩小各接触部的上面及底面的面积，又可缩小上面与底面的面积差而达到高集成化的目的。

此外，用于各接触部的导体，相对于因形成于其上的接触孔开

口而刻蚀去除的膜，其选择比经常较大，从而可进行选择性的刻蚀。因此，而可通过刻蚀防止露出于孔底面的膜的特性恶化。此外，由于第1接触部与栅极电极同时形成，而且，第2接触部与配线同时形成，因此不会增加工序数，可形成信赖度高的接触部。

- 5 此外，依据本发明的其它方式，可防止杂质注入时所用的保护层掩膜的剥离残余。又因可对栅极电极自动排列形成信道区域及低浓度杂质区域，故可有效地制造小面积且信赖度高的晶体管。

依据本发明的另一方式，在同一基板上形成 CMOS 结构等、导电型不同的 2 种类的 TFT 时，其中一方的导电型杂质的注入在栅极绝缘膜形成前实施，而另一方的导电型杂质注入在栅极绝缘膜形成后，也  
10 以采用栅极电极材料作为掩膜，而对于不同导电型杂质的任一注入处理，也可完全地消除注入掩膜材料的剥离残余的问题。此外，可对栅极电极自动排列形成信道区域及低浓度杂质区域，并可有效地制造小面积且信赖度高的晶体管。

- 15 产业上的利用可能性

此发明是适用于例如彩色液晶显示装置、彩色 EL 显示装置等的彩色显示装置、及其它半导体元件的 TFT。

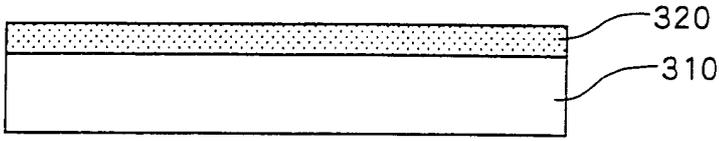


图 1A

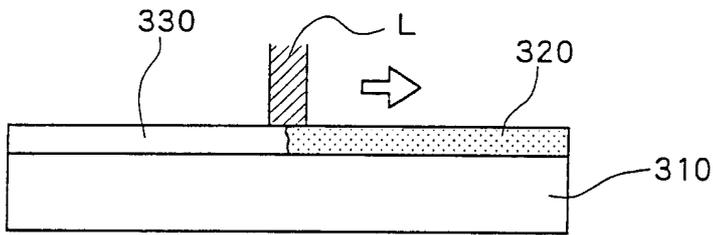


图 1B

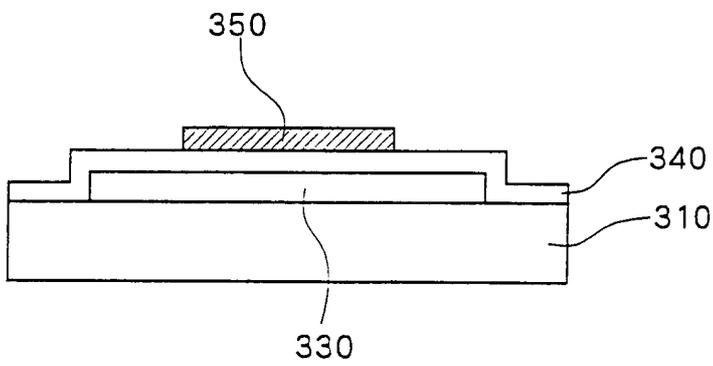


图 1C

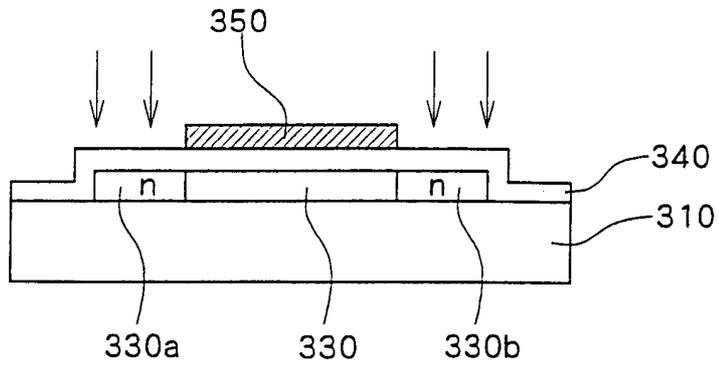


图 1D

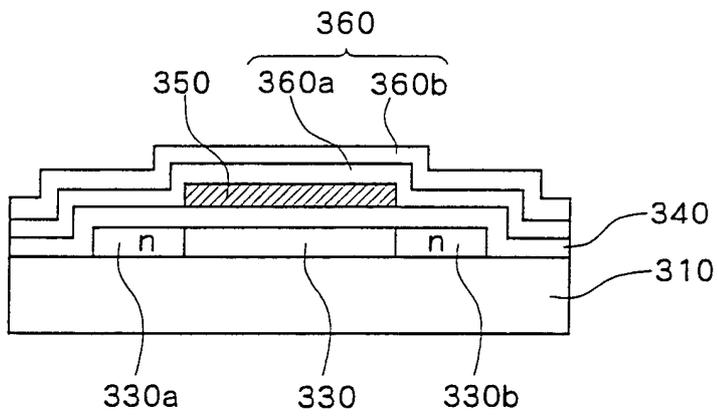


图 1E

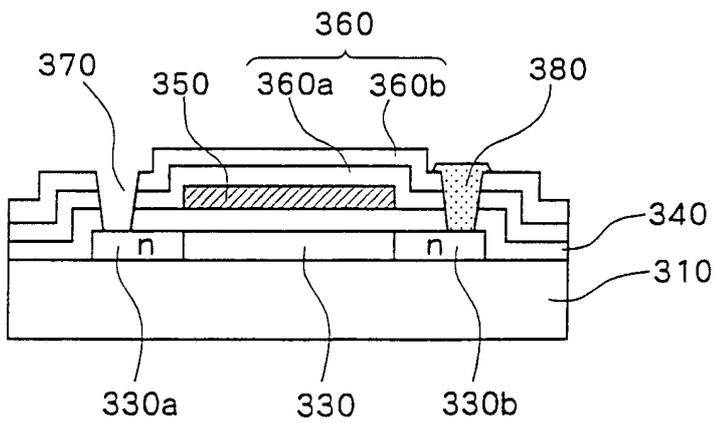
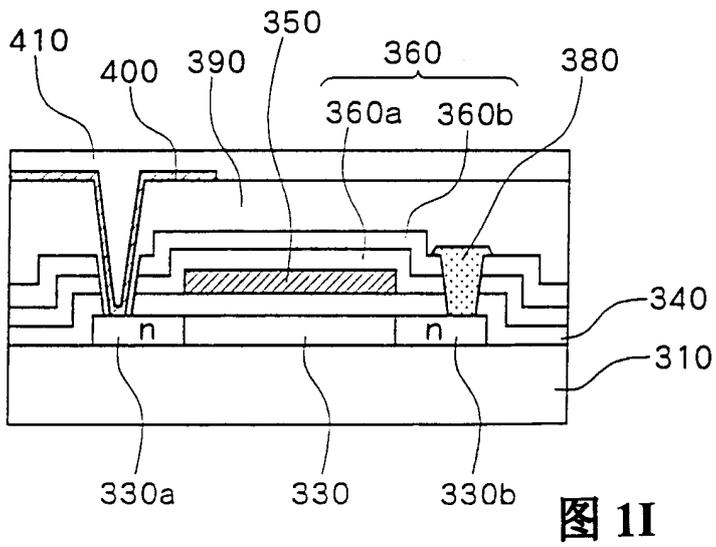
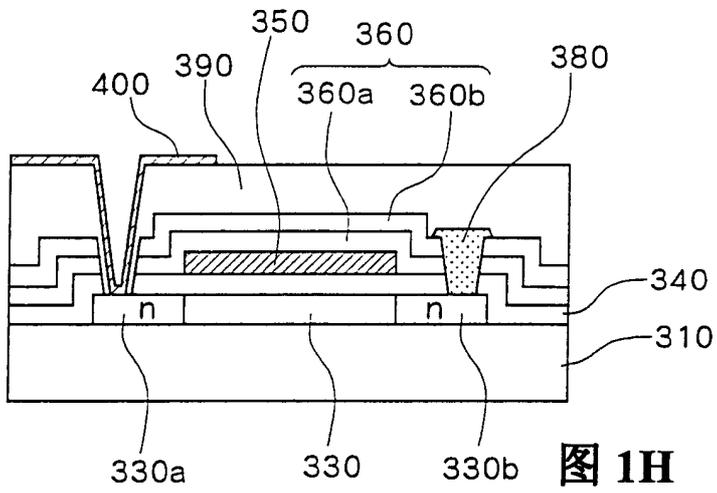
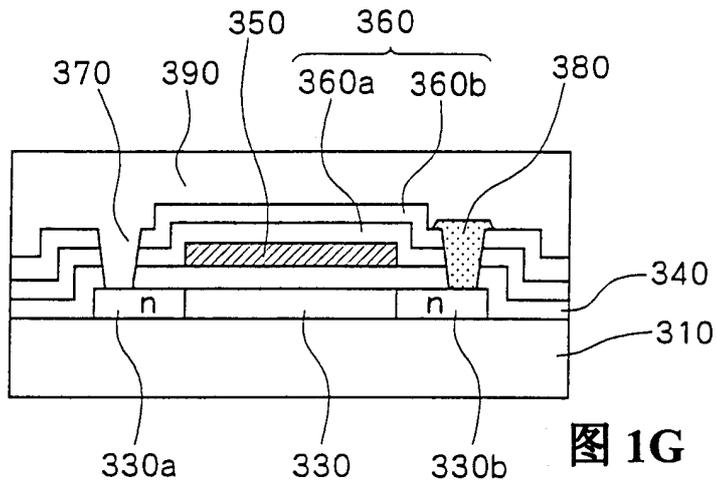


图 1F



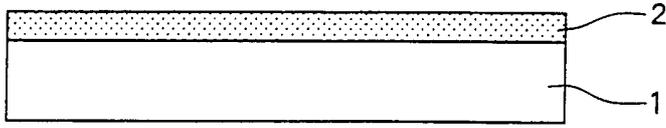


图 2A

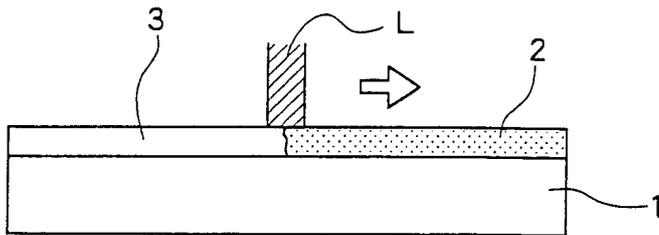


图 2B

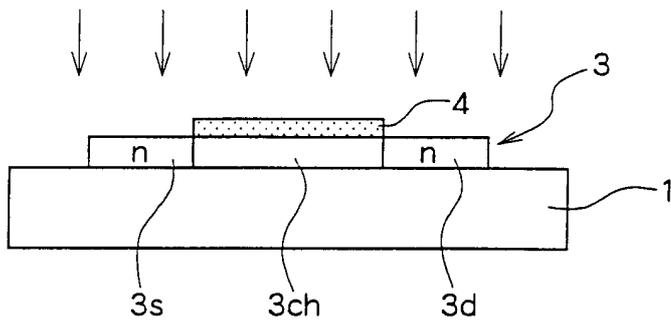


图 2C

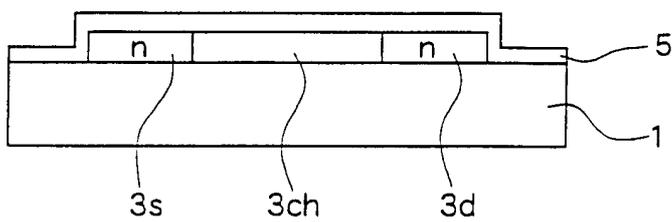


图 2D

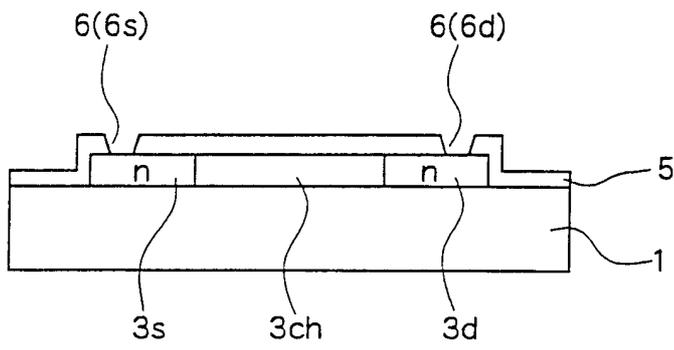


图 2E

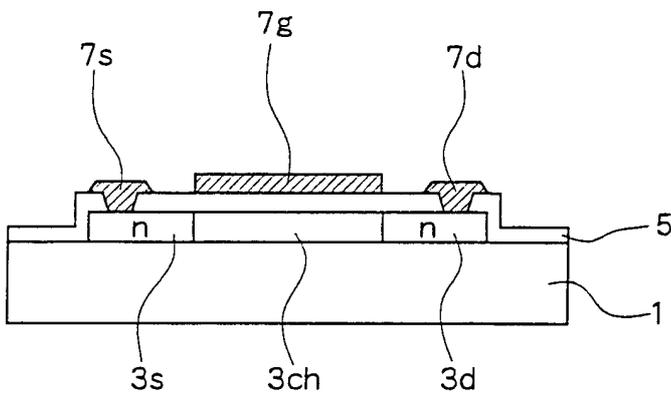


图 2F

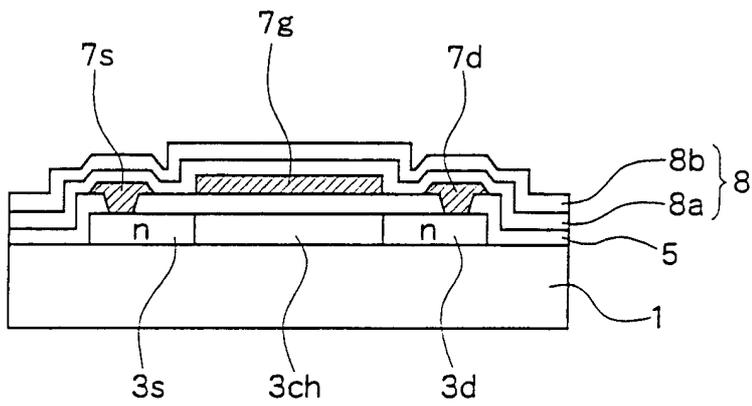


图 2G

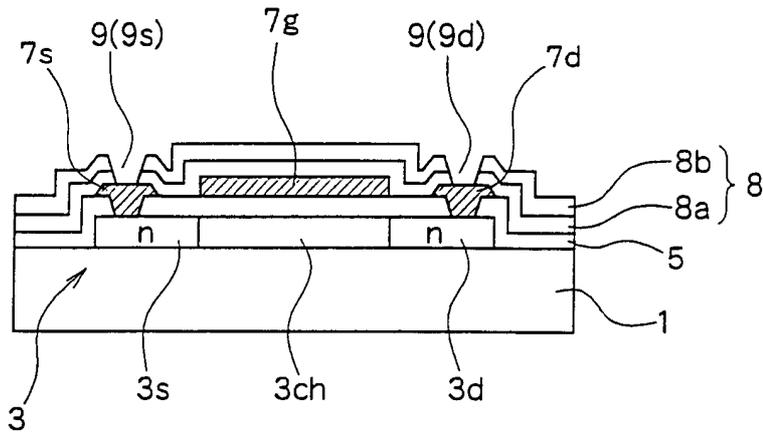


图 2H

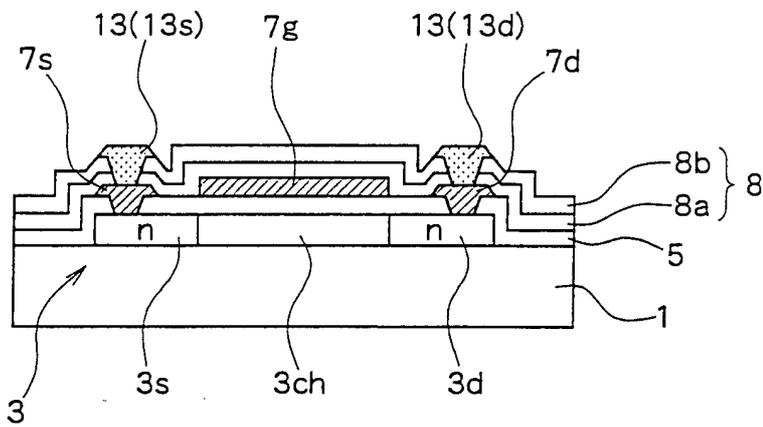


图 2I

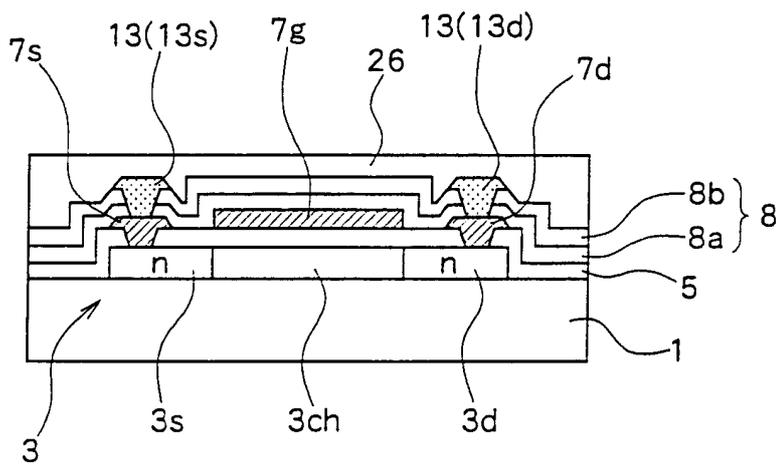


图 2J

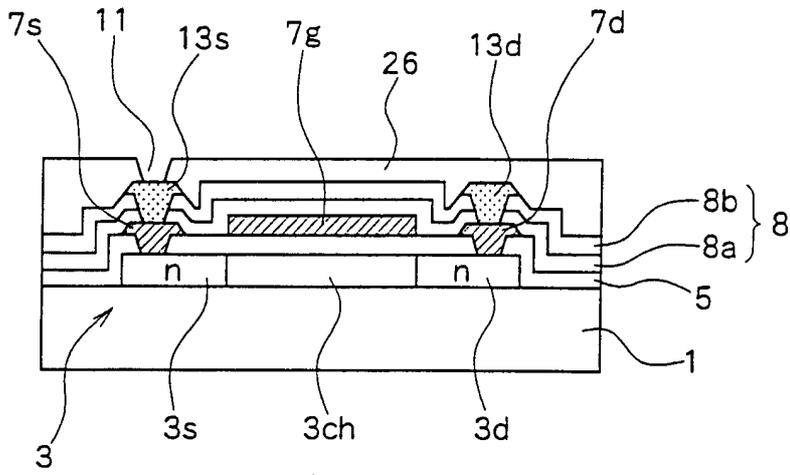


图 2K

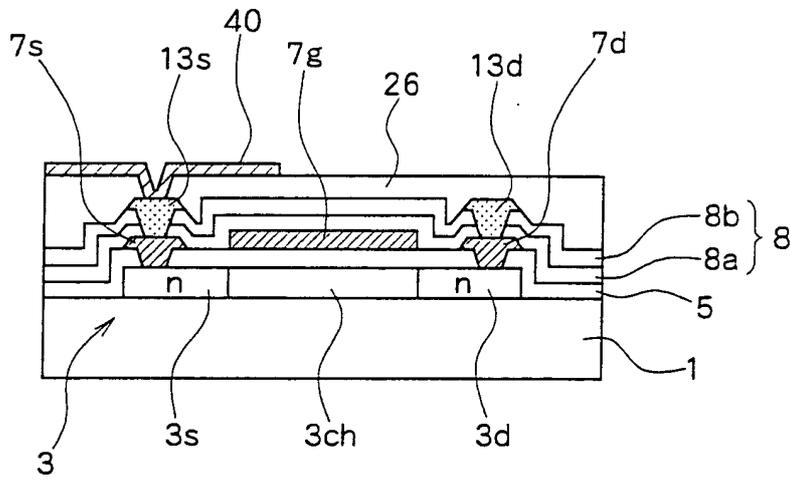


图 2L

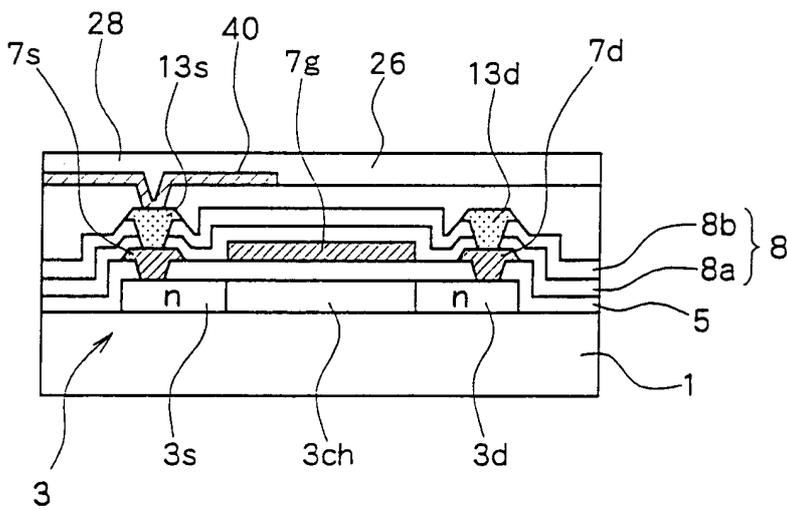


图 2M

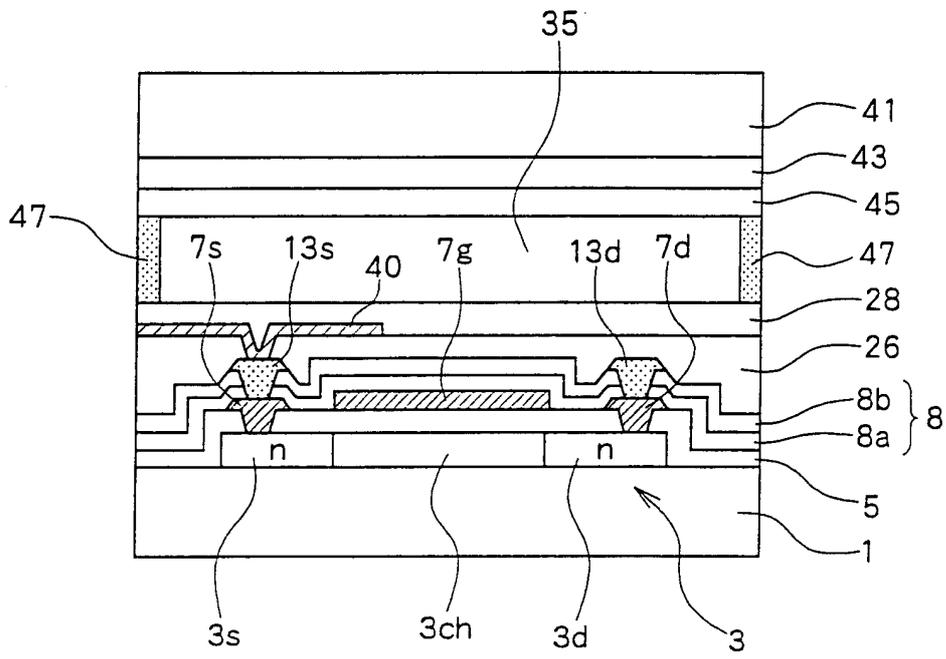


图 3

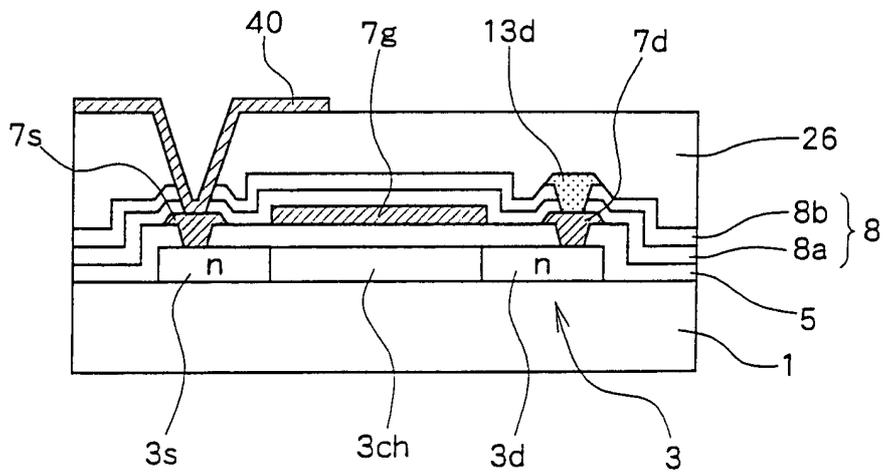


图 4

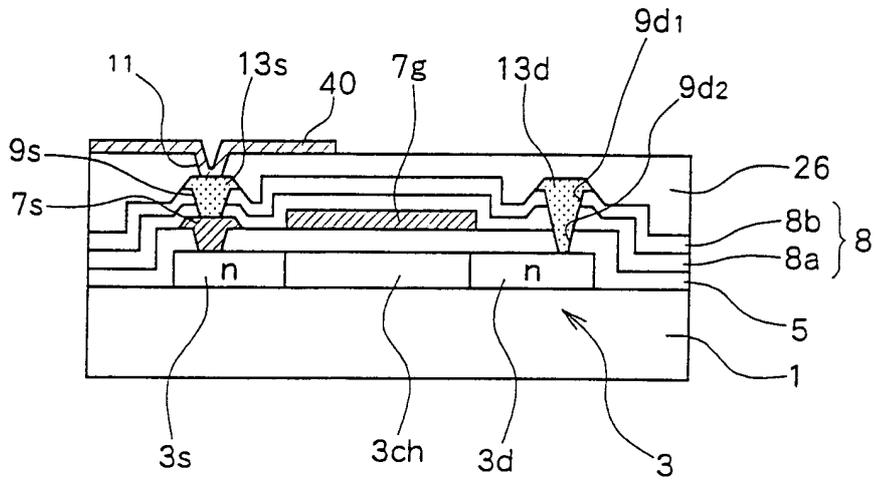


图 5

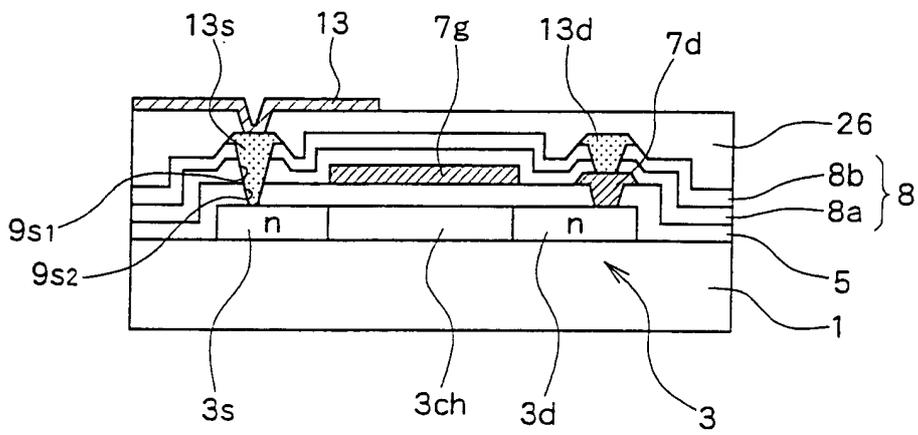


图 6

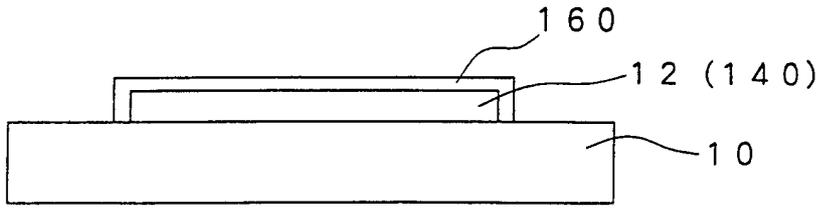


图 7A

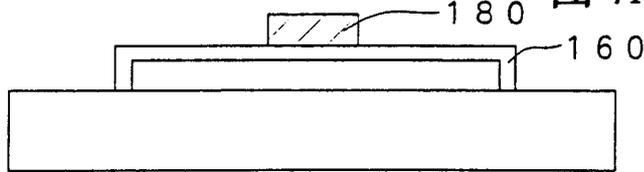


图 7B

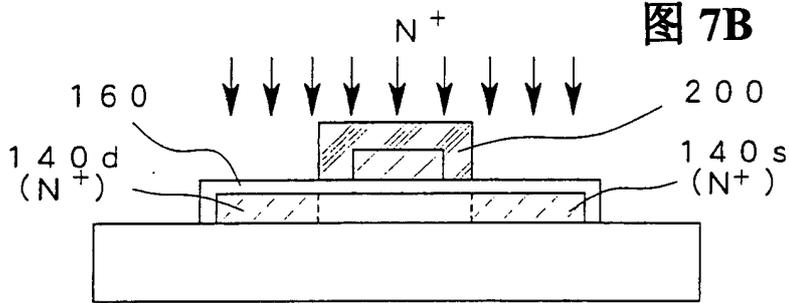


图 7C

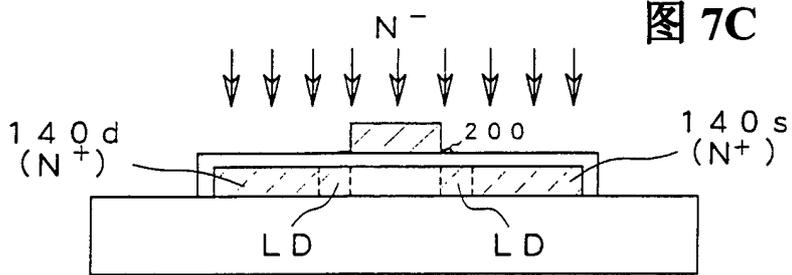


图 7D

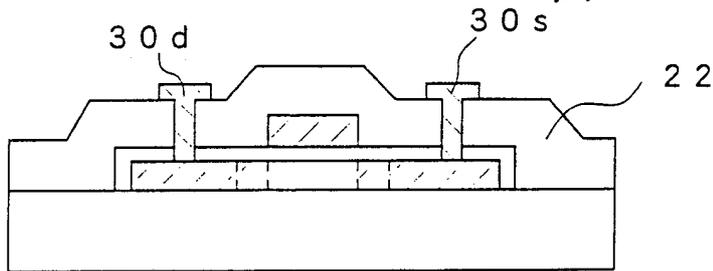


图 7E

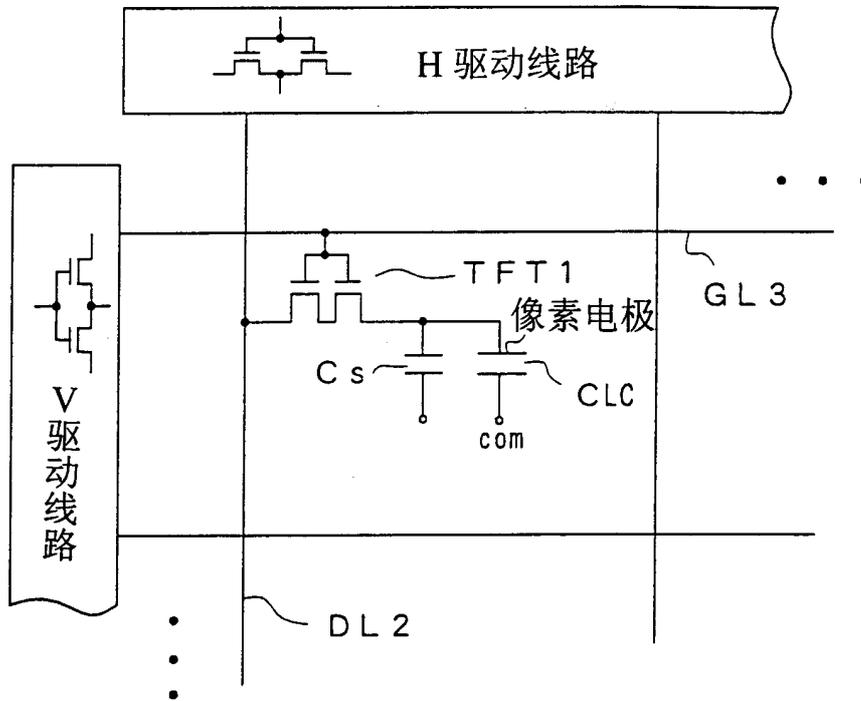


图 8

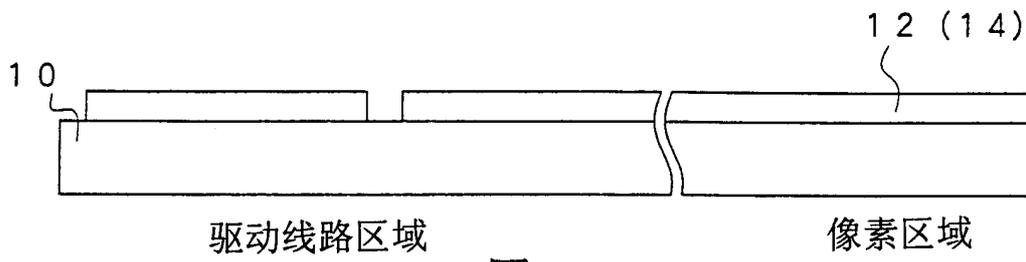


图 9A

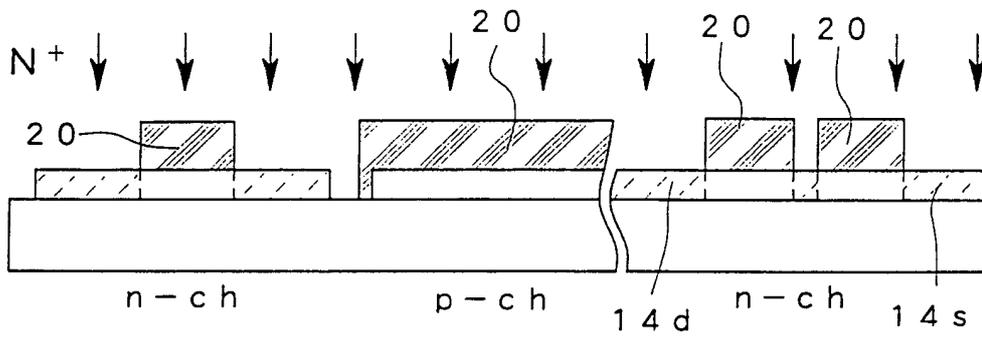


图 9B

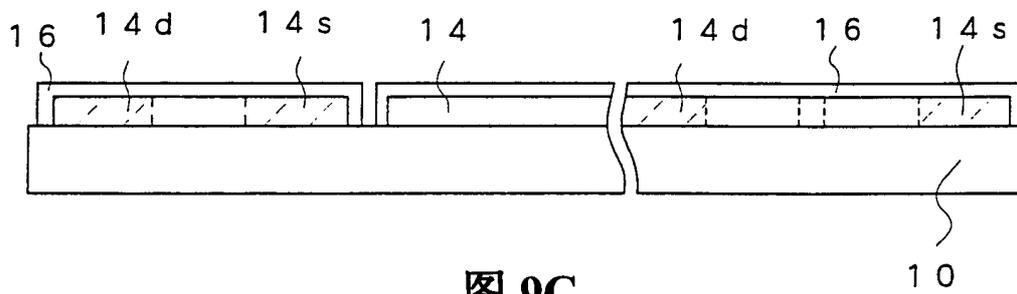


图 9C

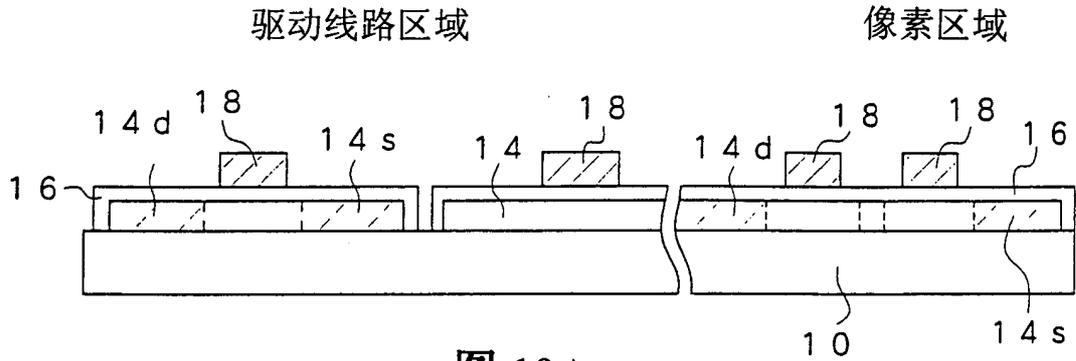


图 10A

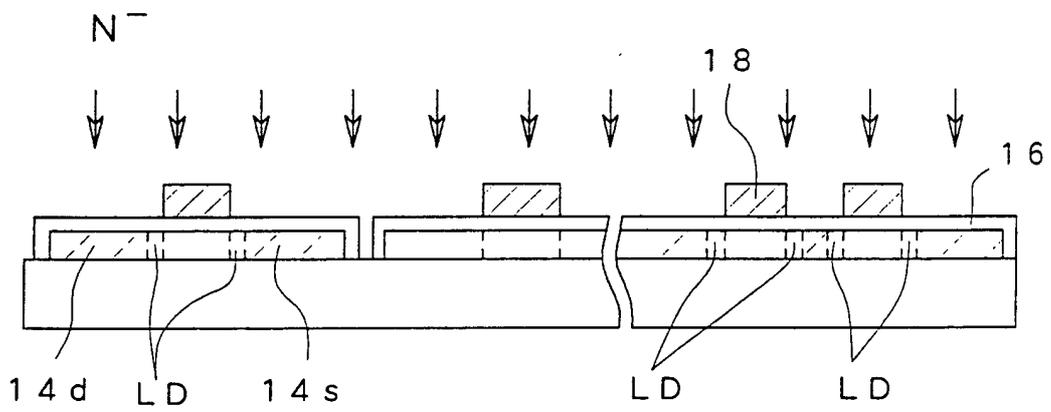


图 10B

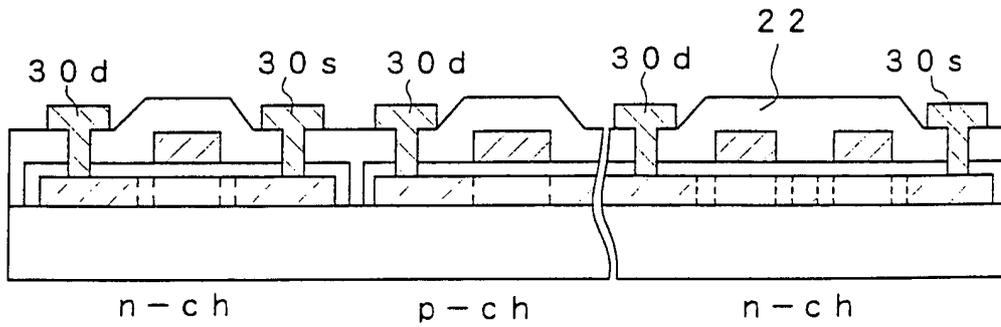
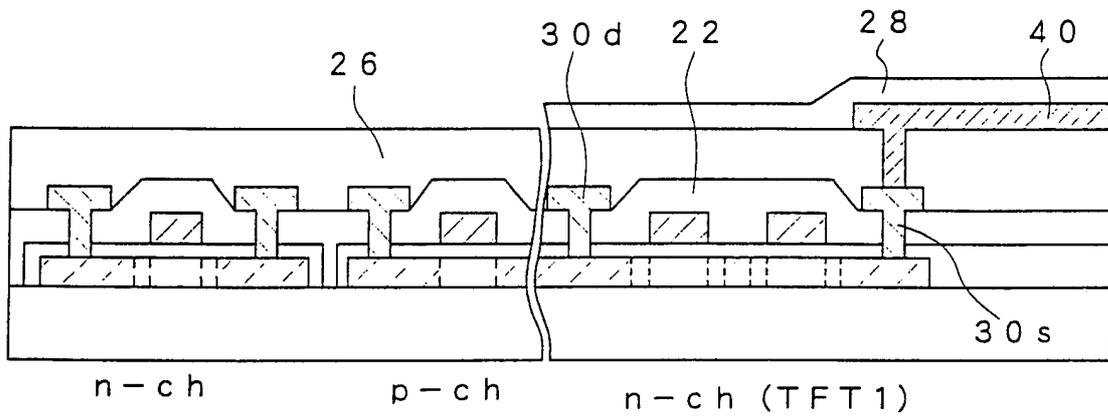


图 10C



驱动线路区域

像素区域

图 11

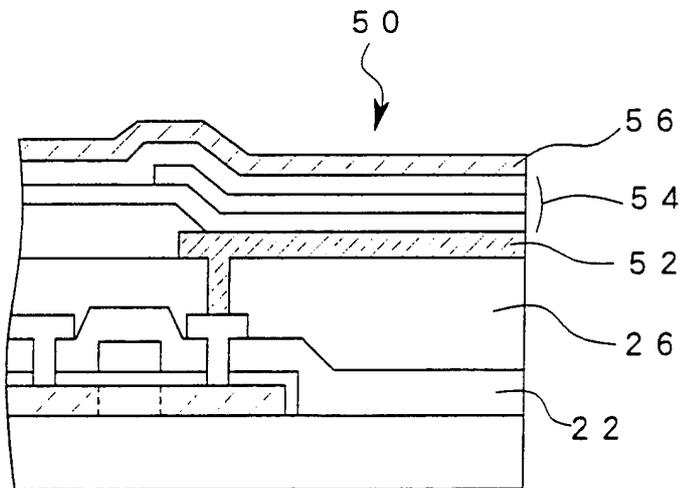


图 12

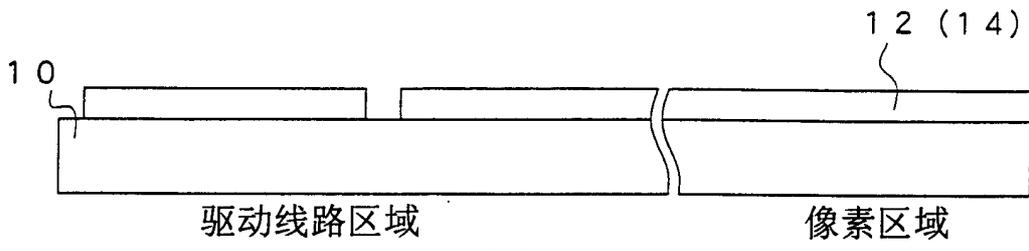


图 14A

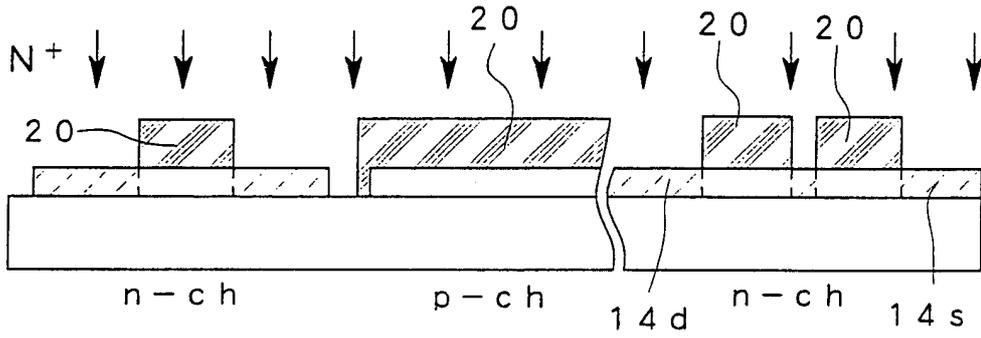


图 14B

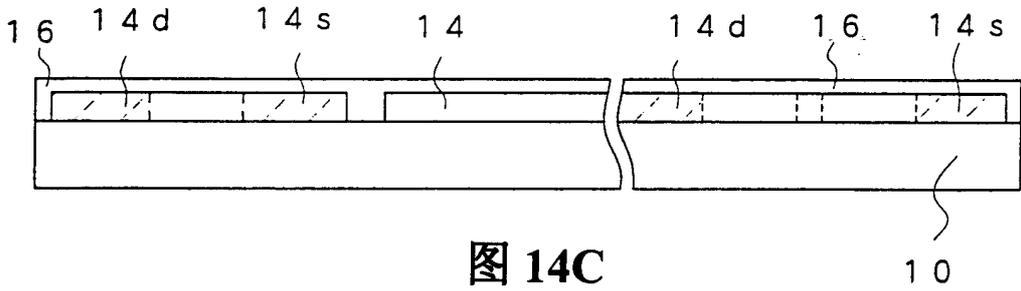


图 14C

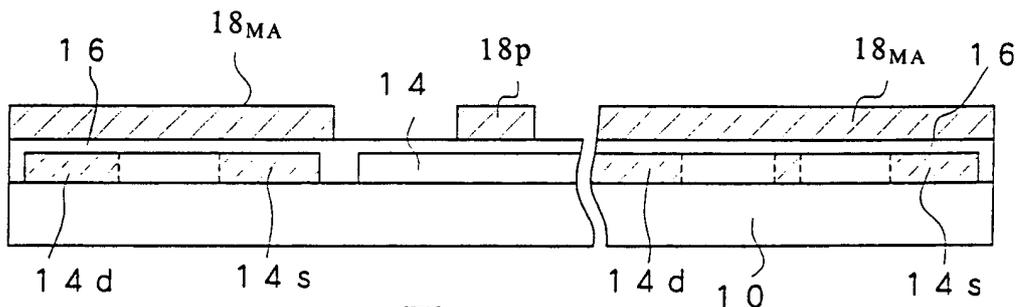


图 14D

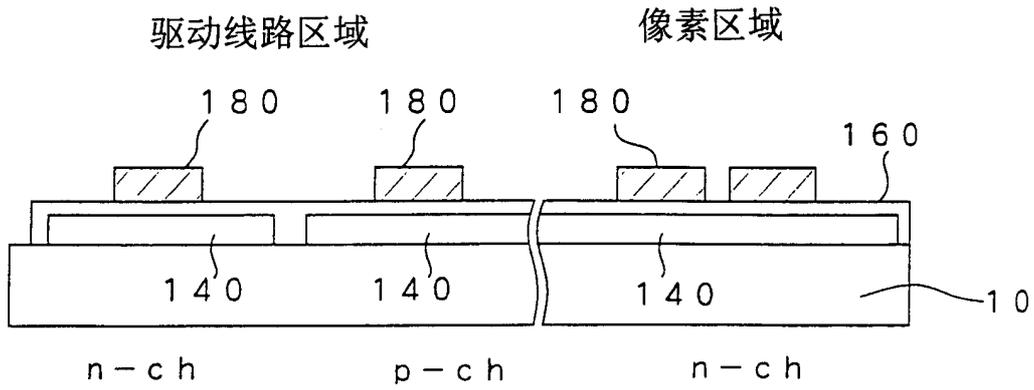


图 13A

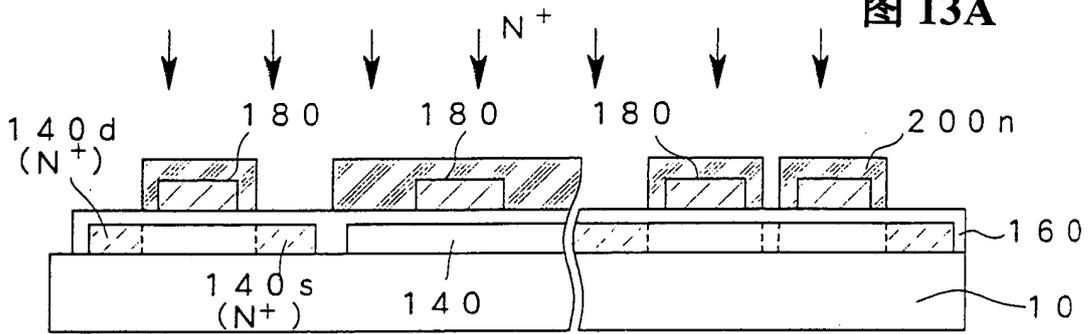


图 13B

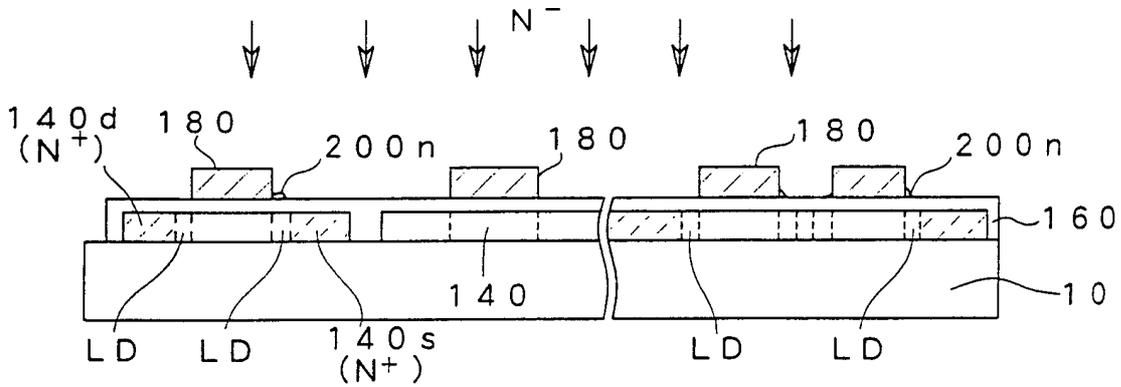


图 13C

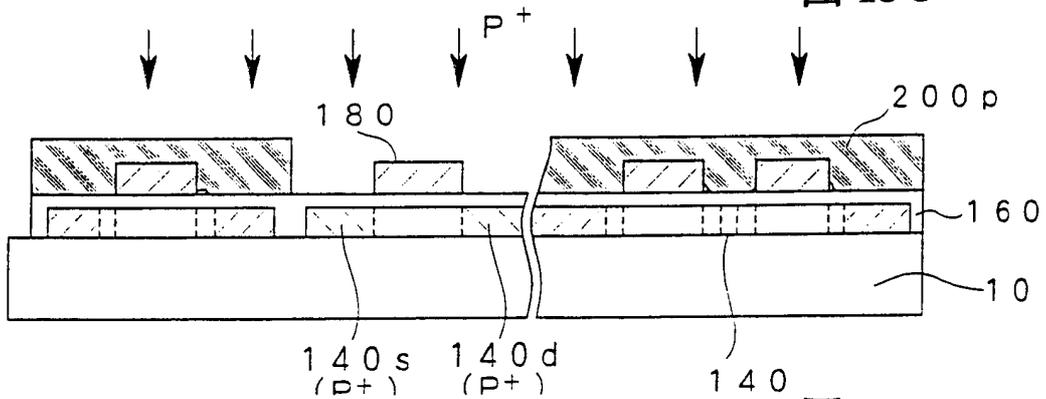


图 13D

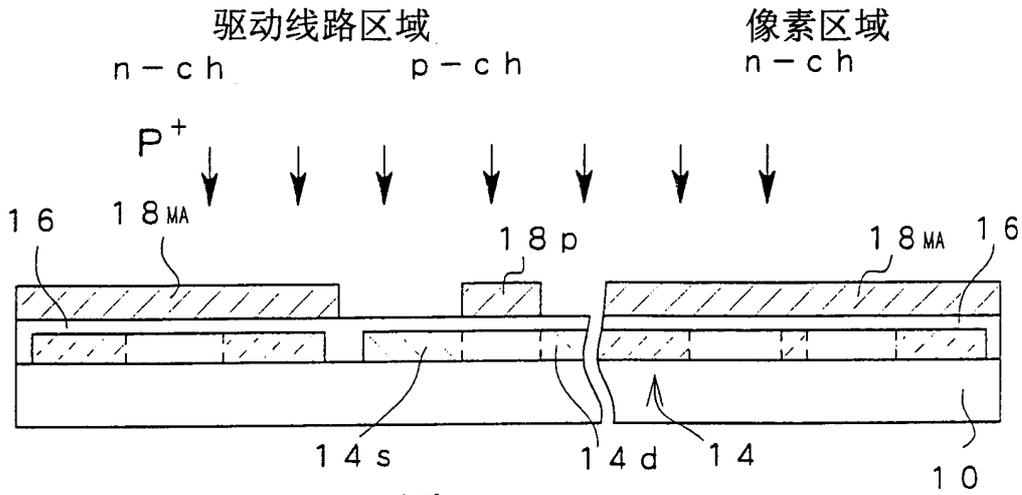


图 15A

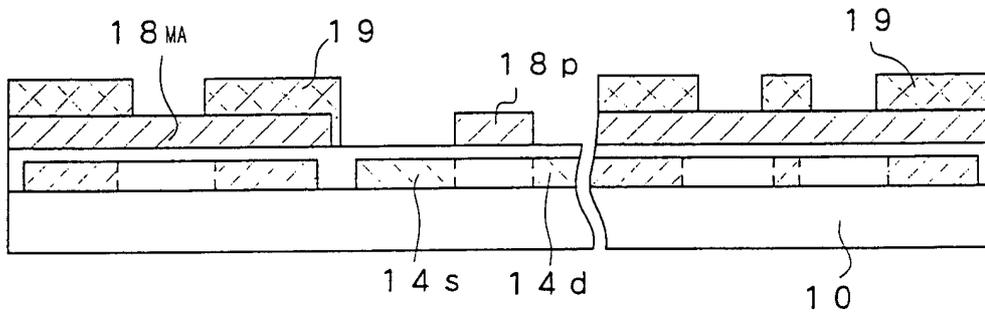


图 15B

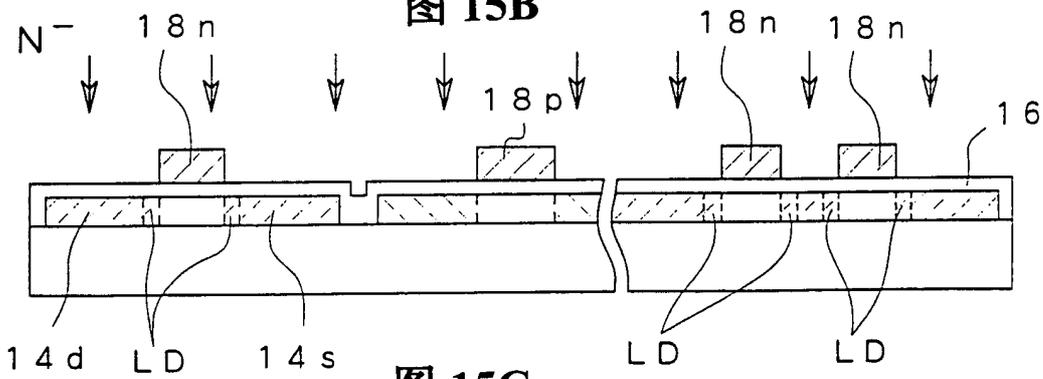


图 15C

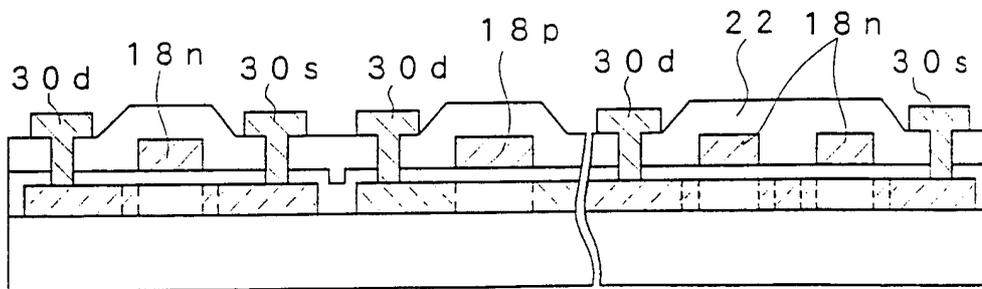


图 15D