(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年1月19日(19.01.2023)

WIPO | PCT

(10) 国際公開番号
WO 2023/286401 A1

(51) 国際特許分類:
H04N 5/32 (2006.01) *H04N 5/376* (2011.01)
H04N 5/374 (2011.01)

(21) 国際出願番号： PCT/JP2022/016600

(22) 国際出願日： 2022年3月31日(31.03.2022)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

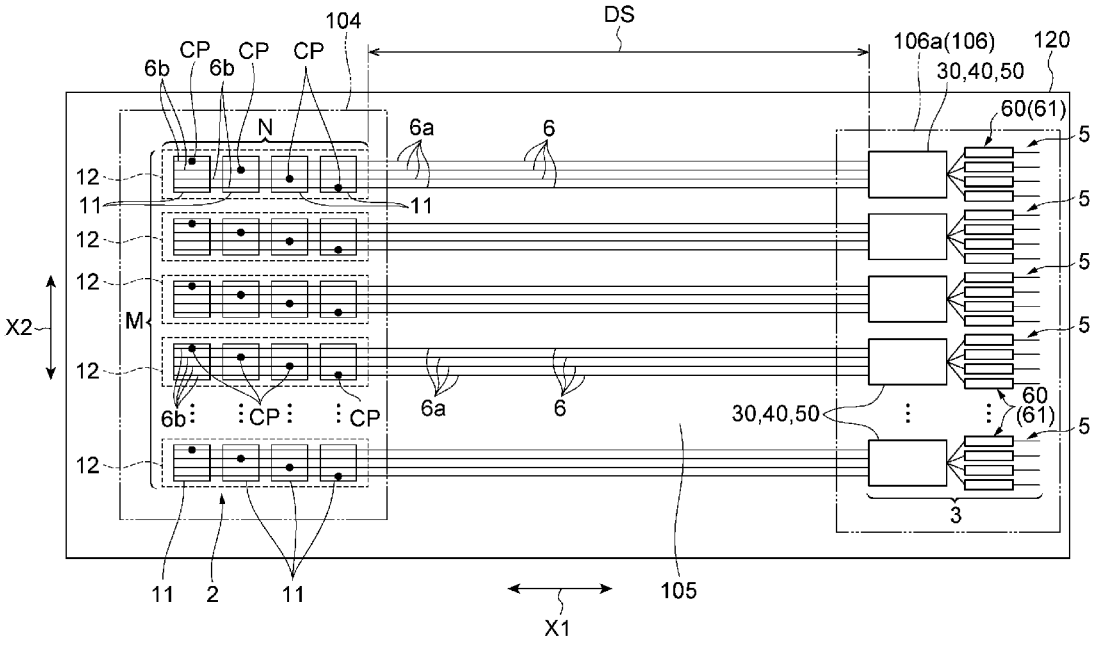
(30) 優先権データ：
特願 2021-115658 2021年7月13日(13.07.2021) JP

(71) 出願人: 浜松ホトニクス株式会社 (**HAMAMATSU PHOTONICS K.K.**) [JP/JP]; 〒4358558 静岡県浜松市東区市野町１１２６番地の１ Shizuoka (JP).

(72) 発明者: 鈴木 春樹(**SUZUKI Haruki**); 〒4358558 静岡県浜松市東区市野町１１２６番地の１ 浜松ホトニクス株式会社内 Shizuoka (JP). 神谷 真浩(**KAMIYA Masahiro**); 〒4358558 静岡県浜松市東区市野町１１２６番地の１ 浜松ホトニクス株式会社内 Shizuoka (JP). 杉山 行信(**SUGIYAMA Yukinobu**); 〒4358558 静岡県浜松市東区市野町１１２６番地の１ 浜松ホトニクス株式会社内 Shizuoka (JP). 細谷 有功(**HOSOYA Naonori**); 〒4358558 静岡県浜松市東区市野町１１２６番地の１ 浜松ホトニクス株式会社内 Shizuoka (JP). 吉村 英敏(**YOSHIMURA Hidetoshi**); 〒4358558 静岡県

(54) **Title:** X-RAY IMAGE ACQUISITION DEVICE AND X-RAY IMAGE ACQUISITION SYSTEM

(54) 発明の名称： Ｘ線画像取得装置及びＸ線画像取得システム



(57) **Abstract:** An X-ray image acquisition device comprising: a pixel unit comprising M pixel arrays each including N pixel portions (N and M are integers of two or more); M circuit units; and a control unit. Each of the circuit units comprises: T (T is an integer of N or more) adders for sequentially adding electric signals corresponding to output signals from the N pixel portions; and a switch portion for switching a connection state between the N pixel portions and the T adders. The control unit switches the connection state in synchronism with the transfer of an object along a first direction so that the

WO 2023/286401 A1

［続葉有］

浜松市東区市野町１１２６番地の１ 浜松ホトニクス株式会社内 Shizuoka (JP).

(74) 代理人：長谷川 芳樹，外(HASEGAWA Yoshiki et al.)；〒1000005 東京都千代田区丸の内二丁目１番１号丸の内 ＭＹ ＰＬＡＺＡ（明治安田生命ビル） ９階 創英国際特許法律事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能)：AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能)：ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一　国際調査報告（条約第21条(3)）

electric signals corresponding to the output signals output from the pixel portions due to detection of an X-ray that has passed through the same region of the object are added in the same adder.

(57) 要約：Ｘ線画像取得装置は、Ｎ個の画素部を各々が含むＭ個の画素アレイ（Ｎ，Ｍは２以上の整数）を有する画素ユニットと、Ｍ個の回路ユニットと、制御部とを備える。各回路ユニットは、Ｎ個の画素部からの出力信号に対応する電気信号を逐次加算するＴ個（ＴはＮ以上の整数）の加算部と、Ｎ個の画素部とＴ個の加算部との間の接続状態を切り替えるスイッチ部とを有する。制御部は、対象物における同一領域を透過したＸ線が検出されることにより画素部から出力される出力信号に対応する電気信号が同一の加算部において加算されるように、第１方向に沿っての対象物の搬送と同期して、当該接続状態を切り替える。

明　細　書

発明の名称 ： Ｘ線画像取得装置及びＸ線画像取得システム

技術分野

[0001] 本開示の一側面は、Ｘ線画像取得装置及びＸ線画像取得システムに関する。

背景技術

[0002] 搬送中の対象物のＸ線画像を取得するＸ線画像取得装置が知られている（例えば特許文献１参照）。例えば、特許文献１に記載された検査装置では、従来はＣＣＤ（Charge Coupled Device）センサを用いて実現されていたＴＤＩ（Time Delay Integration）（時間遅延積分）動作が、ＣＭＯＳ（Complementary Metal Oxide Semiconductor）センサを用いて実現されている。このＸ線画像取得装置は、複数の検出素子を含むラインセンサが複数並べられて構成された検出手段と、各検出素子から出力されるデジタル信号を記憶する記憶手段と、を備えており、記憶手段において加算演算を行うことによりＴＤＩ動作を実現している。

先行技術文献

特許文献

[0003] 特許文献1：特開２０１９－１５８６６３号公報

発明の概要

発明が解決しようとする課題

[0004] 特許文献１に記載された検査装置では、検出素子の数によっては、記憶手段における加算演算の速度が要求を満たさず、ＴＤＩ動作を実現できないおそれがある。また、上述したようなＸ線画像取得装置には、構成の簡易化や回路規模の縮小が求められる。

[0005] そこで、本開示の一側面は、画素部の数が増加した場合でもＴＤＩ動作を実現することができると共に、構成の簡易化及び回路規模の縮小を図ることができるＸ線画像取得装置及びＸ線画像取得システムを提供することを目的

とする。

課題を解決するための手段

[0006] 本開示の一側面に係るＸ線画像取得装置は、第１方向に沿って搬送される対象物のＸ線画像を取得するためのＸ線画像取得装置であって、Ｘ線を検出するためのＮ個（Ｎは２以上の整数）の画素部を各々が含むＭ個（Ｍは２以上の整数）の画素アレイを有し、Ｎ個の画素部は第１方向に沿って並べられ、Ｍ個の画素アレイは第１方向に直交する第２方向に沿って並べられている、画素ユニットと、Ｍ個の画素アレイに対応して設けられたＭ個の回路ユニットと、Ｍ個の回路ユニットを制御する制御部と、を備え、Ｍ個の回路ユニットの各々は、対応する画素アレイのＮ個の画素部からの出力信号に対応する電気信号を逐次加算するＴ個（ＴはＮ以上の整数）の加算部と、Ｎ個の画素部とＴ個の加算部との間の接続状態を切り替えるスイッチ部と、を有し、制御部は、Ｍ個の回路ユニットの各々について、対象物における同一領域を透過したＸ線が検出されることにより画素部から出力される出力信号に対応する電気信号が同一の加算部において加算されるように、第１方向に沿っての対象物の搬送と同期して、Ｎ個の画素部とＴ個の加算部との間の接続状態を切り替える。

[0007] このＸ線画像取得装置では、Ｍ個の回路ユニットの各々が、Ｔ個の加算部と、スイッチ部と、を有している。そして、Ｍ個の回路ユニットの各々において、対象物における同一領域を透過したＸ線が検出されることにより画素部から出力される出力信号に対応する電気信号が同一の加算部において加算されるように、第１方向に沿っての対象物の搬送と同期して、Ｎ個の画素部とＴ個の加算部との間の接続状態が切り替えられ、これによりＴＤＩ動作が実現される。このように回路ユニットにおける加算処理によってＴＤＩ動作を実現することで、上述した記憶手段における加算演算の速度の問題を回避することができ、画素部の数が増加した場合でもＴＤＩ動作を実現することができる。また、上述した記憶手段のようなメモリを省略することができ、構成を簡易化することができる。更に、このＸ線画像取得装置では、スイッ

チ部を用いて画素部と加算部との間の接続状態を切り替えることで、ＴＤＩ動作が実現される。これにより、例えば単に信号を加算するためのメモリを回路ユニットに設ける場合と比べて、回路規模を縮小することができる。よって、このＸ線画像取得装置によれば、画素部の数が増加した場合でもＴＤＩ動作を実現することができると共に、構成の簡易化及び回路規模の縮小を図ることができる。

[0008] 本開示の一側面に係るＸ線画像取得装置は、対象物を透過したＸ線をシンチレーション光に変換する少なくとも１つのシンチレータを更に備え、Ｎ個の画素部は、少なくとも１つのシンチレータにより変換されたシンチレーション光を受光してもよい。この場合、Ｘ線をシンチレーション光に変換して検出することができる。

[0009] Ｔ個の加算部の各々は、Ａ／Ｄ変換器（Analog-to-Digital converter）であってもよい。この場合、Ａ／Ｄ変換器を用いてＴＤＩ動作を実現することができる。

[0010] Ｔ個の加算部の各々は、チャージアンプであってもよい。この場合、チャージアンプを用いてＴＤＩ動作を実現することができる。

[0011] 画素ユニットとＭ個の回路ユニットとの間には、画素部の幅の２倍以上の間隔が空けられていてもよい。この場合、画素ユニットと比べてＸ線に対する耐久性が低い回路ユニットへのＸ線の入射を抑制することができる。

[0012] 本開示の一側面に係るＸ線画像取得装置は、Ｘ線に対して不透過性を有する遮蔽部材を更に備え、遮蔽部材には開口が形成されており、画素ユニットは、開口と向かい合っており、Ｍ個の回路ユニットは、遮蔽部材における開口以外の部分と向かい合っていてもよい。この場合、画素ユニットへのＸ線の入射を許容しつつ、回路ユニットへのＸ線の入射を抑制することができる。

[0013] 本発明のＸ線画像取得装置は、Ｍ個の画素アレイの各々のＮ個の画素部と、Ｍ個の回路ユニットとに電気的に接続されたＮ×Ｍ本の配線を更に備え、Ｎ×Ｍ本の配線の各々は、Ｎ個の画素部上を通るように延在していてもよい

。この場合、第２方向に並ぶＭ個の画素アレイ間にＮ本の配線が集約されず、不感部の局在的な発生を回避することができる。

[0014] Ｎ×Ｍ本の配線の各々は、回路ユニットから画素部まで延在する本体部と、本体部と画素部との間の接続箇所から回路ユニットとは反対側に延在する延在部と、を有し、延在部は、本体部から電気的に分離されていてもよい。この場合、Ｎ個の画素部の開口率を均一化することができると共に、延在部に起因する寄生容量の発生を抑制することができる。

[0015] 制御部は、第１方向に並ぶＬ個の画素部からの出力信号に対応する電気信号が加算部において加算された後に加算部から電気信号が読み出されるように、Ｍ個の回路ユニットを制御し、Ｌの値は、１以上Ｎ以下の整数の中から選択可能となっていてもよい。この場合、加算処理を行う画素部の数を、例えばＸ線の漏洩量や対象物の厚さ等に応じて選択することができる。

[0016] 制御部は、第１方向におけるＰ番目からＱ番目（Ｐ＜Ｑ）までの画素部からの出力信号に対応する電気信号が加算部において加算された後に加算部から電気信号が読み出されるように、Ｍ個の回路ユニットを制御し、Ｐ及びＱの値は、１以上Ｎ以下の整数の中から選択可能となっていてもよい。この場合、例えば、Ｘ線源と画素ユニットとの間の位置関係のバラツキに対応することができる。

[0017] 加算部は、第１加算部と、第２加算部とを有し、制御部は、第１方向において第１領域に位置する画素部からの出力信号に対応する電気信号が加算部において加算された後に第１加算部から電気信号が読み出されると共に、第１方向において第１領域と並ぶ第２領域に位置する画素部からの出力信号に対応する電気信号が第２加算部において加算された後に加算部から電気信号が読み出されるように、Ｍ個の回路ユニットを制御してもよい。この場合、例えば、デュアルモードを実現することができ、一度の処理で複数のＸ線画像を取得することができる。

[0018] 第１方向において、第１加算部が第２加算部に対して位置する側を第１側とし、第２加算部が第１加算部に対して位置する側を第２側とすると、第１

加算部は、第１領域に対して第１側に配置されており、第２加算部は、第２領域に対して第２側に配置されていてもよい。この場合、第１領域に位置する画素部と第１加算部とを接続する配線、及び第２領域に位置する画素部と第２加算部とを接続する配線の長さを低減することができる。

[0019] Ｎ個の画素部の各々の露光時間は、対象物の搬送から独立して制御されてもよい。対象物の搬送との同期に用いられる外部信号にはジッタ（揺らぎ）が含まれることがあり、そのような外部信号に画素部の露光時間を対応付けると、露光時間にバラツキが生じることが懸念される。対して、Ｎ個の画素部の各々の露光時間を対象物の搬送から独立して制御することで、Ｎ個の画素部の露光時間を均一化することができる。

[0020] ラインディレイ機能のオンオフが変更可能となっており、ラインディレイ機能がオンである場合、Ｎ個の画素部の露光開始タイミングは、第１方向におけるＮ個の画素部の並び順に従って、所定時間ずつずらされてもよい。この場合、ラインディレイ機能を実現することができ、高さ方向における同期位置を変更することができる。

[0021] Ｎは、８以上の整数であってもよい。このＸ線画像取得装置によれば、このように画素部の数が多い場合でも、ＴＤＩ動作を実現することができると共に、構成の簡易化及び回路規模の縮小を図ることができる。

[0022] 本開示の一側面に係るＸ線画像取得システムは、上記Ｘ線画像取得装置と、Ｘ線を出力するＸ線源と第１方向に沿って対象物を搬送する搬送部と、を備える。このＸ線画像取得システムによれば、上述した理由により、画素部の数が増加した場合でもＴＤＩ動作を実現することができると共に、構成の簡易化及び回路規模の縮小を図ることができる。

発明の効果

[0023] 本開示の一側面によれば、画素部の数が増加した場合でもＴＤＩ動作を実現することができると共に、構成の簡易化及び回路規模の縮小を図ることができるＸ線画像取得装置及びＸ線画像取得システムを提供することが可能となる。

図面の簡単な説明

[0024] [図1]実施形態の撮像素子の平面図である。

[図2]画素アレイ及び回路ユニットの回路構成を示す図である。

[図3]アンプアレイの回路構成を示す図である。

[図4]スイッチアレイの回路構成を示す図である。

[図5]メモリアレイの回路構成を示す図である。

[図6]ＡＤＣアレイの回路構成を示す図である。

[図7]実施形態の撮像素子の動作を示すタイミングチャートである。

[図8]実施形態の撮像素子の動作を示すタイミングチャートである。

[図9]実施形態の撮像素子の動作を示すタイミングチャートである。

[図10]ＴＤＩ動作を説明するための図である。

[図11]ＴＤＩ動作を説明するための図である。

[図12]比較例における電荷転送を説明するための回路図である。

[図13]実施形態における電荷転送を説明するための回路図である。

[図14]第１変形例の画素アレイ及び回路ユニットの回路構成を示す図である。

[図15]第２変形例の画素アレイ及びアンプアレイの回路構成を示す図である。

[図16]第２変形例のスイッチアレイの回路構成を示す図である。

[図17]第２変形例の撮像素子の動作を示すタイミングチャートである。

[図18]第２変形例の撮像素子の動作を示すタイミングチャートである。

[図19]第３変形例の画素アレイ及び回路ユニットの回路構成を示す図である。

[図20]第３変形例のスイッチアレイの回路構成を示す図である。

[図21]第３変形例のアンプアレイの回路構成を示す図である。

[図22]第３変形例のスイッチアレイの回路構成を示す図である。

[図23]第３変形例の撮像素子の動作を示すタイミングチャートである。

[図24]第３変形例の撮像素子の動作を示すタイミングチャートである。

[図25]第３変形例の撮像素子の動作を示すタイミングチャートである。

[図26]第３変形例のＴＤＩ動作を説明するための図である。

[図27]第３変形例のＴＤＩ動作を説明するための図である。

[図28]第４変形例の画素アレイ及び回路ユニットの回路構成を示す図である。

[図29]第４変形例の撮像素子の動作を示すタイミングチャートである。

[図30]第４変形例の撮像素子の動作を示すタイミングチャートである。

[図31]第２実施形態のＸ線画像取得装置の構成図である。

[図32]第２実施形態の撮像素子の平面図である。

[図33]第２実施形態のＴＤＩ動作を説明するための図である。

[図34]第２実施形態のＴＤＩ動作を説明するための図である。

[図35]加算フレーム数の切替時のＴＤＩ動作を説明するための図である。

[図36]（ａ）及び（ｂ）は、加算フレーム数の切替機能を説明するための図である。

[図37]（ａ）及び（ｂ）は、加算フレーム数の切替機能を説明するための図である。

[図38]加算範囲の切替時のＴＤＩ動作を説明するための図である。

[図39]加算範囲の切替時のＴＤＩ動作を説明するための図である。

[図40]（ａ）及び（ｂ）は、加算範囲の切替機能を説明するための図である。

[図41]デュアルモードを説明するための図である。

[図42]デュアルモードにおけるＴＤＩ動作を説明するための図である。

[図43]デュアルモードにおけるＴＤＩ動作を説明するための図である。

[図44]デュアルモードのための他の配置例を説明するための図である。

[図45]加算方向の反転時のＴＤＩ動作を説明するための図である。

[図46]加算方向の反転時のＴＤＩ動作を説明するための図である。

[図47]加算方向の反転時のＴＤＩ動作の別の例を説明するための図である。

[図48]露光時間の独立制御について説明するための図である。

[図49]ラインディレイ機能を説明するための図である。

[図50]ラインディレイ機能を説明するための図である。

発明を実施するための形態

[0025] 以下、本開示の実施形態について、図面を参照しつつ詳細に説明する。以下の説明において、同一又は相当要素には同一符号を用い、重複する説明を省略する。

［第１実施形態］

［撮像素子の構成］

[0026] 図１に示される撮像素子１は、例えば、搬送方向に沿って搬送される対象物のＸ線画像を取得するためのＸ線画像取得装置において用いられる固体撮像素子である。Ｘ線画像取得装置では、例えば、対象物を透過したＸ線をシンチレータによってシンチレーション光に変換し、当該シンチレーション光を撮像素子１によって検出することで、対象物のＸ線画像を取得する。この際、取得画像におけるＳ／Ｎ比の向上のために、撮像素子１を用いたＴＤＩ（Time Delay Integration）動作が行われる。ＴＤＩ動作については後述する。

[0027] 図１に示されるように、撮像素子１は、画素ユニット２と、回路部３と、デコーダ４と、を備えている。画素ユニット２、回路部３及びデコーダ４は、１つのチップ上に形成されており、互いに一体化されている。画素ユニット２は、光電変換を行うＮ個（Ｎは２以上の整数）の画素部１１を各々が含むＭ個（Ｍは２以上の整数）の画素アレイ１２を有している。各画素部１１は、平面視において例えば矩形状に形成されている。Ｎ個の画素部１１は、第１方向Ｘ１に沿って一列に、互いに隣接するように並べられている。Ｍ個の画素アレイ１２は、第１方向Ｘ１に直交する第２方向Ｘ２に沿って、互いに隣接するように並べられている。Ｍ個の画素アレイ１２のＡ番目（Ａは１以上Ｎ以下の任意の整数）の画素部１１は、第２方向Ｘ２に沿って並んでいる。すなわち、画素ユニット２においては、Ｎ×Ｍ個の画素部１１が、マトリクス状に配列されている。

[0028] 上述したようにＸ線画像取得装置において用いられる場合、撮像素子１は、第１方向Ｘ１が対象物の搬送方向と一致するように配置される。Ｎは、８以上の整数であってもよく、１６以上の整数であってもよい。Ｎが大きいほど、ＴＤＩ動作によりＳ／Ｎ比を向上することができる。以下、Ｎが４である場合を例に挙げて説明するが、Ｎが他の値であっても同様である。

[0029] 各画素部１１は、例えばシンチレーション光を検出可能な受光素子により構成されている。受光素子は、この例ではシリコンからなるフォトダイオードであるが、ＩｎＧａＡｓ又はＣｄＴｅ等の化合物半導体からなるフォトダイオードであってもよい。受光素子は、この例では、ＰＮ接合部が表面に露出した表面型のフォトダイオードであるが、ＰＮ接合部が内部に埋め込まれた埋め込み型のフォトダイオードであってもよい。

[0030] 回路部３は、Ｍ個の画素アレイ１２に対応して設けられたＭ個の回路ユニット５を備えている。この例では、Ｍ個の回路ユニット５は、Ｍ個の画素アレイ１２にそれぞれ電気的に接続されている。具体的には、Ｍ個の画素アレイ１２の各々のＮ個の画素部１１と、Ｍ個の回路ユニット５とが、Ｎ×Ｍ本の配線６により電気的に接続されている。すなわち、１つの画素アレイ１２のＮ個の画素部１１は、対応する回路ユニット５にＮ本の配線６により電気的に接続されている。各配線６は、例えば、画素部１１上を通るように、第１方向Ｘ１に沿って直線状に延在している。

[0031] 図２に示されるように、各回路ユニット５は、アンプアレイ３０と、スイッチアレイ（スイッチ回路、スイッチ部）４０と、メモリアレイ５０と、ＡＤＣ（Analog-to-Digital converter）アレイ６０と、を有している。以下、１つの回路ユニット５、及び当該回路ユニット５に対応する画素アレイ１２の構成及び動作を説明するが、他の回路ユニット５及び画素アレイ１２の構成及び動作も同様である。また、画素アレイ１２が有する４つの画素部１１を、回路ユニット５から遠い順に、画素部ＰＤ１，ＰＤ２，ＰＤ３，ＰＤ４とも記す。

[0032] 図３に示されるように、アンプアレイ３０は、Ｎ個（この例では４個）の

チャージアンプ３１を含んでいる。各チャージアンプ３１は、オペアンプ３２と、容量部３３と、リセットスイッチ３４と、を有している。容量部３３は、フィードバック容量であり、オペアンプ３２の反転入力端子３２ａと出力端子３２ｃとの間に接続されている。容量部３３には、画素部１１から出力された電荷信号が蓄積される。オペアンプ３２の非反転入力端子３２ｂは、基準電圧Ｖｒｅｆに接続されている。リセットスイッチ３４は、反転入力端子３２ａと出力端子３２ｃとの間に、容量部３３と並列に接続されている。リセットスイッチ３４は、リセット信号ＲＳ＿Ａに従ってオンオフされ、容量部３３に蓄積された電荷をリセットする。

[0033] ４個のチャージアンプ３１には、対応する画素アレイ１２の４個の画素部１１がそれぞれ接続されている。より具体的には、画素部１１からの電荷信号は、オペアンプ３２の反転入力端子３２ａに入力される。チャージアンプ３１は、対応する画素アレイ１２の画素部１１から出力された電荷信号を電圧信号に変換する。以下、画素部ＰＤ１，ＰＤ２，ＰＤ３，ＰＤ４からの信号を受けるチャージアンプ３１をそれぞれチャージアンプＣＡ１，ＣＡ２，ＣＡ３，ＣＡ４とも記す。チャージアンプ３１からの電圧信号は、後述するスイッチユニットＳＵ１～ＳＵ４に出力端子３２ｃを介して出力される。

[0034] 図４に示されるように、スイッチアレイ４０は、Ｎ個（この例では４個）のスイッチユニット４１を含んでいる。各スイッチユニット４１は、４個のチャージアンプ３１にそれぞれ接続された４個のスイッチ４２ａ，４２ｂ，４２ｃ，４２ｄを含んでいる。スイッチユニット４１からの出力信号は、後述するメモリユニットＭＲ１～ＭＲ４に出力される。スイッチアレイ４０は、スイッチ４２ａ～４２ｄのオンオフに従ってチャージアンプＣＡ１～ＣＡ４とメモリユニットＭＲ１～ＭＲ４との間の接続状態が切り替わるように構成されている。

[0035] より具体的には、各スイッチユニット４１において、スイッチ４２ａは、切替信号ＳＷ１に従ってオンオフされ、スイッチ４２ｂは、切替信号ＳＷ２に従ってオンオフされ、スイッチ４２ｃは、切替信号ＳＷ３に従ってオンオ

フされ、スイッチ４２ｄは、切替信号ＳＷ４に従ってオンオフされる。メモリユニットＭＲ１，ＭＲ２，ＭＲ３，ＭＲ４に接続されたスイッチユニット４１をそれぞれスイッチユニットＳＵ１，ＳＵ２，ＳＵ３，ＳＵ４とする。図４には、スイッチユニットＳＵ１，ＳＵ２，ＳＵ３，ＳＵ４の出力ノードＳＵ１＿ＯＵＴ，ＳＵ２＿ＯＵＴ，ＳＵ３＿ＯＵＴ，ＳＵ４＿ＯＵＴが示されている。

[0036] 切替信号ＳＷ１がオンであり切替信号ＳＷ２～ＳＷ４がオフである場合にはチャージアンプＣＡ１，ＣＡ４，ＣＡ３，ＣＡ２がメモリユニットＭＲ１，ＭＲ２，ＭＲ３，ＭＲ４にそれぞれ接続される。切替信号ＳＷ２がオンであり切替信号ＳＷ１，ＳＷ３，ＳＷ４がオフである場合にはチャージアンプＣＡ２，ＣＡ１，ＣＡ４，ＣＡ３がメモリユニットＭＲ１，ＭＲ２，ＭＲ３，ＭＲ４にそれぞれ接続される。切替信号ＳＷ３がオンであり切替信号ＳＷ１，ＳＷ２，ＳＷ４がオフである場合にはチャージアンプＣＡ３，ＣＡ２，ＣＡ１，ＣＡ４がメモリユニットＭＲ１，ＭＲ２，ＭＲ３，ＭＲ４にそれぞれ接続される。切替信号ＳＷ４がオンであり切替信号ＳＷ１～ＳＷ３がオフである場合にはチャージアンプＣＡ４，ＣＡ３，ＣＡ２，ＣＡ１がメモリユニットＭＲ１，ＭＲ２，ＭＲ３，ＭＲ４にそれぞれ接続される。

[0037] 図５に示されるように、メモリアレイ５０は、Ｎ個（この例では４個）のメモリユニット５１を含んでいる。なお、メモリアレイ５０は、Ｔ個（ＴはＮ以上の整数）のメモリユニット５１を含んでいてもよい。各メモリユニット５１は、容量５２Ｎ，５２Ｓと、スイッチ５３Ｎ，５３Ｓ，５４Ｎ，５４Ｓと、リセットスイッチ５５と、を有している。容量５２Ｎは、チャージアンプ３１からの電圧信号における基準電圧（Ｎレベル）を保持し、容量５２Ｓは、チャージアンプ３１からの電圧信号における信号電圧（Ｓレベル）を保持する。信号電圧と基準電圧との差分が実効的な信号となる。

[0038] スイッチ５３Ｎ，５３Ｓは、容量５２Ｎ，５２ＳとスイッチユニットＳＵ１～ＳＵ４との間の接続状態の切り替えに用いられ、スイッチ５４Ｎ，５４Ｓは、容量５２Ｎ，５２Ｓと後述するＡ／Ｄ変換器ＡＤ１～ＡＤ４との間の

接続状態の切り替えに用いられる。スイッチ５３Ｎ，５３Ｓは切替信号ＳＥＴＮ１，ＳＥＴＳ１に従ってオンオフされ、スイッチ５４Ｎ，５４Ｓは切替信号ＳＥＴＮ２，ＳＥＴＳ２に従ってオンオフされる。

[0039] リセットスイッチ５５は、リセット信号ＲＳ＿Ｍに従ってオンオフされる。リセットスイッチ５５がオンされると、リセット電圧ＶＲＳが供給され、Ａ／Ｄ変換器ＡＤ１～ＡＤ４の入力端子の電圧がリセットされる。メモリアレイ５０は、チャージアンプ３１からの電圧信号が容量５２Ｎ，５２Ｓに保持される順番がＳレベル、Ｎレベルの順であるのに対し、ＡＤＣアレイ６０によるＡＤ変換の順番がＮレベル、Ｓレベルの順であるため、信号の転送順序を入れ替えるために設けられている。以下、スイッチユニットＳＵ１，ＳＵ２，ＳＵ３，ＳＵ４（Ａ／Ｄ変換器ＡＤ１，ＡＤ２，ＡＤ３，ＡＤ４）に接続されたメモリユニット５１をそれぞれメモリユニットＭＲ１，ＭＲ２，ＭＲ３，ＭＲ４とも記す。図５には、メモリユニットＭＲ１，ＭＲ２，ＭＲ３，ＭＲ４の出力ノードＭＲ１＿ＯＵＴ，ＭＲ２＿ＯＵＴ，ＭＲ３＿ＯＵＴ，ＭＲ４＿ＯＵＴが示されている。

[0040] 図６に示されるように、ＡＤＣアレイ６０は、Ｎ個（この例では４個）のＡ／Ｄ変換器（加算部）６１を含んでいる。なお、ＡＤＣアレイ６０は、Ｔ個（ＴはＮ以上の整数）のＡ／Ｄ変換器６１を含んでいてもよい。この例では、各Ａ／Ｄ変換器６１は、シングルスロープ型に構成されており、コンパレータ６２と、ビット数がＢ（Ｂは１以上の整数）であるカウンタ６３と、Ｂ個のラッチスイッチ６４と、Ｂ個の容量６５と、を有している。コンパレータ６２は、メモリユニット５１からの出力信号とランプ波ＶＲＡＭＰとを比較する。カウンタ６３は、コンパレータ６２からの出力信号に応じたカウント値をＢビットで出力する。ラッチスイッチ６４は、カウンタ６３から出力されたカウンタ値をラッチする。容量６５は、カウンタ６３から出力されたカウント値をラッチスイッチ６４のオンオフに応じて保持する。カウンタ６３は、クロックパルスＣＬＫに基づいて動作する。ラッチスイッチ６４は、ラッチ信号ＬＳに従って動作する。

[0041] Ａ／Ｄ変換器６１では、メモリユニットＭＲ１～ＭＲ４からの出力信号（画素部ＰＤ１～ＰＤ４からの電荷信号、チャージアンプＣＡ１～ＣＡ４からの電圧信号）に応じてコンパレータ６２の出力が変化し、当該変化に応じてカウンタ６３がカウントを行うことで、電圧信号をデジタル値に変換するＡ／Ｄ変換が行われる。

[0042] メモリユニットＭＲ１，ＭＲ２，ＭＲ３，ＭＲ４に接続されたＡ／Ｄ変換器６１をそれぞれＡ／Ｄ変換器ＡＤ１，ＡＤ２，ＡＤ３，ＡＤ４とすると、Ａ／Ｄ変換器ＡＤ１，ＡＤ２，ＡＤ３，ＡＤ４のカウンタ６３には、別個のリセット信号ＲＳ＿Ｃ１，ＲＳ＿Ｃ２，ＲＳ＿Ｃ３，ＲＳ＿Ｃ４が入力される。これにより、Ａ／Ｄ変換器ＡＤ１～ＡＤ４のカウンタ６３のリセットを独立して行うことが可能となっている。

[0043] 各Ａ／Ｄ変換器６１において、カウンタ６３は、受け付けた電圧信号に応じたカウントを行い、そのカウント値を保持する。カウンタ６３において行われるカウントは、カウントアップ又はカウントダウンのいずれであってもよい。また、カウンタ６３は、当該カウンタ６３に先に保持されているカウント値を基準として、次に入力された電圧信号に応じたカウントを行い、そのカウント値を保持する。すなわち、各カウンタ６３は、電圧信号が入力される度に逐次カウントを行い、入力されたすべての電圧信号に応じたカウント値を保持する（加算処理）。

[0044] Ｂ個の容量６５は、対応するカウンタ６３におけるカウント値の保持状態（加算状態）に応じた電圧信号（加算信号）を保持する。すなわち、各容量６５における電圧信号の保持・非保持は、対応するカウンタ６３に保持されているカウント値に応じて決定される。これにより、Ｂ個の容量６５における電圧信号の保持状態を読み出すことで、カウンタ６３において保持されているカウント値に応じたデジタル信号を得ることができる。このように、Ａ／Ｄ変換器６１では、コンパレータ６２及びカウンタ６３が、チャージアンプＣＡ１～ＣＡ４のいずれか１つから出力された電圧信号の加算処理を行う加算処理部として機能し、Ｂ個の容量６５が、加算処理部の加算状態に応じ

た加算信号を保持する保持部として機能する。カウンタ６３に保持されているカウント値は、リセット信号ＲＳ＿Ｃ１～Ｃ４の入力によりリセットされる。容量６５における電圧信号の保持状態の読み出しタイミングは、デコーダ４により制御される。

[0045] 再び図１を参照して、Ｍ個の回路ユニット５は、対応する画素アレイ１２と第１方向Ｘ１において隣り合うように（向かい合うように）配置されている。各回路ユニット５は、第２方向Ｘ２に並ぶＮ個の配置領域Ｒを有している。配置領域Ｒの各々には、上述したチャージアンプ３１、メモリユニット５１及びＡ／Ｄ変換器６１が１つずつ配置されている。第２方向Ｘ２における各配置領域Ｒの幅は、第２方向Ｘ２における画素部１１の幅の１／Ｎ以下となっている。すなわち、第２方向Ｘ２において、Ｎ個の配置領域Ｒを合わせた領域の幅は、画素部１１の幅以下となっている。

［ＴＤＩ動作］

[0046] 図７～図９を参照しつつ、撮像素子１を用いたＴＤＩ動作について説明する。図７のタイミングチャートでは、上から順に、リセット信号ＲＳ＿Ａ、チャージアンプＣＡ１～ＣＡ４からの電圧信号、切替信号ＳＷ１～ＳＷ４、切替信号ＳＥＴＮ１，ＳＥＴＳ１，ＳＥＴＮ２，ＳＥＴＳ２及びリセット信号ＲＳ＿Ｍの時間変化、並びにＡ／Ｄ変換器ＡＤ１～ＡＤ４の動作状態が示されている。Ａ／Ｄ変換器ＡＤ１～ＡＤ４の動作状態において、「Ａ／Ｄ Ｃｏｎｖｅｒｔ：ＣＡ１」は、チャージアンプＣＡ１からの電圧信号のＡ／Ｄ変換が行われていることを意味し、同様に、「Ａ／Ｄ Ｃｏｎｖｅｒｔ：ＣＡ２～ＣＡ４」は、チャージアンプＣＡ２～ＣＡ４からの電圧信号のＡ／Ｄ変換が行われていることを意味する。「Ｈ」は、信号が保持されていることを意味し、「０」は信号がリセットされることを意味する。チャージアンプＣＡ１～ＣＡ４からの電圧信号の波形は一例である。これらの点は後述する図１７，１８，２３，２４，２９，３０についても同様である。図８のタイミングチャートでは、上から順に、Ａ／Ｄ変換器ＡＤ１～ＡＤ４の動作状態、並びに、ラッチ信号ＬＳ、リセット信号ＲＳ＿Ｃ１～Ｃ４、読出信号Ｄ

１～Ｄ４の時間変化が示されている。読出信号Ｄ１～Ｄ４は、容量６５における電圧保持状態の読み出しタイミングを制御するためにデコーダ４から出力される信号である。読出信号Ｄ１，Ｄ２，Ｄ３，Ｄ４がオンとなった場合に、それぞれ、Ａ／Ｄ変換器ＡＤ１，ＡＤ２，ＡＤ３，ＡＤ４の容量６５の電圧保持状態が読み出され、デジタル値（デジタル信号）に変換される（図２）。

[0047] 図７～図９に示されるように、時刻Ｔ１，Ｔ２の間の期間においては、切替信号ＳＷ１がオンとされると共に切替信号ＳＷ２～ＳＷ４がオフとされ、チャージアンプＣＡ１，ＣＡ４，ＣＡ３，ＣＡ２がメモリユニットＭＲ１，ＭＲ２，ＭＲ３，ＭＲ４にそれぞれ接続される。そして、チャージアンプＣＡ４，ＣＡ３，ＣＡ２，ＣＡ１からの電圧信号（画素部ＰＤ４，ＰＤ３，ＰＤ２，ＰＤ１から出力される電荷信号に対応する電圧信号）が入力されると、それぞれＡ／Ｄ変換器ＡＤ１，ＡＤ２，ＡＤ３，ＡＤ４においてカウントが行われてカウント値が保持される。時刻Ｔ２において読出信号Ｄ１がオンとなり、Ａ／Ｄ変換器ＡＤ１の容量６５に保持された電圧状態が読み出され、デジタル値に変換される。この読み出しの前にリセット信号ＲＳ＿Ｃ１が入力され、Ａ／Ｄ変換器ＡＤ１のカウンタ６３がリセットされる。

[0048] 時刻Ｔ２，Ｔ３の間の期間においては、切替信号ＳＷ２がオンとされると共に切替信号ＳＷ１，ＳＷ３，ＳＷ４がオフとされ、チャージアンプＣＡ２，ＣＡ１，ＣＡ４，ＣＡ３がメモリユニットＭＲ１，ＭＲ２，ＭＲ３，ＭＲ４にそれぞれ接続される。そして、チャージアンプＣＡ１，ＣＡ４，ＣＡ３，ＣＡ２からの電圧信号（画素部ＰＤ１，ＰＤ４，ＰＤ３，ＰＤ２から出力される電荷信号に対応する電圧信号）が入力され、それぞれＡ／Ｄ変換器ＡＤ１，ＡＤ２，ＡＤ３，ＡＤ４においてカウントが行われてカウント値が保持される。時刻Ｔ３において読出信号Ｄ２がオンとなり、Ａ／Ｄ変換器ＡＤ２の容量６５に保持された電圧状態が読み出され、デジタル値に変換される。この読み出しの前にリセット信号ＲＳ＿Ｃ２が入力され、Ａ／Ｄ変換器ＡＤ２のカウンタ６３がリセットされる。

[0049] 時刻Ｔ２，Ｔ３の間の期間においては、前の期間である時刻Ｔ１，Ｔ２の間の期間においてメモリユニット５１の容量５２Ｎ，５２Ｓに保持されたチャージアンプ３１からの電圧信号が、切替信号ＳＥＴＮ１，ＳＥＴＳ１，ＳＥＴＮ２，ＳＥＴＳ２のオンオフにより、Ａ／Ｄ変換器ＡＤ１～ＡＤ４に転送される。そのため、時刻Ｔ２，Ｔ３の間の期間においては、Ａ／Ｄ変換器ＡＤ１，ＡＤ２，ＡＤ３，ＡＤ４は、前の期間である時刻Ｔ１，Ｔ２の間の期間においてメモリユニットＭＲ１，ＭＲ２，ＭＲ３，ＭＲ４に接続されていたチャージアンプＣＡ１，ＣＡ４，ＣＡ３，ＣＡ２からの電圧信号に応じたカウントを行い、Ａ／Ｄ変換する。この点は他の期間についても同様である。

[0050] 時刻Ｔ３，Ｔ４の間の期間においては、切替信号ＳＷ３がオンとされると共に切替信号ＳＷ１，ＳＷ２，ＳＷ４がオフとされ、チャージアンプＣＡ３，ＣＡ２，ＣＡ１，ＣＡ４がメモリユニットＭＲ１，ＭＲ２，ＭＲ３，ＭＲ４にそれぞれ接続される。そして、チャージアンプＣＡ２，ＣＡ１，ＣＡ４，ＣＡ３からの電圧信号（画素部ＰＤ２，ＰＤ１，ＰＤ４，ＰＤ３から出力される電荷信号に対応する電圧信号）が入力され、それぞれＡ／Ｄ変換器ＡＤ１，ＡＤ２，ＡＤ３，ＡＤ４においてカウントが行われる。時刻Ｔ４において読出信号Ｄ３がオンとなり、Ａ／Ｄ変換器ＡＤ３の容量６５に保持された電圧状態が読み出され、デジタル値に変換される。この読み出しの前にリセット信号ＲＳ＿Ｃ３が入力され、Ａ／Ｄ変換器ＡＤ３のカウンタ６３がリセットされる。

[0051] 時刻Ｔ４，Ｔ５の間の期間においては、切替信号ＳＷ４がオンとされると共に切替信号ＳＷ１～ＳＷ３がオフとされ、チャージアンプＣＡ４，ＣＡ３，ＣＡ２，ＣＡ１がメモリユニットＭＲ１，ＭＲ２，ＭＲ３，ＭＲ４にそれぞれ接続される。そして、チャージアンプＣＡ３，ＣＡ２，ＣＡ１，ＣＡ４からの電圧信号（画素部ＰＤ３，ＰＤ２，ＰＤ１，ＰＤ４から出力される電荷信号に対応する電圧信号）が入力され、それぞれＡ／Ｄ変換器ＡＤ１，ＡＤ２，ＡＤ３，ＡＤ４においてカウントが行われる。時刻Ｔ５において読出

信号Ｄ４がオンとなり、Ａ／Ｄ変換器ＡＤ４の容量６５に保持された電圧状態が読み出され、デジタル値に変換される。この読み出しの前にリセット信号ＲＳ＿Ｃ４が入力され、Ａ／Ｄ変換器ＡＤ４のカウンタ６３がリセットされる。時刻Ｔ５，Ｔ６の間、時刻Ｔ６，Ｔ７の間、時刻Ｔ７，Ｔ８の間、時刻Ｔ８，Ｔ９の間の期間の動作は、それぞれ、時刻Ｔ１，Ｔ２の間、時刻Ｔ２，Ｔ３の間、時刻Ｔ３，Ｔ４の間、時刻Ｔ４，Ｔ５の間の期間の動作と同様である。

[0052] 以上の動作により、Ｎ個の画素部１１からの出力信号がＴＤＩ的に加算される。上記の例では、Ａ／Ｄ変換器ＡＤ１～ＡＤ４におけるカウンタ６３のリセットタイミングを１フレームずつずらすことで、連続したＴＤＩ的な加算処理が実現されている。１フレームは、時刻Ｔ１，Ｔ２の間の期間の長さに対応する。この加算処理では、画素部ＰＤ１～ＰＤ４から出力される電荷信号に対応する電圧信号が保持されるＡ／Ｄ変換器ＡＤ１～ＡＤ４の容量６５（保持部）が、第１方向Ｘ１に沿っての画素部ＰＤ１～ＰＤ４の並び順に従って切り替わる。換言すれば、スイッチアレイ４０は、そのように切り替わるように、チャージアンプＣＡ１～ＣＡ４とＡ／Ｄ変換器ＡＤ１～ＡＤ４の容量６５との間の接続状態を切り替える。

[0053] 図１０及び図１１は、ＴＤＩ動作による加算処理を説明するための図である。図１０及び図１１では、搬送方向（第１方向Ｘ１）に沿って搬送される対象物ＯＪからの光（電磁波）が撮像素子１により検出される例が示されている。搬送方向に沿っての位置に応じて対象物ＯＪを領域ａ～ｊに分けると、図１０及び図１１に示されるように、ＴＤＩ動作により、対象物ＯＪにおける同一領域を透過した光が検出されることにより画素部ＰＤ１～ＰＤ４から出力される電荷信号に対応する信号が、同一のＡ／Ｄ変換器ＡＤ１～ＡＤ４に入力される。例えば、領域ａからの光が検出されることに基づく信号は、Ａ／Ｄ変換器ＡＤ１に入力される。そして、４フレーム分の信号に相当するカウント値に応じた電圧信号（４ａ）が容量６５において保持され、当該電圧信号（４ａ）が時刻Ｔ６においてＡ／Ｄ変換器ＡＤ１からデジタル値と

して読み出される。このようにＮフレーム分の信号に相当するカウント値を取得することで、取得画像におけるＳ／Ｎ比を向上することができる。ＴＤＩ動作においては、スイッチアレイ４０がチャージアンプＣＡ１～ＣＡ４とＡ／Ｄ変換器ＡＤ１～ＡＤ４との間の接続状態を切り替えるタイミングが、第１方向Ｘ１に沿っての対象物ＯＪの搬送（例えば搬送速度）と同期される。

［作用及び効果］

[0054] 撮像素子１では、Ｍ個の回路ユニット５の各々が、Ｎ個のチャージアンプ３１と、Ｎ個のＡ／Ｄ変換器６１と、スイッチアレイ４０（スイッチ回路）と、を有している。そして、各回路ユニット５において、画素部１１から出力される電荷信号に対応する電圧信号（加算信号）が保持されるＡ／Ｄ変換器６１の容量６５（保持部）が、第１方向Ｘ１に沿ってのＮ個の画素部１１の並び順に従って切り替わるように、チャージアンプ３１とＡ／Ｄ変換器６１の容量６５との間の接続状態が切り替えられ、これによりＴＤＩ動作が実現される。このようなＡ／Ｄ変換器６１を用いた加算処理によってＴＤＩ動作を実現することで、例えば単に信号をデジタル加算するためのメモリを回路ユニット５に設ける場合と比べて、回路規模の増大を抑制することができる。また、例えば信号を撮像素子１の外部に出力して外部でデジタル加算処理を行う場合と比べて、出力信号量を低減することができる。更に、撮像素子１では、画素部１１から出力された電荷信号がチャージアンプ３１により電圧信号に変換され、当該電圧信号がＡ／Ｄ変換器６１において加算処理される。これにより、画素部１１からの電荷信号の転送におけるロスを低減することができ、効率的なＴＤＩ動作を実現することができる。よって、撮像素子１によれば、回路規模の増大を抑制すると共に出力信号量を低減しつつ、効率的なＴＤＩ動作を実現することができる。

[0055] 図１２及び図１３を参照しつつ、画素部１１からの電荷信号の転送におけるロスの低減について説明する。図１２は、比較例における電荷転送を説明するための回路図であり、図１３は、実施形態における電荷転送を説明する

ための回路図である。図１２に示される比較例では、画素部からの信号電荷Ｑ１が、スイッチＳＷをオンすることにより積分容量Ｃ２に転送される。この場合、画素部側の容量（フォトダイオードの容量等）をＣ１とすると、ノード２の電圧Ｖ２は、完全に転送されればＱ１／Ｃ２となるところが、実際にはＱ１／（Ｃ１＋Ｃ２）となってしまう。その後、スイッチＳＷをオフしても、積分容量Ｃ２に転送される電荷はＱ１×Ｃ２／（Ｃ１＋Ｃ２）となり、電荷転送が不十分となる（容量分割）。

[0056] 一方、図１３に示されるように、画素部１１にチャージアンプ３１が接続されている場合、画素部１１からの信号電荷Ｑによってはノードａの電位は変化せず、オペアンプ３２の仮想接地の効果により、ノードａの電位は基準電圧Ｖｒｅｆと同電位となり続ける。ノードａの電位が変化しないことから、信号電荷Ｑの全部が容量部３３に蓄積され、チャージアンプ３１からの出力電圧はＱ／Ｃｆとなり、電荷信号の転送におけるロスを低減することができる。なお、Ｃｆは容量部３３の容量である。

[0057] 各Ａ／Ｄ変換器６１が、シングルスロープ型に構成されている。これにより、簡易な構成で効率的なＴＤＩ動作を実現することができる。

[0058] スイッチアレイ４０が、チャージアンプ３１とＡ／Ｄ変換器６１のコンパレータ６２（加算処理部）との間に接続されている。これにより、簡易な構成で効率的なＴＤＩ動作を実現することができる。

[0059] 第２方向Ｘ２における各配置領域Ｒの幅が、第２方向Ｘ２における画素部１１の幅の１／Ｎ以下となっている。これにより、回路ユニット５を効率的に配置することができ、回路規模の増大を一層抑制することができる。

[0060] 各画素部１１が、表面型のフォトダイオードを含んでいる。これにより、画素部１１を大面積化することができる。

[0061] Ｎが８以上の整数である。このように画素の数が多い場合には、回路規模の増大や出力信号量の増加が問題となりやすいが、撮像素子１では、そのような場合でも、回路規模の増大を抑制すると共に出力信号量を低減しつつ、効率的なＴＤＩ動作を実現することができる。

［変形例］

[0062] 撮像素子１は、図１４に示される第１変形例のように構成されてもよい。上記実施形態では撮像素子１の全体が１つのチップ上に形成されていたが、第１変形例では、画素ユニット２と、回路部３及びデコーダ４とが別チップに形成されており、互いに分離されている。使用時には、画素ユニット２が回路部３（アンプアレイ３０）に電気的に接続される。このような第１変形例によっても、上記第１実施形態と同様に、回路規模の増大を抑制すると共に出力信号量を低減しつつ、効率的なＴＤＩ動作を実現することができる。

[0063] 撮像素子１は、図１５～図１８に示される第２変形例のように構成されてもよい。第２変形例では、各画素部１１の受光素子が、埋め込み型のフォトダイオードにより構成されている。各画素部１１は、受光素子に加えて画素アンプ１３を有している。画素アンプ１３は、容量１４と、トランジスタ１５，１６と、ソースフォロワアンプ１７と、を有している。容量１４は、例えばフローティングディフュージョンであり、半導体基板に形成された蓄積領域である。受光素子の信号電荷は容量１４に全て転送され、電圧に変換される。トランジスタ１５は、例えばＭＯＳトランジスタであり、受光素子からの信号の容量１４への転送を制御する。トランジスタ１６は、例えばＭＯＳトランジスタであり、容量１４のリセットを制御する。ソースフォロワアンプ１７は、容量１４からの電圧信号を増幅して出力する。ソースフォロワアンプ１７は、カップリング容量１８を介してチャージアンプ３１に接続されている。ソースフォロワアンプ１７からの出力信号は、カップリング容量１８で電荷に変換され、チャージアンプ３１において電荷から電圧に再度変換される。図１５において、Ｖｒは容量１４のリセット電圧であり、Ｖｂ１はバイアス電圧であり、Ｖｂ２は基準電圧であり、ＴＲＡＮは転送信号であり、ＲＳ＿Ｐは容量１４のリセット信号である。

[0064] 第２変形例では、図１６に示されるように、メモリユニット５１は、１つの容量５２及び１つのスイッチ５３を有している。第２変形例では、チャージアンプ３１からの電圧信号が容量５２に保持される順番がＮレベル、Ｓレ

ベルの順であり、ＡＤＣアレイ６０によるＡＤ変換の順番と同一であるため、容量５２及びスイッチ５３の対が１つのみ設けられている。スイッチ５３は、切替信号ＳＥＴに従ってオンオフされる。

[0065] 図１７及び図１８は、第２変形例の撮像素子１の動作を示すタイミングチャートである。第２変形例においても、画素部ＰＤ１～ＰＤ４から出力される電荷信号に対応する電圧信号が保持されるＡ／Ｄ変換器ＡＤ１～ＡＤ４の容量６５（保持部）が、第１方向Ｘ１に沿っての画素部ＰＤ１～ＰＤ４の並び順に従って切り替わるように、スイッチアレイ４０が、チャージアンプＣＡ１～ＣＡ４とＡ／Ｄ変換器ＡＤ１～ＡＤ４の容量６５との間の接続状態を切り替える。

[0066] このような第２変形例によっても、上記第１実施形態と同様に、回路規模の増大を抑制すると共に出力信号量を低減しつつ、効率的なＴＤＩ動作を実現することができる。また、各画素部１１が埋め込み型のフォトダイオードを含んでいるため、高感度化及び低ノイズ化を図ることができる。

[0067] 撮像素子１は、図１９～図２７に示される第３変形例のように構成されてもよい。第３変形例では、各画素部１１の受光素子は、表面型のフォトダイオードにより構成されている。図１９に示されるように、各回路ユニット５は、スイッチアレイ（スイッチ回路）４０Ａと、アンプアレイ３０Ａと、メモリアレイ５０Ａと、を有している。

[0068] 図２０に示されるように、スイッチアレイ４０Ａは、画素部１１とアンプアレイ３０Ａとの間に接続されている点を除いて、上記第１実施形態のスイッチアレイ４０と同様に構成されている。スイッチアレイ４０Ａは、スイッチ４２ａ～４２ｄのオンオフに従って画素部ＰＤ１～ＰＤ４とチャージアンプＣＡ１～ＣＡ４（加算部）の容量部３３との間の接続状態が切り替わるように構成されている。

[0069] 図２１に示されるように、アンプアレイ３０Ａは、スイッチユニットＳＵ１～ＳＵ４とメモリユニットＭＲ１～ＭＲ４との間に接続されている。チャージアンプＣＡ１，ＣＡ２，ＣＡ３，ＣＡ４のリセットスイッチ３４には、

別個のリセット信号ＲＳ＿Ａ１，ＲＳ＿ＡＣ２，ＲＳ＿Ａ３，ＲＳ＿Ａ４が入力される。これにより、チャージアンプＣＡ１～ＣＡの容量部３３のリセットを独立して行うことが可能となっている。アンプアレイ３０Ａは、これらの点を除いて、上記第１実施形態のアンプアレイ３０と同様に構成されている。

[0070] 図２２に示されるように、メモリアレイ５０Ａには、チャージアンプＣＡ１～ＣＡ４からの電圧信号が入力される。メモリユニットＭＲ１～ＭＲ４からの出力信号は、例えば差動アンプ等を用いて読み出される。メモリユニットＭＲ１において、スイッチ５３Ｎ，５３Ｓは切替信号ＳＥＴＮ１，ＳＥＴＳ１に従ってオンオフされ、スイッチ５４Ｎ，５４Ｓは読出信号Ｄ１に従ってオンオフされる。メモリユニットＭＲ２において、スイッチ５３Ｎ，５３Ｓは切替信号ＳＥＴＮ２，ＳＥＴＳ２に従ってオンオフされ、スイッチ５４Ｎ，５４Ｓは読出信号Ｄ２に従ってオンオフされる。メモリユニットＭＲ３において、スイッチ５３Ｎ，５３Ｓは切替信号ＳＥＴＮ３，ＳＥＴＳ３に従ってオンオフされ、スイッチ５４Ｎ，５４Ｓは読出信号Ｄ３に従ってオンオフされる。メモリユニットＭＲ４において、スイッチ５３Ｎ，５３Ｓは切替信号ＳＥＴＮ４，ＳＥＴＳ４に従ってオンオフされ、スイッチ５４Ｎ，５４Ｓは読出信号Ｄ４に従ってオンオフされる。メモリアレイ５０Ａはリセットスイッチ５５を有しておらず、上述した差動アンプのリセット時に併せてリセットされる。メモリアレイ５０Ａは、これらの点を除いて、上記第１実施形態のメモリアレイ５０と同様に構成されている。

[0071] 第３変形例においても、Ｍ個の回路ユニット５は、対応する画素アレイ１２と第１方向Ｘ１において隣り合うように配置されており、各回路ユニット５は、第２方向Ｘ２に並ぶＮ個の配置領域Ｒを有している。なお、各回路ユニット５は、Ｔ個（ＴはＮ以上の整数）の配置領域Ｒを有していてもよい。第３変形例では、各配置領域Ｒには、チャージアンプ３１及びメモリユニット５１が１つずつ配置されている。第２方向Ｘ２における各配置領域Ｒの幅は、第２方向Ｘ２における画素部１１の幅の１／Ｎ以下となっている。

[0072] 図２３～図２５は、第３変形例の撮像素子１の動作を示すタイミングチャートであり、図２６及び図２７は、第３変形例のＴＤＩ動作による加算処理を説明するための図である。第３変形例では、画素部ＰＤ１～ＰＤ４から出力される電荷信号が蓄積されるチャージアンプＣＡ１～ＣＡ４の容量部３３が、第１方向Ｘ１に沿っての画素部ＰＤ１～ＰＤ４の並び順に従って切り替わる。

[0073] すなわち、図２３及び図２４に示されるように各部が動作することにより、図２５に示されるように、時刻Ｔ１，Ｔ２の間の期間においては、画素部ＰＤ１，ＰＤ４，ＰＤ３，ＰＤ２から出力される電荷信号が、それぞれチャージアンプＣＡ１，ＣＡ２，ＣＡ３，ＣＡ４の容量部３３に蓄積される。時刻Ｔ２において、チャージアンプＣＡ２の容量部３３に蓄積されている電荷信号が読み出される。時刻Ｔ２，Ｔ３の間の期間においては、画素部ＰＤ２，ＰＤ１，ＰＤ４，ＰＤ３から出力される電荷信号が、それぞれチャージアンプＣＡ１，ＣＡ２，ＣＡ３，ＣＡ４の容量部３３に蓄積される。時刻Ｔ３において、チャージアンプＣＡ３の容量部３３に蓄積されている電荷信号が読み出される。時刻Ｔ３，Ｔ４の間の期間においては、画素部ＰＤ３，ＰＤ２，ＰＤ１，ＰＤ４から出力される電荷信号が、それぞれチャージアンプＣＡ１，ＣＡ２，ＣＡ３，ＣＡ４の容量部３３に蓄積される。時刻Ｔ４において、チャージアンプＣＡ４の容量部３３に蓄積されている電荷信号が読み出される。時刻Ｔ４，Ｔ５の間の期間においては、画素部ＰＤ４，ＰＤ３，ＰＤ２，ＰＤ１から出力される電荷信号が、それぞれチャージアンプＣＡ１，ＣＡ２，ＣＡ３，ＣＡ４の容量部３３に蓄積される。時刻Ｔ５において、チャージアンプＣＡ１の容量部３３に蓄積されている電荷信号が読み出される。

[0074] 図２６及び図２７に示されるように、第３変形例のＴＤＩ動作では、対象物ＯＪにおける同一領域を透過した光が検出されることにより画素部ＰＤ１～ＰＤ４から出力される電荷信号が、同一のチャージアンプＣＡ１～ＣＡ４においてアナログ値として加算（蓄積）される。例えば、領域ａからの光が

検出されることに基づく信号は、チャージアンプＣＡ１において加算される。そして、４フレーム分の信号が加算されて得られた電荷信号（４ａ）が、時刻Ｔ５においてチャージアンプＣＡ１から読み出される。

[0075] このような第３変形例によっても、回路規模の増大を抑制すると共に出力信号量を低減しつつ、効率的なＴＤＩ動作を実現することができる。すなわち、第３変形例の撮像素子１では、Ｍ個の回路ユニット５の各々が、Ｎ個のチャージアンプ３１と、スイッチアレイ４０Ａ（スイッチ回路）と、を有している。そして、各回路ユニット５において、画素部１１から出力される電荷信号が蓄積される（電荷（アナログ値）として加算される）チャージアンプ３１の容量部３３が、第１方向Ｘ１に沿ってのＮ個の画素部１１の並び順に従って切り替わるように、画素部１１とチャージアンプ３１との間の接続状態が切り替えられ、これによりＴＤＩ動作が実現される。このようなチャージアンプ３１を用いたアナログ加算処理によってＴＤＩ動作を実現することで、例えば単に信号をデジタル的に加算するためのメモリを回路ユニット５に設ける場合と比べて、回路規模の増大を抑制することができる。また、例えば信号を撮像素子１の外部に出力して外部でデジタル加算処理を行う場合と比べて、出力信号量を低減することができる。更に、撮像素子１では、画素部１１から出力された電荷信号がチャージアンプ３１の容量部３３に蓄積されてアナログ加算され、チャージアンプ３１により電圧信号に変換される。これにより、画素部１１からの電荷信号の転送におけるロスを低減することができ、効率的なＴＤＩ動作を実現することができる。よって、第３変形例の撮像素子１によっても、回路規模の増大を抑制すると共に出力信号量を低減しつつ、効率的なＴＤＩ動作を実現することができる。

[0076] また、第２方向Ｘ２における各配置領域Ｒの幅が、第２方向Ｘ２における画素部１１の幅の１／Ｎ以下となっているため、回路ユニット５を効率的に配置することができ、回路規模の増大を一層抑制することができる。なお、第３変形例において、メモリアレイ５０に代えて、１つのメモリユニット５１のみを有するメモリ部が設けられ、デコーダ４に代えてシフトレジスタが

設けられてもよい。この場合でも、ＴＤＩ動作を実現することができる。ただし、第３変形例のようにＮ個のメモリユニット５１を有するメモリアレイ５０を用いてデコーダ４で読出しを行うことで、フレームの加算数を変更することが可能となる。

[0077] 第４変形例として、上記第３変形例において、各画素部１１の受光素子が埋め込み型のフォトダイオードにより構成されてもよい。第４変形例では、図２８に示されるように、上記第２変形例と同様に、各画素部１１は、受光素子に加えて画素アンプ１３を有している。各画素部１１は、カップリング容量１８を介してスイッチユニット４１に接続されている。カップリング容量１８とスイッチユニット４１との間には、リセット信号ＲＳ＿Ｓに従ってオンオフされるスイッチ１９が設けられている。受光素子で発生した電荷信号は、ソースフォロワアンプ１７により電圧信号に変換される。当該電圧信号は、カップリング容量１８を介することにより電荷信号に変換される。図２８には、画素部１１からの出力としてＰＤ１，ＰＤ２，ＰＤ３，ＰＤ４が示されている。第４変形例の撮像素子１は、図２９及び図３０に示されるタイミングチャートに従って動作する。このような第４変形例によっても、上記第３変形例と同様に、回路規模の増大を抑制すると共に出力信号量を低減しつつ、効率的なＴＤＩ動作を実現することができる。

[0078] 本開示は、上記第１実施形態及び変形例に限られない。例えば、画素部１１は、光電変換を行うものであればよく、可視光に限らず、赤外線やＸ線を検出するものであってもよい。上記第１実施形態において、Ａ／Ｄ変換器６１は、シングルスロープ型に限られない。Ａ／Ｄ変換器６１は、入力された電圧信号をデジタル値に変換し、当該デジタル値を逐次加算するものであってもよい。上記第１実施形態において、スイッチアレイ４０は、Ａ／Ｄ変換器６１のコンパレータ６２とカウンタ６３との間に接続されていてもよい。この場合でも、スイッチアレイ４０により、チャージアンプＣＡ１～ＣＡ４とＡ／Ｄ変換器ＡＤ１～ＡＤ４の容量６５との間の接続状態を切り替えることができる。

[0079] 上記第１実施形態では４フレーム分の信号に応じてカウントされて当該カウント値がデジタル値として読み出されたが、Ａ／Ｄ変換器ＡＤ１～ＡＤ４のカウンタ６３に入力されるリセット信号ＲＳ＿Ｃ１～Ｃ４、及びデコーダ４からの読出信号Ｄ１～Ｄ４のタイミングを変更することで、フレームの加算数を変更することができる。第３変形例及び第４変形例についても、第１変形例と同様に、画素ユニット２と、回路部３及びデコーダ４とが別チップに形成されてもよい。

［第２実施形態］

[0080] 図３１に示されるＸ線画像取得システム１００は、第１方向Ｘ１に沿って搬送される対象物ＯＪのＸ線画像を取得するシステムである。Ｘ線画像取得システム１００は、Ｘ線源１０１と、搬送部１０２と、Ｘ線画像取得装置１１０と、を備えている。Ｘ線画像取得装置１１０は、撮像素子１２０と、制御部１３０と、を備えている。

[0081] Ｘ線源１０１は、Ｘ線を出力する。Ｘ線源１０１の前方には、Ｘ線源１０１からのＸ線の照射範囲を規定するためのスリット部材１０３が配置されている。搬送部１０２は、例えばベルトコンベアであり、ベルトが回転することにより、ベルト上に載置された対象物ＯＪを第１方向Ｘ１に沿って搬送する。搬送部１０２による搬送経路は、Ｘ線源１０１によるＸ線の照射範囲内を通るように設定されている。一例として、対象物ＯＪは食品であり、Ｘ線画像取得システム１００は、対象物ＯＪ内への異物の混入の有無を検査するために用いられる。

[0082] 図１及び図２に示されるように、撮像素子１２０は、画素ユニット２と、回路部３と、を備えている。また、図示は省略されているが、撮像素子１２０は、上述したデコーダ４を更に備えている。回路部３は、Ｍ個の画素アレイ１２に対応して設けられたＭ個の回路ユニット５を備えている。各回路ユニット５は、アンプアレイ３０と、スイッチアレイ（スイッチ部）４０と、メモリアレイ５０と、ＡＤＣアレイ６０と、を有している。撮像素子１２０は、以下に述べる点を除いて、第１実施形態の撮像素子１と同様に構成され

ている。

[0083] 撮像素子１２０では、第１方向Ｘ１における画素ユニット２と回路部３との間の部分である間隙部１０５の幅ＤＳが、第１方向Ｘ１における画素部１１の幅の２倍以上となっている。換言すれば、画素ユニット２とＭ個の回路ユニット５との間には、画素部１１の幅の２倍以上の間隔が空けられている。間隔ＤＳは、画素部１１の幅の５倍以上であってもよい。間隔ＤＳは、例えば２ｍｍ程度である。

[0084] Ｘ線画像取得装置１１０は、画素ユニット２の上方（画素ユニット２と搬送部１０２との間）に配置されたシンチレータ１０４を更に備えている。シンチレータ１０４は、対象物ＯＪを透過したＸ線をシンチレーション光に変換する。撮像素子１２０の各画素部１１は、シンチレータ１０４により変換されたシンチレーション光を受光して検出する。

[0085] Ｘ線画像取得装置１１０は、撮像素子１２０と搬送部１０２との間に配置された遮蔽部材１０６を更に備えている。遮蔽部材１０６は、例えば鉛により形成されてＸ線に対して不透過性（遮蔽性）を有する本体部１０６ａを有している。本体部１０６ａには、スリット（開口）１０６ｂが形成されている。遮蔽部材１０６は、画素ユニット２がスリット１０６ｂと向かい合い、Ｍ個の回路ユニット５が本体部１０６ａ（遮蔽部材１０６におけるスリット１０６ｂ以外の部分）と向かい合うように、配置されている。これにより、Ｘ線源１０１から出力されて画素ユニット２へ向かうＸ線はスリット１０６ｂを通過し、Ｘ線源１０１から出力されて回路ユニット５へ向かうＸ線は遮蔽部材１０６によって遮蔽される。遮蔽部材１０６は、撮像素子１２０における間隙部１０５を覆っていてもよい。すなわち、間隙部１０５は、遮蔽部材１０６の本体部１０６ａと向かい合っていてもよい。

[0086] 撮像素子１２０では、Ｍ個の画素アレイ１２の各々のＮ個の画素部１１と、Ｍ個の回路ユニット５とが、Ｎ×Ｍ本の配線６により電気的に接続されている。各配線６は、画素部１１上を通るように、第１方向Ｘ１に沿って直線状に延在している。各配線６は、回路ユニット５から画素部１１まで直線状

に延在する本体部６ａと、本体部６ａと画素部１１との間の接続箇所ＣＰから回路ユニット５とは反対側（図３２中中の左側）に直線状に延在する延在部６ｂと、を有している。この例では、延在部６ｂは、本体部６ａから電気的に分離されている。すなわち、本体部６ａにより、画素部１１と回路ユニット５とが互いに電気的に接続されている。

[0087] 制御部１３０は、例えば、プロセッサ（ＣＰＵ）と、記録媒体であるＲＡＭ及びＲＯＭとを含むコンピュータによって構成されている。制御部１３０は、Ｘ線源１０１、搬送部１０２及び撮像素子１２０に電気的に接続されており、Ｘ線源１０１、搬送部１０２及び撮像素子１２０の動作を制御する。なお、Ｘ線源１０１、搬送部１０２及び撮像素子１２０を制御する制御部は別個に設けられていてもよい。

［ＴＤＩ動作］

[0088] 図３３及び図３４を参照しつつ、Ｘ線画像取得システム１００におけるＴＤＩ動作について説明する。このＴＤＩ動作は、制御部１３０が各部を制御することにより実現される。以下、Ｎが８である場合を例に挙げて説明するが、Ｎが他の値であっても同様である。１つの画素アレイ１２に備えられた８個の画素部１１を、第１方向Ｘ１における並び順に従ってそれぞれ画素部ＰＤ１～ＰＤ８とし、画素部ＰＤ１，ＰＤ２，ＰＤ３，ＰＤ４，ＰＤ５，ＰＤ６，ＰＤ７，ＰＤ８からの電荷信号に対応する電圧信号をデジタル値に変換するＡ／Ｄ変換器６１を、それぞれ加算部ＡＮ１，ＡＮ２，ＡＮ３，ＡＮ４，ＡＮ５，ＡＮ６，ＡＮ７，ＡＮ８とする。

[0089] このＴＤＩ動作においても、上記第１実施形態と同様に、画素部ＰＤ１～ＰＤ８から出力される出力信号（電荷信号）に対応する電気信号（電圧信号）に応じたカウントを行う加算部ＡＮ１～ＡＮ８が、第１方向Ｘ１に沿っての画素部ＰＤ１～ＰＤ８の並び順に従って切り替わるように、スイッチアレイ４０が、チャージアンプ３１とＡ／Ｄ変換器６１との間（画素部ＰＤ１～ＰＤ８と加算部ＡＮ１～ＡＮ８との間）の接続状態を切り替える。これにより、対象物ＯＪにおける同一領域を透過した光が検出されることにより画素

部ＰＤ１～ＰＤ８から出力される出力信号（電荷信号）に対応する電気信号（電圧信号）が、同一の加算部ＡＮ１～ＡＮ８において加算される。

[0090] 例えば、図３４に示されるように、時刻Ｔ２，Ｔ３の間の期間においては、画素部ＰＤ１からの出力信号に対応する電気信号が、加算部ＡＮ１において加算される。時刻Ｔ３，Ｔ４の間の期間においては、画素部ＰＤ１，ＰＤ２からの出力信号に対応する電気信号が、それぞれ加算部ＡＮ２，ＡＮ１において加算される。時刻Ｔ４，Ｔ５の間の期間においては、画素部ＰＤ１，ＰＤ２，ＰＤ３からの出力信号に対応する電気信号が、それぞれ加算部ＡＮ３，ＡＮ２，ＡＮ１において加算される。時刻Ｔ５，Ｔ６の間の期間においては、画素部ＰＤ１，ＰＤ２，ＰＤ３，ＰＤ４からの出力信号に対応する電気信号が、それぞれ加算部ＡＮ４，ＡＮ３，ＡＮ２，ＡＮ１において加算される。以降の時刻においても加算処理が順次行われ、時刻Ｔ１０において、８フレーム分の信号が加算されて得られた電圧信号（８ａ）が加算部ＡＮ１から読み出され、デジタル値に変換される。このように、この例では、８フレーム分の信号が加算されて取得される。Ｘ線画像取得装置１１０から出力されるデータは、デジタル値に変換されたデジタル信号自体であってもよいし（加算演算）、当該デジタル値を加算したフレーム数で除した平均値であってもよい（平均演算）。演算方法は加算演算及び平均演算から選択可能となっていてもよい。

[0091] このＴＤＩ動作においては、スイッチアレイ４０が画素部ＰＤ１～ＰＤ８と加算部ＡＮ１～ＡＮ８との間の接続状態を切り替えるタイミングが、第１方向Ｘ１に沿っての対象物ＯＪの搬送（例えば搬送速度）と同期される。例えば、対象物ＯＪの搬送と同期した周期的なライン信号を制御部１３０が生成してもよい。この場合、制御部１３０は、当該ライン信号に基づいてスイッチアレイ４０による切替タイミングを制御し、撮像素子１２０にＴＤＩ動作を行わせる。或いは、制御部１３０以外の要素により生成される外部からの同期信号を制御部１３０が受信してもよい。この場合、制御部１３０は、当該同期信号に基づいてスイッチアレイ４０による切替タイミングを制御し

、撮像素子１２０にＴＤＩ動作を行わせる。そのような同期信号は、例えば搬送部１０２に設けられたエンコーダにより生成され得る。搬送速度は、例えば１０ｍ／ｍｉｎ～６０ｍ／ｍｉｎ程度である。

［作用及び効果］

[0092] Ｘ線画像取得装置１１０では、Ｍ個の回路ユニット５の各々が、Ｎ個のＡ／Ｄ変換器６１（加算部）と、スイッチアレイ４０（スイッチ部）と、を有している。そして、各回路ユニット５において、対象物ＯＪにおける同一領域を透過したＸ線が検出されることにより画素部１１から出力される出力信号（電荷信号）に対応する電気信号（電圧信号）が同一のＡ／Ｄ変換器６１において加算されるように、第１方向Ｘ１に沿っての対象物ＯＪの搬送と同期して、Ｎ個の画素部１１とＮ個のＡ／Ｄ変換器６１との間の接続状態が切り替えられ、これによりＴＤＩ動作が実現される。このように回路ユニット５における加算処理によってＴＤＩ動作を実現することで、上述した記憶手段における加算演算の速度の問題を回避することができ、画素部１１の数が増加した場合でもＴＤＩ動作を実現することができる。また、上述した記憶手段のようなメモリを省略することができ、構成を簡易化することができる。更に、Ｘ線画像取得装置１１０では、スイッチアレイ４０を用いて画素部１１とＡ／Ｄ変換器６１との間の接続状態を切り替えることで、ＴＤＩ動作が実現される。これにより、例えば単に信号をデジタル加算するためのメモリを回路ユニット５に設ける場合と比べて、回路規模を縮小することができる。よって、Ｘ線画像取得装置１１０によれば、画素部１１の数が増加した場合でもＴＤＩ動作を実現することができると共に、構成の簡易化及び回路規模の縮小を図ることができる。また、ＴＤＩ動作により信号を加算して取得することで、取得画像におけるＳ／Ｎ比を向上することができる。このようなＴＤＩ動作は、Ｘ線の漏洩量の低減やＸ線源１０１の長寿命化のためにＸ線源１０１が低出力化された場合に特に有効となる。Ｘ線源１０１が低出力化されると信号量が低下してＳ／Ｎ比が低下し得るためである。また、撮像素子１２０内で加算処理を行うため、外部との接続のための配線の本数を

削減することができ、その結果、小画素多列化を実現することが可能となる。また、上述した記憶手段におけるデジタル加算演算の場合、データの記録、演算及び消去を繰り返し行い続けなければならず、コンピュータに大きな負荷がかかるのに対し、Ｘ線画像取得装置１１０では、スイッチアレイ４０による切替により加算部においてデータ蓄積を行うため、コンピュータ（制御部１３０）にかかる負荷を低減することができる。なお、上述したとおり、ＡＤＣアレイ６０は、Ｔ個（ＴはＮ以上の整数）のＡ／Ｄ変換器６１を含んでいてもよい。すなわち、各回路ユニット５は、Ｔ個のＡ／Ｄ変換器６１（加算部）を有していてもよい。この場合でも、上記実施形態と同様にＴＤＩ動作を行うことができる。

[0093] Ｎ個の画素部１１が、シンチレータ１０４により変換されたシンチレーション光を受光する。これにより、Ｘ線をシンチレーション光に変換して検出することができる。

[0094] 加算部がＡ／Ｄ変換器６１によって構成されている。これにより、Ａ／Ｄ変換器６１を用いてＴＤＩ動作を実現することができる。

[0095] 画素ユニット２とＭ個の回路ユニット５との間には、画素部１１の幅の２倍以上の間隔ＤＳが空けられている。これにより、画素ユニット２と比べてＸ線に対する耐久性が低い回路ユニット５へのＸ線の入射を抑制することができる。

[0096] 画素ユニット２が、遮蔽部材１０６のスリット１０６ｂと向かい合っており、Ｍ個の回路ユニット５が、遮蔽部材１０６の本体部１０６ａ（遮蔽部材１０６におけるスリット１０６ｂ以外の部分）と向かい合っている。これにより、画素ユニット２へのＸ線の入射を許容しつつ、回路ユニット５へのＸ線の入射を抑制することができる。

[0097] Ｎ×Ｍ本の配線６の各々が、Ｎ個の画素部１１上を通るように延在している。これにより、第２方向Ｘ２に並ぶＭ個の画素アレイ１２間にＮ本の配線６が集約されず、不感部の局在的な発生を回避することができる。

[0098] Ｎ×Ｍ本の配線６の各々が、回路ユニット５から画素部１１まで延在する

本体部６ａと、本体部６ａと画素部１１との間の接続箇所ＣＰから回路ユニット５とは反対側に延在する延在部６ｂと、を有し、延在部６ｂが本体部６ａから電気的に分離されている。これにより、Ｎ個の画素部１１の開口率を均一化することができると共に、延在部に起因する寄生容量の発生を抑制することができる。

[0099] Ｎが８以上の整数である。Ｘ線画像取得装置１１０によれば、このように画素部１１の数が多い場合でも、ＴＤＩ動作を実現することができると共に、構成の簡易化及び回路規模の縮小を図ることができる。

［変形例］

[0100] 第５変形例として、Ｘ線画像取得装置１１０は、加算フレーム数（加算処理を行う画素部１１の数）の切替機能を有していてもよい。図３３及び図３４に示される例では８フレーム（全フレーム）分の信号が加算して取得されたが、すなわち加算フレーム数が８であったが、加算フレーム数は１～Ｎの中から選択可能となっていてもよい。より具体的には、制御部１３０が、第１方向Ｘ１に並ぶＬ個の画素部１１からの出力信号に対応する電気信号がＡ／Ｄ変換器６１において加算された後に、Ａ／Ｄ変換器６１によりデジタル信号に変換されて読み出されるように、各回路ユニット５を制御してもよい。Ｌの値は、１以上Ｎ以下の整数の中から選択され得る。Ｌの値として０が設定可能となっていてもよい。すなわち、Ｘ線画像取得装置１１０は、加算処理を行わないモードを有していてもよい。

[0101] 図３５は、加算フレーム数の切替時のＴＤＩ動作を説明するための図である。図３５には、Ｌが４である場合の例が示されている。図３５中の「＊」は、任意の状態であってよいことを示している。すなわち、「＊」の場合、リセット状態となっていてもよいし、加算部ＡＮ１～ＡＮ８と接続されていなくてもよい。或いは、加算部ＡＮ１～ＡＮ８に接続されていてもよく、例えば信号を読み出し済みである場合、その後は任意の状態であってもよい。この点は後述する図３８，３９，４６においても同様である。

[0102] 図３５に示されるように、時刻Ｔ５，Ｔ６の間の期間においては、画素部

ＰＤ１，ＰＤ２，ＰＤ３，ＰＤ４からの出力信号に対応する電気信号が、それぞれ加算部ＡＮ４，ＡＮ３，ＡＮ２，ＡＮ１において加算される。時刻Ｔ６，Ｔ７の間の期間においては、画素部ＰＤ１，ＰＤ２，ＰＤ３，ＰＤ４からの出力信号に対応する電気信号が、それぞれ加算部ＡＮ５，ＡＮ４，ＡＮ３，ＡＮ２において加算され、画素部ＰＤ５はリセット状態となっている。時刻Ｔ７，Ｔ８の間の期間においては、画素部ＰＤ１，ＰＤ２，ＰＤ３，ＰＤ４からの出力信号に対応する電気信号が、それぞれ加算部ＡＮ６，ＡＮ５，ＡＮ４，ＡＮ３において加算され、画素部ＰＤ５，ＰＤ６はリセット状態となっている。時刻Ｔ６において、４フレーム分の信号が加算されて得られた電圧信号（４ａ）が加算部ＡＮ１から読み出され、デジタル値に変換される。このように、この例では、４フレーム分の信号が加算され、デジタル値として取得される。

[0103] このような第５変形例によっても、上記第２実施形態と同様に、画素部１１の数が増加した場合でもＴＤＩ動作を実現することができると共に、構成の簡易化及び回路規模の縮小を図ることができる。また、加算処理を行う画素部１１の数を、例えばＸ線の漏洩量や対象物の厚さ等に応じて選択することが可能となる。

[0104] この点について図３６及び図３７を参照しつつ説明する。図３６（ａ）及び図３６（ｂ）に示されるように、対象物ＯＪへのＸ線の照射は、Ｘ線の漏洩を抑制するために、遮蔽ボックス１４０内で行われることがある。Ｘ線の照射範囲が広くなるほど、遮蔽ボックス１４０からＸ線が漏洩し易くなり、遮蔽ボックス１４０による遮蔽性を高める必要がある。図３６（ｂ）では、図３６（ａ）と比べてＸ線の照射範囲が広く、Ｘ線の漏洩量が多くなっている。ここで、加算フレーム数を増加させると、Ｓ／Ｎ比を向上することができる一方で、Ｘ線の照射範囲を広くする必要があり、Ｘ線の漏洩量が多くなってしまう。この点、第５変形例によれば、加算フレーム数の切替機能を有することで、Ｓ／Ｎ比の向上とＸ線の漏洩量との間のバランスを考慮して加算フレーム数を選択することが可能となる。

[0105] 図３７（ａ）及び図３７（ｂ）に示されるように、Ｘ線源１０１が点光源である場合、Ｘ線は搬送方向（第１方向Ｘ１）に広がりを持って対象物ＯＪに照射される。図３７（ｂ）では、図３７（ａ）と比べてＸ線の広がり範囲が広くなっている。対象物ＯＪは厚さを有するため、Ｘ線の入射角度の違いにより斜視が生じ、例えば中央の画素部１１と端の画素部１１との間で対象物ＯＪを通る位置が相違する。斜視が生じると、画像にボケが生じる可能性がある。このようなボケを抑制する必要がある場合には、加算フレーム数を減少させ、Ｘ線の照射範囲を狭くすることが有効である。このように、第５変形例によれば、対象物ＯＪの厚さに応じて加算フレーム数を選択することが可能となる。

[0106] 第６変形例として、Ｘ線画像取得装置１１０は、加算範囲（加算処理を行う画素部１１の範囲）の切替機能を有していてもよい。より具体的には、制御部１３０が、第１方向Ｘ１におけるＰ番目からＱ番目（Ｐ＜Ｑ）までの画素部１１からの出力信号に対応する電気信号がＡ／Ｄ変換器６１において加算された後に、Ａ／Ｄ変換器６１からデジタル値として読み出されるように、各回路ユニット５を制御してもよい。Ｐ及びＱの値は、１以上Ｎ以下の整数の中から選択される。

[0107] 図３８及び図３９は、加算範囲の切替時のＴＤＩ動作を説明するための図である。図３８には、Ｐが３であり、Ｑが６である場合の例が示されている。図３８中の「－」は、クリア状態であることを示している。この点は後述する図３９，４４においても同様である。

[0108] 図３８に示されるように、時刻Ｔ４，Ｔ５の間の期間においては、画素部ＰＤ３からの出力信号に対応する電気信号が加算部ＡＮ１において加算され、画素部ＰＤ１，ＰＤ２はリセット状態となっている。時刻Ｔ５，Ｔ６の間の期間においては、画素部ＰＤ３，ＰＤ４からの出力信号に対応する電気信号が、それぞれ加算部ＡＮ２，ＡＮ１において加算され、画素部ＰＤ１，ＰＤ２はリセット状態となっている。時刻Ｔ６，Ｔ７の間の期間においては、画素部ＰＤ３，ＰＤ４，ＰＤ５からの出力信号に対応する電気信号が、それ

ぞれ加算部ＡＮ３，ＡＮ２，ＡＮ１において加算され、画素部ＰＤ１，ＰＤ２はリセット状態となっている。時刻Ｔ７，Ｔ８の間の期間においては、画素部ＰＤ３，ＰＤ４，ＰＤ５，ＰＤ６からの出力信号に対応する電気信号が、それぞれ加算部ＡＮ４，ＡＮ３，ＡＮ２，ＡＮ１において加算され、画素部ＰＤ１，ＰＤ２はリセット状態となっている。時刻Ｔ８，Ｔ９の間の期間においては、画素部ＰＤ３，ＰＤ４，ＰＤ５，ＰＤ６からの出力信号に対応する電気信号が、それぞれ加算部ＡＮ５，ＡＮ４，ＡＮ３，ＡＮ２において加算され、画素部ＰＤ１，ＰＤ２，ＰＤ７はリセット状態となっている。時刻Ｔ８において、４フレーム分の信号が加算されて得られた電圧信号（４ａ）が加算部ＡＮ１からデジタル値として読み出される。

[0109] 図３９には、Ｐが５であり、Ｑが８である場合の例が示されている。図３８に示されるように、時刻Ｔ６，Ｔ７の間の期間においては、画素部ＰＤ５からの出力信号に対応する電気信号が加算部ＡＮ１において加算され、画素部ＰＤ１～ＰＤ４はリセット状態となっている。時刻Ｔ７，Ｔ８の間の期間においては、画素部ＰＤ５，ＰＤ６からの出力信号に対応する電気信号が、それぞれ加算部ＡＮ２，ＡＮ１において加算され、画素部ＰＤ１～ＰＤ４はリセット状態となっている。時刻Ｔ８，Ｔ９の間の期間においては、画素部ＰＤ５，ＰＤ６，ＰＤ７からの出力信号に対応する電気信号が、それぞれ加算部ＡＮ３，ＡＮ２，ＡＮ１において加算され、画素部ＰＤ１～ＰＤ４はリセット状態となっている。時刻Ｔ１０において、４フレーム分の信号が加算されて得られた電圧信号（４ａ）が加算部ＡＮ１からデジタル値として読み出される。

[0110] このような第６変形例によっても、上記第２実施形態と同様に、画素部１１の数が増加した場合でもＴＤＩ動作を実現することができると共に、構成の簡易化及び回路規模の縮小を図ることができる。また、例えば、Ｘ線源１０１と画素ユニット２との間の位置関係のバラツキに対応することができる。

[0111] この点について図４０を参照しつつ説明する。Ｘ線画像取得システム１０

０に撮像素子１２０を組み込む際には、Ｘ線源１０１と撮像素子１２０（画素ユニット２）との間の位置関係にバラツキが生じ得る。図４０（ａ）及び図４０（ｂ）には、当該位置関係が異なっている様子が示されている。当該位置関係が異なると、Ｘ線の照射範囲が異なってしまう。これに対し、第６変形例によれば、加算範囲を切り替えることで、Ｘ線源１０１と画素ユニット２との間の位置関係のバラツキに対応することができる。Ｘ線が照射されない画素部１１からの信号をも加算するとノイズが増加してしまうが、第６変形例のＸ線画像取得装置１１０によれば、加算範囲の切替によりＸ線を受ける画素部１１のみからの信号を加算するように調整を行うことができ、ノイズの増加を抑制することができる。

[0112] 第７変形例として、Ｘ線画像取得装置１１０は、動作モードとして、通常モードに加えてデュアルモードを含んでいてもよい。この場合、例えば、図４１に示されるように、Ｘ線画像取得装置１１０は、シンチレータ１０４として、画素部ＰＤ１～ＰＤ４の上方に配置されたシンチレータ１０４Ａと、画素部ＰＤ５～ＰＤ８の上方に配置されたシンチレータ１０４Ｂと、を備えていてもよい。

[0113] シンチレータ１０４Ａは、高エネルギー（第１エネルギー）のＸ線をシンチレーション光に変換し、シンチレータ１０４Ｂは、低エネルギー（第１エネルギーよりも低い第２エネルギー）のＸ線をシンチレーション光に変換する。シンチレータ１０４Ａ，１０４Ｂは、例えば、異なる厚さを有していてもよいし、異なる材料により形成されていてもよい。画素部ＰＤ１～ＰＤ４は、第１方向Ｘ１において第１領域ＲＧ１に位置する画素部１１であり、シンチレータ１０４Ａからのシンチレーション光を検出する。画素部ＰＤ５～ＰＤ８は、第１方向Ｘ１において第１領域ＲＧ１に連続する第２領域ＲＧ２位置する画素部１１であり、シンチレータ１０４Ｂからのシンチレーション光を検出する。画素部ＰＤ１～ＰＤ４からの出力信号に対応する電気信号は、加算部ＡＮ１～ＡＮ４（第１加算部）において加算され、画素部ＰＤ５～ＰＤ８からの出力信号に対応する電気信号は、加算部ＡＮ５～ＡＮ８（第２

加算部）において加算される。この場合、Ｘ線画像取得装置１１０から出力される画像は、例えば、第１領域ＲＧ１及び第２領域ＲＧ２に対応した２つの領域に分離された形式となる。

[0114] デュアルモードでは、制御部１３０は、第１領域ＲＧ１に位置する画素部ＰＤ１～ＰＤ４からの出力信号に対応する電気信号が加算部ＡＮ１～ＡＮ４において加算された後に加算部ＡＮ１～ＡＮ４から電気信号が読み出されると共に、第２領域ＲＧ２に位置する画素部ＰＤ５～ＰＤ８からの出力信号に対応する電気信号が加算部ＡＮ５～ＡＮ８において加算された後に加算部ＡＮ５～ＡＮ８から電気信号が読み出されるように、Ｍ個の回路ユニットを制御する。これにより、第１領域ＲＧ１及び第２領域ＲＧ２の各々においてＴＤＩ動作を行うことができる。

[0115] 図４２及び図４３は、デュアルモードにおけるＴＤＩ動作を説明するための図である。図４３に示されるように、時刻Ｔ６，Ｔ７の間の期間においては、画素部ＰＤ１，ＰＤ２，ＰＤ３，ＰＤ４，ＰＤ５からの出力信号に対応する電気信号が、それぞれ加算部ＡＮ１，ＡＮ４，ＡＮ３，ＡＮ２，ＡＮ５において加算される。時刻Ｔ７，Ｔ８の間の期間においては、画素部ＰＤ１，ＰＤ２，ＰＤ３，ＰＤ４，ＰＤ５，ＰＤ６からの出力信号に対応する電気信号が、それぞれ加算部ＡＮ２，ＡＮ１，ＡＮ４，ＡＮ３，ＡＮ６，ＡＮ５において加算される。時刻Ｔ８，Ｔ９の間の期間においては、画素部ＰＤ１，ＰＤ２，ＰＤ３，ＰＤ４，ＰＤ５，ＰＤ６，ＰＤ７からの出力信号に対応する電気信号が、それぞれ加算部ＡＮ３，ＡＮ２，ＡＮ１，ＡＮ４，ＡＮ７，ＡＮ６，ＡＮ５において加算される。時刻Ｔ１０において、４フレーム分の信号が加算されて得られた電圧信号（４ｅ，４ａ）が加算部ＡＮ１，ＡＮ５にてそれぞれデジタル値に変換されて読み出される。このように、この例では、第１領域ＲＧ１及び第２領域ＲＧ２の各々について、４フレーム分の信号が加算して取得される。

[0116] このような第７変形例によっても、上記第２実施形態と同様に、画素部１１の数が増加した場合でもＴＤＩ動作を実現することができると共に、構成

の簡易化及び回路規模の縮小を図ることができる。また、デュアルモードを実現することができ、一度の処理で複数のＸ線画像を取得することができる。デュアルモード（デュアルエナジー）には次の利点もある。通常のＸ線を用いた非破壊検査では、Ｘ線透過像の濃淡の差により材質・異物を検出する。しかし、実際の対象物は表面に凹凸がある複雑な形状を有していたり、内部において様々な物質が密集していることでＸ線の透過度が不均一となっていたりするため、濃淡だけでは異物の判別が困難となる場合がある。対して、デュアルモードでは、１つのＸ線源１０１を用いて高／低エネルギーの２つの画像の取得を同時に行うことできる。物質によりエネルギー強度に応じた吸収度合は異なることから、これらの２つの画像を演算処理することで、物質の弁別が可能となる。なお、上述した例のような横型の配置に限らず、画素ユニット２（画素部１１）が上下に並べられた縦型の配置が採用されてもよい。この場合、例えば、上段の画素ユニット２が高エネルギーのＸ線に基づくシンチレーション光を検出し、下段の画素ユニット２が低エネルギーのＸ線に基づくシンチレーション光を検出する。このような構成によっても、デュアルモードを実現することができる。

[0117] 図４１の例では第１領域ＲＧ１と第２領域ＲＧ２とが連続していたが、第１領域ＲＧ１と第２領域ＲＧ２とは第１方向Ｘ１において並んでいればよく、第１領域ＲＧ１と第２領域ＲＧ２との間に隙間が空いていてもよい。この場合、第１領域ＲＧ１と第２領域ＲＧ２との間は空隙であってもよいし、遮蔽部材が配置されていてもよい。或いは、画素部ＰＤ１～ＰＤ３（第１領域に位置する画素部１１）の上方にシンチレータ１０４Ａが配置されると共に画素部ＰＤ６～ＰＤ８（第２領域に位置する画素部１１）の上方にシンチレータ１０４Ｂが配置され、画素部ＰＤ４，ＰＤ５（第１領域と第２領域との間の領域に位置する画素部１１）の上方には遮蔽部材が配置されるか又は隙間が形成されてもよい。画素部ＰＤ４，ＰＤ５の間には画素部１１の幅よりも広い不感帯が設けられてもよい。この場合、信号の干渉を抑制することができる。

[0118] 第７変形例において、加算部ＡＮ１～ＡＮ４（第１加算部）及び加算部ＡＮ５～ＡＮ８（第２加算部）は、図４４に示されるように配置されていてもよい。この例では、第１方向Ｘ１において、加算部ＡＮ１～ＡＮ４が加算部ＡＮ５～ＡＮ８に対して位置する側（図４４中の左側）を第１側とし、加算部ＡＮ５～ＡＮ８が加算部ＡＮ１～ＡＮ４に対して位置する側（図４４中の右側）を第２側とすると、加算部ＡＮ１～ＡＮ４は、第１領域ＲＧ１に対して第１側に配置されており、加算部ＡＮ５～ＡＮ８は、第２領域ＲＧ２に対して第２側に配置されている。この場合、第１領域ＲＧ１に位置する画素部ＰＤ１～ＰＤ４と加算部ＡＮ１～ＡＮ４とを接続する配線、及び第２領域ＲＧ２に位置する画素部ＰＤ５～ＰＤ８と加算部ＡＮ４～ＡＮ８とを接続する配線の長さを低減することができる。

[0119] 第８変形例として、Ｘ線画像取得装置１１０は、加算方向の反転機能を有していてもよい。加算方向の反転機能を有することで、例えば上記第２実施形態における搬送方向とは反対向きに対象物ＯＪが搬送される場合に対応することができる。加算方向の反転時にも、対象物ＯＪにおける同一領域を透過したＸ線が検出されることにより画素部ＰＤ１～ＰＤ８から出力される出力信号に対応する電気信号が同一の加算部ＡＮ１～ＡＮ８において加算されるように、第１方向Ｘ１に沿っての対象物ＯＪの搬送と同期して、画素部ＰＤ１～ＰＤ８と加算部ＡＮ１～ＡＮ８との間の接続状態が切り替えられる。

[0120] 図４５及び図４６は、加算方向の反転時のＴＤＩ動作を説明するための図である。図４５及び図４６の例では、８フレーム（全フレーム）分の信号が加算して取得される。時刻Ｔ２，Ｔ３の間の期間においては、画素部ＰＤ８からの出力信号に対応する電気信号が、加算部ＡＮ１において加算される。時刻Ｔ３，Ｔ４の間の期間においては、画素部ＰＤ８，ＰＤ７からの出力信号に対応する電気信号が、それぞれ加算部ＡＮ２，ＡＮ１において加算される。時刻Ｔ４，Ｔ５の間の期間においては、画素部ＰＤ８，ＰＤ７，ＰＤ６からの出力信号に対応する電気信号が、それぞれ加算部ＡＮ３，ＡＮ２，ＡＮ１において加算される。時刻Ｔ５，Ｔ６の間の期間においては、画素部Ｐ

Ｄ８，ＰＤ７，ＰＤ６，ＰＤ５からの出力信号に対応する電気信号が、それぞれ加算部ＡＮ４，ＡＮ３，ＡＮ２，ＡＮ１において加算される。以降の時刻においても加算処理が順次行われ、時刻Ｔ１０において、８フレーム分の信号が加算されて得られた電圧信号（８ｊ）が加算部ＡＮ１にてデジタル値に変換されて読み出される。

[0121] 図４７は、加算方向の反転時のＴＤＩ動作の別の例を説明するための図である。図４７の例では、４フレーム分の信号が加算して取得される。時刻Ｔ５，Ｔ６の間の期間においては、画素部ＰＤ８，ＰＤ７，ＰＤ６，ＰＤ５からの出力信号に対応する電気信号が、それぞれ加算部ＡＮ４，ＡＮ３，ＡＮ２，ＡＮ１において加算される。時刻Ｔ６，Ｔ７の間の期間においては、画素部ＰＤ８，ＰＤ７，ＰＤ６，ＰＤ５からの出力信号に対応する電気信号が、それぞれ加算部ＡＮ５，ＡＮ４，ＡＮ３，ＡＮ２において加算され、画素部ＰＤ４はリセット状態となっている。時刻Ｔ７，Ｔ８の間の期間においては、画素部ＰＤ８，ＰＤ７，ＰＤ６，ＰＤ５からの出力信号に対応する電気信号が、それぞれ加算部ＡＮ６，ＡＮ５，ＡＮ４，ＡＮ３において加算され、画素部ＰＤ３，ＰＤ４はリセット状態となっている。時刻Ｔ６において、４フレーム分の信号が加算されて得られた電圧信号（４ｊ）が加算部ＡＮ１にてデジタル値に変換されて読み出される。このように、この例では、４フレーム分の信号が加算して取得される。

[0122] 第９変形例として、制御部１３０は、各画素部１１の露光時間を対象物ＯＪの搬送から独立して制御してもよい。図４８は、露光時間の独立制御について説明するための図である。図４８に示されるように、対象物ＯＪの搬送との同期に用いられる外部からの同期信号には、ジッタ（揺らぎ）が含まれることがある。そのような同期信号に画素部１１の露光時間を対応付けると、露光時間にバラツキが生じるおそれがある。対して、各画素部１１（各フレーム）の露光時間を対象物ＯＪの搬送から独立して制御することで、Ｎ個の画素部１１の露光時間を均一化することができる。このような第９変形例によっても、上記第２実施形態と同様に、画素部１１の数が増加した場合で

もＴＤＩ動作を実現することができると共に、構成の簡易化及び回路規模の縮小を図ることができる。なお、露光時間は、専用の制御用信号、又はセンサ設定記憶装置への設定により制御され得る。

[0123] 第１０変形例として、Ｘ線画像取得装置１１０は、ラインディレイ機能を有していてもよい。図４９は、ラインディレイ機能を説明するための図である。ラインディレイ機能がオンである場合、Ｎ個の画素部１１の露光開始タイミングが、第１方向Ｘ１におけるＮ個の画素部１１の並び順に従って、所定時間ＴＳ×Ｕ（Ｕは１以上の整数）ずつずらされる。図４９にはＵが１である場合が示されている。所定時間ＴＳは、画素部１１の露光時間（例えば１００ｍｓｅｃ）よりも十分に短い時間に設定される。このような第１０変形例によっても、上記第２実施形態と同様に、画素部１１の数が増加した場合でもＴＤＩ動作を実現することができると共に、構成の簡易化及び回路規模の縮小を図ることができる。また、ラインディレイ機能を有することで、高さ方向における同期位置を変更することができる。

[0124] この点について図５０を参照しつつ説明する。Ｘ線源１０１が点光源である場合、対象物ＯＪの像は、拡大率Ｌ２／Ｌ１＝Ｃ２／Ｃ１に応じて拡大投影される。Ｃ１はＸ線源１０１と対象物ＯＪとの間の距離（ＦＯＤ）であり、Ｃ２はＸ線源１０１と撮像素子１２０との間の距離（ＦＤＤ）である。Ｌ１は距離Ｃ１に対応する搬送方向（第１方向Ｘ１）に沿っての長さであり、Ｌ２は距離Ｃ２に対応する搬送方向に沿っての長さである。撮像素子１２０に設定されるべき画像取得速度は、搬送速度と拡大率との積によって決まる。すなわち、厳密には、撮像素子１２０は或る１つの高さ位置にしか完全には速度同期及び加算同期していない。撮像素子１２０に設定されるべき画像取得速度は、搬送速度に加えて、同期したい高さ位置（拡大率）によって厳密には異なる。この差の調整をラインディレイ機能によって実現することができる。例えば、外部からの同期信号に基づいて制御されている場合、ラインレートを変更することはできないが、上記所定時間ＴＳを変更することで同期位置を変更することができる。なお、ラインディレイ機能がオンである

場合、後段のフレームほど露光開始タイミングが遅延し、通常時よりも像取得タイミングが遅れるため、対象物ＯＪがより速く動く（移動距離が大きい）状態に同期しているといえる。速度が速い状態は、拡大率が高い状態を意味する。つまり、ラインディレイ量（所定時間ＴＳ×Ｕ）が大きいほど、同期高さ面が高くなる。

[0125] 本開示は、上記実施形態及び変形例に限られない。例えば、上記第２実施形態又は第５～第１０変形例において、撮像素子１２０は、上記第３変形例と同様に構成されてもよい。この場合、加算部ＡＮ１～ＡＮ８は、チャージアンプ３１によって構成される。すなわち、上記第２実施形態では、画素部ＰＤ１～ＰＤ８から出力される出力信号（電荷信号）に対応する電気信号（電圧信号）が加算される加算部ＡＮ１～ＡＮ８がＡ／Ｄ変換器６１であったが、加算部ＡＮ１～ＡＮ８は、チャージアンプ３１であってもよい。この場合、チャージアンプ３１は、画素部ＰＤ１～ＰＤ８から出力される出力信号（電荷信号）自体を容量部３３において蓄積（加算）する。このように、加算部において加算される「画素部から出力される出力信号に対応する電気信号」は、出力信号自体であってもよい。加算部がチャージアンプ３１である場合、信号が電荷状態で足し合わされるため、電荷の読み出し時に生じる読出しノイズが１度しか発生せず、読出しノイズを低減することができる。また、積分容量への接続の切替と最小限のＡ／Ｄ変換器で構成を実現することができるため、消費電力を低減することができる。また、シンチレータ１０４の中にはガラス転移点の制約から高温環境下に弱いものが存在し、多列化時の発熱量増加が課題となり得るが、加算部をチャージアンプ３１により構成することで発熱量を低減することができ、そのような課題に対応することができる。加算部ＡＮ１～ＡＮ８は、回路ユニット５に設けられた積分容量であってもよい。この場合、回路ユニット５には、チャージアンプ３１及びＡ／Ｄ変換器６１が設けられなくてもよい。

[0126] 上記第２実施形態では、各配線６の延在部６ｂが本体部６ａから電気的に分離されていたが、各配線６の延在部６ｂは、例えば接続箇所ＣＰにおいて

本体部６ａと電気的に接続されていてもよい。この場合、１つの回路ユニット５に接続されたＮ本の配線６の配線容量を均一化することができる。シンチレータ１０４は省略されてもよい。この場合、例えば、画素部１１は、入射したＸ線を光に変換することなく直接電気信号に変換する直接変換型の検出器として構成される。

[0127] Ｘ線画像取得装置１１０は、加算演算や平均演算を行うことなく、画素部ＰＤ１～ＰＤ８から出力される電気信号をデジタル値に変換した信号を出力する非加算モードを有していてもよい。この場合、Ｘ線画像取得装置１１０から出力されるデータは、Ｎ×Ｍ画素の２次元画像となる。このようなＸ線画像取得装置１１０は、光源との軸合わせやラインディレイ機能のディレイの確認などに用いることができる。

符号の説明

[0128] １，１２０…撮像素子、２…画素ユニット、５…回路ユニット、６…配線、６ａ…本体部、６ｂ…延在部、１１，ＰＤ１～ＰＤ８…画素部、１２…画素アレイ、３１，ＣＡ１～ＣＡ４…チャージアンプ（加算部）、４０，４０Ａ…スイッチアレイ（スイッチ部）、６１，ＡＤ１～ＡＤ４…Ａ／Ｄ変換器（加算部）、１００…Ｘ線画像取得システム、１０１…Ｘ線源、１０２…搬送部、１０４，１０４Ａ，１０４Ｂ…シンチレータ、１０６…遮蔽部材、１０６ａ…本体部（スリット以外の部分）、１０６ｂ…スリット（開口）、１１０…Ｘ線画像取得装置、１２０…撮像素子、１３０…制御部、ＡＮ１～ＡＮ８…加算部（第１加算部、第２加算部）、ＣＰ…接続箇所、ＤＳ…間隔、ＯＪ…対象物、ＲＧ１…第１領域、ＲＧ２…第２領域、Ｘ１…第１方向、Ｘ２…第２方向。

請求の範囲

[請求項1] 第１方向に沿って搬送される対象物のＸ線画像を取得するためのＸ線画像取得装置であって、

Ｘ線を検出するためのＮ個（Ｎは２以上の整数）の画素部を各々が含むＭ個（Ｍは２以上の整数）の画素アレイを有し、前記Ｎ個の画素部は前記第１方向に沿って並べられ、前記Ｍ個の画素アレイは前記第１方向に直交する第２方向に沿って並べられている、画素ユニットと、

前記Ｍ個の画素アレイに対応して設けられたＭ個の回路ユニットと、

前記Ｍ個の回路ユニットを制御する制御部と、を備え、

前記Ｍ個の回路ユニットの各々は、

対応する前記画素アレイの前記Ｎ個の画素部からの出力信号に対応する電気信号を逐次加算するＴ個（ＴはＮ以上の整数）の加算部と、

前記Ｎ個の画素部と前記Ｔ個の加算部との間の接続状態を切り替えるスイッチ部と、を有し、

前記制御部は、前記Ｍ個の回路ユニットの各々について、前記対象物における同一領域を透過したＸ線が検出されることにより前記画素部から出力される前記出力信号に対応する前記電気信号が同一の前記加算部において加算されるように、前記第１方向に沿っての前記対象物の搬送と同期して、前記Ｎ個の画素部と前記Ｔ個の加算部との間の前記接続状態を切り替える、Ｘ線画像取得装置。

[請求項2] 前記対象物を透過したＸ線をシンチレーション光に変換する少なくとも１つのシンチレータを更に備え、

前記Ｎ個の画素部は、前記少なくとも１つのシンチレータにより変換された前記シンチレーション光を受光する、請求項１に記載のＸ線画像取得装置。

[請求項3] 前記Ｔ個の加算部の各々は、Ａ／Ｄ変換器である、請求項１又は２

に記載のＸ線画像取得装置。

[請求項4] 前記Ｔ個の加算部の各々は、チャージアンプである、請求項１又は２に記載のＸ線画像取得装置。

[請求項5] 前記画素ユニットと前記Ｍ個の回路ユニットとの間には、前記画素部の幅の２倍以上の間隔が空けられている、請求項１～４のいずれか一項に記載のＸ線画像取得装置。

[請求項6] Ｘ線に対して不透過性を有する遮蔽部材を更に備え、

前記遮蔽部材には開口が形成されており、

前記画素ユニットは、前記開口と向かい合っており、前記Ｍ個の回路ユニットは、前記遮蔽部材における前記開口以外の部分と向かい合っている、請求項１～５のいずれか一項に記載のＸ線画像取得装置。

[請求項7] 前記Ｍ個の画素アレイの各々の前記Ｎ個の画素部と、前記Ｍ個の回路ユニットとに電気的に接続されたＮ×Ｍ本の配線を更に備え、

前記Ｎ×Ｍ本の配線の各々は、前記Ｎ個の画素部上を通るように延在している、請求項１～６のいずれか一項に記載のＸ線画像取得装置。

[請求項8] 前記Ｎ×Ｍ本の配線の各々は、前記回路ユニットから前記画素部まで延在する本体部と、前記本体部と前記画素部との間の接続箇所から前記回路ユニットとは反対側に延在する延在部と、を有し、前記延在部は、前記本体部から電気的に分離されている、請求項７に記載のＸ線画像取得装置。

[請求項9] 前記制御部は、前記第１方向に並ぶＬ個の前記画素部からの前記出力信号に対応する前記電気信号が前記加算部において加算された後に前記加算部から前記電気信号が読み出されるように、前記Ｍ個の回路ユニットを制御し、

Ｌの値は、１以上Ｎ以下の整数の中から選択可能となっている、請求項１～８のいずれか一項に記載のＸ線画像取得装置。

[請求項10] 前記制御部は、前記第１方向におけるＰ番目からＱ番目（Ｐ＜Ｑ）

までの前記画素部からの前記出力信号に対応する前記電気信号が前記加算部において加算された後に前記加算部から前記電気信号が読み出されるように、前記Ｍ個の回路ユニットを制御し、

Ｐ及びＱの値は、１以上Ｎ以下の整数の中から選択可能となっている、請求項１～８のいずれか一項に記載のＸ線画像取得装置。

[請求項11] 前記加算部は、第１加算部と、第２加算部とを有し、

前記制御部は、前記第１方向において第１領域に位置する前記画素部からの前記出力信号に対応する前記電気信号が前記第１加算部において加算された後に前記第１加算部から前記電気信号が読み出されると共に、前記第１方向において前記第１領域と並ぶ第２領域に位置する前記画素部からの前記出力信号に対応する前記電気信号が前記第２加算部において加算された後に前記加算部から前記電気信号が読み出されるように、前記Ｍ個の回路ユニットを制御する、請求項１～８のいずれか一項に記載のＸ線画像取得装置。

[請求項12] 前記第１方向において、前記第１加算部が前記第２加算部に対して位置する側を第１側とし、前記第２加算部が前記第１加算部に対して位置する側を第２側とすると、

前記第１加算部は、前記第１領域に対して前記第１側に配置されており、前記第２加算部は、前記第２領域に対して前記第２側に配置されている、請求項１１に記載のＸ線画像取得装置。

[請求項13] 前記Ｎ個の画素部の各々の露光時間は、前記対象物の搬送から独立して制御される、請求項１～１２のいずれか一項に記載のＸ線画像取得装置。

[請求項14] ラインディレイ機能のオンオフが変更可能となっており、

前記ラインディレイ機能がオンである場合、前記Ｎ個の画素部の露光開始タイミングは、前記第１方向における前記Ｎ個の画素部の並び順に従って、所定時間ずつずらされる、請求項１～１３のいずれか一項に記載のＸ線画像取得装置。

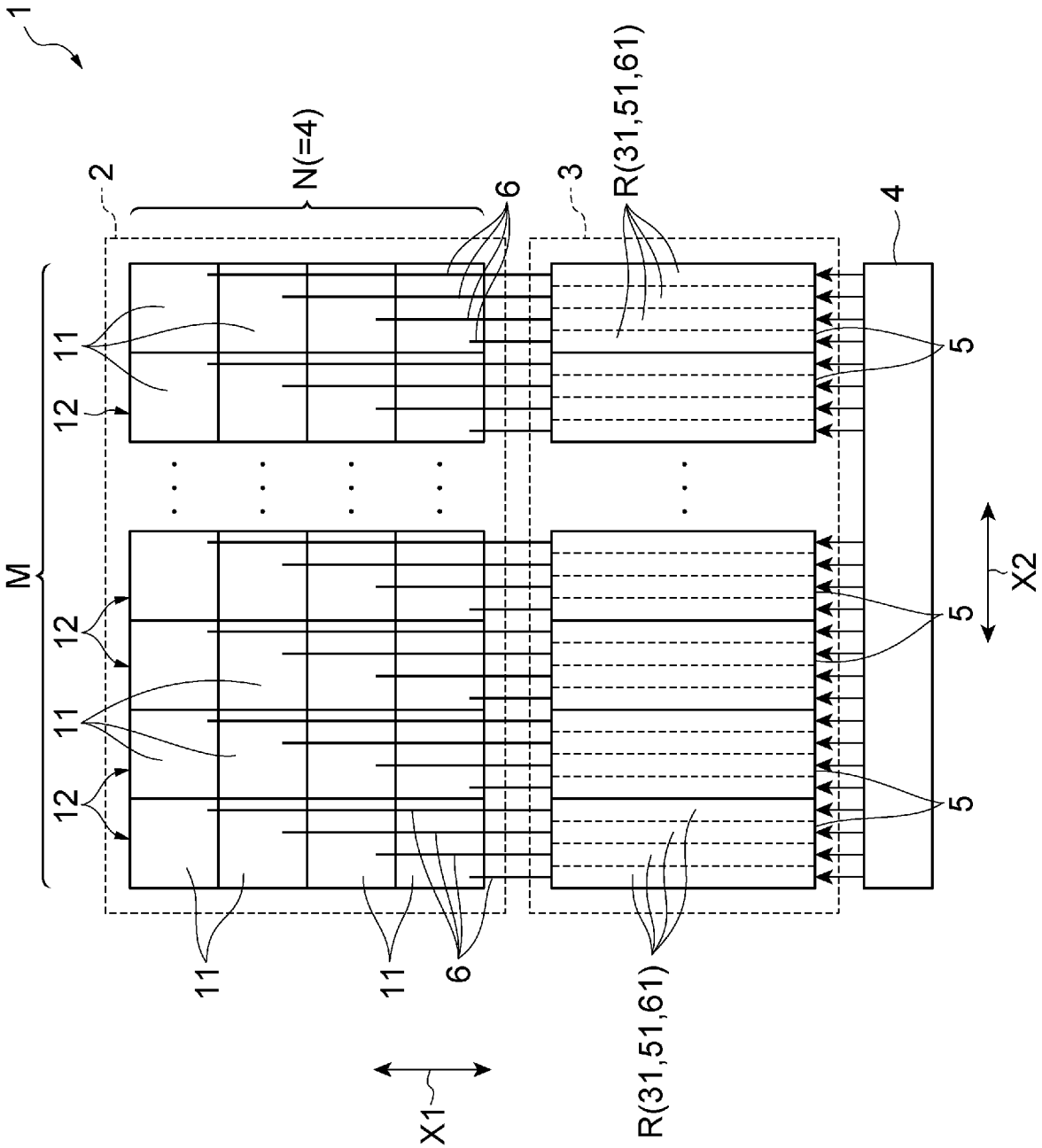
[請求項15] Ｎは、８以上の整数である、請求項１～１４のいずれか一項に記載のＸ線画像取得装置。

[請求項16] 請求項１～１５のいずれか一項に記載のＸ線画像取得装置と、

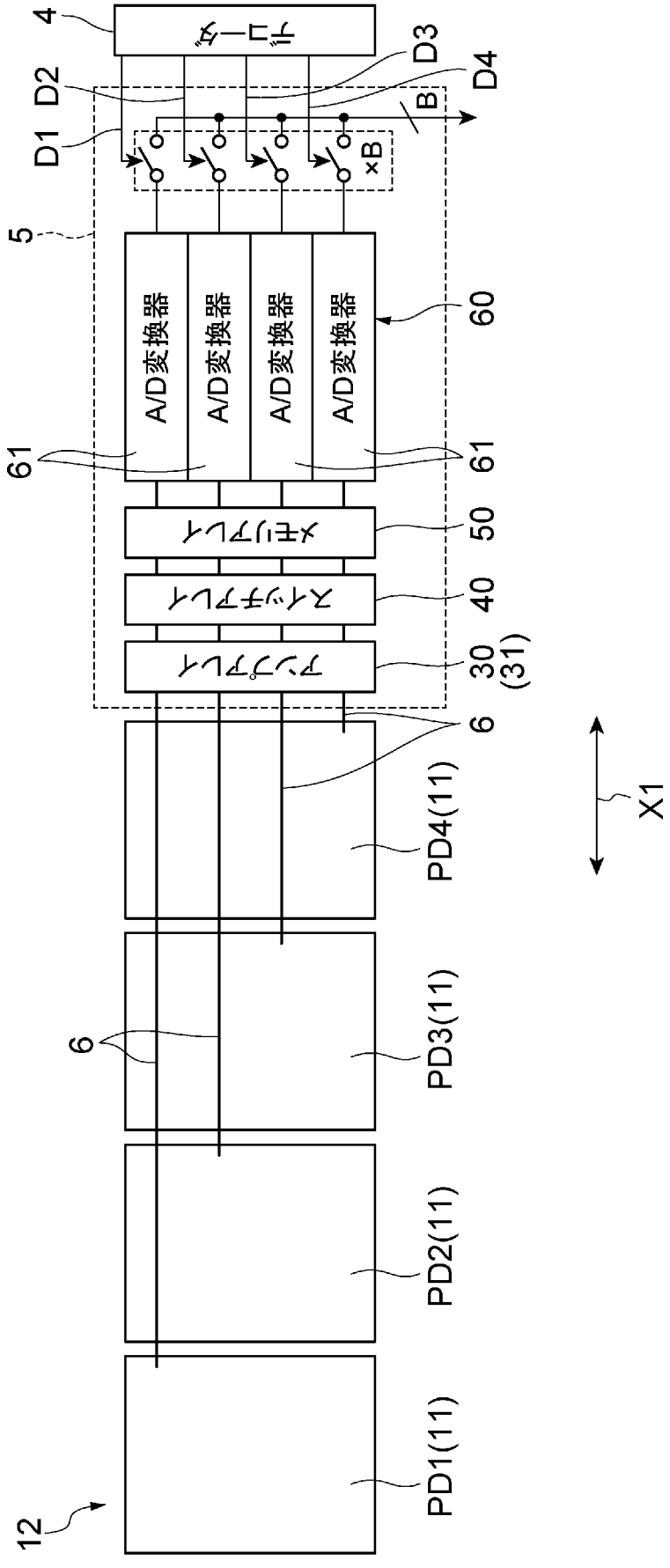
Ｘ線を出力するＸ線源と、

前記第１方向に沿って前記対象物を搬送する搬送部と、を備える、Ｘ線画像取得システム。

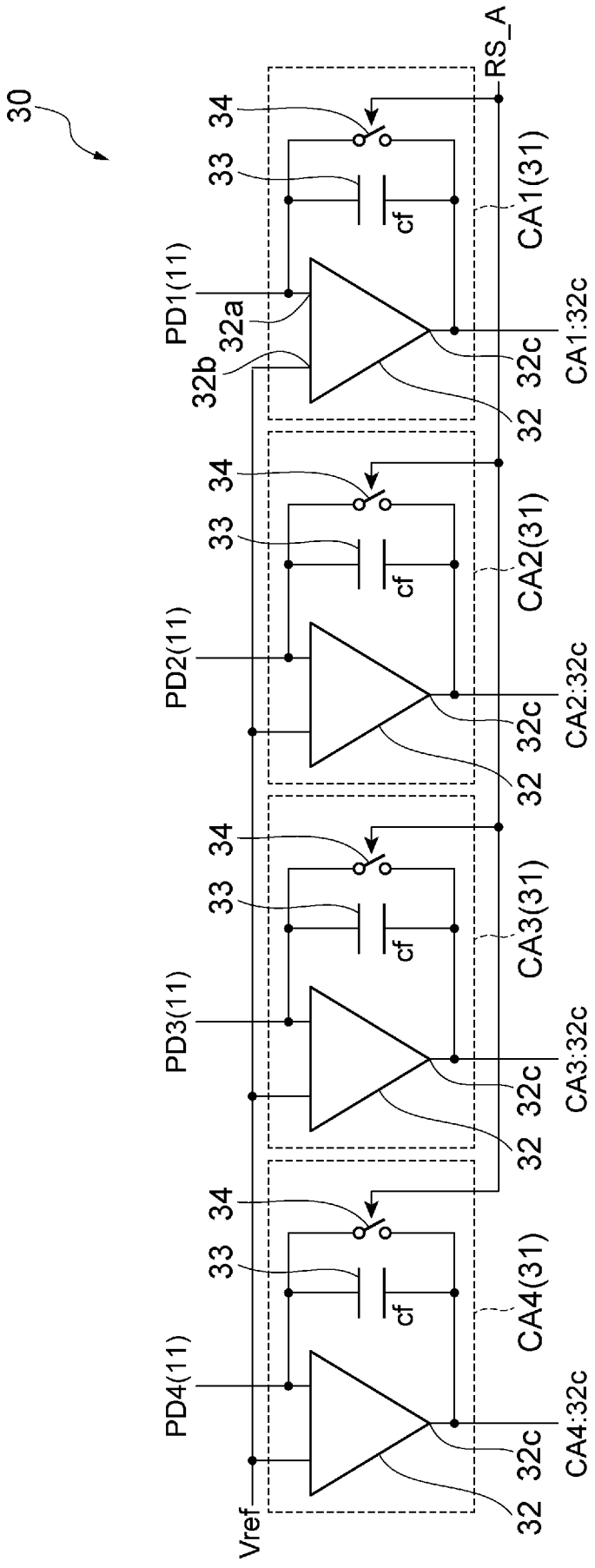
[図1]



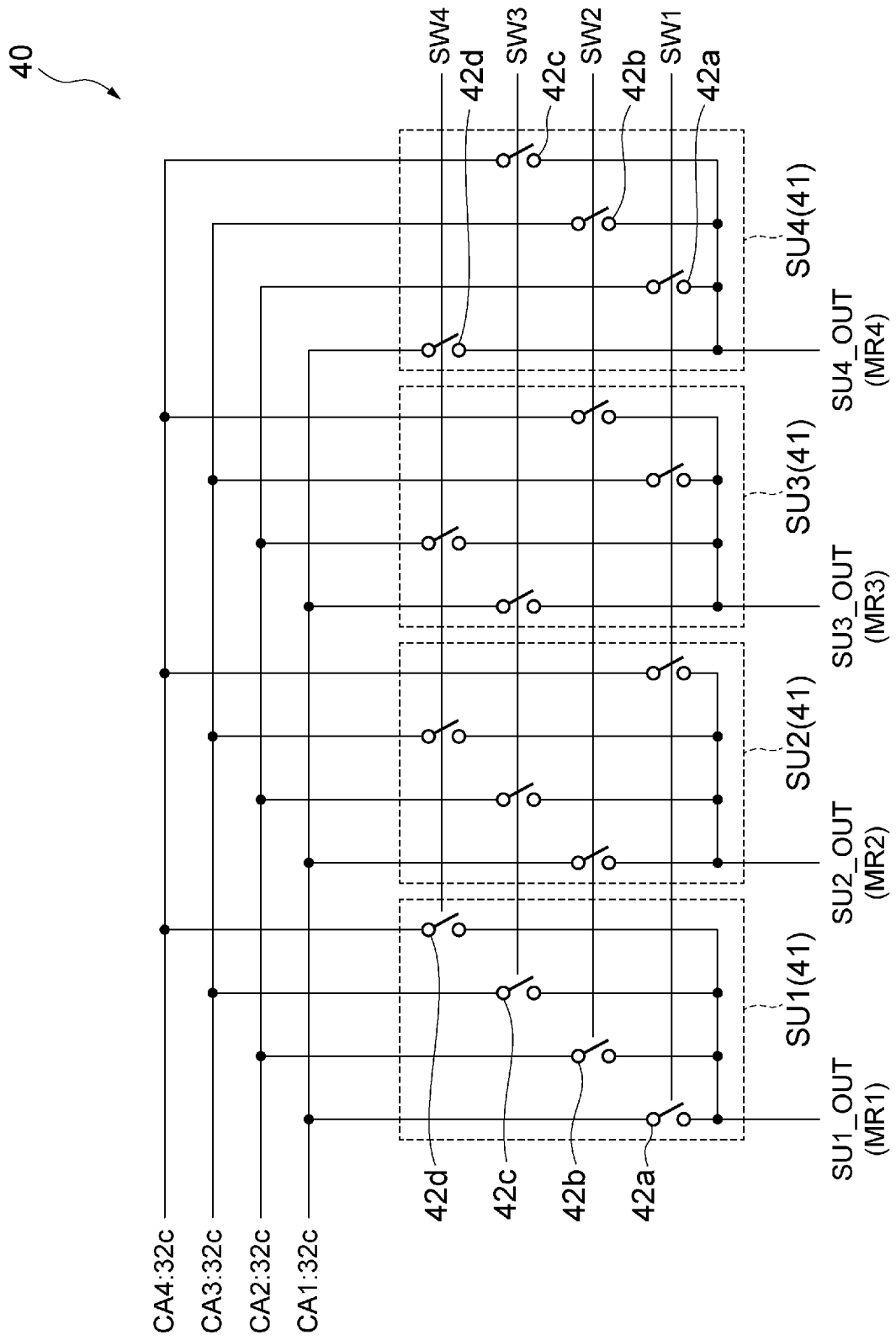
[図2]


4
メモリ
D1
D2
D3
D4
B
×B
5
A/D変換器
A/D変換器
A/D変換器
A/D変換器
60
61
61
スイッチアレイ
50
メモリアレイ
40
アンプアレイ
30
(31)
6
PD4(11)
X1
6
PD3(11)
PD2(11)
PD1(11)
12

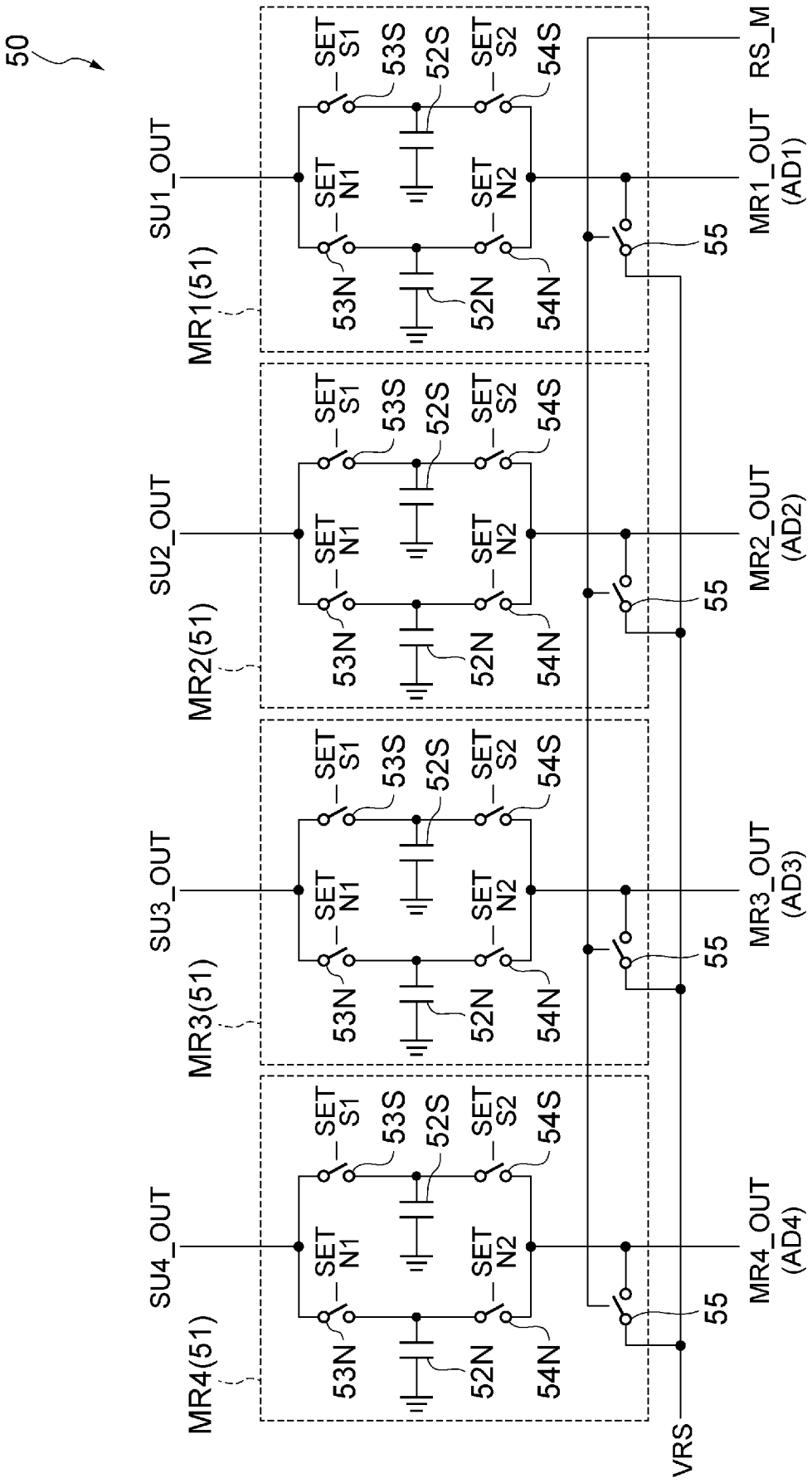
[図3]


30
RS_A
34
33
cf
CA1(31)
PD1(11)
32a
32b
32c
CA1:32c
32
CA2(31)
PD2(11)
CA2:32c
CA3(31)
PD3(11)
CA3:32c
CA4(31)
PD4(11)
CA4:32c
Vref

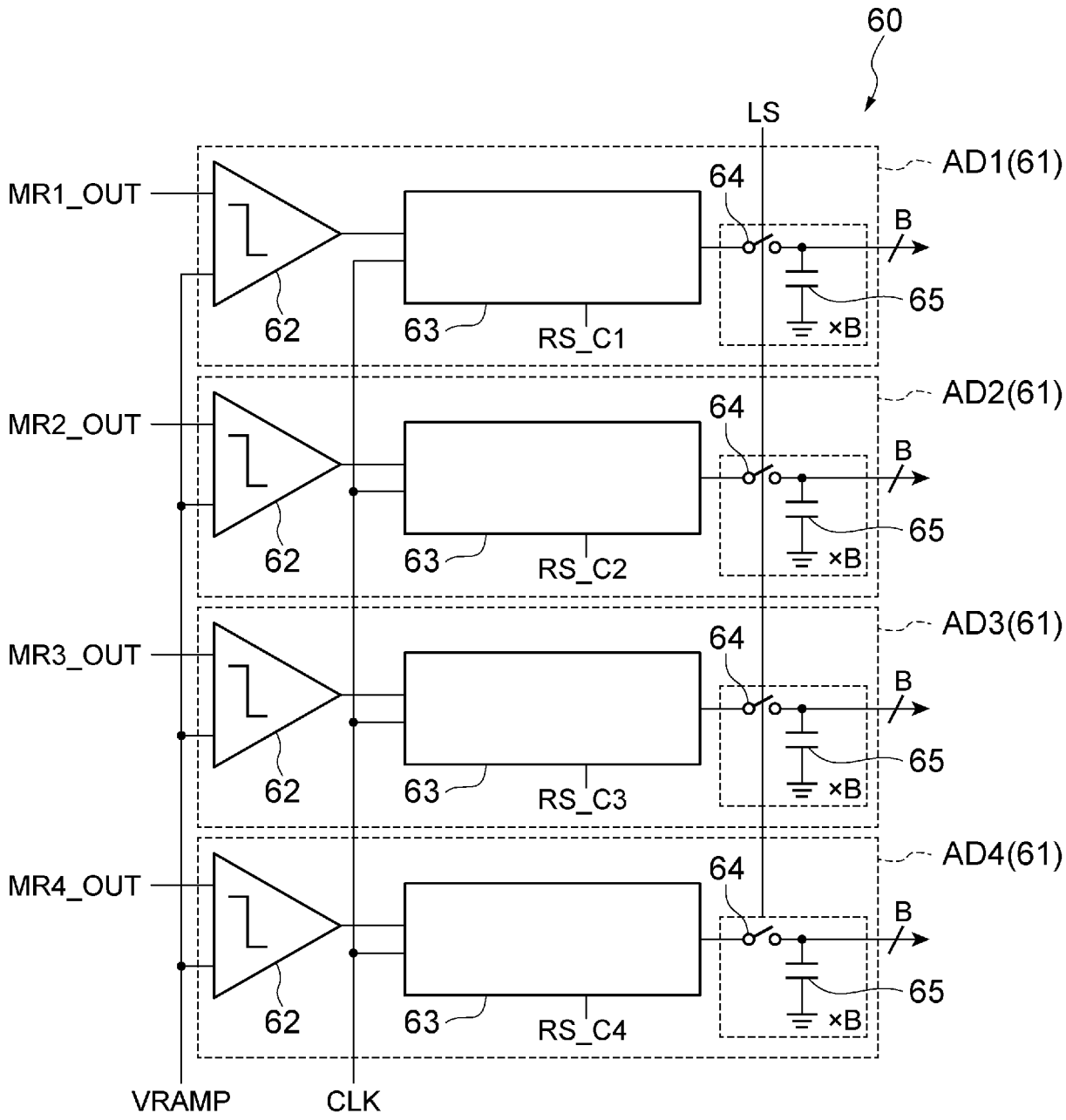
[図4]


40
SW4
42d
SW3
42c
SW2
42b
SW1
42a
SU4(41)
SU3(41)
SU2(41)
SU1(41)
SU4_OUT
(MR4)
SU3_OUT
(MR3)
SU2_OUT
(MR2)
SU1_OUT
(MR1)
CA4:32c
CA3:32c
CA2:32c
CA1:32c

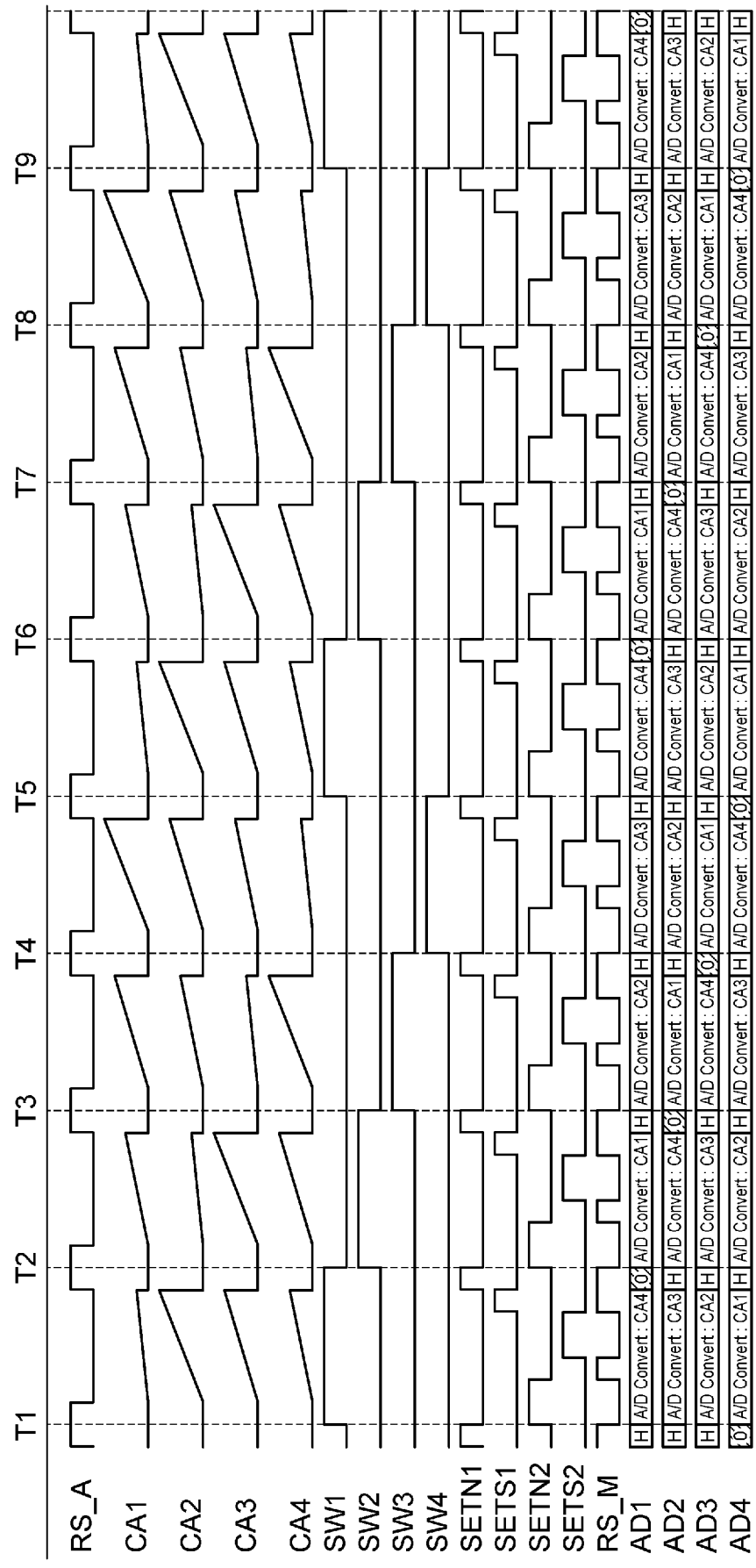
[図5]


50
SU1_OUT
SU2_OUT
SU3_OUT
SU4_OUT
MR1(51)
MR2(51)
MR3(51)
MR4(51)
SET S1
SET N1
SET N2
SET S2
53S
52S
54S
53N
52N
54N
55
VRS
RS_M
MR1_OUT (AD1)
MR2_OUT (AD2)
MR3_OUT (AD3)
MR4_OUT (AD4)

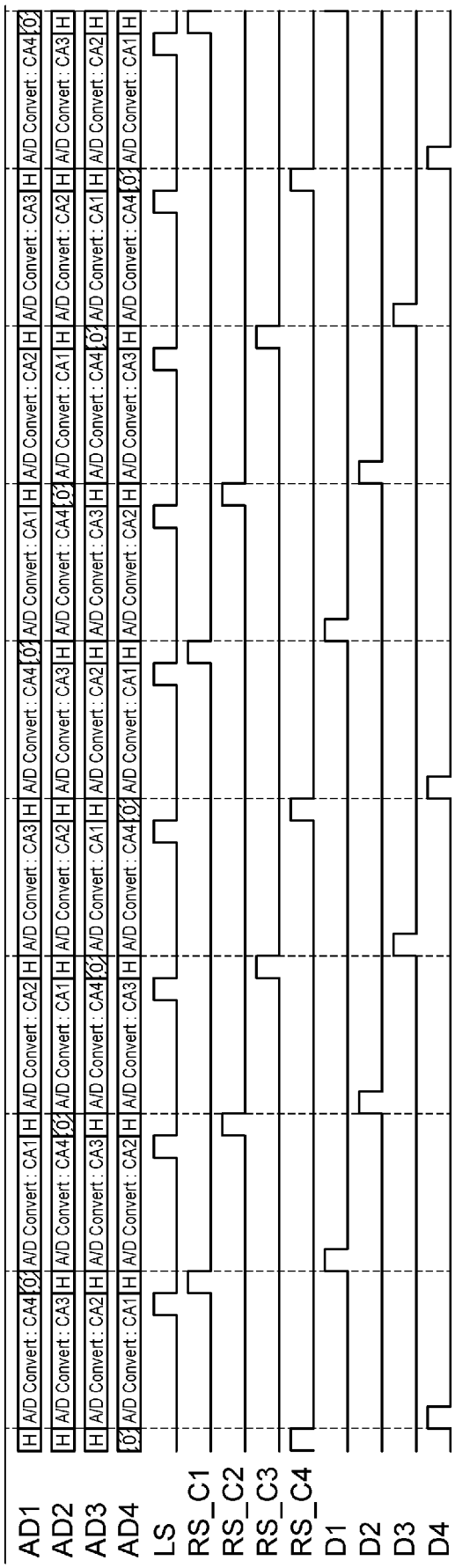
[図6]


60
LS
AD1(61)
AD2(61)
AD3(61)
AD4(61)
MR1_OUT
MR2_OUT
MR3_OUT
MR4_OUT
62
63
64
65
B
×B
RS_C1
RS_C2
RS_C3
RS_C4
VRAMP
CLK

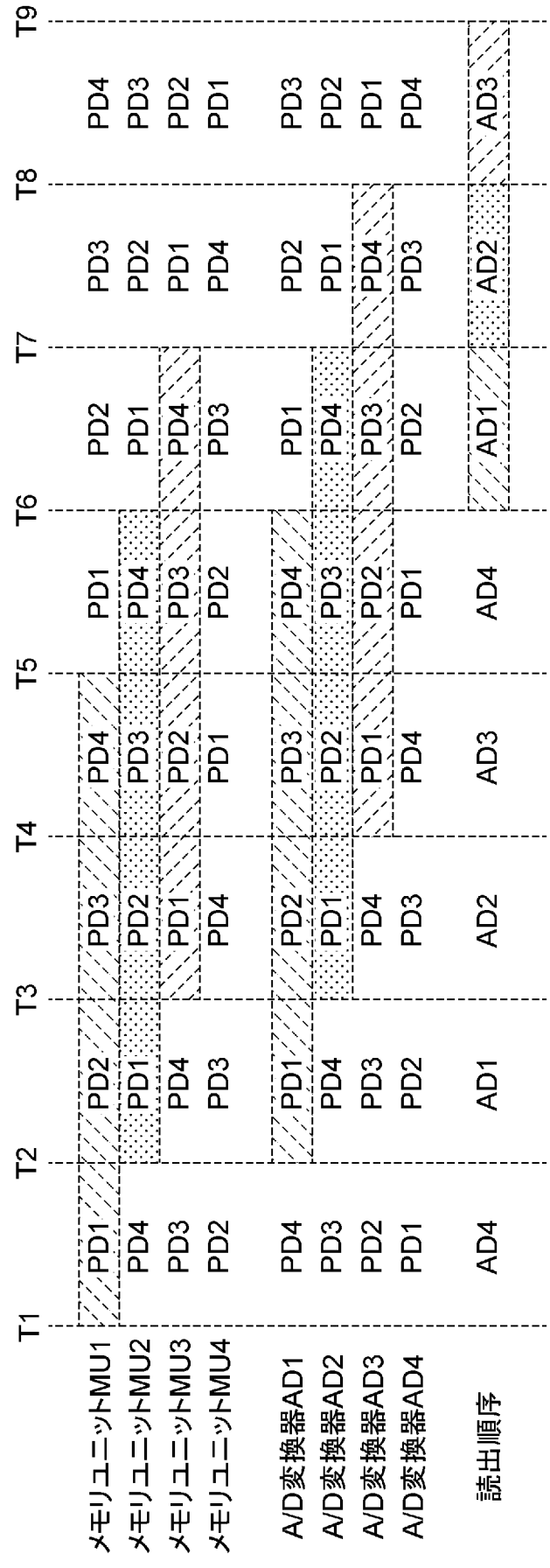
[図7]


T1
T2
T3
T4
T5
T6
T7
T8
T9
RS_A
CA1
CA2
CA3
CA4
SW1
SW2
SW3
SW4
SETN1
SETS1
SETN2
SETS2
RS_M
AD1
AD2
AD3
AD4
H
A/D Convert : CA4
A/D Convert : CA3
A/D Convert : CA2
A/D Convert : CA1

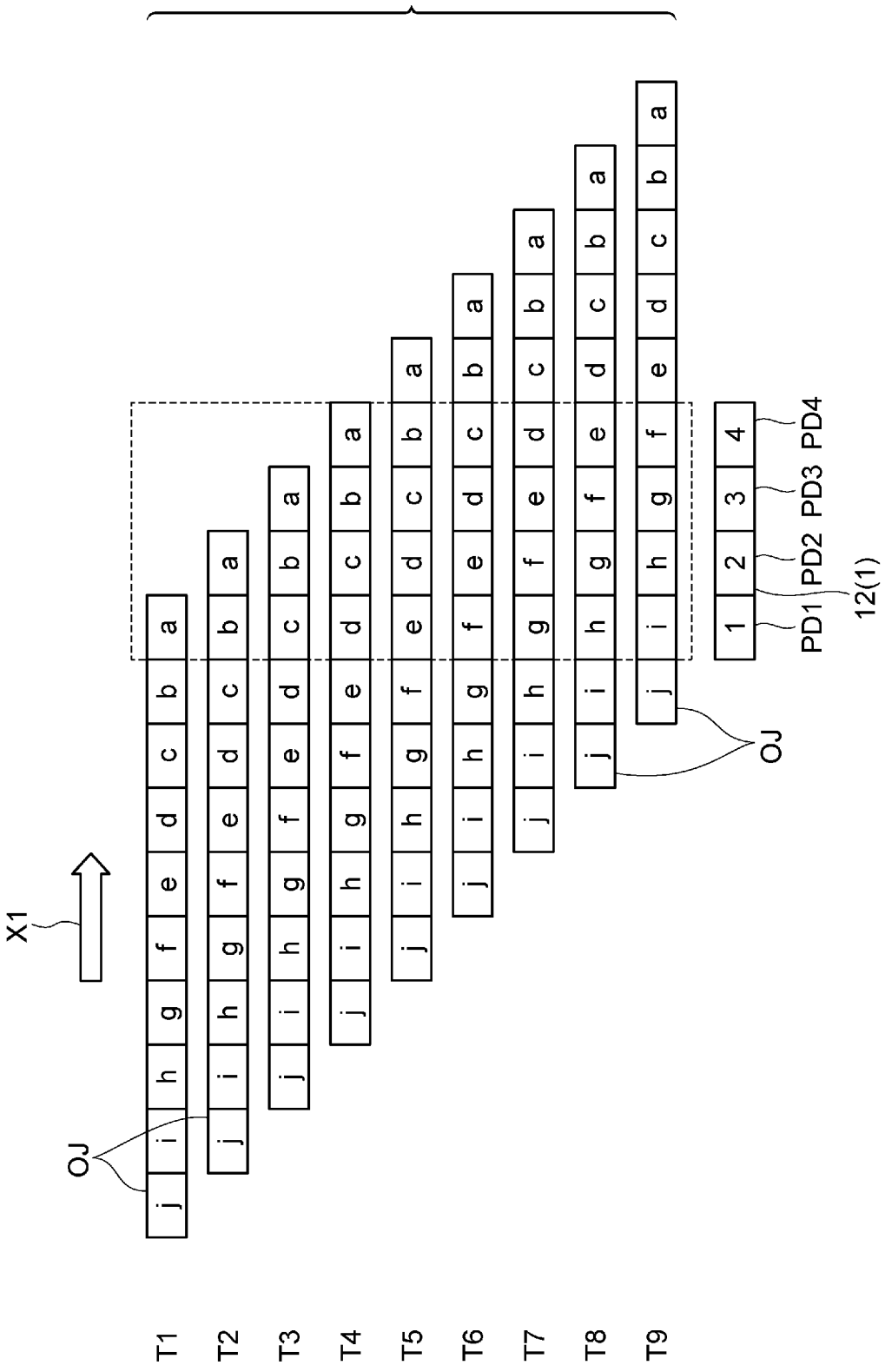
[図8]


T1
T2
T3
T4
T5
T6
T7
T8
T9
AD1
AD2
AD3
AD4
LS
RS_C1
RS_C2
RS_C3
RS_C4
D1
D2
D3
D4
H
A/D Convert : CA1
A/D Convert : CA2
A/D Convert : CA3
A/D Convert : CA4
01

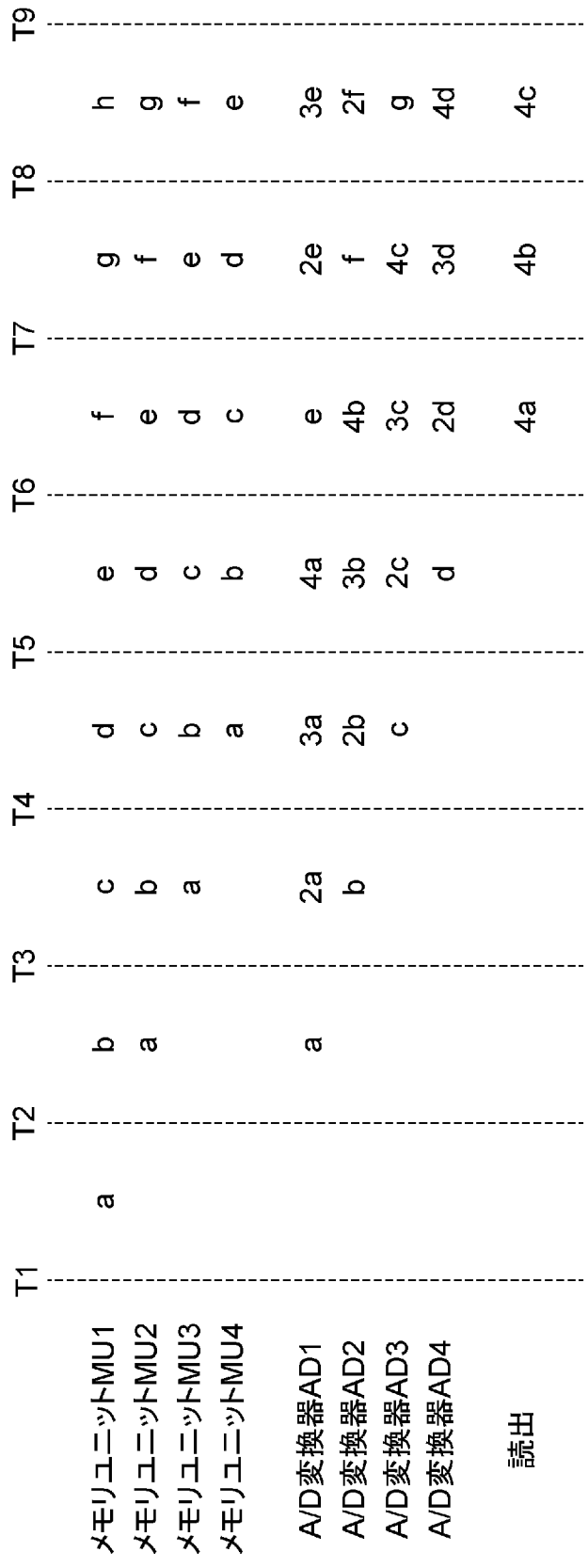
[図9]


T1
T2
T3
T4
T5
T6
T7
T8
T9
メモリユニットMU1
メモリユニットMU2
メモリユニットMU3
メモリユニットMU4
A/D変換器AD1
A/D変換器AD2
A/D変換器AD3
A/D変換器AD4
読出順序
PD1 PD2 PD3 PD4 PD1 PD2 PD3 PD4
PD4 PD1 PD2 PD3 PD4 PD1 PD2 PD3
PD3 PD4 PD1 PD2 PD3 PD4 PD1 PD2
PD2 PD3 PD4 PD1 PD2 PD3 PD4 PD1
PD4 PD1 PD2 PD3 PD4 PD1 PD2 PD3
PD3 PD4 PD1 PD2 PD3 PD4 PD1 PD2
PD2 PD3 PD4 PD1 PD2 PD3 PD4 PD1
PD1 PD2 PD3 PD4 PD1 PD2 PD3 PD4
AD4 AD1 AD2 AD3 AD4 AD1 AD2 AD3

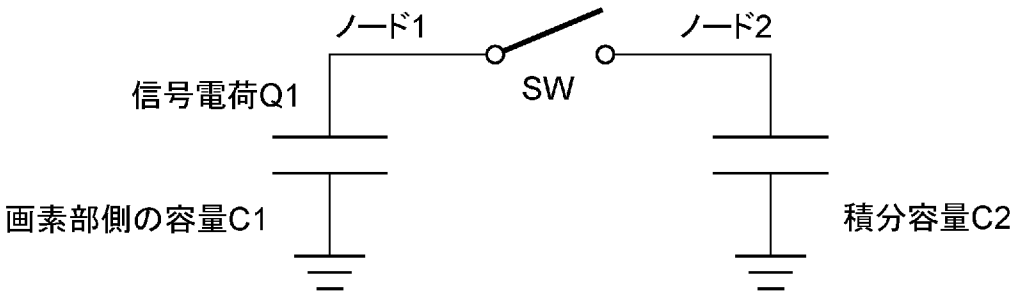
[図10]



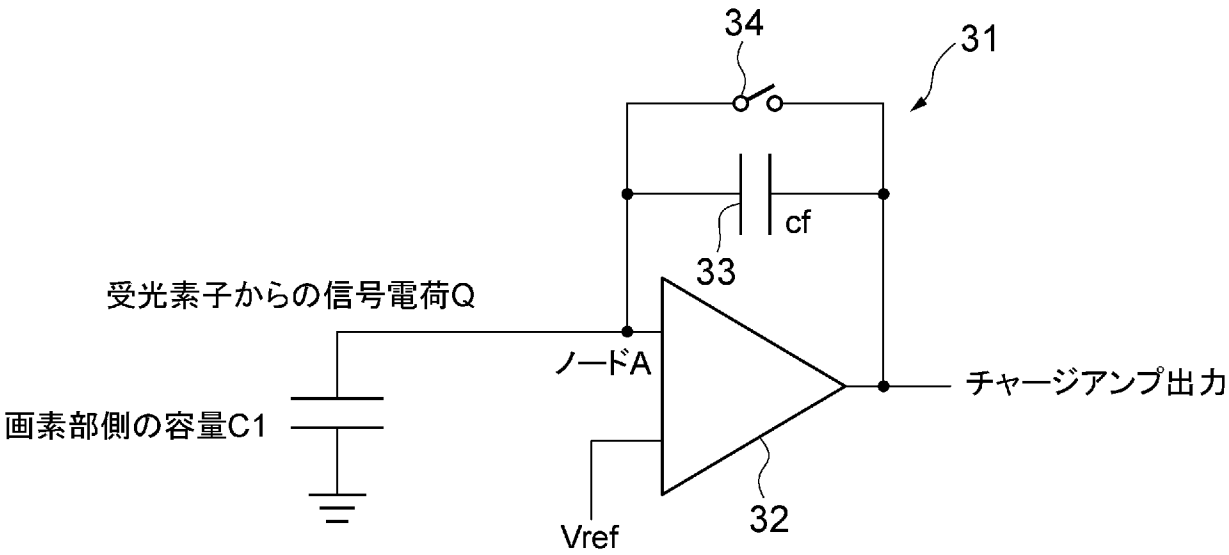
[図11]


T1
T2
T3
T4
T5
T6
T7
T8
T9
メモリユニットMU1
メモリユニットMU2
メモリユニットMU3
メモリユニットMU4
A/D変換器AD1
A/D変換器AD2
A/D変換器AD3
A/D変換器AD4
読出
a
b
a
c
b
a
d
c
b
a
3a
2b
c
2a
b
a
e
d
c
b
4a
3b
2c
d
f
e
d
c
e
4b
3c
2d
4a
g
f
e
d
2e
f
4c
3d
4b
h
g
f
e
3e
2f
g
4d
4c

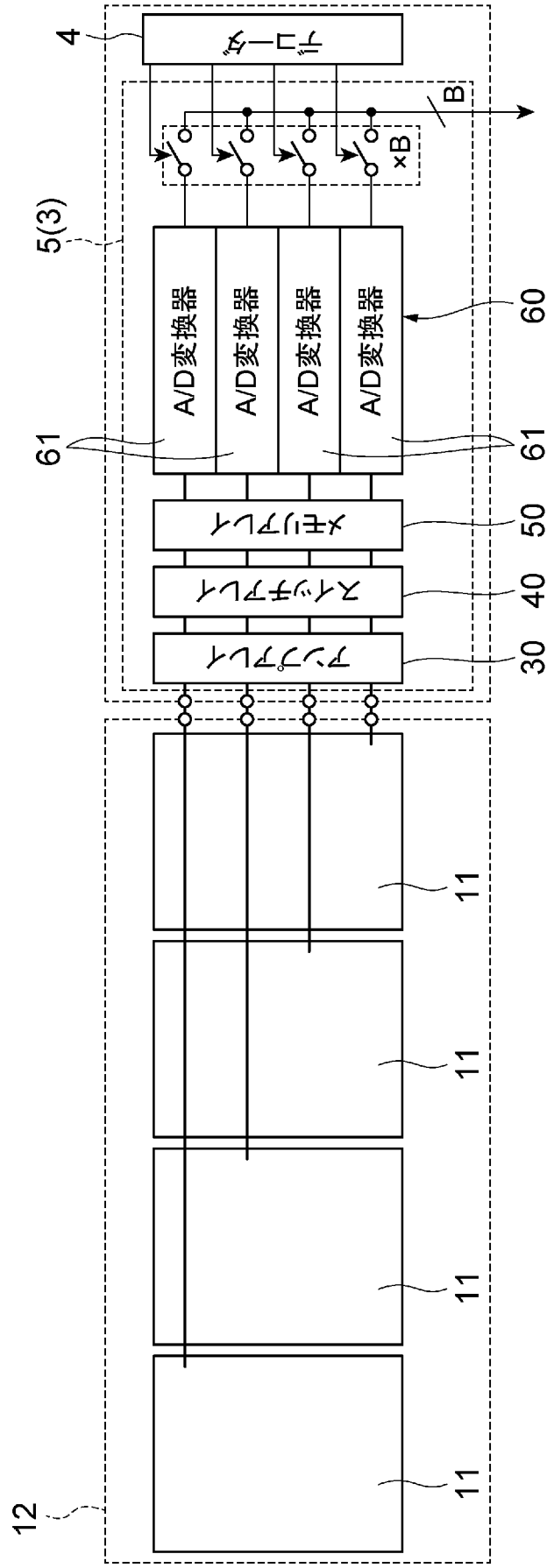
[図12]



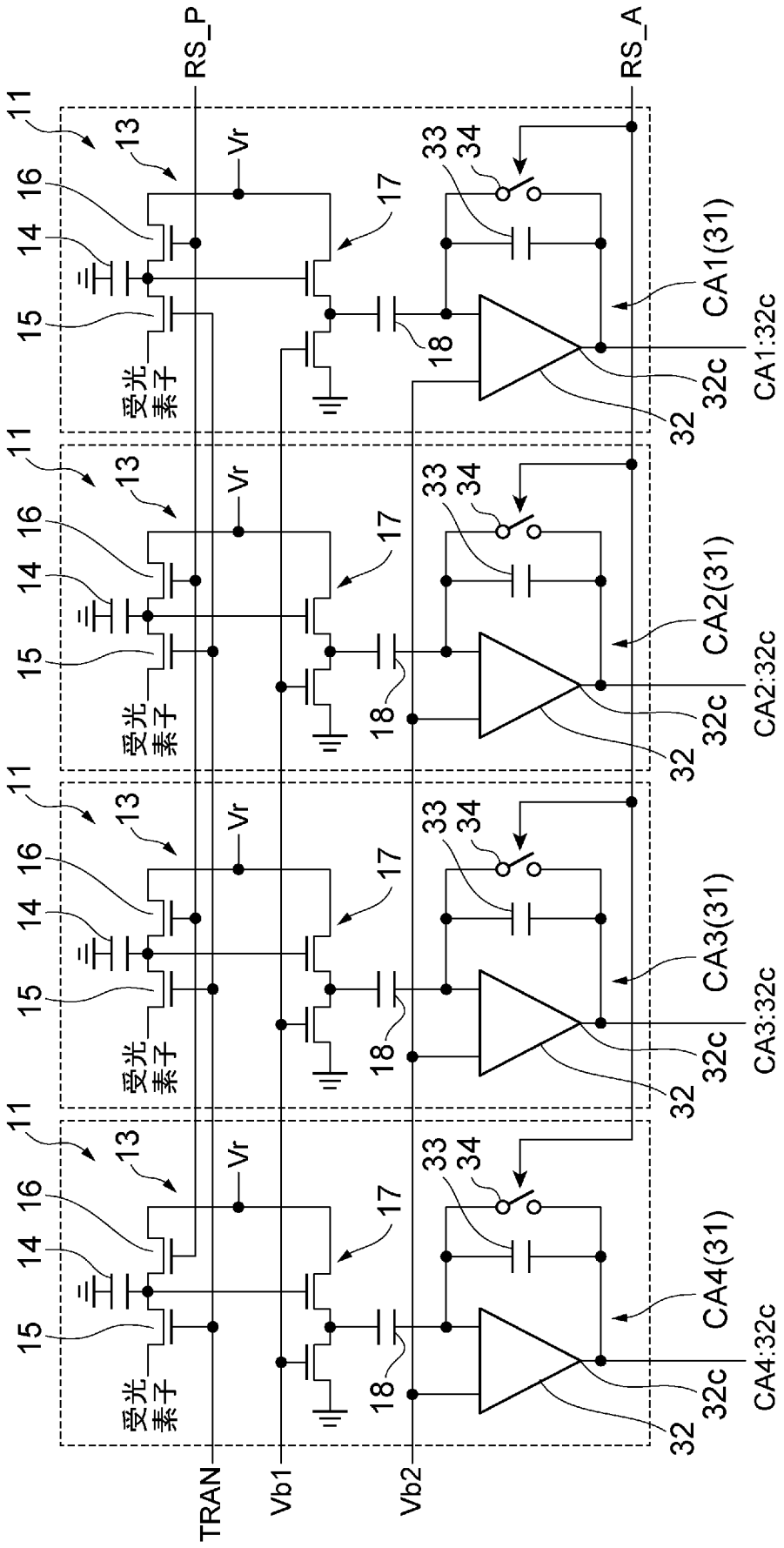
[図13]



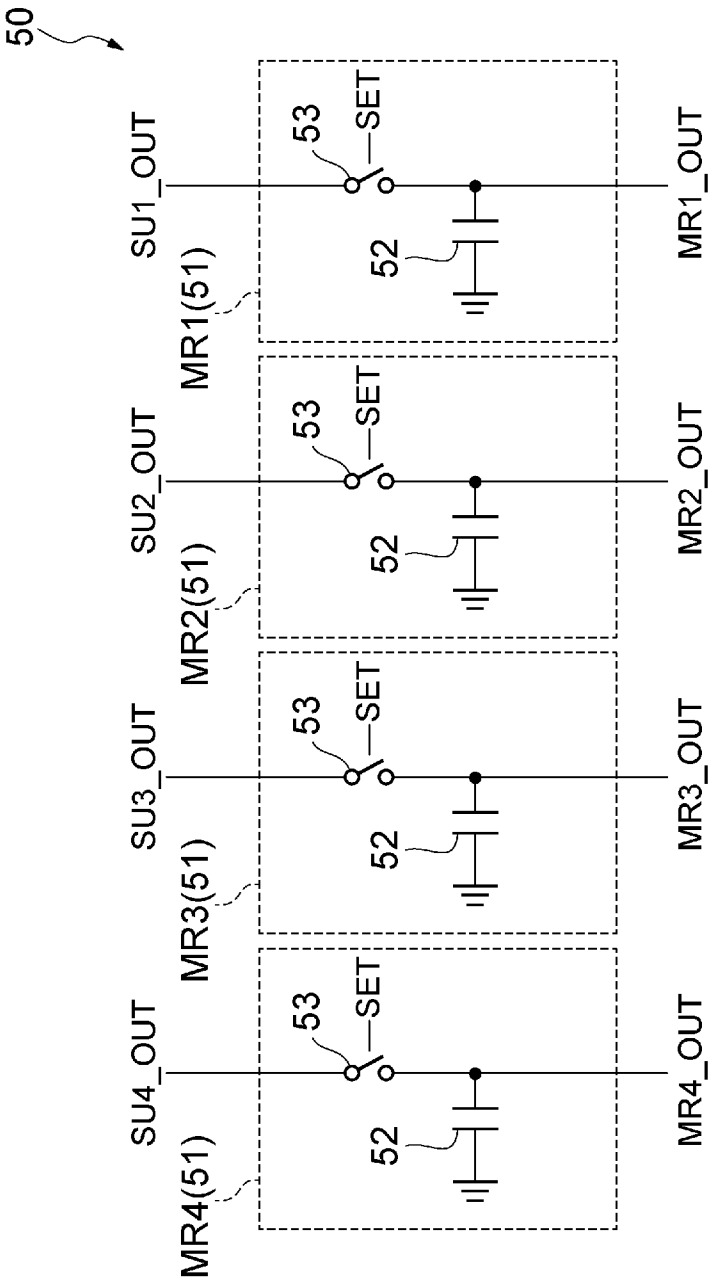
[図14]


4
デコーダ
B
×B
5(3)
A/D変換器
A/D変換器
A/D変換器
A/D変換器
60
61
61
メモリアレイ
50
スイッチアレイ
40
アンプアレイ
30
11
11
11
11
12

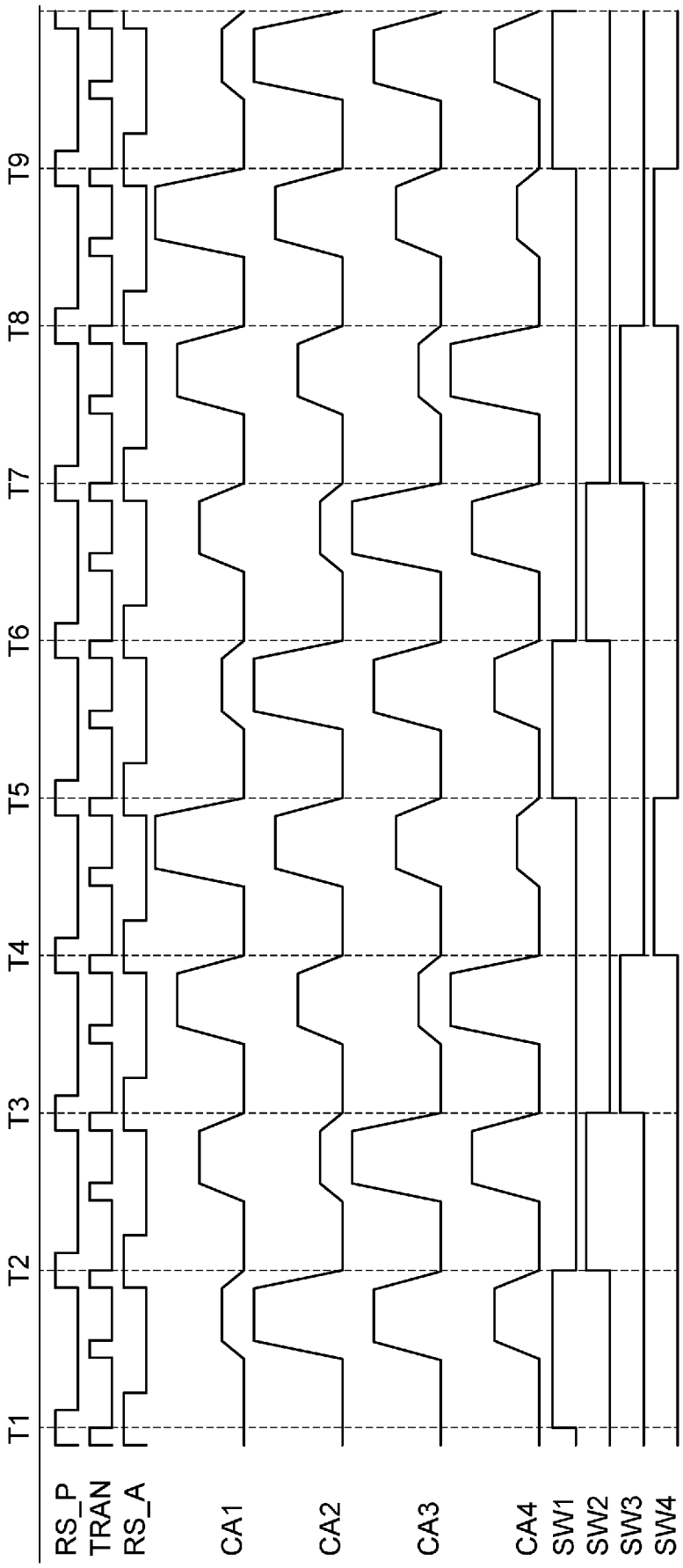
[図15]


RS_P
RS_A
TRAN
Vb1
Vb2
Vr
11
13
14
15
16
17
18
32
32c
33
34
受光素子
CA1(31)
CA1:32c
CA2(31)
CA2:32c
CA3(31)
CA3:32c
CA4(31)
CA4:32c

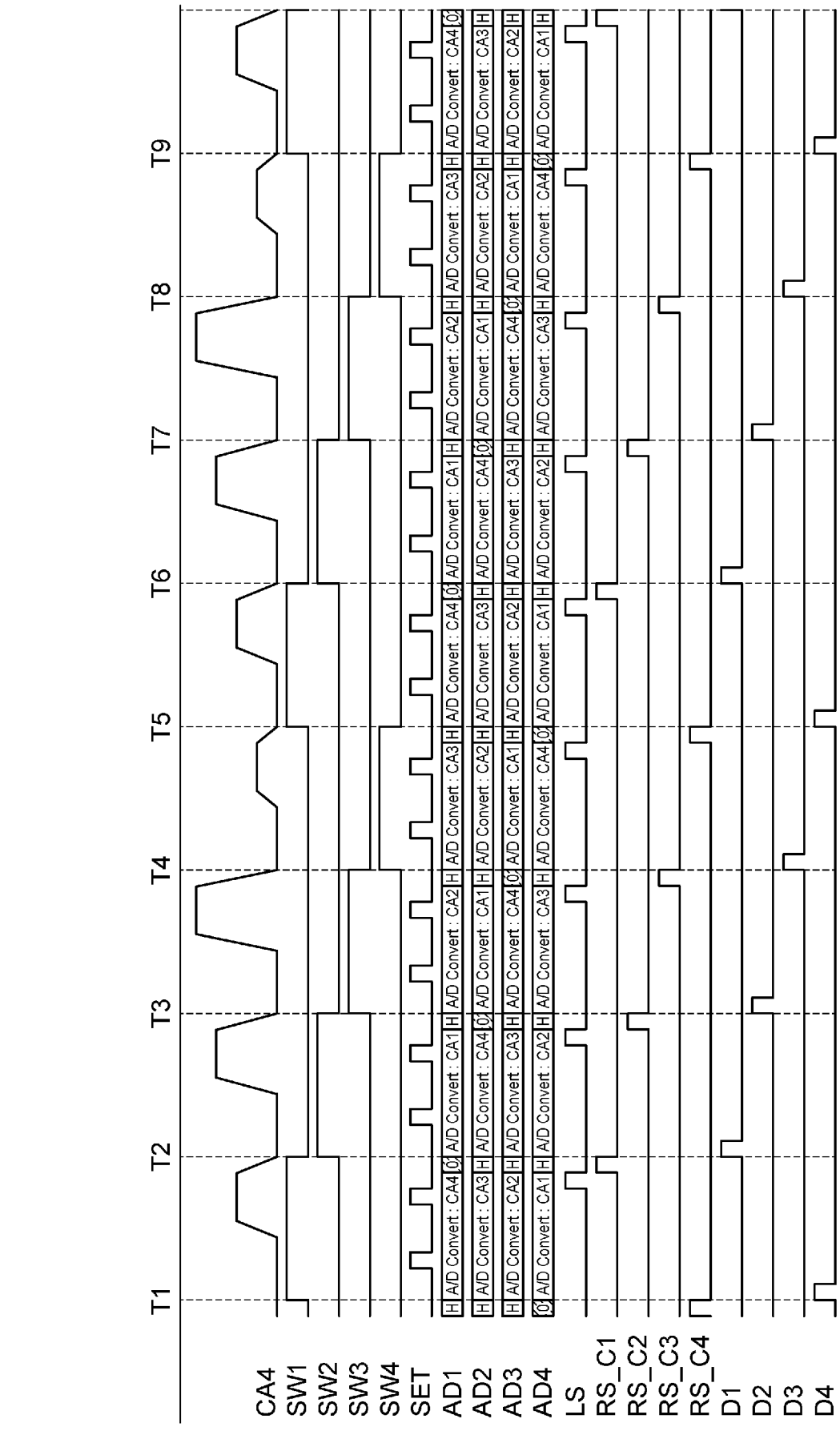
[図16]


50
SU1_OUT
SU2_OUT
SU3_OUT
SU4_OUT
MR1(51)
MR2(51)
MR3(51)
MR4(51)
53
SET
52
MR1_OUT
MR2_OUT
MR3_OUT
MR4_OUT

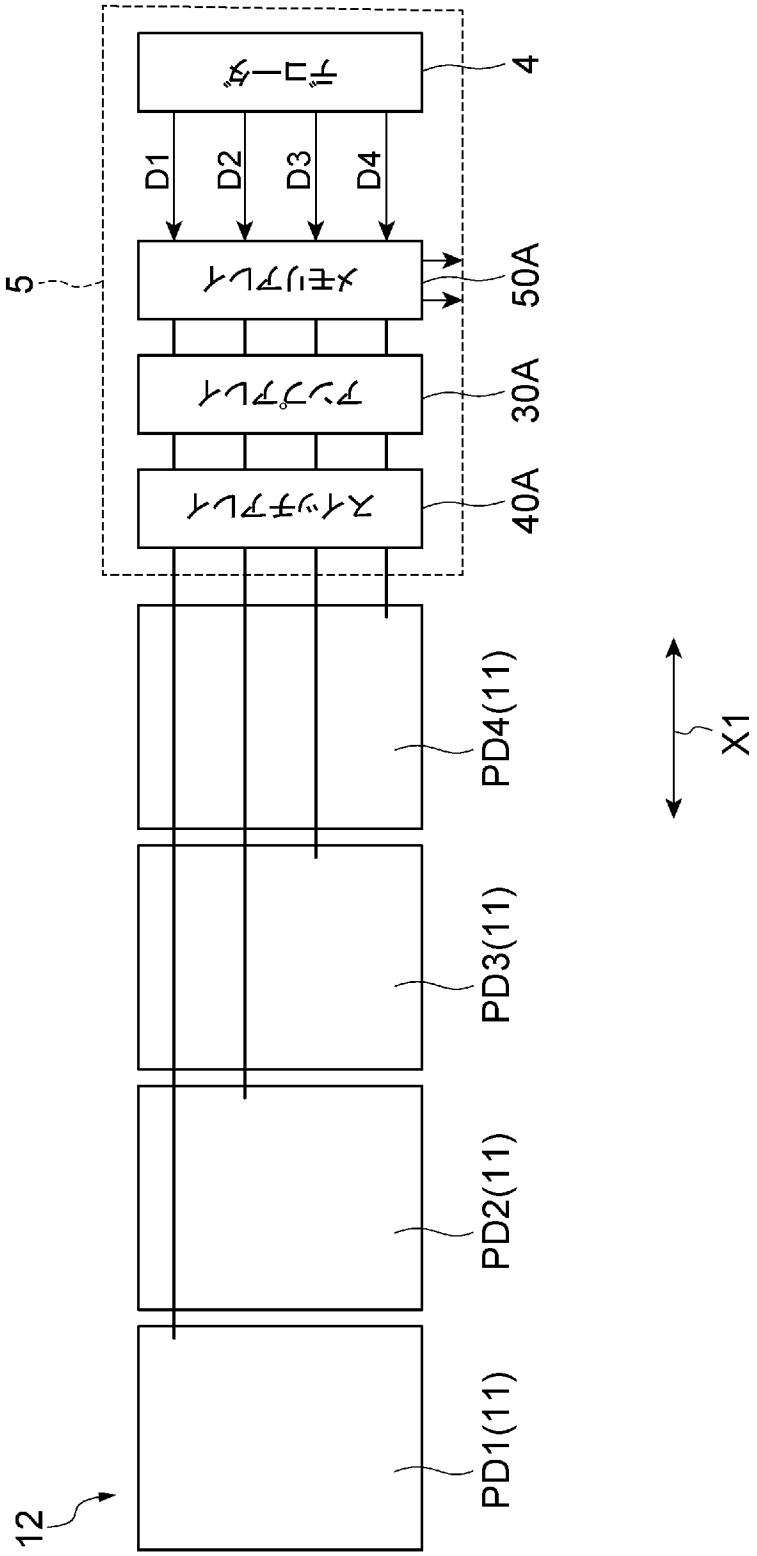
[図17]


T1
T2
T3
T4
T5
T6
T7
T8
T9
RS_P
TRAN
RS_A
CA1
CA2
CA3
CA4
SW1
SW2
SW3
SW4

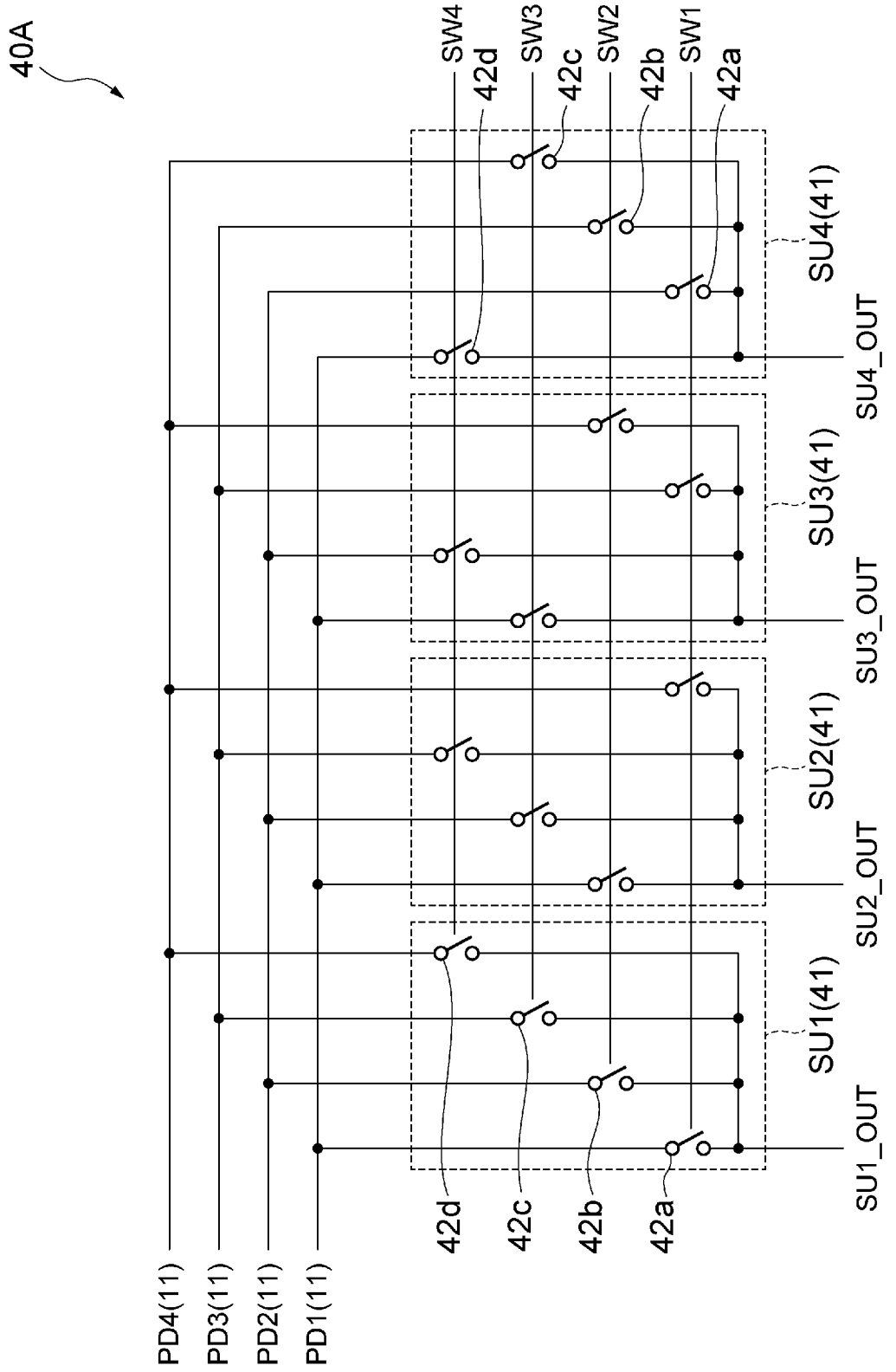
[図18]


T1
T2
T3
T4
T5
T6
T7
T8
T9
CA4
SW1
SW2
SW3
SW4
SET
AD1
AD2
AD3
AD4
LS
RS_C1
RS_C2
RS_C3
RS_C4
D1
D2
D3
D4
H A/D Convert : CA1 H A/D Convert : CA2 H A/D Convert : CA3 H A/D Convert : CA4 01
H A/D Convert : CA2 H A/D Convert : CA3 H A/D Convert : CA4 01 A/D Convert : CA1 H
H A/D Convert : CA3 H A/D Convert : CA4 01 A/D Convert : CA1 H A/D Convert : CA2 H
H A/D Convert : CA4 01 A/D Convert : CA1 H A/D Convert : CA2 H A/D Convert : CA3 H
01 A/D Convert : CA1 H A/D Convert : CA2 H A/D Convert : CA3 H A/D Convert : CA4 01

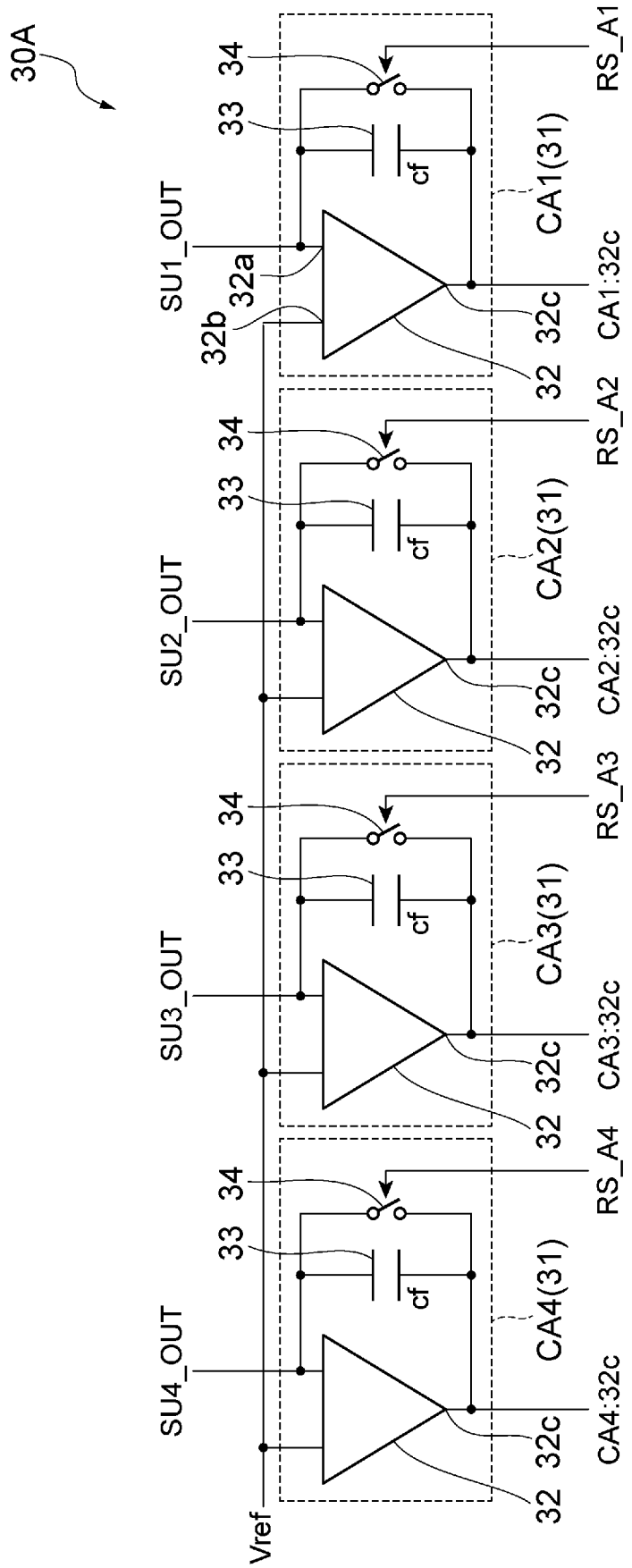
[図19]


ドライバ
4
D1
D2
D3
D4
5
メモリアレイ
50A
アンプアレイ
30A
スイッチアレイ
40A
PD4(11)
PD3(11)
PD2(11)
PD1(11)
12
X1

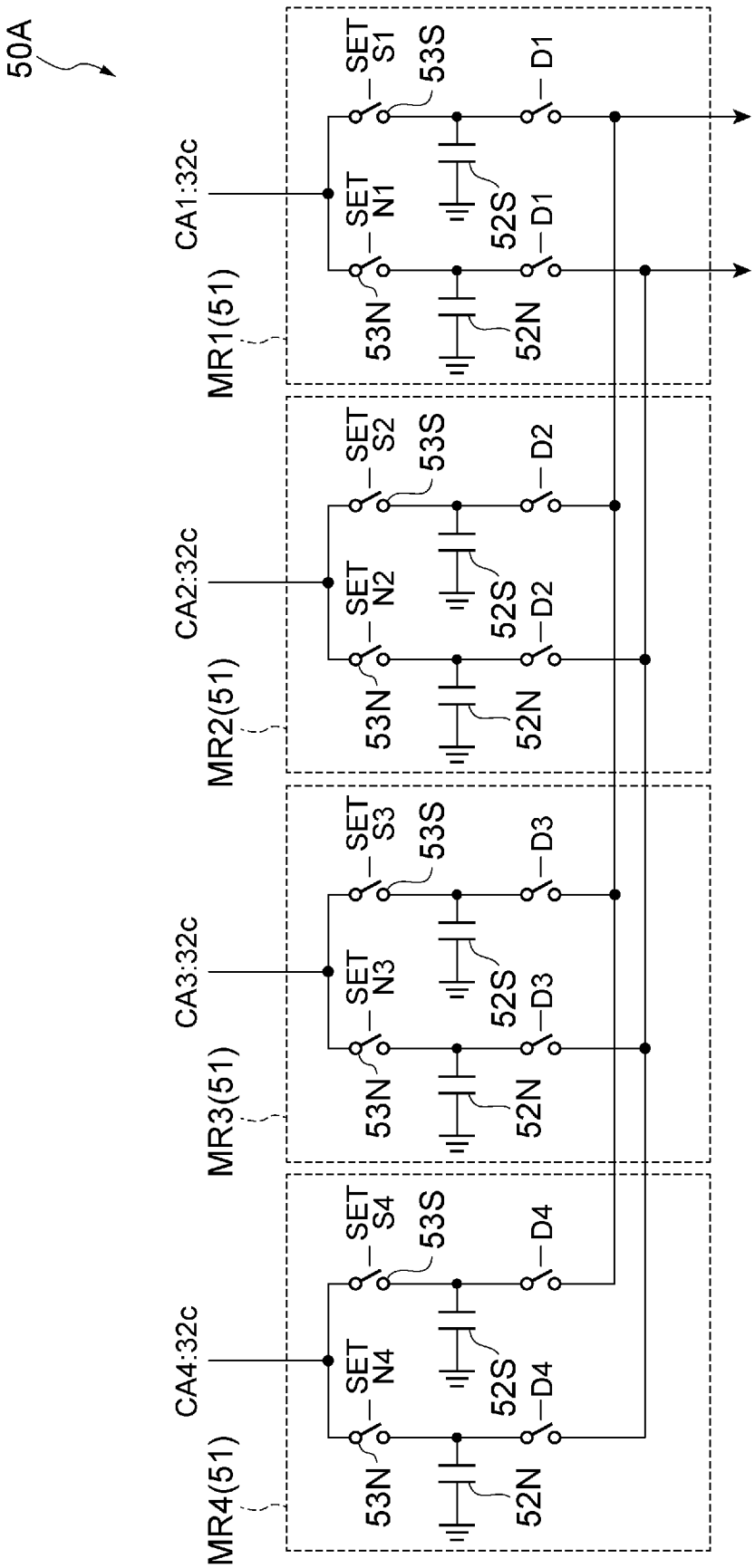
[図20]


40A
SW4
42d
SW3
42c
SW2
42b
SW1
42a
SU4(41)
SU3(41)
SU2(41)
SU1(41)
SU4_OUT
SU3_OUT
SU2_OUT
SU1_OUT
PD4(11)
PD3(11)
PD2(11)
PD1(11)

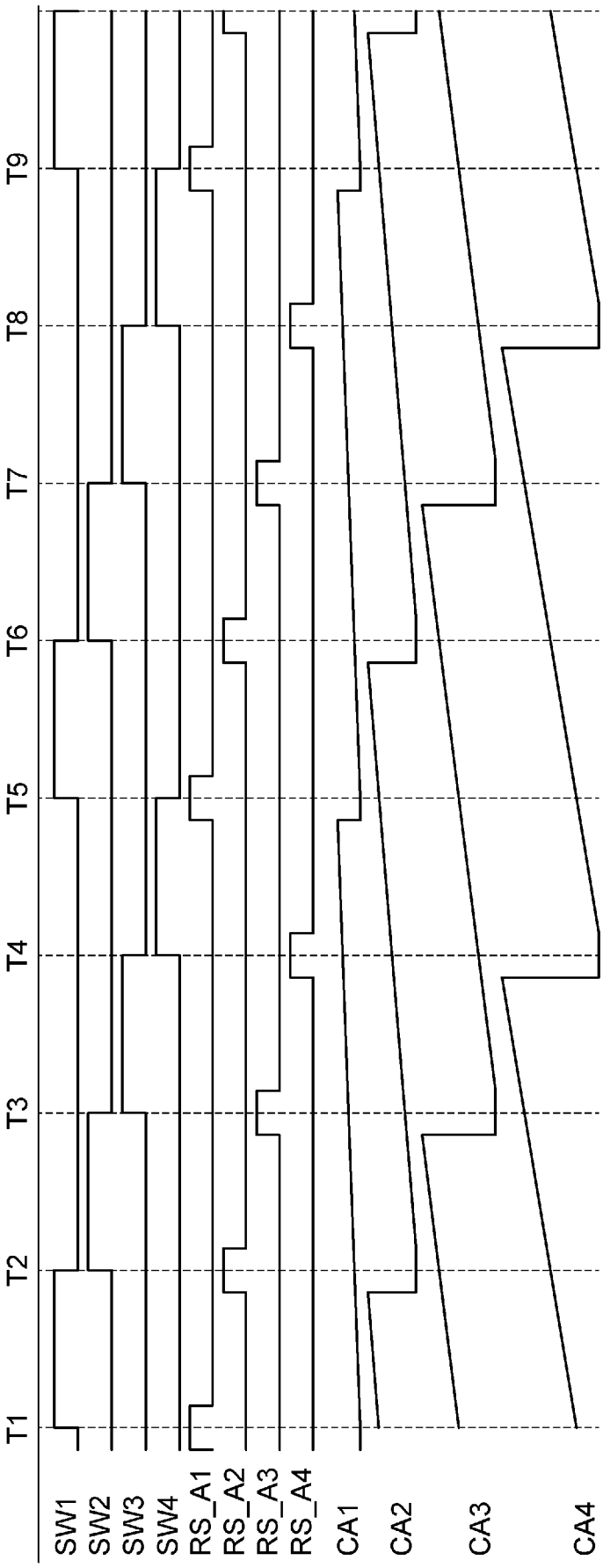
[図21]


30A
34
33
cf
CA1(31)
RS_A1
SU1_OUT
32a
32b
32c
CA1:32c
32
RS_A2
CA2(31)
SU2_OUT
CA2:32c
RS_A3
CA3(31)
SU3_OUT
CA3:32c
RS_A4
CA4(31)
SU4_OUT
CA4:32c
Vref

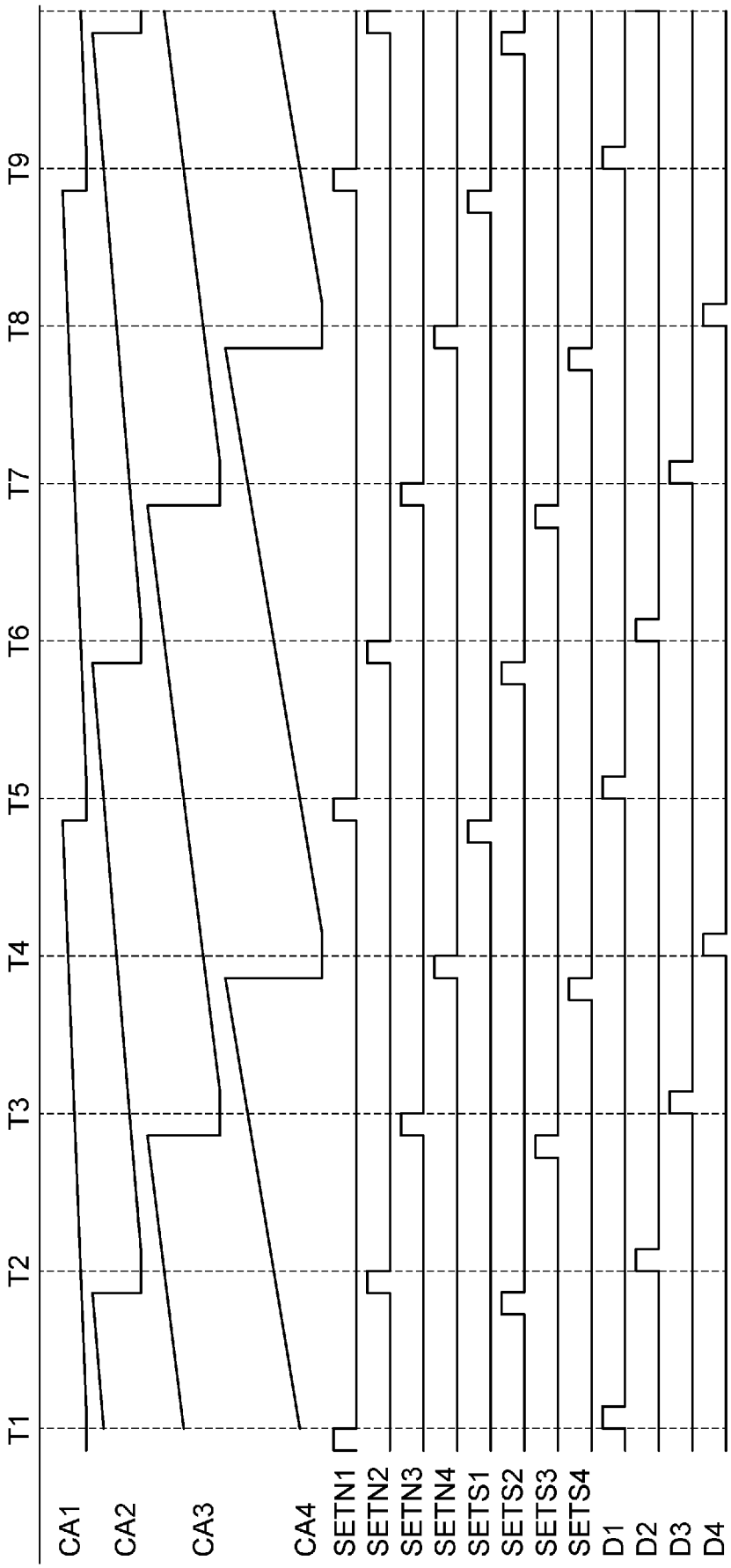
[図22]


50A
MR1(51)
MR2(51)
MR3(51)
MR4(51)
CA1:32c
CA2:32c
CA3:32c
CA4:32c
SET S1
SET S2
SET S3
SET S4
SET N1
SET N2
SET N3
SET N4
53S
52S
53N
52N
D1
D2
D3
D4

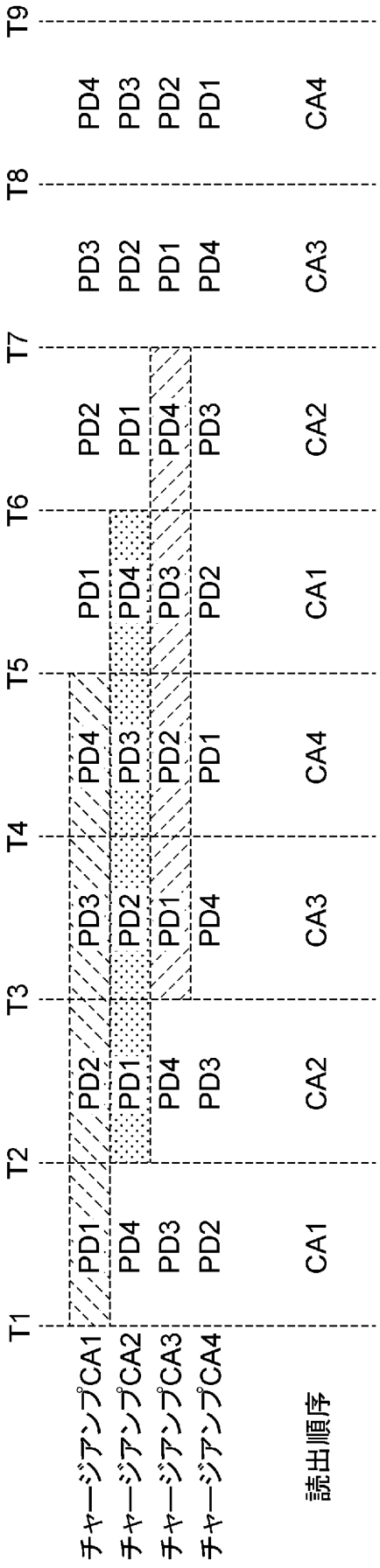
[図23]


T1
T2
T3
T4
T5
T6
T7
T8
T9
SW1
SW2
SW3
SW4
RS_A1
RS_A2
RS_A3
RS_A4
CA1
CA2
CA3
CA4

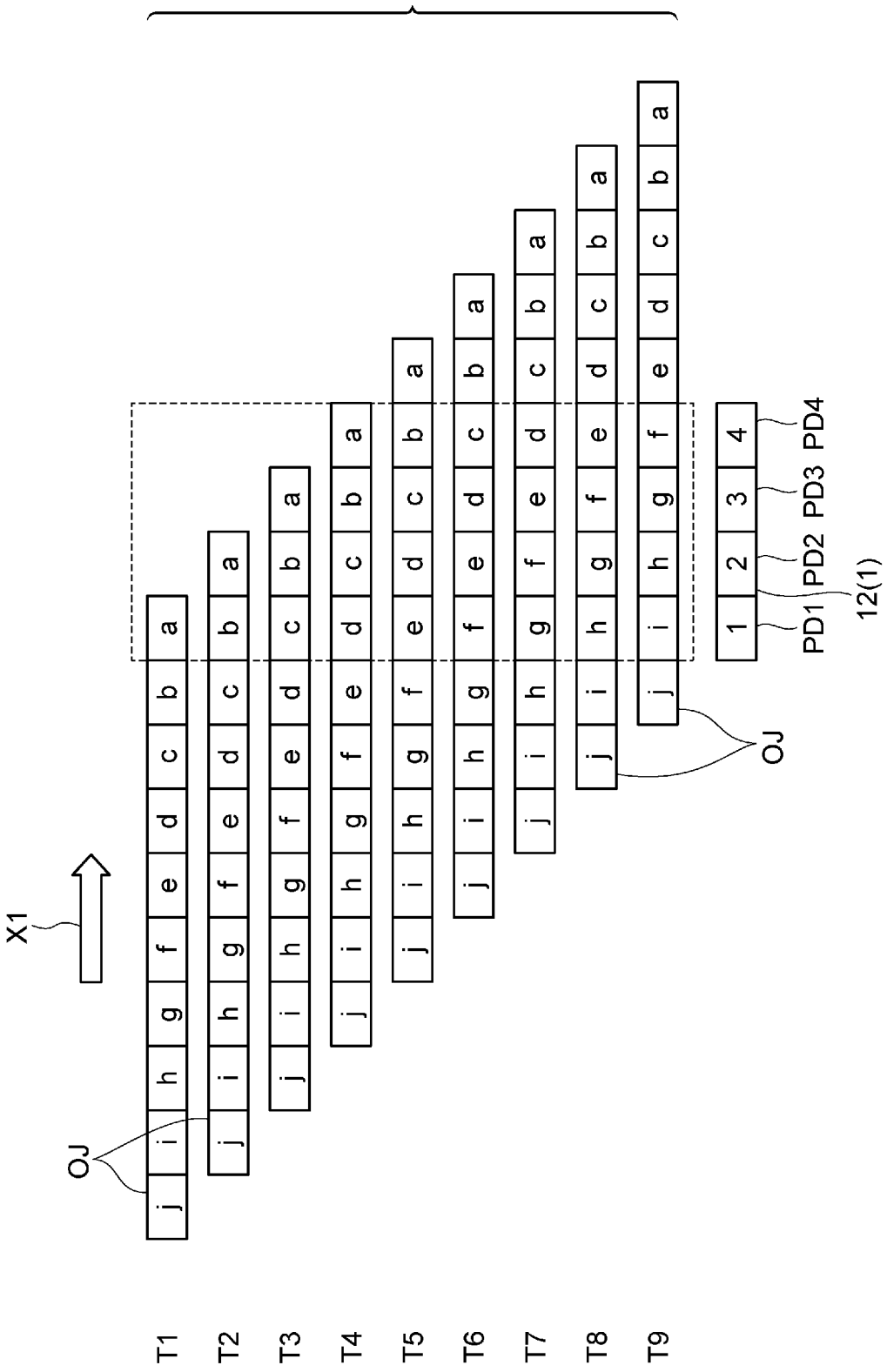
[図24]


T1
T2
T3
T4
T5
T6
T7
T8
T9
CA1
CA2
CA3
CA4
SETN1
SETN2
SETN3
SETN4
SETS1
SETS2
SETS3
SETS4
D1
D2
D3
D4

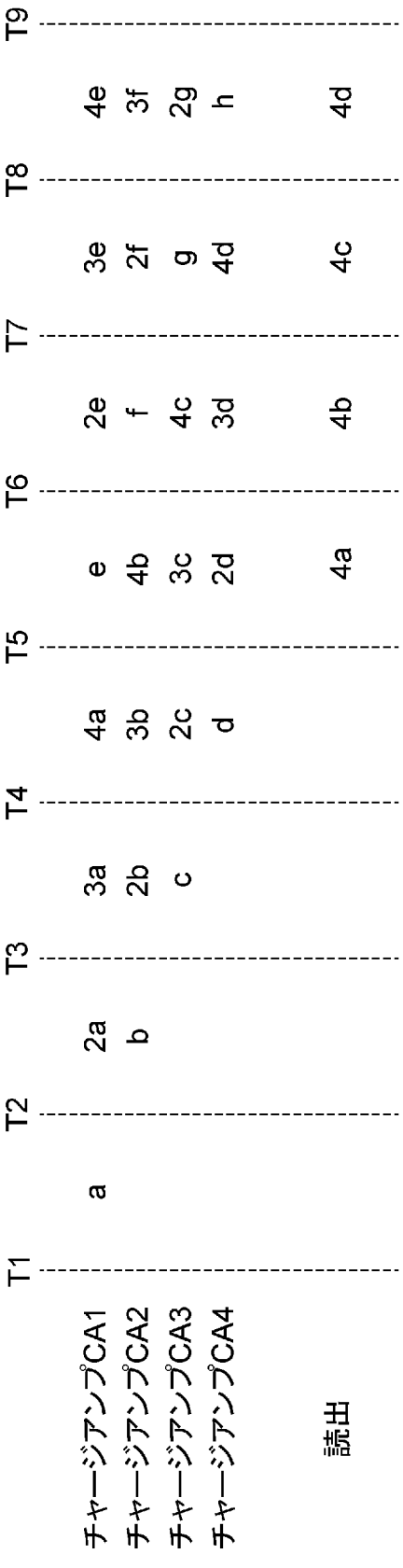
[図25]


T1
T2
T3
T4
T5
T6
T7
T8
T9
チャージアンプCA1
チャージアンプCA2
チャージアンプCA3
チャージアンプCA4
読出順序
PD1
PD4
PD3
PD2
CA1
PD2
PD1
PD4
PD3
CA2
PD3
PD2
PD1
PD4
CA3
PD4
PD3
PD2
PD1
CA4
PD1
PD4
PD3
PD2
CA1
PD2
PD1
PD4
PD3
CA2
PD3
PD2
PD1
PD4
CA3
PD4
PD3
PD2
PD1
CA4

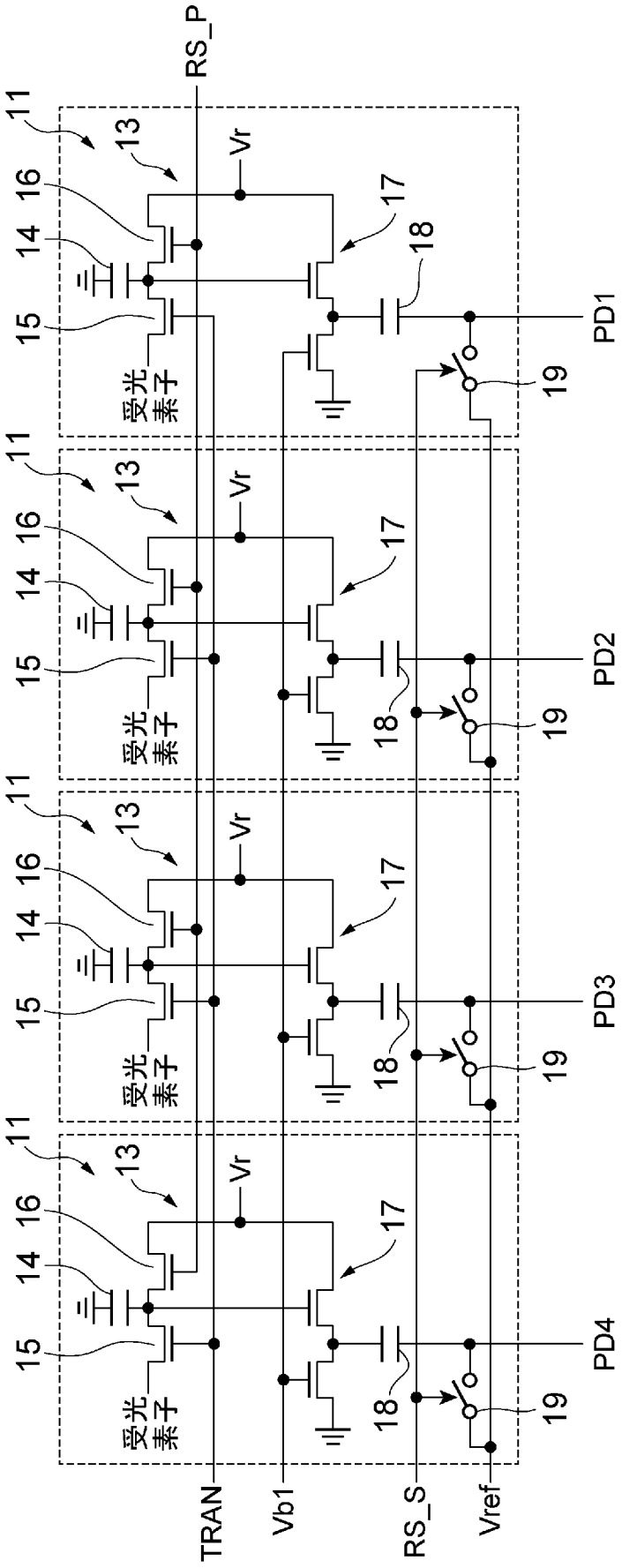
[図26]



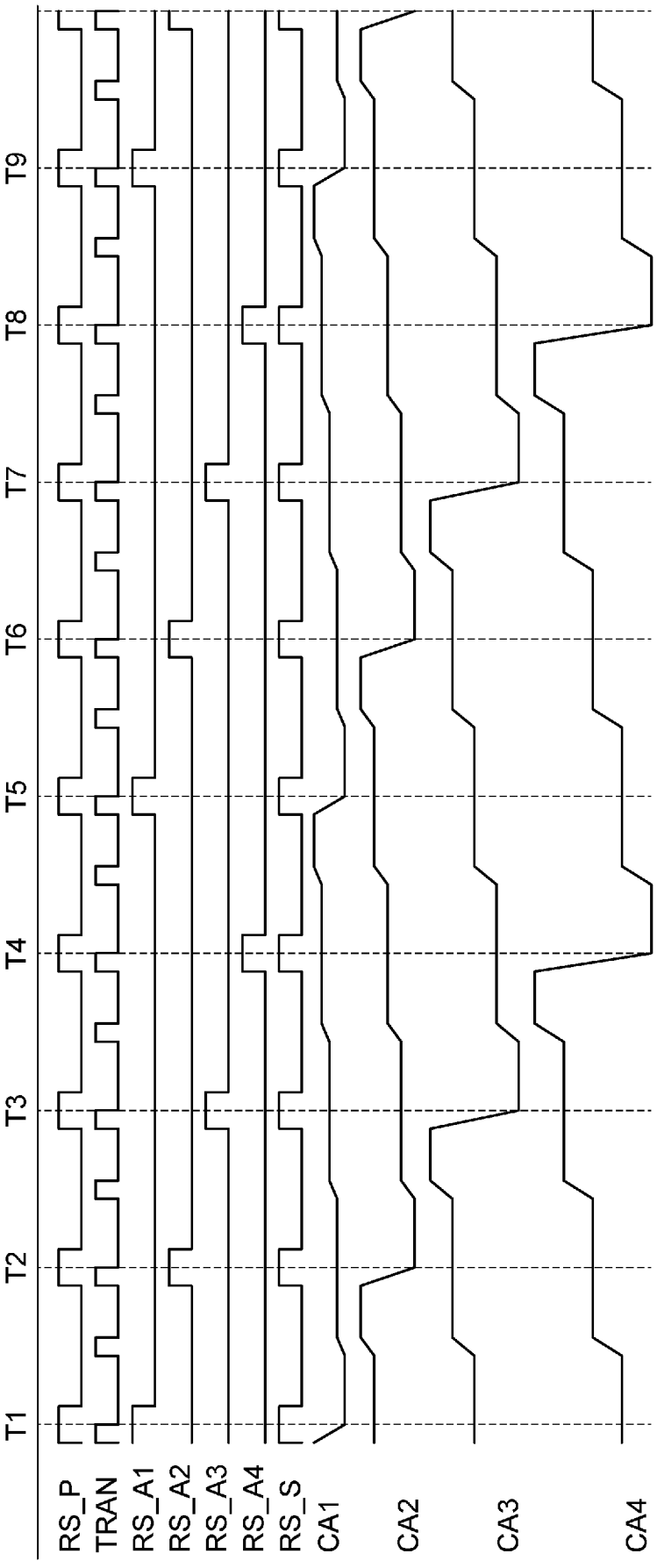
[図27]


T1
T2
T3
T4
T5
T6
T7
T8
T9
チャージアンプCA1
チャージアンプCA2
チャージアンプCA3
チャージアンプCA4
読出
a
2a
b
3a
2b
c
4a
3b
2c
d
e
4b
3c
2d
2e
f
4c
3d
3e
2f
g
4d
4e
3f
2g
h
4a
4b
4c
4d
4d
4c
4b

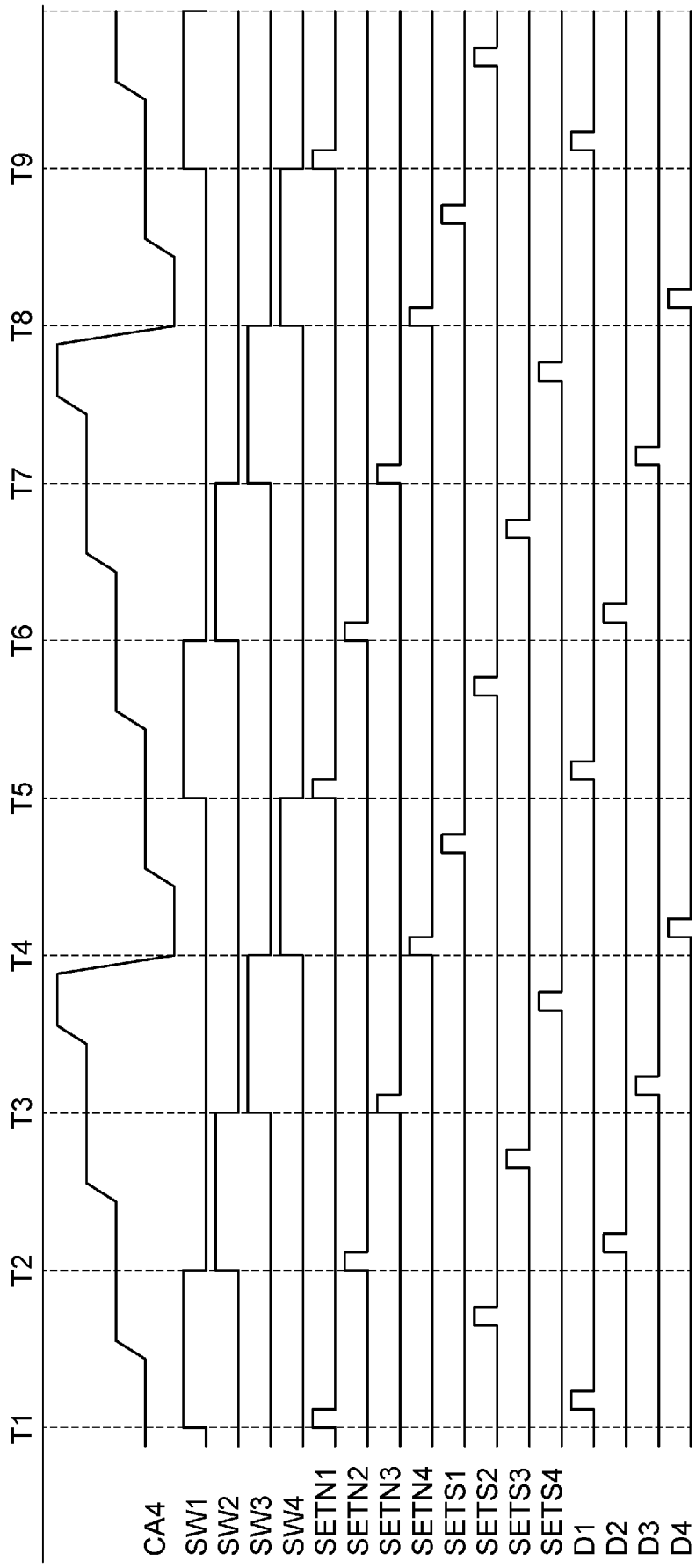
[図28]


RS_P
11
13
Vr
16
14
15
受光素子
17
18
19
PD1
PD2
PD3
PD4
TRAN
Vb1
RS_S
Vref

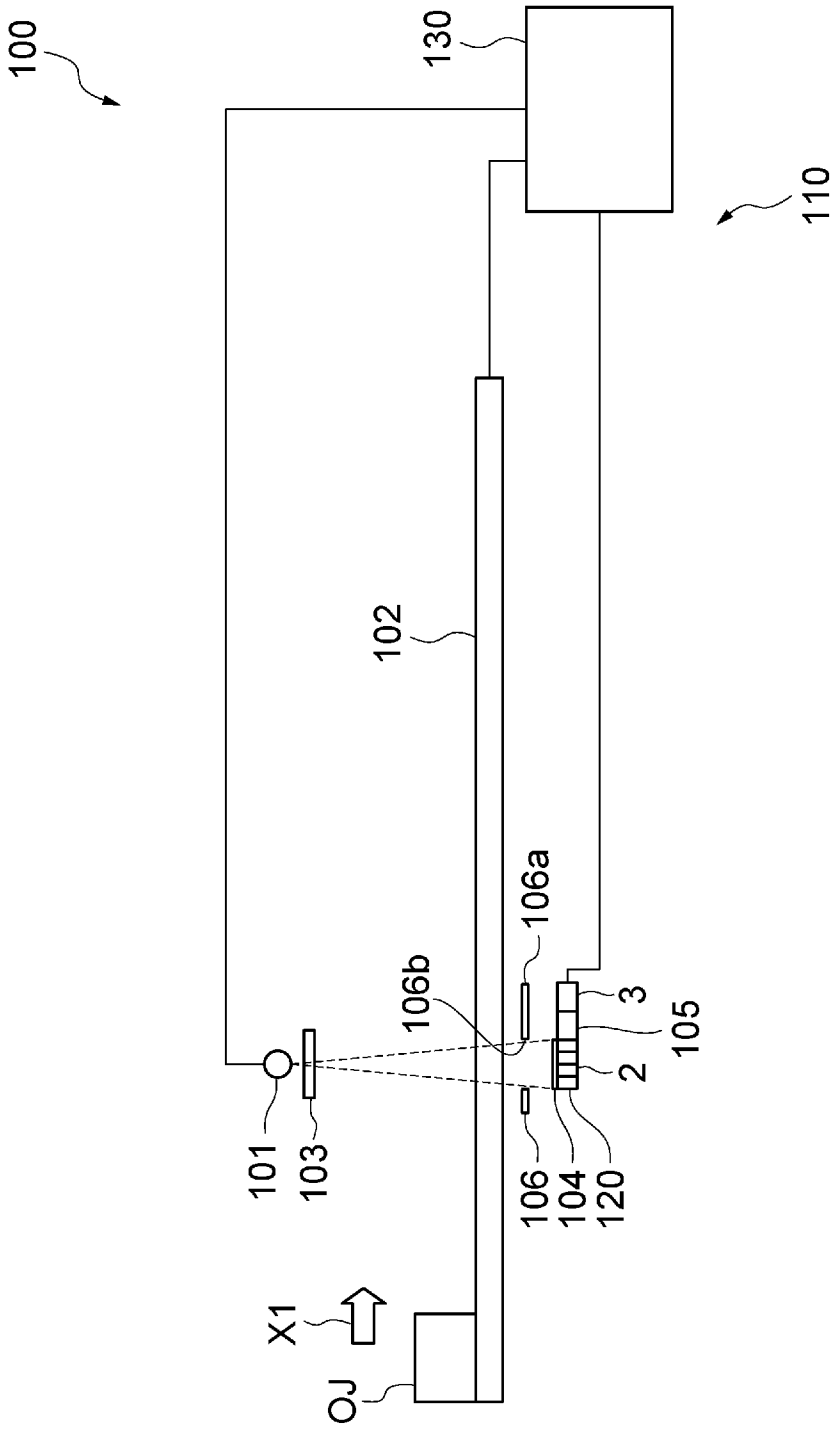
[図29]


T1
T2
T3
T4
T5
T6
T7
T8
T9
RS_P
TRAN
RS_A1
RS_A2
RS_A3
RS_A4
RS_S
CA1
CA2
CA3
CA4

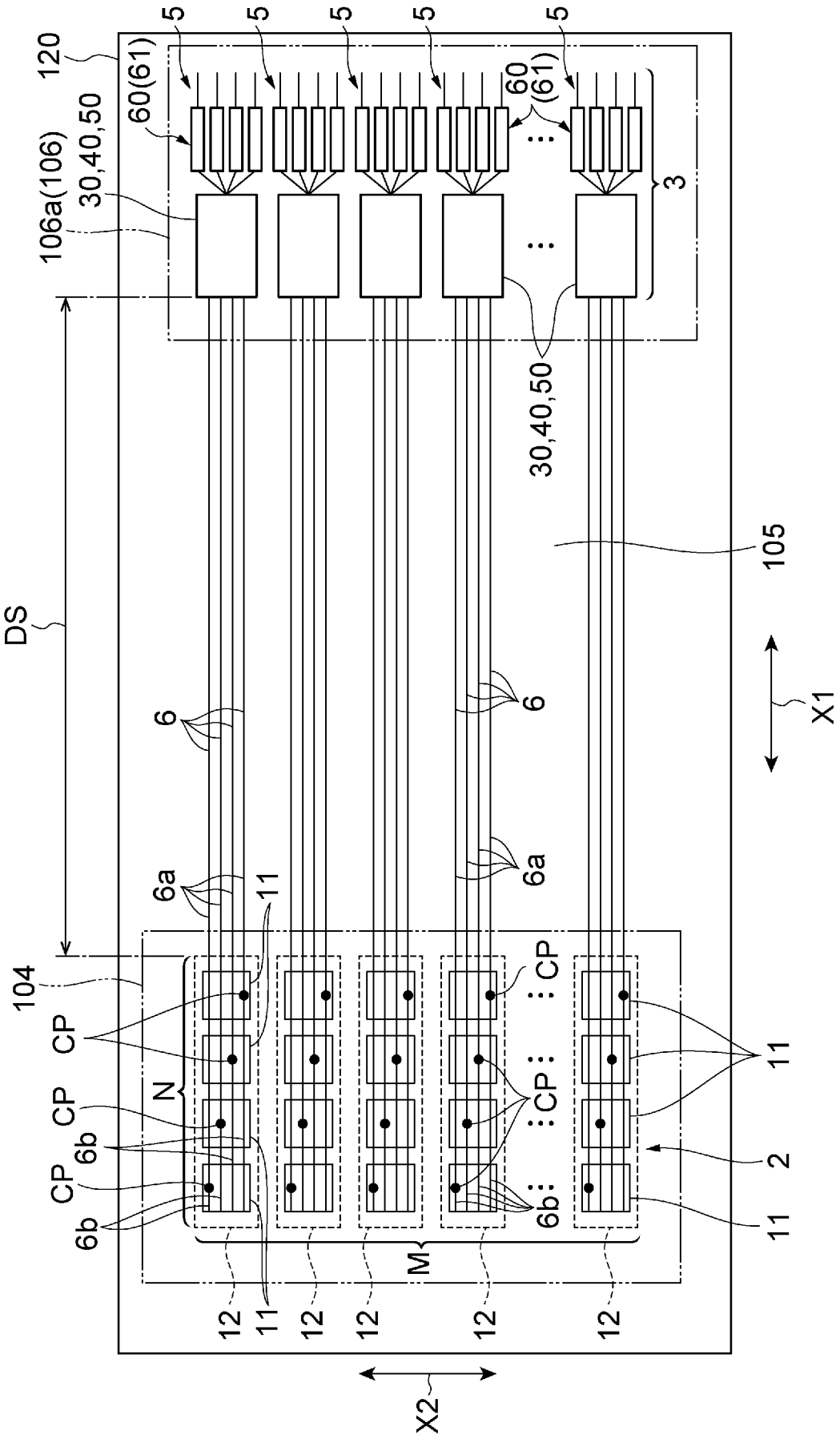
[図30]


T1
T2
T3
T4
T5
T6
T7
T8
T9
CA4
SW1
SW2
SW3
SW4
SETN1
SETN2
SETN3
SETN4
SETS1
SETS2
SETS3
SETS4
D1
D2
D3
D4

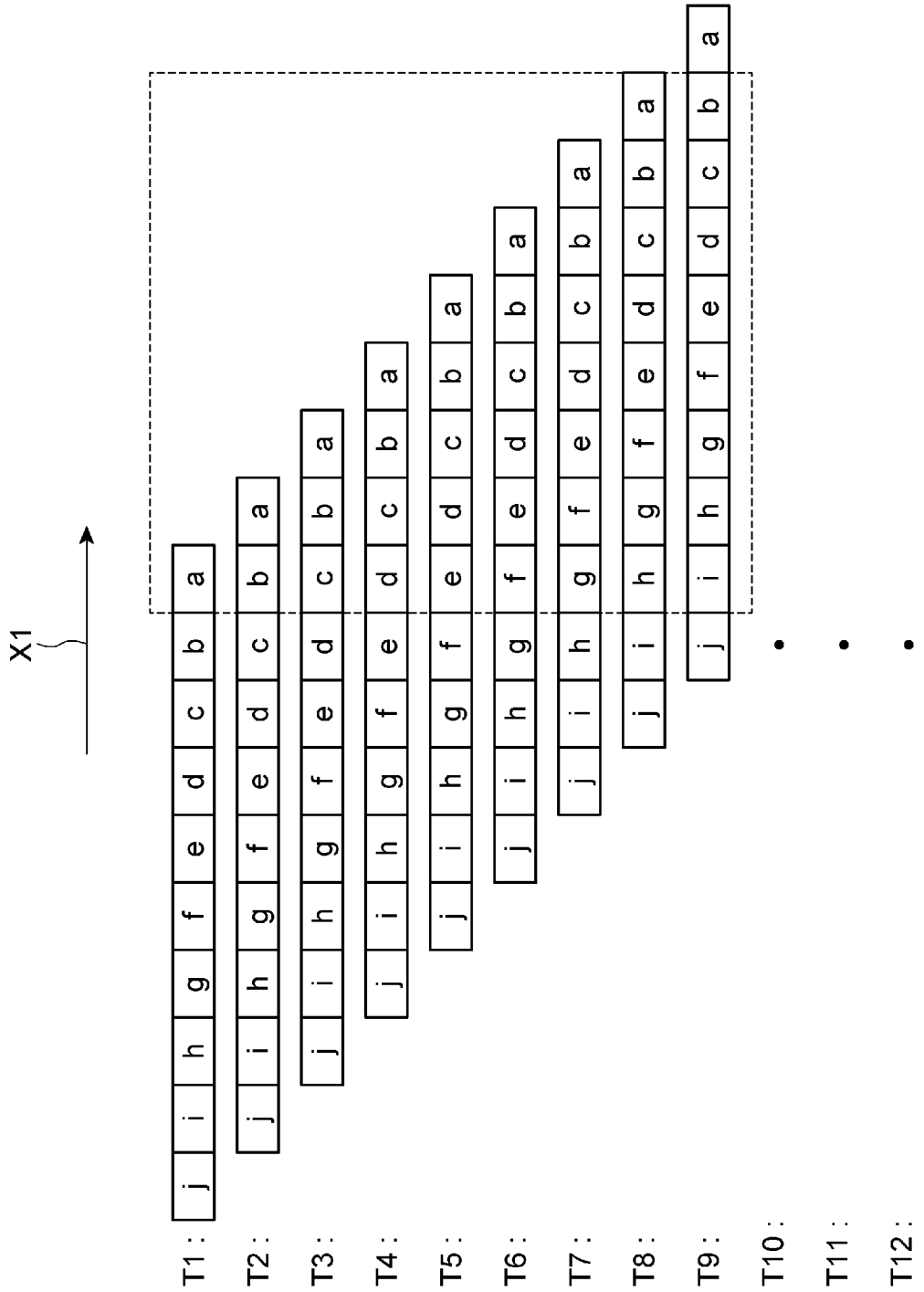
[図31]



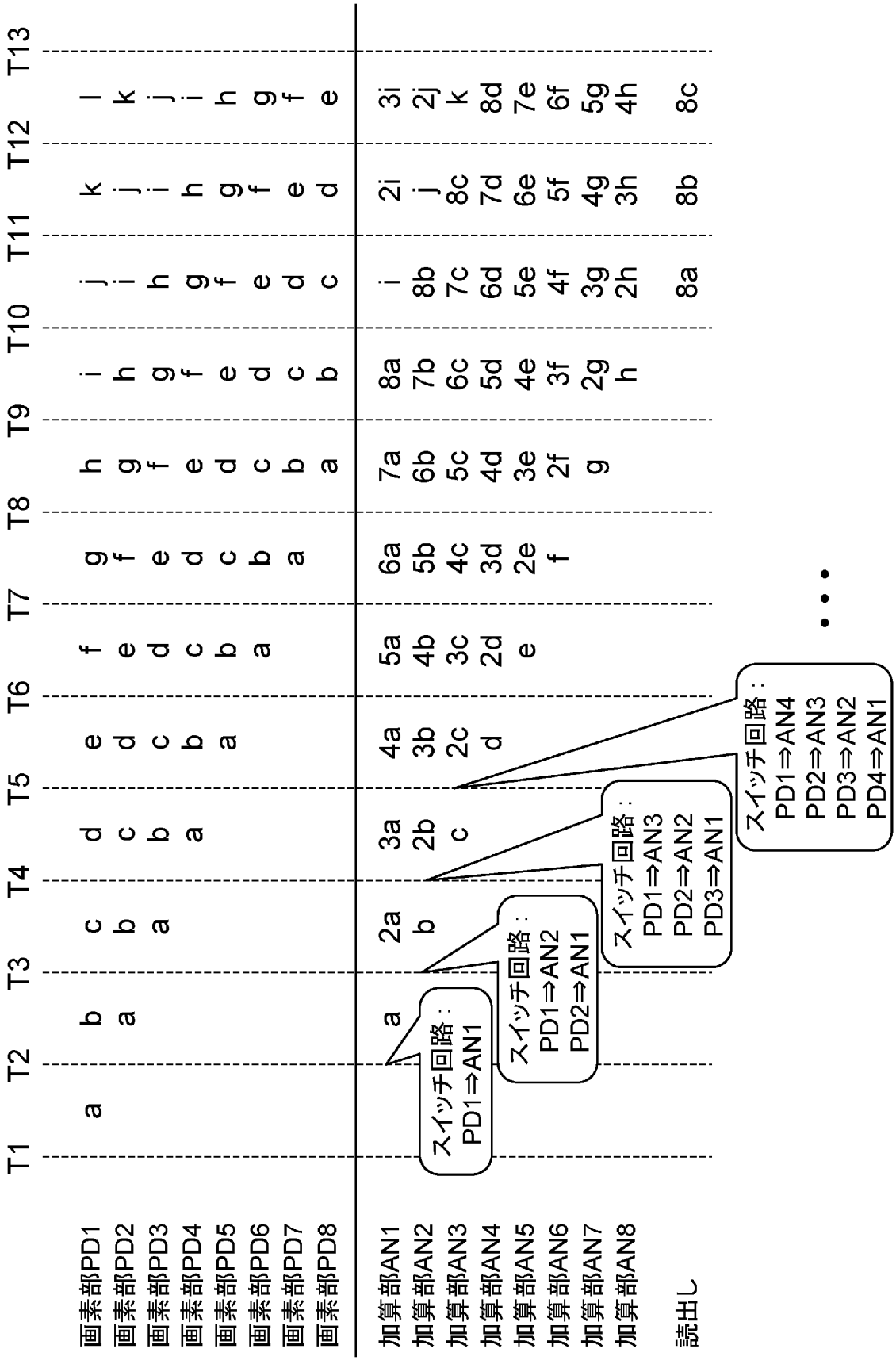
[図32]


120
5
60(61)
60
(61)
30,40,50
106a(106)
3
30,40,50
105
DS
6
6
X1
6a
6a
11
104
CP
CP
CP
CP
CP
N
6b
6b
6b
11
11
2
M
12
11
12
12
12
12
X2

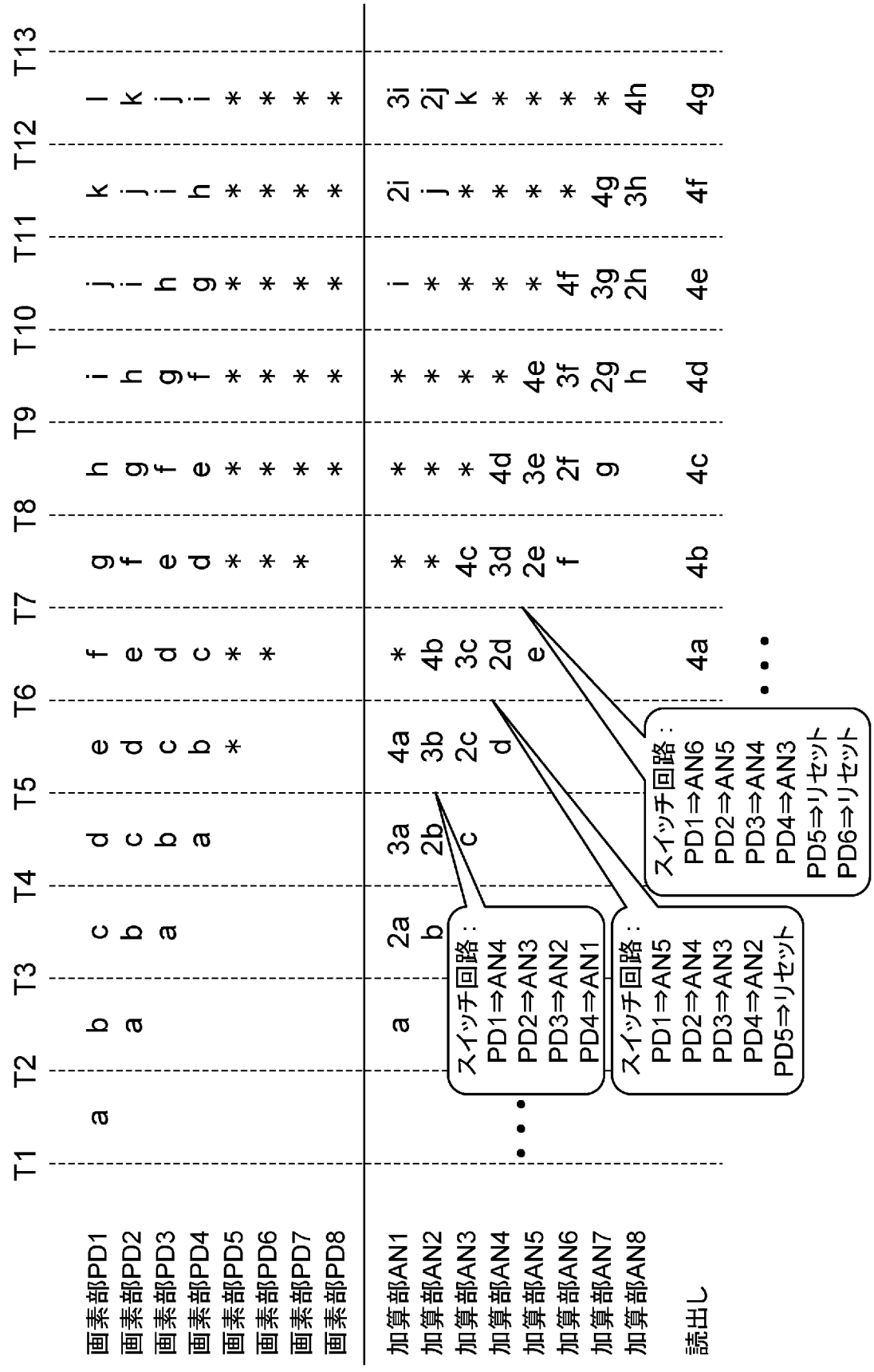
[図33]



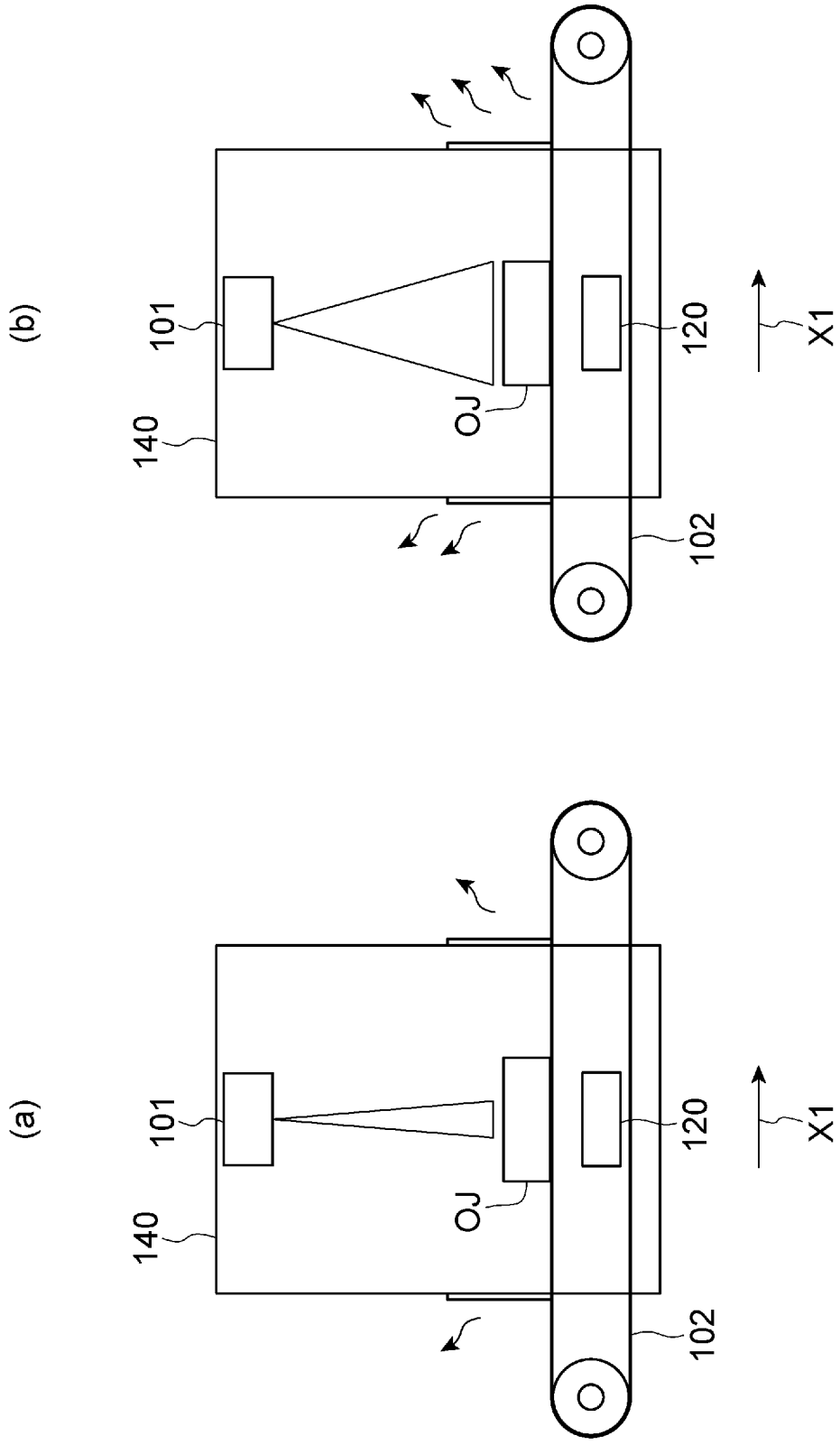
[図34]


T1
T2
T3
T4
T5
T6
T7
T8
T9
T10
T11
T12
T13
画素部PD1
画素部PD2
画素部PD3
画素部PD4
画素部PD5
画素部PD6
画素部PD7
画素部PD8
加算部AN1
加算部AN2
加算部AN3
加算部AN4
加算部AN5
加算部AN6
加算部AN7
加算部AN8
読出し
スイッチ回路：
PD1⇒AN1
スイッチ回路：
PD1⇒AN2
PD2⇒AN1
スイッチ回路：
PD1⇒AN3
PD2⇒AN2
PD3⇒AN1
スイッチ回路：
PD1⇒AN4
PD2⇒AN3
PD3⇒AN2
PD4⇒AN1

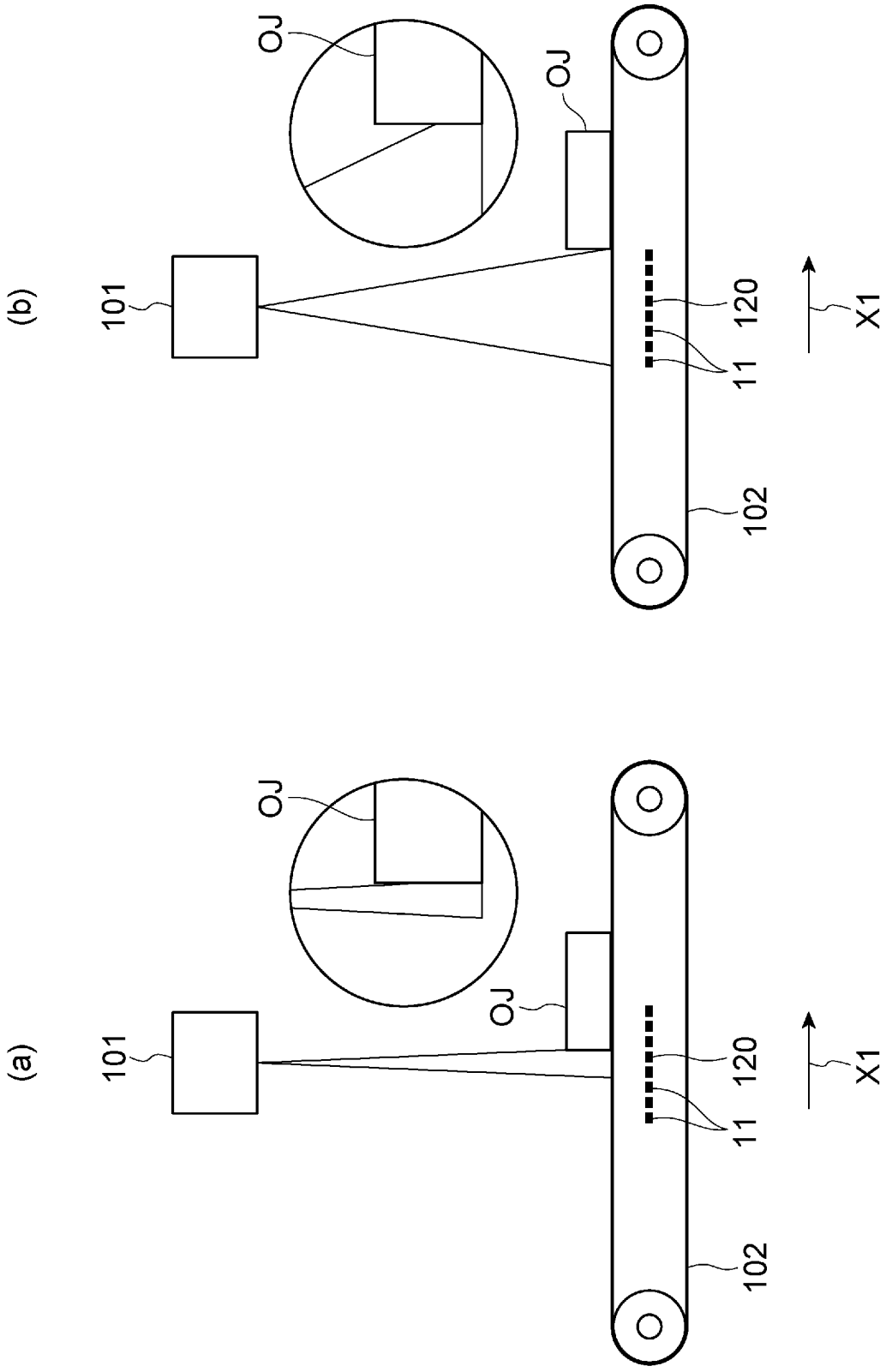
[図35]


T1
T2
T3
T4
T5
T6
T7
T8
T9
T10
T11
T12
T13
画素部PD1
画素部PD2
画素部PD3
画素部PD4
画素部PD5
画素部PD6
画素部PD7
画素部PD8
加算部AN1
加算部AN2
加算部AN3
加算部AN4
加算部AN5
加算部AN6
加算部AN7
加算部AN8
読出し
スイッチ回路：
PD1⇒AN4
PD2⇒AN3
PD3⇒AN2
PD4⇒AN1
スイッチ回路：
PD1⇒AN5
PD2⇒AN4
PD3⇒AN3
PD4⇒AN2
PD5⇒リセット
スイッチ回路：
PD1⇒AN6
PD2⇒AN5
PD3⇒AN4
PD4⇒AN3
PD5⇒リセット
PD6⇒リセット

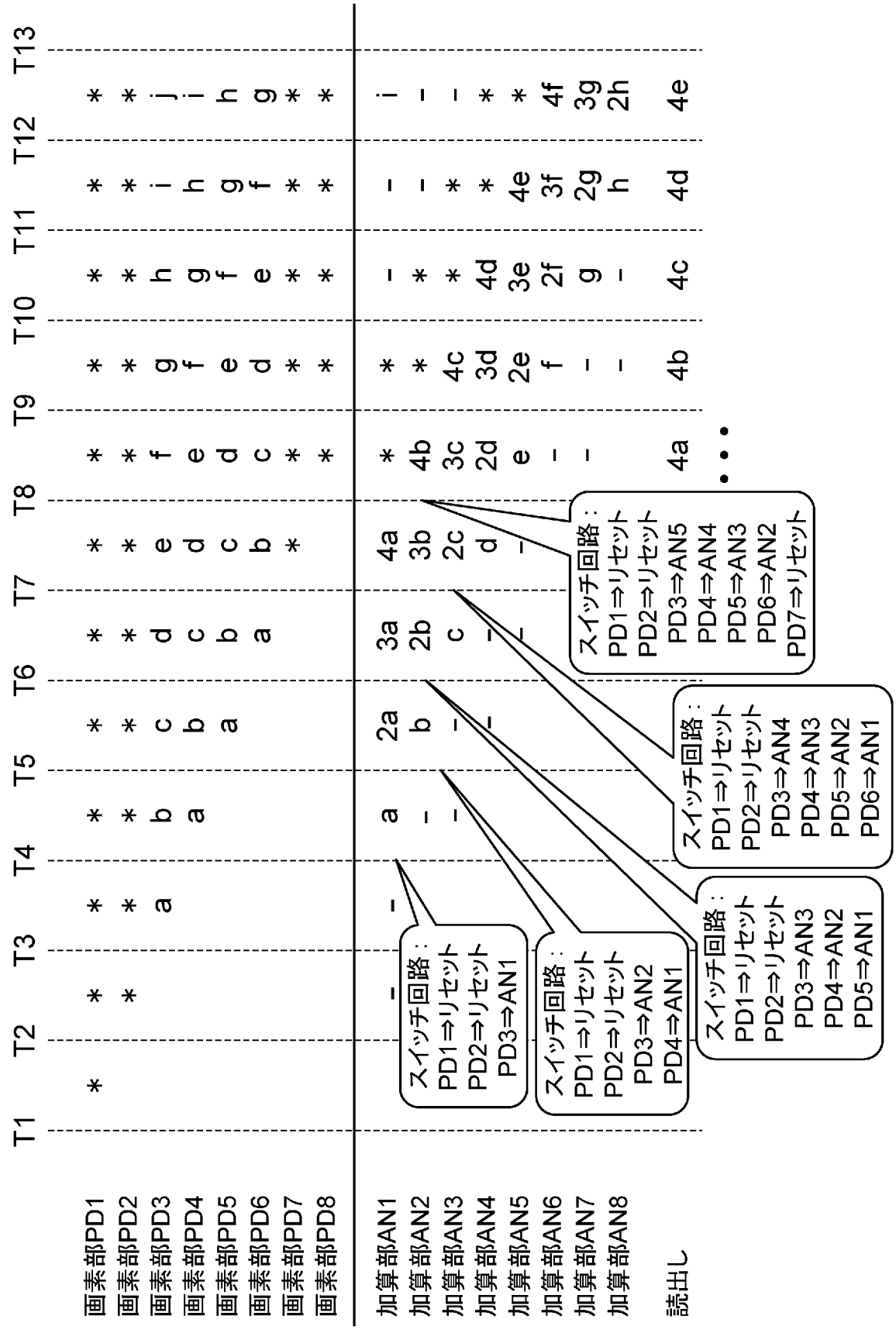
[図36]



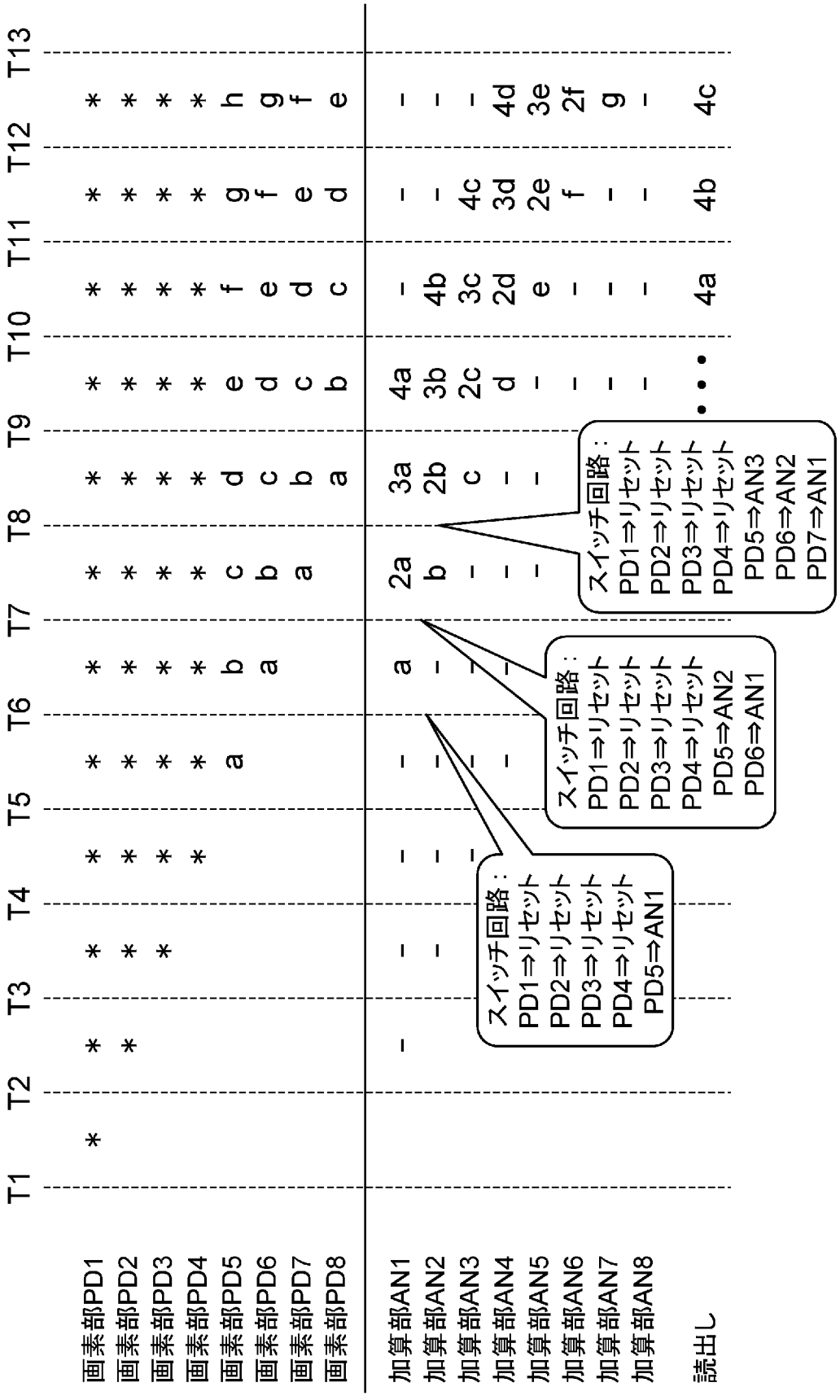
[図37]



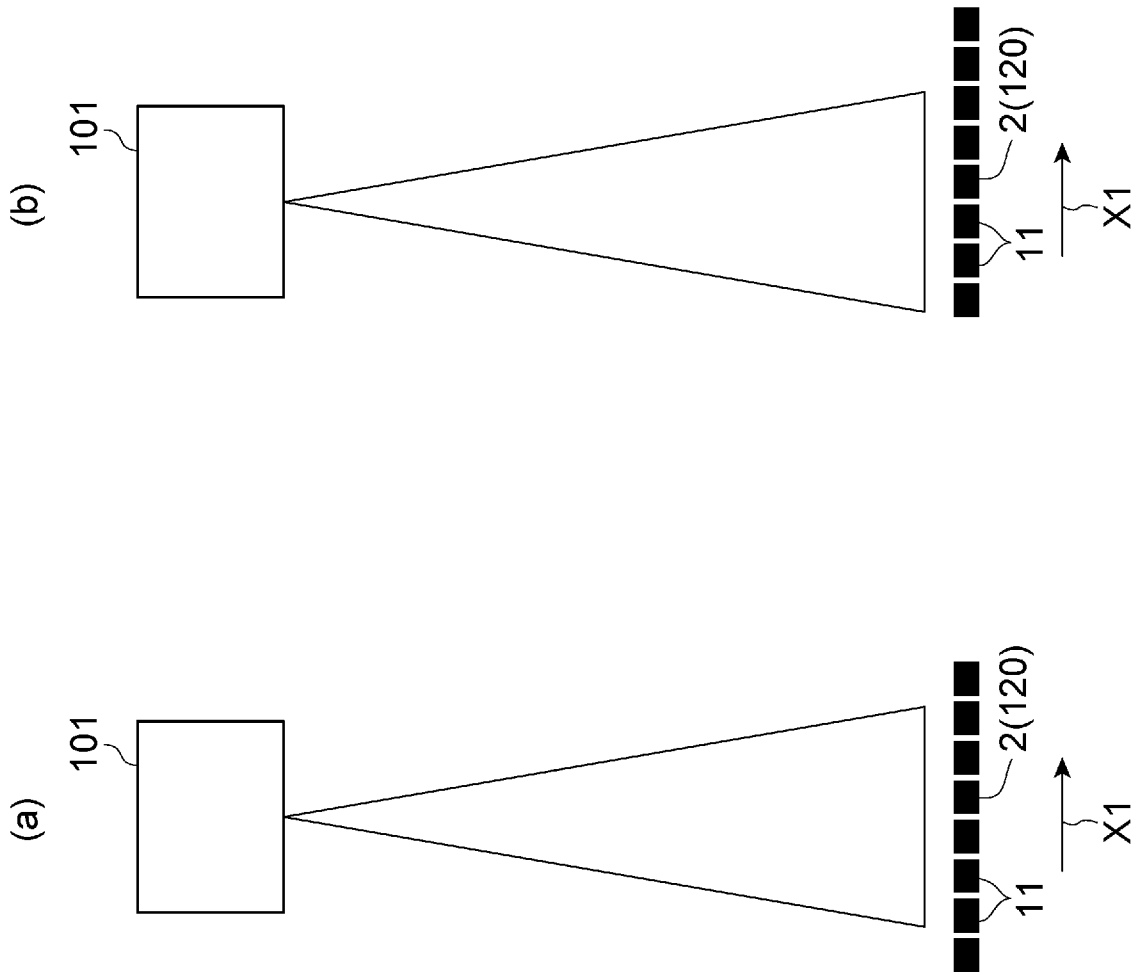
[図38]


T1 T2 T3 T4 T5 T6 T7 T8 T9 T10 T11 T12 T13
画素部PD1
画素部PD2
画素部PD3
画素部PD4
画素部PD5
画素部PD6
画素部PD7
画素部PD8
加算部AN1
加算部AN2
加算部AN3
加算部AN4
加算部AN5
加算部AN6
加算部AN7
加算部AN8
読出し
スイッチ回路：
PD1⇒リセット
PD2⇒リセット
PD3⇒AN1
スイッチ回路：
PD1⇒リセット
PD2⇒リセット
PD3⇒AN2
PD4⇒AN1
スイッチ回路：
PD1⇒リセット
PD2⇒リセット
PD3⇒AN3
PD4⇒AN2
PD5⇒AN1
スイッチ回路：
PD1⇒リセット
PD2⇒リセット
PD3⇒AN4
PD4⇒AN3
PD5⇒AN2
PD6⇒AN1
スイッチ回路：
PD1⇒リセット
PD2⇒リセット
PD3⇒AN5
PD4⇒AN4
PD5⇒AN3
PD6⇒AN2
PD7⇒リセット

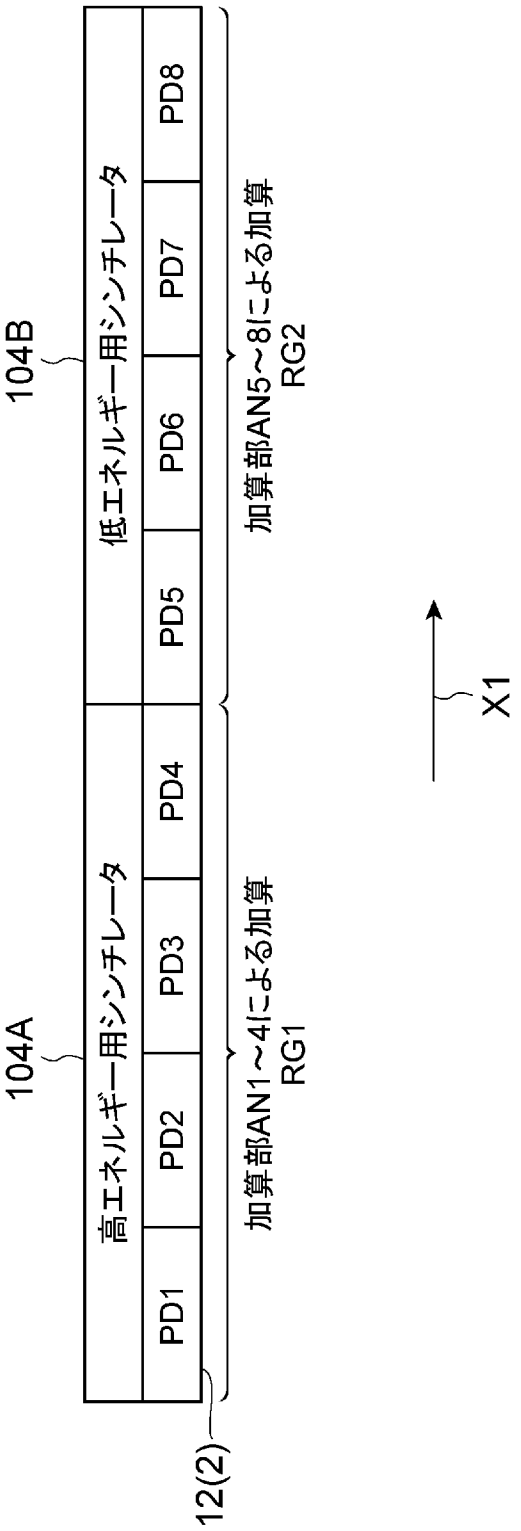
[図39]


T1
T2
T3
T4
T5
T6
T7
T8
T9
T10
T11
T12
T13
画素部PD1
画素部PD2
画素部PD3
画素部PD4
画素部PD5
画素部PD6
画素部PD7
画素部PD8
加算部AN1
加算部AN2
加算部AN3
加算部AN4
加算部AN5
加算部AN6
加算部AN7
加算部AN8
読出し
スイッチ回路：
PD1⇒リセット
PD2⇒リセット
PD3⇒リセット
PD4⇒リセット
PD5⇒AN1
スイッチ回路：
PD1⇒リセット
PD2⇒リセット
PD3⇒リセット
PD4⇒リセット
PD5⇒AN2
PD6⇒AN1
スイッチ回路：
PD1⇒リセット
PD2⇒リセット
PD3⇒リセット
PD4⇒リセット
PD5⇒AN3
PD6⇒AN2
PD7⇒AN1

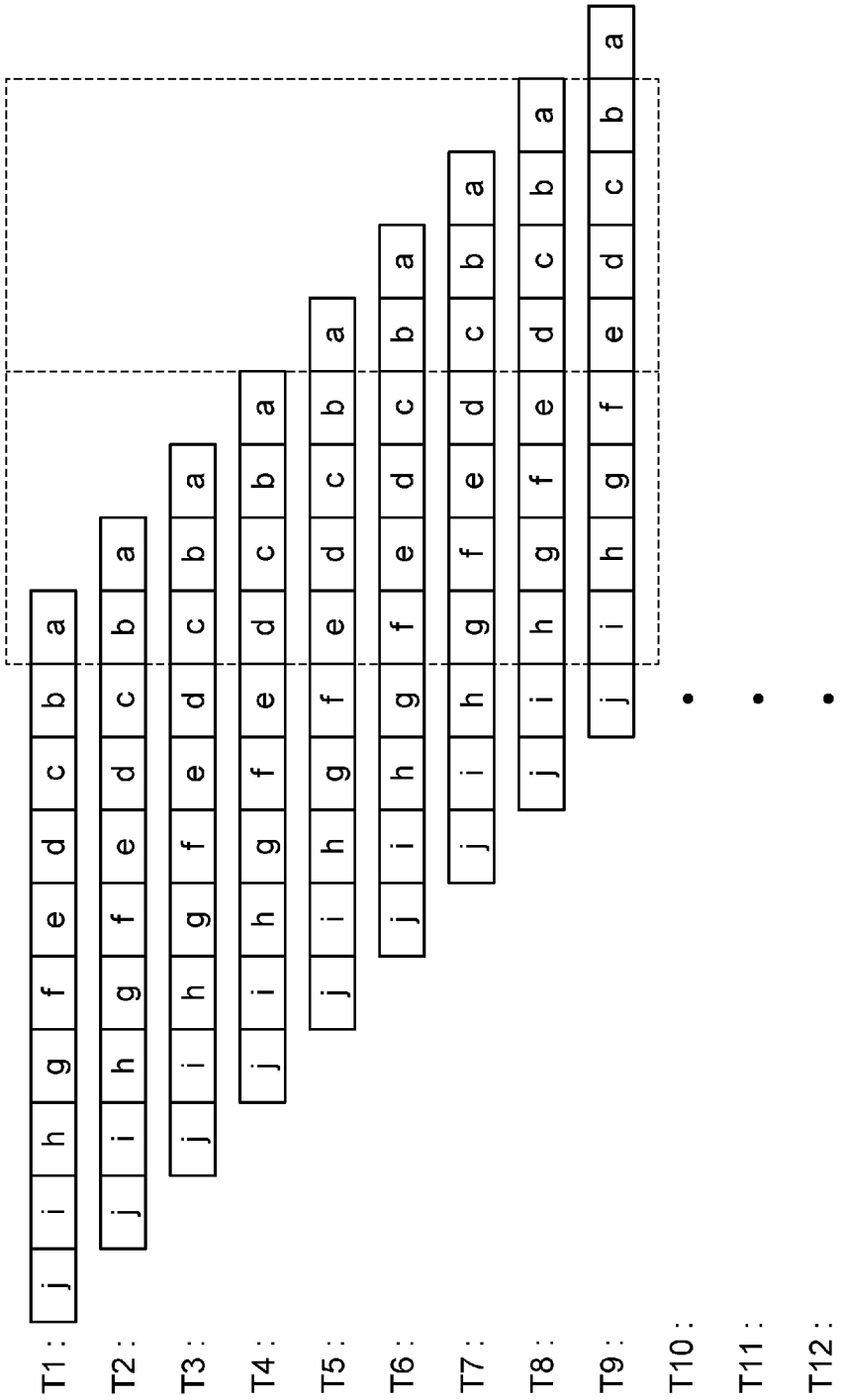
[図40]



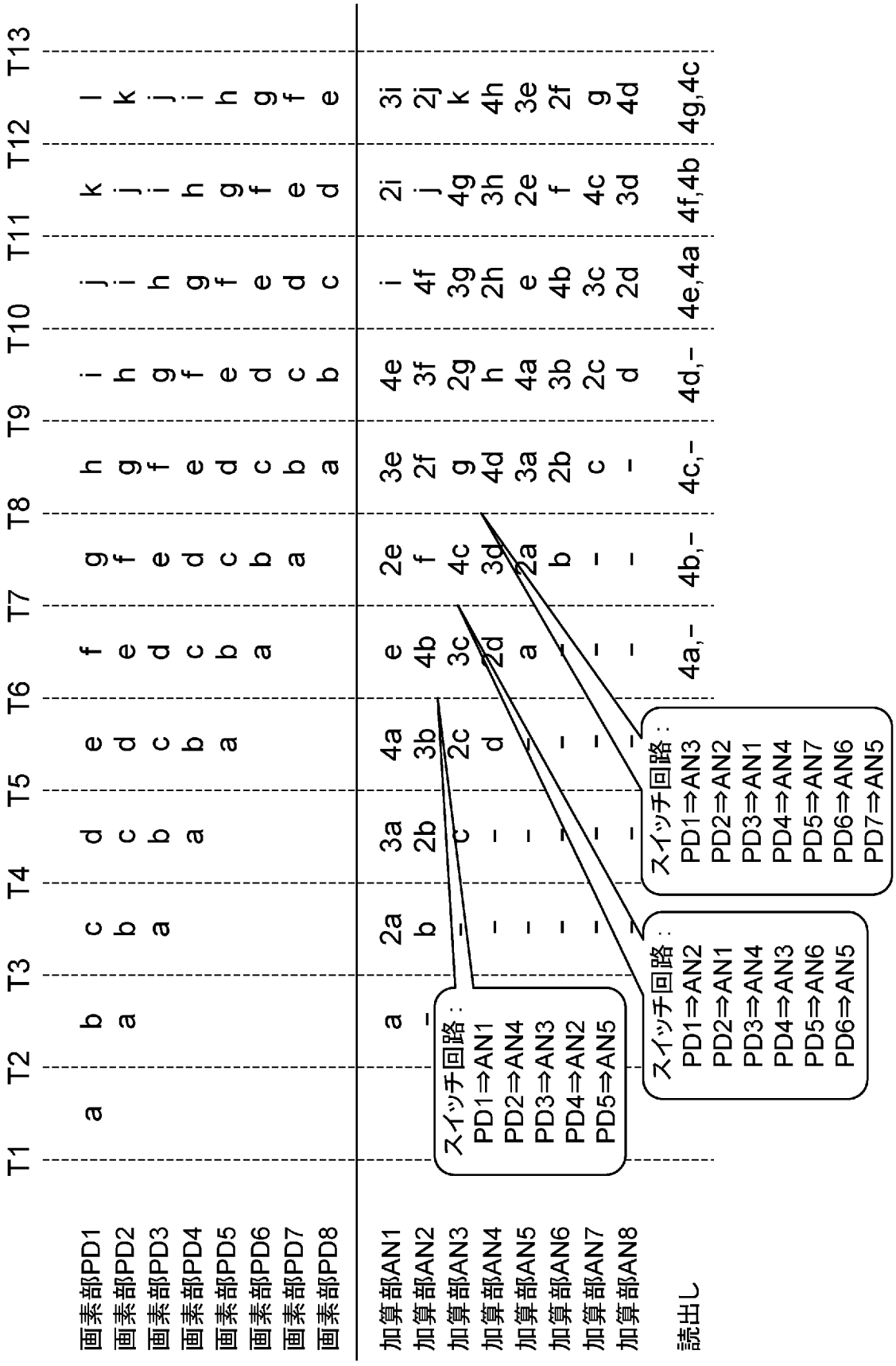
[図41]


104B
104A
高エネルギー用シンチレータ
低エネルギー用シンチレータ
PD1
PD2
PD3
PD4
PD5
PD6
PD7
PD8
12(2)
加算部AN1～4による加算
RG1
加算部AN5～8による加算
RG2
X1

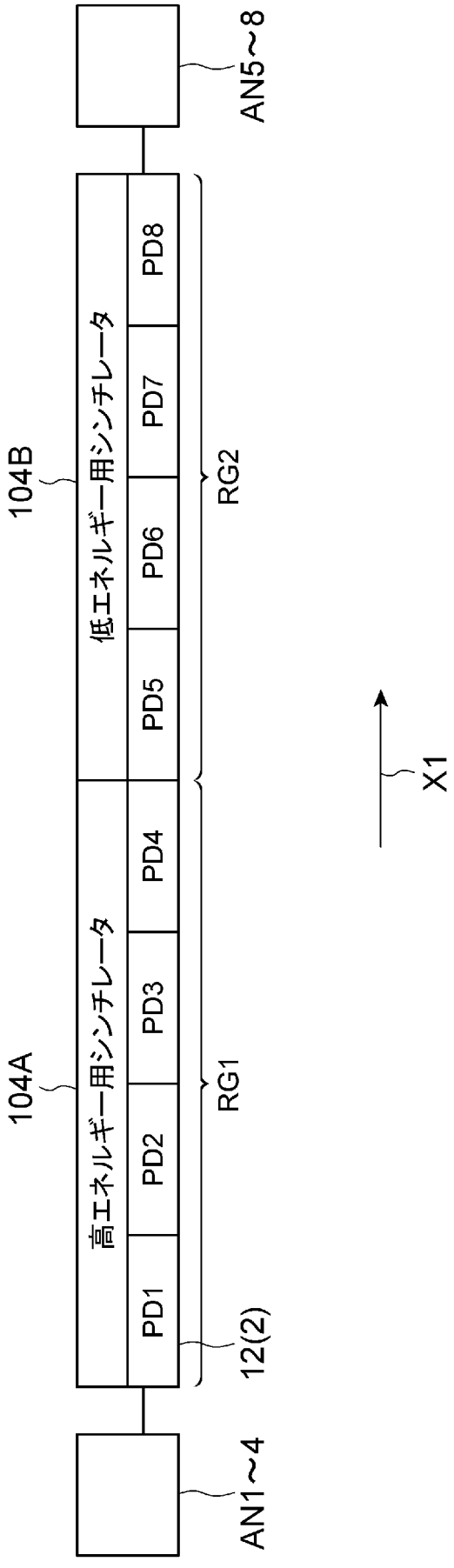
[図42]



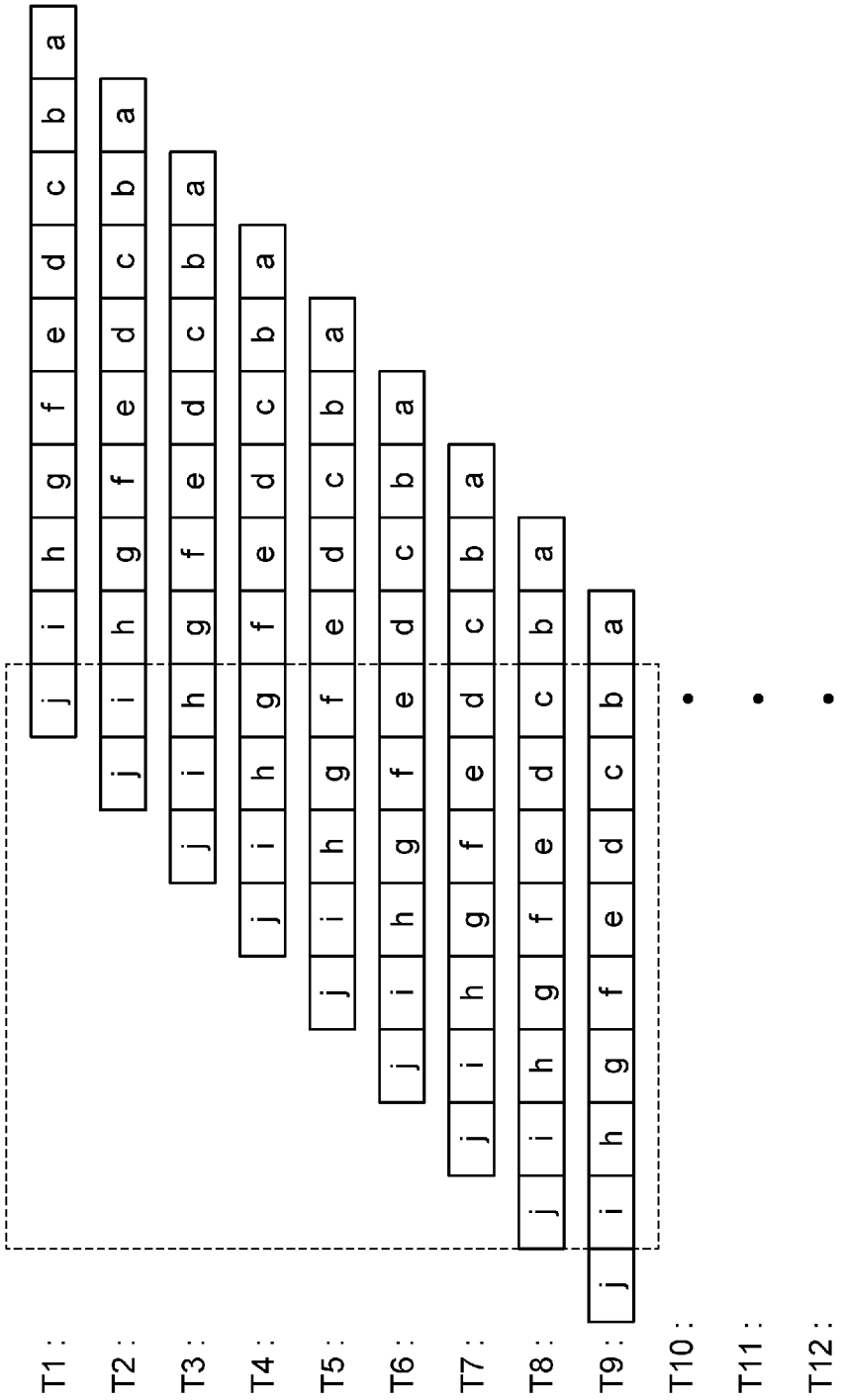
[図43]


T1
T2
T3
T4
T5
T6
T7
T8
T9
T10
T11
T12
T13
画素部PD1
画素部PD2
画素部PD3
画素部PD4
画素部PD5
画素部PD6
画素部PD7
画素部PD8
加算部AN1
加算部AN2
加算部AN3
加算部AN4
加算部AN5
加算部AN6
加算部AN7
加算部AN8
読出し
スイッチ回路：
PD1⇒AN1
PD2⇒AN4
PD3⇒AN3
PD4⇒AN2
PD5⇒AN5
スイッチ回路：
PD1⇒AN3
PD2⇒AN2
PD3⇒AN1
PD4⇒AN4
PD5⇒AN7
PD6⇒AN6
PD7⇒AN5

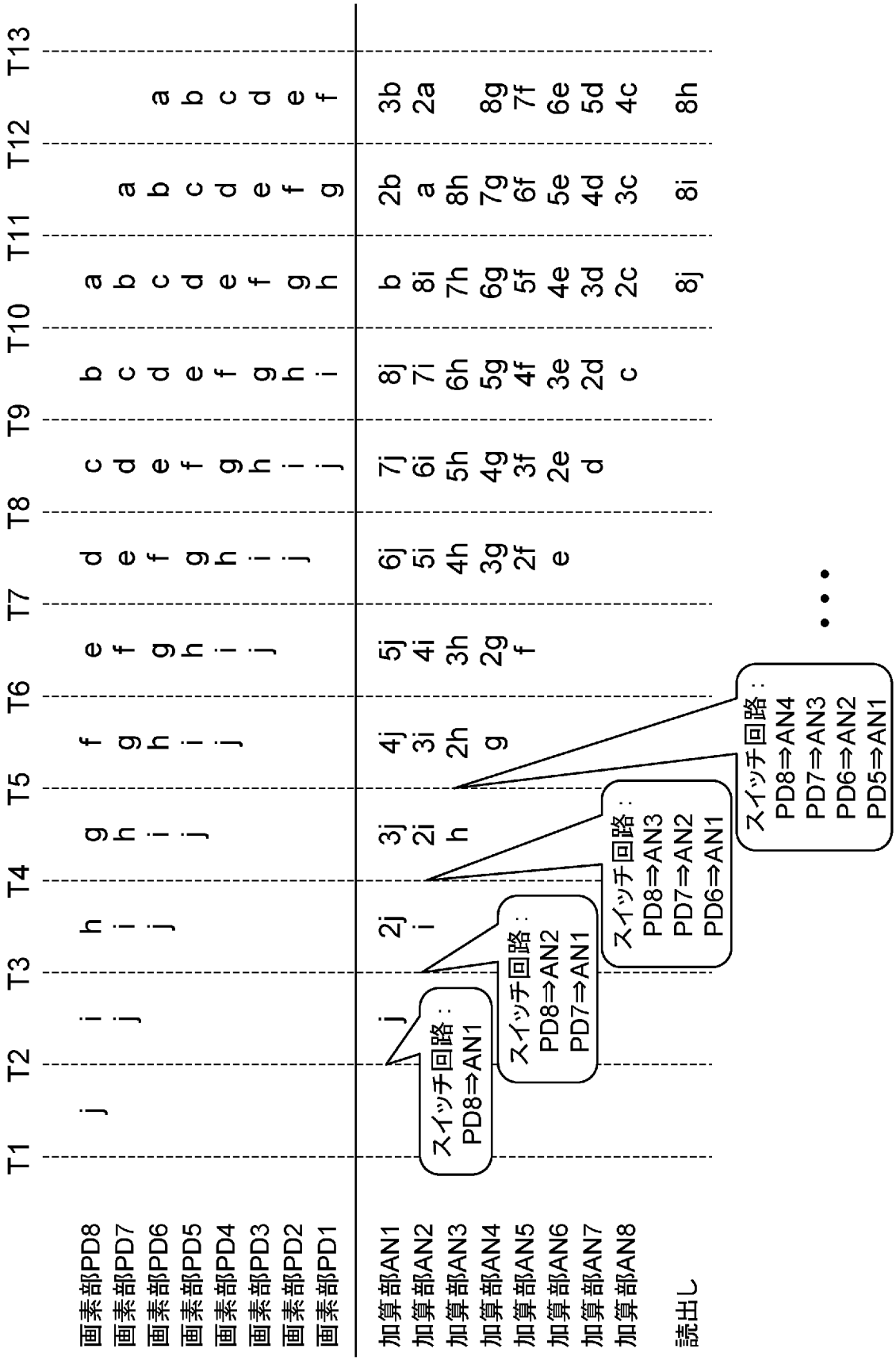
[図44]


AN5～8
104B
低エネルギー用シンチレータ
PD8
PD7
PD6
PD5
RG2
X1
104A
高エネルギー用シンチレータ
PD4
PD3
PD2
PD1
RG1
12(2)
AN1～4

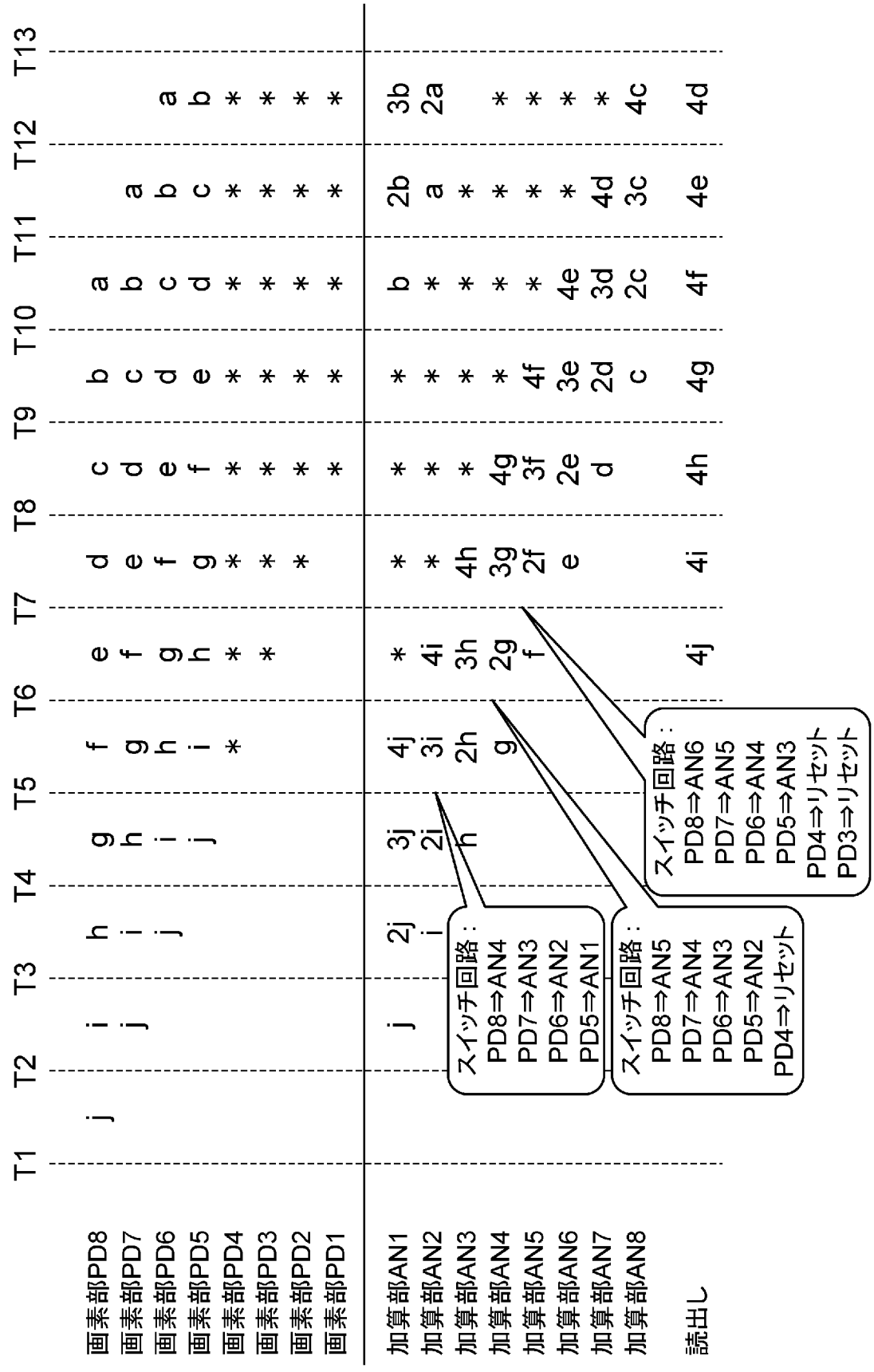
[図45]



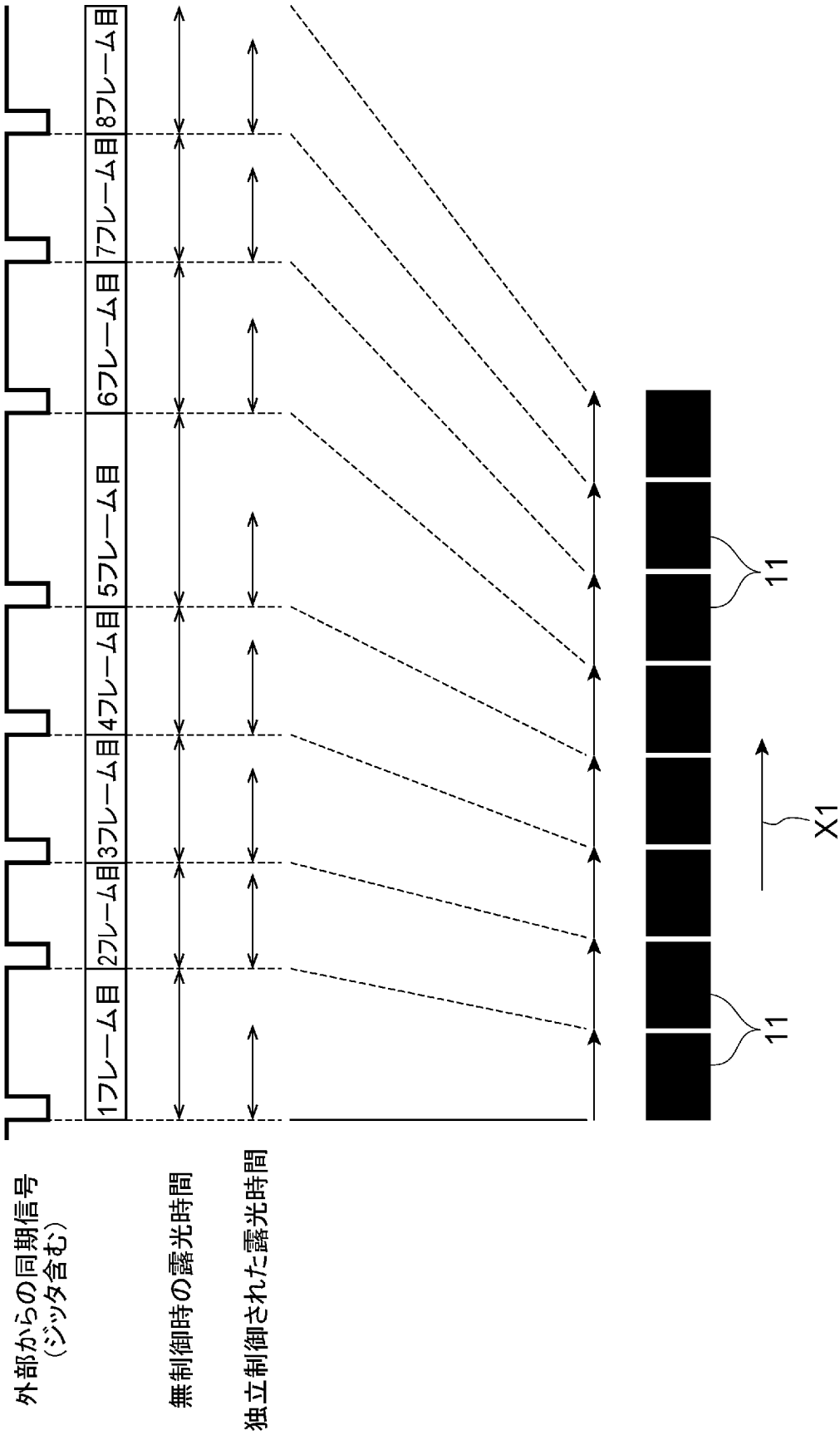
[図46]


T1
T2
T3
T4
T5
T6
T7
T8
T9
T10
T11
T12
T13
画素部PD8
画素部PD7
画素部PD6
画素部PD5
画素部PD4
画素部PD3
画素部PD2
画素部PD1
加算部AN1
加算部AN2
加算部AN3
加算部AN4
加算部AN5
加算部AN6
加算部AN7
加算部AN8
読出し
スイッチ回路：
PD8⇒AN1
スイッチ回路：
PD8⇒AN2
PD7⇒AN1
スイッチ回路：
PD8⇒AN3
PD7⇒AN2
PD6⇒AN1
スイッチ回路：
PD8⇒AN4
PD7⇒AN3
PD6⇒AN2
PD5⇒AN1

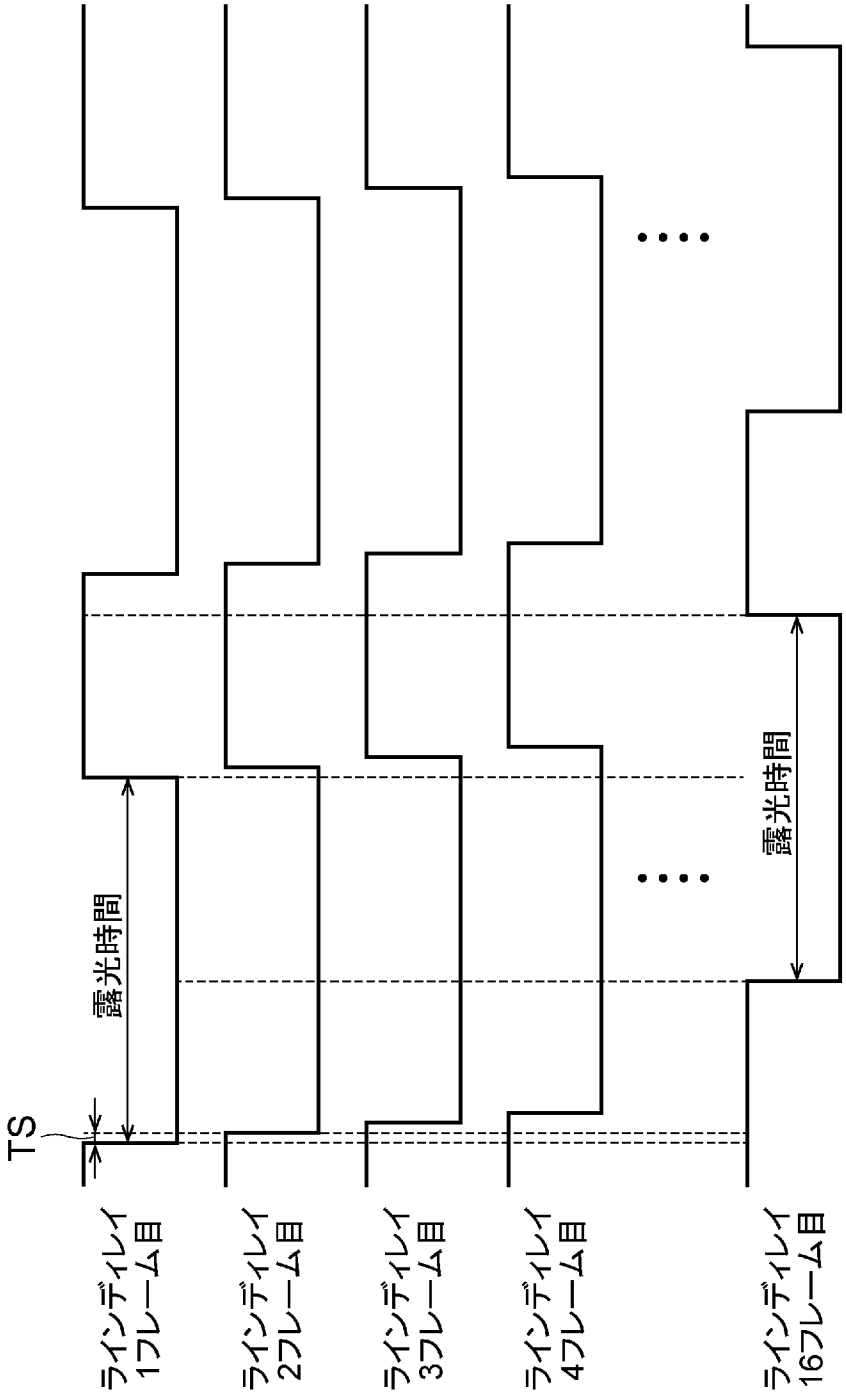
[図47]


T1
T2
T3
T4
T5
T6
T7
T8
T9
T10
T11
T12
T13
画素部PD8
画素部PD7
画素部PD6
画素部PD5
画素部PD4
画素部PD3
画素部PD2
画素部PD1
加算部AN1
加算部AN2
加算部AN3
加算部AN4
加算部AN5
加算部AN6
加算部AN7
加算部AN8
読出し
スイッチ回路：
PD8⇒AN4
PD7⇒AN3
PD6⇒AN2
PD5⇒AN1
スイッチ回路：
PD8⇒AN5
PD7⇒AN4
PD6⇒AN3
PD5⇒AN2
PD4⇒リセット
スイッチ回路：
PD8⇒AN6
PD7⇒AN5
PD6⇒AN4
PD5⇒AN3
PD4⇒リセット
PD3⇒リセット

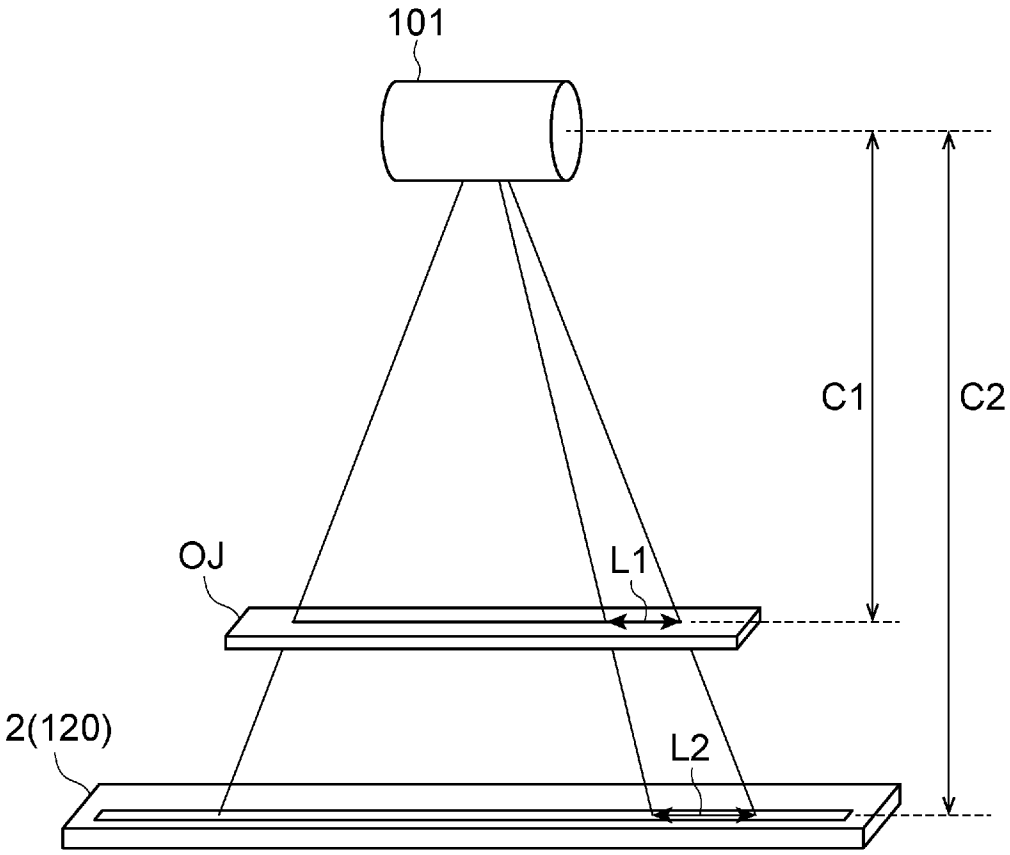
[図48]


1フレーム目
2フレーム目
3フレーム目
4フレーム目
5フレーム目
6フレーム目
7フレーム目
8フレーム目
外部からの同期信号
(ジッタ含む)
無制御時の露光時間
独立制御された露光時間
11
11
X1

[図49]


TS
露光時間
露光時間
ラインディレイ
1フレーム目
ラインディレイ
2フレーム目
ラインディレイ
3フレーム目
ラインディレイ
4フレーム目
ラインディレイ
16フレーム目

[図50]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2022/016600

A. CLASSIFICATION OF SUBJECT MATTER

H04N 5/32(2006.01)i; ***H04N 5/374***(2011.01)i; ***H04N 5/376***(2011.01)i
FI: H04N5/374 300; H04N5/32; H04N5/376

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N5/32; H04N5/374; H04N5/376

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2022
Registered utility model specifications of Japan 1996-2022
Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2019-158663 A (SYSTEM SQUARE INC) 19 September 2019 (2019-09-19) paragraphs [0028]-[0029], fig. 1	1-16
A	JP 2020-143922 A (HITACHI HIGH TECH SCIENCE CORP) 10 September 2020 (2020-09-10) paragraphs [0028]-[0029], fig. 2	1-16
A	JP 2012-120153 A (X-SCAN IMAGING CORP) 21 June 2012 (2012-06-21) paragraph [0018], fig. 1	1-16

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
14 June 2022	**21 June 2022**
Name and mailing address of the ISA/JP **Japan Patent Office (ISA/JP)** **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2022/016600

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2019-158663 A	19 September 2019	(Family: none)	
JP 2020-143922 A	10 September 2020	US 2020/0284738 A1 paragraphs [0045]-[0048], fig. 2 DE 102019135722 A1 KR 10-2020-0106436 A CN 111650223 A	
JP 2012-120153 A	21 June 2012	US 8039811 B1 column 3, line 62 to column 4, line 15, fig. 1 GB 2486039 A DE 102011052874 A1 CN 102611853 A	

国際調査報告

国際出願番号
PCT/JP2022/016600

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H04N 5/32(2006.01)i; H04N 5/374(2011.01)i; H04N 5/376(2011.01)i
FI: H04N5/374 300; H04N5/32; H04N5/376

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H04N5/32; H04N5/374; H04N5/376

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２２年
日本国実用新案登録公報	１９９６－２０２２年
日本国登録実用新案公報	１９９４－２０２２年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2019-158663 A (株式会社システムスクエア) 19.09.2019 (2019-09-19) 段落 [0028] - [0029], 図1	1-16
A	JP 2020-143922 A (株式会社日立ハイテクサイエンス) 10.09.2020 (2020-09-10) 段落 [0028] - [0029], 図2	1-16
A	JP 2012-120153 A (エックスースキャン イメージング コーポレーション) 21.06.2012 (2012-06-21) 段落 [0018], 図1	1-16

☐ C欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
"A" 特に関連のある文献ではなく、一般的技術水準を示すもの
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
"O" 口頭による開示、使用、展示等に言及する文献
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
"Y" 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
"&" 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
14.06.2022	21.06.2022

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
鈴木　明 5V 9185
電話番号 03-3581-1101 内線 3571

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2022/016600

引用文献	公表日	パテントファミリー文献	公表日
JP 2019-158663 A	19.09.2019	（ファミリーなし）	
JP 2020-143922 A	10.09.2020	US 2020/0284738 A1 段落［0045］－［0048］，図2 DE 102019135722 A1 KR 10-2020-0106436 A CN 111650223 A	
JP 2012-120153 A	21.06.2012	US 8039811 B1 第3欄第62行-第4欄第15行，図1 GB 2486039 A DE 102011052874 A1 CN 102611853 A	