

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2002年12月27日 (27.12.2002)

PCT

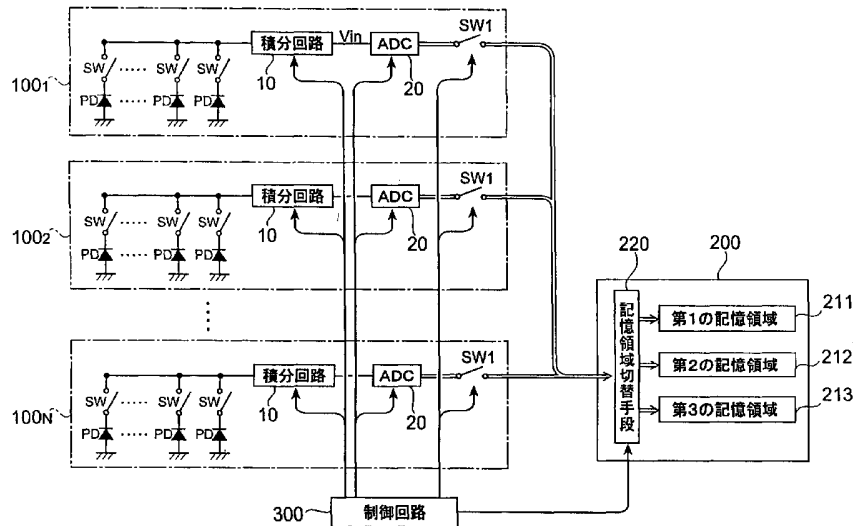
(10) 国際公開番号
WO 02/103308 A1

- (51) 国際特許分類7: G01J 1/44, H01L 31/10, H04N 5/335
- (21) 国際出願番号: PCT/JP02/05981
- (22) 国際出願日: 2002年6月14日 (14.06.2002)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2001-183482 2001年6月18日 (18.06.2001) JP
- (71) 出願人 (米国を除く全ての指定国について): 浜松ホトニクス株式会社 (HAMAMATSU PHOTONICS K.K.)
[JP/JP]; 〒435-8558 静岡県 浜松市 市野町1126番地の1 Shizuoka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 水野 誠一郎 (MIZUNO, Seiichiro) [JP/JP]; 〒435-8558 静岡県 浜松市 市野町1126番地の1 浜松ホトニクス株式会社内 Shizuoka (JP).
- (74) 代理人: 長谷川 芳樹, 外 (HASEGAWA, Yoshiki et al.); 〒104-0061 東京都 中央区 銀座二丁目6番12号 大倉本館 創英国際特許法律事務所 Tokyo (JP).
- (81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZM, ZW.

[続葉有]

(54) Title: PHOTODIODE

(54) 発明の名称: 光検出装置



- 10...INTEGRATION CIRCUIT
- 300...CONTROL CIRCUIT
- 220...STORAGE AREA SWITCHING MEANS
- 211...FIRST STORAGE AREA
- 212...SECOND STORAGE AREA
- 213...THIRD STORAGE AREA

(57) Abstract: An integration circuit (10) is provided with an amplifier and an integration capacitor in parallel between an input terminal and an output terminal and has a capacitance value switching means for switching the capacitance value of the integration capacitor to any of C_{f1} - C_{fk} , inputs charges output from a photodiode (PD)

[続葉有]



WO 02/103308 A1



(84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

to accumulate them in the integration capacitor, and outputs an integral voltage with a value corresponding to the amount of these accumulated charges. An A/D conversion circuit (20) has a reference voltage switching means for switching a reference voltage used for A/D conversion to any of $V_{ref,1}$ ~ $V_{ref,L}$, inputs the integral voltage output from the integration circuit (10), A/D converts the integral voltage on the basis of the reference voltage set by switching it through the reference voltage switching means, and outputs a digital value corresponding to this integral voltage.

(57) 要約:

積分回路10は、アンプと積分容量部とが入力端子と出力端子との間に並列的に設けられ、積分容量部の容量値を C_{f1} ~ C_{fK} の何れかに切り替える容量値切替手段を有し、フォトダイオードPDから出力された電荷を入力して積分容量部に蓄積し、この蓄積した電荷の量に応じた値の積分電圧を出力する。A/D変換回路20は、A/D変換の際に用いられる参照電圧を $V_{ref,1}$ ~ $V_{ref,L}$ の何れかに切り替える参照電圧切替手段を有し、積分回路10から出力された積分電圧を入力して、参照電圧切替手段により切り替えられて設定された参照電圧に基づいて積分電圧をA/D変換し、この積分電圧に応じたデジタル値を出力する。

明細書

光検出装置

技術分野

5 本発明は、アナログ値をデジタル値に変換するA/D変換回路を含む光検出装置に関するものである。

背景技術

10 光検出装置は、1または複数の光検出素子を有しており、各光検出素子が出力した電荷を積分回路により積分し、その積分結果である電圧を出力する。また、光検出装置によっては、アナログ値である上記電圧をデジタル値に変換(A/D変換)して、このデジタル値を出力するものもある。もし、このA/D変換の際に電圧が所定値を越える場合には、その電圧に基づいてA/D変換され出力されるデジタル値は、その所定値に対応する値となって飽和し、その結果、正確な光検出ができないという問題点がある。従来では、上記電圧の予想される最大値またはそれ以上の値を上記所定値として設定することにより、上記のような飽和が
15 起こらないようにしていた。

一方、飽和することなくA/D変換することができるアナログ値の数値範囲(すなわちダイナミックレンジ)を拡大することが要求されており、そのための提案がなされている。例えば、対数圧縮の技術を用いてダイナミックレンジを拡げる技術が知られている。この対数圧縮の技術では、フォトダイオード(光検出素子)
20 とMOSトランジスタとを接続して、両者の間の接続点の電位をVとし、フォトダイオードからMOSトランジスタへ流れる電流をIとしたときに、 $I = A \cdot \exp(q(V - V_{th}) / kT)$ なる関係式が成り立つことを利用している。ここで、Aは比例係数であり、qは電子の電荷量であり、 V_{th} はMOSトランジスタの閾電圧であり、kはボルツマン定数であり、Tは絶対温度である。この関係式から判
25 るように、入射光強度が小さい(すなわちIが小さい)ときに入射光強度の変化による出力電圧Vの変化が大きく、入射光強度が大きい(すなわちIが大きい)

ときに入射光強度変化による出力電圧 V の変化は小さい。このようにすることでダイナミックレンジの拡大が図られている。

発明の開示

しかしながら、上記の対数圧縮の技術では、上記関係式から判るように $I-V$ 特性が温度 T に依存していることから、温度 T の変動によって信号レベルが変化
5 するという問題がある。また、入射光強度が小さい（すなわち I が小さい）ときに、入射光強度の変化による出力電圧 V の変化が大きいことから、暗電流も大きく増幅されて、その影響が出力電圧 V に現れるので、この点でも信号レベルが変化するという問題点があった。さらに、MOSトランジスタ毎に閾電圧 V_{th} が異
10 なることから、この点でも信号レベルが変化するという問題点があった。

本発明は、上記問題点を解消する為になされたものであり、信号レベルが上述のような原因で変化することなく、ダイナミックレンジを拡大することができる光検出装置を提供することを目的とする。

本発明に係る光検出装置は、(1) 入射光強度に応じた量の電荷を出力する光検
15 出素子と、(2) アンプと積分容量部とが入力端子と出力端子との間に並列的に設けられ、積分容量部の容量値を第1～第 K (K は2以上の整数)の容量値の何れかに切り替える容量値切替手段を有し、光検出素子から出力された電荷を入力端子より入力して、容量値切替手段により切り替えられた容量値を有する積分容量部に電荷を蓄積し、この蓄積した電荷の量に応じた電圧を出力端子より出力する
20 積分回路と、(3) A/D 変換の際に用いられる参照電圧を第1～第 L (L は2以上の整数)の参照電圧の何れかに切り替える参照電圧切替手段を有し、積分回路の出力端子から出力された電圧を入力して、参照電圧切替手段により切り替えられて設定された参照電圧に基づいて電圧を A/D 変換し、この電圧に応じたデジタル値を出力する A/D 変換回路と、を備えることを特徴とする。

25 この光検出装置によれば、光検出素子に入射した光の強度に応じた量の電荷は、光検出素子より出力されて積分回路に入力し、積分回路の積分容量部に蓄積され

る。積分容量部に蓄積された電荷の量に応じた電圧が積分回路より出力され、この電圧はA/D変換回路によりA/D変換される。そして、この電圧に応じたデジタル値がA/D変換回路より出力される。入射光強度が大きいときには、積分回路の積分容量部の容量値は容量値切替手段により第1～第Kの容量値のうち大きい値に切り替えられ、また、A/D変換回路のA/D変換の際に用いられる参照電圧は参照電圧切替手段により第1～第Lの参照電圧のうち大きい値に切り替えられることで、飽和することなく入射光強度が検出される。一方、入射光強度が小さいときには、積分回路の積分容量部の容量値は容量値切替手段により第1～第Kの容量値のうち小さい値に切り替えられ、また、A/D変換回路のA/D変換の際に用いられる参照電圧は参照電圧切替手段により第1～第Lの参照電圧のうち小さい値に切り替えられることで、暗電流による信号レベル変化が抑制され、入射光強度が高感度に検出される。

また、本発明に係る光検出装置は、第1～第Kの容量値のうちの第kの容量値を Cf_k と表したときに $Cf_1 > Cf_2 > \dots > Cf_k > \dots > Cf_{k-1} > Cf_k$ であり、第1～第Lの参照電圧のうちの第lの参照電圧を $V_{ref,l}$ と表したときに $V_{ref,1} > V_{ref,2} > \dots > V_{ref,l} > \dots > V_{ref,L-1} > V_{ref,L}$ であるのが好適である。そして、本発明に係る光検出装置は、(1)第1～第Kの記憶領域とこれらの何れかに切り替える記憶領域切替手段とを有し、第1～第Kの記憶領域のうちの記憶領域切替手段により切り替えられて選択された何れかの記憶領域に、A/D変換回路から出力されたデジタル値を記憶する記憶部と、(2)積分回路の容量値切替手段、A/D変換回路の参照電圧切替手段および記憶部の記憶領域切替手段それぞれを制御して、積分回路の積分容量部の容量値を第kの容量値 Cf_k とし、A/D変換回路の参照電圧を第lの参照電圧 $V_{ref,l}$ として、A/D変換回路から出力されたデジタル値を第kの記憶領域に記憶させる制御手段と、を更に備えるのが好適である。

この場合には、制御手段による制御の下に、積分回路の積分容量部の容量値が

第 k の容量値 $C f_k$ とされ、また、A/D変換回路の参照電圧が第 1 の参照電圧 $V_{ref,1}$ とされて、そのときに、A/D変換回路から出力されたデジタル値は記憶部の第 k の記憶領域に記憶される ($k = 1 \sim K$)。そして、記憶部の K 個の記憶領域それぞれに記憶されたデジタル値に基づいて、光検出素子が受けた光の強度は、
5 強度が大きくても飽和することなく検出され、また、強度が小さくても高感度に検出される。

また、本発明に係る光検出装置は、光検出素子が複数設けられて M 行 N 列 ($M \geq 2$, $N \geq 2$) に 2 次元配列され、この 2 次元配列された光検出素子の列毎に積分回路および A/D変換回路それぞれが設けられているのが好適である。

10 この場合には、 M 行 N 列に 2 次元配列された複数の光検出素子により光学像が撮像される。このとき、積分回路の積分容量部の容量値および A/D変換回路の参照電圧それぞれが画素毎に適切に設定されることで、撮像された光学像の各画素の光強度は、強度が大きくても飽和することなく検出され、また、強度が小さくても高感度に検出される。

15 図面の簡単な説明

図 1 は本実施形態に係る光検出装置 1 の概略構成図である。

図 2 は本実施形態に係る光検出装置 1 の積分回路 10 の回路図である。

図 3 は本実施形態に係る光検出装置 1 の A/D変換回路 20 の回路図である。

図 4 A は記憶部 200 のブロック図である。

20 図 4 B は記憶部 200 より出力される 12 ビットデジタル値を示す説明図である。

図 5 A は記憶部 200 のブロック図である。

図 5 B、図 5 C 及び図 5 D は、記憶部 200 より出力される 8 ビットデジタル値を示す説明図である。

25 発明を実施するための最良の形態

以下、添付図面を参照して本発明の実施の形態を詳細に説明する。なお、図面

の説明において同一の要素には同一の符号を付し、重複する説明を省略する。

図1は、本実施形態に係る光検出装置1の概略構成図である。この光検出装置1は、N個（Nは2以上の整数）のユニット100₁～100_N、記憶部200および制御回路300を備える。各ユニット100_n（nは1以上N以下の任意の整数）は、M組（Mは2以上の整数）のフォトダイオード（光検出素子）PDおよびスイッチSW、積分回路10、A/D変換回路20ならびにスイッチSW1を備える。各フォトダイオードPDは、アノード端子が接地されており、カソード端子がスイッチSWを介して積分回路10に接続されている。各フォトダイオードPDは、対応するスイッチSWが閉じると、入射光強度に応じた量の電荷を積分回路10へ出力する。

図2は、本実施形態に係る光検出装置1の積分回路10の回路図である。各ユニット100_nの積分回路10は、アンプA₁₀、容量Cf₁～Cf₃およびスイッチSW₁₀～SW₁₃を有する。アンプA₁₀は、非反転入力端子に基準電圧V_{inpl}を入力し、反転入力端子がスイッチSWを介してフォトダイオードPDのカソード端子に接続されている。スイッチSW₁₀、互いに直列接続された容量Cf₁およびスイッチSW₁₁、互いに直列接続された容量Cf₂およびスイッチSW₁₂、ならびに、互いに直列接続された容量Cf₃およびスイッチSW₁₃は、アンプA₁₀の反転入力端子と出力端子との間に並列的に設けられている。

スイッチSW₁₀～SW₁₃それぞれは、制御回路300により開閉動作が制御される。容量Cf₁～Cf₃それぞれの容量値は互いに異なり、容量Cf₁の容量値をCf₁の如く表記すれば、以下の関係を満たす。

$$Cf_1 > Cf_2 > Cf_3 \quad \dots(1)$$

容量Cf₁～Cf₃は、容量値が可変である積分容量部を構成する要素である。また、スイッチSW₁₁～SW₁₃は、この積分容量部の容量値を何れかの値に切り替える容量値切替手段として作用する。すなわち、スイッチSW₁₁～SW₁₃のう

ちスイッチ SW_{11} のみが閉じていれば、積分容量部の容量値は、容量 C_{f1} の容量値 C_{f1} と等しい。スイッチ SW_{12} のみが閉じていれば、積分容量部の容量値は容量 C_{f2} の容量値と等しい。また、スイッチ SW_{13} のみが閉じていれば、積分容量部の容量値は容量 C_{f3} の容量値と等しい。積分回路 10 は、フォトダイ
5 オード PD から出力された電荷を入力し、容量値 $C_{f1} \sim C_{f3}$ のうちの何れかの容量値を有する積分容量部に電荷を蓄積して、この蓄積した電荷の量に応じた値の積分電圧を出力端子より出力する。スイッチ SW_{10} は、閉じることにより、容量 $C_{f1} \sim C_{f3}$ に蓄積されていた電荷を放電して、積分回路 10 の出力レベルをリセットする。

10 図 3 は、本実施形態に係る光検出装置 1 の A/D 変換回路 20 の回路図である。各ユニット 100_n の A/D 変換回路 20 は、結合容量 C_{201} 、帰還容量 C_{202} 、スイッチ SW_{202} 、アンプ 201、比較部 202、容量制御部 203 および可変容量部 240 を有する。

アンプ 201 は、積分回路 10 から出力された積分電圧（アナログ値）を、結
15 合容量 C_{201} を介して反転入力端子に入力し、基準電圧 V_{com} を非反転入力端子に入力する。帰還容量 C_{202} は、アンプ 201 の反転入力端子と出力端子との間に設けられ、入力した電圧に応じて電荷を蓄える。スイッチ SW_{202} は、アンプ 201 の反転入力端子と出力端子との間に設けられ、開いているときには帰還容量 C_{202} に電荷の蓄積を行わせ、閉じているときには帰還容量 C_{202} における電荷蓄積をリ
20 セットする。そして、アンプ 201 は、帰還容量 C_{202} に蓄積された電荷量に応じた電圧を、出力端子より比較部 202 へ出力する。比較回路 202 は、アンプ 201 から出力された電圧を反転入力端子に入力し、基準電圧 V_{com} を非反転入力端子に入力し、これら 2 つの入力の値を大小比較して、この比較結果を示す信号を容量制御部 203 へ出力する。

25 可変容量部 240 は、4 つの容量 $C_{241} \sim C_{244}$ および 4 つのスイッチ $SW_{241} \sim SW_{244}$ （電圧切替手段）を含む。容量 C_{241} は、一端がアンプ 201 の反転入力

端子に接続され、他端がスイッチ SW_{241} を介して参照電圧 V_{ref1} , V_{ref2} および V_{ref3} ならびに基準電圧 V_{com} の何れかに接続される。容量 C_{242} は、一端がアンプ 201 の反転入力端子に接続され、他端がスイッチ SW_{242} を介して参照電圧 V_{ref1} , V_{ref2} および V_{ref3} ならびに基準電圧 V_{com} の何れかに接続される。容量 C_{243} は、一端がアンプ 201 の反転入力端子に接続され、他端がスイッチ SW_{243} を介して参照電圧 V_{ref1} , V_{ref2} および V_{ref3} ならびに基準電圧 V_{com} の何れかに接続される。また、容量 C_{244} は、一端がアンプ 201 の反転入力端子に接続され、他端がスイッチ SW_{244} を介して参照電圧 V_{ref1} , V_{ref2} および V_{ref3} ならびに基準電圧 V_{com} の何れかに接続される。

10 可変容量部 240 に含まれる各容量、結合容量 C_{201} 、帰還容量 C_{202} それぞれの容量値は、以下の関係式を満たす。

$$\begin{aligned}
 C_{201} &= C_{202} = 16C && \dots(2a) \\
 C_{241} &= 8C && \dots(2b) \\
 C_{242} &= 4C && \dots(2c) \\
 C_{243} &= 2C && \dots(2d) \\
 C_{244} &= C && \dots(2e)
 \end{aligned}$$

ここで、 C は或る一定容量値である。また、可変容量部 240 に供給される参照電圧 V_{ref1} , V_{ref2} および V_{ref3} ならびに基準電圧 V_{com} それぞれは、以下の関係式を満たす。

15

$$\begin{aligned}
 V_{ref2} - V_{com} &= (V_{ref1} - V_{com}) / 16 && \dots(3a) \\
 V_{ref3} - V_{com} &= (V_{ref2} - V_{com}) / 16 && \dots(3b)
 \end{aligned}$$

なお、基準電圧 V_{com} は一般には接地電位とされるので、以降では $V_{com} = 0$ とする。このとき、上記 (3) 式は、以下の関係式を満たす。

$$\begin{aligned}
 V_{ref1} / V_{ref2} &= 16 && \dots(4a) \\
 V_{ref2} / V_{ref3} &= 16 && \dots(4b)
 \end{aligned}$$

これら参照電圧 V_{ref1} , V_{ref2} および V_{ref3} それぞれは、例えば抵抗分割回路(図示せず)より供給される。

容量制御部203およびスイッチ $SW_{241} \sim SW_{244}$ は、A/D変換の際に用いられる参照電圧を V_{ref1} , V_{ref2} および V_{ref3} の何れかに切り替える参照電圧切替手段として作用し、制御回路300により制御される。また、容量制御部203は、これらの4個のスイッチそれぞれにおける切替状況を記憶しており、この切替状況および比較部202から出力された信号に基づいて、4ビットのデジタル値を出力する。このA/D変換回路20は、積分回路10の出力端子から出力された積分電圧を入力して、参照電圧切替手段により切り替えられて設定された参照電圧(V_{ref1} , V_{ref2} および V_{ref3} の何れか)に基づいて電圧をA/D変換し、デジタル値を出力する。

記憶部200は、図1に示されるように、第1の記憶領域211、第2の記憶領域212、第3の記憶領域213および記憶領域切替手段220を備える。記憶領域切替手段220は、第1の記憶領域211、第2の記憶領域212および第3の記憶領域213の何れかを選択して、各ユニット 100_n のA/D変換回路20からスイッチ $SW1$ を介して出力されたデジタル値を、その選択した記憶領域に記憶させる。

制御回路300は、各ユニット 100_n の積分回路10の容量値切替手段、A/D変換回路20の参照電圧切替手段、および、スイッチ $SW1$ それぞれを制御するとともに、記憶部200の記憶領域切替手段220を制御する。具体的には、制御回路300は、積分回路10のスイッチ $SW_{11} \sim SW_{13}$ のうちスイッチ SW_{1k} のみを閉じて積分容量部の容量値を C_{fk} とし、A/D変換回路20における参照電圧を $V_{ref,k}$ に設定して、このとき、A/D変換回路20から出力されたデジタル値を第kの記憶領域21kに記憶させる。

次に、本実施形態に係る光検出装置1の動作について説明する。光検出装置1の一連の動作は4つの段階に区分される。

第1段階では、制御回路300により制御されて、各ユニット100_nの積分回路10では、スイッチSW₁₁～SW₁₃のうちスイッチSW₁₁のみが閉じて積分容量部の容量値がC_{f1}とされ、スイッチSW₁₀が一旦閉じて積分回路10の出力レベルがリセットされ、その後、スイッチSW₁₀が開く。また、制御回路300により制御されて、各ユニット100_nのA/D変換回路20では、スイッチSW₂₀₂が一旦閉じて帰還容量C₂₀₂が放電され、その後、スイッチSW₂₀₂が開く。A/D変換回路20のスイッチSW₂₄₁～SW₂₄₄それぞれは、当初は基準電圧V_{com}の方に切り替えられている。また、制御回路300により制御されて、A/D変換回路20における参照電圧がV_{ref1}に設定され、記憶部200の記憶領域切替手段220により第1の記憶領域211が選択される。

各ユニット100_nにおいて、光が入射したフォトダイオードPDからスイッチSWを介して出力された電荷は、積分回路10に入力して容量C_{f1}に蓄積され、その蓄積された電荷の量Q₀に応じた電圧V_{in}(=Q₀/C_{f1})が積分回路10より出力される。積分回路10より出力された電圧V_{in}は、A/D変換回路20に入力する。A/D変換回路20では、積分回路10から出力された電圧V_{in}に応じた量の電荷が帰還容量C₂₀₂に蓄積される。ここで、帰還容量C₂₀₂に蓄積される電荷の量Qは、以下の関係式を満たす。

$$Q = C_{202} \cdot V_{in} = 16C \cdot V_{in} \quad \dots(5)$$

その後、実際のA/D変換処理が開始される。可変容量部240に含まれる4つのスイッチSW₂₄₁～SW₂₄₄それぞれは、参照電圧V_{ref1}と基準電圧V_{com}との間で切替動作が行われる。まず、4つの容量C₂₄₁～C₂₄₄のうち最も容量値が大きい容量C₂₄₁に対応するスイッチSW₂₄₁が参照電圧V_{ref1}の方に切り替わる。これにより、帰還容量C₂₀₂に蓄積されていた電荷Q(上記(5)式)のうち、以下の式で表される電荷量Q₂₄₁が容量C₂₄₁に移動する。

25

$$Q_{241} = C_{241} \cdot V_{ref1} = 8C \cdot V_{ref1} \quad \dots(6)$$

また、帰還容量 C_{202} に蓄積されていた電荷 Q （上記(5)式）のうち、以下の式で表される電荷量 Q_{202} が帰還容量 C_{202} に残る。

$$\begin{aligned} Q_{202} &= 16C \cdot V_{in} - 8C \cdot V_{ref1} \\ &= 16C(V_{in} - V_{ref1}/2) \quad \dots(7) \end{aligned}$$

5 そして、アンプ201より電圧 $(V_{in} - V_{ref1}/2)$ が出力される。比較部202により、アンプ201より反転入力端子に入力する電圧 $(V_{in} - V_{ref1}/2)$ と、非反転入力端子に入力する基準電圧 $V_{com} (= 0)$ とが、大小比較されて、電圧 $(V_{in} - V_{ref1}/2)$ の符号が判定される。この結果は、容量制御部203に入力され、出力すべき最上位ビット D_3 の値として記憶される。すなわち、電圧 $(V_{in} - V_{ref1}/2)$ が正であれば $D_3 = 1$ とされ、そうでなければ $D_3 = 0$ とされる。

10

もし、電圧 $(V_{in} - V_{ref1}/2)$ が正であれば、次に容量値が大きい容量 C_{242} に対応するスイッチ SW_{242} が参照電圧 V_{ref1} の方に切り替わる。これにより、これまで帰還容量 C_{202} に蓄積されていた電荷 Q_{202} （上記(7)式）のうち、以下の式で表される電荷量 Q_{242} が容量 C_{242} に移動する。

$$Q_{242} = C_{242} \cdot V_{ref1} = 4C \cdot V_{ref1} \quad \dots(8)$$

15

また、これまで帰還容量 C_{202} に蓄積されていた電荷 Q_{202} （上記(7)式）のうち、以下の式で表される電荷量 Q_{202} が帰還容量 C_{202} に残る。

$$\begin{aligned} Q_{202} &= 16C(V_{in} - V_{ref1}/2) - 4C \cdot V_{ref1} \\ &= 16C(V_{in} - 3V_{ref1}/4) \quad \dots(9) \end{aligned}$$

そして、アンプ201より電圧 $(V_{in} - 3V_{ref1}/4)$ が出力される。比較部2

02により、アンプ201より反転入力端子に入力する電圧 $(V_{in} - 3V_{ref1}/4)$ と、非反転入力端子に入力する基準電圧 $V_{com} (= 0)$ とが、大小比較されて、電圧 $(V_{in} - 3V_{ref1}/4)$ の符号が判定される。この結果は、容量制御部203に
 5 入力され、出力すべきビット D_2 の値として記憶される。すなわち、電圧 $(V_{in} - 3V_{ref1}/4)$ が正であれば $D_2 = 1$ とされ、そうでなければ $D_2 = 0$ とされる。

さらに、電圧 $(V_{in} - 3V_{ref1}/4)$ が正であれば、その次に容量値が大きい容量 C_{243} に対応するスイッチ SW_{243} が参照電圧 V_{ref1} の方に切り替わる。これにより、これまで帰還容量 C_{202} に蓄積されていた電荷 Q_{202} （上記(7)式)のうち、以下の式で表される電荷量 Q_{243} が容量 C_{243} に移動する。

$$Q_{243} = C_{243} \cdot V_{ref1} = 2C \cdot V_{ref1} \quad \dots(10)$$

10 また、帰還容量 C_{202} に蓄積されていた電荷 Q_{202} （上記(7)式)のうち、以下の式で表される電荷量 Q_{202} が帰還容量 C_{202} に残る。

$$\begin{aligned} Q_{202} &= 16C(V_{in} - 3V_{ref1}/4) - 2C \cdot V_{ref1} \\ &= 16C(V_{in} - 7V_{ref1}/8) \quad \dots(11) \end{aligned}$$

そして、アンプ201より電圧 $(V_{in} - 7V_{ref1}/8)$ が出力される。比較部2
 15 02により、アンプ201より反転入力端子に入力する電圧 $(V_{in} - 7V_{ref1}/8)$ と、非反転入力端子に入力する基準電圧 $V_{com} (= 0)$ とが、大小比較されて、電圧 $(V_{in} - 7V_{ref1}/8)$ の符号が判定される。この結果は、容量制御部203に
 入力され、出力すべきビット D_1 の値として記憶される。すなわち、電圧 $(V_{in} - 7V_{ref1}/8)$ が正であれば $D_1 = 1$ とされ、そうでなければ $D_1 = 0$ とされる。

20 逆に、最上位ビット D_3 の値の決定の際に電圧 $(V_{in} - V_{ref1}/2)$ が負であれば、スイッチ SW_{241} が基準電圧 V_{com} の方に戻って、電荷量 Q （上記(5)式)の
 全てが帰還容量 C_{202} に戻る。その後、次に容量値が大きい容量 C_{242} に対応する
 スイッチ SW_{242} が参照電圧 V_{ref1} の方に切り替わる。これにより、帰還容量 C_{202}
 に蓄積されていた電荷 Q （上記(5)式)のうち、以下の式で表される電荷量 Q_{242}

が容量 C_{242} に移動する。

$$Q_{242} = C_{242} \cdot V_{ref1} = 4C \cdot V_{ref1} \quad \dots(12)$$

5 また、帰還容量 C_{202} に蓄積されていた電荷 Q （上記(5)式）のうち、以下の式で表される電荷量 Q_{202} が帰還容量 C_{202} に残る。

$$\begin{aligned} Q_{202} &= 16C \cdot V_{in} - 4C \cdot V_{ref1} \\ &= 16C(V_{in} - V_{ref1}/4) \quad \dots(13) \end{aligned}$$

そして、アンプ201より電圧 $(V_{in} - V_{ref1}/4)$ が出力される。比較部202により、アンプ201より反転入力端子に入力する電圧 $(V_{in} - V_{ref1}/4)$ と、非反転入力端子に入力する基準電圧 $V_{com} (= 0)$ とが、大小比較されて、電圧 $(V_{in} - V_{ref1}/4)$ の符号が判定される。この結果は、容量制御部203に入力され、出力すべきビット D_2 の値として記憶される。すなわち、電圧 $(V_{in} - V_{ref1}/4)$ が正であれば $D_2 = 1$ とされ、そうでなければ $D_2 = 0$ とされる。

15 このようにして、可変容量部240に含まれる4つのスイッチ $SW_{241} \sim SW_{244}$ それぞれの切替状況が順次に決定され、ビット $D_3 \sim D_0$ それぞれの値が順次に決定される。

20 以上までの動作は、 N 個のユニット $100_1 \sim 100_N$ それぞれで並列的に行われる。そして、各ユニット 100_n のスイッチ $SW1$ が順次に閉じて、各ユニット 100_n のA/D変換回路20から出力されたデジタル値 $(D_3 \sim D_0)$ は、記憶部200の第1の記憶領域211に記憶される。また、各ユニット 100_n の M 個のフォトダイオードPDそれぞれについて同様に動作する。このようにして、第1段階では、積分回路10の積分容量部の容量値が C_{f1} とされ、A/D変換回路20の参照電圧が V_{ref1} とされて、 M 行 N 列に配列されたフォトダイオードPDそれぞれの入射光強度に応じたデジタル値が記憶部200の第1の記憶領域211に記憶される。

第1段階に続く第2段階では、以上の第1段階と略同様であるが、積分回路10の積分容量部の容量値が Cf_2 とされ、A/D変換回路20の参照電圧が V_{ref2} とされて、M行N列に配列されたフォトダイオードPDそれぞれの入射光強度に応じたデジタル値が記憶部200の第2の記憶領域212に記憶される点で相違する。また、第2段階に続く第3段階でも、以上の第1段階と略同様であるが、積分回路10の積分容量部の容量値が Cf_3 とされ、A/D変換回路20の参照電圧が V_{ref3} とされて、M行N列に配列されたフォトダイオードPDそれぞれの入射光強度に応じたデジタル値が記憶部200の第3の記憶領域213に記憶される点で相違する。

第3段階まで終了した時点で、記憶部200の第1の記憶領域211、第2の記憶領域212および第3の記憶領域213それぞれに記憶されているデジタル値は何れも4ビットデータである。ただし、積分回路10の積分容量部の容量値が各段階で相違し、A/D変換回路20の参照電圧も各段階で相違していることから、各記憶領域に記憶されているデジタル値は相違する。

例えば、A/D変換回路20における各参照電圧が上記(4)式の関係式を満たし、積分回路10の各容量の容量値が以下の関係式を満たすとすれば、第1の記憶領域211に記憶されているデジタル値は、第2の記憶領域212に記憶されているデジタル値より4ビット分だけ上位に位置するものである。

$$Cf_1 / Cf_2 = 16 \quad \dots(14a)$$

$$Cf_2 / Cf_3 = 16 \quad \dots(14b)$$

また、第2の記憶領域212に記憶されているデジタル値は、第3の記憶領域213に記憶されているデジタル値より4ビット分だけ上位に位置するものである。ただし、第2の記憶領域212に記憶されている4ビットデジタル値($D_3 \sim D_0$)のうち何れかのビットが値1であれば、第3の記憶領域213に記憶されている4ビットデジタル値が飽和している。また、第1の記憶領域211に記憶されている4ビットデジタル値($D_3 \sim D_0$)のうち何れかのビットが値1であれ

ば、第2の記憶領域212および第3の記憶領域213それぞれに記憶されている4ビットデジタル値が飽和している。

そこで、第3段階に続く第4段階では、M行N列に配置されたフォトダイオードの各々について、記憶部200より出力される12ビットデジタル値 ($D_{11} \sim D_0$) は、記憶部200の第1の記憶領域211、第2の記憶領域212および第3の記憶領域213それぞれに記憶されている4ビットデジタル値 ($D_3 \sim D_0$) に応じて以下のように決定される。すなわち、第2の記憶領域212に記憶されている4ビットデジタル値 ($D_3 \sim D_0$) のうち何れかのビットが値1であれば、第3の記憶領域213に記憶されている4ビットデジタル値の全てのビットの値が0とされる。次に、第1の記憶領域211に記憶されている4ビットデジタル値 ($D_3 \sim D_0$) のうち何れかのビットが値1であれば、第2の記憶領域212に記憶されている4ビットデジタル値の全てのビットの値が0とされる。

図4Aは記憶部200のブロック図であり、図4Bは記憶部200より出力される12ビットデジタル値を示す説明図である。

図4A及び図4Bに示されるように、記憶部200より出力される12ビットデジタル値 ($D_{11} \sim D_0$) のうちの上位4ビット ($D_{11} \sim D_8$) として、第1の記憶領域211に記憶されている4ビットデジタル値 ($D_3 \sim D_0$) が出力される。記憶部200より出力される12ビットデジタル値 ($D_{11} \sim D_0$) のうちの中位4ビット ($D_7 \sim D_4$) として、第2の記憶領域212に記憶されている4ビットデジタル値 ($D_3 \sim D_0$) が出力される。また、記憶部200より出力される12ビットデジタル値 ($D_{11} \sim D_0$) のうちの下位4ビット ($D_3 \sim D_0$) として、第3の記憶領域213に記憶されている4ビットデジタル値 ($D_3 \sim D_0$) が出力される。

以上のように、本実施形態に係る光検出装置1は、光電流を電圧に変換し、さらにデジタル値に変換する過程において、常に、積分回路10による電荷電圧変換作用を利用している。即ち、積分回路10は、オープンループゲインが高いアンプ A_{10} とフィードバック容量とからなるもので、フィードバック容量値を C_f

とし、フィードバック容量に蓄積された電荷量をQとすると、もしアンプA₁₀のオープンループゲインが高ければ、常に、出力電圧V_{o u t} = Q / C_fの関係が成り立つ。フィードバック容量は酸化膜等の絶縁物を挟み込んで製造されるため、温度依存性が全くない。このため、如何なる温度環境においても、V_{o u t} = Q / C_fの関係は不変である。このように、最終的なデジタル変換値も、特性的に全く温度依存性を小さく抑える事が可能である。このことは、従来の技術の欄に述べた対数圧縮方式が温度特性に支配されるのとは対象的である。

また、従来の技術の欄に述べた対数圧縮方式においては、関係が非線形であるため、例えば、暗電流成分を不要に強調して増幅してしまう問題が有る。しかし、本実施形態においては、先に述べたチャージアンプの関係を常に利用しているため、光電流に対する最終デジタル出力値は、常に線形な関係にある。従ってこのような暗電流を不要に強調して増幅してしまう、という欠点は皆無である。

また、例えば、積分回路10の各容量の容量値が、上記(14)式に替えて、以下の関係式を満たすものであってもよい。

$$C_{f1} / C_{f2} = 4 \quad \dots (15a)$$

$$C_{f2} / C_{f3} = 4 \quad \dots (15b)$$

この場合には、第1の記憶領域211に記憶されているデジタル値は、第2の記憶領域212に記憶されているデジタル値より2ビット分だけ上位に位置するものである。また、第2の記憶領域212に記憶されているデジタル値は、第3の記憶領域213に記憶されているデジタル値より2ビット分だけ上位に位置するものである。そこで、第3段階に続く第4段階では、M行N列に配置されたフォトダイオードの各々について、記憶部200の第1の記憶領域211、第2の記憶領域212および第3の記憶領域213それぞれに記憶されている4ビットデジタル値(D₃~D₀)に応じて、8ビットデジタル値(D₇~D₀)が記憶部200より出力される。

図5Aは記憶部200のブロック図、図5B、図5C、図5Dは、記憶部20

0より出力される8ビットデジタル値を示す説明図である。

すなわち、第1の記憶領域211に記憶されている4ビットデジタル値 ($D_3 \sim D_0$) のうちの上位2ビット D_3 , D_2 の何れかが値1であれば、図5Bに示されるように、記憶部200より出力される8ビットデジタル値 ($D_7 \sim D_0$) のうち
5 の上位4ビット ($D_7 \sim D_4$) として、第1の記憶領域211に記憶されている4ビットデジタル値 ($D_3 \sim D_0$) が出力され、記憶部200より出力される8ビットデジタル値 ($D_7 \sim D_0$) のうちの残りのビットとして値0が出力される。

第1の記憶領域211に記憶されている4ビットデジタル値 ($D_3 \sim D_0$) のうち
10 の上位2ビット D_3 , D_2 の双方が値0であって、第2の記憶領域212に記憶されている4ビットデジタル値 ($D_3 \sim D_0$) のうちの上位2ビット D_3 , D_2 の何れかが値1であれば、図5Cに示されるように、記憶部200より出力される8ビットデジタル値 ($D_7 \sim D_0$) のうちの中位4ビット ($D_5 \sim D_2$) として、第2の記憶領域212に記憶されている4ビットデジタル値 ($D_3 \sim D_0$) が出力され、
15 記憶部200より出力される8ビットデジタル値 ($D_7 \sim D_0$) のうちの残りのビットとして値0が出力される。

また、第1の記憶領域211に記憶されている4ビットデジタル値 ($D_3 \sim D_0$) のうちの上位2ビット D_3 , D_2 の双方が値0であって、第2の記憶領域212に記憶されている4ビットデジタル値 ($D_3 \sim D_0$) のうちの上位2ビット D_3 , D_2 の双方が値0であれば、図5Dに示されるように、記憶部200より出力される
20 8ビットデジタル値 ($D_7 \sim D_0$) のうちの下位4ビット ($D_3 \sim D_0$) として、第3の記憶領域213に記憶されている4ビットデジタル値 ($D_3 \sim D_0$) が出力され、記憶部200より出力される8ビットデジタル値 ($D_7 \sim D_0$) のうちの残りのビットとして値0が出力される。

このように、積分回路10の各容量の容量値が上記(14)式を満たす場合と比較
25 して、上記(15)式を満たす場合には、光検出装置1より出力されるデジタル値は、総ビット数が減少するものの、有効ビット数が常に3以上である点で好適である。

本発明は、上記実施形態に限定されるものではなく、種々の変形が可能である。一般に、積分回路10の積分容量部の容量値を $C f_1 \sim C f_K$ の何れかに切り替えが可能であり、A/D変換回路20における参照電圧が $V_{ref,1} \sim V_{ref,L}$ の何れかに切り替えが可能であって、記憶部200がK個の記憶領域を有している(5 K, Lは2以上の整数)。また、 $C f_1 > C f_2 > \dots > C f_k > \dots > C f_{K-1} > C f_K$ であって、 $V_{ref,1} > V_{ref,2} > \dots > V_{ref,l} > \dots > V_{ref,L-1} > V_{ref,L}$ であるのが好適である。さらに、A/D変換回路20から出力されるデジタル値のビット数をBとすると、以下の関係式が成り立つのが好適である。

$$2 \leq C f_k / C f_{k+1} \leq 2^B \quad \dots(16a)$$

$$V_{ref,k} / V_{ref,k+1} = 2^B \quad \dots(16a)$$

(ただし、 $1 \leq k < K$ 、 $K \geq 2$)

10 また、上記実施形態ではA/D変換回路20から出力されるデジタル値のビット数Bを4としたが、これに限られるものではない。

産業上の利用可能性

本発明は、アナログ値をデジタル値に変換するA/D変換回路を含む光検出装置に利用することができる。

15

請求の範囲

1. 入射光強度に応じた量の電荷を出力する光検出素子と、

5 アンプと積分容量部とが入力端子と出力端子との間に並列的に設けられ、前記積分容量部の容量値を第1～第K（Kは2以上の整数）の容量値の何れかに切り替える容量値切替手段を有し、前記光検出素子から出力された電荷を前記入力端子より入力して、前記容量値切替手段により切り替えられた容量値を有する前記積分容量部に前記電荷を蓄積し、この蓄積した電荷の量に応じた電圧を前記出力端子より出力する積分回路と、

10 A/D変換の際に用いられる参照電圧を第1～第L（Lは2以上の整数）の参照電圧の何れかに切り替える参照電圧切替手段を有し、前記積分回路の前記出力端子から出力された電圧を入力して、前記参照電圧切替手段により切り替えられて設定された参照電圧に基づいて前記電圧をA/D変換し、この電圧に応じたデジタル値を出力するA/D変換回路と、

を備えることを特徴とする光検出装置。

15 2. 前記第1～第Kの容量値のうちの第kの容量値を $C f_k$ と表したときに $C f_1 > C f_2 > \dots > C f_k > \dots > C f_{k-1} > C f_k$ であり、前記第1～第Lの参照電圧のうちの第1の参照電圧を $V_{ref,1}$ と表したときに $V_{ref,1} > V_{ref,2} > \dots > V_{ref,1} > \dots > V_{ref,L-1} > V_{ref,L}$ であって、

20 第1～第Kの記憶領域とこれらの何れかに切り替える記憶領域切替手段とを有し、前記第1～第Kの記憶領域のうちの前記記憶領域切替手段により切り替えられて選択された何れかの記憶領域に、前記A/D変換回路から出力されたデジタル値を記憶する記憶部と、

25 前記積分回路の前記容量値切替手段、前記A/D変換回路の前記参照電圧切替手段および前記記憶部の前記記憶領域切替手段それぞれを制御して、前記積分回路の前記積分容量部の容量値を第kの容量値 $C f_k$ とし、前記A/D変換回路の参照電圧を第1の参照電圧 $V_{ref,1}$ として、前記A/D変換回路から出力されたデ

デジタル値を第 k の記憶領域に記憶させる制御手段と、

を更に備えることを特徴とする請求の範囲第 1 項記載の光検出装置。

3. 前記光検出素子が複数設けられて M 行 N 列 ($M \geq 2, N \geq 2$) に 2 次元配列され、この 2 次元配列された前記光検出素子の列毎に前記積分回路および前記 A/D 変換回路それぞれが設けられている、ことを特徴とする請求の範囲第 1 項記載の光検出装置。

図1

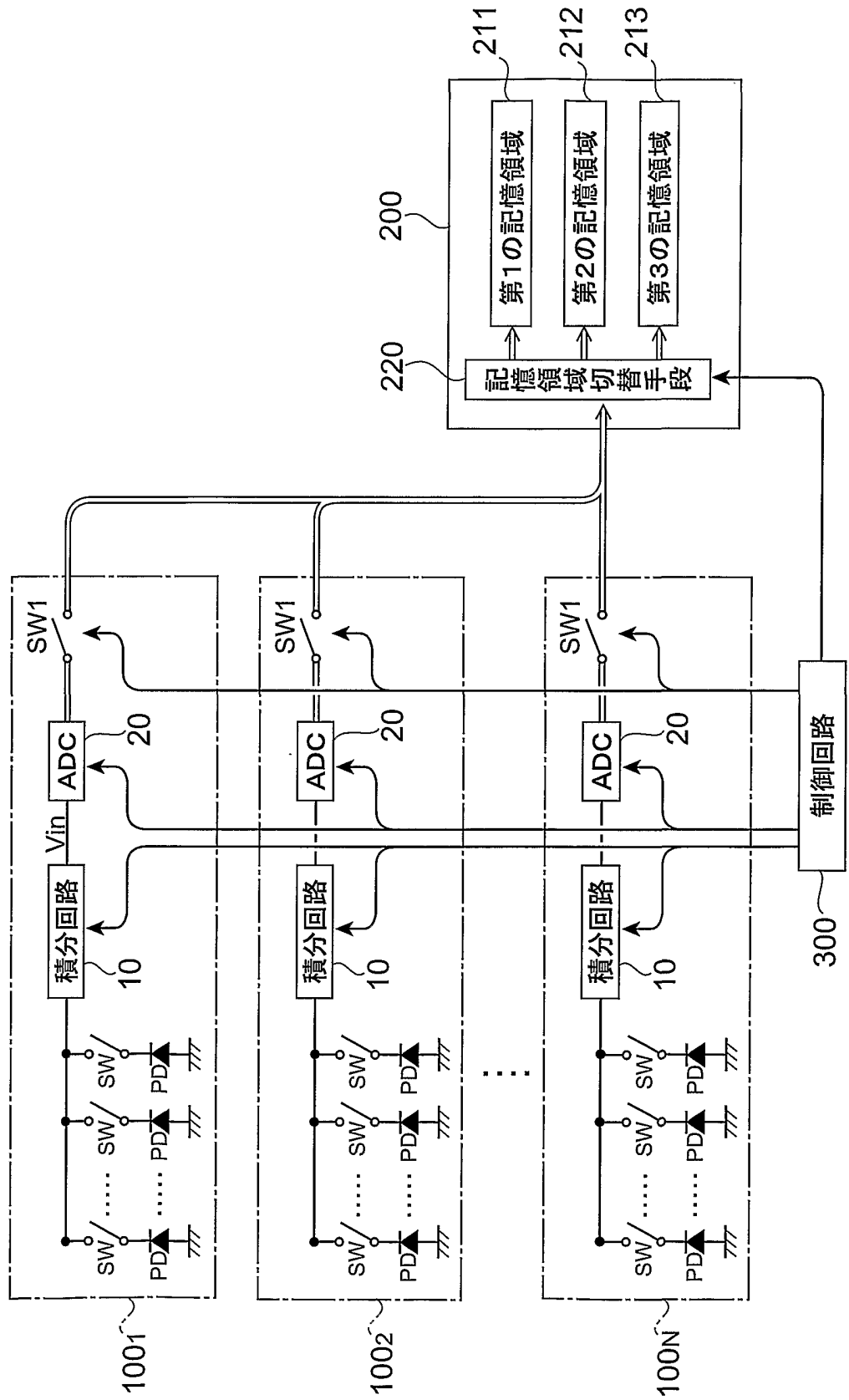


図2

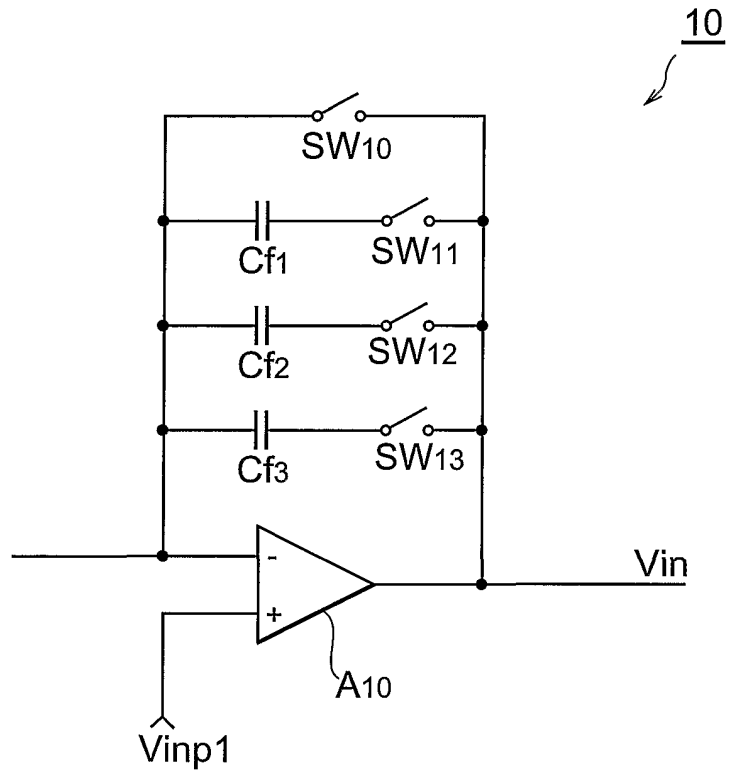
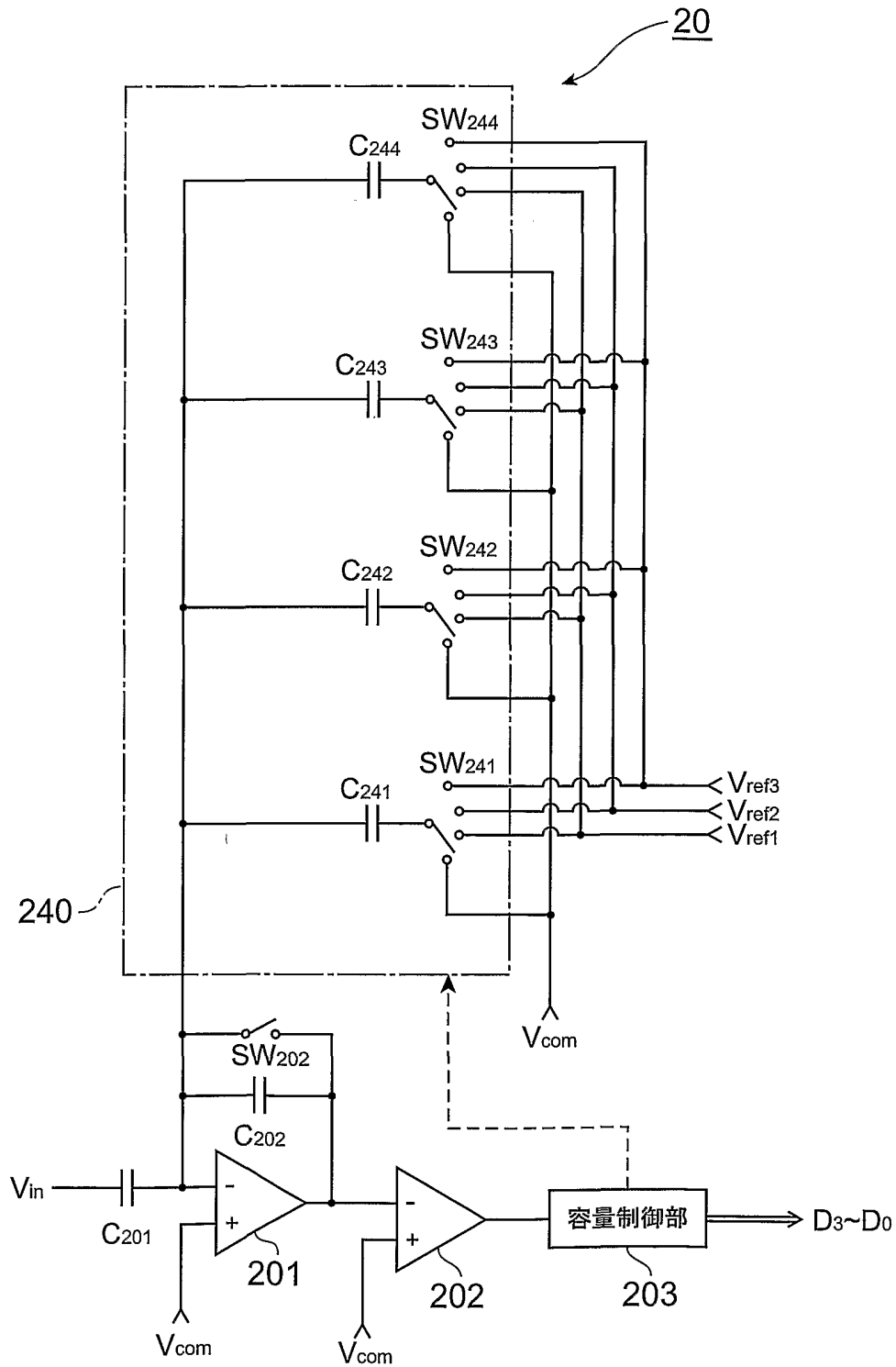


図3



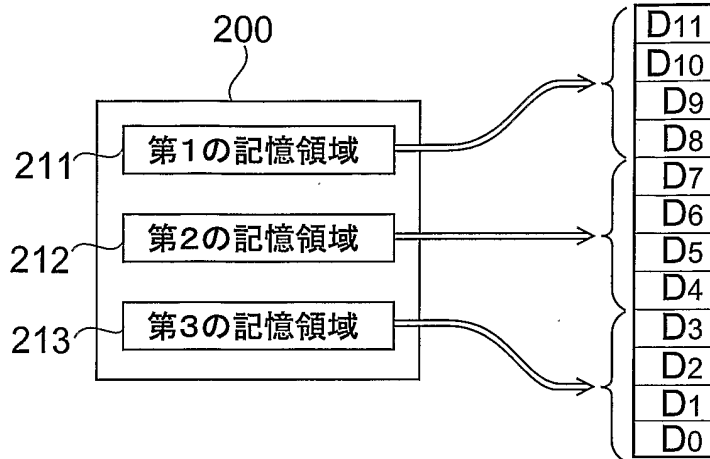


図4A

図4B

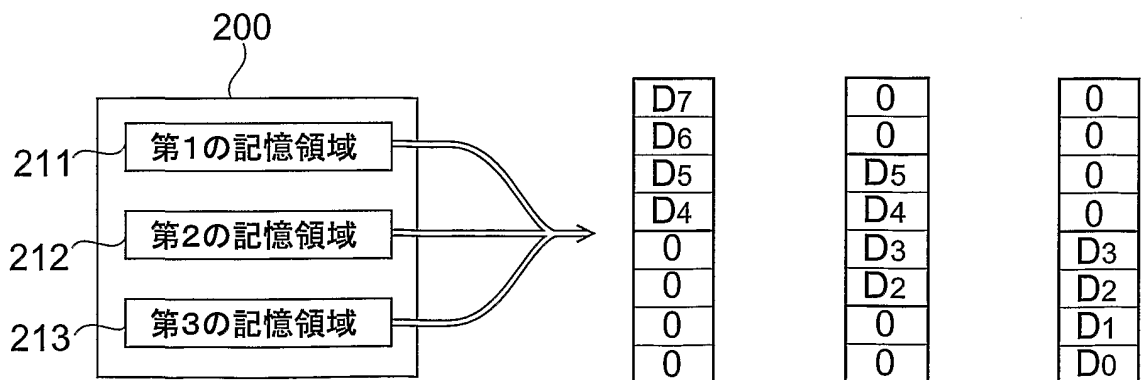


図5A

図5B

図5C

図5D

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/05981


A. CLASSIFICATION OF SUBJECT MATTER Int.Cl ⁷ G01J1/44, H01L31/10, H04N5/335		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) Int.Cl ⁷ G01J1/42-1/46, G01D3/00-3/02, H01L27/14, H01L31/10, H03M1/18, H03M1/38, H04N5/30-5/335		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2002 Kokai Jitsuyo Shinan Koho 1971-2002 Jitsuyo Shinan Toroku Koho 1996-2002		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages .	Relevant to claim No.
Y	JP 2001-119525 A (Fuji Photo Film Co., Ltd.), 27 April, 2001 (27.04.01), Full text; Figs. 1 to 9 (Family: none)	1-3
Y	JP 58-205331 A (Iwatsu Electric Co., Ltd.), 30 November, 1983 (30.11.83), Full text; Figs. 1 to 8 (Family: none)	1-3
A	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 34236/1987 (Laid-open No. 141434/1988) (Yokogawa Electric Corp.), 19 September, 1988 (19.09.88), Full text; Figs. 1 to 2 (Family: none)	1
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C.		<input type="checkbox"/> See patent family annex.
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family	
Date of the actual completion of the international search 13 September, 2002 (13.09.02)	Date of mailing of the international search report 08 October, 2002 (08.10.02)	
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer	
Facsimile No.	Telephone No.	

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/05981

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-310561 A (Hamamatsu Photonics Kabushiki Kaisha), 07 November, 2000 (07.11.00), Full text; Figs. 1 to 11 & WO 00/65317 A1	1-3
A	JP 7-294333 A (Hamamatsu Photonics Kabushiki Kaisha), 10 November, 1995 (10.11.95), Full text; Figs. 1 to 9 (Family: none)	1-3
A	JP 6-273230 A (Hamamatsu Photonics Kabushiki Kaisha), 30 September, 1994 (30.09.94), Full text; Figs. 1 to 6 (Family: none)	1-3
A	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 41201/1992 (Laid-open No. 1421/1992) (Advantest Corp.), 08 January, 1992 (08.01.92), Full text; Figs. 1 to 9 (Family: none)	1-3
A	JP 61-49562 A (Suwa Seikosha Kabushiki Kaisha), 11 March, 1986 (11.03.86), Full text; Figs. 1 to 9 (Family: none)	1-3

A. 発明の属する分野の分類 (国際特許分類 (IPC))		
Int. Cl ⁷ G01J 1/44, H01L 31/10, H04N 5/335		
B. 調査を行った分野		
調査を行った最小限資料 (国際特許分類 (IPC))		
Int. Cl ⁷ G01J 1/42-1/46, G01D 3/00-3/02, H01L 27/14, H01L 31/10, H03M 1/18, H03M 1/38, H04N 5/30-5/335		
最小限資料以外の資料で調査を行った分野に含まれるもの		
日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2002年 日本国登録実用新案公報 1994-2002年 日本国実用新案登録公報 1996-2002年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 2001-119525 A (富士写真フィルム株式会社) 2001. 04. 27, 全文, 第1-9図 (ファミリーなし)	1-3
Y	J P 58-205331 A (岩崎通信機株式会社) 1983. 11. 30, 全文, 第1-8図 (ファミリーなし)	1-3
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー		
「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの	の日の後に公表された文献
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献	
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願		
国際調査を完了した日	13. 09. 02	国際調査報告の発送日
		08.10.02
国際調査機関の名称及びあて先	特許庁審査官 (権限のある職員)	2W 9807
日本国特許庁 (ISA/JP)	平田 佳規	
郵便番号100-8915		
東京都千代田区霞が関三丁目4番3号	電話番号 03-3581-1101	内線 3290

C (続き) . 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	日本国実用新案登録出願62-34236号 (日本国実用新案登録出願公開63-141434号) の願書に添付した明細書及び図面の内容を撮影したマイクロフィルム (横河電機株式会社) 1988. 09. 19, 全文, 第1-2図 (ファミリーなし)	1
A	JP 2000-310561 A (浜松ホトニクス株式会社) 2000. 11. 07, 全文, 第1-11図 & WO 00/65317 A1	1-3
A	JP 7-294333 A (浜松ホトニクス株式会社) 1995. 11. 10, 全文, 第1-9図 (ファミリーなし)	1-3
A	JP 6-273230 A (浜松ホトニクス株式会社) 1994. 09. 30, 全文, 第1-6図 (ファミリーなし)	1-3
A	日本国実用新案登録出願4-41201号 (日本国実用新案登録出願公開4-1421号) の願書に添付した明細書及び図面の内容を撮影したマイクロフィルム (株式会社アドバンテスト) 1992. 01. 08, 全文, 第1-9図 (ファミリーなし)	1-3
A	JP 61-49562 A (株式会社諏訪精工社) 1986. 03. 11, 全文, 第1-9図 (ファミリーなし)	1-3