

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4283110号  
(P4283110)

(45) 発行日 平成21年6月24日 (2009. 6. 24)

(24) 登録日 平成21年3月27日 (2009. 3. 27)

(51) Int. Cl. F I  
 HO 1 L 29/786 (2006. 01) HO 1 L 29/78 6 2 6 A  
 HO 1 L 29/78 (2006. 01) HO 1 L 29/78 3 0 1 X

請求項の数 14 (全 20 頁)

(21) 出願番号	特願2003-523017 (P2003-523017)	(73) 特許権者	390009531
(86) (22) 出願日	平成14年8月29日 (2002. 8. 29)		インターナショナル・ビジネス・マシーンズ・コーポレーション
(65) 公表番号	特表2005-501424 (P2005-501424A)		INTERNATIONAL BUSINESS MACHINES CORPORATION
(43) 公表日	平成17年1月13日 (2005. 1. 13)		アメリカ合衆国10504 ニューヨーク州 アーモンク ニュー オーチャードロード
(86) 国際出願番号	PCT/US2002/028265	(74) 代理人	100108501
(87) 国際公開番号	W02003/019671		弁理士 上野 剛史
(87) 国際公開日	平成15年3月6日 (2003. 3. 6)	(74) 代理人	100112690
審査請求日	平成16年3月9日 (2004. 3. 9)		弁理士 太佐 種一
(31) 優先権主張番号	09/944, 665	(74) 代理人	100091568
(32) 優先日	平成13年8月31日 (2001. 8. 31)		弁理士 市位 嘉宏
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 縦型デュアル・ゲート電界効果トランジスタ、集積回路デバイス及びその形成方法

(57) 【特許請求の範囲】

【請求項 1】

シリコン・オン・インシュレータ・ウエハのシリコン層に形成されたトレンチと、前記トレンチ内に配置され、縦方向に導電チャネルを構成する縦型シリコン・ピラーと、前記トレンチの内側面および底面の一部に、前記ピラーを囲むように配置される窒化物層と、前記トレンチ内で前記窒化物層の上に形成され、前記ピラーの両側面にそれぞれ隣接する2つのゲート電極と、前記トレンチ内の前記2つのゲート電極より上部の前記ピラーに隣接する側壁スペーサと、前記ゲート電極の上で、かつ前記側壁スペーサと前記窒化物層の間に配置される第2の窒化物層であって、前記側壁スペーサと前記ピラーに対して選択的にエッチング可能である第2の窒化物層と、前記ピラーの上下の端にそれぞれ配置されるソース拡散領域およびドレイン拡散領域と、前記トレンチ内で前記ゲート電極と前記トレンチ底部の間に配置され、前記ゲート電極と前記ドレイン拡散領域を分離する窒化物スペーサと、を含む縦型デュアル・ゲート電界効果トランジスタ。

【請求項 2】

前記ピラーを取り囲み、前記窒化物層の側面に隣接しかつ前記窒化物層に対して選択的にエッチング可能な浅いトレンチ分離構造をさらに含む、請求項 1 に記載の縦型デュアル・

ゲート電界効果トランジスタ。

【請求項 3】

前記浅いトレンチ分離構造内に配置され、かつ前記窒化物層に隣接するドレイン・コンタクト開口部内に形成され、ドレイン拡散領域まで延長するドレイン・コンタクトをさらに含む、請求項 2 に記載の縦型デュアル・ゲート電界効果トランジスタ。

【請求項 4】

前記ピラーの上端の前記ソース拡散領域まで延長する、ソース・コンタクト開口部内に形成される、ソース・コンタクトと、  
前記ピラーに隣接しかつ前記ピラーの上を前記ゲート電極まで延長し、かつ前記ピラー上の前記側壁スペーサによって前記ピラーから絶縁された、ゲート・コンタクト開口部内に形成される、ゲート・コンタクトと、  
をさらに含む、請求項 1 に記載の縦型デュアル・ゲート電界効果トランジスタ。

10

【請求項 5】

前記ゲート電極のそれぞれは前記チャンネルに自己整合して形成されるゲート絶縁膜の上に形成され、分離された前記ゲート・コンタクトに独立して接続される、請求項 4 に記載の縦型デュアル・ゲート電界効果トランジスタ。

【請求項 6】

請求項 1 乃至 5 のいずれかに記載の縦型デュアル・ゲート電界効果トランジスタを含む集積回路デバイス。

【請求項 7】

共通のドレイン・コンタクトを有し、互いに隣接する縦型デュアル・ゲート電界効果トランジスタを含む、請求項 6 に記載の集積回路デバイス。

20

【請求項 8】

前記共通のドレイン・コンタクトは、前記浅いトレンチ分離構造をエッチングし導体で充填して形成される、請求項 7 に記載の集積回路デバイス。

【請求項 9】

縦型デュアル・ゲート電界効果トランジスタを含む集積回路デバイスの形成方法であって、

シリコン・オン・インシュレータ・ウエハのシリコン層に浅いトレンチ分離構造で囲まれるトレンチを形成する工程と、

30

前記トレンチ内に縦方向に導電チャンネルを構成する縦型シリコン・ピラーを形成する工程と、

前記トレンチの内側面および底面の一部の上に窒化物層を形成する工程と、

前記トレンチの底面を覆って、窒化物スペーサを形成する工程と、

前記窒化物層及び前記窒化物スペーサの上で、かつ前記ピラーの側面に隣接する 2 つのゲート電極を形成する工程と、

前記ゲート電極より上部に前記ピラーを覆う側壁スペーサを形成する工程と、

前記側壁スペーサと前記窒化物層の間の前記トレンチ内に第 2 の窒化物層を形成する工程と、

前記ピラーの上下の端にそれぞれソース拡散領域およびドレイン拡散領域を形成する工程と、

40

を含み、

前記窒化物スペーサは前記ゲート電極と前記ドレイン拡散領域を分離する、方法。

【請求項 10】

前記窒化物層に隣接させて、前記浅いトレンチ分離構造内にドレイン・コンタクト開口部を形成する工程をさらに含む、請求項 9 に記載の方法。

【請求項 11】

前記ピラーの上端の前記ソース拡散領域まで延長する、ソース・コンタクト開口部を形成する工程と、

前記ピラーに隣接しかつ前記ピラーの上を前記ゲート電極まで延長し、かつ前記ピラー上

50

の前記側壁スペーサによって前記ピラーから絶縁されるゲート・コンタクト開口部を形成する工程と、  
をさらに含む、請求項 9 に記載の方法。

【請求項 1 2】

前記開口部のそれぞれにコンタクトを形成する工程を、をさらに含む、請求項 1 0 または 1 1 に記載の方法。

【請求項 1 3】

前記ピラーを形成する前記工程は、トレンチ内にエピキシャル半導体成長または前記シリコン層のエッチングによって実施される、請求項 9 に記載の方法。

【請求項 1 4】

前記チャンネルに自己整合させて、前記チャンネルを覆うゲート絶縁膜を形成する工程をさらに含む、請求項 9 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は一般に極めて高密度の半導体集積回路に適する高性能電界効果トランジスタに関し、さらに具体的には上下に配置されるソースとドレインを有するデュアル・ゲート電界効果トランジスタおよび縁のない（境界のない）コンタクトを有する他の半導体デバイスに関する。

【背景技術】

【0 0 0 2】

電界効果トランジスタは長年にわたり知られ、現在ではもっとも厳しい高周波数要求を除くすべての複雑な集積デジタル回路での使用で選択されるトランジスタである。一般に、電界効果トランジスタはバイポーラ・トランジスタよりはいくらか簡便に形成でき、かつより大きなプロセス・ウィンドウを有し、簡便な回路およびデバイス設計を可能とする。

【0 0 0 3】

機能性向上および製造の経済性に対する要求と同じように、より高性能なデジタル・スイッチングへの要求が増加するにつれて、トランジスタの専有面積のサイズ（従って、通電容量）への制約も増加してきた。さらに、より多くのトランジスタが所定のチップ・スペース内に配置され、かつスイッチングおよび/もしくはクロック周波数が増加するにつれて、電力消費の低減要求のために、低減した電圧での動作が要求される。低減した電圧での動作は、動作マージンおよびトランジスタのオンとオフ状態の間の抵抗差を減少させる。この効果は、低減した電圧を用いて導電チャンネル内部でゲート絶縁膜からのより大きな距離で空乏を制御する能力が低下するためである。

【0 0 0 4】

従って、導電チャンネルを完全にまたは部分的に取り囲む両側にゲート電極を含む、電界効果トランジスタの設計に近年の関心がある。さらに、性能、回路設計、および機能性の観点から、導電チャンネルの両側の個別の（分離された）ゲート構造に異なる電圧が印加されることが極めて望ましいことがわかった。

【0 0 0 5】

しかし、導電チャンネルの両側表面上の 1 つ以上のゲート構造、あるいは導電チャンネルの異なる側の上に延長する単一のゲート構造でさえ、トランジスタの構造的複雑さが増すことを意味する。この複雑さが増すことは、通常電界効果トランジスタと同じまたはより小さいサイズでいつも起こるわけではない。たとえば、その側面上に配置されるゲート構造を有する縦型フィンを導電チャンネルとして用いた設計で最近いくつかの成功例が得られた。しかしながら、導電経路はチップ表面とほぼ平行である一方で、設計はサブ・リソグラフィック・サイズ（たとえば他の構造を形成するためにレジスト・パターン露光に用いられるリソグラフィック・ツールの解像度より小さい）で特定の構造が形成されることを可能にし、ソースとドレインはゲート構造から物理的に分離され、トランジスタの占有面積（footprint）の少なくとも 1 つの寸法を増加させる。

10

20

30

40

50

## 【 0 0 0 6 】

加えて、位相シフト・マスクのような放射エネルギー・リソグラフィ・ツールの解像度を増す特定のリソグラフィ技術は、閉じた幾何学的図形の構造体を形成できるだけである。この制約は多くの場合、たとえばトランジスタのチャンネル長を規定する付加的な“トリミング”プロセスを必要とし、さらに一般にその厳格な管理を保持する能力を譲歩することとなる。

## 【 0 0 0 7 】

さらに、リソグラフィおよび半導体プロセスの基本的性質のため、電界効果トランジスタを導電チャンネルがチップ表面にほぼ平行に延長するように構成することが、多くの場合広く行われている慣行である。電界効果トランジスタは理論的には導電チャンネルをチップ表面にほぼ垂直に(たとえば“縦に”)延長するように構成することもでき得るが、現実問題として、少なくともトランジスタのソース、ドレイン、およびゲートへの接続の形成は、現在までに提案されている設計において、さらに難しいとされ、プロセスの複雑性が極めて増加するばかりでなく製造歩留まりの低下と実質的にチップ・スペースを消費することとなる。

【特許文献 1】米国特許第 6 3 9 2 2 7 1 号

【特許文献 2】米国特許第 5 2 9 3 0 5 3 号

【発明の開示】

【発明が解決しようとする課題】

## 【 0 0 0 8 】

それゆえ、本発明の目的は占有面積を減らしたデュアル(2重)で潜在的に独立のゲート構造を有し、かつ縦方向に延長する導電チャンネルを備えることによって、高集積密度で確実に形成できる電界効果トランジスタを提供することである。

## 【 0 0 0 9 】

本発明の別の目的は異なるリソグラフィ技術によって小さいサイズでかつ高集積密度で確実に形成できるデュアル・ゲート縦型電界効果トランジスタを提供することである。

## 【 0 0 1 0 】

本発明のさらなる目的は 該ソース、ゲートおよびドレインへのコンタクトが都合良くでき、そのために下部の拡散領域へのコンタクトがゲートに対して隣接しない縦型電界効果トランジスタ設計を提供することである。

【課題を解決するための手段】

## 【 0 0 1 1 】

本発明のこれらおよび別の目的を達成するために、半導体ピラー(pillar; 柱形状)導電チャンネルと、半導体ピラーに隣接するトレンチ内にゲート電極と、ゲート電極に隣接しかつ半導体ピラーの反対側に絶縁層と、トレンチ内のゲート電極の上で半導体ピラーに隣接する側壁と、ゲート電極の上でかつ側壁に隣接するトレンチ内の絶縁材料とを含み、この絶縁材料は側壁および半導体ピラーに対して選択的にエッチング可能である縦型電界効果トランジスタが提供される。

## 【 0 0 1 2 】

本発明の別の側面によれば、基板内のトランジスタ位置を取り囲む分離(isolation)材料と、トランジスタ位置に形成されかつトレンチ内に形成されるゲート電極構造を有する縦型電界効果トランジスタと、分離材料とゲート電極構造間のトレンチ内の絶縁材料層とを含み、この分離材料は絶縁材料層と、絶縁層と分離材料の界面に沿って形成されるコンタクト開口部とに対して選択的にエッチング可能である集積回路デバイスが提供される。

## 【 0 0 1 3 】

本発明の更なる側面によれば、第 1 の絶縁材料のボディのトレンチ内に半導体ピラーを形成する工程であって、トレンチは半導体材料層に延長する工程と、トレンチの壁上に第 2 の絶縁材料層を形成する工程と、第 1 の絶縁材料を選択的に貫通しかつ第 2 の絶縁材料に隣接する半導体材料へのコンタクト開口部をエッチングする工程とを含む、電界効果トランジスタを含む半導体デバイスを形成する方法が提供される。

10

20

30

40

50

## 【 0 0 1 4 】

本発明の更に別の側面によれば、基板と、第 1 の拡散領域と、第 1 の拡散領域上の第 2 の拡散領域と、第 1 の拡散領域と第 2 の拡散領域の間で縦方向に延長するチャンネルと、少なくともチャンネルの一方の側の上に延長するゲート構造と、前記ゲート構造に対して縁のない第 1 の拡散領域へのコンタクトとを具備するトランジスタが提供される。

## 【 発明を実施するための最良の形態 】

## 【 0 0 1 5 】

前述および別の目的、側面および利点は、図面を参照して本発明の好適な実施形態である以下の詳細な説明からより良く理解できるであろう。

## 【 0 0 1 6 】

ここで図面、さらに具体的には図 1 の A、B、C を参照すると、本発明によるトランジスタ製造の初期段階が示されている。図面は全体を通して、図 1 の A、図 2 の A 等で指定される図は各製造段階でのデバイスの平面図であり、一方図 1 の B、図 2 の B 等（“ B ” 識別子）および図 1 の C、図 2 の C 等（“ C ” 識別子）は、図 1 の A に示されるように断面 1 - 1 と 2 - 2 にそれぞれ沿った断面図であることに留意されたい。ただし、たとえば異なる断面位置が図 1 の A に示される位置ではなくて、図 2 2 の A 乃至図 2 4 の A のようにコンタクトを貫通した位置にあるように、別の断面位置が同じ図面上で示されている場合を除く。

## 【 0 0 1 7 】

加えて、さらに、“ B ” と “ C ” の識別子を有する図は本発明によるトランジスタの n 型と p 型の 2 つの型のトランジスタ構造を示す。一般に、これら 2 種類の型は同じウエハまたはチップ上の異なる位置に、本技術分野でよく理解されているように順にブロックアウト・マスクに従って形成される。従って、本発明によるトランジスタ形成に關与するウエハの領域を示す平面図で示される領域（“ A ” 識別子）と断面図（“ B ” と “ C ” 識別子で示される）の縦方向寸法は、平面図で示される領域を越えてウエハの周辺領域の表示より大きくなり得ることは理解されるべきである。さもなければ、断面図で示される構造体の寸法は一般に、平面図で示される構造体の寸法に一致するが実寸法には一致しない。

## 【 0 0 1 8 】

シリコン・オン・インシュレータのウエハ 1 0 0 で始め、スクリーン酸化物 1 1 0 が好ましくは熱処理で形成され、さらにレジスト 1 2 0 がウエハ全体に塗布される。このレジストは P M O S のソース領域内に初めパターン化（1 4 0）され、ホウ素がパターンニングに従って埋込みイオン注入領域 1 6 0 を備えられるエネルギー・レベルでイオン注入される。スクリーン酸化物 1 1 0 はイオンの軌道（trajectory）と注入方向を効果的にランダム化することによってイオン注入の深さを調整するのに有用である。パターン化されたレジストは次に剥離され、さらに N M O S のソース領域内に別の同様なレジスト層 1 3 0 が塗布されパターン化（1 5 0）される。ヒ素が次にイオン注入され、同様の埋込み領域 1 7 0 が形成され、その結果、図 1 の A - C で示される構造になる。

## 【 0 0 1 9 】

図 2 の A - C で示される構造を形成するために、スクリーン酸化物 1 1 0 は剥離されかつ必要に応じて、パッド酸化物 1 1 0' で置換される。一般に、イオン注入のダメージによる危さの可能性を避けるためにスクリーン酸化物 1 1 0 を置換することが好ましい。次に、酸化ゲルマニウム 2 1 0 の厚膜が堆積され、窒化シリコン層 2 2 0 次に続く。酸化ゲルマニウムの厚みは、以下の議論から当業者には明らかなようにチャンネル長制御のキー・パラメーターである。次に、図 3 の A - C に示されるように、レジスト 3 1 0 が塗布され、パターン化（3 1 5）され、さらに窒化物および酸化ゲルマニウム層がエッチングされ、トランジスタ領域 3 3 0 が形成される。このトランジスタ領域により、トランジスタのチャンネル幅が画定する。窒化物および酸化ゲルマニウム層は犠牲である。

## 【 0 0 2 0 】

次に、シリコン・オン・インシュレータのウエハ 1 0 0 のエッチングされた領域のシリコンは酸化され、酸化シリコンで充填されるか、または別の望ましい浅いトレンチ分離（S

10

20

30

40

50

TI ; shallow trench isolation) 構造を構成する材料 4 1 0 で充填される。表面が次に、化学 / 機械的研磨によって窒化物層 2 2 0 の残存部分の窒化物研磨止め表面 4 2 0 まで平坦化され、その結果図 4 の A - C で示される構造となる。

【 0 0 2 1 】

図 5 の A - C を参照すると、トランジスタの縦方向導電チャネルを形成する縦型シリコン・ピラーを形成するための型 ( mold ) の位置は、レジスト 5 1 0 の塗布で画定される。レジストは次に、ハード位相シフト・マスクあるいは別のリソグラフィ・プロセスあるいは幅を制御するためのスペーサのような別のプロセス技術を用いて露光され、さらに現像され、非 S T I 領域を横切る狭い ( 可能であればサブ・リソグラフィ幅 ) 線形パターン 5 2 0 を形成する。次に、パターン化されたレジストに基づいて、窒化物、GeO<sub>2</sub> およびパッド酸化物は充填物 ( fill ) に対して選択的に元のシリコン・ウエハ表面 6 2 0 までエッチングされ、図 6 の A - C に示すようにピラーの型 6 1 0 を形成し、さらにレジストが剥離される。シリコン・ピラー ( pillar ; 柱形状 ) 7 1 0 が次に、元のシリコン・ウエハ表面 6 2 0 から選択的にエピタキシャル成長され、型 6 1 0 を充填し、さらに表面は平坦化され、その結果図 7 の A - C に示す構造になる。パターン 5 2 0 がサブ・リソグラフィ幅の場合、たとえば位相シフト・マスクによって達成し得るが、ピラー / 導電チャネルは対応するサブ・リソグラフィ寸法となる。

10

【 0 0 2 2 】

シリコン・ピラーを保護するために、シリコン・ピラーの上部はシリコンをエッチングすることでくぼみがつけられ、次に T E O S 酸化物または L P C V D 酸化物 8 1 0 でくぼみを充填する。さらに表面は再度化学 / 機械的研磨によって平坦化され、その結果図 8 の A - C の構造となる。次に、図 9 の A C に示すように、残存する表面窒化物 2 2 0 ( 図 8 の A - C ) が好ましくはウェット・エッチングで剥離され、残存する GeO<sub>2</sub> 2 1 0 ( 図 8 の B - C ) が水リンスで除去される。

20

【 0 0 2 3 】

窒化物の共形層 ( conformal layer ) 9 1 0 が次に好ましくは化学気相堆積法で堆積され、シリコン・ピラー 7 1 0 を覆う窒化物の周辺領域でパターン化されるレジスト 9 2 0 で覆われる。この窒化物は後に用いられ、以下でより詳細に議論されるように、縁のないコンタクト形成を円滑にする。次に、図 1 0 の A - C に示すように、共形窒化物層 9 1 0 がパターン化されたレジスト 9 2 0 に基づいて等方的にエッチングされ、シリコン・ピラーに隣接するトレンチ底部の窒化物 9 2 5 に部分的な開口部 ( 1 0 1 0 ) を設け、レジストが剥離される。1 0 1 0 でピラーに隣接する窒化物の除去により、不純物が拡散する位置を制御し、不純物領域の延長部 ( 外延 ) を形成する。

30

【 0 0 2 4 】

この時点で、ブロックアウト・マスク 1 1 3 0 を使用して N M O S トランジスタをマスクし、一方 P M O S トランジスタが処理される。その後、同様の処理が、N M O S トランジスタに実施され、一方 P M O S トランジスタが同様のブロックアウト・マスクでマスクされる。N M O S と P M O S の処理の順序は本発明の実施がうまくいくかどうかには重要ではない。ここで図 1 1 の A - C を参照すると、ホウケイ酸ガラス ( B S G、またはアルセノシリケート・ガラス、A S G ) 1 1 1 0 が好ましくはプラズマ気相堆積法によって異方的に堆積され、凹部 1 0 1 0 内に層 1 1 1 0 を残し、窒化物 9 2 5 の終端および他の水平表面を層 1 2 3 0 で覆う。

40

【 0 0 2 5 】

このオペレーション後、同様なプロセスが続き、B S G 1 1 1 0 を覆う S i O<sub>2</sub> スペーサ 1 1 2 0 を堆積する。出来た構造は次に、図 1 2 の A - C に示すように、レジスト 1 2 5 0 のブロックアウト・マスクおよびブロッキング層 1 1 4 0、1 1 5 0 で覆われる。N M O S ( または P M O S ) トランジスタの場所が次に、リフトオフ・ガラス技術によって空けられ、アルセノシリケート・ガラス ( A S G、またはホウケイ酸ガラス、B S G ) 1 2 1 0 が好ましくは再びイオン化プラズマ気相堆積法または P E C V D ( 優先的に水平表面上に材料を堆積する ) によって堆積され、必要に応じて S i O<sub>2</sub> スペーサ 1 2 2 0 の堆積

50

とディップ・アウトが続く。このプロセスは、シリコン・ピラー 710 の上部にも類似の層 1230、1240 を形成し、トランジスタの場所を取り囲む。レジスト上への堆積はリフトオフ・ガラス・プロセスによって除去され、その結果図 13 の A - C に示す構造になる。

#### 【0026】

次に、図 14 の A - C に示すように、窒化物層 910 の上まで浅いトレンチ分離構造 410 の上の層 1230、1240 を除去する。ゲート絶縁膜 1420 が酸化または CVD、原子層エピタキシャルなどのどれかによってチャネルと自己整合で形成され、チャネルを完全に取り囲み得る。この時点で、熱処理が実施でき、外方拡散された (out-diffused) ドーパント領域 1410 を、ASG と BSG から移動させ、トランジスタの下方部分にドレインを形成する。この外方拡散 (out-diffusion) は最終的にイオン注入された領域 160、170 にそれぞれ到達する。トレンチ 1430 が次に、ポリシリコンのようなゲート材料 (チャネルとゲート絶縁膜と自己整合して) で充填され、ゲート電極 1440 (図 15 の A - C) を形成する。このゲート電極 1440 は、初期は結合されて完全にチャネルを取り囲む内壁を形成するが、後に分離できる。すなわち、図 15 の A - C に示すように、ゲート電極の上部にくぼみ (凹部) をつけ (図 15 はくぼみをつけた後の図を示す)、次に、できたくぼみに TEOS が堆積され、次にエッチングされ、1510 で示される部分のくぼみを残して、側壁スペーサ 1520 を形成する。

10

#### 【0027】

次に、図 16 の A - C に示すように、レジストが再び塗布され、パターン化されて、シリコン・ピラー 710、キャップ酸化物 810 および層 1230、1240 の上部分を覆ってマスク 1610 を形成する。次に、等方性エッチングが、シリコン・ピラー 710 に隣接しない側壁スペーサ 1520 を除去するために機能するマスク 1610 に従って実施される。マスク 1610 は次に、剥離され、図 17 の A - C の 1710 で示すように、窒化物層 1710 がポリシリコンを覆ってくぼみ内に堆積され、エッチングされ、および/もしくは研磨され、窒化物層 910 の表面領域を除去しさらに平坦面を形成する。窒化物の使用はキャップ酸化物 810 と層 1230、1240 の選択エッチングを可能にする。レジスト 1810 が図 18 の A - C に示すように、塗布され、現像され、図 19 の A - C に示すように、開口 (apertures) 1910 を有する PMOS ドレイン注入マスクを形成する。1920 で示されるイオン注入プロセスにより、図 20 の C で示されるドーパされた領域 2010 を生成する。その後、キャップ酸化物 810 を除去する。

20

30

#### 【0028】

イオン注入プロセスはたとえばトランジスタ内に非対称性を与えるために、個別にソースとドレイン特性を調整するために活用され得る。イオン注入プロセスは、上述したドレイン・ドーピングとは独立して行われる。レジストは、次に剥離され、酸化物または TEOS 2020 (図 21) が残存するくぼみ内に堆積され、さらに表面が再び平坦化される。

#### 【0029】

図 21 の A - C に示すように、窒化物エッチング止め層 2110 と酸化物層間絶縁層 2120 が全デバイス表面を覆って順に堆積される。次に、図 22 の A - C (図 22 の C は図 22 の A の 3 - 3 断面での断面図である) に示すように、ソース・コンタクト開口部 2210 がパターン化されたレジストを用いてエッチングされる。このエッチングでは最初に酸化物 2120 をエッチングし、窒化物 2110 の上で止まり、窒化物 2110 が次に選択的にエッチングされ、酸化物キャップ 2020 の上で止まり、酸化物キャップ 2020 はエッチングされ、シリコン・ピラー 710 のイオン注入された領域 2010 の上で止まる。注目すべきは、拡散された領域 1410 がこの時点で、図 15 の A - C 乃至図 22 の A - C におけるプロセスの熱収支 (heat budget) を介して、さらに付加的なアニールが実施され得るが、イオン注入されたドレイン領域 160 / 170 に到達することである。

40

#### 【0030】

50

図23のCは、図23のAの4-4断面でのデバイスの断面図を示す。ゲート・コンタクト開口部2310は、酸化物キャップ2020がエッチングされず、かつ点線2320で示すように、酸化物キャップ2020の両側に分離されるように選択的にエッチングされる。これは酸化物2120のエッチングを窒化物2110の上で止め、次に窒化物2110と1710を酸化物に対して選択的にエッチングすることで行われる。どちらのゲート・コンタクト開口部2310もこのようにソース拡散領域2010に対して隣接しない。同様に、ソース・コンタクト開口部2330は選択エッチングによって形成されるが、酸化物キャップを介してコンタクト・イオン注入領域2010までエッチングされ、ゲート構造の上でエッチングを終了される。その結果ソース・コンタクトはゲート構造に対して隣接しない。2つの分離されたゲート・コンタクトは各ゲート電極1440に独立して接触できる。

10

## 【0031】

図24のCは、図24のAの5-5断面でのデバイスの断面図である。再び、ドレイン・コンタクト(図24のBのページ面の背後に)のための開口部は、ドレイン構造の側面を開口する段階で選択的に行われる。しかしながら、この場合、窒化物エッチング止めが開口された後、酸化物の選択的エッチングが、本質的に、窒化物層910によってガイドされる。この窒化物層910はまた、ドレイン・コンタクトをゲート電極から絶縁する役目を果たす。この窒化物層910の存在により、浅いトレンチ分離構造を構成する絶縁体の内部または絶縁体に沿ってコンタクト開口部を形成することができる。次に、金属またはポリシリコンをコンタクト開口部、すなわち、ソース、ゲート、およびドレイン・コンタクト開口部内に堆積し、さらに表面を平坦化することによって、ソース、ゲート、およびドレイン・コンタクトを形成し、トランジスタが完成できる。

20

## 【0032】

従って、本発明は、占有面積の減少をもたらすために、導電チャネルの両側に位置するデュアル・ゲートと上下に位置するソースとドレインを有する縦型導電チャネル電界効果トランジスタを提供することが理解される。実際には、極小サイズの寸法にするための唯一の制限は、シリコン・ピラーのためのパターンをリソグラフィで画定する必要があることで、言い換えると、一般にリソグラフィ露光装置の解像度の制限となる。(ピラーは各種のリソグラフィの拡張または側壁のようなプロセス技術によって、より狭く形成できるが、占有面積全体は一般に解像可能なリソグラフィ構造体サイズに制限される。)まさに、この制限は本発明の好適な実施形態を参照して説明されるように、位相シフト露光技術によって部分的に避けることができる。

30

## 【0033】

さらに、この好適な実施形態において、浅いトレンチ分離構造との界面で、自己トリミングによりトランジスタが形成される。さらに本質的に、エッチングされかつ堆積されたSTI構造はトリム・マスクとして用いられ、選択的エッチングがトレンチ/ピラーの長さを制限する。ドレイン(下部)拡散領域へのコンタクトはゲート電極に対して隣接せず、ゲート電極へのコンタクトは、ソース(上部)拡散領域の2つの側面の上方で延長される。分離ゲート・コンタクトはチャネルの2つの異なる側面に形成できる。さらにソース拡散領域へのコンタクトはゲート電極に対して隣接しない。さらに、ドレイン(下部)拡散領域はピラーの下部に延長し、ゲート電極の下部でピラーを超えて延長する。一方、ゲート電極上部の窒化物層と側壁スペースに隣接する導電層によってゲート・コンタクトが形成される。さらに、本発明の第2の実施形態と関連して以下で詳細に述べるように、ソース(上部)拡散領域へのコンタクトは自己整合スペースを用いることができ、ピラーはゲート構造の上部に延長する。ドレイン(下部)拡散領域は別のトランジスタの部分への共通コンタクトを形成するために用いることができる。上述した第1の実施形態においては、導電チャネルを形成するピラーはエピタキシャル成長で形成されるが、第2の実施形態においては、ピラーはエッチングで形成される。

40

## 【0034】

ここで図25のA-C乃至図38のA-Cを参照すると、本発明の第2の実施形態が記述

50

されている。詳細には、いくつかの点で明らかに上述した第1の実施形態から異なるが、またいくつかは、第1の実施形態のプロセスを置換したものであり逆もまた同様である。たとえば、上述した自己整合型ソースとドレインのプロセスは、第2の実施形態で用いることができ、その更なる記述は明快さのために省略される。本発明の第1と第2の実施形態の主な差異は、トレンチ2720を形成するために用いられる、プロセスの本質であり、これは図27のA-Cに示される工程で導電チャネルのためのパターンを提供する。

#### 【0035】

より具体的には、トレンチ2720が第2の実施形態に基づいて、所定の波長の電磁エネルギーを用いてより小さい構造体サイズがリソグラフィで画定できるようにする位相シフト・マスクを用いて、トレンチ2720が形成される。当業者には明らかなように、付加的なリソグラフィ・プロセスを用いるトリミングなしでトレンチを形成するための該技術は、結果として閉じた幾何学的形状を有するトレンチとなり、その一部分のみが示してある。他のトランジスタはこの閉じた幾何学的形状に沿って、他の位置に同時にあるいは順番に形成される。第2の実施形態によるこの構造体は特に、本発明に基づく反対の導電型（たとえばインバータのため）でありうる一対のトランジスタ形成を促進する。

#### 【0036】

図25のA-Cに示すように、第2の実施形態では、既に配置された異なる導電タイプの下部ドレイン拡散領域2520、2520'とともに能動（活性）シリコン層2510を有するSOIウエハの使用を示している。レジストが塗布され、パターン化され、さらにPMOSソース領域2530がイオン注入される。レジストが次に剥離され、さらに別のレジストが塗布され、パターン化され、さらにNMOSソース領域2540が同様にイオン注入される。同様のプロセスが他の極性のデバイスに対して用いられる。スクリーン酸化物が用いられ、どちらの場合においても不純物イオン注入のために剥離される。ウエハ表面は次に、パッド酸化物層2550と窒化物層2560で覆われる。

#### 【0037】

図26のA-Cに示すように、各々のトランジスタ領域は、リソグラフィで画定され、エッチングされ、浅いトレンチを領域2610に形成し、その領域は好ましくは化学的気相堆積法（CVD）で酸化物または他の絶縁体で充填され浅いトレンチ分離構造2620を形成し、さらに表面は窒化物2560まで研磨される。図27のA-Cに示すように、レジスト2710は塗布され、好ましくは位相シフト・マスクを用いてパターン化され、ピラー/導電チャネル形状の位置にあたるソース・イオン注入2530まで、狭トレンチ2720の選択エッチングを可能にする。レジストは剥離され、かつこのトレンチは図28のA-Cで示されるように、次にCVDによるTEOS2730で充填され、窒化物2560のレベルまで研磨され、残存する表面窒化物2560は酸化物に対する選択的なウェット・エッチングによって除去される。パッド酸化物2550は次にイオン注入されたソース領域2530までシリコンに対して選択的な短時間のエッチングによって除去され、ほとんどのより厚いTEOSと酸化物の浅いトレンチ分離構造（STI）2620をそのまま（たとえば高さ/厚みを減少されて）を残し、その結果図28のA-Cに示す構造になる。

#### 【0038】

図29のA-Cに示すように、シリコンは浅いトレンチ分離構造2620に対して選択的に異方的にエッチングされ、シリコン・ピラー2910を形成する。これは好ましくは、時限エッチングとして実施され、下部ドレイン拡散領域2520、2520'の上に位置するトレンチ2930の底部に配置される、元のウエハのシリコン層の部分2920を残す。図30のA-Cに示すように、窒化物層3010は次に堆積され、パターン化されたレジスト3020に基づいて等方性エッチングによってパターン化され、浅いトレンチ分離構造2620の端を覆い、さらに部分的に3020でトレンチ底部2920を覆って延長する。（この構造は実質的に図10のA-Cとトレンチ外での窒化物のカバレッジの程度が違うことを除いて、同じであるとわかるであろう。このように、図25のA-C乃至図30のA-Cのプロセスは図1のA-C乃至図10のA-Cの異なる窒化物のパターニ

10

20

30

40

50

ングを用いる置き換えであり、その逆も同様である。)

【0039】

図31のA-Cに示すように、付加的な窒化物は異方的に堆積され、かつ等方的にエッチングされ、その結果堆積された窒化物はシリコン・ピラーに隣接するトレンチ側壁から剥離される。窒化物層3010は、側壁上でほぼ元の厚みに戻るが、一方窒化物スペーサ3110はトレンチ底部に備えられ、ドレインからゲート構造(図32のA-Cに示すように形成されるべき)の分離を提供する。窒化物層は研磨によって表面から除去される。犠牲酸化物3210はシリコン・ピラー表面上で成長し(酸化物が除去されたとき表面を洗浄するために)、さらに角度のあるチャネル・イオン注入3205を行うことができ、点線3215で示すように、シリコン・ピラー2910の側面上に表面不純物を与える。ピラーはエピタキシャル成長ではなくエッチングによって形成されるので、このイオン注入は、犠牲酸化物で調整され、ピラーに取り込まれる不純物はチャネルをプリ・ドープするために用いられる。同様なプロセスが第1の実施形態の対応する工程で用いられる。犠牲酸化物3210は次に剥離される。ゲート絶縁膜(酸化物)3220は次に、除去された犠牲酸化物の位置に好ましくは酸素含有の雰囲気中で短時間の熱処理によって形成され、さらにトレンチは導電ゲート電極3230で再充填され、その結果、図32のA-Cで示す構造になる。

10

【0040】

ゲート電極が次に選択エッチングによって3310でくぼみをつけられ、酸化物が堆積され、エッチングされ、図33のA-Cに示すように側壁スペーサ3320を形成する。STIに隣接する側壁スペーサは、図34のA-Cに示すように、リソグラフィで画定されるキャップ・マスク3410に基づいて選択エッチングによって除去される。このプロセスは図16のA-Cに関連して上述したプロセスと類似している。レジスト・マスク3410は次に剥離される。図35のA-Cに示すように、ゲート電極3230の上のくぼみは窒化物層3510で充填され、さらに研磨される。イオン注入または拡散された不純物領域2520、2520'および2530は次に熱処理によって、3520、3530でシリコン・ピラー2910の導電チャネルまで拡張され、一方ピラー内のイオン注入された不純物3215はピラー内部で拡散される。注目すべきは、このピラー内部での拡散において、ゲート・ポリシリコンであるゲート電極3230は、ゲート酸化物であるゲート絶縁膜3220によって下部ドレイン拡散領域3530(2520、2520')から絶縁され、さらに側壁スペーサ3320(およびゲート酸化物3220)によって上部ソース拡散領域3520(2530)から絶縁される。

20

30

【0041】

ソース、ゲートおよびドレイン・コンタクト開口部3620、3720および3820は図36のA-C、図37のA-Cおよび図38のA-Cに示すように、それぞれレジスト3610、3710および3810を用いて、図22のA-C、図23のA-Cおよび図24のA-Cと関連させて、上記で詳細に議論した方法と同様の方法で形成される。さらに、ドレイン・コンタクト開口部は、STI構造の酸化物の選択エッチングによって形成され、STI材料との界面で窒化物層3010の側壁に続く。また、本発明の第1の実施形態を用いて、ゲートとソースのコンタクト開口部は窒化物または酸化物の選択エッチングによって分離されたままであり得る。さらにトランジスタが位相シフト・マスク・パターンニングまたは他のリソグラフィに基づくプロセス技術によって決定される極端に小さいサイズであってもリソグラフィによるパターンニングの位置合わせ精度は問題にならない。

40

【0042】

代わって、たいていの場合、2つの隣接するトランジスタまたは(たとえばインバータ回のための出力接続として)トランジスタ・ドレインと隣接するデバイスの他のいかなるタブの電極のドレインへの単一のコンタクトを形成することが望ましい。そのような場合、浅いトレンチ分離は、トランジスタと別のトランジスタまたは他のデバイス(いかなる場合も窒化物層3010の側壁で絶縁される)は必要とされず、さらにSTI構造の全幅はエッチングされ、くぼみは図39のAとBに示すようにタングステンのような導体3910

50

で充填される。上述したコンタクト接続の全ては本発明の第 1 の実施形態のように互いに隣接しない。

【 0 0 4 3 】

前述の観点で、本発明はデュアル（2重）で潜在的に独立ゲートを有し、かつウエハの極めて小さい領域内に形成できる縦型電界効果トランジスタ構造を提供することが理解できる。ソース、ゲートおよびドレイン接続は確実に形成され、さらに比較的大きなリソグラフィ露光の位置合わせの許容範囲を有し、高い製造歩留まりを与える。

【 0 0 4 4 】

本発明は、部分的に置き換え可能な 2 つの好適な実施形態の観点から記述してきたが、当業者であれば本発明は特許請求の範囲に精神および範囲内で変形して実施できることは理解できるであろう。

【産業上の利用可能性】

【 0 0 4 5 】

本発明は半導体デバイスの製造、さらに具体的には、極めて高密度の半導体集積回路に適用できる。

【図面の簡単な説明】

【 0 0 4 6 】

【図 1】本発明による電界効果トランジスタ形成の初期段階の平面図と断面図である。

【図 2】本発明の第 1 の実施形態によるトランジスタ形成の中間段階での平面図と断面図である。

【図 3】本発明の第 1 の実施形態によるトランジスタ形成の中間段階での平面図と断面図である。

【図 4】本発明の第 1 の実施形態によるトランジスタ形成の中間段階での平面図と断面図である。

【図 5】本発明の第 1 の実施形態によるトランジスタ形成の中間段階での平面図と断面図である。

【図 6】本発明の第 1 の実施形態によるトランジスタ形成の中間段階での平面図と断面図である。

【図 7】本発明の第 1 の実施形態によるトランジスタ形成の中間段階での平面図と断面図である。

【図 8】本発明の第 1 の実施形態によるトランジスタ形成の中間段階での平面図と断面図である。

【図 9】本発明の第 1 の実施形態によるトランジスタ形成の中間段階での平面図と断面図である。

【図 10】本発明の第 1 の実施形態によるトランジスタ形成の中間段階での平面図と断面図である。

【図 11】本発明の第 1 の実施形態によるトランジスタ形成の中間段階での平面図と断面図である。

【図 12】本発明の第 1 の実施形態によるトランジスタ形成の中間段階での平面図と断面図である。

【図 13】本発明の第 1 の実施形態によるトランジスタ形成の中間段階での平面図と断面図である。

【図 14】本発明の第 1 の実施形態によるトランジスタ形成の中間段階での平面図と断面図である。

【図 15】本発明の第 1 の実施形態によるトランジスタ形成の中間段階での平面図と断面図である。

【図 16】本発明の第 1 の実施形態によるトランジスタ形成の中間段階での平面図と断面図である。

【図 17】本発明の第 1 の実施形態によるトランジスタ形成の中間段階での平面図と

10

20

30

40

50

断面図である。

【図 18】本発明の第 1 の実施形態によるトランジスタ形成の中間段階での平面図と断面図である。

【図 19】本発明の第 1 の実施形態によるトランジスタ形成の中間段階での平面図と断面図である。

【図 20】本発明の第 1 の実施形態によるトランジスタ形成の中間段階での平面図と断面図である。

【図 21】本発明の第 1 の実施形態によるトランジスタ形成の中間段階での平面図と断面図である。

【図 22】本発明の第 1 の実施形態によるトランジスタ形成の中間段階での平面図と断面図である。

10

【図 23】本発明の第 1 の実施形態によるトランジスタ形成の中間段階での平面図と断面図である。

【図 24】本発明の第 1 の実施形態によるトランジスタ形成の中間段階での平面図と断面図である。

【図 25】本発明の第 2 の実施形態によるトランジスタ形成の中間段階での平面図と断面図である。

【図 26】本発明の第 2 の実施形態によるトランジスタ形成の中間段階での平面図と断面図である。

【図 27】本発明の第 2 の実施形態によるトランジスタ形成の中間段階での平面図と断面図である。

20

【図 28】本発明の第 2 の実施形態によるトランジスタ形成の中間段階での平面図と断面図である。

【図 29】本発明の第 2 の実施形態によるトランジスタ形成の中間段階での平面図と断面図である。

【図 30】本発明の第 2 の実施形態によるトランジスタ形成の中間段階での平面図と断面図である。

【図 31】本発明の第 2 の実施形態によるトランジスタ形成の中間段階での平面図と断面図である。

【図 32】本発明の第 2 の実施形態によるトランジスタ形成の中間段階での平面図と断面図である。

30

【図 33】本発明の第 2 の実施形態によるトランジスタ形成の中間段階での平面図と断面図である。

【図 34】本発明の第 2 の実施形態によるトランジスタ形成の中間段階での平面図と断面図である。

【図 35】本発明の第 2 の実施形態によるトランジスタ形成の中間段階での平面図と断面図である。

【図 36】本発明の第 2 の実施形態によるトランジスタ形成の中間段階での平面図と断面図である。

【図 37】本発明の第 2 の実施形態によるトランジスタ形成の中間段階での平面図と断面図である。

40

【図 38】本発明の第 2 の実施形態によるトランジスタ形成の中間段階での平面図と断面図である。

【図 39】本発明の第 2 の実施形態によるトランジスタ形成の中間段階での平面図と断面図である。

【符号の説明】

【0047】

100 ウエハ

110 スクリーン酸化物

120 レジスト

50

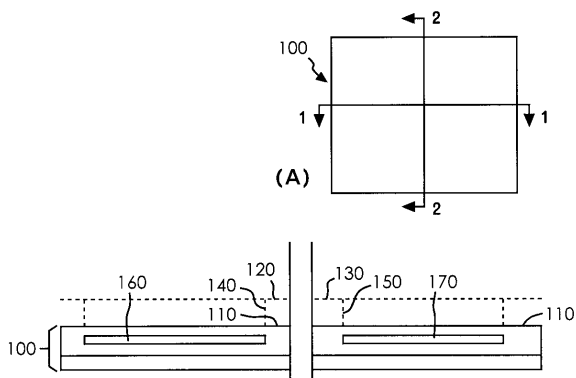
1 3 0	レジスト層	
1 6 0	埋込みイオン注入領域	
1 7 0	埋込み領域	
2 1 0	酸化ゲルマニウム	
2 2 0	窒化シリコン層	
3 1 0	レジスト	
3 3 0	トランジスタ領域	
4 1 0	<u>浅いトレンチ分離構造</u>	
4 2 0	研磨止め表面	
5 1 0	レジスト	10
5 2 0	線形パターン	
6 1 0	ピラーの型	
6 2 0	シリコン・ウエハ表面	
7 1 0	シリコン・ピラー	
8 1 0	キャップ酸化物	
9 1 0	共形層、窒化物層	
9 2 0	レジスト	
9 2 5	窒化物	
1 0 1 0	開口部（凹部）	
1 1 1 0	ホウケイ酸ガラス（BSG、またはASG）	20
1 1 2 0	<u>SiO<sub>2</sub>スペーサ</u>	
1 1 3 0	ブロックアウト・マスク、溶解層、レジスト	
1 1 4 0、1 1 5 0	ブロッキング層	
1 2 1 0	アルセノシリケート・ガラス	
1 2 3 0、1 2 4 0	層	
1 2 5 0	レジスト	
1 4 1 0	ドーパント領域（ <u>ドレイン拡散領域</u> ）	
1 4 2 0	ゲート絶縁膜	
1 4 3 0	<u>トレンチ</u>	
1 4 4 0	ゲート電極	30
1 5 2 0	側壁スペーサ	
1 6 1 0	マスク	
1 7 1 0	<u>窒化物層</u>	
1 8 1 0	レジスト	
1 9 2 0	イオン注入	
2 0 1 0	ドーパされた領域、イオン注入領域（ <u>ソース拡散領域</u> ）	
2 0 2 0	酸化物キャップ、TEOS	
2 1 1 0	窒化物エッチング止め層	
2 1 2 0	層間絶縁層	
2 3 1 0	<u>ゲート・コンタクト開口部</u>	40
2 3 3 0	ソース・コンタクト開口部	
2 5 1 0	能動シリコン層	
2 5 2 0	ドレイン（下部）拡散領域	
2 5 3 0	PMOSソース <u>拡散領域</u>	
2 5 4 0	NMOSソース <u>拡散領域</u>	
2 5 5 0	パッド酸化物層	
2 5 6 0	窒化物層	
2 6 1 0	浅いトレンチ領域	
2 6 2 0	<u>浅いトレンチ分離構造</u>	
2 7 1 0	レジスト	50

- 2 7 2 0 トレンチ
- 2 7 3 0 T E O S
- 2 9 1 0 シリコン・ピラー
- 2 9 2 0 トレンチ底部、シリコン層
- 2 9 3 0 トレンチ
- 3 0 1 0 窒化物層
- 3 0 2 0 レジスト
- 3 1 1 0 窒化物スペーサ
- 3 2 0 5 チャンネル・イオン注入
- 3 2 1 0 犠牲酸化物
- 3 2 1 5 イオン注入された不純物
- 3 2 2 0 ゲート絶縁膜（酸化物）
- 3 2 3 0 ゲート電極、ゲート・ポリシリコン
- 3 3 2 0 側壁スペーサ
- 3 4 1 0 キャップ・マスク
- 3 5 1 0 窒化物層
- 3 5 2 0 ソース（上部）拡散領域
- 3 5 3 0 ドレイン（下部）拡散領域
- 3 6 1 0、3 7 1 0、3 8 1 0 レジスト
- 3 6 2 0 ソース・コンタクト開口部
- 3 7 2 0 ゲート・コンタクト開口部
- 3 8 2 0 ドレイン・コンタクト開口部

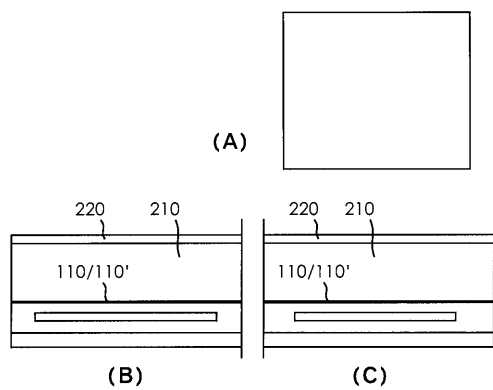
10

20

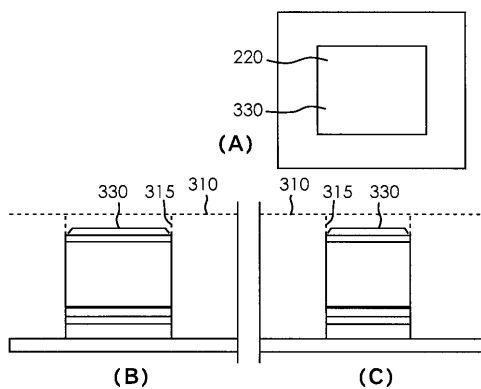
【図 1】



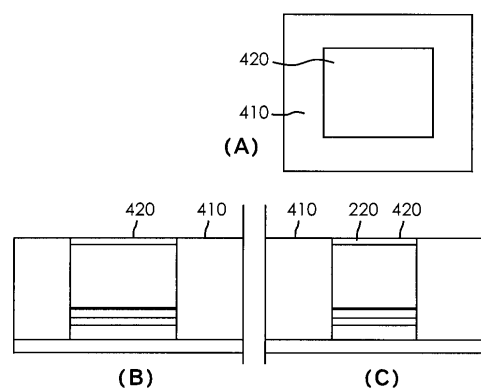
【図 2】



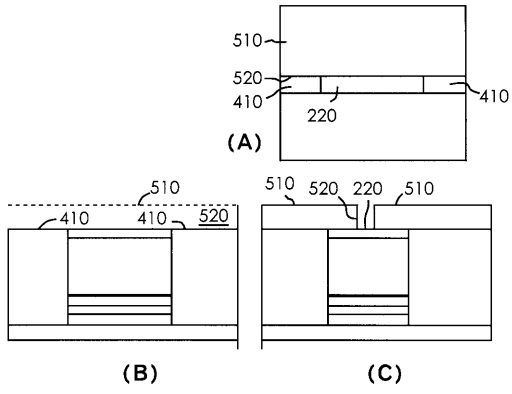
【図 3】



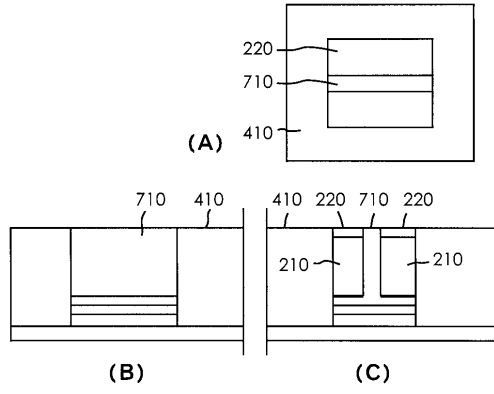
【図 4】



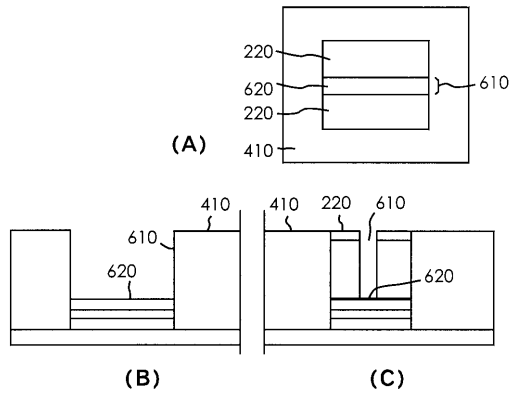
【図5】



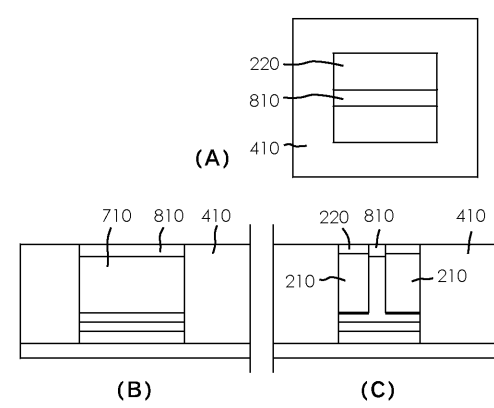
【図7】



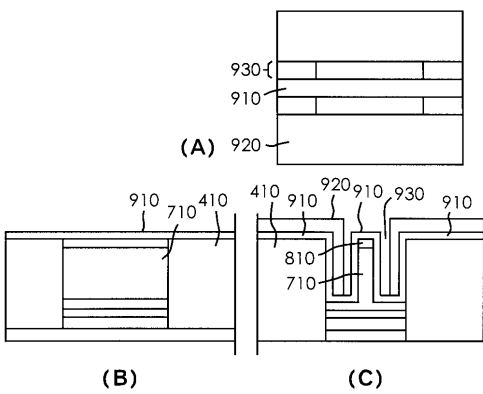
【図6】



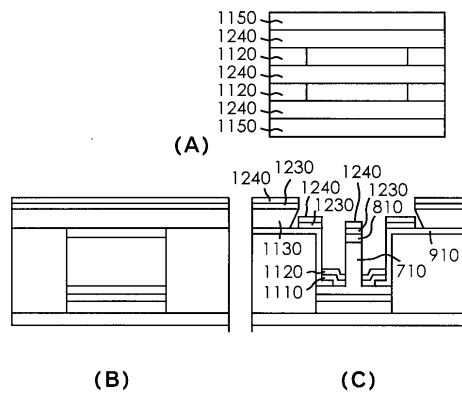
【図8】



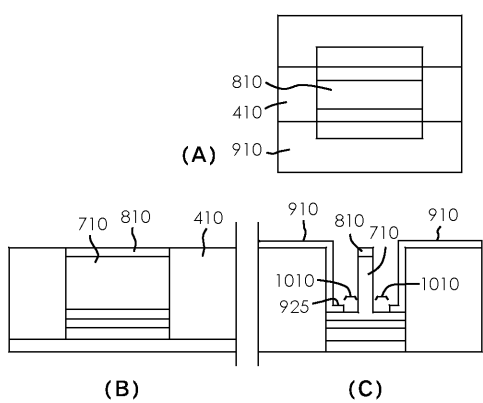
【図9】



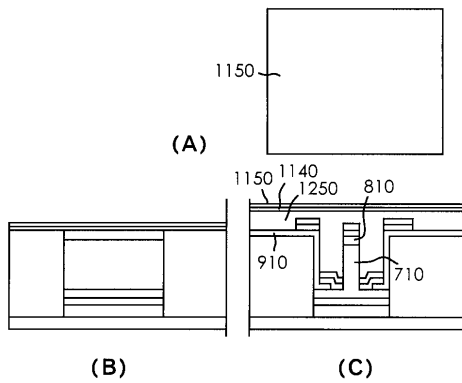
【図11】



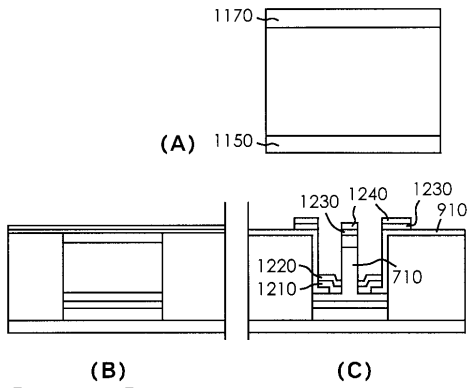
【図10】



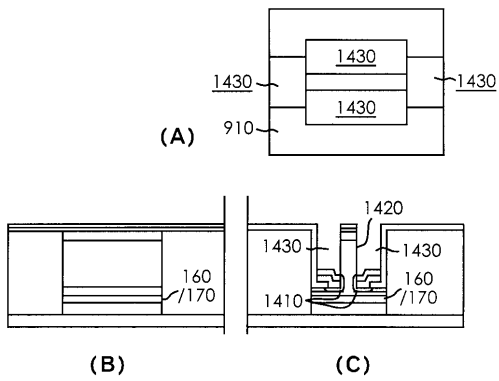
【図12】



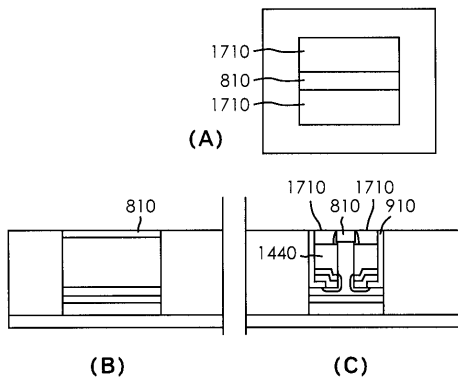
【 図 1 3 】



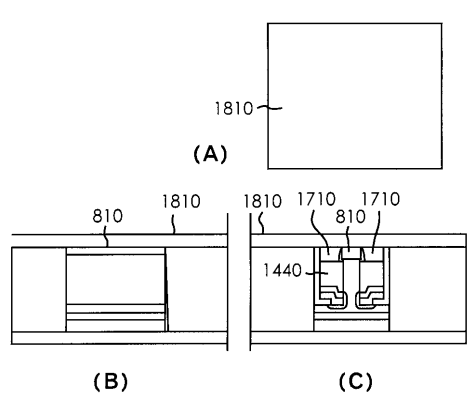
【 図 1 4 】



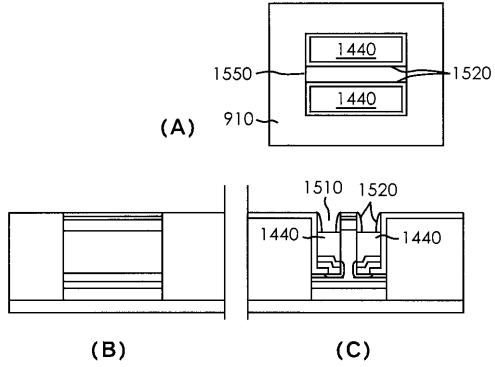
【 図 1 7 】



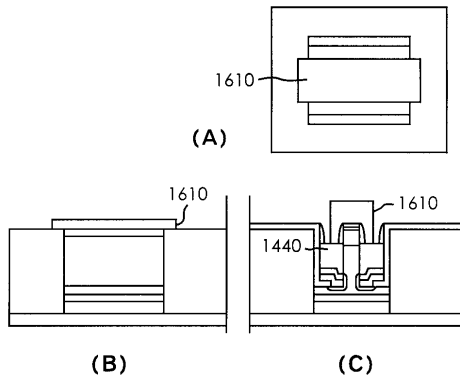
【 図 1 8 】



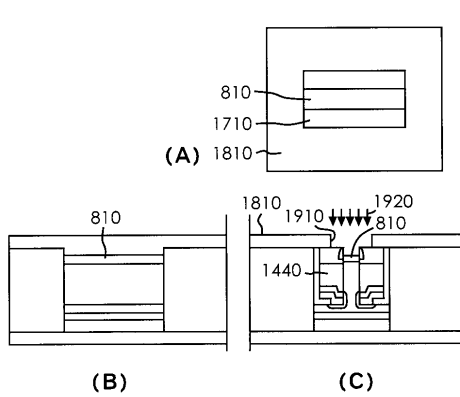
【 図 1 5 】



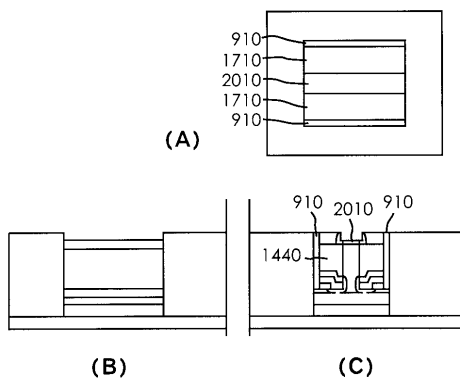
【 図 1 6 】



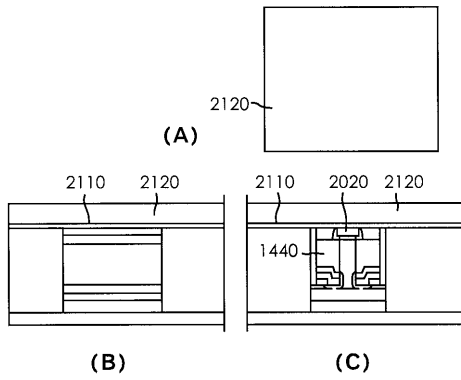
【 図 1 9 】



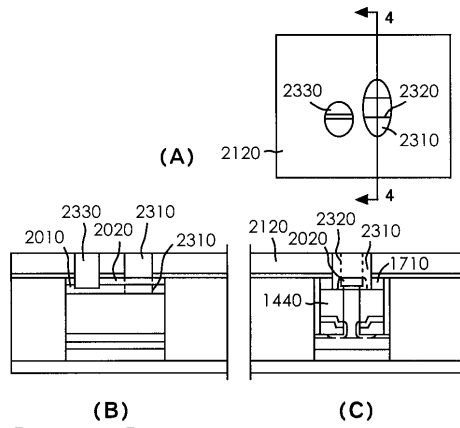
【 図 2 0 】



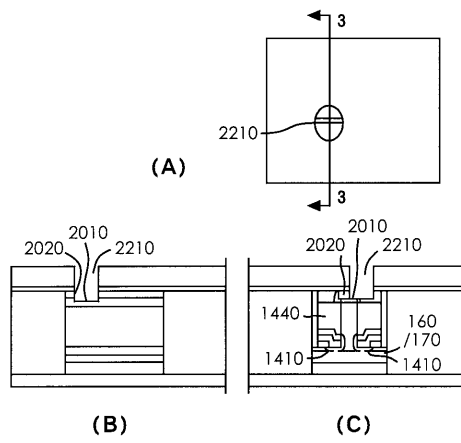
【 図 2 1 】



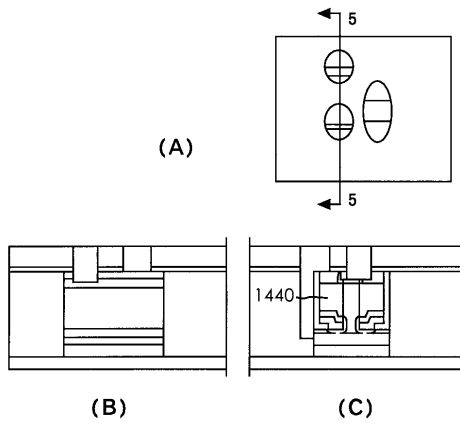
【 図 2 3 】



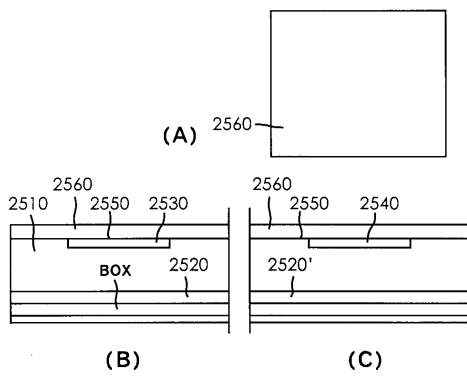
【 図 2 2 】



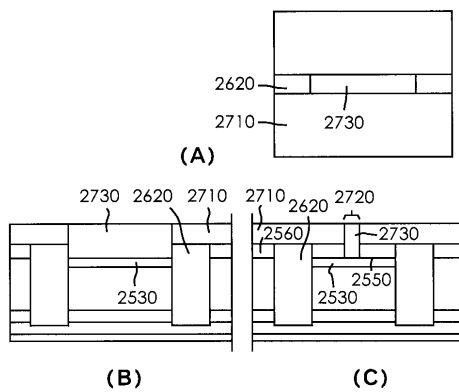
【 図 2 4 】



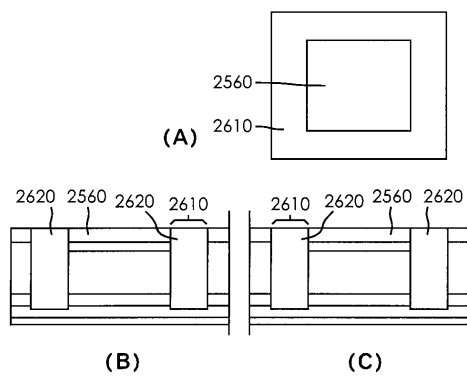
【 図 2 5 】



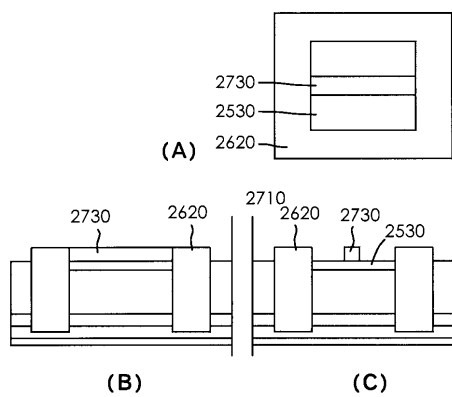
【 図 2 7 】



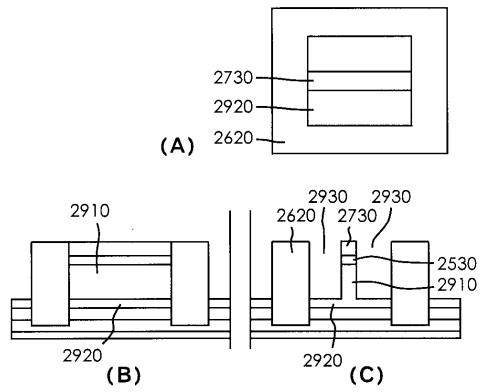
【 図 2 6 】



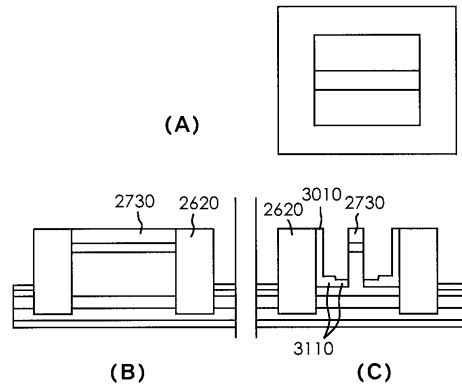
【 図 2 8 】



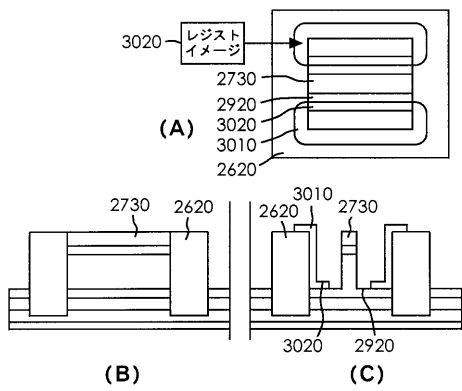
【図 29】



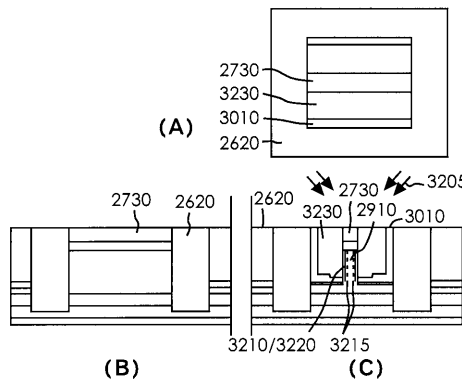
【図 31】



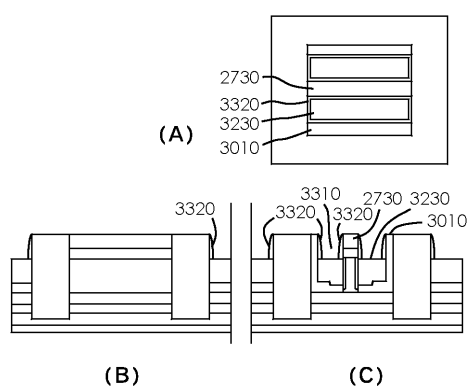
【図 30】



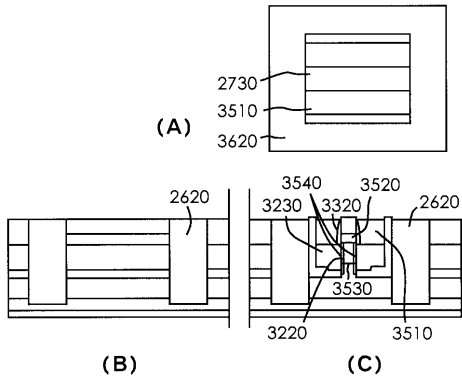
【図 32】



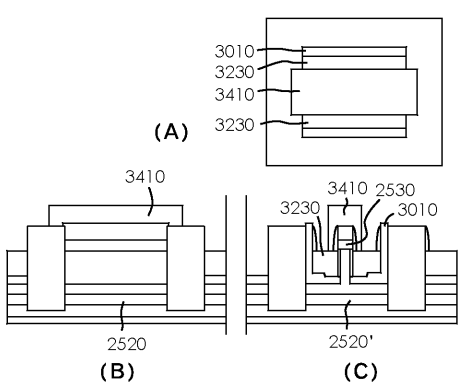
【図 33】



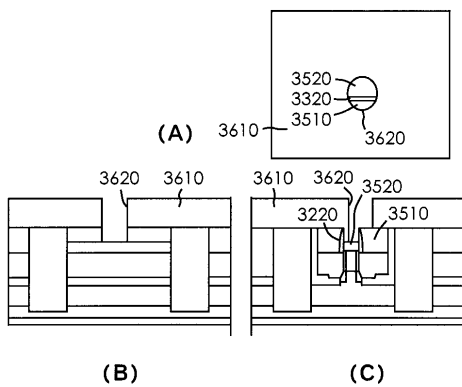
【図 35】



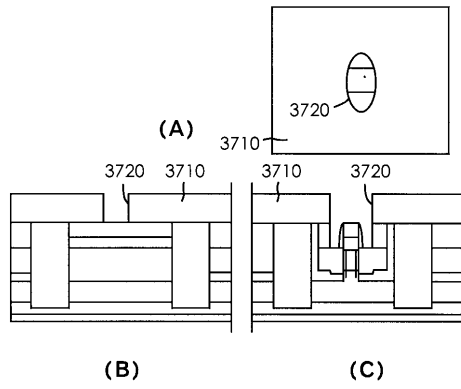
【図 34】



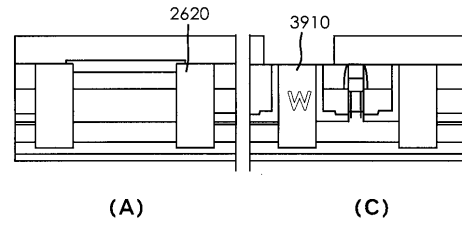
【図 36】



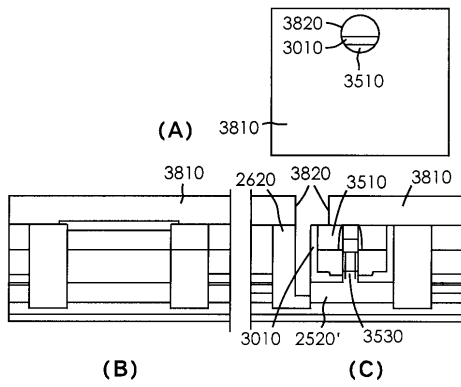
【 図 3 7 】



【 図 3 9 】



【 図 3 8 】



## フロントページの続き

- (74)代理人 100086243  
弁理士 坂口 博
- (72)発明者 フルカワ、トシハル  
アメリカ合衆国05452 バーモント州エセックス・ジャンクション オークウッド・レーン  
9
- (72)発明者 ハケイ、マーク、シー  
アメリカ合衆国05454 バーモント州フェアファックス ベローズ・ストリート 15
- (72)発明者 ホルムズ、スティーヴン、ジェイ  
アメリカ合衆国05468 バーモント州ミルトン デヴィノ・ロード 127
- (72)発明者 ホラク、デーヴィッド、ヴィー  
アメリカ合衆国05452 バーモント州エセックス・ジャンクション ブライアー・レーン 4  
7
- (72)発明者 リーズ、ジェームズ、エム  
アメリカ合衆国05403 バーモント州サウス・バーリントン パトラー・ドライブ 37
- (72)発明者 マー、ウィリアム、エイチ、エル  
アメリカ合衆国12524 ニューヨーク州フィッシュキル カーソン・テラス 11
- (72)発明者 ラビドウクス、ポール、エー  
アメリカ合衆国05404 バーモント州ウィヌースキ ディオン・ストリート 95

審査官 河本 充雄

- (56)参考文献 特開平10-290007(JP,A)  
特開平07-321332(JP,A)  
米国特許第05293053(US,A)

## (58)調査した分野(Int.Cl., DB名)

H01L 29/78  
H01L 29/786  
H01L 21/336