

參、發明人：(共 3 人)

姓 名：(中文/英文)

1. 蘇珊 H. 多尼

SUSAN H. DOWNEY

2. 詹姆士 W. 米勒

JAMES W. MILLER

3. 喬佛瑞 哈爾

GEOFFREY HALL

住居所地址：(中文/英文)

1. 美國德州奧斯汀市北衛斯頓路 205 號

205 NORTH WESTON LANE, AUSTIN, TX 78733, U.S.A.

2. 美國德州奧斯汀市西 33 街 209 號

209 WEST 33RD STREET, AUSTIN, TX 78705, U.S.A.

3. 美國德州奧斯汀市聖地牙哥路 9109 號

9109 SAN DIEGO ROAD, AUSTIN, TX 78737, U.S.A.

國 籍：(中文/英文)

1.~3. 皆美國 U.S.A.

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間，其日期為： 年 月 日。

☒ 本案申請前已向下列國家（地區）申請專利：

1.美國；2002年03月13日；10/097,059

2.

3.

4.

5.

☒ 主張國際優先權(專利法第二十四條)：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1.美國；2002年03月13日；10/097,059

2.

3.

4.

5.

☐ 主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

## 玖、發明說明：

### 【發明所屬之技術領域】

本申請案已於2002年3月13日提出美國專利申請，申請案號為10/097,059。

本發明一般係關於半導體裝置，具體而言，係關於具有鐳線墊之半導體裝置及其方法。

### 【先前技術】

在積體電路製造過程中，重要的一點係積體電路晶粒要盡可能地小，從而可減少成本。導線鐳接方法係廣泛應用於連接具有電路之半導體晶粒與組件封裝上之接針。一鐳墊是該積體電路表面一具導電之金屬區域。雖然技術的進步使積體電路的尺寸大為減小，但是鐳線墊的尺寸卻沒能成比例地快速縮小。因此，鐳墊佔據著電路總面積中較大的百分比。同時這也減少了積體電路上金屬層中電源匯流排的可用佈線區域，該等鐳墊係由該金屬層所形成。

在積體電路中，目前一般用銅作互連。然而，由於導線與銅鐳接會產生一些問題，因此，一種以採用銅互連技術的鐳線墊，通常利用一鋁層來罩住所曝露的銅鐳線墊。增加該鋁罩後即可利用鋁互連技術所用的相同導線鐳接工具及程序。

圖1之斷面圖係說明根據先前技術之具有鐳線墊13之一半導體裝置10。半導體裝置10包含一矽基板19、一互連區域20、一鈍化層15及一鐳線墊堆疊13。有效電路在矽基板19中形成。互連區域20包括銅層21、22及23，且有層間

通道層在該銅層21、22及23與該基板19之有效電路之間提供電連接。在多層金屬銅技術中，該鐳線墊堆疊13之銅部分12係由該銅互連區域20之最終、最後或頂層21所構成。一寬度及高度皆為50至100微米( $\mu\text{m}$ )的較大開口，在該最終積體電路鈍化層15中切開，以曝露該銅鐳墊12。然後，一鋁罩14在該銅鐳墊12上沈積，圍繞該鐳線區域之邊緣逐步提高至鈍化層15上。

如上所述，以一晶片比例來衡量，鐳墊是相當大的。在一典型晶片設計中，I/O(輸入/輸出)鐳墊單元係置於晶片邊緣的一環中。鐳墊通常覆蓋I/O環面積的一半到四分之一。大型金屬電源匯流排通常亦佈線於該I/O環內。在許多的晶片設計中，這些匯流排中的電阻可能限制電子性能。解決該匯流排中電阻問題的一種方法為：在流程中增加一額外的銅金屬層，即在匯流排金屬堆疊中另增一層，但此舉會增加成本。或者，亦可增加I/O環面積，以便為佈線電源匯流排提供更多區域，但這亦會增加成本。

因此，鐳線墊、電源匯流排及接地匯流排皆需要不增加成本而減少上述問題的嚴重性。

#### 【發明內容】

一般而言，本發明提供一種具有鐳墊的積體電路。該鐳墊係直接形成於有效電路之鈍化層上及/或該積體電路之電子互連層上。在所述的具體實施例中，該鐳墊係由鋁製成，而該等電子互連層則係由銅製成。本發明消除了圖1所示之鐳線墊結構中大部分的銅。一完全標準尺寸之鋁鐳墊係

直接沈積在該鈍化層之上方。僅當需要向該鈍化層下面之晶片電路提供電連接之時，才在該鈍化層裏切開一或多個小開口。在沈積該鋁罩期間，該等鈍化開口係填充了鋁，形成通道，通向下方一或多個最終金屬層之銅互連。應注意該最終金屬層之銅互連可能相當小，僅在需要時才放在那裏來促進有效互連。該鋁鐸線墊下方之最終金屬銅層的大部分區域現在可用來放置電源匯流排或其他互連，並且可與上方之鋁鐸線墊電絕緣。

在所述的具體實施例中，該用於鐸線之鋁罩係一標準製程之一部分。因此，本發明之益處在於有效提供一額外的銅金屬層，限於該鐸線墊正下方之區域，而無需增加成本。由於鐸線墊可能會很大，故可能對I/O環狀佈置區域及/或電子性能造成顯著影響。

該鐸線墊下方之區域可用於橫跨該積體電路傳送導電源、接地或信號。而且，在該鐸線墊的下方佈線的最終金屬層銅導體可與該鐸線墊無關，並獨立於該鐸線墊。此外，利用該鐸線墊下方的區域，該半導體晶粒之表面積即可縮小。

#### 【實施方式】

圖2之斷面圖為根據本發明的另一項具體實施例之一半導體裝置50。應注意，該圖式未按比例繪製。半導體裝置50具有：一邊緣或周邊25、鈍化層18、互連區域24、基板或有效區域26，以及鐸墊53。應注意，相較於圖1所示之先前技術鋁罩銅鐸墊，圖2所示之鐸墊僅用鋁製成。從鐸墊53

至最終金屬層28之最終金屬部分51及52的電路連接，係由兩個填滿鋁之通道所提供，該等通道係穿過鈍化層18內之小開口而形成。應注意該等鋁鐳墊53內的凹陷部分，乃係鋁保形地填充該等鈍化層小開口的地方。鈍化層18覆蓋該鋁鐳墊53下方之鐳線區域的一大部分，並使銅金屬層28的部分54與該鋁鐳墊53電絕緣。該等部分54係金屬導體之橫斷面，該等金屬導體係用於在鐳線墊53下方佈置電源、接地、或發送其他信號的線路。該等部分54可穿過延著邊緣25所形成的複數個相鄰鐳線墊下方的半導體裝置50之大部分。該等部分54，可連接也可不連接於鐳線墊53。最終金屬部分51及52可以是任何必要或需要的尺寸或形狀，以便為鋁鐳墊53及下方之互連提供一電連接。同樣地，在其他具體實施例中，可能有兩個以上或以下之最終金屬部分51及52，用以電連接該鐳墊與該等互連層28、30及32。

在一項較佳具體實施例中，一鈍化開口之最小高度或寬度為3  $\mu\text{m}$ 。可使用最小尺寸為3x3  $\mu\text{m}$ 之方形開口以及最大達3x50  $\mu\text{m}$ 之矩形開口。

在一項具體實施例中，鐳墊53係放置在較靠近半導體裝置50之邊緣25的位置。類似於鐳墊53之複數個鐳線墊(未顯示)通常延著邊緣25配置，用於為半導體裝置50提供外部連接。同樣地，若需要，可在鋁鐳墊53與最終金屬部分51及52之間使用一障蔽層(未顯示)。該障蔽層可用鈹製成。但是在其他具體實施例中，該障蔽層可能係任何材料製成，用於在不同的相鄰材料之間形成一擴散障壁及黏結層。擴散

及障蔽材料之實例為氮化鈮、鈦、氮化鈦、鎳、鎢、鎢鈦合金或氮化矽鈮。

鐳墊53可用鋁製成，而該等最終金屬層部分51及52則可用銅製成。然而，熟悉技術人士應明白鐳墊53可能為含鋁之合金，而該等最終金屬層部分51及52則可能為含銅合金。鐳墊53係由一層較厚的鋁所構成。鋁鐳墊53之厚度可在0.5到2.0微米之間。互連區域24包含金屬層28、30及32，用於在半導體裝置20內的各種組件之間佈置電源、接地、信號及其它線路。應注意，該等金屬層28、30及32的各層係使用一絕緣材料相互分開。如上所述，最終金屬層28包含鐳線墊53正下方之導體，該等導體同樣可用於佈置電源、接地及發送其他信號的線路。

半導體裝置50接受傳統製造技術的處理，該等技術係用於形成基板或有效區域26中的電子電路。該等電路可用於各種積體電路應用，如通訊、運輸、一般計算或娛樂。在所說明的具體實施例中，金屬層28、30及32由導電材料製成，例如鋁、銅或金。在其他具體實施例中，金屬層可能會更多也可能會更少。

直接位於鐳墊53下方之該等互連層28、30及32可用於佈置一或多個電導體54，以跨越該積體電路發送電源、接地及信號，從而使得該半導體裝置的整體尺寸縮小。同樣地，電源及接地線路層與該等鐳墊未直接連接，就能在該等鐳墊下方環繞該積體電路，從而可在減小電源匯流排之電阻的同時又不用增加該積體電路之尺寸或增加製造複雜性

。該鐳線放置於鐳墊53上的實際區域可能位於一鈍化開口正上方。或者，該鐳墊53可能延伸超出該鐳線所在區域之外，用來為遠離鐳線區域之最終層部分51或52提供連接。此外，鐳線墊53能放置在積體電路之任何區域，甚至放置在遠離相關I/O電路的位置，因而可為積體電路設計及封裝提供最大的靈活性。當缺少了上面的一層鈍化層時，該鋁質鐳線層亦可當作一互連層，以將(例如)該等鐳墊電連接至其他電路部分。此外，因為最終金屬層部分51及52並非用於探針測試或導線鐳接，故該最終金屬層部分51及52之尺寸及形狀，鈍化層18內開口之尺寸及形狀，都僅受限於為鐳墊53提供電連接所需要的區域。另外，因為該半導體裝置可做得更小，故每個晶圓上晶粒的數目可更多，從而降低成本。

於前面的說明書中，已參考特定具體實施例來說明本發明。然而熟悉技術人士應明白，可對本發明進行各種修改及變更，而不致脫離以下申請專利範圍所提出的本發明之範疇。因此，說明書暨附圖應視為解說，而不應視為限制，並且所有此類修改皆屬本發明範疇內。

關於特定具體實施例的優勢、其他優點及問題解決方案已如上述。但是，產生或彰顯任何優勢、優點或解決方案的優勢、優點、問題解決方案及任何元件，均不應視為任何或所有申請專利範圍的關鍵、必要或基本功能或元件。本文中所使用的術語「包括」、「包含」或其任何其他變化，都是用來涵蓋非專有內含項，使得包括元件清單的程序、方法、物品

或裝置，不僅包括該等元件，而且還包括未明確列出或此類程序、方法、物品或裝置原有的其他元件。

## 【圖式簡單說明】

圖1之斷面圖係說明根據先前技術之具有鐳線墊之半導體裝置。

圖2之斷面圖係說明根據本發明之具有鐳線墊之半導體裝置。

## 【圖式代表符號說明】

|    |       |
|----|-------|
| 10 | 半導體裝置 |
| 12 | 銅鐳墊   |
| 13 | 鐳線墊   |
| 14 | 鋁罩    |
| 15 | 鈍化層   |
| 18 | 鈍化層   |
| 19 | 矽基板   |
| 20 | 互連區域  |
| 21 | 銅層    |
| 22 | 銅層    |
| 23 | 銅層    |
| 24 | 互連區域  |
| 25 | 邊緣    |
| 26 | 有效電路  |
| 28 | 金屬層   |
| 30 | 互連層   |

|    |       |
|----|-------|
| 32 | 互連層   |
| 50 | 積體電路  |
| 51 | 金屬層部分 |
| 52 | 金屬層部分 |
| 53 | 鐸線墊   |
| 54 | 電導體   |

### 伍、中文發明摘要：

本發明揭示一種具有一鐳線墊(53)的積體電路(50)。該鐳線墊(53)係形成於有效電路(26)之鈍化層(18)上及/或該積體電路(50)之電互連層(24)上。該鐳線墊(53)係與複數個最終金屬層部分(51、52)連接。該等複數個最終金屬層部分(51、52)係形成於該等互連層(24)之一最終互連層中。在一項具體實施例中，該鐳墊(53)係由鋁製成，而該等最終金屬層鐳墊則係由銅製成。該鐳線墊(53)允許在緊接於該鐳墊(53)之下的一最終金屬層(21)中進行導體佈線，從而可使該半導體晶粒的表面積縮小。

### 陸、英文發明摘要：

An integrated circuit (50) has a wire bond pad (53). The wire bond pad (53) is formed on a passivation layer (18) over active circuitry (26) and/or electrical interconnect layers (24) of the integrated circuit (50). The wire bond pad (53) is connected to a plurality of final metal layer portions (51, 52). The plurality of final metal layer portions (51, 52) are formed in a final interconnect layer of the interconnect layers (24). In one embodiment, the bond pad (53) is formed from aluminum and the final metal layer pads are formed from copper. The wire bond pad (53) allows routing of conductors in a final metal layer (21) directly underlying the bond pad (53), thus allowing the surface area of the semiconductor die to be reduced.

拾壹、圖式：

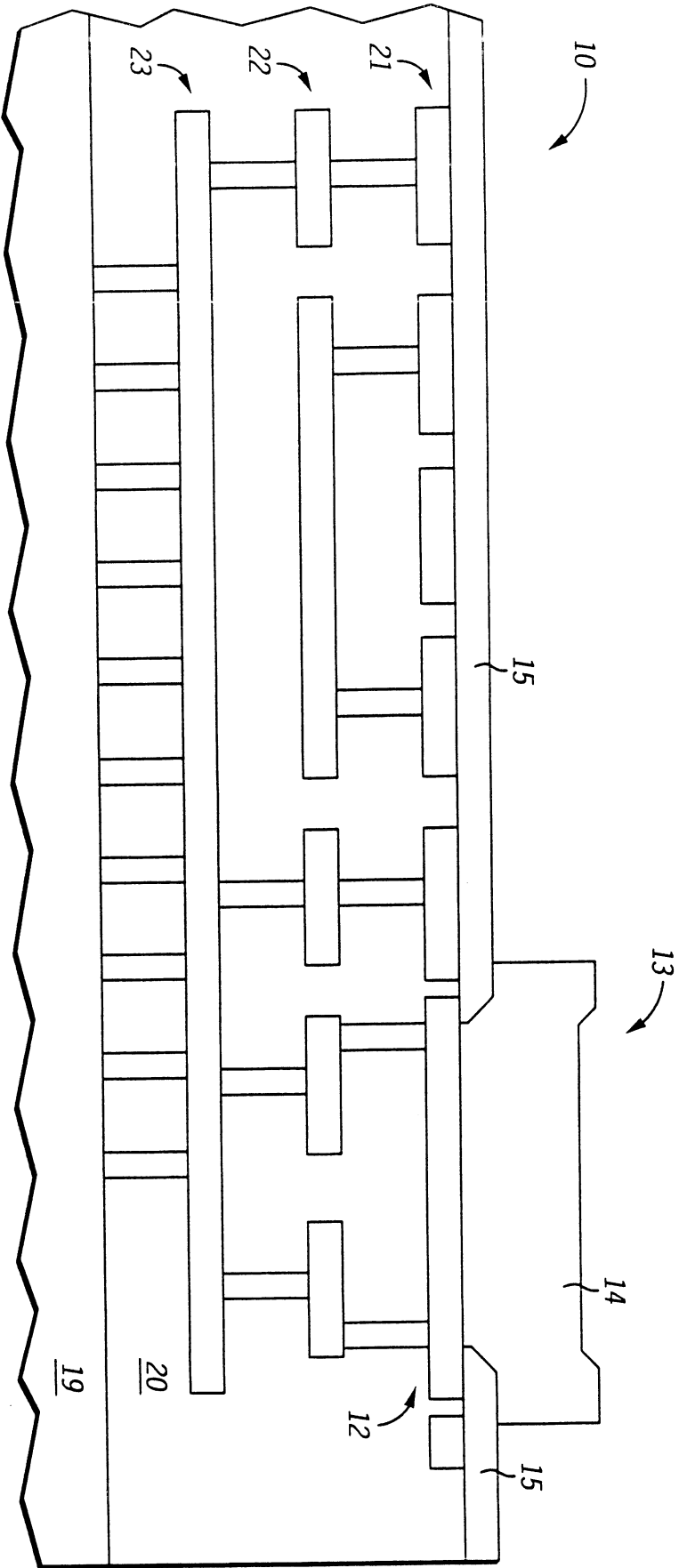


圖 1  
-先前技術-



## 柒、指定代表圖：

(一)本案指定代表圖為：第（ 2 ）圖。

(二)本代表圖之元件代表符號簡單說明：

|    |       |
|----|-------|
| 18 | 鈍化層   |
| 24 | 互連區域  |
| 25 | 邊緣    |
| 26 | 有效電路  |
| 28 | 金屬層   |
| 30 | 互連層   |
| 32 | 互連層   |
| 50 | 積體電路  |
| 51 | 金屬層部分 |
| 52 | 金屬層部分 |
| 53 | 鉅線墊   |
| 54 | 電導體   |

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：



I261906

93年10月7日



# 發明專利說明書

中文說明書替換頁(93 年10月)

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：092105327

※ 申請日期：92-3-12

※IPC 分類：

H01L 23/472

## 壹、發明名稱：(中文/英文)

具有鐸線墊之半導體裝置及其方法

SEMICONDUCTOR DEVICE HAVING A WIRE BOND PAD AND  
METHOD THEREFOR

## 貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商飛思卡爾半導體公司

FREESCALE SEMICONDUCTOR, INC.

代表人：(中文/英文)

珍妮佛 B 伍艾梅特

WUAMETT, JENNIFER B

住居所或營業所地址：(中文/英文)

美國德州奧斯丁市威廉坎嫩道西 6501 號

6501 WILLIAM CANNON DRIVE WEST, AUSTIN, TEXAS 78735,  
U.S.A.

國 籍：(中文/英文)

美國 U.S.A.

## 拾、申請專利範圍：

### 1. 一種積體電路，其包括：

一基板，其具有有效電路；

複數個形成於該基板之上的銅互連層；

一鈍化層，其形成於該等複數個互連層之上；以及

一鋁銲線墊，其形成於該鈍化層之上，並與該等複數個互連層之一互連層之一第一電導體連接，該連接係藉由保形地填充使該第一電導體曝露之該鈍化層中一或多個開口，其中一第二電導體係形成於該複數個銅互連層之一最終銅層中且只藉由該鈍化層與該鋁銲線墊電絕緣，該最終銅層直接位於該鋁銲線墊之下方，且其中該第二電導體未與銲線墊直接連接。

### 2. 一種用以形成一積體電路之方法，其包括以下步驟：

提供一具有有效電路之基板；

在該基板上形成複數個銅互連層；

在該等複數個銅互連層之上沈積一鈍化層；

在該鈍化層中形成一或多個開口，用以曝露該複數個銅互連層之一第一電導體；以及

在該鈍化層中之該一或多個開口之上形成一鋁銲線墊，該鋁銲線墊保形地填充該一或多個開口使該鋁銲線墊電連接至該第一電導體，其中該鋁銲線墊係直接形成於在一第二電導體上，且該第二電導體係形成於該複數個銅互連層之一最終銅層內且只藉由該鈍化層與該鋁銲線墊電絕緣，該最終銅層直接位於該鋁銲線墊的下方

，且其中該電導體未與鐳線墊直接連接。

3. 一種用以形成一積體電路之方法，其包括：

在一基板上方形形成一第一互連層；

在該第一互連層上方方形形成一第二互連層；

在該第二互連層上方沈積一鈍化層；

在該鈍化層中形成一使該第二互連層之一第一電導體曝露之開口；

形成一焊線墊，該焊線墊經由該鈍化層中之該開口電連接至該第一電導體，其中該焊墊延伸至該鈍化層上方且直接位於該第二互連層之一第二電導體上方，其中該第二電導體並非直接附著至該焊線墊而係只藉由該鈍化層與該焊線墊電絕緣；以及

將一焊線附著至該焊線墊。

4. 一種用以形成一積體電路之方法，其包括將一焊線附著至一焊墊，其中該焊墊經由一鈍化層中之一開口電連接至一最終互連層之一第一電導體，其中該焊墊的一部分係延伸在該鈍化層上，而且其中該焊墊係實質上直接位在該最終互連層之一第二電導體的一寬度上方，該第二電導體並非直接連接至該焊墊而係只藉由該鈍化層與該焊墊電絕緣。