

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5031996号
(P5031996)

(45) 発行日 平成24年9月26日 (2012. 9. 26)

(24) 登録日 平成24年7月6日 (2012. 7. 6)

(51) Int. Cl.

F I

H O 1 L 29/78 (2006. 01)

H O 1 L 29/78 3 O 1 S

H O 1 L 21/336 (2006. 01)

H O 1 L 29/78 3 O 1 G

H O 1 L 29/78 3 O 1 X

請求項の数 12 (全 80 頁)

(21) 出願番号	特願2005-91235 (P2005-91235)	(73) 特許権者	308033711
(22) 出願日	平成17年3月28日 (2005. 3. 28)		ラピスセミコンダクタ株式会社
(65) 公開番号	特開2006-278418 (P2006-278418A)		東京都八王子市東浅川町550番地1
(43) 公開日	平成18年10月12日 (2006. 10. 12)	(73) 特許権者	390008855
審査請求日	平成19年8月9日 (2007. 8. 9)		ラピスセミコンダクタ宮崎株式会社
			宮崎県宮崎市清武町木原727番地
		(74) 代理人	100079049
			弁理士 中島 淳
		(74) 代理人	100084995
			弁理士 加藤 和詳
		(74) 代理人	100085279
			弁理士 西元 勝一
		(74) 代理人	100099025
			弁理士 福田 浩志

最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

活性領域を含む半導体基板の上方に、絶縁膜を形成する工程と、

第1の電極と、前記第1の電極と所定の一方向において離間する第2の電極であって、
前記一方向において互いに離間する複数の副電極を含む第2の電極と、を含み、前記第1
の電極と、前記第2の電極の前記第1の電極側の端部との前記一方向における距離は、前
記第2の電極の前記複数の副電極間の距離よりも小さい電極構造体を、前記活性領域の上
方の前記絶縁膜上に形成する工程と、

前記電極構造体をマスクとして使用して、前記活性領域中に不純物のイオン注入を行う
ことで、互いに離間した複数の不純物注入領域を前記活性領域に形成する工程と、

前記複数の不純物注入領域中の不純物の熱拡散処理を行うことで、前記電極構造体の前
記第1の電極より前記一方向とは反対側の方向において外側の前記活性領域中にソース領
域を、前記電極構造体の前記第2の電極より前記一方向において外側の前記活性領域中に
ドレイン領域を、少なくとも前記第1の電極の前記一方向における前記第2の電極側の端
部から前記第2の電極の前記一方向における前記第1の電極とは反対側の端部までの領域
下の前記活性領域中に一体化された不純物拡散領域を、それぞれ形成する工程と、

を含む半導体装置の製造方法。

【請求項2】

前記第1の電極と、前記第2の電極の前記第1の電極側の端部との前記一方向における
距離と、前記第2の電極の前記複数の副電極間の距離とは、前記一方向において、前記第

10

20

1の電極の前記第2の電極側の端部から前記第2の電極の前記一方向における前記第1の電極とは反対側の端部側の前記副電極に向かうにつれて大きくなる請求項1記載の半導体装置の製造方法。

【請求項3】

前記第2の電極は、前記複数の副電極と交差して格子を形成する第2の複数の副電極をさらに備える請求項1または2に記載の半導体装置の製造方法。

【請求項4】

前記電極構造体は、前記第1の電極と前記第2の電極の前記複数の副電極とを接続する接続部をさらに備える請求項1～3のいずれか一項に記載の半導体装置の製造方法。

【請求項5】

前記第2の電極の前記複数の副電極のうち、少なくとも、前記第2の電極の前記一方向における前記第1の電極とは反対側の端部の前記副電極は、フローティング電極であり、前記電極構造体は、前記第2の電極の前記複数の副電極のうちの残りの前記副電極と、前記第1の電極とを接続する接続部をさらに備える請求項1～3のいずれか一項に記載の半導体装置の製造方法。

【請求項6】

前記電極構造体上に、第2の絶縁膜を形成する工程と、
前記第2の絶縁膜上であって、前記フローティング電極である前記副電極の上方位置に、前記ドレイン領域と電気的に接続された配線を形成する工程と、
をさらに含む請求項5記載の半導体装置の製造方法。

【請求項7】

活性領域を含む半導体基板と、
前記半導体基板の少なくとも前記活性層の上方に形成された絶縁膜と、
第1の電極と、前記第1の電極と所定の方向において離間する第2の電極であって、前記一方向において互いに離間する複数の副電極を含む第2の電極と、を含み、前記活性領域の上方の前記絶縁膜上に形成された電極構造体と、
前記電極構造体の前記第1の電極より前記一方向とは反対側の方向において外側の前記活性領域中に形成されたソース領域と、
前記電極構造体の前記第2の電極より前記一方向において外側の前記活性領域中に形成されたドレイン領域と、
少なくとも前記第1の電極の前記一方向における前記第2の電極側の端部から前記第2の電極の前記一方向における前記第1の電極とは反対側の端部までの領域下の前記活性領域中に形成された不純物拡散領域と、を備え、
前記第1の電極と、前記第2の電極の前記第1の電極側の端部との前記一方向における距離は、前記第2の電極の前記複数の副電極間の距離よりも小さく、
前記第1の電極と、前記第2の電極の前記第1の電極側の端部との間の領域の下の前記不純物拡散領域の深さは、前記第2の電極の前記複数の副電極間の領域の下の前記不純物拡散領域の深さより浅く、
前記第1の電極と、前記第2の電極の前記第1の電極側の端部との間の領域の下の前記不純物拡散領域の不純物濃度は、前記第2の電極の前記複数の副電極間の領域の下の前記不純物拡散領域の不純物濃度より低い、
半導体装置。

【請求項8】

前記第1の電極と、前記第2の電極の前記第1の電極側の端部との前記一方向における距離と、前記第2の電極の前記複数の副電極間の距離とは、前記一方向において、前記第1の電極の前記第2の電極側の端部から前記第2の電極の前記一方向における前記第1の電極とは反対側の端部側の前記副電極に向かうにつれて大きくなり、
前記第1の電極と、前記第2の電極の前記第1の電極側の端部との間の領域の下の前記不純物拡散領域の深さと、前記第2の電極の前記複数の副電極間の領域の下の前記不純物拡散領域の深さとは、前記一方向において、前記第1の電極の前記第2の電極側の端部か

10

20

30

40

50

ら前記第 2 の電極の前記一方向における前記第 1 の電極とは反対側の端部側の前記副電極に向かうにつれて深くなり、

前記第 1 の電極と、前記第 2 の電極の前記第 1 の電極側の端部との間の領域の下の前記不純物拡散領域の不純物濃度と、前記第 2 の電極の前記複数の副電極間の領域の下の前記不純物拡散領域の不純物濃度とは、前記一方向において、前記第 1 の電極の前記第 2 の電極側の端部から前記第 2 の電極の前記一方向における前記第 1 の電極とは反対側の端部側の前記副電極に向かうにつれて高くなる、請求項 7 記載の半導体装置。

【請求項 9】

前記第 2 の電極は、前記複数の副電極と交差して格子を形成する第 2 の複数の副電極をさらに備える請求項 7 または 8 に記載の半導体装置。

【請求項 10】

前記電極構造体は、前記第 1 の電極と前記第 2 の電極の前記複数の副電極とを接続する接続部をさらに備える請求項 7～9 のいずれか一項に記載の半導体装置。

【請求項 11】

活性領域を含む半導体基板と、

前記半導体基板の少なくとも前記活性領域の上方に形成された絶縁膜と、

第 1 の電極と、前記第 1 の電極と所定の一方方向において離間する第 2 の電極であって、前記一方方向において互いに離間する複数の副電極を含む第 2 の電極と、を含み、前記活性領域の上方の前記絶縁膜上に形成された電極構造体と、

前記電極構造体の前記第 1 の電極より前記一方方向とは反対側の方向において外側の前記活性領域中に形成されたソース領域と、

前記電極構造体の前記第 2 の電極より前記一方方向において外側の前記活性領域中に形成されたドレイン領域と、

少なくとも前記第 1 の電極の前記一方向における前記第 2 の電極側の端部から前記第 2 の電極の前記一方向における前記第 1 の電極とは反対側の端部までの領域下の前記活性領域中に形成された不純物拡散領域と、を備え、

前記第 2 の電極の前記複数の副電極のうち、少なくとも、前記第 2 の電極の前記一方向における前記第 1 の電極とは反対側の端部の前記副電極は、フローティング電極であり、前記電極構造体は、前記第 2 の電極の前記複数の副電極のうちの残りの前記副電極と、前記第 1 の電極とを接続する接続部をさらに備える半導体装置。

【請求項 12】

前記電極構造体上に形成された第 2 の絶縁膜と、

前記第 2 の絶縁膜上であって、前記フローティング電極である前記副電極の上方位置に形成された、前記ドレイン領域と電氣的に接続された配線と、をさらに備える請求項 11 記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置及びその製造方法に関し、特に、ゲート電極にオーバーラップした低濃度拡散層からなる電界緩和領域を有する高耐圧 MOS トランジスタ及びその製造方法に関する。

【背景技術】

【0002】

高耐圧 MOS トランジスタにおいては、一般的に、ドレイン電極に高電圧が印加される。このため、ゲート電極直下のドレイン電極側の低濃度拡散層で、電界集中が生じ、インパクトイオン化を引き起こし、高エネルギーを持った電子及び正孔が直上のゲート絶縁膜に注入・捕獲され、素子特性の経時変化を引き起こす。

【0003】

そこで、ゲート電極の下端部での電界を緩和のため、ソース／ドレインを構成する高濃度拡散領域をゲート電極から離間させたオフセット構造が知られている。オフセット構造

10

20

30

40

50

の従来例が、特許文献 1 に開示されている。ゲート電極の側壁に隣接してスペーサが設けられ、このスペーサの直下には低濃度拡散領域が設けられる。よって、高濃度拡散領域は、ほぼスペーサの距離だけゲート電極から離間即ちオフセットされる。ここで、電界緩和効果を大きくするには、オフセット量を大きくする。

【0004】

他のオフセット構造を有する高耐圧 MOS トランジスタの従来例が、特許文献 2 に開示されている。ゲート電極の両側壁の外側に被覆絶縁膜を設け、該被覆絶縁膜の外側にスペーサ層を設け、更に、該スペーサ層の外側にサイドウォールスペーサを設ける。そして、被覆絶縁膜、スペーサ層及びサイドウォールスペーサの下方に、これらに自己整合する低濃度拡散層からなるオフセット層を形成する。よって、高濃度拡散領域は、被覆絶縁膜、
10
スペーサ層及びサイドウォールスペーサの各幅の合計値だけ、ゲート電極端部からオフセットされる。

【0005】

ゲート電極の下端部での電界緩和のための他の構造として、電界緩和領域として働く低濃度拡散層がゲート電極にオーバーラップした構造が知られている。特許文献 3 は、高耐圧 MOS トランジスタの従来のゲートオーバーラップ構造を開示するものである。ドレイン領域の低濃度拡散層の一部が、ゲート電極とオーバーラップしている。ゲート絶縁膜上に形成したマスクを使用してイオン注入工程を行い、半導体基板上に低濃度拡散層を選択的に形成する。その後、ゲート絶縁膜上にポリシリコン層を形成し、更に、このポリシリコン層をパターニングすることで、低濃度拡散層と所定の距離だけオーバーラップするゲート電極を形成する。このため、低濃度拡散層がゲート電極の長さに依存せず形成することが可能となる。ここで、電界緩和効果を大きくするには、オーバーラップ量を大きくすることが効果的であるとしている。
20

【0006】

電界緩和領域として働く低濃度拡散層がゲート電極にオーバーラップした他の構造が、特許文献 4 に開示されている。ドレイン領域のうちゲート電極にオーバーラップしている部分を、その平面形状が楕円状になるように、楕円状のレジストマスクを使用して、形成することで、当該ゲート電極にオーバーラップしている部分の単位面積当たりの不純物量を、フィールド酸化膜の下の部分の単位面積当たりの不純物量よりも少なくし、ソース側にはみ出た部分への電界の集中を緩和する。
30

【特許文献 1】特開平 09-205205 号公報（段落番号 0013-0020、第 3 図、第 4 図）

【特許文献 2】特開平 2002-289845 号公報（段落番号 0013-0017、第 3 図）

【特許文献 3】特開 2003-100771 号公報（段落番号 0025、第 2 図、第 6 図）

【特許文献 4】特開 2003-204062 号公報（段落番号 0015-0016、第 1 図、第 7 図）

【発明の開示】

【発明が解決しようとする課題】

【0007】

前述の従来のゲートオーバーラップ構造の形成方法は、実際には以下の問題が生じる。

【0008】

第 1 の問題として、低濃度拡散層を形成した後にゲート電極を形成する必要がある。よって、公知のリソグラフィー技術において、低濃度拡散層を形成するためのパターニングと、ゲート電極を形成するためのパターニングとの合わせずれが生じた場合、ゲートオーバーラップ量にばらつきが生じ、素子特性にばらつきを与える。

【0010】

第 3 の問題として、低濃度拡散層を形成した後にゲート電極を形成する必要がある。よって、公知のリソグラフィー技術において、低濃度拡散層を形成するためのパターニング
50

と、ゲート電極を形成するためのパターニングとの合わせ余裕を考慮して、低濃度拡散層とゲート電極とのオーバーラップ寸法を決定する必要があった。即ち、本来必要とする低濃度拡散層とゲート電極とのオーバーラップ寸法に、パターニングの合わせ余裕を加えた寸法を設計値とする必要があった。このため、電流駆動能力の低下を招くと共に、素子の微細化が妨げられていた。

【0011】

そこで、本発明の目的は、前述した問題のない半導体装置を提供することである。

【0012】

更に、本発明の目的は、前述した問題のない半導体装置の製造方法を提供することである。

【課題を解決するための手段】

【0013】

本発明は、活性領域を含む半導体基板の上方に、絶縁膜を形成する工程と、第1の電極と、前記第1の電極と所定の一方向において離間する第2の電極であって、前記一方向において互いに離間する複数の副電極を含む第2の電極と、を含み、前記第1の電極と、前記第2の電極の前記第1の電極側の端部との前記一方向における距離は、前記第2の電極の前記複数の副電極間の距離よりも小さい電極構造体を、前記活性領域の上方の前記絶縁膜上に形成する工程と、前記電極構造体をマスクとして使用して、前記活性領域中に不純物のイオン注入を行うことで、前記一方向において互いに離間した複数の不純物注入領域を前記活性領域に形成する工程と、前記複数の不純物注入領域中の不純物の熱拡散処理を行うことで、前記電極構造体の前記第1の電極より前記一方向とは反対側の方向において外側の前記活性領域中にソース領域を、前記電極構造体の前記第2の電極より前記一方向において外側の前記活性領域中にドレイン領域を、少なくとも前記第1の電極の前記一方向における前記第2の電極側の端部から前記第2の電極の前記一方向における前記第1の電極とは反対側の端部までの領域下の前記活性領域中に一体化された不純物拡散領域を、それぞれ形成する工程と、を含む半導体装置の製造方法を提供する。

【0014】

更に、本発明は、活性領域を含む半導体基板と、前記半導体基板の少なくとも前記活性層の上方に形成された絶縁膜と、第1の電極と、前記第1の電極と所定の一方向において離間する第2の電極であって、前記一方向において互いに離間する複数の副電極を含む第2の電極と、を含み、前記活性領域の上方の前記絶縁膜上に形成された電極構造体と、前記電極構造体の前記第1の電極より前記一方向とは反対側の方向において外側の前記活性領域中に形成されたソース領域と、前記電極構造体の前記第2の電極より前記一方向において外側の前記活性領域中に形成されたドレイン領域と、少なくとも前記第1の電極の前記一方向における前記第2の電極側の端部から前記第2の電極の前記一方向における前記第1の電極とは反対側の端部までの領域下の前記活性領域中に形成された不純物拡散領域と、を備え、前記第1の電極と、前記第2の電極の前記第1の電極側の端部との前記一方向における距離は、前記第2の電極の前記複数の副電極間の距離よりも小さく、前記第1の電極と、前記第2の電極の前記第1の電極側の端部との間の領域の下の前記不純物拡散領域の深さは、前記第2の電極の前記複数の副電極間の領域の下の前記不純物拡散領域の深さより浅く、前記第1の電極と、前記第2の電極の前記第1の電極側の端部との間の領域の下の前記不純物拡散領域の不純物濃度は、前記第2の電極の前記複数の副電極間の領域の下の前記不純物拡散領域の不純物濃度より低い、半導体装置を提供する。

更に、本発明は、活性領域を含む半導体基板と、前記半導体基板の少なくとも前記活性領域の上方に形成された絶縁膜と、第1の電極と、前記第1の電極と所定の一方向において離間する第2の電極であって、前記一方向において互いに離間する複数の副電極を含む第2の電極と、を含み、前記活性領域の上方の前記絶縁膜上に形成された電極構造体と、前記電極構造体の前記第1の電極より前記一方向とは反対側の方向において外側の前記活性領域中に形成されたソース領域と、前記電極構造体の前記第2の電極より前記一方向において外側の前記活性領域中に形成されたドレイン領域と、少なくとも前記第1の電極の

10

20

30

40

50

前記一方向における前記第2の電極側の端部から前記第2の電極の前記一方向における前記第1の電極とは反対側の端部までの領域下の前記活性領域中に形成された不純物拡散領域と、を備え、前記第2の電極の前記複数の副電極のうち、少なくとも、前記第2の電極の前記一方向における前記第1の電極とは反対側の端部の前記副電極は、フローティング電極であり、前記電極構造体は、前記第2の電極の前記複数の副電極のうちの残りの前記副電極と、前記第1の電極とを接続する接続部をさらに備える半導体装置を提供する。

【発明の効果】

【0015】

本発明によれば、活性領域を含む半導体基板の上方に、絶縁膜を形成する。第1の電極と、前記第1の電極と所定の一方方向において離間する第2の電極であって、前記一方方向において互いに離間する複数の副電極を含む第2の電極と、を含む電極構造体を、前記活性領域の上方の前記絶縁膜上に形成する。そして、前記電極構造体をマスクとして使用して、前記活性領域中に不純物のイオン注入を行うことで、前記一方方向において互いに離間した複数の不純物注入領域を前記活性領域に形成し、前記複数の不純物注入領域中の不純物の熱拡散処理を行うことで、前記電極構造体の前記第1の電極より前記一方方向とは反対側の方向において外側の前記活性領域中にソース領域を、前記電極構造体の前記第2の電極より前記一方方向において外側の前記活性領域中にドレイン領域を、少なくとも前記第1の電極の前記一方向における前記第2の電極側の端部から前記第2の電極の前記一方向における前記第1の電極とは反対側の端部までの領域下の前記活性領域中に一体化された不純物拡散領域を、それぞれ形成する。ここで、電界緩和領域は、一体化した不純物拡散領域に含まれ、且つ、第2の電極の下方に延在する。そして、この電界緩和領域は、電極構造体の第2の電極に対し自己整合すると共にオーバーラップする。前記第1の電極と、前記第2の電極の前記第1の電極側の端部との前記一方方向における距離は、前記第2の電極の前記複数の副電極間の距離よりも小さくする。更に、第2の電極の一方方向の寸法を調整することで、第1の電極と、該第1の電極に自己整合する電界緩和領域とのオーバーラップ寸法を調整することができる。

【発明を実施するための最良の形態】

【0016】

(1) 第1実施形態

本実施形態によれば、ゲート電極に自己整合的にオーバーラップし、電界緩和領域として働く、低濃度拡散層を有する高耐圧MOSトランジスタ及びその製造方法が提供される。

【0017】

(高耐圧MOSトランジスタの構造)

図1は、本発明の第1実施形態に係る高耐圧MOSトランジスタの構造を示す部分縦断面図である。及び図2は、図1に示す本発明の第1実施形態に係る高耐圧MOSトランジスタの構造を示す部分平面図である。

【0018】

本実施形態に係る高耐圧MOSトランジスタは、以下の構造を有する。P型半導体基板101の主面は、フィールド酸化膜102からなる素子分離領域と、該フィールド酸化膜102により画定される活性領域1000を含む。P型半導体基板101の活性領域1000には、チャンネル長さ L_{ch} を有するチャンネル領域を介し互いに離間する第1のN⁻低濃度不純物拡散層109-1と、第4のN⁻低濃度不純物拡散層109-4とが設けられる。換言すると、第1のN⁻低濃度不純物拡散層109-1と、第4のN⁻低濃度不純物拡散層109-4との間でチャンネル領域が画定され、第1のN⁻低濃度不純物拡散層109-1と、第4のN⁻低濃度不純物拡散層109-4との第1の水平方向における距離で、チャンネル長さ L_{ch} が規定される。

【0019】

以下「第1の水平方向」とは、P型半導体基板101の主面に平行な面に平行で、且つ、ゲート長さを規定する方向を意味する。「第2の水平方向」とは、P型半導体基板10

10

20

30

40

50

1の主面に平行な面に平行で、且つ、ゲート幅を規定する方向を意味する。尚、第1の水平方向と第2の水平方向とは互いに直交する。第1のN⁻低濃度不純物拡散層109-1はドレイン側に位置し、第4のN⁻低濃度不純物拡散層109-4は、ソース側に位置する。

【0020】

第2のN⁻低濃度不純物拡散層109-2は、第1のN⁻低濃度不純物拡散層109-1に隣接し、該第1のN⁻低濃度不純物拡散層109-1を介してチャンネル領域から離間する。第3のN⁻低濃度不純物拡散層109-3は、第2のN⁻低濃度不純物拡散層109-2に隣接し、該第1のN⁻低濃度不純物拡散層109-1及び第2のN⁻低濃度不純物拡散層109-2を介してチャンネル領域から離間する。第5のN⁻低濃度不純物拡散層109-5は、第3のN⁻低濃度不純物拡散層109-3に隣接し、該第1のN⁻低濃度不純物拡散層109-1、第2のN⁻低濃度不純物拡散層109-2及び第3のN⁻低濃度不純物拡散層109-3を介してチャンネル領域から離間する。

10

【0021】

P型半導体基板101の活性領域1000は、フィールド酸化膜102からなる素子分離領域によって画定される。そして、第1のN⁻低濃度不純物拡散層109-1、第2のN⁻低濃度不純物拡散層109-2、第3のN⁻低濃度不純物拡散層109-3、第4のN⁻低濃度不純物拡散層109-4、及び第5のN⁻低濃度不純物拡散層109-5は、活性領域1000内に形成される。第2の水平方向において、第1のN⁻低濃度不純物拡散層109-1、第2のN⁻低濃度不純物拡散層109-2、第3のN⁻低濃度不純物拡散層109-3、第4のN⁻低濃度不純物拡散層109-4、及び第5のN⁻低濃度不純物拡散層109-5は、フィールド酸化膜102からなる素子分離領域と、活性領域1000との境界で終端する。

20

【0022】

第4のN⁻低濃度不純物拡散層109-4の上部領域には、第1のN⁺高濃度不純物拡散層111-1が選択的に設けられる。第5のN⁻低濃度不純物拡散層109-5の上部領域には、第2のN⁺高濃度不純物拡散層111-2が選択的に設けられる。

【0023】

P型半導体基板101の主面上には、ゲート絶縁膜103が設けられる。即ち、ゲート絶縁膜103は、P型半導体基板101のチャンネル領域上、第1のN⁻低濃度拡散層104-2、104-3上、第1のN⁻低濃度不純物拡散層109-1上、第2のN⁻低濃度不純物拡散層109-2上、第3のN⁻低濃度不純物拡散層109-3上、第4のN⁻低濃度不純物拡散層109-4上、第5のN⁻低濃度不純物拡散層109-5上、第1のN⁺高濃度不純物拡散層111-1上及び第2のN⁺高濃度不純物拡散層111-2上に亘り延在する。

30

【0024】

ポリシリコン膜からなるゲート電極106は、スリット群107を有すると共に、ゲート絶縁膜103上に選択的に設けられる。ゲート電極106は、第1のストライプ形状部分106-1と、第2のストライプ形状部分106-2と、第3のストライプ形状部分106-3と、面状部分106-4と、第1の端部106-5と、第2の端部106-6と、第1の側部領域106-7と、第2の側部領域106-8と、スリット群107とを有する。スリット群107は、第1のスリット107-1、第2のスリット107-2及び第3のスリット107-3からなり、第1の水平方向において互いに離間すると共に、第2の水平方向に沿って長手延在する。面状部分106-4は、チャンネル領域の上方であって、ゲート絶縁膜103上に、二次元的に延在すると共に、第8の寸法L8に相当する幅L8を有する。第1のストライプ形状部分106-1は、該面状部分106-4から第1の水平方向に第1の寸法L1に相当する幅L1を有する第1のスリット107-1を介して離間すると共に、第2の寸法L2に相当する幅L2を有する。第2のストライプ形状部分106-2は、該第1のストライプ形状部分106-1から第1の水平方向に第3の寸法L3に相当する幅L3を有する第2のスリット107-2を介して離間すると共に、第

40

50

4の寸法L4に相当する幅L4を有する。第3のストライプ形状部分106-3は、該第2のストライプ形状部分106-2から第1の水平方向に第5の寸法L5に相当する幅L5を有する第3のスリット107-3を介して離間すると共に、第6の寸法L6に相当する幅L6を有する。第1の側部領域106-7と第2の側部領域106-8とは、第2の水平方向において互いに離間すると共に、第1の水平方向に沿って長手延在する。第1のスリット107-1、第2のスリット107-2及び第3のスリット107-3の各々は、第1の側部領域106-7と第2の側部領域106-8とでそれぞれ終端される。即ち、第1のストライプ形状部分106-1と、第2のストライプ形状部分106-2と、第3のストライプ形状部分106-3と、面状部分106-4とは、第1の側部領域106-7と第2の側部領域106-8とを介して互いに接続されている。換言すれば、ゲート電極106は、第1のストライプ形状部分106-1と、第2のストライプ形状部分106-2と、第3のストライプ形状部分106-3と、面状部分106-4と、第1の側部領域106-7と、第2の側部領域106-8とからなる一体化された構造体と、スリット群107とを含む。

10

【0025】

ゲート電極106における、第1のストライプ形状部分106-1、第2のストライプ形状部分106-2、第3のストライプ形状部分106-3及び面状部分106-4の幅、並びに、スリット群107における第1のスリット107-1、第2のスリット107-2及び第3のスリット107-3の幅は、それらの第1の水平方向における寸法であると定義する。

20

【0026】

第1のスリット107-1、第2のスリット107-2及び第3のスリット107-3は、フィールド酸化膜102からなる素子分離領域と活性領域1000との境界を越えて素子分離領域まで延在する。ゲート電極106の第1の側部領域106-7及び第2の側部領域106-8は、第1のスリット107-1、第2のスリット107-2及び第3のスリット107-3の各々を両端で終端する。よって、ゲート電極106の第1の側部領域106-7及び第2の側部領域106-8は、フィールド酸化膜102からなる素子分離領域上に位置する。

【0027】

本実施形態においては、第1のスリット107-1、第2のスリット107-2及び第3のスリット107-3は、互いに同一幅を有する。即ち、 $L1 = L3 = L5$ なる関係が成立つ。また、ゲート電極106においては、第1のストライプ形状部分106-1、第2のストライプ形状部分106-2及び第3のストライプ形状部分106-3は、互いに同一幅を有する。即ち、 $L2 = L4 = L6$ なる関係が成立つ。更に、第1のスリット107-1、第2のスリット107-2及び第3のスリット107-3の幅($L1 = L3 = L5$)と、ゲート電極106の第1のストライプ形状部分106-1、第2のストライプ形状部分106-2及び第3のストライプ形状部分106-3の幅($L2 = L4 = L6$)は、互いに等しくすることが可能である。この場合、 $L1 = L2 = L3 = L4 = L5 = L6$ なる関係が成り立つ。

30

【0028】

第1のN⁻低濃度不純物拡散層109-1の中心位置は、第1の水平方向において、第1のスリット107-1の中心位置と自己整合している。第2のN⁻低濃度不純物拡散層109-2の中心位置は、第1の水平方向において、第2のスリット107-2の中心位置と自己整合している。第3のN⁻低濃度不純物拡散層109-3の中心位置は、第1の水平方向において、第3のスリット107-3の中心位置と自己整合している。

40

【0029】

ゲート電極106をマスクとして使用してイオン注入することで、ゲート電極106のスリット群107を介してP型半導体基板101中に不純物イオンを注入し、その後、イオン注入された不純物を熱拡散することで、第1のN⁻低濃度不純物拡散層109-1、第2のN⁻低濃度不純物拡散層109-2及び第3のN⁻低濃度不純物拡散層109-3

50

を形成する。ここで、不純物の熱拡散は、横方向即ち水平方向の不純物熱拡散を含む。水平方向の不純物熱拡散のうち、特に、第1の水平方向の熱拡散距離が、本発明にとって意義を有するため、用語「水平方向の熱拡散」又は「横方向の熱拡散」は、特段の説明が無い限り、第1の水平方向における熱拡散を意味する。

【0030】

第1のN⁻低濃度不純物拡散層109-1と第2のN⁻低濃度不純物拡散層109-2とは間隔を開けずに互いに隣接する必要がある。更に、第2のN⁻低濃度不純物拡散層109-2と第3のN⁻低濃度不純物拡散層109-3とは間隔を開けずに互いに隣接する必要がある。更に、第3のN⁻低濃度不純物拡散層109-3と第5のN⁻低濃度不純物拡散層109-5とは間隔を開けずに互いに隣接する必要がある。そして、第1のN⁻低濃度不純物拡散層109-1と第2のN⁻低濃度不純物拡散層109-2と第3のN⁻低濃度不純物拡散層109-3と第5のN⁻低濃度不純物拡散層109-5とは、一体化した低濃度不純物拡散領域を形成する必要がある。

10

【0031】

直前に述べた一体化した低濃度不純物拡散領域を形成するためには、横方向の不純物熱拡散距離L7は、少なくとも、ゲート電極106の第1のストライプ形状部分106-1、第2のストライプ形状部分106-2及び第3のストライプ形状部分106-3の幅(L2=L4=L6)の半分(L2/2=L4/2=L6/2)必要である。この理由は以下の通りである。

【0032】

スリット群107を有するゲート電極106をマスクとして使用したイオン注入工程により、第1のスリット107-1、第2のスリット107-2及び第3のスリット107-3の下方のP型半導体基板101中に、低濃度不純物注入領域を選択的に形成する。この段階では、低濃度不純物注入領域の両端部の位置は、第1のスリット107-1、第2のスリット107-2及び第3のスリット107-3の両端側壁の位置に対し、第1の水平方向でみて、自己整合している。そして、互いに隣り合う低濃度不純物注入領域同士は、ゲート電極106の第1のストライプ形状部分106-1、第2のストライプ形状部分106-2及び第3のストライプ形状部分106-3の幅(L2=L4=L6)に相当する距離だけ、互いに第1の水平方向において離間している。その後、不純物の熱拡散工程を行い、不純物拡散領域を拡大する。この不純物の熱拡散工程は、互いに隣り合う不純物拡散領域同士が、少なくとも互いに接するまで行う。結果、第1のN⁻低濃度不純物拡散層109-1と第2のN⁻低濃度不純物拡散層109-2とが間隔を開けずに互いに隣接する。第2のN⁻低濃度不純物拡散層109-2と第3のN⁻低濃度不純物拡散層109-3とが間隔を開けずに互いに隣接する。更に、第3のN⁻低濃度不純物拡散層109-3と第5のN⁻低濃度不純物拡散層109-5とが間隔を開けずに互いに隣接する。そして、第1のN⁻低濃度不純物拡散層109-1と第2のN⁻低濃度不純物拡散層109-2と第3のN⁻低濃度不純物拡散層109-3と第5のN⁻低濃度不純物拡散層109-5とが、一体化した低濃度不純物拡散領域を形成する。

20

30

【0033】

スリット群107を有するゲート電極106をマスクとして使用したイオン注入工程により、第1のスリット107-1、第2のスリット107-2及び第3のスリット107-3の下方のP型半導体基板101中に、低濃度不純物注入領域を選択的に形成する。この段階では、低濃度不純物注入領域の両端部の位置は、第1のスリット107-1、第2のスリット107-2及び第3のスリット107-3の両端側壁の位置に対し、第1の水平方向でみて、自己整合している。更に、前述の横方向熱拡散は、第1の水平方向でみて対称的である。よって、第1のN⁻低濃度不純物拡散層109-1の中心位置は、第1のスリット107-1の中心位置に自己整合している。第2のN⁻低濃度不純物拡散層109-2の中心位置は、第2のスリット107-2の中心位置に自己整合している。第3のN⁻低濃度不純物拡散層109-3の中心位置は、第3のスリット107-3の中心位置に自己整合している。従って、前述の一体化した低濃度不純物拡散領域は、第1の水平方

40

50

向位置でみて、スリット群107に対し自己整合している。換言すると、前述の一体化した低濃度不純物拡散領域は、第1の水平方向位置でみて、スリット群107を有するゲート電極106に対し自己整合している。

【0034】

本願において、「不純物拡散層或いは不純物拡散領域がスリット或いはゲート電極に対し自己整合する」とは、複数のパターンニング工程における合わせずれが発生せず、且つ、不純物の熱拡散が等方的であるため、不純物拡散層或いは不純物拡散領域の第1の水平方向における位置が、スリット或いはゲート電極の位置のみに依存して画定することを意味するものであり、不純物拡散層或いは不純物拡散領域の端部の第1の水平方向における位置が、スリットの端部の位置或いはゲート電極の端部の位置と揃っていることを意味するものではない。不純物拡散層或いは不純物拡散領域の端部の第1の水平方向における位置は、スリットの端部の位置或いはゲート電極の端部の位置から、不純物の横方向拡散距離L7だけ変位する。この変位量の精度は、不純物の横方向拡散距離L7の制御性のみに依存する。尚、「不純物注入領域がスリット或いはゲート電極に対し自己整合する」とは、スリットを有するゲート電極をマスクとして使用し不純物イオンの注入を行い不純物注入領域が形成されるため、不純物注入領域の端部の第1の水平方向における位置が、スリットの端部の位置或いはゲート電極の端部の位置と揃っていることを意味する。

10

【0035】

図1に示すように、第1のN⁻低濃度不純物拡散層109-1の内側端部は、ゲート電極106の面状部分106-4と、不純物の水平方向熱拡散距離L7に相当する寸法だけオーバーラップしている。同様に、第4のN⁻低濃度不純物拡散層109-4の内側端部は、ゲート電極106の面状部分106-4と、不純物の水平方向熱拡散距離L7に相当する寸法だけオーバーラップしている。チャンネル長さLchは、第1のN⁻低濃度不純物拡散層109-1の内側端部と、第4のN⁻低濃度不純物拡散層109-4の内側端部との間で規定される。よって、チャンネル長さLchは、面状部分106-4の幅L8から、不純物の水平方向熱拡散距離L7の2倍を差し引いた値に等しい。即ち、 $Lch = L8 - 2 \times L7$ の関係が成立する。

20

【0036】

ゲート電極106は、面状部分106-4と、第1のストライプ形状部分106-1と、第2のストライプ形状部分106-2と、第3のストライプ形状部分106-3とで、ゲート電位に基づく電界を、チャンネル領域、並びに、第1のN⁻低濃度不純物拡散層109-1、第2のN⁻低濃度不純物拡散層109-2、第3のN⁻低濃度不純物拡散層109-3及び第5のN⁻低濃度不純物拡散層109-5に印加する。このため、ゲート電極106の幅即ち第1の水平方向における寸法は、第3のストライプ形状部分106-3のドレイン側の端部からなる第1の端部106-5と、面状部分106-4のソース側の端部からなる第2の端部106-6との間の距離で規定される。即ち、ゲート電極106の幅は、第1のスリット107-1の幅L1と、第1のストライプ形状部分106-1の幅L2と、第2のスリット107-2の幅L3と、第2のストライプ形状部分106-2の幅L4と、第3のスリット107-3の幅L5と、第3のストライプ形状部分106-3の幅L6と、面状部分106-4の幅L8との合計値に相当する

30

40

【0037】

前述した一体化した低濃度不純物拡散領域は、ゲート電極106とオーバーラップする部分を有し、このオーバーラップする部分が、電界緩和領域として働く。即ち、本願においては、低濃度不純物拡散領域であって、ゲート電極106とオーバーラップする領域を電界緩和領域と定義する。よって、電界緩和領域の第1の水平方向における寸法は、ゲートオーバーラップ寸法に相当する。前述したように、一体化した低濃度不純物拡散領域は、第1のN⁻低濃度不純物拡散層109-1と第2のN⁻低濃度不純物拡散層109-2と第3のN⁻低濃度不純物拡散層109-3と第5のN⁻低濃度不純物拡散層109-5とからなる。ゲート電極106は、面状部分106-4と、第1のストライプ形状部分106-1と、第2のストライプ形状部分106-2と、第3のストライプ形状部分106-3と

50

3とを含む。従って、ゲートオーバーラップ寸法 L_d は、第1の N^- 低濃度不純物拡散層109-1の内側端部と、ゲート電極106の第1の端部106-5との第1の水平方向における距離で規定される。従って、電界緩和領域とゲート電極106とのオーバーラップ寸法 L_d は、第1のスリット107-1の幅 L_1 と、第1のストライプ形状部分106-1の幅 L_2 と、第2のスリット107-2の幅 L_3 と、第2のストライプ形状部分106-2の幅 L_4 と、第3のスリット107-3の幅 L_5 と、第3のストライプ形状部分106-3の幅 L_6 と、不純物の水平方向熱拡散距離 L_7 との合計値($L_1 + L_2 + L_3 + L_4 + L_5 + L_6 + L_7$)で与えられる。即ち、 $L_d = L_1 + L_2 + L_3 + L_4 + L_5 + L_6 + L_7$ なる関係が成立する。

【0038】

10

以下、第1のスリット107-1の幅 L_1 、第2のスリット107-2の幅 L_3 及び第3のスリット107-3の幅 L_5 、並びに、ゲート電極106の第1のストライプ形状部分106-1の幅 L_2 、第2のストライプ形状部分106-2の幅 L_4 及び第3のストライプ形状部分106-3の幅 L_6 に関する更なる説明を行う。

【0039】

スリット幅の増加は、ゲート電位に基づき前述の電界緩和領域に印加される電界の減少、及び電界緩和効果の低減につながる。更に、スリット幅の増加は、必要なゲートオーバーラップ量を確保するために必要となるゲート電極のストライプ形状部分の数とスリットの数との減少になると共に、ゲート電極をマスクとした不純物イオン注入工程における不純物の導入を容易にする。最大スリット幅は、ゲート電位に基づき前述の電界緩和領域に印加される必要最小限の電界と、最低限必要とされる電界緩和効果とを得るのに必要な上限幅で決まる。

20

【0040】

スリット幅の減少は、必要なゲートオーバーラップ量を確保するために必要となるゲート電極のストライプ形状部分の数とスリットの数との増加につながると共に、ゲート電極をマスクとした不純物イオン注入工程における不純物の導入の妨げになり、最終的に得られる不純物拡散層の濃度の低下につながる。更に、スリット幅の減少は、ゲート電位に基づき前述の電界緩和領域に印加される電界の増加、及び電界緩和効果の増加につながる。最小スリット幅は、パターンニング可能な限界幅で決まる。

【0041】

30

ゲート電極のストライプ形状部分の幅の増加は、最低限必要とされる横方向の不純物の拡散距離の増加につながる。更に、ゲート電極のストライプ形状部分の幅の増加は、必要なオーバーラップ量を確保するために必要となるストライプ形状部分の数とスリットの数との減少につながる。

【0042】

ゲート電極のストライプ形状部分の幅の減少は、必要なオーバーラップ量を確保するために必要となるストライプ形状部分の数とスリットの数との増加につながる。更に、ゲート電極のストライプ形状部分の幅の減少は、最低限必要とされる横方向の不純物の拡散距離の減少につながる。

【0043】

40

ゲート電極のストライプ形状部分の幅の半分の値が、最低限必要とされる横方向の不純物の拡散距離に相当する。よって、ゲート電極のストライプ形状部分は、互いに同一幅を有することが好ましい。ゲート電極のストライプ形状部分が互いに異なる幅を有する場合、最低限必要とされる横方向の不純物の拡散距離は、最も広いストライプ形状部分の幅の半分となる。

【0044】

従って、ゲート電極のスリット幅及びストライプ形状部分の幅は、上記関係を考慮して決めることが好ましい。本実施の形態では、一典型例として、第1のスリット107-1の幅 L_1 、第1のストライプ形状部分106-1の幅 L_2 、第2のスリット107-2の幅 L_3 、第2のストライプ形状部分106-2の幅 L_4 、第3のスリット107-3の幅

50

L5及び第3のストライプ形状部分106-3の幅L6を、全て同一の寸法、例えば、 $0.3\mu\text{m}$ にすることが可能である。この場合、オーバーラップ寸法Ldは、 $0.3\mu\text{m} \times 6$ と、不純物の水平方向熱拡散距離L7との和で与えられる。必要最小限の不純物の水平方向熱拡散距離は、 $0.3\mu\text{m} / 2 = 0.15\mu\text{m}$ となる。必要最小限の不純物の熱拡散工程を行った場合、最終的に得られるゲートオーバーラップ寸法Ldは、 $Ld = 0.3\mu\text{m} \times 6 + 0.3\mu\text{m} / 2 = 1.95\mu\text{m}$ となる。この場合、一体化した低濃度不純物拡散領域は、第1の水平方向でみて、変化する不純物濃度プロファイルを有する。また、一体化した低濃度不純物拡散領域が、第1の水平方向でみて、均一な不純物濃度プロファイルを有するよう、横方向熱拡散が互いにオーバーラップするまで不純物の熱拡散工程を行った場合、最終的に得られるゲートオーバーラップ寸法Ldは、 $1.95\mu\text{m}$ より大きな値となる。即ち、 $Ld > 0.3\mu\text{m} \times 6 + 0.3\mu\text{m} / 2 = 1.95\mu\text{m}$ なる関係が成り立つ。

【0045】

例えば、40V耐圧のMOSトランジスタでは、ゲートオーバーラップ量が約 $2\mu\text{m}$ 必要になる場合がある。本発明に係るゲートオーバーラップ構造によれば、前述の3つのスリットの幅を $0.3\mu\text{m}$ 、前述の3つのストライプ形状部分の幅を $0.3\mu\text{m}$ とし、水平方向熱拡散距離L7を、前述の3つのストライプ形状部分の幅の半分以上とすることで、 $1.95\mu\text{m}$ 以上のゲートオーバーラップ寸法Ldが得られる。よって、40V耐圧のMOSトランジスタが必要とする大きなゲートオーバーラップ量を得ることが可能となる。本実施の形態では、3本のスリットを形成したが、スリットの数、要求されたゲートオーバーラップ寸法Ldに合わせて適宜決定することが可能である。例えば、4本のスリットを形成することで、更に大きなゲートオーバーラップ寸法 $Ld > 0.3\mu\text{m} \times 8 + 0.3\mu\text{m} / 2 = 2.55\mu\text{m}$ を得ることが可能となる。また、5本のスリットを形成することで、更に大きなゲートオーバーラップ寸法 $Ld > 0.3\mu\text{m} \times 10 + 0.3\mu\text{m} / 2 = 3.15\mu\text{m}$ を得ることが可能となる。前述したように、スリットの幅の最大値は、最大スリット幅は、ゲート電位に基づき前述の電界緩和領域に印加される必要最小限の電界と、最低限必要とされる電界緩和効果とを得るのに必要な上限幅で決まる。スリットの幅の最大値として、 $1.0\mu\text{m}$ を一例として挙げることができる。スリットの幅の最小値は、パターンニング可能な限界幅で決まる。スリットの幅の最小値として、 $0.1\mu\text{m}$ を一例として挙げることができる。仮に、単一のスリットの形成で、40V耐圧のMOSトランジスタが必要とするゲートオーバーラップ量である約 $2\mu\text{m}$ を得るには、この単一のスリットの幅を $1.55\mu\text{m}$ 以上とする必要がある。しかし、このような過度に幅の広い単一スリットを形成した場合、前述の電界緩和領域に印加される必要最小限の電界と、最低限必要とされる電界緩和効果とを得ることができない。よって、高耐圧のMOSトランジスタが必要とする大きなゲートオーバーラップ量を得るには、少なくとも複数のスリットを設けることが必要となる。

【0046】

前述したゲート電極構造は、本発明に係るゲート電極構造及びオーバーラップ構造の典型例にすぎない。即ち、本発明に係るゲート電極は、チャネル領域の上方にオーバーラップして延在すると共に、該チャネル領域に対しゲート電位に基づく電界を印加する第1の領域と、前述の電界緩和領域の上方にオーバーラップして延在すると共に、該電界緩和領域にゲート電位に基づく電界を印加する第2の領域とを少なくとも含む。そして、該第2の領域は、互いに離間して設けられた複数の開口部からなる開口部集合体と、該複数の開口部の各々の周囲を囲む開口囲み部分とを含む。

【0047】

該開口囲み部分は、不純物の拡散工程における不純物の横方向拡散距離の2倍以下の、水平方向における最大幅を有する。該開口囲み部分は、前述の水平方向における最大幅に対する条件を満たす限り、位置によって異なる幅を有することも可能であるし、また、位置によらず均一な幅を有することも可能である。一方、前述の複数の開口部の各々は、ゲート電位に基づき前述の電界緩和領域に印加される必要最小限の電界と、最低限必要とさ

10

20

30

40

50

れる電界緩和効果とを得るのに必要な上限を越えない、水平方向における最小寸法を有する。該複数の開口部の各々の平面形状及びその水平方向における寸法は、前述の水平方向における最小寸法に対する条件を満たす限り、特に限定する必要はない。前述の開口部集合体は、平面形状及び水平方向における寸法の少なくとも一方が異なる複数の開口部で構成することも可能であるし、また、平面形状及び水平方向における寸法の両方が同じ複数の開口部で構成することも可能である。前述の開口囲み部分は、該複数の開口部の平面形状及びその水平方向における寸法を画定する。

【0048】

典型例として、前述の開口部集合体を、複数のスリットからなるスリット群で構成することが可能である。該スリット群は、同一形状及び同一寸法を有する複数のスリットの規則的な配列で構成することが可能である。該複数のスリットの規則的な配列は、1次元配列でもよく、また、2次元配列でもよい。該1次元配列は、前述した本実施形態のように、チャンネル幅方向に長手延在すると共に、チャンネル長さ方向に1列に配列された複数のスリットで構成することが可能である。この場合、開口囲み部分は、チャンネル幅方向に長手延在する少なくとも1つのストライプ形状部分を含む。また、該1次元配列は、代替的な実施形態として、チャンネル長さ方向に長手延在すると共に、チャンネル幅方向に1列に配列された複数のスリットで構成することも可能である。

10

【0049】

前述の2次元配列は、例えば、複数のスリットのマトリックス状の配列でもよい。前述の複数のスリットに代え、前述の開口部集合体を、複数の開口部の規則的な2次元配列で構成することも可能である。該複数の開口部の形状は、矩形形状は、正方形でも長方形でもよい。

20

【0050】

前述の複数の開口部の水平方向における寸法の増加は、ゲート電位に基づき前述の電界緩和領域に印加される電界の減少、及び電界緩和効果の低減につながる。更に、前述の複数の開口部の水平方向における寸法の増加は、ゲート電極をマスクとした不純物イオン注入工程における不純物の導入を容易にする。前述の複数の開口部の水平方向における寸法の最大値は、ゲート電位に基づき前述の電界緩和領域に印加される必要最小限の電界と、最低限必要とされる電界緩和効果とを得るのに必要な上限幅で決まる。

【0051】

30

前述の複数の開口部の水平方向における寸法の減少は、ゲート電極をマスクとした不純物イオン注入工程における不純物の導入の妨げになり、最終的に得られる不純物拡散層の濃度の低下につながる。更に、前述の複数の開口部の水平方向における寸法の減少は、ゲート電位に基づき前述の電界緩和領域に印加される電界の増加、及び電界緩和効果の増加につながる。前述の複数の開口部の水平方向における寸法の最小値は、パターンニング可能な限界寸法値で決まる。

【0052】

前述のゲート電極の開口囲み部分の幅の増加は、最低限必要とされる横方向の不純物の拡散距離の増加につながる。前述のゲート電極の開口囲み部分の幅の減少は、最低限必要とされる横方向の不純物の拡散距離の減少につながる。前述のゲート電極の開口囲み部分の幅の半分の値が、最低限必要とされる横方向の不純物の拡散距離に相当する。よって、前述のゲート電極の開口囲み部分の幅は、均一であることが好ましい。前述のゲート電極の開口囲み部分の幅が、均一でない場合、最低限必要とされる横方向の不純物の拡散距離は、前述のゲート電極の開口囲み部分の最大幅の半分となる。

40

【0053】

従って、前述のゲート電極の複数の開口部の水平方向における寸法及び開口囲み部分の幅は、上記関係を考慮して決めることが好ましい。

【0054】

以下、本実施形態に係る高耐圧MOSトランジスタの製造方法につき、添付図面を参照して説明する。

50

【0055】

(高耐圧MOSトランジスタの製造方法)

図3乃至図14は、本発明の第1実施形態に係る高耐圧MOSトランジスタの製造工程を示す部分縦断面図である

図3に示すように、LOCOS (Local Oxidation Of Silicon) 法により、P型半導体基板101の素子分離領域に、フィールド酸化膜102を形成し、活性領域1000をフィールド酸化膜102により画定する。活性領域1000は、高耐圧MOSトランジスタを形成するための領域である。

【0056】

図4に示すように、P型半導体基板101上及びフィールド酸化膜102上に、膜厚100Åのシリコン酸化膜103を既知の方法で形成する。使用し得る既知の方法の典型例は、熱酸化法及び各種のCVD (Chemical Vapor Deposition) 法を含む。

【0057】

図5に示すように、シリコン酸化膜103上にポリシリコン膜104を既知のCVD法で形成する

図6に示すように、既知のリソグラフィ技術により、ポリシリコン膜104上に、レジストパターン105を形成する。このレジストパターン105は、3つのスリット状の開口部を有する。即ち、レジストパターン105は、面状部分と、3つのストライプ形状部分と、3つのスリットとからなる。ここで、3つのスリットの幅及び3つのストライプ形状部分の幅は全て等しい。即ち、 $L1 = L2 = L3 = L4 = L5 = L6$ なる関係が成り立つ。面状部分の幅は、 $L8$ である。

【0058】

図7に示すように、レジストパターン105をマスクとして使用してポリシリコン膜104を選択的にエッチングすることで、ゲート電極106を形成する。ゲート電極106は、図2に示すように、第1のストライプ形状部分106-1と、第2のストライプ形状部分106-2と、第3のストライプ形状部分106-3と、面状部分106-4と、第1の端部106-5と、第2の端部106-6と、第1の側部領域106-7と、第2の側部領域106-8と、スリット群107とを有する。スリット群107は、第1のスリット107-1、第2のスリット107-2及び第3のスリット107-3からなり、第1の水平方向において互いに離間すると共に、第2の水平方向に沿って長手延在する。面状部分106-4は、チャンネル領域の上方であって、ゲート絶縁膜103上に、二次元的に延在すると共に、第8の寸法 $L8$ に相当する幅 $L8$ を有する。

【0059】

第1のストライプ形状部分106-1は、該面状部分106-4から第1の水平方向に第1の寸法 $L1$ に相当する幅 $L1$ を有する第1のスリット107-1を介して離間すると共に、第2の寸法 $L2$ に相当する幅 $L2$ を有する。第2のストライプ形状部分106-2は、該第1のストライプ形状部分106-1から第1の水平方向に第3の寸法 $L3$ に相当する幅 $L3$ を有する第2のスリット107-2を介して離間すると共に、第4の寸法 $L4$ に相当する幅 $L4$ を有する。第3のストライプ形状部分106-3は、該第2のストライプ形状部分106-2から第1の水平方向に第5の寸法 $L5$ に相当する幅 $L5$ を有する第3のスリット107-3を介して離間すると共に、第6の寸法 $L6$ に相当する幅 $L6$ を有する。第1の側部領域106-7と第2の側部領域106-8とは、第2の水平方向において互いに離間すると共に、第1の水平方向に沿って長手延在する。第1のスリット107-1、第2のスリット107-2及び第3のスリット107-3の各々は、第1の側部領域106-7と第2の側部領域106-8とでそれぞれ終端される。即ち、第1のストライプ形状部分106-1と、第2のストライプ形状部分106-2と、第3のストライプ形状部分106-3と、面状部分106-4とは、第1の側部領域106-7と第2の側部領域106-8とを介して互いに接続されている。換言すれば、ゲート電極106は、第1のストライプ形状部分106-1と、第2のストライプ形状部分106-2と、第

3のストライプ形状部分106-3と、面状部分106-4と、第1の側部領域106-7と、第2の側部領域106-8とからなる一体化された構造体と、スリット群107とを含む。

【0060】

第1のスリット107-1、第2のスリット107-2及び第3のスリット107-3は、フィールド酸化膜102からなる素子分離領域と活性領域1000との境界を越えて素子分離領域まで延在する。ゲート電極106の第1の側部領域106-7及び第2の側部領域106-8は、第1のスリット107-1、第2のスリット107-2及び第3のスリット107-3の各々を両端で終端する。よって、ゲート電極106の第1の側部領域106-7及び第2の側部領域106-8は、フィールド酸化膜102からなる素子分離領域上に位置する。

10

【0061】

第1のスリット107-1、第2のスリット107-2及び第3のスリット107-3は、互いに同一幅を有する。即ち、 $L1 = L3 = L5$ なる関係が成立つ。また、ゲート電極106においては、第1のストライプ形状部分106-1、第2のストライプ形状部分106-2及び第3のストライプ形状部分106-3は、互いに同一幅を有する。即ち、 $L2 = L4 = L6$ なる関係が成立つ。更に、第1のスリット107-1、第2のスリット107-2及び第3のスリット107-3の幅($L1 = L3 = L5$)と、ゲート電極106の第1のストライプ形状部分106-1、第2のストライプ形状部分106-2及び第3のストライプ形状部分106-3の幅($L2 = L4 = L6$)は、互いに等しい。即ち、 $L1 = L2 = L3 = L4 = L5 = L6$ なる関係が成り立つ。また、ゲート電極106の第1の端部106-5と第2の端部106-6との距離、即ち、ゲート電極106の第1の水平方向における寸法は、第1のスリット107-1の幅 $L1$ と、第1のストライプ形状部分106-1の幅 $L2$ と、第2のスリット107-2の幅 $L3$ と、第2のストライプ形状部分106-2の幅 $L4$ と、第3のスリット107-3の幅 $L5$ と、第3のストライプ形状部分106-3の幅 $L6$ と、面状部分106-4の幅 $L8$ との合計値($L1 + L2 + L3 + L4 + L5 + L6 + L8$)で与えられる。本実施の形態においては、第1のスリット107-1、第2のスリット107-2及び第3のスリット107-3の幅を全て均一の値 $0.3\ \mu\text{m}$ ($L1 = L3 = L5 = 0.3\ \mu\text{m}$)とし、ゲート電極106の第1のストライプ形状部分106-1、第2のストライプ形状部分106-2及び第3のストライプ形状部分106-3の幅を全て均一の値 $0.3\ \mu\text{m}$ ($L2 = L4 = L6 = 0.3\ \mu\text{m}$)とした。

20

30

【0062】

図8に示すように、レジストパターン105を既知の方法により除去する。

【0063】

図9に示すように、既知のイオン注入技術により、ポリシリコン膜からなるゲート電極106をマスクとして使用して、加速エネルギー 150keV 及びドーズ量 $6.0 \times 10^{12}\text{cm}^{-2}$ の条件下で、垂直方向に、N型不純物であるリン(P)を、ゲート絶縁膜103を介し、P型半導体基板101の主面中に選択的に注入する。ここで、用語「垂直方向」とは、基板面に対し垂直な方向、即ち、トランジスタのチャネル長さを規定する方向及びチャネル幅を規定する方向の各々を含む面に垂直な方向を意味する。結果、P型半導体基板101の上部領域であって、且つ、ゲート電極106の第1のスリット107-1の下方に位置する領域に、第1のN⁻低濃度不純物注入領域108-1が選択的に形成される。ゲート電極106の第2のスリット107-2の下方に位置する領域に、第2のN⁻低濃度不純物注入領域108-2が選択的に形成される。ゲート電極106の第3のスリット107-3の下方に位置する領域に、第3のN⁻低濃度不純物注入領域108-3が選択的に形成される。ゲート電極106の第2の端部106-6の外側の下方に位置する領域に、第4のN⁻低濃度不純物注入領域108-4が選択的に形成される。ゲート電極106の第1の端部106-5の外側の下方に位置する領域に、第5のN⁻低濃度不純物注入領域108-5が選択的に形成される。

40

50

【0064】

即ち、第1のN⁻低濃度不純物注入領域108-1が、ゲート電極106の第1のスリット107-1に対し、自己整合的に形成される。ここで、第1のN⁻低濃度不純物注入領域108-1の両端位置は、第1の水平方向でみて、第1のスリット107-1の両側壁の位置に相当する。第2のN⁻低濃度不純物注入領域108-2が、ゲート電極106の第2のスリット107-2に対し、自己整合的に形成される。ここで、第2のN⁻低濃度不純物注入領域108-2の両端位置は、第1の水平方向でみて、第2のスリット107-2の両側壁の位置に相当する。第3のN⁻低濃度不純物注入領域108-3が、ゲート電極106の第3のスリット107-3に対し、自己整合的に形成される。ここで、第3のN⁻低濃度不純物注入領域108-3の両端位置は、第1の水平方向でみて、第3のスリット107-3の両側壁の位置に相当する。第4のN⁻低濃度不純物注入領域108-4は、ゲート電極106の第2の端部106-6に対し、自己整合的に形成される。第5のN⁻低濃度不純物注入領域108-5は、ゲート電極106の第1の端部106-5に対し、自己整合的に形成される。

10

【0065】

図10及び図41に示すように、既知の熱拡散技術により、N₂雰囲気中で1000℃、100分程度の熱処理を行い、前述のイオン打ち込みされた不純物の活性化及び熱拡散を行う。不純物の熱拡散は、等方的であるため、深さ方向及び水平方向即ち横方向に不純物が拡散する。結果、第1のN⁻低濃度不純物注入領域108-1は、第1のN⁻低濃度不純物拡散層109-1となり、第2のN⁻低濃度不純物注入領域108-2は、第2のN⁻低濃度不純物拡散層109-2となり、第3のN⁻低濃度不純物注入領域108-3は、第3のN⁻低濃度不純物拡散層109-3となり、第4のN⁻低濃度不純物注入領域108-4は、第4のN⁻低濃度不純物拡散層109-4となり、第5のN⁻低濃度不純物注入領域108-5は、第5のN⁻低濃度不純物拡散層109-5となる。第1のN⁻低濃度不純物注入領域108-1は、ゲート電極106の第1のスリット107-1に対し自己整合し、且つ、不純物の熱拡散は当方的であるので、第1のN⁻低濃度不純物拡散層109-1の中心位置は、第1の水平方向において、第1のスリット107-1の中心位置と自己整合している。第2のN⁻低濃度不純物注入領域108-2は、ゲート電極106の第2のスリット107-2に対し自己整合し、且つ、不純物の熱拡散は当方的であるので、第2のN⁻低濃度不純物拡散層109-2の中心位置は、第1の水平方向において、第2のスリット107-2の中心位置と自己整合している。第3のN⁻低濃度不純物注入領域108-3は、ゲート電極106の第3のスリット107-3に対し自己整合し、且つ、不純物の熱拡散は当方的であるので、第3のN⁻低濃度不純物拡散層109-3の中心位置は、第1の水平方向において、第3のスリット107-3の中心位置と自己整合している。

20

30

【0066】

第1のスリット107-1の幅L1と、第2のスリット107-2の幅L3と、第3のスリット107-3の幅L5とは、互いに同一なので、第1のN⁻低濃度不純物注入領域108-1の不純物濃度と、第2のN⁻低濃度不純物注入領域108-2の不純物濃度と、第3のN⁻低濃度不純物注入領域108-3の不純物濃度とは、互いに同一である。このため、第1のN⁻低濃度不純物拡散層109-1、第2のN⁻低濃度不純物拡散層109-2及び第3のN⁻低濃度不純物拡散層109-3は、実質同一の不純物濃度と深さを有する。

40

【0067】

第1のN⁻低濃度不純物拡散層109-1と第2のN⁻低濃度不純物拡散層109-2とは、間隔を開けずに互いに隣接する必要がある。更に、第2のN⁻低濃度不純物拡散層109-2と第3のN⁻低濃度不純物拡散層109-3とは、間隔を開けずに互いに隣接する必要がある。更に、第3のN⁻低濃度不純物拡散層109-3と第5のN⁻低濃度不純物拡散層109-5とは、間隔を開けずに互いに隣接する必要がある。そして、第1のN⁻低濃度不純物拡散層109-1と第2のN⁻低濃度不純物拡散層109-2と第3の

50

N⁻低濃度不純物拡散層109-3と第5のN⁻低濃度不純物拡散層109-5とは、一体化した低濃度不純物拡散領域を形成する必要がある。

【0068】

前述した一体化した低濃度不純物拡散領域を形成するためには、横方向の不純物熱拡散距離L7は、少なくとも、ゲート電極106の第1のストライプ形状部分106-1、第2のストライプ形状部分106-2及び第3のストライプ形状部分106-3の幅($L2 = L4 = L6 = 0.3 \mu\text{m}$)の半分($L2/2 = L4/2 = L6/2 = 0.15 \mu\text{m}$)必要である。スリット群107を有するゲート電極106をマスクとして使用したイオン注入工程により、第1のスリット107-1、第2のスリット107-2及び第3のスリット107-3の下方のP型半導体基板101中に、低濃度不純物注入領域を選択的に形成した。この段階では、低濃度不純物注入領域の両端部の位置は、第1のスリット107-1、第2のスリット107-2及び第3のスリット107-3の両端側壁の位置に対し、第1の水平方向でみて、自己整合している。そして、互いに隣り合う低濃度不純物注入領域同士は、ゲート電極106の第1のストライプ形状部分106-1、第2のストライプ形状部分106-2及び第3のストライプ形状部分106-3の幅($L2 = L4 = L6 = 0.3 \mu\text{m}$)に相当する距離だけ、互いに第1の水平方向において離間している。その後、不純物の熱拡散工程を行い、不純物拡散領域を拡大する。この不純物の熱拡散工程は、互いに隣り合う不純物拡散領域同士が、少なくとも互いに接するまで行う。結果、第1のN⁻低濃度不純物拡散層109-1と第2のN⁻低濃度不純物拡散層109-2とが間隔を開けずに互いに隣接する。第2のN⁻低濃度不純物拡散層109-2と第3のN⁻低濃度不純物拡散層109-3とが間隔を開けずに互いに隣接する。更に、第3のN⁻低濃度不純物拡散層109-3と第5のN⁻低濃度不純物拡散層109-5とが間隔を開けずに互いに隣接する。そして、第1のN⁻低濃度不純物拡散層109-1と第2のN⁻低濃度不純物拡散層109-2と第3のN⁻低濃度不純物拡散層109-3と第5のN⁻低濃度不純物拡散層109-5とが、一体化した低濃度不純物拡散領域を形成する。

【0069】

図41は、第1の水平方向における、不純物の熱拡散距離とゲート電極のストライプ形状部分の幅との関係を示す部分縦断面図である。図41(a)に示すように、第1の水平方向における、不純物の熱拡散距離L7が、ゲート電極106の第1のストライプ形状部分106-1、第2のストライプ形状部分106-2及び第3のストライプ形状部分106-3の幅($L2 = L4 = L6 = 0.3 \mu\text{m}$)の半分($L2/2 = L4/2 = L6/2 = 0.15 \mu\text{m}$)に達した時点で不純物の熱拡散工程を中止した場合、横方向における不純物の拡散フロントは、ゲート電極106の第1のストライプ形状部分106-1、第2のストライプ形状部分106-2及び第3のストライプ形状部分106-3の各々の、第1の水平方向でみて、中心位置に対応する位置に達する。即ち、互いに隣り合う低濃度不純物注入領域からの不純物の横方向における拡散フロントが、互いに接する。このことは、最も横方向熱拡散距離の大きい不純物が、ゲート電極106の第1のストライプ形状部分106-1、第2のストライプ形状部分106-2及び第3のストライプ形状部分106-3の各々の、第1の水平方向でみて、中心位置に対応する位置に達することを意味する。この場合、ゲート電極106の第1のストライプ形状部分106-1、第2のストライプ形状部分106-2及び第3のストライプ形状部分106-3の中心位置に対応する位置での不純物の濃度は、第1のスリット107-1、第2のスリット107-2及び第3のスリット107-3の各々の中心位置に対応する位置での不純物の濃度より低くなる。即ち、第1のN⁻低濃度不純物拡散層109-1と第2のN⁻低濃度不純物拡散層109-2と第3のN⁻低濃度不純物拡散層109-3と第5のN⁻低濃度不純物拡散層109-5との組からなる一体化した低濃度不純物拡散領域は、第1の水平方向でみて、変化する不純物濃度プロファイルを有する。

【0070】

本願において、前述の「不純物の横方向拡散フロント」とは、横方向における不純物の拡散した領域の先端を意味する。「横方向」とは、半導体基板の面に平行な方向を意味し

10

20

30

40

50

、前述の第1及び第2の水平方向を含む。

【0071】

一方、図41(b)に示すように、不純物の熱拡散距離 L_7 を、ゲート電極106の第1のストライプ形状部分106-1、第2のストライプ形状部分106-2及び第3のストライプ形状部分106-3の幅($L_2 = L_4 = L_6 = 0.3 \mu\text{m}$)の半分($L_2/2 = L_4/2 = L_6/2 = 0.15 \mu\text{m}$)より大きくした場合、互いに隣り合う低濃度不純物注入領域からの不純物の横方向における拡散フロントが、相互に交差する。即ち、横方向における不純物の拡散フロントは、ゲート電極106の第1のストライプ形状部分106-1、第2のストライプ形状部分106-2及び第3のストライプ形状部分106-3の各々の、第1の水平方向でみて、中心位置に対応する位置を越えて、互いにオーバーラップして横方向熱拡散した領域が、ゲート電極106の第1のストライプ形状部分106-1、第2のストライプ形状部分106-2及び第3のストライプ形状部分106-3に形成される。このことは、最も横方向熱拡散距離の大きい不純物が、ゲート電極106の第1のストライプ形状部分106-1、第2のストライプ形状部分106-2及び第3のストライプ形状部分106-3の各々の、第1の水平方向でみて、中心位置に対応する位置を越えることを意味する。横方向熱拡散が互いにオーバーラップすることで、ゲート電極106の第1のストライプ形状部分106-1、第2のストライプ形状部分106-2及び第3のストライプ形状部分106-3の中心位置に対応する位置での不純物の濃度と、第1のスリット107-1、第2のスリット107-2及び第3のスリット107-3の各々の中心位置に対応する位置での不純物の濃度との差が低減される。換言すると、横方向熱拡散が互いにオーバーラップするまで熱拡散工程を行うことで、前述の一体化した低濃度不純物拡散領域がより均一な不純物濃度のプロファイルを有することになる。よって、均一な不純物濃度のプロファイルを得るためには、不純物の水平方向熱拡散距離 L_7 が、ゲート電極106の第1のストライプ形状部分106-1、第2のストライプ形状部分106-2及び第3のストライプ形状部分106-3の幅($L_2 = L_4 = L_6 = 0.3 \mu\text{m}$)の半分($L_2/2 = L_4/2 = L_6/2 = 0.15 \mu\text{m}$)を越えて、横方向熱拡散が互いにオーバーラップするまで熱拡散工程を継続することが好ましい。図10においては、第1のN⁻低濃度不純物拡散層109-1、第2のN⁻低濃度不純物拡散層109-2、第3のN⁻低濃度不純物拡散層109-3及び第5のN⁻低濃度不純物拡散層109-5の内、隣接する2つの境界を、便宜的に、横方向熱拡散が互いにオーバーラップした領域の中心位置に示している。

【0072】

図10に示すように、第1のN⁻低濃度不純物拡散層109-1の内側端部は、ゲート電極106の面状部分106-4と、不純物の水平方向熱拡散距離 L_7 に相当する寸法だけオーバーラップしている。同様に、第4のN⁻低濃度不純物拡散層109-4の内側端部は、ゲート電極106の面状部分106-4と、不純物の水平方向熱拡散距離 L_7 に相当する寸法だけオーバーラップしている。チャンネル長さ L_{ch} は、第1のN⁻低濃度不純物拡散層109-1の内側端部と、第4のN⁻低濃度不純物拡散層109-4の内側端部との間で規定される。よって、チャンネル長さ L_{ch} は、面状部分106-4の幅 L_8 から、不純物の水平方向熱拡散距離 L_7 の2倍を差し引いた値に等しい。即ち、 $L_{ch} = L_8 - 2 \times L_7$ の関係が成立する。

【0073】

ゲート電極106は、面状部分106-4と、第1のストライプ形状部分106-1と、第2のストライプ形状部分106-2と、第3のストライプ形状部分106-3とで、ゲート電位に基づく電界を、チャンネル領域、並びに、第1のN⁻低濃度不純物拡散層109-1、第2のN⁻低濃度不純物拡散層109-2、第3のN⁻低濃度不純物拡散層109-3及び第5のN⁻低濃度不純物拡散層109-5に印加する。このため、ゲート電極106の幅即ち第1の水平方向における寸法は、第3のストライプ形状部分106-3のドレイン側の端部からなる第1の端部106-5と、面状部分106-4のソース側の端部からなる第2の端部106-6との間の距離で規定される。即ち、ゲート電極106の幅

は、第1のスリット107-1の幅L1と、第1のストライプ形状部分106-1の幅L2と、第2のスリット107-2の幅L3と、第2のストライプ形状部分106-2の幅L4と、第3のスリット107-3の幅L5と、第3のストライプ形状部分106-3の幅L6と、面状部分106-4の幅L8との合計値に相当する。

【0074】

前述した一体化した低濃度不純物拡散領域は、ゲート電極106とオーバーラップする部分を有し、このオーバーラップする部分が、電界緩和領域として働く。電界緩和領域の第1の水平方向における寸法は、ゲートオーバーラップ寸法に相当する。前述したように、一体化した低濃度不純物拡散領域は、第1のN⁻低濃度不純物拡散層109-1と第2のN⁻低濃度不純物拡散層109-2と第3のN⁻低濃度不純物拡散層109-3と第5のN⁻低濃度不純物拡散層109-5とからなる。ゲート電極106は、面状部分106-4と、第1のストライプ形状部分106-1と、第2のストライプ形状部分106-2と、第3のストライプ形状部分106-3とを含む。従って、ゲートオーバーラップ寸法Ldは、第1のN⁻低濃度不純物拡散層109-1の内側端部と、ゲート電極106の第1の端部106-5との第1の水平方向における距離で規定される。従って、電界緩和領域とゲート電極106とのゲートオーバーラップ寸法Ldは、第1のスリット107-1の幅L1と、第1のストライプ形状部分106-1の幅L2と、第2のスリット107-2の幅L3と、第2のストライプ形状部分106-2の幅L4と、第3のスリット107-3の幅L5と、第3のストライプ形状部分106-3の幅L6と、不純物の水平方向熱拡散距離L7との合計値 ($L1 + L2 + L3 + L4 + L5 + L6 + L7 = 0.3 \times 6 + L7 = 1.8 \mu\text{m} + L7$) で与えられる。不純物の水平方向熱拡散距離L7は、前述したように、0.15 μm 以上必要なので、ゲートオーバーラップ寸法Ldは、1.95 μm 以上となる。

【0075】

図11に示すように、既知のリソグラフィ技術により、ゲート電極106上、ゲート絶縁膜103上、及びフィールド酸化膜102上に、レジストパターン110を形成する。

【0076】

図12に示すように、レジストパターン110及びゲート電極106の面状部分106-4をマスクとして使用し、加速エネルギー40 keV及びドーズ量 $1.0 \times 10^{15} \text{ cm}^{-2}$ の条件下で、N型不純物である砒素(As)を、垂直方向に、第4のN⁻低濃度不純物拡散層109-4の上部領域、並びに、第5のN⁻低濃度不純物拡散層109-5の上部領域に選択的に注入する。結果、第4のN⁻低濃度不純物拡散層109-4の上部領域にソース側の第1のN⁺高濃度不純物拡散層111-1が選択的に形成され、一方、第5のN⁻低濃度不純物拡散層109-5の上部領域にドレイン側の第2のN⁺高濃度不純物拡散層111-2が形成される。

【0077】

図13に示すように、レジストパターン110を既知の方法により除去する。

【0078】

図14に示すように、層間絶縁膜112を、ゲート電極106上、ゲート絶縁膜103上、並びにフィールド酸化膜102上に、既知の方法により形成する。コンタクトホールを層間絶縁膜112及びゲート絶縁膜103中に形成する。ソースコンタクト113-1及びドレインコンタクト113-2をコンタクトホール内に形成することで、ソースコンタクト113-1及びドレインコンタクト113-2は、ソース側の第1のN⁺高濃度拡散層111-1及びドレイン側の第1のN⁺高濃度拡散層111-2と、それぞれ、オーミックコンタクトをとる。ソース配線層114-1及びドレイン配線層114-2を層間絶縁膜112上に既知の方法により形成し、ソースコンタクト113-1及びドレインコンタクト113-2を介してソース側の第1のN⁺高濃度拡散層111-1及びドレイン側の第1のN⁺高濃度拡散層111-2と、それぞれ、電氣的に接続する。

【0079】

(効果)

本発明によれば、前述したように、スリット群107を有するゲート電極106をマスクとして使用し、不純物のイオン注入を行い、ゲート電極106に自己整合する低濃度不純物注入領域108を形成する。この段階では、低濃度不純物注入領域の両端部の位置は、第1のスリット107-1、第2のスリット107-2及び第3のスリット107-3の両端側壁の位置に対し、第1の水平方向でみて、自己整合している。更に、前述の横方向熱拡散は、第1の水平方向でみて対称的である。よって、第1のN⁻低濃度不純物拡散層109-1の中心位置は、第1のスリット107-1の中心位置に自己整合している。第2のN⁻低濃度不純物拡散層109-2の中心位置は、第2のスリット107-2の中心位置に自己整合している。第3のN⁻低濃度不純物拡散層109-3の中心位置は、第3のスリット107-3の中心位置に自己整合している。従って、前述の一体化した低濃度不純物拡散領域は、第1の水平方向位置でみて、スリット群107に対し自己整合している。換言すると、前述の一体化した低濃度不純物拡散領域は、第1の水平方向位置でみて、スリット群107を有するゲート電極106に対し自己整合している。

【0080】

前述の一体化した低濃度不純物拡散領域であって、ゲート電極106とオーバーラップした領域が、電界緩和領域として働く。よって、電界緩和領域とゲート電極106とのオーバーラップ寸法Ldは、第1のスリット107-1の幅L1と、第1のストライプ形状部分106-1の幅L2と、第2のスリット107-2の幅L3と、第2のストライプ形状部分106-2の幅L4と、第3のスリット107-3の幅L5と、第3のストライプ形状部分106-3の幅L6と、不純物の水平方向熱拡散距離L7との合計値(L1+L2+L3+L4+L5+L6+L7)で与えられる。

【0081】

従って、第1の実施形態に係る本発明は、以下の効果を奏する。

【0082】

第1の効果として、電界緩和領域を形成するためのパターニングと、ゲート電極106を形成するためのパターニングとの合せずれが生じない。このため、パターニングの合せずれに基づくゲートオーバーラップ寸法Ldの設計値からのずれが生じない。よって、電界緩和領域を形成するためのパターニングと、ゲート電極106を形成するためのパターニングとの合せ余裕を考慮せずに、ゲートオーバーラップ寸法Ldを決定することが可能となる。非自己整合的にゲートオーバーラップ構造を形成する場合、本来必要とされるゲートオーバーラップ寸法に、前述のパターニングの合せ余裕を足し合わせた寸法を設計値とする必要がある。これに対し、自己整合にゲートオーバーラップ構造を形成する場合、前述のパターニングの合せ余裕を必要とせず、本来必要とされるゲートオーバーラップ寸法をそのまま設計値とすればよい。このため、高耐圧MOSトランジスタの電流駆動能力の改善が得られ、その結果、素子の縮小が可能となる。

【0083】

第2の効果として、スリットの数进行调整することで、ゲートオーバーラップ寸法Ldを調整することが可能となる。高耐圧のMOSトランジスタは、一般に、大きなゲートオーバーラップ量を必要とする。しかし、電界緩和領域を形成するためのパターニングと、ゲート電極106を形成するためのパターニングとの合せ余裕を考慮せずに、スリットの数を増加することで、所望の大きなゲートオーバーラップ量を得ることが可能となる。例えば、40V耐圧のMOSトランジスタでは、ゲートオーバーラップ量が約2μm必要な場合がある。本発明に係るゲートオーバーラップ構造によれば、前述の3つのスリットの幅を0.3μm、前述の3つのストライプ形状部分の幅を0.3μmとし、水平方向熱拡散距離L7を、前述の3つのストライプ形状部分の幅の半分以上とすることで、1.95μm以上のゲートオーバーラップ寸法Ldが得られる。よって、40V耐圧のMOSトランジスタが必要とする大きなゲートオーバーラップ量を得ることが可能となる。本実施の形態では、3本のスリットを形成したが、スリットの数、要求されたゲートオーバーラップ寸法Ldに合わせて適宜決定することが可能である。

【0084】

第3の効果として、電界緩和領域を含む一体化した低濃度不純物拡散領域を、ゲート電極をマスクとして使用したイオン注入により形成する。即ち、電界緩和領域を含む一体化した低濃度不純物拡散領域を形成するためのイオン注入工程は、レジストパターンからなるマスクの形成を必要としない。従って、より少ない製造工程で、MOSトランジスタを製造することが可能となる。

【0085】

(2) 第2実施形態

本実施形態によれば、ゲート電極に自己整合的にオーバーラップし、電界緩和領域として働く、低濃度拡散層を有する高耐圧MOSトランジスタ及びその製造方法が提供される。

10

【0086】

(高耐圧MOSトランジスタの構造)

図15は、本発明の第2実施形態に係る高耐圧MOSトランジスタの構造を示す部分縦断面図である。及び図16は、図15に示す本発明の第2実施形態に係る高耐圧MOSトランジスタの構造を示す部分平面図である。

【0087】

本実施形態に係る高耐圧MOSトランジスタは、以下の構造を有する。P型半導体基板101の主面は、フィールド酸化膜102からなる素子分離領域と、該フィールド酸化膜102により画定される活性領域1000を含む。P型半導体基板101の活性領域1000には、チャンネル長さ L_{ch} を有するチャンネル領域を介し互いに離間する第1のN⁻低濃度不純物拡散層109-1と、第4のN⁻低濃度不純物拡散層109-4とが設けられる。換言すると、第1のN⁻低濃度不純物拡散層109-1と、第4のN⁻低濃度不純物拡散層109-4との間でチャンネル領域が画定され、第1のN⁻低濃度不純物拡散層109-1と、第4のN⁻低濃度不純物拡散層109-4との第1の水平方向における距離で、チャンネル長さ L_{ch} が規定される。第1のN⁻低濃度不純物拡散層109-1はドレイン側に位置し、第4のN⁻低濃度不純物拡散層109-4は、ソース側に位置する。

20

【0088】

第2のN⁻低濃度不純物拡散層109-2は、第1のN⁻低濃度不純物拡散層109-1に隣接し、該第1のN⁻低濃度不純物拡散層109-1を介してチャンネル領域から離間する。第3のN⁻低濃度不純物拡散層109-3は、第2のN⁻低濃度不純物拡散層109-2に隣接し、該第1のN⁻低濃度不純物拡散層109-1及び第2のN⁻低濃度不純物拡散層109-2を介してチャンネル領域から離間する。第5のN⁻低濃度不純物拡散層109-5は、第3のN⁻低濃度不純物拡散層109-3に隣接し、該第1のN⁻低濃度不純物拡散層109-1、第2のN⁻低濃度不純物拡散層109-2及び第3のN⁻低濃度不純物拡散層109-3を介してチャンネル領域から離間する。

30

【0089】

P型半導体基板101の活性領域1000は、フィールド酸化膜102からなる素子分離領域によって画定される。そして、第1のN⁻低濃度不純物拡散層109-1、第2のN⁻低濃度不純物拡散層109-2、第3のN⁻低濃度不純物拡散層109-3、第4のN⁻低濃度不純物拡散層109-4、及び第5のN⁻低濃度不純物拡散層109-5は、活性領域1000内に形成される。第2の水平方向において、第1のN⁻低濃度不純物拡散層109-1、第2のN⁻低濃度不純物拡散層109-2、第3のN⁻低濃度不純物拡散層109-3、第4のN⁻低濃度不純物拡散層109-4、及び第5のN⁻低濃度不純物拡散層109-5は、フィールド酸化膜102からなる素子分離領域と、活性領域1000との境界で終端する。

40

【0090】

第4のN⁻低濃度不純物拡散層109-4の上部領域には、第1のN⁺高濃度不純物拡散層111-1が選択的に設けられる。第5のN⁻低濃度不純物拡散層109-5の上部領域には、第2のN⁺高濃度不純物拡散層111-2が選択的に設けられる。

50

【0091】

P型半導体基板101の主面上には、ゲート絶縁膜103が設けられる。即ち、ゲート絶縁膜103は、P型半導体基板101のチャネル領域上、第1のN⁻低濃度拡散層104-2、104-3上、第1のN⁻低濃度不純物拡散層109-1上、第2のN⁻低濃度不純物拡散層109-2上、第3のN⁻低濃度不純物拡散層109-3上、第4のN⁻低濃度不純物拡散層109-4上、第5のN⁻低濃度不純物拡散層109-5上、第1のN⁺高濃度不純物拡散層111-1上及び第2のN⁺高濃度不純物拡散層111-2上に亘り延在する。

【0092】

ポリシリコン膜からなるゲート電極106は、スリット群107を有すると共に、ゲート絶縁膜103上に選択的に設けられる。ゲート電極106は、第1のストライプ形状部分106-1と、第2のストライプ形状部分106-2と、第3のストライプ形状部分106-3と、面状部分106-4と、第1の端部106-5と、第2の端部106-6と、第1の側部領域106-7と、第2の側部領域106-8と、スリット群107とを有する。スリット群107は、第1のスリット107-1、第2のスリット107-2及び第3のスリット107-3からなり、第1の水平方向において互いに離間すると共に、第2の水平方向に沿って長手延在する。面状部分106-4は、チャネル領域の上方であって、ゲート絶縁膜103上に、二次元的に延在すると共に、第8の寸法L8に相当する幅L8を有する。第1のストライプ形状部分106-1は、該面状部分106-4から第1の水平方向に第1の寸法L1に相当する幅L1を有する第1のスリット107-1を介して離間すると共に、第2の寸法L2に相当する幅L2を有する。第2のストライプ形状部分106-2は、該第1のストライプ形状部分106-1から第1の水平方向に第3の寸法L3に相当する幅L3を有する第2のスリット107-2を介して離間すると共に、第4の寸法L4に相当する幅L4を有する。第3のストライプ形状部分106-3は、該第2のストライプ形状部分106-2から第1の水平方向に第5の寸法L5に相当する幅L5を有する第3のスリット107-3を介して離間すると共に、第6の寸法L6に相当する幅L6を有する。第1の側部領域106-7と第2の側部領域106-8とは、第2の水平方向において互いに離間すると共に、第1の水平方向に沿って長手延在する。第1のスリット107-1、第2のスリット107-2及び第3のスリット107-3の各々は、第1の側部領域106-7と第2の側部領域106-8とでそれぞれ終端される。即ち、第1のストライプ形状部分106-1と、第2のストライプ形状部分106-2と、第3のストライプ形状部分106-3と、面状部分106-4とは、第1の側部領域106-7と第2の側部領域106-8とを介して互いに接続されている。換言すれば、ゲート電極106は、第1のストライプ形状部分106-1と、第2のストライプ形状部分106-2と、第3のストライプ形状部分106-3と、面状部分106-4と、第1の側部領域106-7と、第2の側部領域106-8とからなる一体化された構造体と、スリット群107とを含む。

【0093】

ゲート電極106における、第1のストライプ形状部分106-1、第2のストライプ形状部分106-2、第3のストライプ形状部分106-3及び面状部分106-4の幅、並びに、スリット群107における第1のスリット107-1、第2のスリット107-2及び第3のスリット107-3の幅は、それらの第1の水平方向における寸法であると定義する。

【0094】

第1のスリット107-1、第2のスリット107-2及び第3のスリット107-3は、フィールド酸化膜102からなる素子分離領域と活性領域1000との境界を越えて素子分離領域まで延在する。ゲート電極106の第1の側部領域106-7及び第2の側部領域106-8は、第1のスリット107-1、第2のスリット107-2及び第3のスリット107-3の各々を両端で終端する。よって、ゲート電極106の第1の側部領域106-7及び第2の側部領域106-8は、フィールド酸化膜102からなる素子分

離領域上に位置する。

【0095】

本実施形態においては、第1のスリット107-1、第2のスリット107-2及び第3のスリット107-3は、互いに異なる幅を有する。具体的には、第2のスリット107-2の幅L3は、第1のスリット107-1の幅L1より大きく、且つ、第3のスリット107-3の幅L5は、第2のスリット107-2の幅L3より大きい。即ち、 $L1 < L3 < L5$ なる関係が成立つ。また、ゲート電極106においては、第1のストライプ形状部分106-1、第2のストライプ形状部分106-2及び第3のストライプ形状部分106-3は、互いに同一幅を有する。即ち、 $L2 = L4 = L6$ なる関係が成立つ。更に、ゲート電極106の第1のストライプ形状部分106-1、第2のストライプ形状部分106-2及び第3のストライプ形状部分106-3の幅($L2 = L4 = L6$)は、第2のスリット107-2の幅L3に等しくすることが可能である。この場合、 $L1 < L2 = L4 = L6 = L3 < L5$ なる関係が成り立つ。

10

【0096】

第1のN⁻低濃度不純物拡散層109-1の中心位置は、第1の水平方向において、第1のスリット107-1の中心位置と自己整合している。第2のN⁻低濃度不純物拡散層109-2の中心位置は、第1の水平方向において、第2のスリット107-2の中心位置と自己整合している。第3のN⁻低濃度不純物拡散層109-3の中心位置は、第1の水平方向において、第3のスリット107-3の中心位置と自己整合している。

【0097】

20

ゲート電極106をマスクとして使用してイオン注入することで、ゲート電極106のスリット群107を介してP型半導体基板101中に不純物イオンを注入し、その後、イオン注入された不純物を熱拡散することで、第1のN⁻低濃度不純物拡散層109-1、第2のN⁻低濃度不純物拡散層109-2及び第3のN⁻低濃度不純物拡散層109-3を形成する。第2のN⁻低濃度不純物拡散層109-2の底部は、第1のN⁻低濃度不純物拡散層109-1の底部より深く、第3のN⁻低濃度不純物拡散層109-3の底部は、第2のN⁻低濃度不純物拡散層109-2の底部より深い。第2のN⁻低濃度不純物拡散層109-2の幅は、第1のN⁻低濃度不純物拡散層109-1の幅より広く、第3のN⁻低濃度不純物拡散層109-3の幅は、第2のN⁻低濃度不純物拡散層109-2の幅より広い。更に、第2のN⁻低濃度不純物拡散層109-2の不純物濃度は、第1のN⁻低濃度不純物拡散層109-1の不純物濃度より高く、第3のN⁻低濃度不純物拡散層109-3の不純物濃度は、第2のN⁻低濃度不純物拡散層109-2の不純物濃度より高い。

30

【0098】

第1のN⁻低濃度不純物拡散層109-1と第2のN⁻低濃度不純物拡散層109-2とは間隔を開けずに互いに隣接する必要がある。更に、第2のN⁻低濃度不純物拡散層109-2と第3のN⁻低濃度不純物拡散層109-3とは間隔を開けずに互いに隣接する必要がある。更に、第3のN⁻低濃度不純物拡散層109-3と第5のN⁻低濃度不純物拡散層109-5とは間隔を開けずに互いに隣接する必要がある。そして、第1のN⁻低濃度不純物拡散層109-1と第2のN⁻低濃度不純物拡散層109-2と第3のN⁻低濃度不純物拡散層109-3と第5のN⁻低濃度不純物拡散層109-5とは、一体化した低濃度不純物拡散領域を形成する必要がある。

40

【0099】

この一体化した低濃度不純物拡散領域は、チャンネル領域に近づくにつれ、その底部の深さが次第に減少すると共に、その不純物濃度が次第に減少する。電界緩和領域の不純物濃度の減少は、MOSトランジスタの高耐圧特性の向上を容易にするが、その駆動能力の向上を難しくする。一方、電界緩和領域の不純物濃度の増加は、MOSトランジスタの駆動能力の向上を容易にするが、その高耐圧特性の向上を難しくする。特に、電界緩和領域の中でもチャンネル領域により近い部分の不純物濃度の減少は、MOSトランジスタの高耐圧特性の向上にとって、より効果的である。一方、電界緩和領域の中でもチャンネル領域から

50

より遠い部分の不純物濃度の増加は、MOSトランジスタの駆動能力の向上にとって、より効果的である。前述の一体化した低濃度不純物拡散領域に含まれる電界緩和領域は、チャネル領域に近づくにつれ、その不純物濃度が減少し、チャネル領域から遠ざかるにつれ、その不純物濃度が増加する。よって、この界緩和領域は、MOSトランジスタの高耐圧特性の向上及びMOSトランジスタの駆動能力の向上に効果的な第1の水平方向における不純物濃度プロファイルを有する。

【0100】

この一体化した低濃度不純物拡散領域を形成するためには、横方向の不純物熱拡散距離 L_7 は、少なくとも、ゲート電極106の第1のストライプ形状部分106-1、第2のストライプ形状部分106-2及び第3のストライプ形状部分106-3の幅 ($L_2 = L_4 = L_6$) の半分 ($L_2 / 2 = L_4 / 2 = L_6 / 2$) 必要である。この理由は以下の通りである。

【0101】

スリット群107を有するゲート電極106をマスクとして使用したイオン注入工程により、第1のスリット107-1、第2のスリット107-2及び第3のスリット107-3の下方のP型半導体基板101中に、低濃度不純物注入領域を選択的に形成する。この段階では、低濃度不純物注入領域の両端部の位置は、第1のスリット107-1、第2のスリット107-2及び第3のスリット107-3の両端側壁の位置に対し、第1の水平方向でみて、自己整合している。そして、互いに隣り合う低濃度不純物注入領域同士は、ゲート電極106の第1のストライプ形状部分106-1、第2のストライプ形状部分106-2及び第3のストライプ形状部分106-3の幅 ($L_2 = L_4 = L_6$) に相当する距離だけ、互いに第1の水平方向において離間している。その後、不純物の熱拡散工程を行い、不純物拡散領域を拡大する。この不純物の熱拡散工程は、互いに隣り合う不純物拡散領域同士が、少なくとも互いに接するまで行う。結果、第1のN-低濃度不純物拡散層109-1と第2のN-低濃度不純物拡散層109-2とが間隔を開けずに互いに隣接する。第2のN-低濃度不純物拡散層109-2と第3のN-低濃度不純物拡散層109-3とが間隔を開けずに互いに隣接する。更に、第3のN-低濃度不純物拡散層109-3と第5のN-低濃度不純物拡散層109-5とが間隔を開けずに互いに隣接する。そして、第1のN-低濃度不純物拡散層109-1と第2のN-低濃度不純物拡散層109-2と第3のN-低濃度不純物拡散層109-3と第5のN-低濃度不純物拡散層109-5とが、一体化した低濃度不純物拡散領域を形成する。

【0102】

スリット群107を有するゲート電極106をマスクとして使用したイオン注入工程により、第1のスリット107-1、第2のスリット107-2及び第3のスリット107-3の下方のP型半導体基板101中に、低濃度不純物注入領域を選択的に形成する。この段階では、低濃度不純物注入領域の両端部の位置は、第1のスリット107-1、第2のスリット107-2及び第3のスリット107-3の両端側壁の位置に対し、第1の水平方向でみて、自己整合している。更に、前述の横方向熱拡散は、第1の水平方向でみて対称的である。よって、第1のN-低濃度不純物拡散層109-1の中心位置は、第1のスリット107-1の中心位置に自己整合している。第2のN-低濃度不純物拡散層109-2の中心位置は、第2のスリット107-2の中心位置に自己整合している。第3のN-低濃度不純物拡散層109-3の中心位置は、第3のスリット107-3の中心位置に自己整合している。従って、前述の一体化した低濃度不純物拡散領域は、第1の水平方向位置でみて、スリット群107に対し自己整合している。換言すると、前述の一体化した低濃度不純物拡散領域は、第1の水平方向位置でみて、スリット群107を有するゲート電極106に対し自己整合している。

【0103】

図15に示すように、第1のN-低濃度不純物拡散層109-1の内側端部は、ゲート電極106の面状部分106-4と、不純物の水平方向熱拡散距離 L_7 に相当する寸法だけオーバーラップしている。同様に、第4のN-低濃度不純物拡散層109-4の内側端

10

20

30

40

50

部は、ゲート電極106の面状部分106-4と、不純物の水平方向熱拡散距離L7に相当する寸法だけオーバーラップしている。チャンネル長さLchは、第1のN⁻低濃度不純物拡散層109-1の内側端部と、第4のN⁻低濃度不純物拡散層109-4の内側端部との間で規定される。よって、チャンネル長さLchは、面状部分106-4の幅L8から、不純物の水平方向熱拡散距離L7の2倍を差し引いた値に等しい。即ち、 $Lch = L8 - 2 \times L7$ の関係が成立する。

【0104】

ゲート電極106は、面状部分106-4と、第1のストライプ形状部分106-1と、第2のストライプ形状部分106-2と、第3のストライプ形状部分106-3とで、ゲート電位に基づく電界を、チャンネル領域、並びに、第1のN⁻低濃度不純物拡散層109-1、第2のN⁻低濃度不純物拡散層109-2、第3のN⁻低濃度不純物拡散層109-3及び第5のN⁻低濃度不純物拡散層109-5に印加する。このため、ゲート電極106の幅即ち第1の水平方向における寸法は、第3のストライプ形状部分106-3のドレイン側の端部からなる第1の端部106-5と、面状部分106-4のソース側の端部からなる第2の端部106-6との間の距離で規定される。即ち、ゲート電極106の幅は、第1のスリット107-1の幅L1と、第1のストライプ形状部分106-1の幅L2と、第2のスリット107-2の幅L3と、第2のストライプ形状部分106-2の幅L4と、第3のスリット107-3の幅L5と、第3のストライプ形状部分106-3の幅L6と、面状部分106-4の幅L8との合計値に相当する。

【0105】

前述した一体化した低濃度不純物拡散領域は、ゲート電極106とオーバーラップする部分を有し、このオーバーラップする部分が、電界緩和領域として働く。即ち、本願においては、低濃度不純物拡散領域であって、ゲート電極106とオーバーラップする領域を電界緩和領域と定義する。よって、電界緩和領域の第1の水平方向における寸法は、ゲートオーバーラップ寸法に相当する。前述したように、一体化した低濃度不純物拡散領域は、第1のN⁻低濃度不純物拡散層109-1と第2のN⁻低濃度不純物拡散層109-2と第3のN⁻低濃度不純物拡散層109-3と第5のN⁻低濃度不純物拡散層109-5とからなる。ゲート電極106は、面状部分106-4と、第1のストライプ形状部分106-1と、第2のストライプ形状部分106-2と、第3のストライプ形状部分106-3とを含む。従って、ゲートオーバーラップ寸法Ldは、第1のN⁻低濃度不純物拡散層109-1の内側端部と、ゲート電極106の第1の端部106-5との第1の水平方向における距離で規定される。従って、電界緩和領域とゲート電極106とのオーバーラップ寸法Ldは、第1のスリット107-1の幅L1と、第1のストライプ形状部分106-1の幅L2と、第2のスリット107-2の幅L3と、第2のストライプ形状部分106-2の幅L4と、第3のスリット107-3の幅L5と、第3のストライプ形状部分106-3の幅L6と、不純物の水平方向熱拡散距離L7との合計値($L1 + L2 + L3 + L4 + L5 + L6 + L7$)で与えられる。即ち、 $Ld = L1 + L2 + L3 + L4 + L5 + L6 + L7$ なる関係が成立する。

【0106】

以下、第1のスリット107-1の幅L1、第2のスリット107-2の幅L3及び第3のスリット107-3の幅L5、並びに、ゲート電極106の第1のストライプ形状部分106-1の幅L2、第2のストライプ形状部分106-2の幅L4及び第3のストライプ形状部分106-3の幅L6に関する更なる説明を行う。

【0107】

スリット幅の増加は、ゲート電位に基づき前述の電界緩和領域に印加される電界の減少、及び電界緩和効果の低減につながる。更に、スリット幅の増加は、必要なゲートオーバーラップ量を確保するために必要となるゲート電極のストライプ形状部分の数とスリットの数との減少になると共に、ゲート電極をマスクとした不純物イオン注入工程における不純物の導入を容易にする。最大スリット幅は、ゲート電位に基づき前述の電界緩和領域に印加される必要最小限の電界と、最低限必要とされる電界緩和効果とを得るのに必要な上限

幅で決まる。

【0108】

スリット幅の減少は、必要なゲートオーバーラップ量を確保するために必要となるゲート電極のストライプ形状部分の数とスリットの数が増加につながると共に、ゲート電極をマスクとした不純物イオン注入工程における不純物の導入の妨げになり、最終的に得られる不純物拡散層の濃度の低下につながる。更に、スリット幅の減少は、ゲート電位に基づき前述の電界緩和領域に印加される電界の増加、及び電界緩和効果の増加につながる。最小スリット幅は、パターンニング可能な限界幅で決まる。

【0109】

ゲート電極のストライプ形状部分の幅の増加は、最低限必要とされる横方向の不純物の拡散距離の増加につながる。更に、ゲート電極のストライプ形状部分の幅の増加は、必要なオーバーラップ量を確保するために必要となるストライプ形状部分の数とスリットの数

10

【0110】

ゲート電極のストライプ形状部分の幅の減少は、必要なオーバーラップ量を確保するために必要となるストライプ形状部分の数とスリットの数が増加につながる。更に、ゲート電極のストライプ形状部分の幅の減少は、最低限必要とされる横方向の不純物の拡散距離の減少につながる。

【0111】

ゲート電極のストライプ形状部分の幅の半分の値が、最低限必要とされる横方向の不純物の拡散距離に相当する。よって、ゲート電極のストライプ形状部分は、互いに同一幅を有することが好ましい。ゲート電極のストライプ形状部分が互いに異なる幅を有する場合、最低限必要とされる横方向の不純物の拡散距離は、最も広いストライプ形状部分の幅の半分となる。

20

【0112】

従って、ゲート電極のスリット幅及びストライプ形状部分の幅は、上記関係を考慮して決めることが好ましい。本実施の形態では、一典型例として、第2のスリット107-2の幅L3、第1のストライプ形状部分106-1の幅L2、第2のストライプ形状部分106-2の幅L4、及び第3のストライプ形状部分106-3の幅L6を、同一の寸法、例えば、 $0.3\mu\text{m}$ にし、第1のスリット107-1の幅L1を、例えば、 $0.2\mu\text{m}$ にし、第3のスリット107-3の幅L5を、例えば、 $0.4\mu\text{m}$ にすることが可能である。この場合、オーバーラップ寸法Ldは、 $0.3\mu\text{m} \times 4 + 0.2\mu\text{m} + 0.4\mu\text{m}$ と、不純物の水平方向熱拡散距離L7との和で与えられる。必要最小限の不純物の水平方向熱拡散距離は、 $0.3\mu\text{m} / 2 = 0.15\mu\text{m}$ となる。必要最小限の不純物の熱拡散工程を行った場合、最終的に得られるゲートオーバーラップ寸法Ldは、 $Ld = 0.3\mu\text{m} \times 4 + 0.2\mu\text{m} + 0.4\mu\text{m} + 0.3\mu\text{m} / 2 = 1.95\mu\text{m}$ となる。この場合、一体化した低濃度不純物拡散領域は、第1の水平方向でみて、変化する不純物濃度プロファイル

30

を有する。また、一体化した低濃度不純物拡散領域が、第1の水平方向でみて、均一な不純物濃度プロファイル

40

を有するよう、横方向熱拡散が互いにオーバーラップするまで不純物の熱拡散工程を行った場合、最終的に得られるゲートオーバーラップ寸法Ldは、 $1.95\mu\text{m}$ より大きな値となる。即ち、 $Ld > 0.3\mu\text{m} \times 4 + 0.2\mu\text{m} + 0.4\mu\text{m} + 0.3\mu\text{m} / 2 = 1.95\mu\text{m}$ なる関係が成り立つ。

【0113】

例えば、40V耐圧のMOSトランジスタでは、ゲートオーバーラップ量が約 $2\mu\text{m}$ 必要になる場合がある。本発明に係るゲートオーバーラップ構造によれば、前述の3つのスリットの幅を相加平均で $0.3\mu\text{m}$ 、前述の3つのストライプ形状部分の幅を $0.3\mu\text{m}$ とし、水平方向熱拡散距離L7を、前述の3つのストライプ形状部分の幅の半分以上とすることで、 $1.95\mu\text{m}$ 以上のゲートオーバーラップ寸法Ldが得られる。よって、40V耐圧のMOSトランジスタが必要とする大きなゲートオーバーラップ量を得ることが可能となる。本実施の形態では、3本のスリットを形成したが、スリット

50

たゲートオーバーラップ寸法 L_d に合わせて適宜決定することが可能である。前述したように、スリットの幅の最大値は、最大スリット幅は、ゲート電位に基づき前述の電界緩和領域に印加される必要最小限の電界と、最低限必要とされる電界緩和効果とを得るのに必要な上限幅で決まる。スリットの幅の最大値として、 $1.0\ \mu\text{m}$ を一例として挙げることができる。スリットの幅の最小値は、パターンニング可能な限界幅で決まる。スリットの幅の最小値として、 $0.1\ \mu\text{m}$ を一例として挙げることができる。仮に、単一のスリットの形成で、 40 V 耐圧のMOSトランジスタが必要とするゲートオーバーラップ量である約 $2\ \mu\text{m}$ を得るには、この単一のスリットの幅を $1.55\ \mu\text{m}$ 以上とする必要がある。しかし、このような過度に幅の広い単一スリットを形成した場合、前述の電界緩和領域に印加される必要最小限の電界と、最低限必要とされる電界緩和効果とを得ることができない。よって、高耐圧のMOSトランジスタが必要とする大きなゲートオーバーラップ量を得るには、少なくとも複数のスリットを設けることが必要となる。

10

【0114】

以下、本実施形態に係る高耐圧MOSトランジスタの製造方法につき、添付図面を参照して説明する。

【0115】

(高耐圧MOSトランジスタの製造方法)

図17乃至図27は、本発明の第2実施形態に係る高耐圧MOSトランジスタの製造工程を示す部分縦断面図である

図17に示すように、LOCOS (Local Oxidation Of Silicon) 法により、P型半導体基板101の素子分離領域に、フィールド酸化膜102を形成し、活性領域1000をフィールド酸化膜102により画定する。活性領域1000は、高耐圧MOSトランジスタを形成するための領域である。

20

【0116】

図18に示すように、P型半導体基板101上及びフィールド酸化膜102上に、膜厚 $100\ \text{\AA}$ のシリコン酸化膜103を既知の方法で形成する。使用し得る既知の方法の典型例は、熱酸化法及び各種のCVD (Chemical Vapor Deposition) 法を含む。

【0117】

図19に示すように、シリコン酸化膜103上にポリシリコン膜104を既知のCVD法で形成する

30

図20に示すように、既知のリソグラフィ技術により、ポリシリコン膜104上に、レジストパターン116を形成する。このレジストパターン116は、幅の異なる3つのスリット状の開口部を有する。即ち、レジストパターン116は、面状部分と、互いに同一幅を有する3つのストライプ形状部分と、互いに異なる幅を有する3つのスリットとからなる。ここで、3つのスリットの幅及び3つのストライプ形状部分の幅は、 $L_1 < L_2 = L_4 = L_6 = L_3 < L_5$ なる関係を有する。面状部分の幅は、 L_8 である。

【0118】

図21に示すように、レジストパターン116をマスクとして使用してポリシリコン膜104を選択的にエッチングすることで、ゲート電極106を形成する。ゲート電極106は、図16に示すように、第1のストライプ形状部分106-1と、第2のストライプ形状部分106-2と、第3のストライプ形状部分106-3と、面状部分106-4と、第1の端部106-5と、第2の端部106-6と、第1の側部領域106-7と、第2の側部領域106-8と、スリット群107とを有する。スリット群107は、第1のスリット107-1、第2のスリット107-2及び第3のスリット107-3からなり、第1の水平方向において互いに離間すると共に、第2の水平方向に沿って長手延在する。面状部分106-4は、チャンネル領域の上方であって、ゲート絶縁膜103上に、二次元的に延在すると共に、第8の寸法 L_8 に相当する幅 L_8 を有する。

40

【0119】

第1のストライプ形状部分106-1は、該面状部分106-4から第1の水平方向に

50

第1の寸法 L_1 に相当する幅 L_1 を有する第1のスリット107-1を介して離間すると共に、第2の寸法 L_2 に相当する幅 L_2 を有する。第2のストライプ形状部分106-2は、該第1のストライプ形状部分106-1から第1の水平方向に第3の寸法 L_3 に相当する幅 L_3 を有する第2のスリット107-2を介して離間すると共に、第4の寸法 L_4 に相当する幅 L_4 を有する。第3のストライプ形状部分106-3は、該第2のストライプ形状部分106-2から第1の水平方向に第5の寸法 L_5 に相当する幅 L_5 を有する第3のスリット107-3を介して離間すると共に、第6の寸法 L_6 に相当する幅 L_6 を有する。第1の側部領域106-7と第2の側部領域106-8とは、第2の水平方向において互いに離間すると共に、第1の水平方向に沿って長手延在する。第1のスリット107-1、第2のスリット107-2及び第3のスリット107-3の各々は、第1の側部領域106-7と第2の側部領域106-8とでそれぞれ終端される。即ち、第1のストライプ形状部分106-1と、第2のストライプ形状部分106-2と、第3のストライプ形状部分106-3と、面状部分106-4とは、第1の側部領域106-7と第2の側部領域106-8とを介して互いに接続されている。換言すれば、ゲート電極106は、第1のストライプ形状部分106-1と、第2のストライプ形状部分106-2と、第3のストライプ形状部分106-3と、面状部分106-4と、第1の側部領域106-7と、第2の側部領域106-8とからなる一体化された構造体と、スリット群107とを含む。

【0120】

第1のスリット107-1、第2のスリット107-2及び第3のスリット107-3は、フィールド酸化膜102からなる素子分離領域と活性領域1000との境界を越えて素子分離領域まで延在する。ゲート電極106の第1の側部領域106-7及び第2の側部領域106-8は、第1のスリット107-1、第2のスリット107-2及び第3のスリット107-3の各々を両端で終端する。よって、ゲート電極106の第1の側部領域106-7及び第2の側部領域106-8は、フィールド酸化膜102からなる素子分離領域上に位置する。

【0121】

第1のスリット107-1、第2のスリット107-2及び第3のスリット107-3は、互いに異なる幅を有する。具体的には、第2のスリット107-2の幅 L_3 は、第1のスリット107-1の幅 L_1 より広く、且つ、第3のスリット107-3の幅 L_5 は、第2のスリット107-2の幅 L_3 より広い。即ち、 $L_1 < L_3 < L_5$ なる関係が成立つ。また、ゲート電極106においては、第1のストライプ形状部分106-1、第2のストライプ形状部分106-2及び第3のストライプ形状部分106-3は、互いに同一幅を有する。即ち、 $L_2 = L_4 = L_6$ なる関係が成立つ。更に、ゲート電極106の第1のストライプ形状部分106-1、第2のストライプ形状部分106-2及び第3のストライプ形状部分106-3の幅($L_2 = L_4 = L_6$)は、第2のスリット107-2の幅 L_3 に等しくすることが可能である。この場合、 $L_1 < L_2 = L_4 = L_6 = L_3 < L_5$ なる関係が成り立つ。また、ゲート電極106の第1の端部106-5と第2の端部106-6との距離、即ち、ゲート電極106の第1の水平方向における寸法は、第1のスリット107-1の幅 L_1 と、第1のストライプ形状部分106-1の幅 L_2 と、第2のスリット107-2の幅 L_3 と、第2のストライプ形状部分106-2の幅 L_4 と、第3のスリット107-3の幅 L_5 と、第3のストライプ形状部分106-3の幅 L_6 と、面状部分106-4の幅 L_8 との合計値($L_1 + L_2 + L_3 + L_4 + L_5 + L_6 + L_8$)で与えられる。本実施の形態においては、第1のスリット107-1、第2のスリット107-2及び第3のスリット107-3の幅の相加平均を $0.3 \mu\text{m}$ とし、ゲート電極106の第1のストライプ形状部分106-1、第2のストライプ形状部分106-2及び第3のストライプ形状部分106-3の幅を全て均一の値 $0.3 \mu\text{m}$ ($L_2 = L_4 = L_6 = 0.3 \mu\text{m}$)とした。

【0122】

図22に示すように、レジストパターン116を既知の方法により除去する。その後、

既知のイオン注入技術により、ポリシリコン膜からなるゲート電極106をマスクとして使用して、加速エネルギー150 keV及びドーズ量 $6.0 \times 10^{12} \text{ cm}^{-2}$ の条件下で、垂直方向に、N型不純物であるリン(P)を、ゲート絶縁膜103を介し、P型半導体基板101の主面中に選択的に注入する。結果、P型半導体基板101の上部領域であって、且つ、ゲート電極106の第1のスリット107-1の下方に位置する領域に、第1のN⁻低濃度不純物注入領域108-1が選択的に形成される。ゲート電極106の第2のスリット107-2の下方に位置する領域に、第2のN⁻低濃度不純物注入領域108-2が選択的に形成される。ゲート電極106の第3のスリット107-3の下方に位置する領域に、第3のN⁻低濃度不純物注入領域108-3が選択的に形成される。ゲート電極106の第2の端部106-6の外側の下方に位置する領域に、第4のN⁻低濃度不純物注入領域108-4が選択的に形成される。ゲート電極106の第1の端部106-5の外側の下方に位置する領域に、第5のN⁻低濃度不純物注入領域108-5が選択的に形成される。

10

【0123】

即ち、第1のN⁻低濃度不純物注入領域108-1が、ゲート電極106の第1のスリット107-1に対し、自己整合的に形成される。ここで、第1のN⁻低濃度不純物注入領域108-1の両端位置は、第1の水平方向でみて、第1のスリット107-1の両側壁の位置に相当する。第2のN⁻低濃度不純物注入領域108-2が、ゲート電極106の第2のスリット107-2に対し、自己整合的に形成される。ここで、第2のN⁻低濃度不純物注入領域108-2の両端位置は、第1の水平方向でみて、第2のスリット107-2の両側壁の位置に相当する。第3のN⁻低濃度不純物注入領域108-3が、ゲート電極106の第3のスリット107-3に対し、自己整合的に形成される。ここで、第3のN⁻低濃度不純物注入領域108-3の両端位置は、第1の水平方向でみて、第3のスリット107-3の両側壁の位置に相当する。第4のN⁻低濃度不純物注入領域108-4は、ゲート電極106の第2の端部106-6に対し、自己整合的に形成される。第5のN⁻低濃度不純物注入領域108-5は、ゲート電極106の第1の端部106-5に対し、自己整合的に形成される。よって、第1のN⁻低濃度不純物注入領域108-1の幅は、第1のスリット107-1の幅L1で画定され、第2のN⁻低濃度不純物注入領域108-2の幅は、第2のスリット107-2の幅L3で画定され、第3のN⁻低濃度不純物注入領域108-3の幅は、第3のスリット107-3の幅L5で画定される。

20

30

【0124】

各スリット107が、イオン注入の窓となる。スリットの幅に対する深さの比でスリットのアスペクト比が定義される。スリットの深さは、ゲート電極106を構成する膜の厚さに相当する。スリットのアスペクト比の増大は、不純物イオンの注入を難しくする。スリットの深さが一定なので、スリットの幅の減少は、不純物イオンの注入の妨げとなる。従って、第1のN⁻低濃度不純物注入領域108-1の不純物濃度は、第2のN⁻低濃度不純物注入領域108-2の不純物濃度より低く、第2のN⁻低濃度不純物注入領域108-2の不純物濃度は、第3のN⁻低濃度不純物注入領域108-3の不純物濃度より低い。

【0125】

40

図23及び図42に示すように、既知の熱拡散技術により、N₂雰囲気中で1000℃、100分程度の熱処理を行い、前述のイオン打ち込みされた不純物の活性化及び熱拡散を行う。不純物の熱拡散は、等方的であるため、深さ方向及び水平方向即ち横方向に不純物が拡散する。結果、第1のN⁻低濃度不純物注入領域108-1は、第1のN⁻低濃度不純物拡散層109-1となり、第2のN⁻低濃度不純物注入領域108-2は、第2のN⁻低濃度不純物拡散層109-2となり、第3のN⁻低濃度不純物注入領域108-3は、第3のN⁻低濃度不純物拡散層109-3となり、第4のN⁻低濃度不純物注入領域108-4は、第4のN⁻低濃度不純物拡散層109-4となり、第5のN⁻低濃度不純物注入領域108-5は、第5のN⁻低濃度不純物拡散層109-5となる。第1のN⁻低濃度不純物注入領域108-1は、ゲート電極106の第1のスリット107-1に対

50

し自己整合し、且つ、不純物の熱拡散は当方的であるので、第1のN⁻低濃度不純物拡散層109-1の中心位置は、第1の水平方向において、第1のスリット107-1の中心位置と自己整合している。第2のN⁻低濃度不純物注入領域108-2は、ゲート電極106の第2のスリット107-2に対し自己整合し、且つ、不純物の熱拡散は当方的であるので、第2のN⁻低濃度不純物拡散層109-2の中心位置は、第1の水平方向において、第2のスリット107-2の中心位置と自己整合している。第3のN⁻低濃度不純物注入領域108-3は、ゲート電極106の第3のスリット107-3に対し自己整合し、且つ、不純物の熱拡散は当方的であるので、第3のN⁻低濃度不純物拡散層109-3の中心位置は、第1の水平方向において、第3のスリット107-3の中心位置と自己整合している。

10

【0126】

第1のスリット107-1の幅L1と、第2のスリット107-2の幅L3と、第3のスリット107-3の幅L5とは、前述したように互いに異なるので、第2のN⁻低濃度不純物拡散層109-2の底部は、第1のN⁻低濃度不純物拡散層109-1の底部より深く、第3のN⁻低濃度不純物拡散層109-3の底部は、第2のN⁻低濃度不純物拡散層109-2の底部より深い。第2のN⁻低濃度不純物拡散層109-2の幅は、第1のN⁻低濃度不純物拡散層109-1の幅より広く、第3のN⁻低濃度不純物拡散層109-3の幅は、第2のN⁻低濃度不純物拡散層109-2の幅より広い。更に、第2のN⁻低濃度不純物拡散層109-2の不純物濃度は、第1のN⁻低濃度不純物拡散層109-1の不純物濃度より高く、第3のN⁻低濃度不純物拡散層109-3の不純物濃度は、第2のN⁻低濃度不純物拡散層109-2の不純物濃度より高い。

20

【0127】

第1のN⁻低濃度不純物拡散層109-1と第2のN⁻低濃度不純物拡散層109-2とは、間隔を開けずに互いに隣接する必要がある。更に、第2のN⁻低濃度不純物拡散層109-2と第3のN⁻低濃度不純物拡散層109-3とは、間隔を開けずに互いに隣接する必要がある。更に、第3のN⁻低濃度不純物拡散層109-3と第5のN⁻低濃度不純物拡散層109-5とは、間隔を開けずに互いに隣接する必要がある。そして、第1のN⁻低濃度不純物拡散層109-1と第2のN⁻低濃度不純物拡散層109-2と第3のN⁻低濃度不純物拡散層109-3と第5のN⁻低濃度不純物拡散層109-5とは、一体化した低濃度不純物拡散領域を形成する必要がある。

30

【0128】

この一体化した低濃度不純物拡散領域は、チャネル領域に近づくにつれ、その底部の深さが次第に減少すると共に、その不純物濃度が次第に減少する。電界緩和領域の不純物濃度の減少は、MOSトランジスタの高耐圧特性の向上を容易にするが、その駆動能力の向上を難しくする。一方、電界緩和領域の不純物濃度の増加は、MOSトランジスタの駆動能力の向上を容易にするが、その高耐圧特性の向上を難しくする。特に、電界緩和領域の中でもチャネル領域により近い部分の不純物濃度の減少は、MOSトランジスタの高耐圧特性の向上にとって、より効果的である。一方、電界緩和領域の中でもチャネル領域からより遠い部分の不純物濃度の増加は、MOSトランジスタの駆動能力の向上にとって、より効果的である。前述の一体化した低濃度不純物拡散領域に含まれる電界緩和領域は、チャネル領域に近づくにつれ、その不純物濃度が減少し、チャネル領域から遠ざかるにつれ、その不純物濃度が増加する。よって、この界緩和領域は、MOSトランジスタの高耐圧特性の向上及びMOSトランジスタの駆動能力の向上に効果的な第1の水平方向における不純物濃度プロファイルを有する。

40

【0129】

前述した一体化した低濃度不純物拡散領域を形成するためには、横方向の不純物熱拡散距離L7は、少なくとも、ゲート電極106の第1のストライプ形状部分106-1、第2のストライプ形状部分106-2及び第3のストライプ形状部分106-3の幅(L2=L4=L6=0.3μm)の半分(L2/2=L4/2=L6/2=0.15μm)必要である。スリット群107を有するゲート電極106をマスクとして使用したイオン注

50

入工程により、第1のスリット107-1、第2のスリット107-2及び第3のスリット107-3の下方のP型半導体基板101中に、低濃度不純物注入領域を選択的に形成した。この段階では、低濃度不純物注入領域の両端部の位置は、第1のスリット107-1、第2のスリット107-2及び第3のスリット107-3の両端側壁の位置に対し、第1の水平方向でみて、自己整合している。そして、互いに隣り合う低濃度不純物注入領域同士は、ゲート電極106の第1のストライプ形状部分106-1、第2のストライプ形状部分106-2及び第3のストライプ形状部分106-3の幅($L_2 = L_4 = L_6 = 0.3 \mu\text{m}$)に相当する距離だけ、互いに第1の水平方向において離間している。その後、不純物の熱拡散工程を行い、不純物拡散領域を拡大する。この不純物の熱拡散工程は、互いに隣り合う不純物拡散領域同士が、少なくとも互いに接するまで行う。結果、第1のN-低濃度不純物拡散層109-1と第2のN-低濃度不純物拡散層109-2とが間隔を開けずに互いに隣接する。第2のN-低濃度不純物拡散層109-2と第3のN-低濃度不純物拡散層109-3とが間隔を開けずに互いに隣接する。更に、第3のN-低濃度不純物拡散層109-3と第5のN-低濃度不純物拡散層109-5とが間隔を開けずに互いに隣接する。そして、第1のN-低濃度不純物拡散層109-1と第2のN-低濃度不純物拡散層109-2と第3のN-低濃度不純物拡散層109-3と第5のN-低濃度不純物拡散層109-5とが、一体化した低濃度不純物拡散領域を形成する。

【0130】

図42は、第1の水平方向における、不純物の熱拡散距離とゲート電極のストライプ形状部分の幅との関係を示す部分縦断面図である。図42(a)に示すように、第1の水平方向における、不純物の熱拡散距離 L_7 が、ゲート電極106の第1のストライプ形状部分106-1、第2のストライプ形状部分106-2及び第3のストライプ形状部分106-3の幅($L_2 = L_4 = L_6 = 0.3 \mu\text{m}$)の半分($L_2/2 = L_4/2 = L_6/2 = 0.15 \mu\text{m}$)に達した時点で不純物の熱拡散工程を中止した場合、横方向における不純物の拡散フロントは、ゲート電極106の第1のストライプ形状部分106-1、第2のストライプ形状部分106-2及び第3のストライプ形状部分106-3の各々の、第1の水平方向でみて、中心位置に対応する位置に達する。このことは、最も横方向熱拡散距離の大きい不純物が、ゲート電極106の第1のストライプ形状部分106-1、第2のストライプ形状部分106-2及び第3のストライプ形状部分106-3の各々の、第1の水平方向でみて、中心位置に対応する位置に達することを意味する。即ち、互いに隣り合う低濃度不純物注入領域からの不純物の横方向における拡散フロントが、互いに接する。この場合、ゲート電極106の第1のストライプ形状部分106-1、第2のストライプ形状部分106-2及び第3のストライプ形状部分106-3の中心位置に対応する位置での不純物の濃度は、第1のスリット107-1、第2のスリット107-2及び第3のスリット107-3の各々の中心位置に対応する位置での不純物の濃度より低くなる。即ち、第1のN-低濃度不純物拡散層109-1と第2のN-低濃度不純物拡散層109-2と第3のN-低濃度不純物拡散層109-3と第5のN-低濃度不純物拡散層109-5との組からなる一体化した低濃度不純物拡散領域は、第1の水平方向でみて、変化する不純物濃度プロファイルを有する。

【0131】

一方、図42(b)に示すように、不純物の熱拡散距離 L_7 を、ゲート電極106の第1のストライプ形状部分106-1、第2のストライプ形状部分106-2及び第3のストライプ形状部分106-3の幅($L_2 = L_4 = L_6 = 0.3 \mu\text{m}$)の半分($L_2/2 = L_4/2 = L_6/2 = 0.15 \mu\text{m}$)より大きくした場合、互いに隣り合う低濃度不純物注入領域からの不純物の横方向における拡散フロントが、相互に交差する。即ち、横方向における不純物の拡散フロントは、ゲート電極106の第1のストライプ形状部分106-1、第2のストライプ形状部分106-2及び第3のストライプ形状部分106-3の各々の、第1の水平方向でみて、中心位置に対応する位置を越えて、互いにオーバーラップして横方向熱拡散した領域が、ゲート電極106の第1のストライプ形状部分106-1、第2のストライプ形状部分106-2及び第3のストライプ形状部分106-3に形

成される。このことは、最も横方向熱拡散距離の大きい不純物が、ゲート電極 106 の第 1 のストライプ形状部分 106-1、第 2 のストライプ形状部分 106-2 及び第 3 のストライプ形状部分 106-3 の各々の、第 1 の水平方向でみて、中心位置に対応する位置を越えることを意味する。横方向熱拡散が互いにオーバーラップすることで、ゲート電極 106 の第 1 のストライプ形状部分 106-1、第 2 のストライプ形状部分 106-2 及び第 3 のストライプ形状部分 106-3 の中心位置に対応する位置での不純物の濃度と、第 1 のスリット 107-1、第 2 のスリット 107-2 及び第 3 のスリット 107-3 の各々の中心位置に対応する位置での不純物の濃度との差が低減される。換言すると、横方向熱拡散が互いにオーバーラップするまで熱拡散工程を行うことで、前述の一体化した低濃度不純物拡散領域がより均一な不純物濃度のプロファイルを有することになる。よって、均一な不純物濃度のプロファイルを得るためには、不純物の水平方向熱拡散距離 L_7 が、ゲート電極 106 の第 1 のストライプ形状部分 106-1、第 2 のストライプ形状部分 106-2 及び第 3 のストライプ形状部分 106-3 の幅 ($L_2 = L_4 = L_6 = 0.3 \mu\text{m}$) の半分 ($L_2 / 2 = L_4 / 2 = L_6 / 2 = 0.15 \mu\text{m}$) を越えて、横方向熱拡散が互いにオーバーラップするまで熱拡散工程を継続することが好ましい。図 23 においては、第 1 の N-低濃度不純物拡散層 109-1、第 2 の N-低濃度不純物拡散層 109-2、第 3 の N-低濃度不純物拡散層 109-3 及び第 5 の N-低濃度不純物拡散層 109-5 の内、隣接する 2 つの境界を、便宜的に、横方向熱拡散が互いにオーバーラップした領域の中心位置に示している。

【0132】

図 23 に示すように、第 1 の N-低濃度不純物拡散層 109-1 の内側端部は、ゲート電極 106 の面状部分 106-4 と、不純物の水平方向熱拡散距離 L_7 に相当する寸法だけオーバーラップしている。同様に、第 4 の N-低濃度不純物拡散層 109-4 の内側端部は、ゲート電極 106 の面状部分 106-4 と、不純物の水平方向熱拡散距離 L_7 に相当する寸法だけオーバーラップしている。チャンネル長さ L_{ch} は、第 1 の N-低濃度不純物拡散層 109-1 の内側端部と、第 4 の N-低濃度不純物拡散層 109-4 の内側端部との間で規定される。よって、チャンネル長さ L_{ch} は、面状部分 106-4 の幅 L_8 から、不純物の水平方向熱拡散距離 L_7 の 2 倍を差し引いた値に等しい。即ち、 $L_{ch} = L_8 - 2 \times L_7$ の関係が成立する。

【0133】

ゲート電極 106 は、面状部分 106-4 と、第 1 のストライプ形状部分 106-1 と、第 2 のストライプ形状部分 106-2 と、第 3 のストライプ形状部分 106-3 とで、ゲート電位に基づく電界を、チャンネル領域、並びに、第 1 の N-低濃度不純物拡散層 109-1、第 2 の N-低濃度不純物拡散層 109-2、第 3 の N-低濃度不純物拡散層 109-3 及び第 5 の N-低濃度不純物拡散層 109-5 に印加する。このため、ゲート電極 106 の幅即ち第 1 の水平方向における寸法は、第 3 のストライプ形状部分 106-3 のドレイン側の端部からなる第 1 の端部 106-5 と、面状部分 106-4 のソース側の端部からなる第 2 の端部 106-6 との間の距離で規定される。即ち、ゲート電極 106 の幅は、第 1 のスリット 107-1 の幅 L_1 と、第 1 のストライプ形状部分 106-1 の幅 L_2 と、第 2 のスリット 107-2 の幅 L_3 と、第 2 のストライプ形状部分 106-2 の幅 L_4 と、第 3 のスリット 107-3 の幅 L_5 と、第 3 のストライプ形状部分 106-3 の幅 L_6 と、面状部分 106-4 の幅 L_8 との合計値に相当する。

【0134】

前述した一体化した低濃度不純物拡散領域は、ゲート電極 106 とオーバーラップする部分を有し、このオーバーラップする部分が、電界緩和領域として働く。電界緩和領域の第 1 の水平方向における寸法は、ゲートオーバーラップ寸法に相当する。前述したように、一体化した低濃度不純物拡散領域は、第 1 の N-低濃度不純物拡散層 109-1 と第 2 の N-低濃度不純物拡散層 109-2 と第 3 の N-低濃度不純物拡散層 109-3 と第 5 の N-低濃度不純物拡散層 109-5 とからなる。ゲート電極 106 は、面状部分 106-4 と、第 1 のストライプ形状部分 106-1 と、第 2 のストライプ形状部分 106-2 と

、第3のストライプ形状部分106-3とを含む。従って、ゲートオーバーラップ寸法Ldは、第1のN⁻低濃度不純物拡散層109-1の内側端部と、ゲート電極106の第1の端部106-5との第1の水平方向における距離で規定される。従って、電界緩和領域とゲート電極106とのゲートオーバーラップ寸法Ldは、第1のスリット107-1の幅L1と、第1のストライプ形状部分106-1の幅L2と、第2のスリット107-2の幅L3と、第2のストライプ形状部分106-2の幅L4と、第3のスリット107-3の幅L5と、第3のストライプ形状部分106-3の幅L6と、不純物の水平方向熱拡散距離L7との合計値（ $L1 + L2 + L3 + L4 + L5 + L6 + L7 = 1.8 \mu\text{m} + L7$ ）で与えられる。不純物の水平方向熱拡散距離L7は、前述したように、 $0.15 \mu\text{m}$ 以上必要なので、ゲートオーバーラップ寸法Ldは、 $1.95 \mu\text{m}$ 以上となる。

10

【0135】

図24に示すように、既知のリソグラフィー技術により、ゲート電極106上、ゲート絶縁膜103上、及びフィールド酸化膜102上に、レジストパターン118を形成する。

【0136】

図25に示すように、レジストパターン118及びゲート電極106の面状部分106-4をマスクとして使用し、加速エネルギー 40 keV 及びドーズ量 $1.0 \times 10^{15} \text{ cm}^{-2}$ の条件下で、N型不純物である砒素（As）を、垂直方向に、第4のN⁻低濃度不純物拡散層109-4の上部領域、並びに、第5のN⁻低濃度不純物拡散層109-5の上部領域に選択的に注入する。結果、第4のN⁻低濃度不純物拡散層109-4の上部領域にソース側の第1のN⁺高濃度不純物拡散層111-1が選択的に形成され、一方、第5のN⁻低濃度不純物拡散層109-5の上部領域にドレイン側の第2のN⁺高濃度不純物拡散層111-2が形成される。

20

【0137】

図26に示すように、レジストパターン118を既知の方法により除去する。

【0138】

図27に示すように、層間絶縁膜112を、ゲート電極106上、ゲート絶縁膜103上、並びにフィールド酸化膜102上に、既知の方法により形成する。コンタクトホールを層間絶縁膜112及びゲート絶縁膜103中に形成する。ソースコンタクト113-1及びドレインコンタクト113-2をコンタクトホール内に形成することで、ソースコンタクト113-1及びドレインコンタクト113-2は、ソース側の第1のN⁺高濃度拡散層111-1及びドレイン側の第1のN⁺高濃度拡散層111-2と、それぞれ、オーミックコンタクトをとる。ソース配線層114-1及びドレイン配線層114-2を層間絶縁膜112上に既知の方法により形成し、ソースコンタクト113-1及びドレインコンタクト113-2を介してソース側の第1のN⁺高濃度拡散層111-1及びドレイン側の第1のN⁺高濃度拡散層111-2と、それぞれ、電氣的に接続する。

30

【0139】

前述の層間絶縁膜112は、第1乃至第3のスリット107-1、107-2、107-3を充填する。第1乃至第3のスリット107-1、107-2、107-3の各々のアスペクト比の増加は、これらスリット107-1、107-2、107-3の各々が、層間絶縁膜112により完全に充填されるのを難しくし、ボイドの形成につながる可能性がある。しかし、層間絶縁膜112が、必要な電氣的分離作用を発揮している限りにおいては、ボイドの形成は問題とならない。ボイドの形成を避けるには、埋め込み特性の高い低圧CVD（Low Pressure Chemical Vapor Deposition）の使用が有効である。代替的には、或いは、それに加えて、ゲート電極106の第1乃至第3のストライプ形状部分106-1、106-2、106-3が、第1の水平方向において、台形の縦断面形状を有することが、ボイドの形成を避けるには有効である。

40

【0140】

（効果）

50

本発明によれば、前述したように、互いに異なる幅を有するスリット群107とを含む。ゲート電極106をマスクとして使用し、不純物のイオン注入を行い、ゲート電極106に自己整合する低濃度不純物注入領域108を形成する。この段階では、低濃度不純物注入領域の両端部の位置は、互いに幅の異なる第1のスリット107-1、第2のスリット107-2及び第3のスリット107-3の各々の両端側壁の位置に対し、第1の水平方向でみて、自己整合している。更に、前述の横方向熱拡散は、第1の水平方向でみて対称的である。よって、第1のN⁻低濃度不純物拡散層109-1の中心位置は、最も幅の狭い第1のスリット107-1の中心位置に自己整合している。第2のN⁻低濃度不純物拡散層109-2の中心位置は、中間の幅を有する第2のスリット107-2の中心位置に自己整合している。第3のN⁻低濃度不純物拡散層109-3の中心位置は、最も幅の広い第3のスリット107-3の中心位置に自己整合している。従って、前述の一体化した低濃度不純物拡散領域は、第1の水平方向位置でみて、スリット群107に対し自己整合している。換言すると、第1の水平方向でみて変化する底部の深さを有する前述の一体化した低濃度不純物拡散領域は、第1の水平方向位置でみて、スリット群107を有するゲート電極106に対し自己整合している。

10

【0141】

前述の一体化した低濃度不純物拡散領域であって、ゲート電極106とオーバーラップした領域が、電界緩和領域として働く。よって、電界緩和領域とゲート電極106とのオーバーラップ寸法Ldは、第1のスリット107-1の幅L1と、第1のストライプ形状部分106-1の幅L2と、前述の幅L1より広い第2のスリット107-2の幅L3と、第2のストライプ形状部分106-2の幅L4と、前述の幅L3より広い第3のスリット107-3の幅L5と、第3のストライプ形状部分106-3の幅L6と、不純物の水平方向熱拡散距離L7との合計値(L1+L2+L3+L4+L5+L6+L7)で与えられる。

20

【0142】

更に、第2のN⁻低濃度不純物拡散層109-2の不純物濃度は、第1のN⁻低濃度不純物拡散層109-1の不純物濃度より高く、第3のN⁻低濃度不純物拡散層109-3の不純物濃度は、第2のN⁻低濃度不純物拡散層109-2の不純物濃度より高い。この一体化した低濃度不純物拡散領域は、チャンネル領域に近づくにつれ、その底部の深さが次第に減少すると共に、その不純物濃度が次第に減少する。

30

【0143】

従って、第2の実施形態に係る本発明は、以下の効果を奏する。

【0144】

第1の効果として、前述の3つのスリットが互いに異なる幅を有するにもかかわらず、電界緩和領域を形成するためのパターニングと、ゲート電極106を形成するためのパターニングとの合せずれが生じない。このため、パターニングの合せずれに基づくゲートオーバーラップ寸法Ldの設計値からのずれが生じない。よって、電界緩和領域を形成するためのパターニングと、ゲート電極106を形成するためのパターニングとの合せ余裕を考慮せずに、ゲートオーバーラップ寸法Ldを決定することが可能となる。非自己整合的にゲートオーバーラップ構造を形成する場合、本来必要とされるゲートオーバーラップ寸法に、前述のパターニングの合せ余裕を足し合わせた寸法を設計値とする必要がある。これに対し、自己整合にゲートオーバーラップ構造を形成する場合、前述のパターニングの合せ余裕を必要とせず、本来必要とされるゲートオーバーラップ寸法をそのまま設計値とすればよい。このため、高耐圧MOSトランジスタの電流駆動能力の改善が得られ、その結果、素子の縮小が可能となる。

40

【0145】

第2の効果として、互いに異なる幅を有するスリットの数进行调整することで、ゲートオーバーラップ寸法Ldを調整することが可能となる。高耐圧のMOSトランジスタは、一般に、大きなゲートオーバーラップ量を必要とする。しかし、電界緩和領域を形成するためのパターニングと、ゲート電極106を形成するためのパターニングとの合せ余裕を考

50

慮せずに、スリットの数を増加することで、所望の大きなゲートオーバーラップ量を得ることが可能となる。例えば、40 V 耐圧の MOS トランジスタでは、ゲートオーバーラップ量が約 $2\text{ }\mu\text{m}$ 必要になる場合がある。本発明に係るゲートオーバーラップ構造によれば、前述の3つのスリットの互いに異なる幅の相加平均値を $0.3\text{ }\mu\text{m}$ 、前述の3つのストライプ形状部分の幅を $0.3\text{ }\mu\text{m}$ とし、水平方向熱拡散距離 L_7 を、前述の3つのストライプ形状部分の幅の半分以上とすることで、 $1.95\text{ }\mu\text{m}$ 以上のゲートオーバーラップ寸法 L_d が得られる。よって、40 V 耐圧の MOS トランジスタが必要とする大きなゲートオーバーラップ量を得ることが可能となる。本実施の形態では、互いに異なる幅を有する3本のスリットを形成したが、スリットの数、要求されたゲートオーバーラップ寸法 L_d に合わせて適宜決定することが可能である。

10

【0146】

第3の効果として、電界緩和領域を含む一体化した低濃度不純物拡散領域を、ゲート電極をマスクとして使用したイオン注入により形成する。即ち、電界緩和領域を含む一体化した低濃度不純物拡散領域を形成するためのイオン注入工程は、レジストパターンからなるマスクの形成を必要としない。従って、より少ない製造工程で、MOS トランジスタを製造することが可能となる。

【0147】

第4の効果として、前述した一体化した低濃度不純物拡散領域は、チャンネル領域に近づくにつれ、その不純物濃度が次第に減少する。電界緩和領域の不純物濃度の減少は、MOS トランジスタの高耐圧特性の向上を容易にするが、その駆動能力の向上を難しくする。一方、電界緩和領域の不純物濃度の増加は、MOS トランジスタの駆動能力の向上を容易にするが、その高耐圧特性の向上を難しくする。特に、電界緩和領域の中でもチャンネル領域により近い部分の不純物濃度の減少は、MOS トランジスタの高耐圧特性の向上にとって、より効果的である。一方、電界緩和領域の中でもチャンネル領域からより遠い部分の不純物濃度の増加は、MOS トランジスタの駆動能力の向上にとって、より効果的である。前述の一体化した低濃度不純物拡散領域に含まれる電界緩和領域は、チャンネル領域に近づくにつれ、その不純物濃度が減少し、チャンネル領域から遠ざかるにつれ、その不純物濃度が増加する。よって、この界緩和領域は、MOS トランジスタの高耐圧特性の向上及び MOS トランジスタの駆動能力の向上に効果的な第1の水平方向における不純物濃度プロファイルを有する。

20

30

【0148】

(3) 第3実施形態

本実施形態によれば、ゲート電極に自己整合的にオーバーラップし、電界緩和領域として働く、低濃度拡散層を有する高耐圧 MOS トランジスタ及びその製造方法が提供される。

【0149】

(高耐圧 MOS トランジスタの構造)

図28は、本発明の第3実施形態に係る高耐圧 MOS トランジスタの構造を示す部分縦断面図である。及び図29は、図28に示す本発明の第3実施形態に係る高耐圧 MOS トランジスタの構造を示す部分平面図である。

40

【0150】

本実施形態に係る高耐圧 MOS トランジスタは、以下の構造を有する。P 型半導体基板 101 の主面は、フィールド酸化膜 102 からなる素子分離領域と、該フィールド酸化膜 102 により画定される活性領域 1000 とを含む。P 型半導体基板 101 の活性領域 1000 には、チャンネル長さ L_{ch} を有するチャンネル領域を介し互いに離間する第1の N^- 低濃度不純物拡散層 109-1 と、第4の N^- 低濃度不純物拡散層 109-4 とが設けられる。換言すると、第1の N^- 低濃度不純物拡散層 109-1 と、第4の N^- 低濃度不純物拡散層 109-4 との間でチャンネル領域が画定され、第1の N^- 低濃度不純物拡散層 109-1 と、第4の N^- 低濃度不純物拡散層 109-4 との第1の水平方向における距離で、チャンネル長さ L_{ch} が規定される。第1の N^- 低濃度不純物拡散層 109-1 はドレ

50

イン側に位置し、第4のN⁻低濃度不純物拡散層109-4は、ソース側に位置する。

【0151】

第2のN⁻低濃度不純物拡散層109-2は、第1のN⁻低濃度不純物拡散層109-1に隣接し、該第1のN⁻低濃度不純物拡散層109-1を介してチャンネル領域から離間する。第3のN⁻低濃度不純物拡散層109-3は、第2のN⁻低濃度不純物拡散層109-2に隣接し、該第1のN⁻低濃度不純物拡散層109-1及び第2のN⁻低濃度不純物拡散層109-2を介してチャンネル領域から離間する。第5のN⁻低濃度不純物拡散層109-5は、第3のN⁻低濃度不純物拡散層109-3に隣接し、該第1のN⁻低濃度不純物拡散層109-1、第2のN⁻低濃度不純物拡散層109-2及び第3のN⁻低濃度不純物拡散層109-3を介してチャンネル領域から離間する。

10

【0152】

P型半導体基板101の活性領域1000は、フィールド酸化膜102からなる素子分離領域によって画定される。そして、第1のN⁻低濃度不純物拡散層109-1、第2のN⁻低濃度不純物拡散層109-2、第3のN⁻低濃度不純物拡散層109-3、第4のN⁻低濃度不純物拡散層109-4、及び第5のN⁻低濃度不純物拡散層109-5は、活性領域1000内に形成される。第2の水平方向において、第1のN⁻低濃度不純物拡散層109-1、第2のN⁻低濃度不純物拡散層109-2、第3のN⁻低濃度不純物拡散層109-3、第4のN⁻低濃度不純物拡散層109-4、及び第5のN⁻低濃度不純物拡散層109-5は、フィールド酸化膜102からなる素子分離領域と、活性領域1000との境界で終端する。

20

【0153】

第4のN⁻低濃度不純物拡散層109-4の上部領域には、第1のN⁺高濃度不純物拡散層111-1が選択的に設けられる。第5のN⁻低濃度不純物拡散層109-5の上部領域には、第2のN⁺高濃度不純物拡散層111-2が選択的に設けられる。

【0154】

P型半導体基板101の主面上には、ゲート絶縁膜103が設けられる。即ち、ゲート絶縁膜103は、P型半導体基板101のチャンネル領域上、第1のN⁻低濃度拡散層104-2、104-3上、第1のN⁻低濃度不純物拡散層109-1上、第2のN⁻低濃度不純物拡散層109-2上、第3のN⁻低濃度不純物拡散層109-3上、第4のN⁻低濃度不純物拡散層109-4上、第5のN⁻低濃度不純物拡散層109-5上、第1のN⁺高濃度不純物拡散層111-1上及び第2のN⁺高濃度不純物拡散層111-2上に亘り延在する。

30

【0155】

ポリシリコン膜からなるゲート電極106は、スリット群107を有すると共に、ゲート絶縁膜103上に選択的に設けられる。ゲート電極106は、第1のストライプ形状部分106-1と、第2のストライプ形状部分106-2と、フローティングゲート電極115と、面状部分106-4と、第1の端部106-5と、第2の端部106-6と、第2の側部領域106-8と、スリット群107とを有する。

【0156】

スリット群107は、第1のスリット107-1、第2のスリット107-2及び第3のスリット107-3からなり、第1の水平方向において互いに離間すると共に、第2の水平方向に沿って長手延在する。面状部分106-4は、チャンネル領域の上方であって、ゲート絶縁膜103上に、二次元的に延在すると共に、第8の寸法L8に相当する幅L8を有する。第1のストライプ形状部分106-1は、該面状部分106-4から第1の水平方向に第1の寸法L1に相当する幅L1を有する第1のスリット107-1を介して離間すると共に、第2の寸法L2に相当する幅L2を有する。第2のストライプ形状部分106-2は、該第1のストライプ形状部分106-1から第1の水平方向に第3の寸法L3に相当する幅L3を有する第2のスリット107-2を介して離間すると共に、第4の寸法L4に相当する幅L4を有する。フローティングゲート電極115は、該第2のストライプ形状部分106-2から第1の水平方向に第5の寸法L5に相当する幅L5を有す

40

50

る第3のスリット107-3を介して離間すると共に、第6の寸法L6に相当する幅L6を有する。ここで、フローティングゲート電極115は、ゲート電極106の他の部分から分離されたディスクリット部分で構成される。

【0157】

第2の側部領域106-8は、第1の水平方向に沿って長手延在する。第1のスリット107-1及び第2のスリット107-2の各々は、第2の側部領域106-8で終端される。即ち、第1のストライプ形状部分106-1と、第2のストライプ形状部分106-2と、面状部分106-4とは、第1の側部領域106-7と第2の側部領域106-8とを介して互いに接続されている。

【0158】

一方、フローティングゲート電極115は、第1のストライプ形状部分106-1と、第2のストライプ形状部分106-2と、面状部分106-4と、第1の側部領域106-7と、第2の側部領域106-8とから、第3のスリット107-3を介して離間している。換言すれば、ゲート電極106は、第1のストライプ形状部分106-1と、第2のストライプ形状部分106-2と、面状部分106-4と、第1の側部領域106-7と、第2の側部領域106-8とからなる一体化された構造体と、該一体化された構造体から第3のスリット107-3を介して離間したフローティングゲート電極115と、該第3のスリット107-3を含むスリット群107とからなる。尚、フローティングゲート電極115は、ストライプ形状を有し、第1のストライプ形状部分106-1及び第2のストライプ形状部分106-2と、同一幅を有する。

【0159】

ゲート電極106における、第1のストライプ形状部分106-1、第2のストライプ形状部分106-2、フローティングゲート電極115及び面状部分106-4の幅、並びに、スリット群107における第1のスリット107-1、第2のスリット107-2及び第3のスリット107-3の幅は、それらの第1の水平方向における寸法であると定義する。

【0160】

第1のスリット107-1、第2のスリット107-2及び第3のスリット107-3は、フィールド酸化膜102からなる素子分離領域と活性領域1000との境界を越えて素子分離領域まで延在する。ゲート電極106の第2の側部領域106-8は、第1のスリット107-1及び第2のスリット107-2の各々を両端で終端する。よって、ゲート電極106の第2の側部領域106-8は、フィールド酸化膜102からなる素子分離領域上に位置する。

【0161】

本実施形態においては、第1のスリット107-1、第2のスリット107-2及び第3のスリット107-3は、互いに異なる幅を有する。具体的には、第2のスリット107-2の幅L3は、第1のスリット107-1の幅L1より大きく、且つ、第3のスリット107-3の幅L5は、第2のスリット107-2の幅L3より大きい。即ち、 $L1 < L3 < L5$ なる関係が成立つ。また、ゲート電極106においては、第1のストライプ形状部分106-1、第2のストライプ形状部分106-2及びフローティングゲート電極115は、互いに同一幅を有する。即ち、 $L2 = L4 = L6$ なる関係が成立つ。更に、ゲート電極106の第1のストライプ形状部分106-1、第2のストライプ形状部分106-2及びフローティングゲート電極115の幅($L2 = L4 = L6$)は、第2のスリット107-2の幅L3に等しくすることが可能である。この場合、 $L1 < L2 = L4 = L6 = L3 < L5$ なる関係が成り立つ。

【0162】

第1のN⁻低濃度不純物拡散層109-1の中心位置は、第1の水平方向において、第1のスリット107-1の中心位置と自己整合している。第2のN⁻低濃度不純物拡散層109-2の中心位置は、第1の水平方向において、第2のスリット107-2の中心位置と自己整合している。第3のN⁻低濃度不純物拡散層109-3の中心位置は、第1の

10

20

30

40

50

水平方向において、第3のスリット107-3の中心位置と自己整合している。

【0163】

ゲート電極106をマスクとして使用してイオン注入することで、ゲート電極106のスリット群107を介してP型半導体基板101中に不純物イオンを注入し、その後、イオン注入された不純物を熱拡散することで、第1のN⁻低濃度不純物拡散層109-1、第2のN⁻低濃度不純物拡散層109-2及び第3のN⁻低濃度不純物拡散層109-3を形成する。第2のN⁻低濃度不純物拡散層109-2の底部は、第1のN⁻低濃度不純物拡散層109-1の底部より深く、第3のN⁻低濃度不純物拡散層109-3の底部は、第2のN⁻低濃度不純物拡散層109-2の底部より深い。第2のN⁻低濃度不純物拡散層109-2の幅は、第1のN⁻低濃度不純物拡散層109-1の幅より広く、第3のN⁻低濃度不純物拡散層109-3の幅は、第2のN⁻低濃度不純物拡散層109-2の幅より広い。更に、第2のN⁻低濃度不純物拡散層109-2の不純物濃度は、第1のN⁻低濃度不純物拡散層109-1の不純物濃度より高く、第3のN⁻低濃度不純物拡散層109-3の不純物濃度は、第2のN⁻低濃度不純物拡散層109-2の不純物濃度より高い。

10

【0164】

第1のN⁻低濃度不純物拡散層109-1と第2のN⁻低濃度不純物拡散層109-2とは間隔を開けずに互いに隣接する必要がある。更に、第2のN⁻低濃度不純物拡散層109-2と第3のN⁻低濃度不純物拡散層109-3とは間隔を開けずに互いに隣接する必要がある。更に、第3のN⁻低濃度不純物拡散層109-3と第5のN⁻低濃度不純物拡散層109-5とは間隔を開けずに互いに隣接する必要がある。そして、第1のN⁻低濃度不純物拡散層109-1と第2のN⁻低濃度不純物拡散層109-2と第3のN⁻低濃度不純物拡散層109-3と第5のN⁻低濃度不純物拡散層109-5とは、一体化した低濃度不純物拡散領域を形成する必要がある。

20

【0165】

この一体化した低濃度不純物拡散領域は、チャネル領域に近づくにつれ、その底部の深さが次第に減少すると共に、その不純物濃度が次第に減少する。電界緩和領域の不純物濃度の減少は、MOSトランジスタの高耐圧特性の向上を容易にするが、その駆動能力の向上を難しくする。一方、電界緩和領域の不純物濃度の増加は、MOSトランジスタの駆動能力の向上を容易にするが、その高耐圧特性の向上を難しくする。特に、電界緩和領域の中でもチャネル領域により近い部分の不純物濃度の減少は、MOSトランジスタの高耐圧特性の向上にとって、より効果的である。一方、電界緩和領域の中でもチャネル領域からより遠い部分の不純物濃度の増加は、MOSトランジスタの駆動能力の向上にとって、より効果的である。前述の一体化した低濃度不純物拡散領域に含まれる電界緩和領域は、チャネル領域に近づくにつれ、その不純物濃度が減少し、チャネル領域から遠ざかるにつれ、その不純物濃度が増加する。よって、この界緩和領域は、MOSトランジスタの高耐圧特性の向上及びMOSトランジスタの駆動能力の向上に効果的な第1の水平方向における不純物濃度プロファイルを有する。

30

【0166】

この一体化した低濃度不純物拡散領域を形成するためには、横方向の不純物熱拡散距離L7は、少なくとも、ゲート電極106の第1のストライプ形状部分106-1、第2のストライプ形状部分106-2及びフローティングゲート電極115の幅(L2=L4=L6)の半分(L2/2=L4/2=L6/2)必要である。この理由は以下の通りである。

40

【0167】

スリット群107を有するゲート電極106をマスクとして使用したイオン注入工程により、第1のスリット107-1、第2のスリット107-2及び第3のスリット107-3の下方のP型半導体基板101中に、低濃度不純物注入領域を選択的に形成する。この段階では、低濃度不純物注入領域の両端部の位置は、第1のスリット107-1、第2のスリット107-2及び第3のスリット107-3の両端側壁の位置に対し、第1の水

50

平方向でみて、自己整合している。そして、互いに隣り合う低濃度不純物注入領域同士は、ゲート電極106の第1のストライプ形状部分106-1、第2のストライプ形状部分106-2及びフローティングゲート電極115の幅($L_2 = L_4 = L_6$)に相当する距離だけ、互いに第1の水平方向において離間している。その後、不純物の熱拡散工程を行い、不純物拡散領域を拡大する。この不純物の熱拡散工程は、互いに隣り合う不純物拡散領域同士が、少なくとも互いに接するまで行う。結果、第1のN-低濃度不純物拡散層109-1と第2のN-低濃度不純物拡散層109-2とが間隔を開けずに互いに隣接する。第2のN-低濃度不純物拡散層109-2と第3のN-低濃度不純物拡散層109-3とが間隔を開けずに互いに隣接する。更に、第3のN-低濃度不純物拡散層109-3と第5のN-低濃度不純物拡散層109-5とが間隔を開けずに互いに隣接する。そして、第1のN-低濃度不純物拡散層109-1と第2のN-低濃度不純物拡散層109-2と第3のN-低濃度不純物拡散層109-3と第5のN-低濃度不純物拡散層109-5とが、一体化した低濃度不純物拡散領域を形成する。

10

【0168】

スリット群107を有するゲート電極106をマスクとして使用したイオン注入工程により、第1のスリット107-1、第2のスリット107-2及び第3のスリット107-3の下方のP型半導体基板101中に、低濃度不純物注入領域を選択的に形成する。この段階では、低濃度不純物注入領域の両端部の位置は、第1のスリット107-1、第2のスリット107-2及び第3のスリット107-3の両端側壁の位置に対し、第1の水平方向でみて、自己整合している。更に、前述の横方向熱拡散は、第1の水平方向でみて対称的である。よって、第1のN-低濃度不純物拡散層109-1の中心位置は、第1のスリット107-1の中心位置に自己整合している。第2のN-低濃度不純物拡散層109-2の中心位置は、第2のスリット107-2の中心位置に自己整合している。第3のN-低濃度不純物拡散層109-3の中心位置は、第3のスリット107-3の中心位置に自己整合している。従って、前述の一体化した低濃度不純物拡散領域は、第1の水平方向位置でみて、スリット群107に対し自己整合している。換言すると、前述の一体化した低濃度不純物拡散領域は、第1の水平方向位置でみて、スリット群107を有するゲート電極106に対し自己整合している。

20

【0169】

図28に示すように、第1のN-低濃度不純物拡散層109-1の内側端部は、ゲート電極106の面状部分106-4と、不純物の水平方向熱拡散距離 L_7 に相当する寸法だけオーバーラップしている。同様に、第4のN-低濃度不純物拡散層109-4の内側端部は、ゲート電極106の面状部分106-4と、不純物の水平方向熱拡散距離 L_7 に相当する寸法だけオーバーラップしている。チャンネル長さ L_{ch} は、第1のN-低濃度不純物拡散層109-1の内側端部と、第4のN-低濃度不純物拡散層109-4の内側端部との間で規定される。よって、チャンネル長さ L_{ch} は、面状部分106-4の幅 L_8 から、不純物の水平方向熱拡散距離 L_7 の2倍を差し引いた値に等しい。即ち、 $L_{ch} = L_8 - 2 \times L_7$ の関係が成立する。

30

【0170】

ゲート電極106は、面状部分106-4と、第1のストライプ形状部分106-1と、第2のストライプ形状部分106-2とで、ゲート電位に基づく電界を、チャンネル領域、並びに、第1のN-低濃度不純物拡散層109-1、第2のN-低濃度不純物拡散層109-2、第3のN-低濃度不純物拡散層109-3及び第5のN-低濃度不純物拡散層109-5に印加する。

40

【0171】

本発明の構成の見地では、ゲート電極106は、フローティングゲート電極115を含むものとする。しかし、このフローティングゲート電極115は、ゲート電極106に印加されるゲート電圧が印加されない。更に、フローティングゲート電極115は、該ゲート電圧の影響を受けない。よって、フローティングゲート電極115を除くゲート電極106の部分、即ち、面状部分106-4、第1のストライプ形状部分106-1、第2の

50

ストライプ形状部分 106-2 及び第 2 の側部領域 106-8 が、一体化された部分を形成する。この一体化された部分が、ゲート電位を有する。このため、前述の一体化された部分が、ゲート電位に基づく電界を、前述の一体化した低濃度不純物拡散領域の一部及びチャンネル領域に印加する。前述の一体化した低濃度不純物拡散領域中の、このゲート電位に基づく電界が印加される領域が電界緩和領域に相当する。よって、ゲート電極 106 の第 1 の端部 106-5 は、第 2 のストライプ形状部分 106-2 の側壁であって、フローティングゲート電極 115 に面した側壁で構成されるものとする。即ち、ゲート電極 106 の幅は、第 1 のスリット 107-1 の幅 L1 と、第 1 のストライプ形状部分 106-1 の幅 L2 と、第 2 のスリット 107-2 の幅 L3 と、第 2 のストライプ形状部分 106-2 の幅 L4 と、面状部分 106-4 の幅 L8 との合計値に相当する。

10

【0172】

更に、本実施形態では、ゲート電極 106 上、ゲート絶縁膜 103 上、並びにフィールド酸化膜 102 上に、層間絶縁膜 112 が設けられる。層間絶縁膜 112 及びゲート絶縁膜 103 中に形成されたコンタクトホール内に、ソースコンタクト 113-1 及びドレインコンタクト 113-2 が設けられる。これらソースコンタクト 113-1 及びドレインコンタクト 113-2 は、ソース側の第 1 の N⁺ 高濃度拡散層 111-1 及びドレイン側の第 1 の N⁺ 高濃度拡散層 111-2 と、それぞれ、オーミックコンタクトをとる。層間絶縁膜 112 には、ソース配線層 114-1、ドレイン配線層 114-2 及びドレイン配線層の拡張部 114-3 が設けられる。これら、ソース配線層 114-1 及びドレイン配線層 114-2 は、ソースコンタクト 113-1 及びドレインコンタクト 113-2 を介してソース側の第 1 の N⁺ 高濃度拡散層 111-1 及びドレイン側の第 1 の N⁺ 高濃度拡散層 111-2 と、それぞれ、電氣的に接続される。

20

【0173】

一方、ドレイン配線層の拡張部 114-3 は、ドレイン配線層 114-2 と電氣的に接続される。よって、ドレイン配線層の拡張部 114-3 は、ドレイン配線層 114-2 と同一の電位を常に有する。換言すると、ドレイン配線層の拡張部 114-3 には、ドレイン電圧が印加される。このドレイン配線層の拡張部 114-3 は、層間絶縁膜 112 上であって、且つ前述のフローティングゲート電極 115 の上方に位置する。このため、フローティングゲート電極 115 の電位は、ドレイン配線層の拡張部 114-3 の電位に依存する。ドレイン配線層 114-2 及びドレイン配線層の拡張部 114-3 へプラスの高電圧を印加することで、フローティングゲート電極 115 の電位が上昇する。このフローティングゲート電極 115 の上昇した電位により、前述した一体化した低濃度不純物拡散領域の上部表面近傍であって、フローティングゲート電極 115 の下方に位置する領域に、この上昇した電位に基づく電界が印加され、当該領域に電子が集まる。電子が前述した一体化した低濃度不純物拡散領域のキャリアとして働く。このため、前述の領域に電子が集まることは、この領域の不純物濃度の見かけ上の上昇を意味する。よって、ドレイン配線層へプラスの高電圧を印加は、前述した一体化した低濃度不純物拡散領域の上部表面近傍であって、フローティングゲート電極 115 の下方に位置する領域の抵抗が低くなる。この低抵抗化は、MOS トランジスタの駆動能力の上昇につながる。ドレイン配線層へプラスの高電圧を印加により引き起こされる前述した不純物濃度の見かけ上の上昇は、前述した一体化した低濃度不純物拡散領域の上部表面近傍領域のみ起きる。MOS トランジスタの耐圧は、前述した一体化した低濃度不純物拡散領域の上部表面近傍領域のみならずそれ以外の領域の濃度に依存する。よって、前述した不純物濃度の見かけ上の上昇は、MOS トランジスタの耐圧特性に対し殆ど影響を与えない。従って、フローティングゲート電極 115 と、ドレイン配線層の拡張部 114-3 とを設けることで、MOS トランジスタの耐圧特性に対し殆ど影響を与えることなく、MOS トランジスタの駆動能力の上昇を可能にする。

30

40

【0174】

また、前述した一体化した低濃度不純物拡散領域は、ゲート電極 106 とオーバーラップする部分を有し、このオーバーラップする部分が、電界緩和領域として働く。即ち、本

50

願においては、低濃度不純物拡散領域であって、ゲート電極106とオーバーラップする領域を電界緩和領域と定義する。よって、電界緩和領域の第1の水平方向における寸法は、ゲートオーバーラップ寸法に相当する。前述したように、一体化した低濃度不純物拡散領域は、第1のN⁻低濃度不純物拡散層109-1と第2のN⁻低濃度不純物拡散層109-2と第3のN⁻低濃度不純物拡散層109-3と第5のN⁻低濃度不純物拡散層109-5とからなる。ゲート電極106は、面状部分106-4と、第1のストライプ形状部分106-1と、第2のストライプ形状部分106-2と、フローティングゲート電極115を含む。しかし、前述したように、このフローティングゲート電極115は、ゲート電極106に印加されるゲート電圧が印加されない。更に、フローティングゲート電極115は、該ゲート電圧の影響を受けない。よって、フローティングゲート電極115を除くゲート電極106の部分、即ち、面状部分106-4、第1のストライプ形状部分106-1、第2のストライプ形状部分106-2及び第2の側部領域106-8が、一体化された部分を形成する。この一体化された部分が、ゲート電位を有する。オーバーラップ寸法Ldは、第1のN⁻低濃度不純物拡散層109-1のチャンネル領域との境界と、ゲート電極106の第1の端部106-5との距離で規定される。従って、電界緩和領域とゲート電極106とのオーバーラップ寸法Ldは、第1のスリット107-1の幅L1と、第1のストライプ形状部分106-1の幅L2と、第2のスリット107-2の幅L3と、第2のストライプ形状部分106-2の幅L4と、不純物の水平方向熱拡散距離L7との合計値(L1+L2+L3+L4+L7)で与えられる。即ち、 $Ld = L1 + L2 + L3 + L4 + L7$ なる関係が成立する。

【0175】

以下、第1のスリット107-1の幅L1、第2のスリット107-2の幅L3及び第3のスリット107-3の幅L5、並びに、ゲート電極106の第1のストライプ形状部分106-1の幅L2、第2のストライプ形状部分106-2の幅L4及びフローティングゲート電極115の幅L6に関する更なる説明を行う。

【0176】

スリット幅の増加は、ゲート電位に基づき前述の電界緩和領域に印加される電界の減少、及び電界緩和効果の低減につながる。更に、スリット幅の増加は、必要なゲートオーバーラップ量を確保するために必要となるゲート電極のストライプ形状部分の数とスリットの数との減少になると共に、ゲート電極をマスクとした不純物イオン注入工程における不純物の導入を容易にする。最大スリット幅は、ゲート電位に基づき前述の電界緩和領域に印加される必要最小限の電界と、最低限必要とされる電界緩和効果とを得るのに必要な上限幅で決まる。

【0177】

スリット幅の減少は、必要なゲートオーバーラップ量を確保するために必要となるゲート電極のストライプ形状部分の数とスリットの数との増加につながる。更に、ゲート電極をマスクとした不純物イオン注入工程における不純物の導入の妨げになり、最終的に得られる不純物拡散層の濃度の低下につながる。更に、スリット幅の減少は、ゲート電位に基づき前述の電界緩和領域に印加される電界の増加、及び電界緩和効果の増加につながる。最小スリット幅は、パターンニング可能な限界幅で決まる。

【0178】

ゲート電極のストライプ形状部分の幅及びフローティングゲート電極の幅の増加は、最低限必要とされる横方向の不純物の拡散距離の増加につながる。更に、ゲート電極のストライプ形状部分の幅及びフローティングゲート電極の幅の増加は、必要なオーバーラップ量を確保するために必要となるストライプ形状部分の数とスリットの数との減少につながる。

【0179】

ゲート電極のストライプ形状部分の幅の減少は、必要なオーバーラップ量を確保するために必要となるストライプ形状部分の数とスリットの数との増加につながる。更に、ゲート電極のストライプ形状部分の幅の減少は、最低限必要とされる横方向の不純物の拡散距離

の減少につながる。

【0180】

ゲート電極のストライプ形状部分の幅及びフローティングゲート電極115の幅の半分の値が、最低限必要とされる横方向の不純物の拡散距離に相当する。よって、ゲート電極のストライプ形状部分及びフローティングゲート電極115は、互いに同一幅を有することが好ましい。ゲート電極のストライプ形状部分及びフローティングゲート電極115が互いに異なる幅を有する場合、最低限必要とされる横方向の不純物の拡散距離は、ストライプ形状部分及びフローティングゲート電極115のうち最も広いものの幅の半分となる。

【0181】

従って、ゲート電極のスリット幅及びストライプ形状部分の幅並びにフローティングゲート電極115の幅は、上記関係を考慮して決めることが好ましい。本実施の形態では、一典型例として、第2のスリット107-2の幅L3、第1のストライプ形状部分106-1の幅L2、第2のストライプ形状部分106-2の幅L4、及びフローティングゲート電極115の幅L6を、同一の寸法、例えば、 $0.3\mu\text{m}$ にし、第1のスリット107-1の幅L1を、例えば、 $0.2\mu\text{m}$ にし、第3のスリット107-3の幅L5を、例えば、 $0.4\mu\text{m}$ にすることが可能である。この場合、オーバーラップ寸法Ldは、 $0.3\mu\text{m} \times 2 + 0.2\mu\text{m} + 0.3\mu\text{m}$ と、不純物の水平方向熱拡散距離L7との和で与えられる。必要最小限の不純物の水平方向熱拡散距離は、 $0.3\mu\text{m} / 2 = 0.15\mu\text{m}$ となる。必要最小限の不純物の熱拡散工程を行った場合、最終的に得られるゲートオーバーラップ寸法Ldは、 $Ld = 0.3\mu\text{m} \times 2 + 0.2\mu\text{m} + 0.3\mu\text{m} + 0.3\mu\text{m} / 2 = 1.25\mu\text{m}$ となる。この場合、一体化した低濃度不純物拡散領域は、第1の水平方向でみて、変化する不純物濃度プロファイルを有する。また、一体化した低濃度不純物拡散領域が、第1の水平方向でみて、均一な不純物濃度プロファイルを有するよう、横方向熱拡散が互いにオーバーラップするまで不純物の熱拡散工程を行った場合、最終的に得られるゲートオーバーラップ寸法Ldは、 $1.25\mu\text{m}$ より大きな値となる。即ち、 $Ld > 0.3\mu\text{m} \times 2 + 0.2\mu\text{m} + 0.3\mu\text{m} + 0.3\mu\text{m} / 2 = 1.25\mu\text{m}$ なる関係が成り立つ。

【0182】

本実施の形態では、3本のスリットを形成したが、スリットの数、要求されたゲートオーバーラップ寸法Ldに合わせて適宜決定することが可能である。前述したように、スリット幅の最大値は、最大スリット幅は、ゲート電位に基づき前述の電界緩和領域に印加される必要最小限の電界と、最低限必要とされる電界緩和効果とを得るのに必要な上限幅で決まる。スリット幅の最大値として、 $1.0\mu\text{m}$ を一例として挙げることができる。スリット幅の最小値は、パターンニング可能な限界幅で決まる。スリット幅の最小値として、 $0.1\mu\text{m}$ を一例として挙げることができる。仮に、単一のスリットの形成で、 40V 耐圧のMOSトランジスタが必要とするゲートオーバーラップ量である約 $2\mu\text{m}$ を得るには、この単一のスリット幅を $1.55\mu\text{m}$ 以上とする必要がある。しかし、このような過度に幅の広い単一スリットを形成した場合、前述の電界緩和領域に印加される必要最小限の電界と、最低限必要とされる電界緩和効果とを得ることができない。よって、高耐圧のMOSトランジスタが必要とする大きなゲートオーバーラップ量を得るには、少なくとも複数のスリットを設けることが必要となる。

【0183】

以下、本実施形態に係る高耐圧MOSトランジスタの製造方法につき、添付図面を参照して説明する。

【0184】

(高耐圧MOSトランジスタの製造方法)

図30乃至図40は、本発明の第3実施形態に係る高耐圧MOSトランジスタの製造工程を示す部分縦断面図である

図30に示すように、LOCOS (Local Oxidation Of Sili

10

20

30

40

50

c o n) 法により、P型半導体基板101の素子分離領域に、フィールド酸化膜102を形成し、活性領域1000をフィールド酸化膜102により画定する。活性領域1000は、高耐圧MOSトランジスタを形成するための領域である。

【0185】

図31に示すように、P型半導体基板101上及びフィールド酸化膜102上に、膜厚100Åのシリコン酸化膜103を既知の方法で形成する。使用し得る既知の方法の典型例は、熱酸化法及び各種のCVD (Chemical Vapor Deposition) 法を含む。

【0186】

図32に示すように、シリコン酸化膜103上にポリシリコン膜104を既知のCVD 10
法で形成する

図33に示すように、既知のリソグラフィー技術により、ポリシリコン膜104上に、レジストパターン117を形成する。このレジストパターン117は、幅の異なる3つのスリット状の開口部を有する。即ち、レジストパターン117は、面状部分と、互いに同一幅を有する3つのストライプ形状部分と、互いに異なる幅を有する3つのスリットとからなる。ここで、3つのスリットの幅及び3つのストライプ形状部分の幅は、 $L1 < L2 = L4 = L6 = L3 < L5$ なる関係を有する。面状部分の幅は、 $L8$ である。3つのストライプ形状部分の内、面状部分に近い2つのストライプ形状部分の各々は、側部領域を介して面状部分と一体化されている。一方、面状部分から最も遠いストライプ形状部分は、前述の一体化された部分から、最も幅の広いスリットを介して離間している。 20

【0187】

図34に示すように、レジストパターン117をマスクとして使用してポリシリコン膜104を選択的にエッチングすることで、ゲート電極106を形成する。ゲート電極106は、図29に示すように、第1のストライプ形状部分106-1と、第2のストライプ形状部分106-2と、フローティングゲート電極115と、面状部分106-4と、第1の端部106-5と、第2の端部106-6と、第2の側部領域106-8と、スリット群107とを有する。スリット群107は、第1のスリット107-1、第2のスリット107-2及び第3のスリット107-3からなり、第1の水平方向において互いに離間すると共に、第2の水平方向に沿って長手延在する。面状部分106-4は、チャンネル領域の上方であって、ゲート絶縁膜103上に、二次元的に延在すると共に、第8の寸法 $L8$ に相当する幅 $L8$ を有する。 30

【0188】

第1のストライプ形状部分106-1は、該面状部分106-4から第1の水平方向に第1の寸法 $L1$ に相当する幅 $L1$ を有する第1のスリット107-1を介して離間すると共に、第2の寸法 $L2$ に相当する幅 $L2$ を有する。第2のストライプ形状部分106-2は、該第1のストライプ形状部分106-1から第1の水平方向に第3の寸法 $L3$ に相当する幅 $L3$ を有する第2のスリット107-2を介して離間すると共に、第4の寸法 $L4$ に相当する幅 $L4$ を有する。フローティングゲート電極115は、該第2のストライプ形状部分106-2から第1の水平方向に第5の寸法 $L5$ に相当する幅 $L5$ を有する第3のスリット107-3を介して離間すると共に、第6の寸法 $L6$ に相当する幅 $L6$ を有する 40
。第2の側部領域106-8は、第1の水平方向に沿って長手延在する。第1のスリット107-1及び第2のスリット107-2の各々は、第2の側部領域106-8でそれぞれ終端される。即ち、第1のストライプ形状部分106-1と、第2のストライプ形状部分106-2と、面状部分106-4とは、第2の側部領域106-8を介して互いに接続されている。一方、フローティングゲート電極115は、第1のストライプ形状部分106-1と、第2のストライプ形状部分106-2と、面状部分106-4とは、第2の側部領域106-8とから離間している。換言すれば、ゲート電極106は、第1のストライプ形状部分106-1と、第2のストライプ形状部分106-2と、面状部分106-4と、第2の側部領域106-8とからなる一体化された構造体と、該一体化された構造体から離間するフローティングゲート電極115と、スリット群107とを含む。 50

【0189】

第1のスリット107-1、第2のスリット107-2及び第3のスリット107-3は、フィールド酸化膜102からなる素子分離領域と活性領域1000との境界を越えて素子分離領域まで延在する。ゲート電極106の第2の側部領域106-8は、第1のスリット107-1及び第2のスリット107-2の各々を一端で終端する。よって、ゲート電極106の第2の側部領域106-8は、フィールド酸化膜102からなる素子分離領域上に位置する。

【0190】

第1のスリット107-1、第2のスリット107-2及び第3のスリット107-3は、互いに異なる幅を有する。具体的には、第2のスリット107-2の幅L3は、第1のスリット107-1の幅L1より広く、且つ、第3のスリット107-3の幅L5は、第2のスリット107-2の幅L3より広い。即ち、 $L1 < L3 < L5$ なる関係が成立つ。また、ゲート電極106においては、第1のストライプ形状部分106-1、第2のストライプ形状部分106-2及びフローティングゲート電極115は、互いに同一幅を有する。即ち、 $L2 = L4 = L6$ なる関係が成立つ。更に、ゲート電極106の第1のストライプ形状部分106-1、第2のストライプ形状部分106-2及びフローティングゲート電極115の幅($L2 = L4 = L6$)は、第2のスリット107-2の幅L3に等しくすることが可能である。この場合、 $L1 < L2 = L4 = L6 = L3 < L5$ なる関係が成り立つ。

【0191】

前述したように、このフローティングゲート電極115は、ゲート電極106に印加されるゲート電圧が印加されない。更に、フローティングゲート電極115は、該ゲート電圧の影響を受けない。よって、フローティングゲート電極115を除くゲート電極106の部分、即ち、面状部分106-4、第1のストライプ形状部分106-1、第2のストライプ形状部分106-2及び第2の側部領域106-8が、一体化された部分を形成する。この一体化された部分が、ゲート電位を有する。このため、前述の一体化された部分が、ゲート電位に基づく電界を、前述の一体化した低濃度不純物拡散領域の一部及びチャネル領域に印加する。前述の一体化した低濃度不純物拡散領域中の、このゲート電位に基づく電界が印加される領域が電界緩和領域に相当する。よって、ゲート電極106の第1の端部106-5は、第2のストライプ形状部分106-2の側壁であって、フローティングゲート電極115に面した側壁で構成されるものとする。即ち、ゲート電極106の幅は、第1のスリット107-1の幅L1と、第1のストライプ形状部分106-1の幅L2と、第2のスリット107-2の幅L3と、第2のストライプ形状部分106-2の幅L4と、面状部分106-4の幅L8との合計値($L1 + L2 + L3 + L4 + L8$)に相当する。本実施の形態においては、第1のスリット107-1、第2のスリット107-2及び第3のスリット107-3の幅の相加平均を $0.3\ \mu\text{m}$ とし、ゲート電極106の第1のストライプ形状部分106-1、第2のストライプ形状部分106-2及びフローティングゲート電極115の幅を全て均一の値 $0.3\ \mu\text{m}$ ($L2 = L4 = L6 = 0.3\ \mu\text{m}$)とした。

【0192】

図34に示すように、レジストパターン117を既知の方法により除去する。

【0193】

図35に示すように、既知のイオン注入技術により、ポリシリコン膜からなるゲート電極106をマスクとして使用して、加速エネルギー $150\ \text{keV}$ 及びドーズ量 $6.0 \times 10^{12}\ \text{cm}^{-2}$ の条件下で、垂直方向に、N型不純物であるリン(P)を、ゲート絶縁膜103を介し、P型半導体基板101の主面中に選択的に注入する。結果、P型半導体基板101の上部領域であって、且つ、ゲート電極106の第1のスリット107-1の下方に位置する領域に、第1のN⁻低濃度不純物注入領域108-1が選択的に形成される。ゲート電極106の第2のスリット107-2の下方に位置する領域に、第2のN⁻低濃度不純物注入領域108-2が選択的に形成される。ゲート電極106の第3のスリッ

ト 107-3 の下方に位置する領域に、第 3 の N⁻ 低濃度不純物注入領域 108-3 が選択的に形成される。ゲート電極 106 の第 2 の端部 106-6 の外側の下方に位置する領域に、第 4 の N⁻ 低濃度不純物注入領域 108-4 が選択的に形成される。フローティングゲート電極 115 の外側の下方に位置する領域に、第 5 の N⁻ 低濃度不純物注入領域 108-5 が選択的に形成される。

【0194】

即ち、第 1 の N⁻ 低濃度不純物注入領域 108-1 が、ゲート電極 106 の第 1 のスリット 107-1 に対し、自己整合的に形成される。ここで、第 1 の N⁻ 低濃度不純物注入領域 108-1 の両端位置は、第 1 の水平方向でみて、第 1 のスリット 107-1 の両側壁の位置に相当する。第 2 の N⁻ 低濃度不純物注入領域 108-2 が、ゲート電極 106 の第 2 のスリット 107-2 に対し、自己整合的に形成される。ここで、第 2 の N⁻ 低濃度不純物注入領域 108-2 の両端位置は、第 1 の水平方向でみて、第 2 のスリット 107-2 の両側壁の位置に相当する。第 3 の N⁻ 低濃度不純物注入領域 108-3 が、ゲート電極 106 の第 3 のスリット 107-3 に対し、自己整合的に形成される。ここで、第 3 の N⁻ 低濃度不純物注入領域 108-3 の両端位置は、第 1 の水平方向でみて、第 3 のスリット 107-3 の両側壁の位置に相当する。第 4 の N⁻ 低濃度不純物注入領域 108-4 は、ゲート電極 106 の第 2 の端部 106-6 に対し、自己整合的に形成される。第 5 の N⁻ 低濃度不純物注入領域 108-5 は、ゲート電極 106 に含まれるフローティングゲート電極 115 に対し、自己整合的に形成される。よって、第 1 の N⁻ 低濃度不純物注入領域 108-1 の幅は、第 1 のスリット 107-1 の幅 L1 で画定され、第 2 の N⁻ 低濃度不純物注入領域 108-2 の幅は、第 2 のスリット 107-2 の幅 L3 で画定され、第 3 の N⁻ 低濃度不純物注入領域 108-3 の幅は、第 3 のスリット 107-3 の幅 L5 で画定される。

【0195】

各スリット 107 が、イオン注入の窓となる。スリットの幅に対する深さの比でスリットのアスペクト比が定義される。スリットの深さは、ゲート電極 106 を構成する膜の厚さに相当する。スリットのアスペクト比の増大は、不純物イオンの注入を難しくする。スリットの深さが一定なので、スリットの幅の減少は、不純物イオンの注入の妨げとなる。従って、第 1 の N⁻ 低濃度不純物注入領域 108-1 の不純物濃度は、第 2 の N⁻ 低濃度不純物注入領域 108-2 の不純物濃度より低く、第 2 の N⁻ 低濃度不純物注入領域 108-2 の不純物濃度は、第 3 の N⁻ 低濃度不純物注入領域 108-3 の不純物濃度より低い。

【0196】

図 36 及び図 43 に示すように、既知の熱拡散技術により、N₂ 雰囲気中で 1000℃、100 分程度の熱処理を行い、前述のイオン打ち込みされた不純物の活性化及び熱拡散を行う。不純物の熱拡散は、等方的であるため、深さ方向及び水平方向即ち横方向に不純物が拡散する。結果、第 1 の N⁻ 低濃度不純物注入領域 108-1 は、第 1 の N⁻ 低濃度不純物拡散層 109-1 となり、第 2 の N⁻ 低濃度不純物注入領域 108-2 は、第 2 の N⁻ 低濃度不純物拡散層 109-2 となり、第 3 の N⁻ 低濃度不純物注入領域 108-3 は、第 3 の N⁻ 低濃度不純物拡散層 109-3 となり、第 4 の N⁻ 低濃度不純物注入領域 108-4 は、第 4 の N⁻ 低濃度不純物拡散層 109-4 となり、第 5 の N⁻ 低濃度不純物注入領域 108-5 は、第 5 の N⁻ 低濃度不純物拡散層 109-5 となる。第 1 の N⁻ 低濃度不純物注入領域 108-1 は、ゲート電極 106 の第 1 のスリット 107-1 に対し自己整合し、且つ、不純物の熱拡散は当方的であるので、第 1 の N⁻ 低濃度不純物拡散層 109-1 の中心位置は、第 1 の水平方向において、第 1 のスリット 107-1 の中心位置と自己整合している。第 2 の N⁻ 低濃度不純物注入領域 108-2 は、ゲート電極 106 の第 2 のスリット 107-2 に対し自己整合し、且つ、不純物の熱拡散は当方的であるので、第 2 の N⁻ 低濃度不純物拡散層 109-2 の中心位置は、第 1 の水平方向において、第 2 のスリット 107-2 の中心位置と自己整合している。第 3 の N⁻ 低濃度不純物注入領域 108-3 は、ゲート電極 106 の第 3 のスリット 107-3 に対し自己整合し

、且つ、不純物の熱拡散は当方的であるので、第3のN⁻低濃度不純物拡散層109-3の中心位置は、第1の水平方向において、第3のスリット107-3の中心位置と自己整合している。

【0197】

第1のスリット107-1の幅L1と、第2のスリット107-2の幅L3と、第3のスリット107-3の幅L5とは、前述したように互いに異なるので、第2のN⁻低濃度不純物拡散層109-2の底部は、第1のN⁻低濃度不純物拡散層109-1の底部より深く、第3のN⁻低濃度不純物拡散層109-3の底部は、第2のN⁻低濃度不純物拡散層109-2の底部より深い。第2のN⁻低濃度不純物拡散層109-2の幅は、第1のN⁻低濃度不純物拡散層109-1の幅より広く、第3のN⁻低濃度不純物拡散層109-3の幅は、第2のN⁻低濃度不純物拡散層109-2の幅より広い。更に、第2のN⁻低濃度不純物拡散層109-2の不純物濃度は、第1のN⁻低濃度不純物拡散層109-1の不純物濃度より高く、第3のN⁻低濃度不純物拡散層109-3の不純物濃度は、第2のN⁻低濃度不純物拡散層109-2の不純物濃度より高い。

【0198】

第1のN⁻低濃度不純物拡散層109-1と第2のN⁻低濃度不純物拡散層109-2とは、間隔を開けずに互いに隣接する必要がある。更に、第2のN⁻低濃度不純物拡散層109-2と第3のN⁻低濃度不純物拡散層109-3とは、間隔を開けずに互いに隣接する必要がある。更に、第3のN⁻低濃度不純物拡散層109-3と第5のN⁻低濃度不純物拡散層109-5とは、間隔を開けずに互いに隣接する必要がある。そして、第1のN⁻低濃度不純物拡散層109-1と第2のN⁻低濃度不純物拡散層109-2と第3のN⁻低濃度不純物拡散層109-3と第5のN⁻低濃度不純物拡散層109-5とは、一体化した低濃度不純物拡散領域を形成する必要がある。

【0199】

この一体化した低濃度不純物拡散領域は、チャンネル領域に近づくにつれ、その底部の深さが次第に減少すると共に、その不純物濃度が次第に減少する。電界緩和領域の不純物濃度の減少は、MOSトランジスタの高耐圧特性の向上を容易にするが、その駆動能力の向上を難しくする。一方、電界緩和領域の不純物濃度の増加は、MOSトランジスタの駆動能力の向上を容易にするが、その高耐圧特性の向上を難しくする。特に、電界緩和領域の中でもチャンネル領域により近い部分の不純物濃度の減少は、MOSトランジスタの高耐圧特性の向上にとって、より効果的である。一方、電界緩和領域の中でもチャンネル領域からより遠い部分の不純物濃度の増加は、MOSトランジスタの駆動能力の向上にとって、より効果的である。前述の一体化した低濃度不純物拡散領域に含まれる電界緩和領域は、チャンネル領域に近づくにつれ、その不純物濃度が減少し、チャンネル領域から遠ざかるにつれ、その不純物濃度が増加する。よって、この界緩和領域は、MOSトランジスタの高耐圧特性の向上及びMOSトランジスタの駆動能力の向上に効果的な第1の水平方向における不純物濃度プロファイルを有する。

【0200】

前述した一体化した低濃度不純物拡散領域を形成するためには、横方向の不純物熱拡散距離L7は、少なくとも、ゲート電極106の第1のストライプ形状部分106-1、第2のストライプ形状部分106-2及びフローティングゲート電極115の幅(L2=L4=L6=0.3μm)の半分(L2/2=L4/2=L6/2=0.15μm)必要である。スリット群107を有するゲート電極106をマスクとして使用したイオン注入工程により、第1のスリット107-1、第2のスリット107-2及び第3のスリット107-3の下方のP型半導体基板101中に、低濃度不純物注入領域を選択的に形成した。この段階では、低濃度不純物注入領域の両端部の位置は、第1のスリット107-1、第2のスリット107-2及び第3のスリット107-3の両端側壁の位置に対し、第1の水平方向でみて、自己整合している。そして、互いに隣り合う低濃度不純物注入領域同士は、ゲート電極106の第1のストライプ形状部分106-1、第2のストライプ形状部分106-2及びフローティングゲート電極115の幅(L2=L4=L6=0.3μ

m) に相当する距離だけ、互いに第1の水平方向において離間している。その後、不純物の熱拡散工程を行い、不純物拡散領域を拡大する。この不純物の熱拡散工程は、互いに隣り合う不純物拡散領域同士が、少なくとも互いに接するまで行う。結果、第1のN-低濃度不純物拡散層109-1と第2のN-低濃度不純物拡散層109-2とが間隔を開けずに互いに隣接する。第2のN-低濃度不純物拡散層109-2と第3のN-低濃度不純物拡散層109-3とが間隔を開けずに互いに隣接する。更に、第3のN-低濃度不純物拡散層109-3と第5のN-低濃度不純物拡散層109-5とが間隔を開けずに互いに隣接する。そして、第1のN-低濃度不純物拡散層109-1と第2のN-低濃度不純物拡散層109-2と第3のN-低濃度不純物拡散層109-3と第5のN-低濃度不純物拡散層109-5とが、一体化した低濃度不純物拡散領域を形成する。

10

【0201】

図43は、第1の水平方向における、不純物の熱拡散距離とゲート電極のストライプ形状部分の幅との関係を示す部分縦断面図である。図43(a)に示すように、第1の水平方向における、不純物の熱拡散距離 L_7 が、ゲート電極106の第1のストライプ形状部分106-1、第2のストライプ形状部分106-2及びフローティングゲート電極115の幅($L_2 = L_4 = L_6 = 0.3 \mu\text{m}$)の半分($L_2/2 = L_4/2 = L_6/2 = 0.15 \mu\text{m}$)に達した時点で不純物の熱拡散工程を中止した場合、横方向における不純物の拡散フロントは、ゲート電極106の第1のストライプ形状部分106-1、第2のストライプ形状部分106-2及びフローティングゲート電極115の各々の、第1の水平方向でみて、中心位置に対応する位置に達する。このことは、最も横方向熱拡散距離の大きい不純物が、ゲート電極106の第1のストライプ形状部分106-1、第2のストライプ形状部分106-2及びフローティングゲート電極115の各々の、第1の水平方向でみて、中心位置に対応する位置に達することを意味する。即ち、互いに隣り合う低濃度不純物注入領域からの不純物の横方向における拡散フロントが、互いに接する。この場合、ゲート電極106の第1のストライプ形状部分106-1、第2のストライプ形状部分106-2及びフローティングゲート電極115の中心位置に対応する位置での不純物の濃度は、第1のスリット107-1、第2のスリット107-2及びフローティングゲート電極115の各々の中心位置に対応する位置での不純物の濃度より低くなる。即ち、第1のN-低濃度不純物拡散層109-1と第2のN-低濃度不純物拡散層109-2と第3のN-低濃度不純物拡散層109-3と第5のN-低濃度不純物拡散層109-5との組

20

30

【0202】

一方、図43(b)に示すように、不純物の熱拡散距離 L_7 を、ゲート電極106の第1のストライプ形状部分106-1、第2のストライプ形状部分106-2及びフローティングゲート電極115の幅($L_2 = L_4 = L_6 = 0.3 \mu\text{m}$)の半分($L_2/2 = L_4/2 = L_6/2 = 0.15 \mu\text{m}$)より大きくした場合、互いに隣り合う低濃度不純物注入領域からの不純物の横方向における拡散フロントが、相互に交差する。即ち、横方向における不純物の拡散フロントは、ゲート電極106の第1のストライプ形状部分106-1、第2のストライプ形状部分106-2及びフローティングゲート電極115の各々の、第1の水平方向でみて、中心位置に対応する位置を越えて、互いにオーバーラップして横方向熱拡散した領域が、ゲート電極106の第1のストライプ形状部分106-1、第2のストライプ形状部分106-2及びフローティングゲート電極115に形成される。このことは、最も横方向熱拡散距離の大きい不純物が、ゲート電極106の第1のストライプ形状部分106-1、第2のストライプ形状部分106-2及びフローティングゲート電極115の各々の、第1の水平方向でみて、中心位置に対応する位置を越えることを意味する。横方向熱拡散が互いにオーバーラップすることで、ゲート電極106の第1のストライプ形状部分106-1、第2のストライプ形状部分106-2及びフローティングゲート電極115の中心位置に対応する位置での不純物の濃度と、第1のスリット107-1、第2のスリット107-2及び第3のスリット107-3の各々の中心位置に対応

40

50

する位置での不純物の濃度との差が低減される。換言すると、横方向熱拡散が互いにオーバーラップするまで熱拡散工程を行うことで、前述の一体化した低濃度不純物拡散領域がより均一な不純物濃度のプロファイルを有することになる。よって、均一な不純物濃度のプロファイルを得るためには、不純物の水平方向熱拡散距離 L_7 が、ゲート電極 106 の第1のストライプ形状部分 106-1、第2のストライプ形状部分 106-2 及びフローティングゲート電極 115 の幅 ($L_2 = L_4 = L_6 = 0.3 \mu\text{m}$) の半分 ($L_2/2 = L_4/2 = L_6/2 = 0.15 \mu\text{m}$) を越えて、横方向熱拡散が互いにオーバーラップするまで熱拡散工程を継続することが好ましい。図36においては、第1のN-低濃度不純物拡散層 109-1、第2のN-低濃度不純物拡散層 109-2、第3のN-低濃度不純物拡散層 109-3 及び第5のN-低濃度不純物拡散層 109-5 の内、隣接する2つの境界を、便宜的に、横方向熱拡散が互いにオーバーラップした領域の中心位置に示している。

10

【0203】

図36に示すように、第1のN-低濃度不純物拡散層 109-1 の内側端部は、ゲート電極 106 の面状部分 106-4 と、不純物の水平方向熱拡散距離 L_7 に相当する寸法だけオーバーラップしている。同様に、第4のN-低濃度不純物拡散層 109-4 の内側端部は、ゲート電極 106 の面状部分 106-4 と、不純物の水平方向熱拡散距離 L_7 に相当する寸法だけオーバーラップしている。チャンネル長さ L_{ch} は、第1のN-低濃度不純物拡散層 109-1 の内側端部と、第4のN-低濃度不純物拡散層 109-4 の内側端部との間で規定される。よって、チャンネル長さ L_{ch} は、面状部分 106-4 の幅 L_8 から、不純物の水平方向熱拡散距離 L_7 の2倍を差し引いた値に等しい。即ち、 $L_{ch} = L_8 - 2 \times L_7$ の関係が成立する。

20

【0204】

ゲート電極 106 は、フローティングゲート電極 115 を含むものとする。しかし、このフローティングゲート電極 115 は、ゲート電極 106 に印加されるゲート電圧が印加されない。更に、フローティングゲート電極 115 は、該ゲート電圧の影響を受けない。よって、フローティングゲート電極 115 を除くゲート電極 106 の部分、即ち、面状部分 106-4、第1のストライプ形状部分 106-1、第2のストライプ形状部分 106-2 及び第2の側部領域 106-8 が、一体化された部分を形成する。この一体化された部分が、ゲート電位を有する。このため、前述の一体化された部分が、ゲート電位に基づく電界を、前述の一体化した低濃度不純物拡散領域の一部及びチャンネル領域に印加する。前述の一体化した低濃度不純物拡散領域中の、このゲート電位に基づく電界が印加される領域が電界緩和領域に相当する。よって、ゲート電極 106 の第1の端部 106-5 は、第2のストライプ形状部分 106-2 の側壁であって、フローティングゲート電極 115 に面した側壁で構成されるものとする。即ち、ゲート電極 106 の幅は、第1のスリット 107-1 の幅 L_1 と、第1のストライプ形状部分 106-1 の幅 L_2 と、第2のスリット 107-2 の幅 L_3 と、第2のストライプ形状部分 106-2 の幅 L_4 と、面状部分 106-4 の幅 L_8 との合計値に相当する。

30

【0205】

また、前述した一体化した低濃度不純物拡散領域は、ゲート電極 106 とオーバーラップする部分を有し、このオーバーラップする部分が、電界緩和領域として働く。即ち、本願においては、低濃度不純物拡散領域であって、ゲート電極 106 とオーバーラップする領域を電界緩和領域と定義する。よって、電界緩和領域の第1の水平方向における寸法は、ゲートオーバーラップ寸法に相当する。前述したように、一体化した低濃度不純物拡散領域は、第1のN-低濃度不純物拡散層 109-1 と第2のN-低濃度不純物拡散層 109-2 と第3のN-低濃度不純物拡散層 109-3 と第5のN-低濃度不純物拡散層 109-5 とからなる。ゲート電極 106 は、面状部分 106-4 と、第1のストライプ形状部分 106-1 と、第2のストライプ形状部分 106-2 と、フローティングゲート電極 115 とを含む。しかし、前述したように、このフローティングゲート電極 115 は、ゲート電極 106 に印加されるゲート電圧が印加されない。更に、フローティングゲート電

40

50

極 115 は、該ゲート電圧の影響を受けない。よって、フローティングゲート電極 115 を除くゲート電極 106 の部分、即ち、面状部分 106-4、第 1 のストライプ形状部分 106-1、第 2 のストライプ形状部分 106-2 及び第 2 の側部領域 106-8 が、一体化された部分を形成する。この一体化された部分が、ゲート電位を有する。オーバーラップ寸法 L_d は、第 1 の N^- 低濃度不純物拡散層 109-1 のチャンネル領域との境界と、ゲート電極 106 の第 1 の端部 106-5 との距離で規定される。従って、電界緩和領域とゲート電極 106 とのオーバーラップ寸法 L_d は、第 1 のスリット 107-1 の幅 L_1 と、第 1 のストライプ形状部分 106-1 の幅 L_2 と、第 2 のスリット 107-2 の幅 L_3 と、第 2 のストライプ形状部分 106-2 の幅 L_4 と、不純物の水平方向熱拡散距離 L_7 との合計値 ($L_1 + L_2 + L_3 + L_4 + L_7 = 1.1 \mu m + L_7$) で与えられる。即ち、 $L_d = L_1 + L_2 + L_3 + L_4 + L_7$ なる関係が成立する。不純物の水平方向熱拡散距離 L_7 は、前述したように、 $0.15 \mu m$ 以上必要なので、ゲートオーバーラップ寸法 L_d は、 $1.25 \mu m$ 以上となる。

10

【0206】

図 37 に示すように、既知のリソグラフィ技術により、ゲート電極 106 上、ゲート絶縁膜 103 上、及びフィールド酸化膜 102 上に、レジストパターン 119 を形成する。

【0207】

図 38 に示すように、レジストパターン 119 及びゲート電極 106 の面状部分 106-4 をマスクとして使用し、加速エネルギー $40 keV$ 及びドーズ量 $1.0 \times 10^{15} cm^{-2}$ の条件下で、 N 型不純物である砒素 (As) を、垂直方向に、第 4 の N^- 低濃度不純物拡散層 109-4 の上部領域、並びに、第 5 の N^- 低濃度不純物拡散層 109-5 の上部領域に選択的に注入する。結果、第 4 の N^- 低濃度不純物拡散層 109-4 の上部領域にソース側の第 1 の N^+ 高濃度不純物拡散層 111-1 が選択的に形成され、一方、第 5 の N^- 低濃度不純物拡散層 109-5 の上部領域にドレイン側の第 2 の N^+ 高濃度不純物拡散層 111-2 が形成される。

20

【0208】

図 39 に示すように、レジストパターン 119 を既知の方法により除去する。

【0209】

図 40 に示すように、層間絶縁膜 112 を、ゲート電極 106 上、ゲート絶縁膜 103 上、並びにフィールド酸化膜 102 上に、既知の方法により形成する。コンタクトホールを層間絶縁膜 112 及びゲート絶縁膜 103 中に形成する。ソースコンタクト 113-1 及びドレインコンタクト 113-2 をコンタクトホール内に形成することで、ソースコンタクト 113-1 及びドレインコンタクト 113-2 は、ソース側の第 1 の N^+ 高濃度拡散層 111-1 及びドレイン側の第 1 の N^+ 高濃度拡散層 111-2 と、それぞれ、オーミックコンタクトをとる。ソース配線層 114-1 及びドレイン配線層 114-2 並びにドレイン配線層の拡張部 114-3 を層間絶縁膜 112 上に既知の方法により形成する。ソース配線層 114-1 及びドレイン配線層 114-2 は、ソースコンタクト 113-1 及びドレインコンタクト 113-2 を介してソース側の第 1 の N^+ 高濃度拡散層 111-1 及びドレイン側の第 1 の N^+ 高濃度拡散層 111-2 と、それぞれ、電氣的に接続する。

30

40

【0210】

一方、ドレイン配線層の拡張部 114-3 は、ドレイン配線層 114-2 と電氣的に接続される。よって、ドレイン配線層の拡張部 114-3 は、ドレイン配線層 114-2 と同一の電位を常に有する。換言すると、ドレイン配線層の拡張部 114-3 には、ドレイン電圧が印加される。このドレイン配線層の拡張部 114-3 は、層間絶縁膜 112 上であって、且つ前述のフローティングゲート電極 115 の上方に位置する。このため、フローティングゲート電極 115 の電位は、ドレイン配線層の拡張部 114-3 の電位に依存する。ドレイン配線層 114-2 及びドレイン配線層の拡張部 114-3 へプラスの高電圧を印加することで、フローティングゲート電極 115 の電位が上昇する。このフローテ

50

ィングゲート電極 115 の上昇した電位により、前述した一体化した低濃度不純物拡散領域の上部表面近傍であって、フローティングゲート電極 115 の下方に位置する領域に、この上昇した電位に基づく電界が印加され、当該領域に電子が集まる。電子が前述した一体化した低濃度不純物拡散領域のキャリアとして働く。このため、前述の領域に電子が集まることは、この領域の不純物濃度の見かけ上の上昇を意味する。よって、ドレイン配線層へプラスの高電圧を印加は、前述した一体化した低濃度不純物拡散領域の上部表面近傍であって、フローティングゲート電極 115 の下方に位置する領域の抵抗が低くなる。この低抵抗化は、MOS トランジスタの駆動能力の上昇につながる。ドレイン配線層へプラスの高電圧を印加により引き起こされる前述した不純物濃度の見かけ上の上昇は、前述した一体化した低濃度不純物拡散領域の上部表面近傍領域のみ起きる。MOS トランジスタの耐圧は、前述した一体化した低濃度不純物拡散領域の上部表面近傍領域のみならずそれ以外の領域の濃度に依存する。よって、前述した不純物濃度の見かけ上の上昇は、MOS トランジスタの耐圧特性に対し殆ど影響を与えない。従って、フローティングゲート電極 115 と、ドレイン配線層の拡張部 114-3 とを設けることで、MOS トランジスタの耐圧特性に対し殆ど影響を与えることなく、MOS トランジスタの駆動能力の上昇を可能にする。

10

【0211】

前述の層間絶縁膜 112 は、第 1 乃至第 3 のスリット 107-1、107-2、107-3 を充填する。第 1 乃至第 3 のスリット 107-1、107-2、107-3 の各々のアスペクト比の増加は、これらスリット 107-1、107-2、107-3 の各々が、層間絶縁膜 112 により完全に充填されるのを難しくし、ボイドの形成につながる可能性がある。しかし、層間絶縁膜 112 が、必要な電気的分離作用を発揮している限りにおいては、ボイドの形成は問題とならない。ボイドの形成を避けるには、埋め込み特性の高い埋め込み特性の高い低圧 CVD (Low Pressure Chemical Vapor Deposition) の使用が有効である。代替的には、或いは、それに加えて、ゲート電極 106 の第 1 及び第 2 のストライプ形状部分 106-1、106-2、並びにフローティングゲート電極 115 が、第 1 の水平方向において、台形の縦断面形状を有することが、ボイドの形成を避けるには有効である。

20

【0212】

(効果)

30

本発明によれば、前述したように、互いに異なる幅を有するスリット群 107 とを含む。ゲート電極 106 をマスクとして使用し、不純物のイオン注入を行い、ゲート電極 106 に自己整合する低濃度不純物注入領域 108 を形成する。この段階では、低濃度不純物注入領域の両端部の位置は、互いに幅の異なる第 1 のスリット 107-1、第 2 のスリット 107-2 及び第 3 のスリット 107-3 の各々の両端側壁の位置に対し、第 1 の水平方向でみて、自己整合している。更に、前述の横方向熱拡散は、第 1 の水平方向でみて対称的である。よって、第 1 の N⁻ 低濃度不純物拡散層 109-1 の中心位置は、最も幅の狭い第 1 のスリット 107-1 の中心位置に自己整合している。第 2 の N⁻ 低濃度不純物拡散層 109-2 の中心位置は、中間の幅を有する第 2 のスリット 107-2 の中心位置に自己整合している。第 3 の N⁻ 低濃度不純物拡散層 109-3 の中心位置は、最も幅の広い第 3 のスリット 107-3 の中心位置に自己整合している。従って、前述の一体化した低濃度不純物拡散領域は、第 1 の水平方向位置でみて、スリット群 107 に対し自己整合している。換言すると、第 1 の水平方向でみて変化する底部の深さを有する前述の一体化した低濃度不純物拡散領域は、第 1 の水平方向位置でみて、スリット群 107 を有するゲート電極 106 に対し自己整合している。

40

【0213】

前述の一体化した低濃度不純物拡散領域であって、ゲート電極 106 とオーバーラップした領域が、電界緩和領域として働く。よって、電界緩和領域とゲート電極 106 とのオーバーラップ寸法 Ld は、第 1 のスリット 107-1 の幅 L1 と、第 1 のストライプ形状部分 106-1 の幅 L2 と、前述の幅 L1 より広い第 2 のスリット 107-2 の幅 L3 と

50

、第2のストライプ形状部分106-2の幅L4と、不純物の水平方向熱拡散距離L7との合計値(L1+L2+L3+L4+L7)で与えられる。

【0214】

更に、第2のN⁻低濃度不純物拡散層109-2の不純物濃度は、第1のN⁻低濃度不純物拡散層109-1の不純物濃度より高く、第3のN⁻低濃度不純物拡散層109-3の不純物濃度は、第2のN⁻低濃度不純物拡散層109-2の不純物濃度より高い。この一体化した低濃度不純物拡散領域は、チャンネル領域に近づくにつれ、その底部の深さが次第に減少すると共に、その不純物濃度が次第に減少する。

【0215】

ゲート絶縁膜103上にフローティングゲート電極115を形成した。更に、層間絶縁膜112上であって、該フローティングゲート電極115の上方に、ドレイン配線層の拡張部114-3を形成した。

【0216】

従って、第3の実施形態に係る本発明は、以下の効果を奏する。

【0217】

第1の効果として、前述の3つのスリットが互いに異なる幅を有するにもかかわらず、電界緩和領域を形成するためのパターンニングと、ゲート電極106を形成するためのパターンニングとの合せずれが生じない。このため、パターンニングの合せずれに基づくゲートオーバーラップ寸法Ldの設計値からのずれが生じない。よって、電界緩和領域を形成するためのパターンニングと、ゲート電極106を形成するためのパターンニングとの合せ余裕を考慮せずに、ゲートオーバーラップ寸法Ldを決定することが可能となる。非自己整合的にゲートオーバーラップ構造を形成する場合、本来必要とされるゲートオーバーラップ寸法に、前述のパターンニングの合せ余裕を足し合わせた寸法を設計値とする必要がある。これに対し、自己整合にゲートオーバーラップ構造を形成する場合、前述のパターンニングの合せ余裕を必要とせず、本来必要とされるゲートオーバーラップ寸法をそのまま設計値とすればよい。このため、高耐圧MOSトランジスタの電流駆動能力の改善が得られ、その結果、素子の縮小が可能となる。

【0218】

第2の効果として、互いに異なる幅を有するスリットの数进行调整することで、ゲートオーバーラップ寸法Ldを調整することが可能となる。高耐圧のMOSトランジスタは、一般に、大きなゲートオーバーラップ量を必要とする。しかし、電界緩和領域を形成するためのパターンニングと、ゲート電極106を形成するためのパターンニングとの合せ余裕を考慮せずに、スリットの数を増加することで、所望の大きなゲートオーバーラップ量を得ることが可能となる。

【0219】

第3の効果として、電界緩和領域を含む一体化した低濃度不純物拡散領域を、ゲート電極をマスクとして使用したイオン注入により形成する。即ち、電界緩和領域を含む一体化した低濃度不純物拡散領域を形成するためのイオン注入工程は、レジストパターンからなるマスクの形成を必要としない。従って、より少ない製造工程で、MOSトランジスタを製造することが可能となる。

【0220】

第4の効果として、前述した一体化した低濃度不純物拡散領域は、チャンネル領域に近づくにつれ、その不純物濃度が次第に減少する。電界緩和領域の不純物濃度の減少は、MOSトランジスタの高耐圧特性の向上を容易にするが、その駆動能力の向上を難しくする。一方、電界緩和領域の不純物濃度の増加は、MOSトランジスタの駆動能力の向上を容易にするが、その高耐圧特性の向上を難しくする。特に、電界緩和領域の中でもチャンネル領域により近い部分の不純物濃度の減少は、MOSトランジスタの高耐圧特性の向上にとって、より効果的である。一方、電界緩和領域の中でもチャンネル領域からより遠い部分の不純物濃度の増加は、MOSトランジスタの駆動能力の向上にとって、より効果的である。前述の一体化した低濃度不純物拡散領域に含まれる電界緩和領域は、チャンネル領域に近

10

20

30

40

50

くにつれ、その不純物濃度が減少し、チャネル領域から遠ざかるにつれ、その不純物濃度が増加する。よって、この界緩和領域は、MOSトランジスタの高耐圧特性の向上及びMOSトランジスタの駆動能力の向上に効果的な第1の水平方向における不純物濃度プロファイルを有する。

【0221】

第5の効果として、ドレイン配線層114-2及びドレイン配線層の拡張部114-3へプラスの高電圧を印加することで、フローティングゲート電極115の電位を上昇させることで、前述した一体化した低濃度不純物拡散領域の上部表面近傍であって、フローティングゲート電極115の下方に位置する領域に、この上昇した電位に基づく電界が印加され、当該領域に電子が集まる。結果、前述した一体化した低濃度不純物拡散領域の上部表面近傍であって、フローティングゲート電極115の下方に位置する領域の抵抗が低くなる。この低抵抗化は、MOSトランジスタの駆動能力の上昇につながる。ドレイン配線層へプラスの高電圧を印加により引き起こされる前述した不純物濃度の見かけ上の上昇は、前述した一体化した低濃度不純物拡散領域の上部表面近傍領域のみ起きる。一方、MOSトランジスタの耐圧は、前述した一体化した低濃度不純物拡散領域の上部表面近傍領域のみならずそれ以外の領域の濃度に依存する。よって、前述した不純物濃度の見かけ上の上昇は、MOSトランジスタの耐圧特性に対し殆ど影響を与えない。従って、フローティングゲート電極115と、ドレイン配線層の拡張部114-3とを設けることで、MOSトランジスタの耐圧特性に対し殆ど影響を与えることなく、MOSトランジスタの駆動能力の上昇を可能にする。

【0222】

尚、前述の説明では、ゲート電極106は、3つのスリットを有したが、ゲート電極106は、2つのスリットを有することも、当然可能である。この場合、ゲート電極106は、1つのストライプ形状部分と、1つのフローティングゲート電極115とを含む。

【0223】

更に、ゲート電極106は、複数のフローティングゲート電極を含んでもよい。

【0224】

(他の実施形態)

上記第1乃至第3の実施形態において、ポリシリコン膜104をパターニングすることで、ゲート電極106を形成する。ここで、ゲート電極106は、チャネル領域の上方に延在する面状部分106-4からなる第1領域と、この第1領域に隣接する第2領域とからなる。そして、この第2領域は、第2の水平方向に長手延在する第1乃至第3のスリット107-1、107-2、107-3の一次元配列と、該スリット107を互いに分離する第1乃至第3のストライプ形状部分106-1、106-2、106-3とを含む。その後、この特異なパターンを有するゲート電極106をマスクとしてP型半導体基板101中への不純物のイオン注入を行い、P型半導体基板101中であって且つ前述の複数のスリット107の下方位置に、該複数のスリット107に対しそれぞれ自己整合する複数の不純物注入領域108を形成する。その後、該複数の不純物注入領域108中の不純物の熱拡散処理を行うことで、該複数のスリットにそれぞれ自己整合すると共に、互いに間隔を開けずに隣接する複数の不純物拡散領域109からなる一体化した不純物拡散領域を形成する。ここで、電界緩和領域は、一体化した不純物拡散領域に含まれ、且つ、ゲート電極106の第2領域の下方に延在する。そして、この電界緩和領域は、ゲート電極106に対し自己整合すると共にオーバーラップする。

【0225】

即ち、上記第1乃至第3の実施形態で説明した本発明の見地によれば、チャネル領域上に延在する第1領域に隣接すると共に、電界緩和領域の上方に延在するゲート電極の第2領域に複数の開口部を設ける。このゲート電極をマスクとして使用して、半導体基板中への不純物のイオン注入を行う。結果、半導体基板中であって且つ前述の複数の開口部の下方位置に、該複数の開口部に対しそれぞれ自己整合する複数の不純物注入領域を形成する。その後、該複数の不純物注入領域中の不純物の熱拡散処理を行うことで、該複数の開口

部にそれぞれ自己整合すると共に、互いに間隔を開けずに隣接する複数の不純物拡散領域からなる一体化した不純物拡散領域を形成する。ここで、電界緩和領域は、一体化した不純物拡散領域に含まれ、且つ、ゲート電極の第2領域の下方に延在する。そして、この電界緩和領域は、ゲート電極に対し自己整合すると共にオーバーラップする。

【0226】

前述の本発明の範囲内において、上記第1乃至第3の実施形態の変更形態として、以下の実施形態を挙げることができる。

【0227】

(他の実施形態1)

図44は、本発明の他の実施形態1に係る高耐圧MOSトランジスタの構造を示す部分平面図である。図45本発明の他の実施形態1に係る高耐圧MOSトランジスタの構造を示す図44のA-A線に沿った部分縦断面図である。図46本発明の他の実施形態1に係る高耐圧MOSトランジスタの構造を示す図44のB-B線に沿った部分縦断面図である。図47本発明の他の実施形態1に係る高耐圧MOSトランジスタの構造を示す図44のC-C線に沿った部分縦断面図である。

【0228】

図44、図45、図46及び47に示すように、他の実施形態1に係る高耐圧MOSトランジスタの構造は、ゲート電極の構造が、前述した第1の実施形態のそれと異なる。よって、以下の説明は、他の実施形態1に係る高耐圧MOSトランジスタの構造と、前述した第1の実施形態に係る高耐圧MOSトランジスタの構造との相違点のみ説明する。

【0229】

前述した第1の実施形態のゲート電極106は、スリット群107を含み、このスリット群107は、第1の水平方向に沿って長手延在する第1乃至第3のスリット107-1、107-2、107-3から構成する。

【0230】

これに対し、他の実施形態1では、高耐圧MOSトランジスタは、以下のゲート電極400を有する。ゲート電極400は、チャンネル領域の上方に延在する面状部分401からなる第1領域と、この第1領域に隣接すると共に電界緩和領域の上方に延在する第2領域とからなる。そして、この第2領域は、スリット群500を含む。このスリット群500は、各々が第1の水平方向に長手延在する第1乃至第3のスリット501、502、503の第2の水平方向に沿った一次元配列からなる。第2領域は、更に、第1乃至第3のスリット501、502、503を互いに分離する第1及び第2のストライプ形状部分401、402を含む。第2領域は、更に、第1の側部領域404を含む。この第1の側部領域404は、第1乃至第3のスリット501、502、503を終端すると共に、前述の第1領域から離間する。更に、第1の側部領域404は、ストライプ形状を有し、第2の水平方向に長手延在する。この第1の側部領域404の外側側壁は、ゲート電極400の第1の端部405を構成する。一方、面状部分401の外側側壁は、ゲート電極400の第2の端部406を構成する。

【0231】

ゲート電極400は、更に、第2の側部領域407と第3の側部領域408とを有する。活性領域と素子分離領域との境界は、それぞれ第1の水平方向に延在し、且つ、第2の水平方向に互いに離間する一対の境界線を含む。前述の第2の側部領域407及び第3の側部領域408は、それぞれ、この一対の境界線の上方及びその外側の素子分離領域の上方に亘り延在する。

【0232】

前述の特異なパターンを有するゲート電極400をマスクとして使用し、P型半導体基板101中への不純物のイオン注入を行う。結果、P型半導体基板101中であって且つ前述の第1乃至第3のスリット501、502、503の下方位置に、該第1乃至第3のスリット501、502、503に対しそれぞれ自己整合する複数の不純物注入領域を形成する。その後、該複数の不純物注入領域中の不純物の熱拡散処理を行うことで、前述の

第1乃至第3のスリット501、502、503にそれぞれ自己整合すると共に、互いに間隔を開けずに隣接する第9乃至第11のN⁻低濃度不純物拡散層109-9、109-10、109-11からなる一体化した不純物拡散領域を形成する。ここで、電界緩和領域は、一体化した不純物拡散領域に含まれ、且つ、ゲート電極400の第2領域の下方に延在する。そして、この電界緩和領域は、ゲート電極400に対し自己整合すると共にオーバーラップする。

【0233】

その他のMOSトランジスタの構成は、前述の第1の実施形態におけるMOSトランジスタの構成と同じである。

【0234】

第1乃至第3のスリット501、502、503の幅は、前述した第1の実施形態における第1乃至第3のスリット107-1、107-2、107-3の幅と同一とすることが可能である。第1の側部領域404の幅並びに第1及び第2のストライプ形状部分401、402の幅は、前述した第1の実施形態における第1乃至第3のストライプ形状部分106-1、106-2、106-3の幅と同一とすることが可能である。ゲート電極のスリットの幅及び第1の側部領域404を含めたストライプ形状部分の幅は、下記関係を考慮して決めることが好ましい。

【0235】

第1乃至第3のスリット501、502、503の幅の増加は、ゲート電位に基づき電界緩和領域に印加される電界の減少、及び電界緩和効果の低減につながる。更に、第1乃至第3のスリット501、502、503の幅の増加は、必要なチャネル幅を確保するために必要となるゲート電極400のストライプ形状部分の数とスリット500の数の減少になると共に、ゲート電極400をマスクとした不純物イオン注入工程における不純物の導入を容易にする。最大スリット幅は、ゲート電位に基づき前述の電界緩和領域に印加される必要最小限の電界と、最低限必要とされる電界緩和効果とを得るのに必要な上限幅で決まる。

【0236】

スリット幅の減少は、必要なチャネル幅を確保するために必要となるゲート電極のストライプ形状部分の数とスリットの数が増加につながると共に、ゲート電極400をマスクとした不純物イオン注入工程における不純物の導入の妨げになり、最終的に得られる不純物拡散層の濃度の低下につながる。更に、スリット幅の減少は、ゲート電位に基づき前述の電界緩和領域に印加される電界の増加、及び電界緩和効果の増加につながる。最小スリット幅は、パターンニング可能な限界幅で決まる。

【0237】

ゲート電極400のストライプ形状部分の幅の増加は、最低限必要とされる横方向の不純物の拡散距離の増加につながる。更に、ゲート電極400のストライプ形状部分の幅の増加は、必要なチャネル幅を確保するために必要となるストライプ形状部分の数とスリットの数との減少につながる。

【0238】

ゲート電極400のストライプ形状部分の幅の減少は、必要なチャネル幅を確保するために必要となるストライプ形状部分の数とスリットの数が増加につながる。更に、ゲート電極のストライプ形状部分の幅の減少は、最低限必要とされる横方向の不純物の拡散距離の減少につながる。

【0239】

ゲート電極400のストライプ形状部分の幅の半分の値が、最低限必要とされる横方向の不純物の拡散距離に相当する。よって、ゲート電極400のストライプ形状部分は、互いに同一幅を有することが好ましい。ゲート電極400のストライプ形状部分が互いに異なる幅を有する場合、最低限必要とされる横方向の不純物の拡散距離は、最も広いストライプ形状部分の幅の半分となる。

【0240】

一方、第1乃至第3のスリット501、502、503の各々の長さL9は、必要なゲートオーバーラップ量に基づき決定することが好ましい。ストライプ形状を有する第1の側部領域404の幅L10の上限値は、最低限必要とされる水平方向の不純物の拡散距離との前述の関係で決まる。即ち、ストライプ形状を有する第1の側部領域404の幅L10は、不純物の水平方向熱拡散距離L7の2倍以下である。ゲートオーバーラップ量Ldは、不純物の水平方向熱拡散距離L7と、よって、必要なゲートオーバーラップ量Ldを考慮して、第1乃至第3のスリット501、502、503の各々の長さL9と、ストライプ形状を有する第1の側部領域404の幅L10との合計値で与えられる。ストライプ形状を有する第1の側部領域404の幅L10は、水平方向の不純物の拡散距離に依存する。よって、第1乃至第3のスリット501、502、503の各々の長さL9を調整することで、結果得られるゲートオーバーラップ量Ldを調整することが可能となる。

10

【0241】

例えば、40V耐圧のMOSトランジスタでは、ゲートオーバーラップ量が約2 μ m必要になる場合がある。前述のゲートオーバーラップ構造によれば、前述の第1乃至第3のスリット501、502、503の各々の長さL9を1.6 μ m、前述のストライプ形状を有する第1の側部領域404の幅L10を0.3 μ mとし、水平方向熱拡散距離L7を、前述の3つのストライプ形状部分の幅の半分以上とすることで、2.05 μ m以上のゲートオーバーラップ寸法Ldが得られる。よって、40V耐圧のMOSトランジスタが必要とする大きなゲートオーバーラップ量を得ることが可能となる。

【0242】

20

他の実施形態1に係るMOSトランジスタの製造方法は、前述の第1の実施形態に係るMOSトランジスタの製造方法と殆ど同じであるが、ゲート電極400をパターンニングにより形成する際のレジストマスクのパターンが、他の実施形態1と前述の第1の実施形態とで異なる。即ち、前述の特異なパターンを有するゲート電極400をマスクとして使用し、P型半導体基板101中への不純物のイオン注入を行う。結果、P型半導体基板101中であって且つ前述の第1乃至第3のスリット501、502、503の下方位置に、該第1乃至第3のスリット501、502、503に対しそれぞれ自己整合する複数の不純物注入領域を形成する。その後、該複数の不純物注入領域中の不純物の熱拡散処理を行うことで、前述の第1乃至第3のスリット501、502、503にそれぞれ自己整合すると共に、互いに間隔を開けずに隣接する第9乃至第11のN⁻低濃度不純物拡散層109-9、109-10、109-11からなる一体化した不純物拡散領域を形成する。ここで、電界緩和領域は、一体化した不純物拡散領域に含まれ、且つ、ゲート電極400の第2領域の下方に延在する。そして、この電界緩和領域は、ゲート電極400に対し自己整合すると共にオーバーラップする。

30

【0243】

他の実施形態1に係る本発明は、前述した第1の実施形態と同様の効果を奏する。

【0244】

(他の実施形態2)

図48は、本発明の他の実施形態2に係る高耐圧MOSトランジスタの構造を示す部分平面図である。図49本発明の他の実施形態2に係る高耐圧MOSトランジスタの構造を示す図48のA-A線に沿った部分縦断面図である。図50本発明の他の実施形態2に係る高耐圧MOSトランジスタの構造を示す図48のB-B線に沿った部分縦断面図である。図51本発明の他の実施形態2に係る高耐圧MOSトランジスタの構造を示す図48のC-C線に沿った部分縦断面図である。

40

【0245】

図48、図49、図50及び図51に示すように、他の実施形態2に係る高耐圧MOSトランジスタの構造は、ゲート電極の構造が、前述した第1の実施形態のそれと異なる。よって、以下の説明は、他の実施形態2に係る高耐圧MOSトランジスタの構造と、前述した第1の実施形態に係る高耐圧MOSトランジスタの構造との相違点のみ説明する。

【0246】

50

前述した第1の実施形態のゲート電極106は、スリット群107を含み、このスリット群107は、第1の水平方向に沿って長手延在する第1乃至第3のスリット107-1、107-2、107-3から構成する。

【0247】

これに対し、他の実施形態2では、高耐圧MOSトランジスタは、以下のゲート電極300を有する。ゲート電極300は、チャンネル領域の上方に延在する面状部分301からなる第1領域と、この第1領域に隣接すると共に電界緩和領域の上方に延在する第2領域とからなる。そして、この第2領域は、矩形開口部群500を含む。この矩形開口部群500は、第1乃至第9の矩形開口部211、221、231、212、222、232、213、223、233からなる3×3の二次元マトリックス配列からなる。第2領域は、更に、第1乃至第9の矩形開口部211、221、231、212、222、232、213、223、233を互いに分離する格子状部分302を含む。この格子状部分302の外側側壁は、ゲート電極300の第1の端部303を構成する。一方、面状部分301の外側側壁は、ゲート電極300の第2の端部304を構成する。ゲート電極300は、更に、第2の側部領域305と第3の側部領域306とを有する。

【0248】

前述の特異なパターンを有するゲート電極300をマスクとして使用し、P型半導体基板101中への不純物のイオン注入を行う。結果、P型半導体基板101中であって且つ前述の第1乃至第9の矩形開口部211、221、231、212、222、232、213、223、233の下方位置に、該第1乃至第9の矩形開口部211、221、231、212、222、232、213、223、233に対しそれぞれ自己整合する複数の不純物注入領域を形成する。その後、該複数の不純物注入領域中の不純物の熱拡散処理を行うことで、前述の第1乃至第9の矩形開口部211、221、231、212、222、232、213、223、233にそれぞれ自己整合すると共に、互いに間隔を開けずに隣接する複数のN⁻低濃度不純物拡散層10911、10921、10931、10912、10922、10932、10913、10923、10933からなる一体化した不純物拡散領域を形成する。ここで、電界緩和領域は、一体化した不純物拡散領域に含まれ、且つ、ゲート電極300の第2領域の下方に延在する。そして、この電界緩和領域は、ゲート電極300に対し自己整合すると共にオーバーラップする。図49及び図50では、N⁻低濃度不純物拡散層10921、10922、10923のみ示され、図51では、N⁻低濃度不純物拡散層10911、10921、10931のみ示される。

【0249】

その他のMOSトランジスタの構成は、前述の第1の実施形態におけるMOSトランジスタの構成と同じである。

【0250】

第1乃至第9の矩形開口部211、221、231、212、222、232、213、223、233の第1の水平方向における寸法は、前述した第1の実施形態における第1乃至第3のスリット107-1、107-2、107-3の幅と同一とすることが可能である。格子状部分302の第1の水平方向における幅及び第2の水平方向における幅の各々は、前述した第1の実施形態における第1乃至第3のストライプ形状部分106-1、106-2、106-3の幅と同一とすることが可能である。第1乃至第9の矩形開口部211、221、231、212、222、232、213、223、233の第1の水平方向における寸法、並びに、格子状部分302の第1の水平方向における幅及び第2の水平方向における幅は、下記関係を考慮して決めることが好ましい。

【0251】

矩形開口部200の第1の水平方向における寸法の増加は、ゲート電位に基づき電界緩和領域に印加される電界の減少、及び電界緩和効果の低減につながる。更に、矩形開口部200の第1の水平方向における寸法の増加は、必要なゲートオーバーラップ量Ldを確保するために必要となるゲート電極300の第1の水平方向に配列される矩形開口部200の数の減少になると共に、ゲート電極300をマスクとした不純物イオン注入工程にお

ける不純物の導入を容易にする。矩形開口部の第1の水平方向における最大寸法は、ゲート電位に基づき前述の電界緩和領域に印加される必要最小限の電界と、最低限必要とされる電界緩和効果とを得るのに必要な上限寸法で決まる。

【0252】

矩形開口部200の第1の水平方向における寸法の減少は、必要なゲートオーバーラップ量 L_d を確保するために必要となるゲート電極300の第1の水平方向に配列される矩形開口部200の数の増加につながると共に、ゲート電極300をマスクとした不純物イオン注入工程における不純物の導入の妨げになり、最終的に得られる不純物拡散層の濃度の低下につながる。更に、矩形開口部200の第1の水平方向における寸法の減少は、ゲート電位に基づき前述の電界緩和領域に印加される電界の増加、及び電界緩和効果の増加

10

【0253】

矩形開口部200の第2の水平方向における寸法の増加は、必要なチャネル幅を確保するために必要となるゲート電極300の第2の水平方向に配列される矩形開口部200の数の減少になると共に、ゲート電極300をマスクとした不純物イオン注入工程における不純物の導入を容易にする。

【0254】

矩形開口部200の第2の水平方向における寸法の減少は、必要なチャネル幅を確保するために必要となるゲート電極300の第2の水平方向に配列される矩形開口部200の数の増加につながると共に、ゲート電極300をマスクとした不純物イオン注入工程における不純物の導入の妨げになり、最終的に得られる不純物拡散層の濃度の低下につながる。更に、矩形開口部200の第2の水平方向における寸法の減少は、ゲート電位に基づき前述の電界緩和領域に印加される電界の増加、及び電界緩和効果の増加につながる。矩形開口部の第2の水平方向における最小寸法は、パターンニング可能な限界寸法で決まる。

20

【0255】

格子状部分302の第1の水平方向における幅及び第2の水平方向における幅の増加は、最低限必要とされる横方向の不純物の拡散距離の増加につながる。更に、格子状部分302の第1の水平方向における幅の増加は、必要なゲートオーバーラップ量 L_d を確保するために必要となるゲート電極300の第1の水平方向に配列される矩形開口部200の数の減少につながる。格子状部分302の第2の水平方向における幅の増加は、必要なチャネル幅を確保するために必要となるゲート電極300の第2の水平方向に配列される矩形開口部200の数の減少につながる。

30

【0256】

格子状部分302の第1の水平方向における幅及び第2の水平方向における幅の減少は、最低限必要とされる横方向の不純物の拡散距離の減少につながる。更に、格子状部分302の第1の水平方向における幅の減少は、必要なゲートオーバーラップ量 L_d を確保するために必要となるゲート電極300の第1の水平方向に配列される矩形開口部200の数の増加につながる。格子状部分302の第2の水平方向における幅の減少は、必要なチャネル幅を確保するために必要となるゲート電極300の第2の水平方向に配列される矩形開口部200の数の増加につながる。

40

【0257】

ゲート電極300の格子状部分302の第1の水平方向における幅及び第2の水平方向における幅のうち大きい方の半分の値が、最低限必要とされる水平方向の不純物の拡散距離に相当する。よって、ゲート電極300の格子状部分302は、第1の水平方向における幅と第2の水平方向における幅とが同一であることが好ましい。しかし、ゲート電極300の格子状部分302の対角線方向における幅は、第1の水平方向における幅及び第2の水平方向における幅より大きい。このため、ゲート電極300の格子状部分302であって、4つの矩形開口部の間に位置する部分の下方位置には、前述の一体化した低濃度拡散領域が延在しないアイランド状領域が存在する。このアイランド状領域を形成しないた

50

めには、水平方向の不純物の拡散距離を、ゲート電極300の格子状部分302の対角線方向における幅の半分以上とすることが必要となる。

【0258】

例えば、40V耐圧のMOSトランジスタでは、ゲートオーバーラップ量が約2 μ m必要になる場合がある。本発明に係るゲートオーバーラップ構造によれば、前述の第1乃至第9の矩形開口部211、221、231、212、222、232、213、223、233の第1の水平方向における寸法を0.3 μ m、格子状部分302の第1の水平方向における幅及び第2の水平方向における幅の各々を0.3 μ mとし、水平方向熱拡散距離L7を、前述の格子状部分302の第1の水平方向における幅及び第2の水平方向における幅の各々の半分以上とすることで、1.95 μ m以上のゲートオーバーラップ寸法Ldが得られる。よって、40V耐圧のMOSトランジスタが必要とする大きなゲートオーバーラップ量を得ることが可能となる。本実施の形態では、矩形開口部の3 $\times$ 3の二次元マトリックス配列を形成したが、第1の水平方向における矩形開口部の配列の数は、要求されたゲートオーバーラップ寸法Ldに合わせて適宜決定することが可能である。

【0259】

他の実施形態2に係るMOSトランジスタの製造方法は、前述の第1の実施形態に係るMOSトランジスタの製造方法と殆ど同じであるが、ゲート電極300をパターニングにより形成する際のレジストマスクのパターンが、他の実施形態2と前述の第1の実施形態とで異なる。即ち、前述の特異なパターンを有するゲート電極300をマスクとして使用し、P型半導体基板101中への不純物のイオン注入を行う。結果、P型半導体基板101中であって且つ前述の第1乃至第9の矩形開口部211、221、231、212、222、232、213、223、233の下方位置に、該第1乃至第9の矩形開口部211、221、231、212、222、232、213、223、233に対しそれぞれ自己整合する複数の不純物注入領域を形成する。その後、該複数の不純物注入領域中の不純物の熱拡散処理を行うことで、前述の第1乃至第9の矩形開口部211、221、231、212、222、232、213、223、233にそれぞれ自己整合すると共に、互いに間隔を開けずに隣接する複数の不純物拡散領域10911、10921、10931、10912、10922、10932、10913、10923、10933からなる一体化した不純物拡散領域を形成する。ここで、電界緩和領域は、一体化した不純物拡散領域に含まれ、且つ、ゲート電極300の第2領域の下方に延在する。そして、この電界緩和領域は、ゲート電極300に対し自己整合すると共にオーバーラップする。

【0260】

他の実施形態2に係る本発明は、前述した第1の実施形態と同様の効果を奏する。

【0261】

(他の実施形態3)

前述の第1乃至第3の実施形態、並びに、前述の他の実施形態1及び他の実施形態1では、ゲート電極は互いに分離した複数の開口部を有した。しかし、ゲート電極は、複数の開口部同士を連結し単一の一体化した開口部を含むよう構成されることも可能である。図52は、本発明の他の実施形態3に係る高耐圧MOSトランジスタの構造を示す部分平面図である。図53は、本発明の他の実施形態3に係る高耐圧MOSトランジスタの構造を示す部分縦断面図である。他の実施形態3に係る高耐圧MOSトランジスタの構造は、前述の第1の実施形態に係る高耐圧MOSトランジスタの構造と、ゲート電極のスリットが異なる。図53に示すように、ゲート電極106は、第1乃至第3のスリット107-1、107-2、107-3を有するが、これらは、互いに第2の側部で連結し、単一の一体化した開口部を形成する。このような、設計変更を行った場合でも、ゲート電極106であって、P型半導体基板101の活性領域の上方に延在する部分の構造は、前述の第1の実施形態に係るゲート電極106であって、P型半導体基板101の活性領域の上方に延在する部分の構造と同一である。

【0262】

更に、本発明の他の実施形態3に係るゲート電極106をマスクとして使用したイオン

注入により、P型半導体基板101の活性領域中の互いに離間する複数の特定領域に、複数のN-低濃度不純物注入領域が形成される。この複数のN-低濃度不純物注入領域は、前述の第1の実施形態に係るゲート電極106をマスクとして使用したイオン注入により形成される前述の第1乃至第3のN-低濃度不純物注入領域108-1、108-2、108-3と同一である。よって、本発明の他の実施形態3によれば、ゲート電極106を形成するためのパターニング工程で、マスクとして用いるレジストパターンが、前述の第1の実施形態に係るレジストパターンと異なる。ゲート電極106を形成するためのパターニングを除けば、本発明の他の実施形態3に係る高耐圧MOSトランジスタの製造方法と、前述の第1の実施形態に係る高耐圧MOSトランジスタの製造方法とは同一である。

【0263】

従って、本発明の他の実施形態3に係る高耐圧MOSトランジスタによりもたらされる効果は、前述の第1の実施形態に係る高耐圧MOSトランジスタによりもたらされる前述の効果と同一である。

【0264】

(他の実施形態4)

前述の第1乃至第3の実施形態、並びに、前述の他の実施形態1及び他の実施形態1では、ゲートオーバーラップ構造をドレイン側のみ設けた。しかし、前述のゲートオーバーラップ構造は、ソース側のみ設けてもよく、また、ソース側及びドレイン側の双方に設けてもよい。前述した第1の実施形態に係るゲートオーバーラップ構造をドレイン側とソース側とに設けたMOSトランジスタを以下示す。図54は、本発明の他の実施形態4に係る高耐圧MOSトランジスタの構造を示す部分平面図である。図55は、本発明の他の実施形態4に係る高耐圧MOSトランジスタの構造を示す図54のA-A線に沿った部分縦断面図である。

【0265】

図54及び図55に示すように、他の実施形態3に係る高耐圧MOSトランジスタの構造は、ゲート電極の構造が、前述した第1の実施形態のそれと異なる。よって、以下の説明は、他の実施形態3に係る高耐圧MOSトランジスタの構造と、前述した第1の実施形態に係る高耐圧MOSトランジスタの構造との相違点のみ説明する。

【0266】

前述した第1の実施形態のゲート電極106は、スリット群107を含み、このスリット群107は、第1の水平方向に沿って長手延在する第1乃至第3のスリット107-1、107-2、107-3から構成する。

【0267】

他の実施形態4のゲート電極106は、第1の水平方向において対称な構造を有する。即ち、ゲート電極106は、チャネル領域の上方に延在する面状部分106-4からなる第1領域と、この第1領域に隣接すると共にドレイン側に延在する第2領域と、第1領域に隣接すると共にソース側に延在する第3領域とからなる。ドレイン側に延在する第2領域は、第2の水平方向に長手延在する第1乃至第3のスリット107-1、107-2、107-3の一次元配列と、該スリット107-1、107-2、107-3を互いに分離する第1乃至第3のストライプ形状部分106-1、106-2、106-3とを含む。ソース側に延在する第3領域は、第2の水平方向に長手延在する第4乃至第6のスリット107-4、107-5、107-6の一次元配列と、該スリット107-4、107-5、107-6を互いに分離する第4乃至第6のストライプ形状部分106-4、106-5、106-6とを含む。

【0268】

その後、この特異なパターンを有するゲート電極106をマスクとしてP型半導体基板101中への不純物のイオン注入を行い、P型半導体基板101中であって且つ前述の複数のスリット107の下方位置に、該複数のスリット107に対しそれぞれ自己整合する複数の不純物注入領域を形成する。その後、該複数の不純物注入領域中の不純物の熱拡散処理を行うことで、該第1乃至第6のスリット107-1、107-2、107-3、1

10

20

30

40

50

07-4、107-5、107-6にそれぞれ自己整合すると共に、互いに間隔を開けずに隣接する複数の不純物拡散領域109からなる一体化した不純物拡散領域を形成する。ここで、ドレイン側の電界緩和領域は、ドレイン側の一体化した不純物拡散領域に含まれ、且つ、ゲート電極106の第2領域の下方に延在する。そして、このドレイン側の電界緩和領域は、ゲート電極106に対し自己整合すると共にオーバーラップする。更に、ソース側の電界緩和領域は、ソース側の一体化した不純物拡散領域に含まれ、且つ、ゲート電極106の第3領域の下方に延在する。そして、このソース側の電界緩和領域は、ゲート電極106に対し自己整合すると共にオーバーラップする。

【0269】

他の実施形態3のMOSトランジスタは、ドレイン側のゲートオーバーラップ寸法 L_d と、ソース側のゲートオーバーラップ寸法 L_s とを互いに異なるよう設計してもよい。また、他の実施形態3のMOSトランジスタは、ドレイン側のゲートオーバーラップ寸法 L_d と、ソース側のゲートオーバーラップ寸法 L_s とを同一となるよう設計してもよい。ドレイン側のゲートオーバーラップ寸法 L_d と、ソース側のゲートオーバーラップ寸法 L_s とが同一の場合、他の実施形態3のMOSトランジスタは、第1の水平方向において対称なゲートオーバーラップ構造を有する。

【0270】

前述した第2及び第3の実施形態、並びに、前述の他の実施形態1及び実施形態2に係るMOSトランジスタの各々も、ドレイン側のゲートオーバーラップ構造に加え、ソース側のゲートオーバーラップ構造を有するよう設計することが可能である。ドレイン側のゲートオーバーラップ寸法と、ソース側のゲートオーバーラップ寸法とを同一にして、MOSトランジスタが、第1の水平方向において対称なゲートオーバーラップ構造を有するよう設計することが可能である。

【0271】

ドレイン側とソース側とにゲートオーバーラップ構造を有するMOSトランジスタは、前述のドレイン側のみゲートオーバーラップ構造を有するMOSトランジスタの効果と実質同一の効果を奏する。

【0272】

尚、上記第1乃至第3実施形態ではN型MOSFETについて記載したが、異なるイオン種を用いることによりP型MOSFETに、本発明を適用することが可能である。更に、前記ゲート電極は、不純物を有するポリシリコン層から構成したが、必ずしもこれに限るものではなく、更なる低抵抗化を図るため、前記ゲート電極の上部領域をシリサイド層又はサリサイド層で構成してもよい。前述した各層の厚さや各層の不純物濃度は、あくまで一例にすぎず、設計変更可能であることはいうまでもない。

【図面の簡単な説明】

【0273】

【図1】本発明の第1実施形態に係る高耐圧MOSトランジスタの構造を示す部分縦断面図である。

【図2】本発明の第1実施形態に係る高耐圧MOSトランジスタの構造を示す部分平面図である。

【図3】本発明の第1実施形態に係る高耐圧MOSトランジスタの製造方法における一工程を示す部分縦断面図である。

【図4】本発明の第1実施形態に係る高耐圧MOSトランジスタの製造方法における一工程を示す部分縦断面図である。

【図5】本発明の第1実施形態に係る高耐圧MOSトランジスタの製造方法における一工程を示す部分縦断面図である。

【図6】本発明の第1実施形態に係る高耐圧MOSトランジスタの製造方法における一工程を示す部分縦断面図である。

【図7】本発明の第1実施形態に係る高耐圧MOSトランジスタの製造方法における一工程を示す部分縦断面図である。

【図 3 3】本発明の第 3 実施形態に係る高耐圧 MOS トランジスタの製造方法における一工程を示す部分縦断面図である。

【図 3 4】本発明の第 3 実施形態に係る高耐圧 MOS トランジスタの製造方法における一工程を示す部分縦断面図である。

【図 3 5】本発明の第 3 実施形態に係る高耐圧 MOS トランジスタの製造方法における一工程を示す部分縦断面図である。

【図 3 6】本発明の第 3 実施形態に係る高耐圧 MOS トランジスタの製造方法における一工程を示す部分縦断面図である。

【図 3 7】本発明の第 3 実施形態に係る高耐圧 MOS トランジスタの製造方法における一工程を示す部分縦断面図である。

10

【図 3 8】本発明の第 3 実施形態に係る高耐圧 MOS トランジスタの製造方法における一工程を示す部分縦断面図である。

【図 3 9】本発明の第 3 実施形態に係る高耐圧 MOS トランジスタの製造方法における一工程を示す部分縦断面図である。

【図 4 0】本発明の第 3 実施形態に係る高耐圧 MOS トランジスタの製造方法における一工程を示す部分縦断面図である。

【図 4 1】本発明の第 1 実施形態に係る高耐圧 MOS トランジスタの製造方法における一工程における、第 1 の水平方向に沿った、不純物の熱拡散距離とゲート電極のストライプ形状部分の幅との関係を示す部分縦断面図である。

【図 4 2】本発明の第 2 実施形態に係る高耐圧 MOS トランジスタの製造方法における一工程における、第 1 の水平方向に沿った、不純物の熱拡散距離とゲート電極のストライプ形状部分の幅との関係を示す部分縦断面図である。

20

【図 4 3】本発明の第 3 実施形態に係る高耐圧 MOS トランジスタの製造方法における一工程における、第 1 の水平方向に沿った、不純物の熱拡散距離とゲート電極のストライプ形状部分の幅との関係を示す部分縦断面図である。

【図 4 4】本発明の他の実施形態 1 に係る高耐圧 MOS トランジスタの構造を示す部分平面図である。

【図 4 5】本発明の他の実施形態 1 に係る高耐圧 MOS トランジスタの構造を示す図 4 4 の A-A 線に沿った部分縦断面図である。

【図 4 6】本発明の他の実施形態 1 に係る高耐圧 MOS トランジスタの構造を示す図 4 4 の B-B 線に沿った部分縦断面図である。

30

【図 4 7】本発明の他の実施形態 1 に係る高耐圧 MOS トランジスタの構造を示す図 4 4 の C-C 線に沿った部分縦断面図である。

【図 4 8】本発明の他の実施形態 2 に係る高耐圧 MOS トランジスタの構造を示す部分平面図である。

【図 4 9】本発明の他の実施形態 2 に係る高耐圧 MOS トランジスタの構造を示す図 4 8 の A-A 線に沿った部分縦断面図である。

【図 5 0】本発明の他の実施形態 2 に係る高耐圧 MOS トランジスタの構造を示す図 4 8 の B-B 線に沿った部分縦断面図である。

【図 5 1】本発明の他の実施形態 2 に係る高耐圧 MOS トランジスタの構造を示す図 4 8 の C-C 線に沿った部分縦断面図である。

40

【図 5 2】本発明の他の実施形態 3 に係る高耐圧 MOS トランジスタの構造を示す部分平面図である。

【図 5 3】本発明の他の実施形態 3 に係る高耐圧 MOS トランジスタの構造を示す部分縦断面図である。

【図 5 4】本発明の他の実施形態 4 に係る高耐圧 MOS トランジスタの構造を示す部分平面図である。

【図 5 5】本発明の他の実施形態 4 に係る高耐圧 MOS トランジスタの構造を示す図 5 4 の A-A 線に沿った部分縦断面図である。

【符号の説明】

50

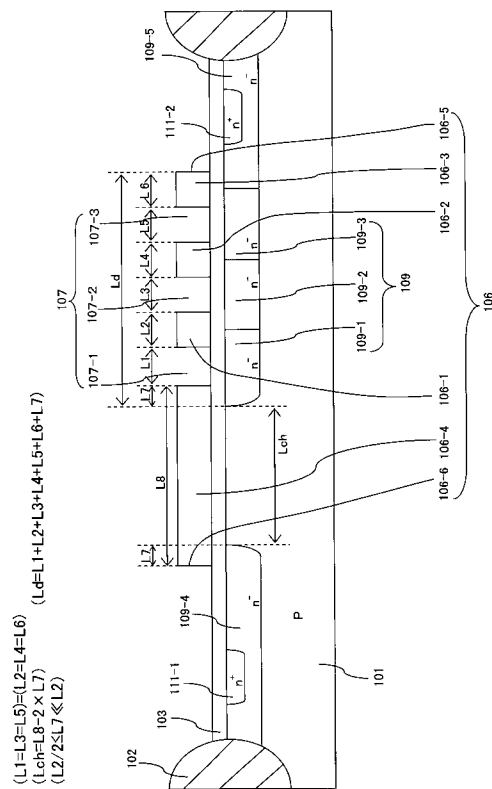
【0274】

1000	活性領域	
101	P型半導体基板	
102	フィールド酸化膜	
103	ゲート絶縁膜	
104	ポリシリコン膜	
105	レジストパターン	
106	ゲート電極	
106-1	第1のストライプ形状部分	
106-2	第2のストライプ形状部分	10
106-3	第3のストライプ形状部分	
106-4	面状部分	
106-5	第1の端部	
106-6	第2の端部	
106-7	第1の側部領域	
106-8	第2の側部領域	
106-9	第4のストライプ形状部分	
106-10	第5のストライプ形状部分	
106-11	第6のストライプ形状部分	
107	スリット群	20
107-1	第1のスリット	
107-2	第2のスリット	
107-3	第3のスリット	
107-4	第4のスリット	
107-5	第5のスリット	
107-6	第6のスリット	
108-1	第1のN ⁻ 低濃度不純物注入領域	
108-2	第2のN ⁻ 低濃度不純物注入領域	
108-3	第3のN ⁻ 低濃度不純物注入領域	
108-4	第4のN ⁻ 低濃度不純物注入領域	30
108-5	第5のN ⁻ 低濃度不純物注入領域	
109-1	第1のN ⁻ 低濃度不純物拡散層	
109-2	第2のN ⁻ 低濃度不純物拡散層	
109-3	第3のN ⁻ 低濃度不純物拡散層	
109-4	第4のN ⁻ 低濃度不純物拡散層	
109-5	第5のN ⁻ 低濃度不純物拡散層	
109-6	第6のN ⁻ 低濃度不純物拡散層	
109-7	第7のN ⁻ 低濃度不純物拡散層	
109-8	第8のN ⁻ 低濃度不純物拡散層	
109-9	第9のN ⁻ 低濃度不純物拡散層	40
109-10	第10のN ⁻ 低濃度不純物拡散層	
109-11	第11のN ⁻ 低濃度不純物拡散層	
10911	N ⁻ 低濃度不純物拡散層	
10921	N ⁻ 低濃度不純物拡散層	
10931	N ⁻ 低濃度不純物拡散層	
10912	N ⁻ 低濃度不純物拡散層	
10922	N ⁻ 低濃度不純物拡散層	
10932	N ⁻ 低濃度不純物拡散層	
10913	N ⁻ 低濃度不純物拡散層	
10923	N ⁻ 低濃度不純物拡散層	50

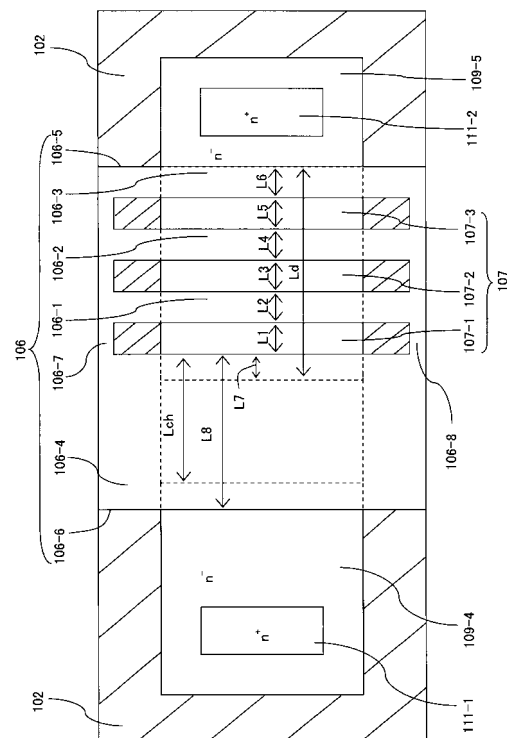
1 0 9 3 3	N ⁻ 低濃度不純物拡散層	
1 1 0	レジストパターン	
1 1 1-1	第1のN ⁺ 高濃度不純物拡散層	
1 1 1-2	第2のN ⁺ 高濃度不純物拡散層	
1 1 2	層間絶縁膜	
1 1 3-1	ソースコンタクト	
1 1 3-2	ドレインコンタクト	
1 1 4-1	ソース配線層	
1 1 4-2	ドレイン配線層	
1 1 4-3	ドレイン配線層の拡張部	10
1 1 5	フローティングゲート電極	
1 1 6	レジストパターン	
1 1 7	レジストパターン	
1 1 8	レジストパターン	
1 1 9	レジストパターン	
2 0 0	矩形開口部群	
2 1 1	第1の矩形開口部	
2 2 1	第2の矩形開口部	
2 3 1	第3の矩形開口部	
2 1 2	第4の矩形開口部	20
2 2 2	第5の矩形開口部	
2 3 2	第6の矩形開口部	
2 1 3	第7の矩形開口部	
2 2 3	第8の矩形開口部	
2 3 3	第9の矩形開口部	
3 0 0	ゲート電極	
3 0 1	面状部分	
3 0 2	格子状部分	
3 0 3	第1の端部	
3 0 4	第2の端部	30
3 0 5	第1の側部領域	
3 0 6	第2の側部領域	
4 0 0	ゲート電極	
4 0 1	面状部分	
4 0 2	第1のストライプ形状部分	
4 0 3	第2のストライプ形状部分	
4 0 4	第1の側部領域	
4 0 5	第1の端部	
4 0 6	第2の端部	
4 0 7	第2の側部領域	40
4 0 8	第3の側部領域	
5 0 0	スリット群	
5 0 1	第1のスリット	
5 0 2	第2のスリット	
5 0 3	第3のスリット	
L c h	チャンネル長さ	
L d	オーバーラップ寸法	
L s	オーバーラップ寸法	
L 1	第1の寸法（第1のスリット1 0 7-1の幅）	
L 2	第2の寸法（第1のストライプ形状部分1 0 6-1の幅）	50

- L 3 第3の寸法（第2のスリット107-2の幅）
 L 4 第4の寸法（第2のストライプ形状部分106-2の幅）
 L 5 第5の寸法（第3のスリット107-3の幅）
 L 6 第6の寸法（第3のストライプ形状部分106-3の幅）
 L 7 第7の寸法（不純物の水平方向熱拡散距離）
 L 8 第8の寸法（面状部分106-4の幅）
 L 9 第9の寸法（第1乃至第3のスリット500-1、500-2、500-3の各々の長さ）
 L 10 第10の寸法（第1の側部領域400-4の幅）

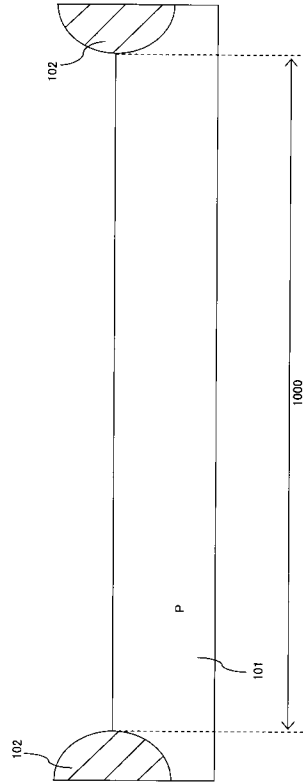
【図1】



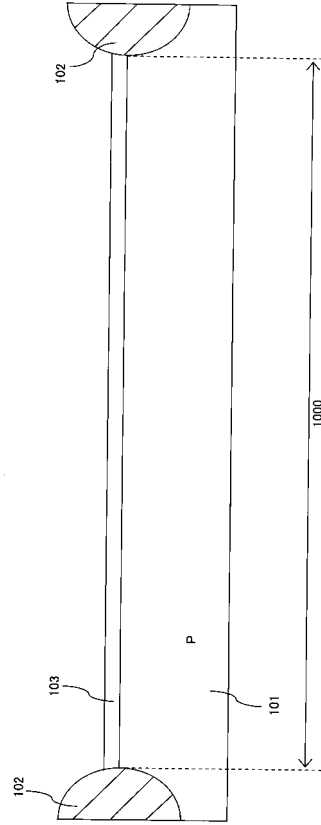
【図2】



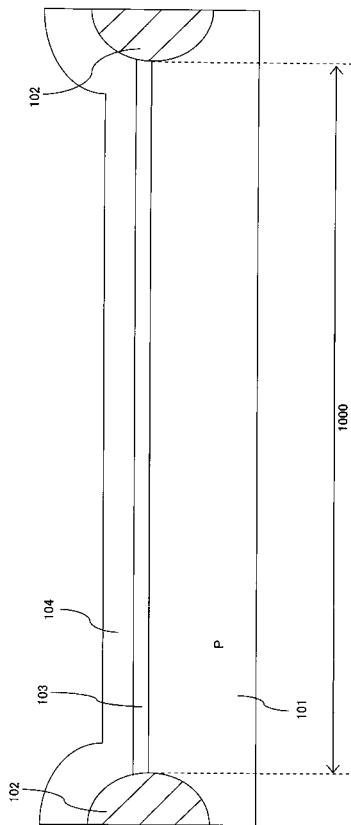
【図 3】



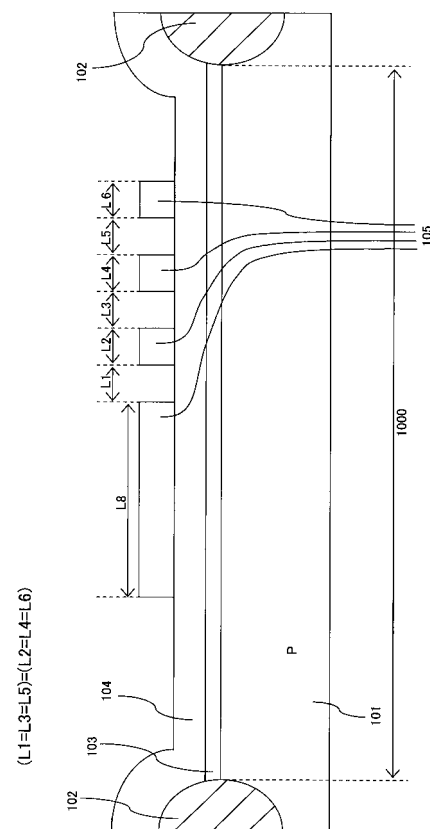
【図 4】



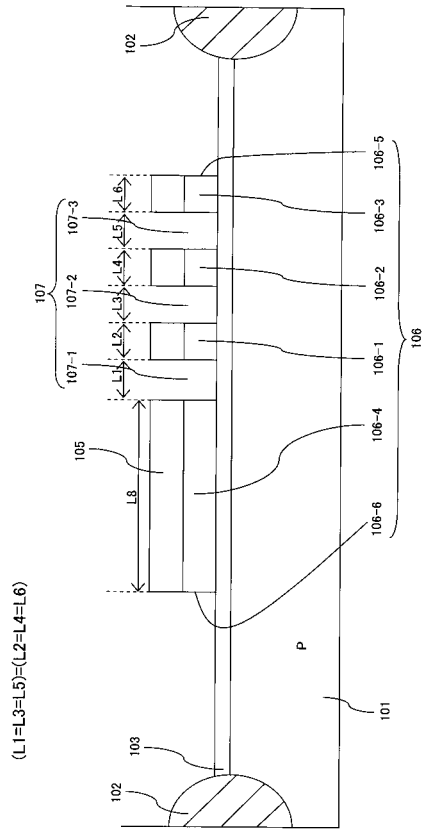
【図 5】



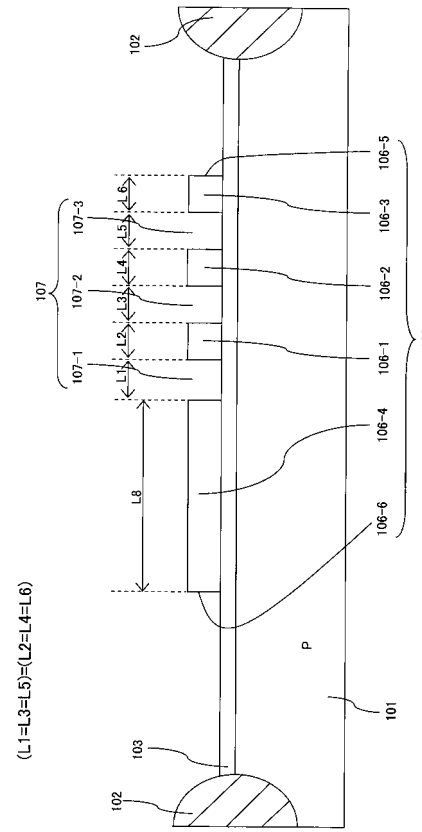
【図 6】



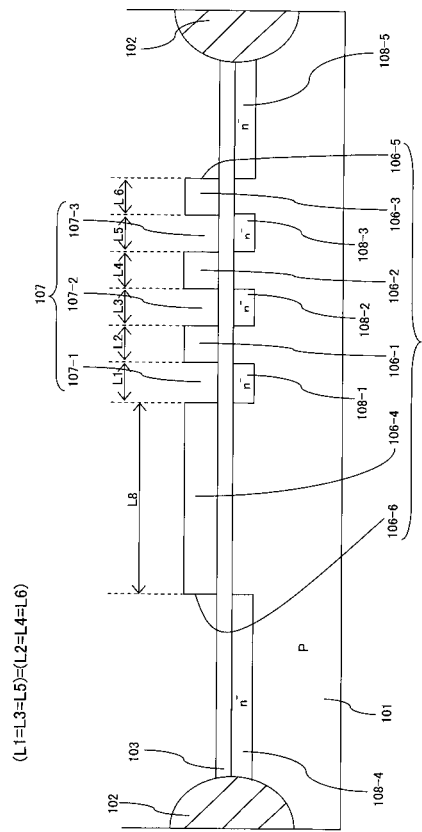
【図 7】



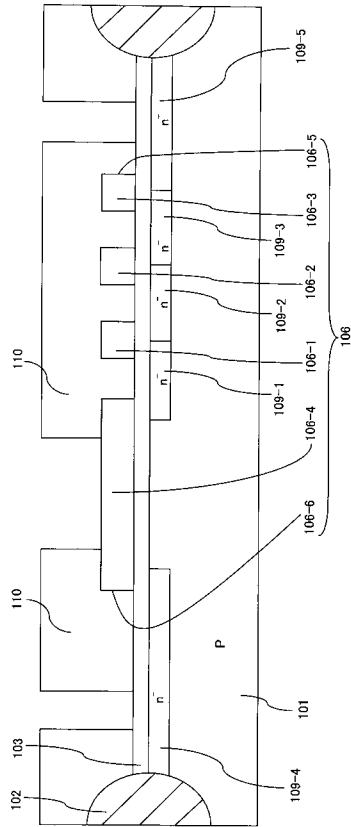
【図 8】



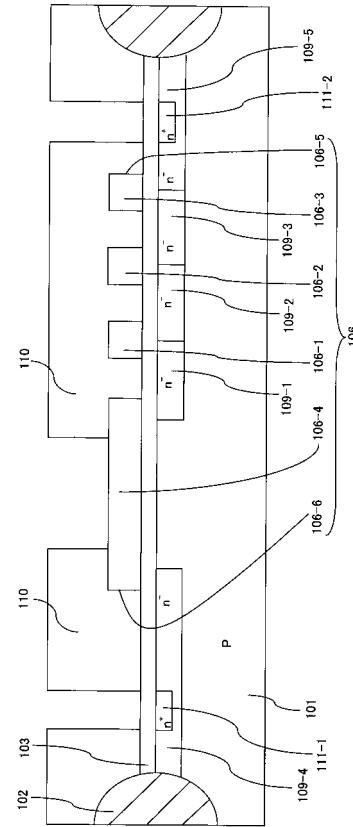
【図 9】



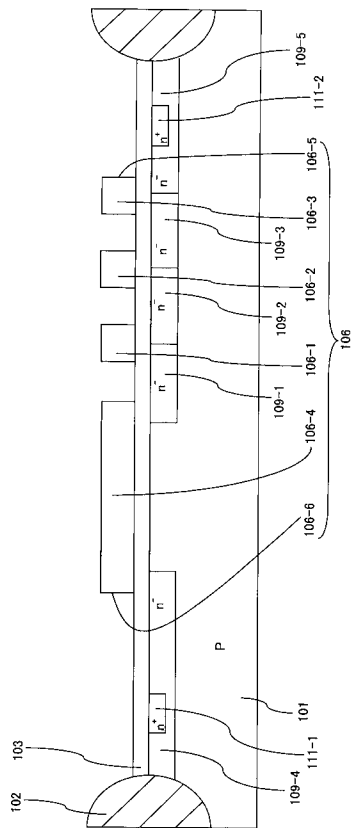
【図 1 1】



【図 1 2】



【図 1 3】



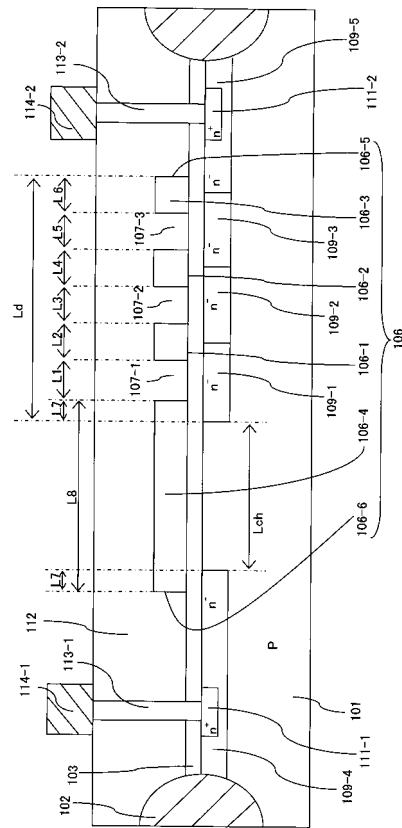
【図 1 4】

$$(Ld=L1+L2+L3+L4+L5+L6+L7)$$

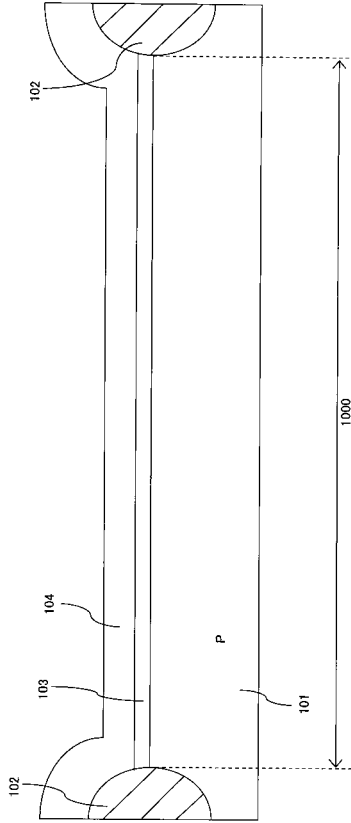
$$(L2/2 \leq L7 \ll L2)$$

$$(L1=L3=L5=L7=L4=L6)$$

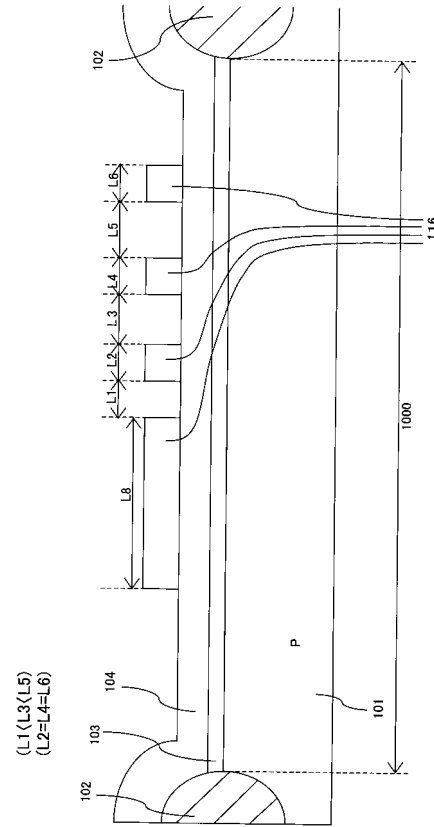
$$(Lch=L8-2 \times L7)$$



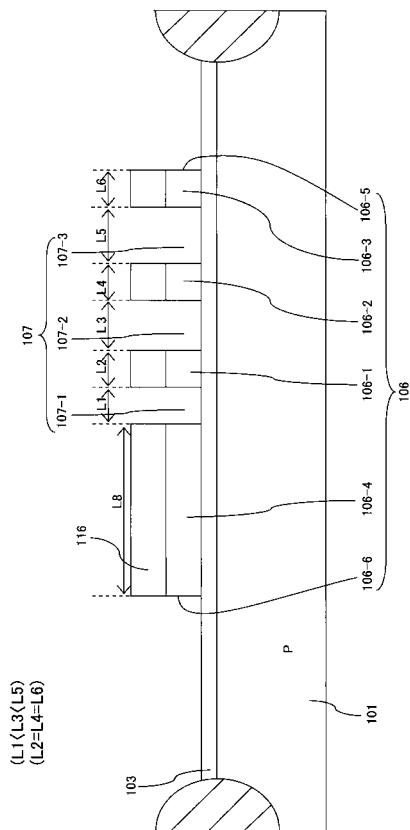
【図 19】



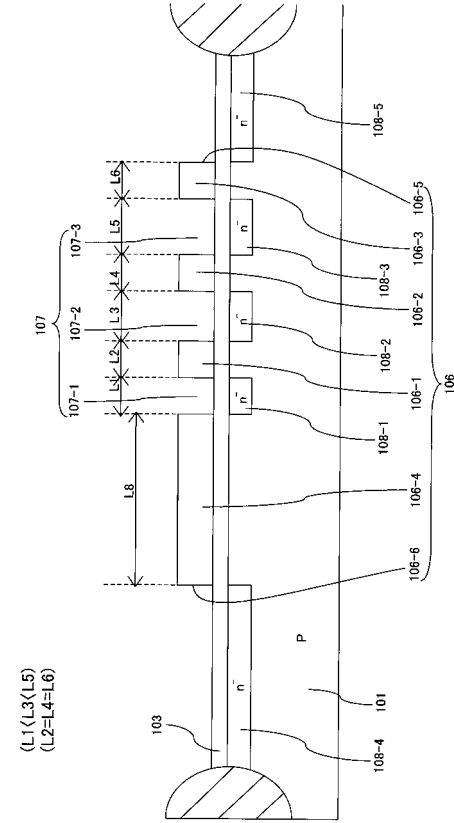
【図 20】



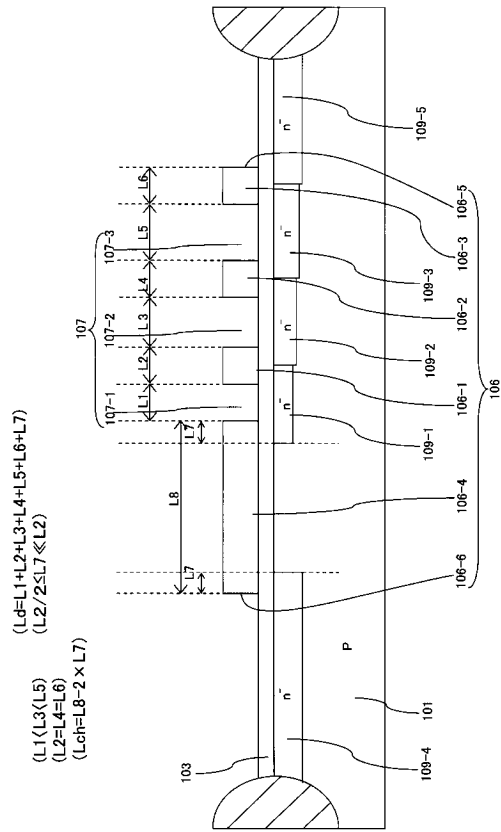
【図 21】



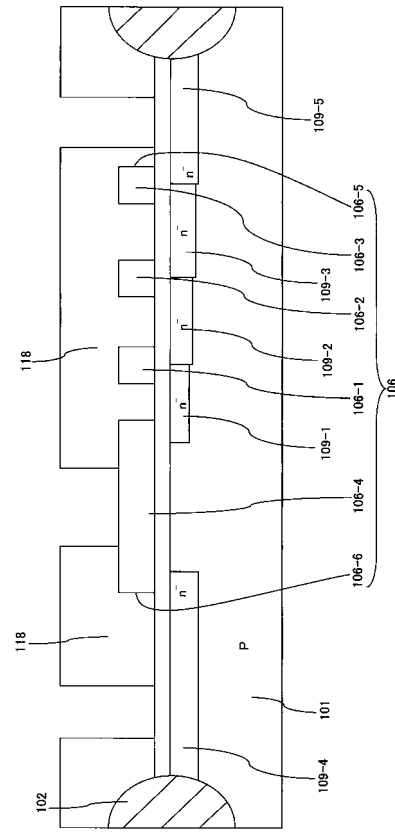
【図 22】



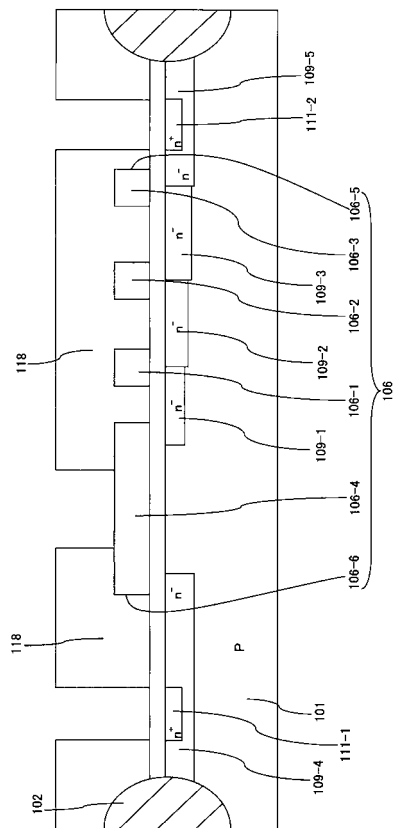
【図 23】



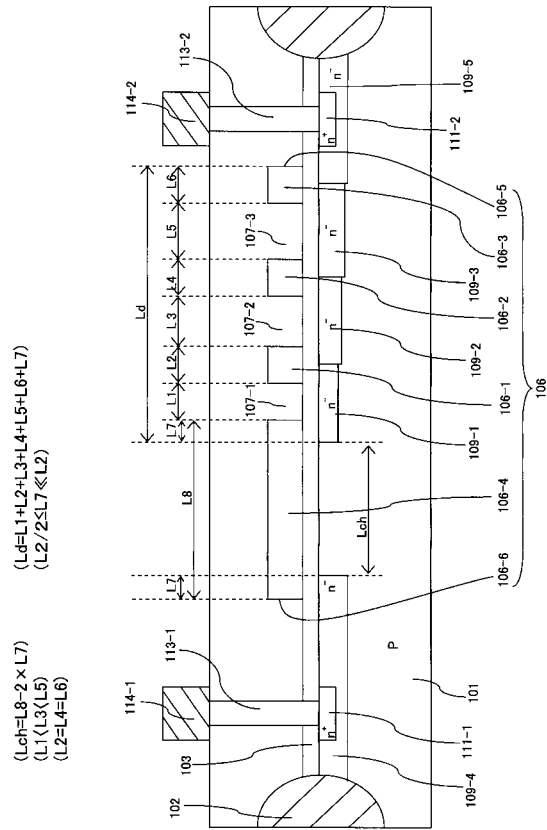
【図 24】



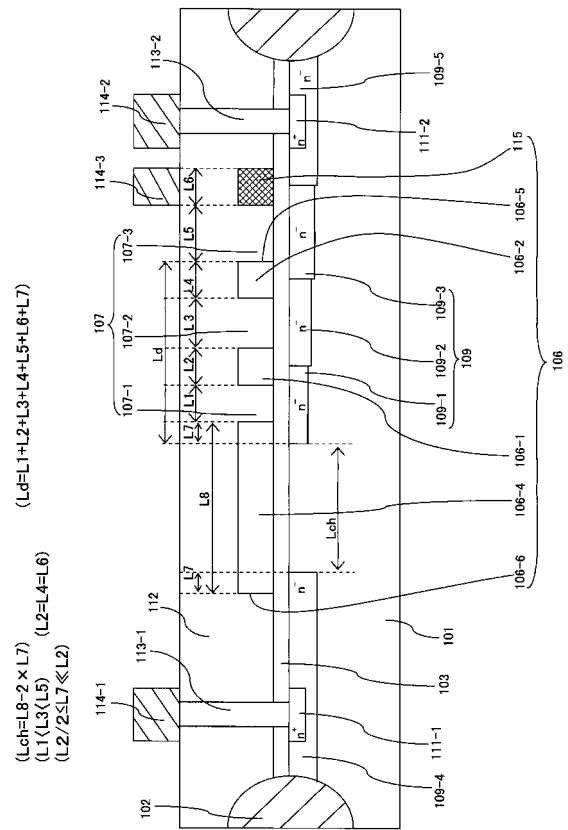
【図 25】



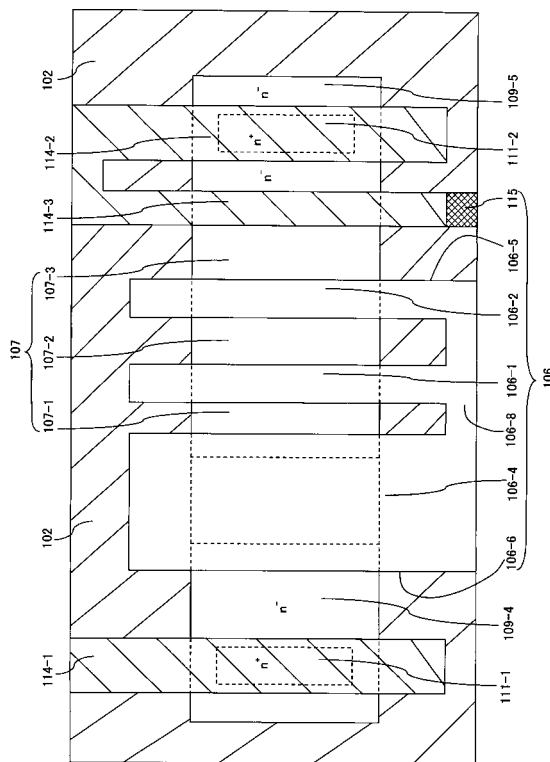
【図 27】



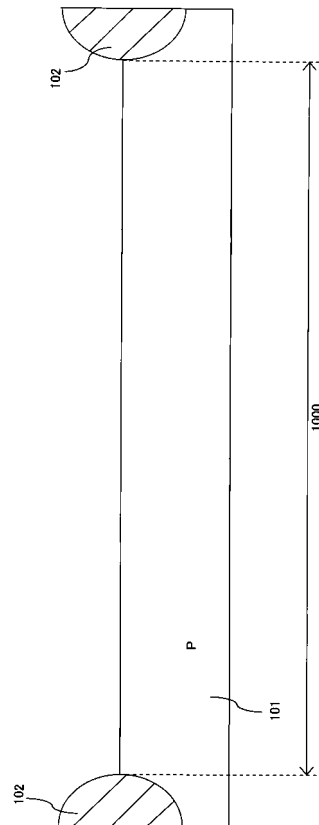
【図 28】



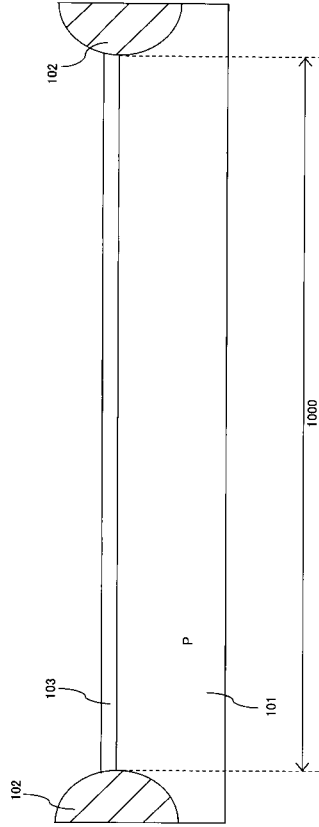
【図 29】



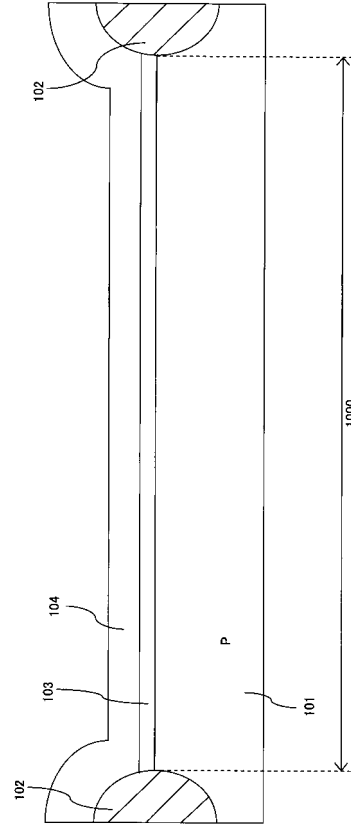
【図 30】



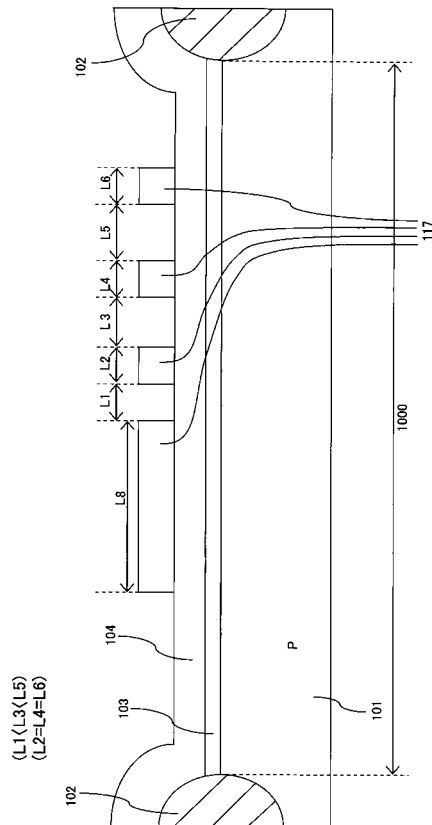
【図 3 1】



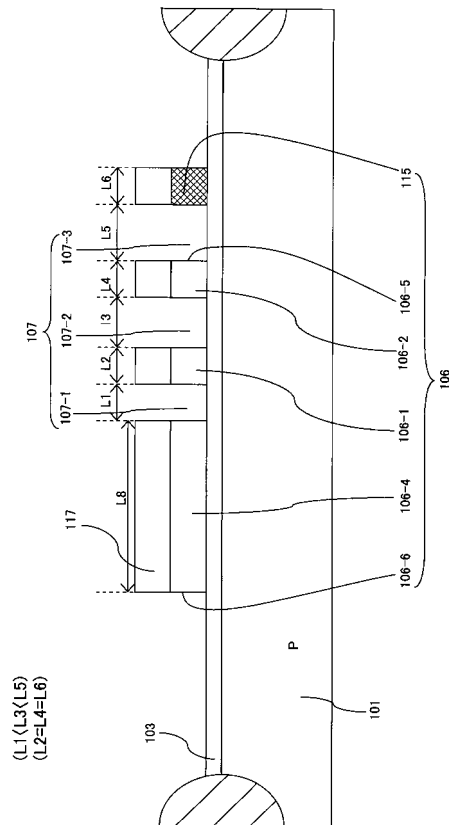
【図 3 2】



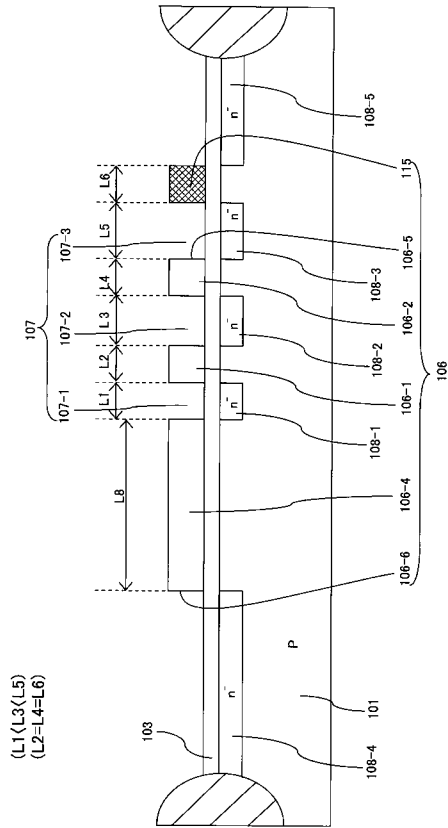
【図 3 3】



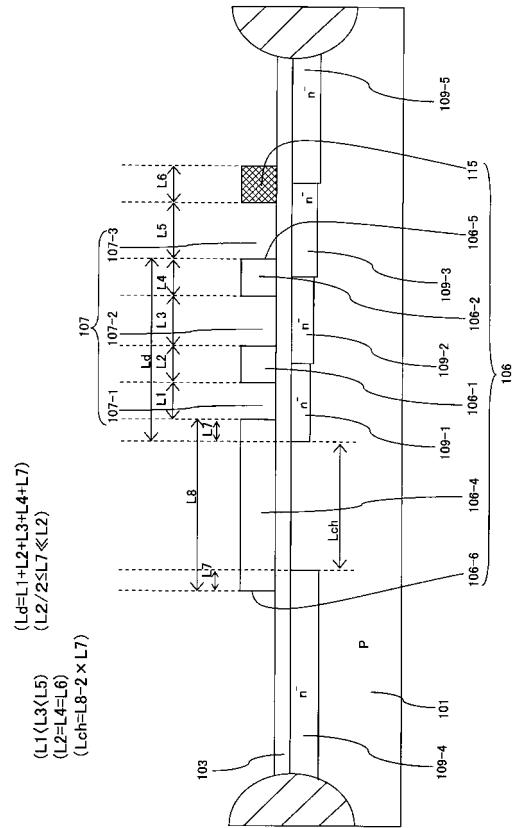
【図 3 4】



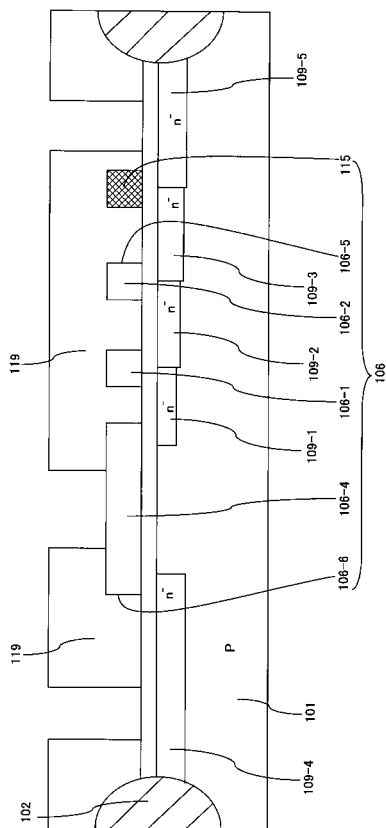
【图 3 5】



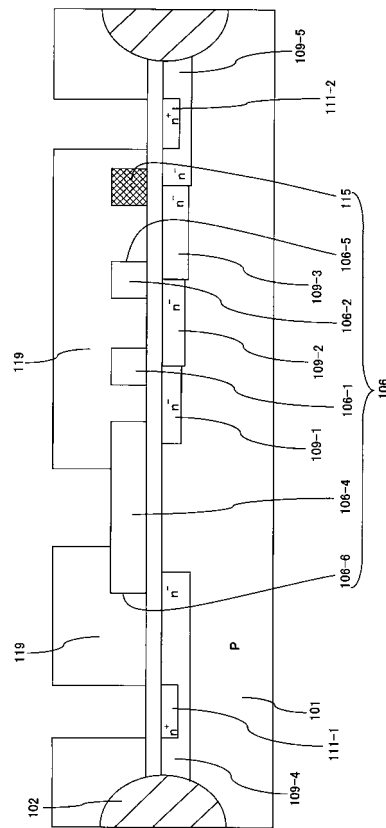
【図 3 6】



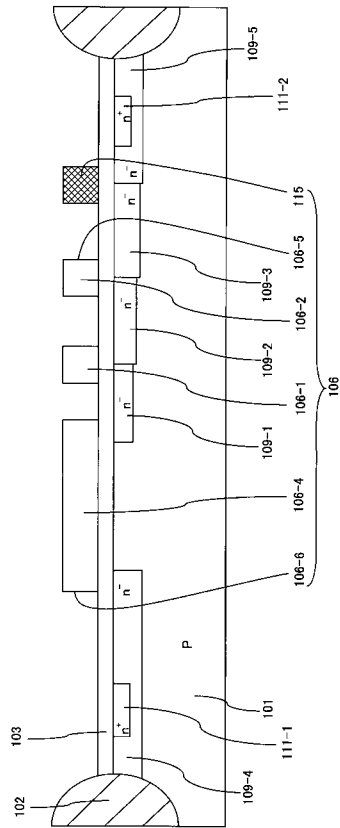
【図 3 7】



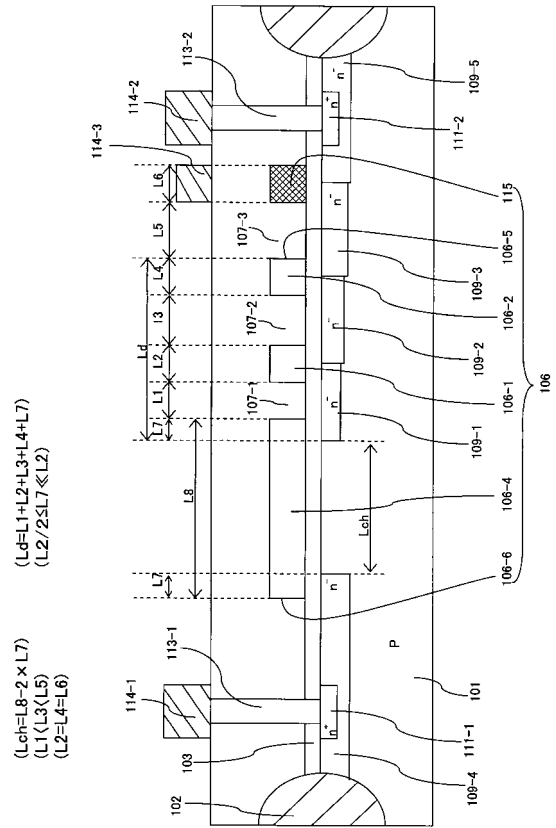
【图 3 8】



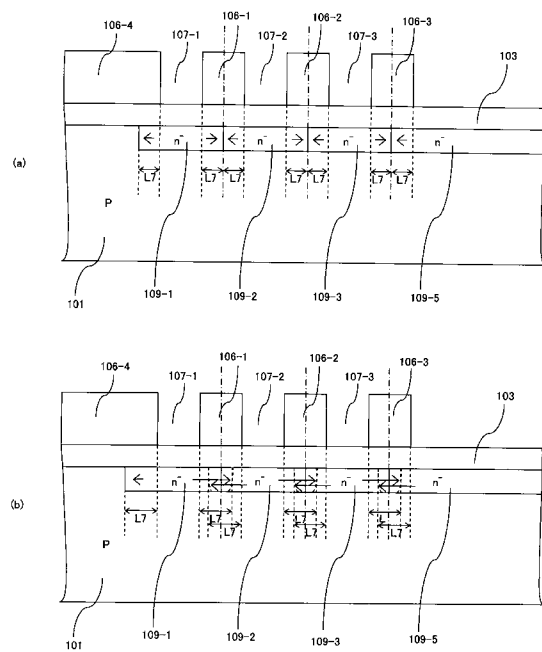
【図 3 9】



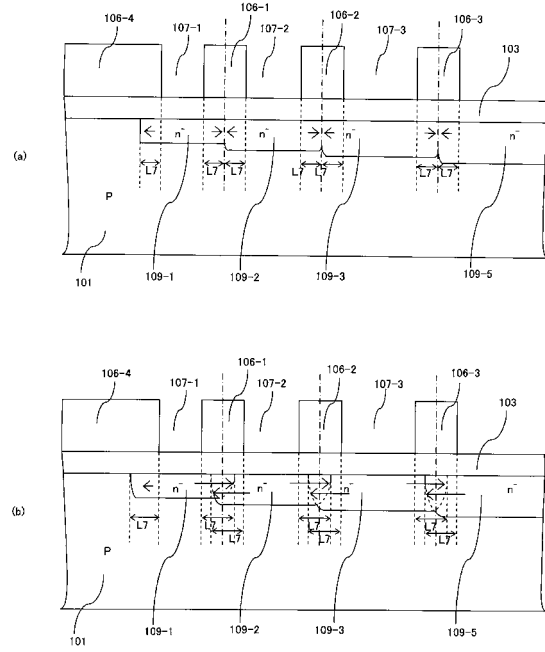
【図 40】



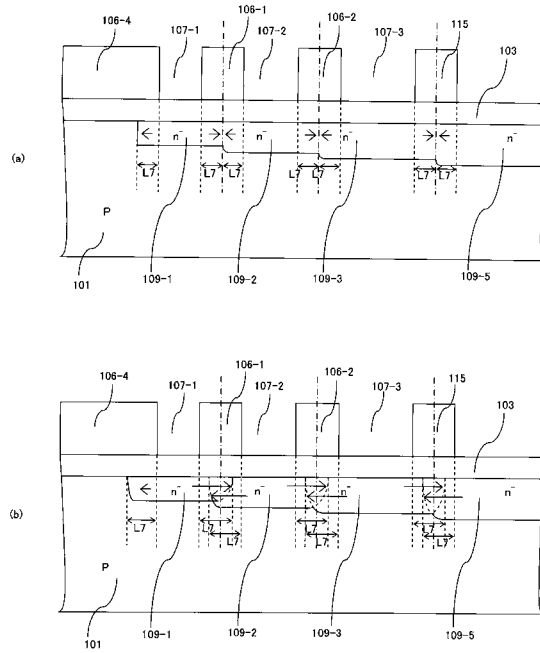
【図 4 1】



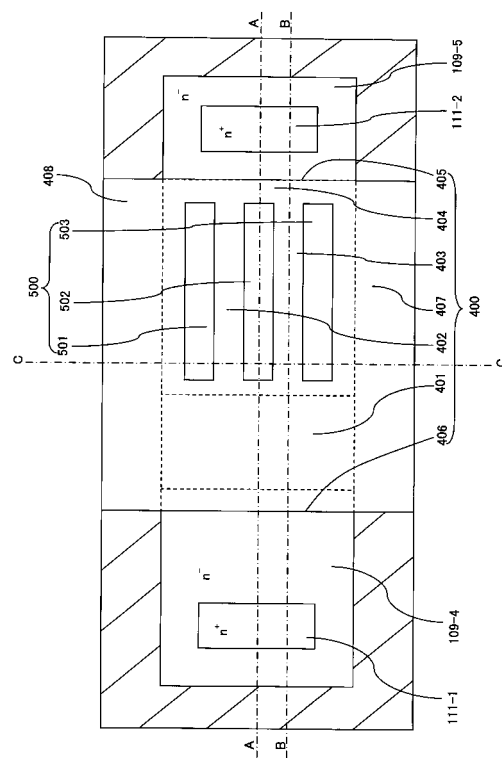
【図 4 2】



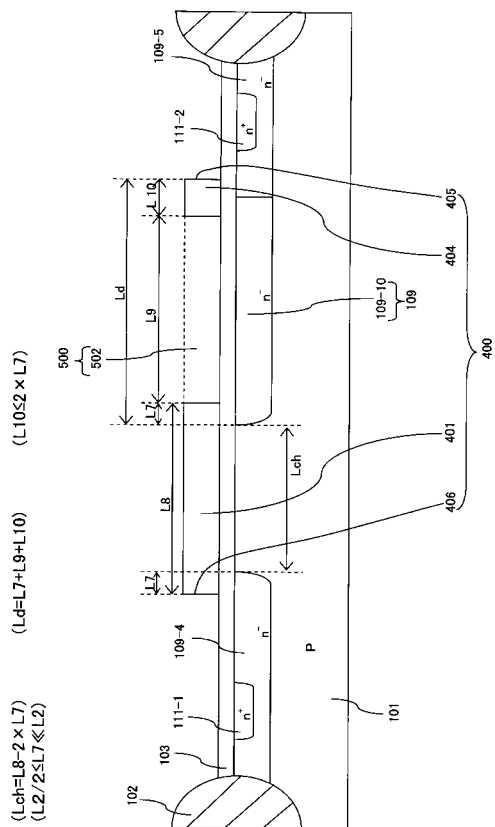
【図 4 3】



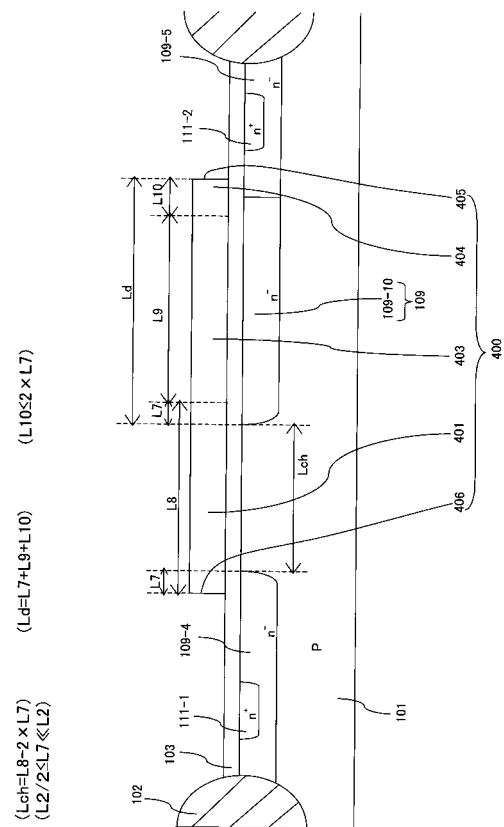
【図 4 4】



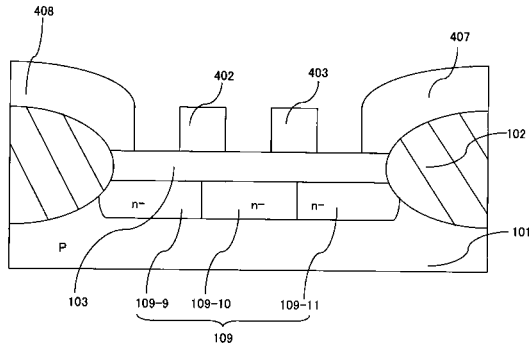
【図 4 5】



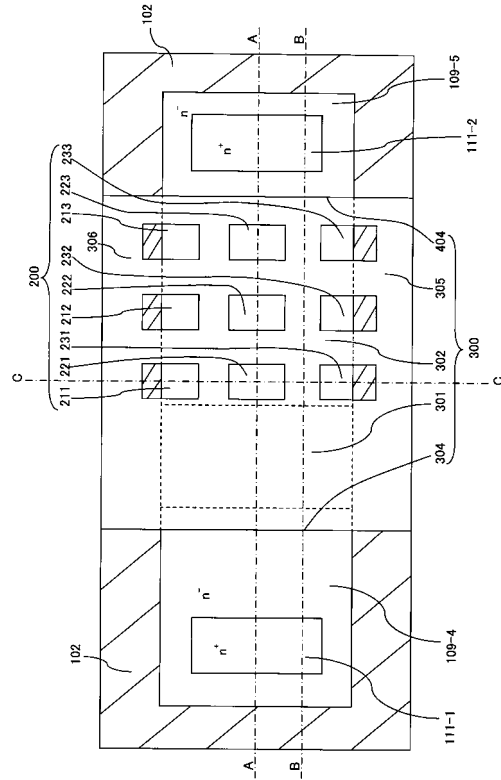
【図 4 6】



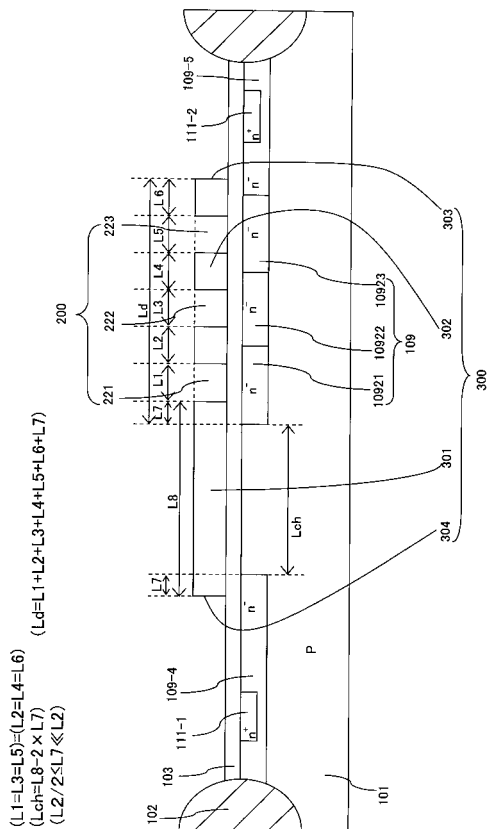
【图 4 7】



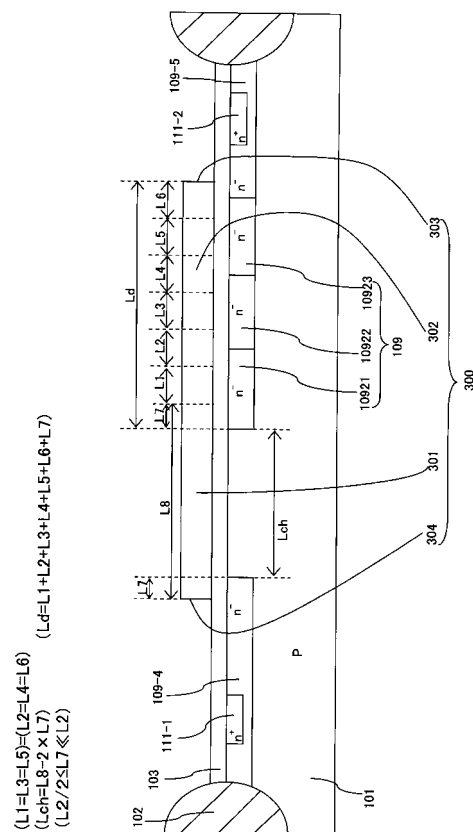
【图 48】



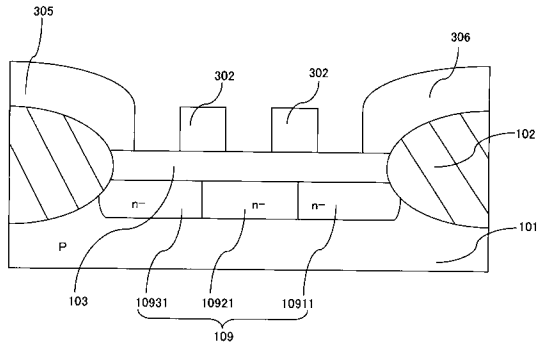
【図 49】



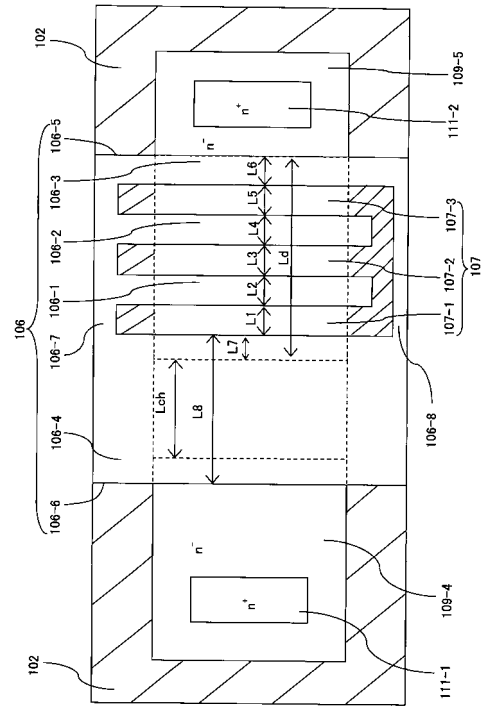
【図 50】



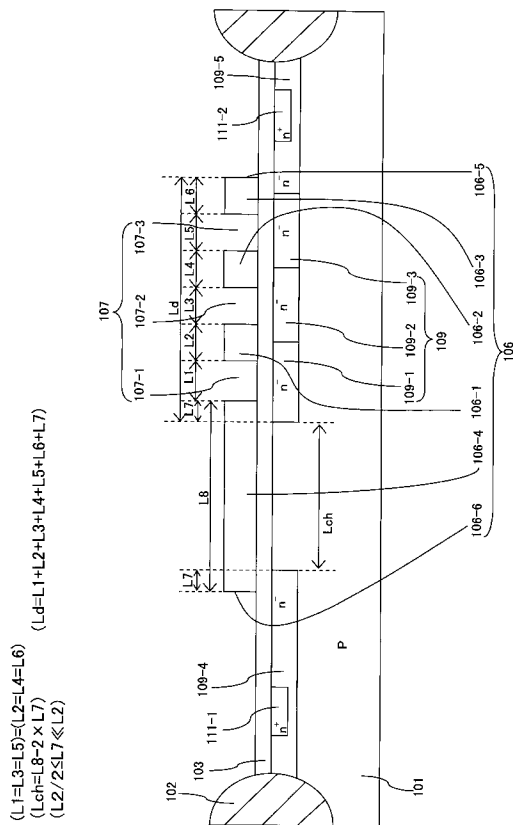
【図 5 1】



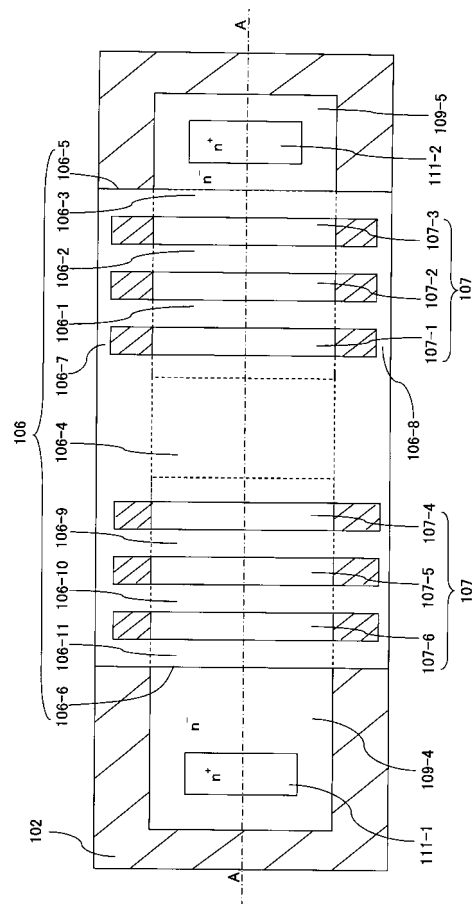
【図 5 2】



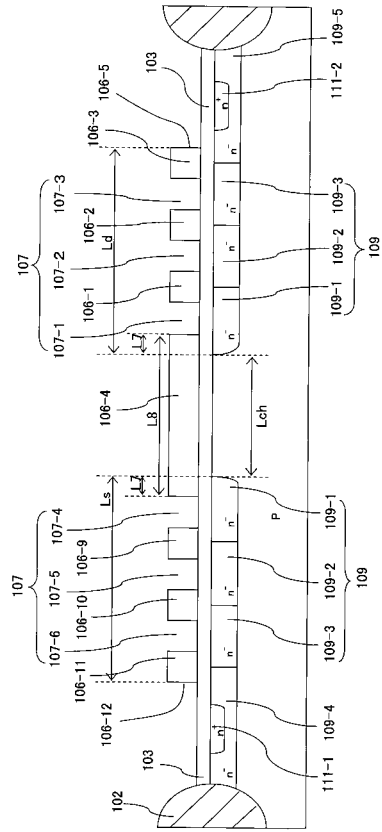
【図 5 3】


$$(L1=L3=L5)=(L2=L4=L6)$$
$$(L_{ch}=L_8-2 \times L_7)$$
 $(L2/2 \leq L7 \ll L2)$

【図 5 4】



【図 55】



フロントページの続き

(72)発明者 佐々木 克仁

宮崎県宮崎郡清武町大字木原727番地 宮崎沖電気株式会社内

審査官 松本 陶子

(56)参考文献 特開2006-100404 (JP, A)

特開平08-070122 (JP, A)

特開昭60-043861 (JP, A)

特開昭62-265765 (JP, A)

特開平05-110071 (JP, A)

特表平11-512883 (JP, A)

特開2005-142475 (JP, A)

特開2002-176175 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/336

H01L 29/78