

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6410007号
(P6410007)

(45) 発行日 平成30年10月24日(2018.10.24)

(24) 登録日 平成30年10月5日(2018.10.5)

(51) Int.Cl.

F 1

H03F 1/02 (2006.01)
H03F 1/22 (2006.01)H03F 1/02
H03F 1/22

請求項の数 10 (全 8 頁)

(21) 出願番号 特願2013-259217 (P2013-259217)
 (22) 出願日 平成25年12月16日 (2013.12.16)
 (65) 公開番号 特開2015-115929 (P2015-115929A)
 (43) 公開日 平成27年6月22日 (2015.6.22)
 審査請求日 平成28年9月30日 (2016.9.30)

(73) 特許権者 000006231
 株式会社村田製作所
 京都府長岡京市東神足1丁目10番1号
 (74) 代理人 100079108
 弁理士 稲葉 良幸
 (74) 代理人 100109346
 弁理士 大貫 敏史
 (74) 代理人 100117189
 弁理士 江口 昭彦
 (74) 代理人 100134120
 弁理士 内藤 和彦
 (74) 代理人 100126480
 弁理士 佐藤 瞳

最終頁に続く

(54) 【発明の名称】カスコード増幅器

(57) 【特許請求の範囲】

【請求項 1】

信号が入力されるゲートと、接地されたソースと、ドレインとを有する第1のトランジスタと、

ゲートと、前記第1のトランジスタの前記ドレインに接続されたソースと、ドレインとを有する第2のトランジスタと、

前記第2のトランジスタの前記ドレインに接続された負荷と、

出力電力に応じて可変な電源電圧を前記負荷を介して前記第2のトランジスタの前記ドレインに供給するDC-DCコンバータと、

前記電源電圧の関数で表現される電圧を前記第2のトランジスタの前記ゲートに供給する第1のバイアス回路と、

前記電源電圧の関数で表現される電圧を前記第1のトランジスタの前記ゲートに供給する第2のバイアス回路とを備え、

前記電源電圧が高いほど前記第2のバイアス回路の出力電圧は低くなることを特徴とするカスコード増幅器。

【請求項 2】

信号が入力されるゲートと、接地されたソースと、ドレインとを有する第1のトランジスタと、

ゲートと、前記第1のトランジスタの前記ドレインに接続されたソースと、ドレインとを有する第2のトランジスタと、

10

20

前記第2のトランジスタの前記ドレインに接続された負荷と、
出力電力に応じて可変な電源電圧を前記負荷を介して前記第2のトランジスタの前記ド
レインに供給するDC-DCコンバータと、
前記電源電圧の関数で表現される電圧を前記第2のトランジスタの前記ゲートに供給す
る第1のバイアス回路と、

前記第1のバイアス回路の出力電圧の関数で表現される電圧を前記第1のトランジスタ
の前記ゲートに供給する第2のバイアス回路とを備えることを特徴とするカスコード増幅
器。

【請求項3】

信号が入力されるゲートと、接地されたソースと、ドレインとを有する第1のトランジ
スタと、 10

ゲートと、前記第1のトランジスタの前記ドレインに接続されたソースと、ドレインと
を有する第2のトランジスタと、

前記第2のトランジスタの前記ドレインに接続された負荷と、
出力電力に応じて可変な電源電圧を前記負荷を介して前記第2のトランジスタの前記ド
レインに供給するDC-DCコンバータと、

前記電源電圧の関数で表現される電圧を前記第2のトランジスタの前記ゲートに供給す
る第1のバイアス回路とを備え、

前記第1のバイアス回路は、前記第1のトランジスタのドレイン電圧がある一定の電圧
以上にならないよう制限することを特徴とするカスコード増幅器。 20

【請求項4】

信号が入力されるゲートと、接地されたソースと、ドレインとを有する第1のトランジ
スタと、

ゲートと、前記第1のトランジスタの前記ドレインに接続されたソースと、ドレインと
を有する第2のトランジスタと、

前記第2のトランジスタの前記ドレインに接続された負荷と、
出力電力に応じて可変な電源電圧を前記負荷を介して前記第2のトランジスタの前記ド
レインに供給するDC-DCコンバータと、

前記電源電圧の関数で表現される電圧を前記第2のトランジスタの前記ゲートに供給す
る第1のバイアス回路とを備え、 30

前記第1のバイアス回路は、前記第1のトランジスタのドレイン電圧がある一定の電圧
以下にならないよう制限することを特徴とするカスコード増幅器。

【請求項5】

信号が入力されるゲートと、接地されたソースと、ドレインとを有する第1のトランジ
スタと、

ゲートと、前記第1のトランジスタの前記ドレインに接続されたソースと、ドレインと
を有する第2のトランジスタと、

前記第2のトランジスタの前記ドレインに接続された負荷と、
出力電力に応じて可変な電源電圧を前記負荷を介して前記第2のトランジスタの前記ド
レインに供給するDC-DCコンバータと、 40

前記電源電圧の関数で表現される電圧を前記第2のトランジスタの前記ゲートに供給す
る第1のバイアス回路とを備え、

外部から入力した動作モード信号に応じて前記第1のバイアス回路の関数が切り替わる
ことを特徴とするカスコード増幅器。

【請求項6】

信号が入力されるゲートと、接地されたソースと、ドレインとを有する第1のトランジ
スタと、

ゲートと、前記第1のトランジスタの前記ドレインに接続されたソースと、ドレインと
を有する第2のトランジスタと、

前記第2のトランジスタの前記ドレインに接続された負荷と、 50

出力電力に応じて可変な電源電圧を前記負荷を介して前記第2のトランジスタの前記ドレインに供給するDC - DCコンバータと、

前記電源電圧の関数で表現される電圧を前記第2のトランジスタの前記ゲートに供給する第1のバイアス回路とを備え、

前記第1のバイアス回路は、

差動入力端子を有し、前記差動入力端子の一方の端子に前記電源電圧が入力される複数のリミッタ増幅器と、

前記複数のリミッタ増幅器の前記差動入力端子の他方の端子にそれぞれ参照電圧を供給する複数の参照電圧源と、

前記複数のリミッタ増幅器の出力を加算する加算器とを有することを特徴とするカスコード増幅器。 10

【請求項7】

前記電源電圧の関数で表現される電圧を前記第1のトランジスタの前記ゲートに供給する第2のバイアス回路を更に備えることを特徴とする請求項3～6の何れか1項に記載のカスコード増幅器。

【請求項8】

前記電源電圧が高いほど前記第1のバイアス回路の出力電圧は高くなることを特徴とする請求項1～7の何れか1項に記載のカスコード増幅器。

【請求項9】

前記第1のバイアス回路の入力と前記第2のトランジスタのドレインの間に接続された低域通過フィルタを更に備えることを特徴とする請求項1～8の何れか1項に記載のカスコード増幅器。 20

【請求項10】

信号が入力されるゲートと、接地されたソースと、ドレインとを有する第1のトランジスタと、

ゲートと、前記第1のトランジスタの前記ドレインに接続されたソースと、ドレインとを有する第2のトランジスタと、

前記第2のトランジスタの前記ドレインに接続された負荷と、

出力電力に応じて可変な電源電圧を前記負荷を介して前記第2のトランジスタの前記ドレインに供給するDC - DCコンバータと、

前記電源電圧の関数で表現される電圧を前記第2のトランジスタの前記ゲートに供給する第1のバイアス回路と、

外部から入力されたデジタル情報を記憶するメモリとを備え、

前記第1のバイアス回路の関数は前記デジタル情報に応じて設定されることを特徴とするカスコード増幅器。 30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、比較的製造費用の安価なシリコンCMOSで構成されるカスコード増幅器に關し、特に電源電圧制御範囲を大きくしつつ、電力付加効率の劣化を抑えることができるカスコード増幅器に関する。 40

【背景技術】

【0002】

一般的に携帯電話等の移動体通信器に使用される送信信号増幅用の高出力増幅器には、高周波特性が良好で耐圧の高いGaN HBT等のプロセスを用いた素子が使用される。これらのプロセスで製造された高出力増幅器は最大出力電力時の電力付加効率が最大になるように設計されており、出力電力が下がった時に電力付加効率が急速に劣化する。そこで、出力電力に応じてDC - DCコンバータを用いて高出力増幅器の電源電圧を制御することで出力電力低下時の効率劣化を抑える方法がある（例えば、非特許文献1参照）。 50

【0003】

また、G a A s H B T等のプロセスは製造費用が比較的高価なため、量産時の製造費用が比較的安価なシリコンのC M O Sプロセスを用いた高出力増幅器も開発されている。C M O Sで構成される高出力増幅器の場合、トランジスタの高周波特性が高い素子は耐圧が低くなり、耐圧が高い素子は高周波特性が低くなる。そこで、高出力増幅器をカスコード増幅器として構成し、ソース接地トランジスタに低耐圧で高周波特性の高い素子を使用し、ゲート接地トランジスタに高耐圧で高周波特性の低い素子を使用する。ゲート接地トランジスタのゲート電圧はソース接地トランジスタのドレイン電圧が耐圧を超えない電圧に設定される。

【先行技術文献】

【非特許文献】

10

【0 0 0 4】

【非特許文献 1】Douglas A. Teeter, " Average Current Reduction in (W)CDMA Power Amplifiers ", Radio Frequency Integrated Circuits (RFIC) Symposium, 2006,

【発明の概要】

【発明が解決しようとする課題】

【0 0 0 5】

C M O Sで構成されるカスコード増幅器の場合でも、G a A s H B Tで構成される増幅器と同様に電源電圧をD C - D Cコンバータを用いて制御することで出力電力低下時の電力付加効率の劣化を抑えることができる。しかし、ゲート接地トランジスタが飽和動作から線形動作に移行する動作点において急激に出力インピーダンスが変化するため、出力信号が歪む。このため、電源電圧を下げられる下限が、ソース接地トランジスタのドレイン電圧とゲート接地トランジスタの飽和ドレイン電圧と出力振幅マージンの和となる。

20

【0 0 0 6】

電源電圧制御範囲を大きくするためにはソース接地トランジスタのドレイン電圧をできるだけ低く設定すればよい。しかし、出力信号電力が大きくなつた時にソース接地トランジスタのドレイン電圧の動作範囲が不足するためソース接地トランジスタが線形動作になつてしまい出力信号が歪むという問題がある。

【0 0 0 7】

本発明は、上述のような課題を解決するためになされたもので、その目的は電源電圧制御範囲を大きくしつつ、電力付加効率の劣化を抑えることができるカスコード増幅器を得るものである。

30

【課題を解決するための手段】

【0 0 0 8】

本発明に係るカスコード増幅器は、信号が入力されるゲートと、接地されたソースと、ドレインとを有する第1のトランジスタと、ゲートと、前記第1のトランジスタの前記ドレインに接続されたソースと、ドレインとを有する第2のトランジスタと、前記第2のトランジスタの前記ドレインに接続された負荷と、出力電力に応じて可変な電源電圧を前記負荷を介して前記第2のトランジスタの前記ドレインに供給するD C - D Cコンバータと、前記電源電圧の関数で表現される電圧を前記第2のトランジスタの前記ゲートに供給する第1のバイアス回路と、前記電源電圧の関数で表現される電圧を前記第1のトランジスタの前記ゲートに供給する第2のバイアス回路とを備え、前記電源電圧が高いほど前記第2のバイアス回路の出力電圧は低くなることを特徴とする。

40

【発明の効果】

【0 0 0 9】

本発明ではD C - D Cコンバータから供給される電源電圧の関数で表現される電圧を第2のトランジスタのゲートに供給する第1のバイアス回路を用いる。これにより、電源電圧制御範囲を大きくしつつ、電力付加効率の劣化を抑えることができる。

【図面の簡単な説明】

【0 0 1 0】

【図1】本発明の実施の形態1に係るカスコード増幅器を示す図である。

50

【図2】本発明の実施の形態1に係るバイアス回路を示す図である。

【図3】図2のバイアス回路の出力特性を示す図である。

【図4】本発明の実施の形態2に係るカスコード増幅器を示す図である。

【図5】本発明の実施の形態3に係るカスコード増幅器を示す図である。

【図6】本発明の実施の形態3に係るバイアス回路を示す図である。

【発明を実施するための形態】

【0011】

本発明の実施の形態に係るカスコード増幅器について図面を参照して説明する。同じ又は対応する構成要素には同じ符号を付し、説明の繰り返しを省略する場合がある。

【0012】

実施の形態1.

図1は、本発明の実施の形態1に係るカスコード増幅器を示す図である。トランジスタ1は、ゲートと、接地されたソースと、ドレインとを有するソース接地トランジスタである。トランジスタ1のゲートには、DCカット用の容量2を介して信号が入力される。

【0013】

トランジスタ3は、ゲートと、トランジスタ1のドレインに接続されたソースと、ドレインとを有するゲート接地トランジスタである。負荷4がトランジスタ3のドレインに接続されている。トランジスタ3のドレインから、DCカット用の容量15を介して信号が出力される。トランジスタ1，3はシリコンのMOSFETである。

【0014】

DC-D Cコンバータ5が、出力電力に応じて可変な電源電圧を負荷4を介してトランジスタ3のドレインに供給する。バイアス回路6が、電源電圧の関数で表現される電圧をトランジスタ3のゲートに供給する。バイアス回路7が、電源電圧の関数で表現される電圧をトランジスタ1のゲートに供給する。

【0015】

具体的には、DC-D Cコンバータ5の電源電圧が高いほどトランジスタ1のドレイン電圧が高くなるようにバイアス回路6の出力電圧は高くなる。トランジスタ1として高周波性能の高いゲート長の短いトランジスタを使用するため、ショートチャネル効果の影響でドレイン電圧が高くなるとバイアス電流が増加する。そこで、電源電圧が高いほどバイアス回路7の出力電圧は低くなり、トランジスタ1のゲート電圧は低くなる。

【0016】

また、電源電圧に従ってトランジスタ1のゲート電圧を高くすると、高周波特性の優れるトランジスタ1の耐圧は低い。そこで、バイアス回路6は、トランジスタ1のドレイン電圧が、トランジスタ1の耐圧を超えないある一定の電圧以上にならないよう制限する。逆に、バイアス回路6がトランジスタ1のドレイン電圧がある一定の電圧以下にならないよう制限してもよい。

【0017】

図2は、本発明の実施の形態1に係るバイアス回路を示す図である。複数のリミッタ増幅器8はそれぞれ差動入力端子を有する。複数のリミッタ増幅器8の差動入力端子の一方の端子にモニタ電圧V_{mon}（電源電圧）が入力される。複数の参照電圧源9が複数の差動入力端子の他方の端子にそれぞれ参照電圧V1, ..., Vnを供給する。加算器10が複数のリミッタ増幅器8の出力を加算する。ここではn個のリミッタ増幅器を用いている。複数のリミッタ増幅器8は複数の参照電圧源9の参照電圧V1, ..., Vnとモニタ電圧V_{mon}の差電圧により制御され、0からリミッティングレベルL1, ..., L_nまでのレベルを出力する。

【0018】

図3は、図2のバイアス回路の出力特性を示す図である。複数のリミッタ増幅器8の段数、参照電圧V1, ..., Vn、リミッティングレベルL1, ..., L_n、及び複数のリミッタ増幅器8の利得G1, ..., G_nを適当に設定することで、モニタ電圧V_{mon}に対して任意の関数の出力特性を得ることができる。

10

20

30

40

50

【 0 0 1 9 】

なお、図3の出力特性は折れ線形状であるが、実際の回路では複数のリミッタ增幅器8の立ち上がり及びリミッティング特性は滑らかに立ち上がり、リミッティングされる。このため、加算器10の出力特性も折れ線ではなく滑らかになる。

【 0 0 2 0 】

本実施の形態ではDC-D Cコンバータ5から供給される電源電圧の関数で表現される電圧をトランジスタ3のゲートに供給するバイアス回路6を用いることで、電源電圧制御範囲を大きくしつつ、電力付加効率の劣化を抑えることができる。また、電源電圧をモニタしてトランジスタ1のゲートに適切な電圧を供給するバイアス回路7を用いることで更に電力付加効率を改善することができる。なお、外部から入力した動作モード信号に応じてバイアス回路6の関数が切り替わるようにしてよい。10

【 0 0 2 1 】

実施の形態2.

図4は、本発明の実施の形態2に係るカスコード増幅器を示す図である。低域通過フィルタ11がバイアス回路6の入力とトランジスタ3のドレインの間に接続されている。また、バイアス回路7は、バイアス回路6の出力電圧の関数で表現される電圧をトランジスタ1のゲートに供給する。

【 0 0 2 2 】

カスコード増幅器とDC-D Cコンバータ5は同一チップ上に集積化することが困難なため、別チップに形成される。従って、実施の形態1では電源電圧をモニタする独立した端子が必要なため、カスコード増幅器のチップサイズの増大や、DC-D Cコンバータ5を組み合わせたときの実装面積の増大の原因になる。そこで、本実施の形態ではバイアス回路6の入力をトランジスタ3のドレインに接続している。このため、端子を追加する必要が無く、チップサイズと実装面積の増大を防ぐことができる。20

【 0 0 2 3 】

また、バイアス回路7は、バイアス回路6の出力電圧の関数で表現される電圧をトランジスタ1のゲートに供給することで、バイアス回路6が複雑な関数を供給した場合でもバイアス回路7は比較的簡単なバイアス回路で構成することができる。

【 0 0 2 4 】

実施の形態3.

図5は、本発明の実施の形態3に係るカスコード増幅器を示す図である。デジタルインターフェース12が外部からデジタル信号を受信してデコードする。外部から入力されたデジタル情報をメモリ13, 14が記憶する。バイアス回路6, 7の関数はメモリ13, 14に記憶されたデジタル情報に応じて設定される。これにより、変調方式の違いなどにより異なるDC-D Cコンバータ5の制御条件やカスコード増幅器のバイアス条件に対し最適な条件を設定することができ、さまざまな動作条件に対し良好な電力付加効率を得ることができる。30

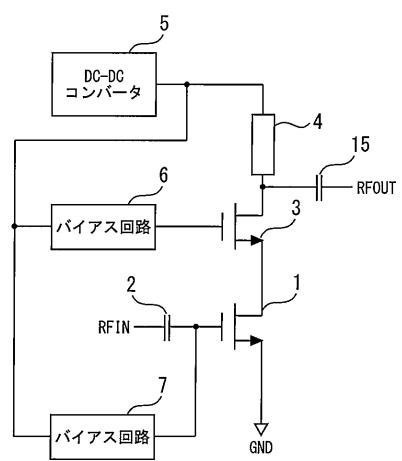
【 0 0 2 5 】

図6は、本発明の実施の形態3に係るバイアス回路を示す図である。複数のリミッタ增幅器8と複数の参照電圧源9の参照電圧 V_i ($i = 1 \dots n$)、利得 G_i ($i = 1 \dots n$)、及びリミッティングレベル L_i ($i = 1 \dots n$)は可変であり、それぞれデジタル情報に応じて設定される。従って、外部からのデジタル情報に応じて任意の出力特性を得ることができる。40

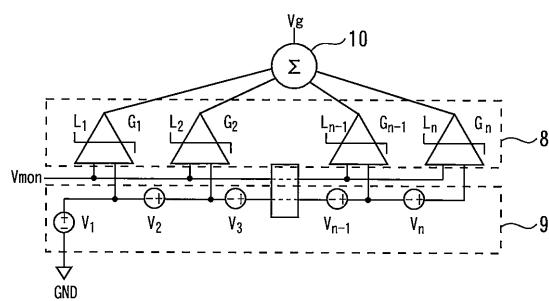
【 符号の説明 】**【 0 0 2 6 】**

1, 3 トランジスタ、4 負荷、5 DC-D Cコンバータ、6, 7 バイアス回路、
8 リミッタ增幅器、9 参照電圧源、10 加算器、11 低域通過フィルタ、13,
14 メモリ

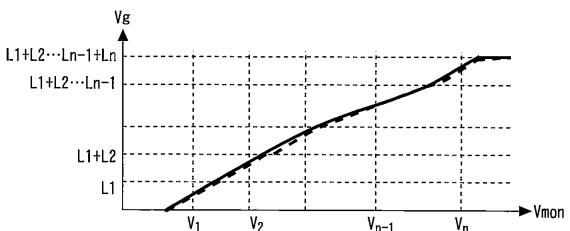
【図1】



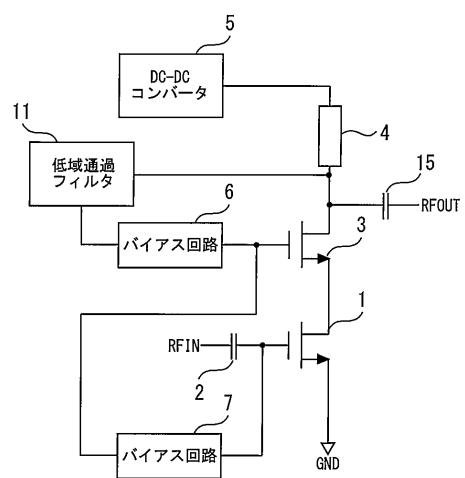
【図2】



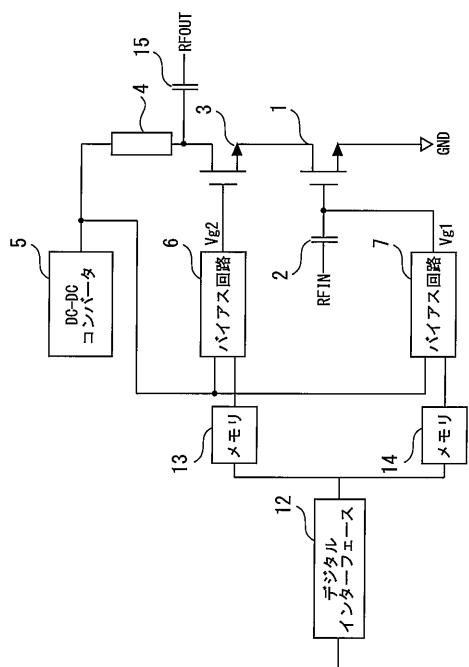
【図3】



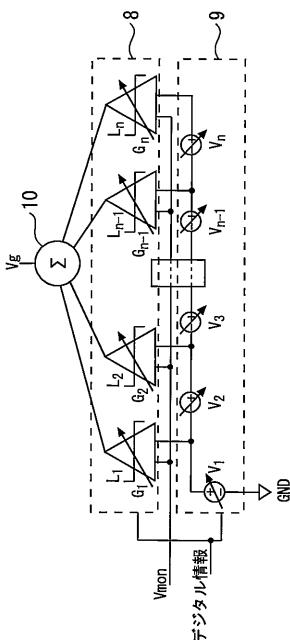
【図4】



【図5】



【図6】



フロントページの続き

(72)発明者 高橋 貴紀

東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

(72)発明者 宮下 美代

東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

(72)発明者 山本 和也

東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

審査官 緒方 寿彦

(56)参考文献 米国特許出願公開第2011/0070848(US,A1)

特開2006-197227(JP,A)

特開2005-033650(JP,A)

特開平11-205188(JP,A)

特開2001-257540(JP,A)

米国特許出願公開第2013/0285750(US,A1)

(58)調査した分野(Int.Cl., DB名)

H03F 1/00 - 3/45、3/50 - 3/52、
3/62 - 3/64、3/68 - 3/72