

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5594635号
(P5594635)

(45) 発行日 平成26年9月24日 (2014. 9. 24)

(24) 登録日 平成26年8月15日 (2014. 8. 15)

(51) Int. Cl.

F I

G O 2 F 1/1343 (2006. 01)

G O 2 F 1/1343

G O 2 F 1/1335 (2006. 01)

G O 2 F 1/1335 5 0 0

G O 2 F 1/1368 (2006. 01)

G O 2 F 1/1335 5 0 5

H O 1 L 29/786 (2006. 01)

G O 2 F 1/1368

H O 1 L 29/78 6 1 2 C

請求項の数 4 (全 27 頁)

(21) 出願番号 特願2013-102370 (P2013-102370)

(22) 出願日 平成25年5月14日 (2013. 5. 14)

(62) 分割の表示 特願2009-52006 (P2009-52006)
の分割

原出願日 平成21年3月5日 (2009. 3. 5)

(65) 公開番号 特開2013-210649 (P2013-210649A)

(43) 公開日 平成25年10月10日 (2013. 10. 10)

審査請求日 平成25年5月14日 (2013. 5. 14)

(73) 特許権者 303018827

N L Tテクノロジー株式会社

神奈川県川崎市中原区下沼部 1 7 5 3 番地

(74) 代理人 100123788

弁理士 宮崎 昭夫

(74) 代理人 100127454

弁理士 緒方 雅昭

(72) 発明者 新岡 真也

神奈川県川崎市中原区下沼部 1 7 5 3 番地

N E C 液晶テクノロジー株式会社内

(72) 発明者 重村 幸治

神奈川県川崎市中原区下沼部 1 7 5 3 番地

N E C 液晶テクノロジー株式会社内

最終頁に続く

(54) 【発明の名称】 液晶表示素子及びそれを用いた画像表示装置

(57) 【特許請求の範囲】

【請求項 1】

積層されたスイッチング素子と複数の画素電極とを少なくとも含む第 1 の基板と、積層された着色層と共通電極を少なくとも含む第 2 の基板とが、液晶層を挟んで対向する液晶表示素子であり、

前記第 1 の基板上に複数のゲート線が平行かつ等間隔に配置され、前記ゲート線とは直角に複数のデータ線が平行かつ等間隔に配置され、前記ゲート線と前記データ線とで囲まれた領域により 1 つのドットが形成されており、

前記ドットは、前記ゲート線と前記データ線の交差部に設けられた前記スイッチング素子と、前記スイッチング素子を介して設けられた第 1 の画素電極とを少なくとも有する第 1 の開口部と、第 2 の画素電極と制御電極とを少なくとも有する第 2 の開口部とを有しており、

前記第 1 の開口部は、前記第 2 の開口部の前記着色層より光の透過率が高い高透過率領域を有しており、

前記高透過率領域は、前記着色層に設けられたスルーホールからなり、

前記第 2 の画素電極は、保護絶縁膜を介して第 1 の画素電極の上層に形成され、かつ、前記第 2 の画素電極と前記第 1 の画素電極とは前記保護絶縁膜を介して部分的に重なり合っており、

前記第 1 の開口部における光の透過率変化に関する閾値電圧と前記第 2 の開口部における光の透過率変化に関する閾値電圧が異なることを特徴とする、液晶表示素子。

10

20

【請求項 2】

前記液晶表示素子は、ねじれネマティック方式で駆動する、請求項 1 に記載の液晶表示素子。

【請求項 3】

前記画素電極と前記共通電極とは、透明電極である、請求項 1 または 2 のいずれか 1 項に記載の液晶表示素子。

【請求項 4】

請求項 1 から 3 のいずれか 1 項に記載の液晶表示素子を使用した、画像表示装置。

【発明の詳細な説明】**【技術分野】**

10

【0001】

液晶表示素子及びそれを用いた画像表示装置に関する。

【背景技術】**【0002】**

近年、パーソナルコンピュータのディスプレイ、あるいはテレビといった情報及び画像表示装置の分野において、液晶ディスプレイ（LCD: Liquid Crystal Display）が大きく普及してきている。その液晶ディスプレイの市場、技術開発動向においては、画素（ピクセル）サイズの小型化による高精細化、高画質化と共に、画面の大型化が顕著である。そのため大面積の画面に非常に多くの小さな画素を配列させる必要があり、大面積の画面を対象とした微細加工プロセスが開発されている。

20

【0003】

一方、小さな画像表示素子（対角線方向の大きさが数インチ、あるいは 1 インチ以下の液晶表示素子等）と拡大投射光学系とを組み合わせた画像表示装置であるプロジェクタも普及しつつあり、オフィスにおけるプレゼンテーションのみならず、ホームシアタ等の家庭における娯楽にも用いられつつある。液晶ディスプレイにおいて、高精細な画像を維持しつつ、その画面が大型化するとコストが高くなるのに対し、プロジェクタに適用する液晶表示素子は画面が小さくてもよいためコスト面で非常に有利となる。

【0004】

しかし、ここで、小型の画像表示素子の画像を高精細化することを考えた場合、もともと小さな画面領域に、多くの画素を配列させることになるため、1 画素のサイズをより微細化する必要が生じる。すなわち、いかに画素サイズを小さくするかが課題となる。そこで、半導体の微細加工技術の進歩にともない、より微細なサイズの画素が実現されつつある。

30

【0005】

また、電化製品、精密機器、及び映像機器においては、省スペース化、及び省電力化が望まれており、特に、プロジェクタに関しては携帯可能なものが注目されている。そのため、1 つの開発動向としてプロジェクタの小型化及び軽量化があげられる。特に、単板式のカラー液晶プロジェクタは、3 板式のカラープロジェクタと比較して光学系が簡易であり、小型化及び軽量化に適している（特許文献 1）。

【先行技術文献】

40

【特許文献】**【0006】**

【特許文献 1】特開 2000 - 137220 号公報（図 1、図 6 等）

【発明の概要】**【発明が解決しようとする課題】****【0007】**

しかしながら、単板式のカラー液晶プロジェクタにおける画像表示素子の単位画素は複数のドットを有し、その各々に着色層を配置した構成である。上記のように画素は高精細化される動向にあるが、光を変調させるために液晶を駆動するスイッチング素子や補助容量などの電気・電子回路は、画素の高精細化に比例して、必ずしも小さくできる訳ではな

50

い。これは、スイッチング素子や補助容量は、半導体基板やガラス基板等の基板上に微細加工技術を用いて作製され、半導体プロセスの制限により、実現できる細線幅に限度があるためである。また、技術的にはより微細な加工が可能であっても、設備投資等を考えるとコスト上の問題から実現が困難な場合もある。その結果、１ドットに占めるスイッチング素子の面積割合が大きくなり、開口率が低下する。また、着色層での光吸収による光の透過率の低下や、着色層での光吸収によって発生した熱に起因して色度低下、画質劣化、及び信頼性の問題が生じる。

【０００８】

本発明の目的は、上記課題である、液晶表示素子の画素を高精細化すると光の利用効率が低下してしまう、という問題を解決する液晶表示素子及びそれを用いた表示装置を提供することにある。

10

【課題を解決するための手段】

【０００９】

本発明の液晶表示素子は、積層されたスイッチング素子と複数の画素電極とを少なくとも含む第１の基板と、積層された着色層と共通電極を少なくとも含む第２の基板とが、液晶層を挟んで対向している。第１の基板上に複数のゲート線が平行かつ等間隔に配置され、ゲート線とは直角に複数のデータ線が平行かつ等間隔に配置され、ゲート線とデータ線とで囲まれた領域により１つのドットが形成されている。また、ドットは、ゲート線とデータ線の交差部に設けられたスイッチング素子と、スイッチング素子を介して設けられた第１の画素電極とを少なくとも有する第１の開口部と、第２の画素電極と制御電極とを少なくとも有する第２の開口部とを有している。第１の開口部は、第２の開口部の着色層よりも光の透過率が高い高透過率領域を有している。高透過率領域は、着色層に設けられたスルーホールからなる。第２の画素電極は、保護絶縁膜を介して第１の画素電極の上層に形成され、かつ、第２の画素電極と第１の画素電極とは保護絶縁膜を介して部分的に重なり合っている。さらに、第１の開口部における光の透過率変化に関する閾値電圧と第２の開口部における光の透過率変化に関する閾値電圧が異なっている。

20

【発明の効果】

【００１０】

本発明によると、液晶表示素子のパネル全体の光の透過率を大きくすることができ、これにより、正面輝度及びコントラストを大きくできる。また、中間階調において、画質が低下することがない。

30

【図面の簡単な説明】

【００１１】

【図１】本発明に係る液晶表示素子の第１の実施形態であり、液晶表示素子のドット（繰り返し単位）の構成を示す上面の概略図である。

【図２】図１における液晶表示素子のＡ－Ａ'方向の断面の概略図である。

【図３】図１における液晶表示素子の第１の基板側のドットレイアウトを示す平面の概略図である。

【図４】図１における液晶表示素子のドットの等価回路を示す図である。

【図５】図１における液晶表示素子の画素（繰り返し単位）の構成を示す平面の概略図である。

40

【図６】図１における液晶表示素子の電圧－透過率特性を示すグラフである。

【図７】図１における液晶表示素子のドットの他の等価回路を示す図である。

【図８】図１における液晶表示素子のドットのさらに他の等価回路を示す図である。

【図９】本発明に係る液晶表示素子の第２の実施形態のドットで構成した画素の上面の概略図である。

【図１０】図９における液晶表示素子のＢ－Ｂ'方向の断面の概略図である。

【図１１】図１０における液晶表示素子の第１の基板側のドットレイアウトを示す平面の概略図である。

【図１２】図９における液晶表示素子のＣ－Ｃ'方向の断面の概略図である。

50

【図 1 3】本発明に係る液晶表示素子の第 3 の実施形態のドットの断面の概略図である。

【図 1 4】図 1 3 における液晶表示素子の電圧 - 透過率特性を示すグラフである。

【図 1 5】本発明に係る液晶表示素子の第 4 の実施形態を示す第 1 の基板側のドットレイアウトの平面の概略図である。

【図 1 6】図 1 5 における液晶表示素子の D - D ' 方向の断面の概略図である。

【図 1 7】本発明に係る液晶表示素子の第 5 の実施形態のドットの断面の概略図である。

【図 1 8】図 1 7 における液晶表示素子の等価回路を示す図である。

【図 1 9】本発明に係る液晶表示素子の第 6 の実施形態のドットの断面の概略図である。

【図 2 0】図 1 9 における液晶表示素子の A - A ' 方向の断面の概略図である。

【図 2 1】本発明に係る液晶表示素子の第 7 の実施形態のドットの概略構成図である。

10

【図 2 2】図 2 1 における液晶表示素子の A - A ' 方向の断面の概略図である。

【図 2 3】本発明に係る液晶表示素子を使用した表示装置の一例である、プロジェクタ装置の概略構成図である。

【発明を実施するための形態】

【0012】

以下に、添付の図面に基づき、本発明の実施の形態を説明する。なお、同一の機能を有する構成には添付図面中、同一の番号を付与し、その説明を省略することがある。

【0013】

[実施形態 1]

本発明に係る液晶表示素子の第 1 の実施形態について説明する。

20

【0014】

図 1 に本発明に係る液晶表示素子の第 1 の実施形態のドットの構成を示す上面の概略図、図 2 に図 1 の A - A ' 方向の断面の概略図を示す。

【0015】

なお、液晶表示素子は、複数のドット（通常レッド、グリーン、ブルーの 3 つのドット）で 1 つの画素を形成し、複数の画素で液晶表示パネルを形成している。説明では、1 つのドットを例にして説明する。

【0016】

図 1 に示すように、1 つのドット 1 4 は、光の透過率の高い領域（以降すべて「高透過率領域」とする）2 7 が設けられた第 1 の開口部 2 5 と、着色領域 2 8 が設けられた第 2 の開口部 2 6 とで構成された開口部 2 9 と、遮光領域であるブラックマトリクス 6 1 とから構成される。

30

【0017】

また、図 2 に示す通り、第 1 の基板 2 1 と第 2 の基板 2 2 との間に、液晶層 1 2 が設けられている。第 1 の基板 2 1 は、第 1 の透明基板 2 3 の液晶層 1 2 側の表面に、第 1 の画素電極 3 1 と、第 2 の画素電極 3 2 と、スイッチング素子となる薄膜トランジスタ（以下「TFT: Thin Film Transistor」とする）3 9 とが形成されている。また、第 2 の基板 2 2 は、第 2 の透明基板 2 4 の液晶層 1 2 側に、レッド、グリーン、及びブルー等が着色された着色層 6 2、及びブラックマトリクス 6 1 が設けられ、その上に所定の形状にパターニングされたITO (Indium Tin Oxide) 等の透明電極が共通電極 3 3 として設けられている。なお、第 1 の開口部 2 5 には着色層 6 2 を設けない。そうすることで、高透過率領域 2 7 として無着色領域を形成している。なお、必要に応じて設けられる配向膜は図示していない。

40

【0018】

ドット 1 4 内には、第 1 の画素電極 3 1、第 2 の画素電極 3 2 及び共通電極 3 3 がそれぞれ設けられており、ゲート線 4 8 と電氣的に接続しているゲート電極 4 7（図中のゲート電極 4 7 に電氣的に接続しているゲート線 4 8 については図 3 にて示す）により TFT 3 9 を動作させて、第 1 の画素電極 3 1（又は第 2 の画素電極 3 2）を選択し、第 1 の画素電極 3 1（又は第 2 の画素電極 3 2）と共通電極 3 3 の間に電圧を印加して液晶の配向を制御し、画像表示をする。

50

【 0 0 1 9 】

本実施形態における高透過率領域 2 7 は、前記したような完全な無着色領域でなくとも良く、着色領域 2 8 よりも光の透過率が大きくなっていればよい。例えば、第 2 の基板 2 2 全体を着色層 6 2 で覆い、第 1 の開口部 2 5 に、部分的にスルーホールを設けたり、部分的に着色層 6 2 を薄くして光の透過率を大きくしたりし、高透過率領域 2 7 としてもよい。これにより高透過率領域 2 7 では、顔料や染料等の着色材による光吸収を小さくし、バックライト光源から入射された光が効率良く透過できるため着色領域 2 8 と比べて光の透過効率が大きくなる。

【 0 0 2 0 】

図 3 に本実施形態における液晶表示素子の第 1 の基板 2 1 側のドットレイアウトを示す平面の概略図、図 4 に本実施形態における液晶表示素子のドットの等価回路図を示す。

10

【 0 0 2 1 】

図 3 に示すように、T F T 3 9 が形成された第 1 の基板 2 1 では、横方向に延びる複数本のゲート線 4 8 と、縦方向に延びる複数本のデータ線 4 9 とで囲まれる領域によって 1 つのドット 1 4 が構成されている。そして、このドット 1 4 には、T F T 3 9、第 1 の画素電極 3 1、第 2 の画素電極 3 2、制御電極 3 4、共通電極 3 3、蓄積容量電極 3 5、共通容量線 5 0 が備えられている。

【 0 0 2 2 】

図 2、図 3、及び図 4 に示すように、第 1 の画素電極 3 1 は T F T 3 9 のソース電極 4 6 と、制御電極 3 4 と、蓄積容量電極 3 5 とが電氣的に接続しており、第 1 の画素電極 3 1 と制御電極 3 4 と蓄積容量電極 3 5 とが同電位の場合、制御電極 3 4 と共通容量線 5 0 との間と、蓄積容量電極 3 5 と共通容量線 5 0 との間に第 1 の蓄積容量 C s t 1 が形成される。また、第 1 の画素電極 3 1 と、対向基板である第 2 の基板 2 2 に配置された共通電極 3 3 との間には、液晶層 1 2 を介して第 1 の液晶容量 C l c 1 が形成される。

20

【 0 0 2 3 】

一方、第 2 の画素電極 3 2 は電氣的にフローティング状態であり、制御電極 3 4 と第 3 の保護絶縁膜 4 3 を介して結合容量 C c を形成している。また、第 2 の画素電極 3 2 と共通容量線 5 0 との間に第 2 の蓄積容量 C s t 2 が形成される。さらに、第 2 の画素電極 3 2 と共通電極 3 3 との間には、液晶層 1 2 を介して第 2 の液晶容量 C l c 2 が形成される。

30

【 0 0 2 4 】

ドット 1 4 の 2 つの開口部 2 5、2 6 は、それぞれ光の透過率が異なる高透過率領域 2 7 と着色領域 2 8 から構成され、高透過率領域 2 7 には T F T 3 9 と電氣的に接続する第 1 の画素電極 3 1 が配置され、着色領域 2 6 には制御電極 3 4 と結合容量 C c を形成する第 2 の画素電極 3 2 が配置されている。

【 0 0 2 5 】

これら結合容量 C c、第 1 の蓄積容量 C s t 1、及び第 2 の蓄積容量 C s t 2 のそれぞれの容量サイズは各絶縁膜の材質（誘電率）と厚さ、及び各電極の大きさ等のパラメータにより所望の値に設定することが可能である。

【 0 0 2 6 】

第 1 の画素電極 3 1 へ印加される電圧 V 1 と、第 2 の画素電極 3 2 へ印加される電圧 V 2 との画素電極電圧比 V 1 / V 2 は、制御電極 3 4 と第 2 の画素電極 3 2 との間の結合容量 C c と、第 2 の画素電極 3 2 と共通容量線 5 0 との間の付加容量 C s t 2、及び液晶容量 C l c 2 との比によって定まる。ここで、共通容量線 5 0 の電圧を共通電極 3 3 と同電圧とした場合には、上記の画素電極電圧比 V 1 / V 2 は以下の数式が成立する。

40

【 0 0 2 7 】

【 数 1 】

$$\text{画素電極電圧比 } V 1 / V 2 = (C l c 2 + C c + C s t 2) / C c$$

50

【 0 0 2 8 】

したがって、第1の画素電極31と第2の画素電極32の印加電圧の違いにより、各領域27、28の液晶分子に異なる電圧が印加される。これにより、各領域27、28における電圧-透過率特性(V-T特性)が変化し、第1の画素電極31におけるV-T特性の光の透過率変化に関する閾値電圧 V_{th1} と第2の画素電極32におけるV-T特性の光の透過率変化に関する閾値電圧 V_{th2} とに差が生じる。このような光の透過率変化に関する閾値電圧の差は、主に、第1の開口部25には存在しない結合容量 C_c が第2の開口部26に形成されていることにより生じる。数式1より、 $V_1 > V_2$ の関係が成り立ち、第2の画素電極32に印加される電圧 V_2 は、第1の画素電極31に印加される電圧 V_1 より相対的に小さくなるため、第1の画素電極31におけるV-T特性の光の透過率変化に関する閾値電圧 V_{th1} と第2の画素電極32におけるV-T特性の光の透過率変化に関する閾値電圧 V_{th2} との間には以下の関係が成り立つ。

10

【 0 0 2 9 】

【数2】

$$V_{th1} < V_{th2}$$

【 0 0 3 0 】

したがって、詳しくは後述するが、本実施形態の液晶表示素子では、図6に示すような電圧-透過率特性(V-T特性)を得ることができる。横軸にTF T 39のソース電極46の電圧をとり、縦軸に透過率をとると V_{th2} は V_{th1} より右側(高電圧側)へシフトする。光の透過率は、第1の開口部25が有する高透過率領域27(第1の画素電極31に対応)の透過率と第2の開口部26が有する着色領域28(第2の画素電極32に対応)の透過率の和となる。そのため、低電圧においては液晶表示パネルの光の透過率を大きくすることができる。また、 V_{th2} は V_{th1} より高電圧側にシフトしているため、中間階調電圧を大きく設定できる。それにより、細かな色彩を表現でき、着色領域28を透過した輝度を大きく、高透過率領域27を透過した輝度を小さくできるため、高透過率領域27からの無色光による色味の低減を小さくすることができる。

20

【 0 0 3 1 】

本実施形態の第1の基板21及び第2の基板22について、さらに詳細に説明する。

【 0 0 3 2 】

はじめに、第1の基板21について説明する。図2、図3に示すように、TF T 39はゲート電極47がソース電極46、及びドレイン電極45よりも上部位置に配置されたトップゲート構造である。活性層(半導体層)40は、アモルファスシリコンやポリシリコン等の使用が可能であり、セルフアライン技術によって形成することができる。

30

【 0 0 3 3 】

CVD(Chemical Vapor Deposition)法などでガラスから成る第1の透明基板23上に島状の半導体層40が形成され、これを覆って第1の保護絶縁膜41が形成され、その上にゲート電極47が形成され、さらにその上に第2の保護絶縁膜42が形成される。

【 0 0 3 4 】

第2の保護絶縁膜42上にはソース電極46とドレイン電極45が形成され、第1のコンタクトホール37を介してソース電極46並びにドレイン電極45と半導体層40のソースドレイン領域とを接続している。ゲート電極47の下部は半導体層40のチャネル領域である。

40

【 0 0 3 5 】

ソース電極46、及びドレイン電極45上には第3の保護絶縁膜43が全面に形成されている。第3の保護絶縁膜43には第2のコンタクトホール38が設けられる。一方のドレイン電極45はデータ線49に接続され、他方のソース電極46は第2のコンタクトホール38を介して第1の画素電極31と接続される。

【 0 0 3 6 】

50

TFT39は、ゲート電極47と、ドレイン電極45と、ソース電極46とを備えており、TFT39は、走査線であるゲート線48と映像信号線であるデータ線49との交点の近傍にドット毎に設けられている。ゲート電極47はゲート線48に、ドレイン電極45はデータ線49に、ソース電極46は第1の画素電極31にそれぞれ電氣的に接続されている。

【0037】

TFT39近傍においては、半導体層40は第1の保護絶縁膜41で覆われ、ゲート電極47は第2の保護絶縁膜42で保護されている。また、保護絶縁膜41、42には窒化シリコン等を用いることができる。

【0038】

第1の画素電極31及び第2の画素電極32は透明電極から成り、ITO等の材料を用いることができる。また、第1の画素電極31と第2の画素電極32は同じ層に成形するため、第1の画素電極31と第2の画素電極32を一体的に形成できる。

【0039】

第1の画素電極31はTFT39のソース電極46に電氣的に接続されており、第1の画素電極31は第2コンタクトホール38を介して制御電極34へ電氣的に接続している。制御電極34はTFTのソース電極46と一体的に形成することも可能である。

【0040】

ゲート線48、ソース電極46、ドレイン電極45、共通容量線50はクロム等の金属膜が使用される。また、共通容量線50はゲート線48と一体的に形成することも可能である。

【0041】

本実施形態では、第2の画素電極32に対して容量を付加するための共通容量線50が設けられた構成となっているが、第2の画素電極32と制御電極34との間の結合容量 C_c と、第2の画素電極32と共通電極33との間の液晶容量 C_{lc2} とで第1の画素電極31へ印加される電圧 V_1 と第2の画素電極32へ印加される電圧 V_2 に必要な電位差が得られれば、特に共通容量線50を設ける必要はない。

【0042】

また、本実施形態においては、ゲート線48が選択された瞬間に、データ線49からTFT39を介して信号電圧が、ソース電極46に接続された第1の画素電極31、及び制御電極34に書き込まれる。この時、フローティング状態である第2の画素電極32の電位は、結合容量 C_c と、蓄積容量 C_{st2} 及び液晶容量 C_{lc2} の容量比にしたがって、制御電極34と共通容量線50との間の所定電位に定まる。共通容量線50は例えば第2の基板22上の共通電極33と同電位となるように構成してもよく、また、前段のゲート線48等に接続してもよい。

【0043】

第1の画素電極31（又は第2の画素電極32）と制御電極34との間の第3の保護絶縁膜43は、有機材料系の保護絶縁膜でもよく、表面を平坦化する効果を有する膜であることが望ましい。また、窒化膜と有機膜とを積層した組み合わせにより信頼性、絶縁性、平坦性を向上させてよい。

【0044】

また、蓄積容量線50と第2の画素電極32の間に形成される第3の保護絶縁膜43は、ゲート線48やデータ線49の上層に形成される保護絶縁膜と異なる材料で構成してもよい。蓄積容量線50と第2の画素電極32の間に形成される第3の保護絶縁膜43は、可視光に対して透明でかつ誘電率が大きく、厚膜化が可能で平坦化性を有する材料が望ましく、ゲート線48やデータ線49の上層に配置される保護絶縁膜は可視光に対して透明でかつ誘電率が低く、厚膜化が可能で平坦化性を有するものが望ましい。これにより、第2の画素電極32に形成される容量結合 C_c を大きくすると同時に、データ線49とゲート線48の寄生容量を小さくすることができる。

【0045】

10

20

30

40

50

次に、第２の基板２２について図２を用いて説明する。

【００４６】

図２に示すように、第２の基板２２は、ガラスから成る第２の透明基板２４上に、液晶層１２側の面にブラックマトリクス６１、及びレッド、グリーン、あるいはブルー等からなる着色層６２を形成したカラーフィルタである。第２の基板２２は第２の透明基板２４の液晶層１２側に、印刷法等によりレッド、グリーンあるいはブルーの着色層６２、及びブラックマトリクス６１を形成し、その上にＩＴＯをスパッタ成膜した後、フォトリソグラフィ技術によりＩＴＯを所望の形状にパターンニングして共通電極３３を形成した。

【００４７】

実施形態７及び８で詳しく説明するが、高透過率領域２７として、第２の基板２２の着色層６２の第１の開口部２５へ、スルーホール（図２、図１９、２０、２１、及び図２２参照）を設けることができ、このスルーホールに対しては透明なレジストを配置して用いることができる。また、着色層６２の厚みを部分的に薄くして、光の透過効率を向上させても良い。着色層６２の厚みを部分的に薄くする手法では、作業工程を増やすことがなく、高透過率領域２７と着色領域２８の段差の大きさを低減することもできるため、表示品質を向上できる。

【００４８】

高透過率領域２７と着色領域２８の境界にブラックマトリクス６１を設けても良く、その場合、結合容量部の金属配線によって反射された光を遮光でき、画質劣化を低減できる。ブラックマトリクス６１は、第１の基板２１と第２の基板２２の重ね合わせずれマージンを見込む分だけ幅広に設けることが望ましい。

【００４９】

第２の基板２２の着色層６２の液晶層１２側には、オーバーコート６３を設けることができる。オーバーコート６３により高透過率領域２７と着色領域２８の着色層６２の段差を平坦化することができ、表示品質を向上させることができる。また、第２の基板２２の液晶層１２側には、柱状スペーサを形成してもよい。柱状スペーサを形成することにより、第１の基板２１と第２の基板２２との間のギャップを高精度に調整することができる。

【００５０】

さらに、図４の等価回路に従っていれば、各構成要素の平面形状は、図２の形状に限定されるものではない。

【００５１】

以下に製造方法について説明する。

【００５２】

上記のように処理した第１の基板２１及び第２の基板２２に、それぞれ配向剤（図示せず）を塗布し、ラビングする。次に、第１の基板２１上にシール材（図示せず）を線状に塗布すると共に、第２の基板２２上に球状スペーサー（図示せず）を散布し、両基板２１、２２を互いに貼り合わせ、加熱によりシール材を硬化させる。第２の基板２２上に柱状スペーサが形成されている場合は、球状スペーサを散布することなく、両基板２１、２２を張り合わせればよい。次に、シール材により第１の基板２１と第２の基板２２とが一体化された構造を、個々の液晶表示パネルの形状に切断した後に、ネマティック液晶を注入孔から注入した後、注入孔を光硬化樹脂で封止する。

【００５３】

次に、液晶表示パネルの両側に偏光板（図示せず）をその透過軸が互いに直交するように両面に貼り付け、周辺駆動回路（図示せず）を取り付けてモジュール化して、液晶表示素子を完成させる。偏光板は視野角補償のための位相差フィルムが一体化した偏光板であって良く、バックライト輝度の指向性を高めて正面輝度を向上可能なフィルム付きの偏光板であってもよい。なお、本実施形態では、液晶駆動にＴＮ（Ｔｗｉｓｔｅｄ Ｎｅｍａｔｉｃ：ねじれネマティック）方式を適用しており、ノーマリホワイトの状態である。

【００５４】

以下の実施例で本実施形態の特徴をさらに説明する。

【0055】

図5に本実施形態の液晶表示素子のドットで構成した画素を示す上面の概略図を示す。単位画素13は、1画素（繰り返し単位）がレッドドット92とグリーンドット93とブルードット94の（3×1）個のドットから構成される。3つのドット92、93、94の着色層62としてレッド、グリーン、ブルーの3色を適用し、着色領域28として各色付領域64、65、66を有する第2の開口部26と、高透過率領域27を有する第1の開口部25とで開口部29が構成されている。本実施例では、横111μm、縦111μmの単位画素13に対し、1ドット14は横37μm、縦111μmの長方形で構成し、それぞれ均等大きさに分割した。各色のドット14は、ドット14の長辺に垂直な方向へレッドドット92 グリーンドット93 ブルードット94の順で周期的に配列している。

10

【0056】

なお、便宜上、以下のようにXY直交座標系を設定する。ドットが配列される方向において、レッドドット92 グリーンドット93 ブルードット94に向かう方向を+X方向とし、その反対方向を-X方向とする。+X方向及び-X方向を総称してX軸方向という。また、各ドット14のデータ線長手方向をY軸方向とする。

【0057】

本実施例の液晶表示素子は、上述の通り、単位画素のサイズは横111μm×縦111μmであり、表示画素数は、横480×縦600のVGA（Video Graphics Array）である。着色領域28と高透過率領域27を合わせた開口率は55.9%であり、着色領域28と高透過率領域27の面積比率は、各ドット14について7:3の割合である。したがって、着色領域28の開口率は39.13%であり、高透過率領域27の開口率は16.77%である。

20

【0058】

また、液晶容量C1c2の容量値は50μF、蓄積容量Cst2の容量値は100μF、結合容量Ccの容量値は150μFとし、液晶容量C1c1の容量値は15μF、蓄積容量Cst1の容量値は75μFと構成した。したがって、数式1より（画素電極電圧比 $V1/V2$ ）=1/2となり、第2の画素電極32には、第1の画素電極31の電位に対して1/2倍の電圧が印加されることになる。

【0059】

本実施例における液晶表示素子では、階調を調整（γ調整）する場合に白表示（255/255階調）を1Vに設定し、2V-5Vを中間階調へ設定した。

30

【0060】

以上の構成で、各材料の物性値をもとに光の透過率をシミュレータにより計算した結果、液晶層12での光の透過率は81%、平行偏光板での光の透過率は40%、着色層62での光の透過率は38%であり、着色領域64、65、66での光の透過率は4.86%、高透過率領域27の光の透過率は5.48%であった。このとき、本実施例の液晶表示素子の光の透過率はそれらの光の透過率の合計値である10.3%となった。本実施例の材料を適用して、従来のように開口部に高透過率領域27を設けず着色領域28のみで第2の基板22を構成した例を計算すると、白表示状態での液晶表示パネルの光の透過率は6.94%である。本実施例においては、白表示状態での液晶表示パネルの光の透過率は10.3%であり、高透過率領域27を有さない場合に比べて液晶表示パネルの光の透過率が1.48倍向上することができる。これにより、正面輝度、コントラストを大きくできるため、視認性に優れた液晶表示パネルを提供できる。また、液晶表示パネルの光の透過率を大きくできるため、バックライトの消費電力を小さくでき、モジュールを省電力化できる。

40

【0061】

また、図6にシミュレータにより計算した液晶表示素子の電圧-透過率特性のグラフを示す。図6に示すように、横軸（X軸）に制御電極34の電圧をとり、縦軸（Y軸）に各領域27、28の光の透過率をプロットしてグラフ化すると、第1の開口部25と第2の

50

開口部 26 とでは液晶分子へ印加される電圧が異なるため、電圧 - 透過率特性 (V - T 特性) の光の透過率変化に関する閾値電圧が異なる。特に、本実施例では、数式 2 で示したように、第 2 の開口部 26 の光の透過率変化に関する閾値電圧 V_{th1} が第 1 の開口部 25 の光の透過率変化に関する閾値電圧 V_{th2} よりも相対的に小さくなるため、第 2 の開口部 26 の V - T 特性カーブは、第 1 の開口部 25 の V - T 特性カーブよりも + X 軸方向 (高電圧側) ヘシフトすることがわかる。液晶表示パネルの光の透過率は、高透過率領域 27 を有する第 1 の開口部 25 と着色領域 28 を有する第 2 の開口部 26 とからの光の透過率の和になる。そのため、 V_{th1} より小さい電圧では光の透過率を大きくすることができ、高輝度にできる。中間階調電圧においては、第 1 の開口部 25 での光の透過率は小さくなる。しかし、 V_{th1} よりも V_{th2} は高電位側にシフトしているため、第 2 の開口部 26 においては光の透過率を保つことができる。したがって、着色領域 28 を透過した光の輝度を大きく、高透過率領域 27 を透過した光の輝度を小さくできるため、高透過率領域 27 からの無色光による色味の低減を小さくすることができ、さらに、中間階調電圧を幅広く設定できることから、細かな色の違いも表現できる。中間階調電圧よりも高い電圧を印加すれば、第 2 の開口部 26 から光が透過しなくなるので、低輝度へ飽和、つまり黒を表示することができる。

【0062】

第 1 の開口部 25 と第 2 の開口部 26 での V - T 特性が同じである場合、低電圧では光の透過率を本実施例と同等なレベルにすることができるが、 V_{th1} と V_{th2} が同じ値であるため、中間階調電圧として設定できる範囲が小さく、電圧を上げるとすぐに低輝度、つまり黒表示になってしまう。また、中間階調を表示する際には、第 1 の開口領域 25 の高透過率領域 27 を透過した光の成分を分離できず、無色の光の成分が多く混ざるため、色味の変化や色度低下、画質劣化が生じる。一方、本実施例によれば、中間階調において、第 1 の開口部 25 の高透過率領域 27 から透過した光の寄与を低減できるため、中間階調で画質低下することのない高品質な表示素子を提供できる。

【0063】

なお、本実施例においては、+ X 方向へ順にレッドドット 92、グリーンドット 93、ブルードット 94 の順序で配列しているが、この順序に限定されず、1 つの画素 13 がレッド、グリーン、ブルーの 3 色のドット 92、93、94 で構成され、周期的に配列していれば順序は任意でよい。また、4 色以上のドット 14 で構成されていてもよく、この場合、さらに多くの色表現や階調を向上させることができる。

【0064】

また、各ドット 92、93、94 の高透過率領域 27 はそれぞれ同じ面積で構成しているが、高透過率領域 27 は、ドット 92、93、94 毎に異なる面積で構成されても良く、好ましくは、(グリーンドット 93) > (レッドドット 92) > (ブルードット 94) の関係であることが望ましい。また、高透過率領域 27 は、単位画素 13 の少なくとも 1 つのドットに設けてあれば良く、レッドドット 92、ブルードット 94 には高透過率領域 27 を設けず、グリーンドット 93 にのみ高透過率領域 27 を設けてもよい。

【0065】

以上より、高精細化した画素を有する液晶表示素子において、中間階調における表示劣化を低減しつつ、同時に、光の透過率を大きく向上させることができた。これにより、表面輝度が大きく視認性に優れた液晶表示装置を提供できる。

【0066】

上記の実施形態、及び実施例の液晶表示素子は、さらに以下の特徴を持つ。

【0067】

(結合容量比) = { (結合容量 C_c) / (液晶容量 C_{lc2}) + (蓄積容量 C_{st2}) } は 1 以上であることが望ましく、結合容量比が大きいほど、各領域 27、28 の V - T 特性において飽和する電圧値 (飽和電圧) の差が大きくなるため、第 1 の開口部 25 と第 2 の開口部 26 の中間輝度を分離しやすい。中間階調の電圧は、白表示の設定電圧 V_w から黒表示の設定電圧 V_b までの間の電圧を、階調数に応じて各階調へ振り分けるため、中

10

20

30

40

50

間輝度に対応する電圧 V_m は、 $V_w < V_m < V_b$ の関係が成り立つ。そのため、図6に示した液晶表示素子の例では、中間輝度に対応する電圧は2.0Vから5.0V程度の間で任意に設定することが可能である。これにより、中間階調の表示において高透過率領域27から透過した光成分の寄与をさらに低減できる。なお、本実施例においては、(結合容量比) = 4となっている。

【0068】

図5に示すように、データ線49、ゲート線48、及びTFT39を覆うようにブラックマトリクス61を設けると、特に、外光の強い場所においては、液晶表示パネルの外部から入射する光を遮光できるため明所でのコントラストを向上し、視認性の良い液晶表示素子を提供できる。また、ブラックマトリクス61は、共通容量線50や第1の画素電極31と第2の画素電極32の境界領域を覆うように設けてもよく(図示せず)、これにより画素電極の境界領域に発生するディスクリネーションを隠すことができるため、光漏れを低減できコントラストを向上できる。

【0069】

第3の保護絶縁膜43を薄くすることにより、単位面積あたりの容量を大きくすることができるため、結合容量部の面積を低減でき開口を広くすることができる。

【0070】

制御電極34の下層に共通容量線50を設けることにより、蓄積容量を大きくとることができるため、開口部29を広くレイアウトすることが可能なため、液晶表示パネルの光の透過率を向上することができる。

【0071】

また、データ線49、ドレイン電極45、及び制御電極34を同時に形成でき、さらに、第1の画素電極31と第2の画素電極32を同時に形成できるため省プロセス、及び低コスト化できる。

【0072】

なお、第2の基板22側へ各着色層62を設ける形態を説明したが、COT(Color Filter On TFT)技術を用いて着色層62を第1の基板21側に設けても効果に変わりはない。

【0073】

上記の説明はいずれもノーマリホワイトモードの例について述べたが、ノーマリブラックモードにも適用できる。ノーマリブラックモードに適用する場合は、第1の開口部25を着色領域28とし、第2の開口部26を高透過率領域27とすればよい。

【0074】

また、 $V-T$ 特性の光の透過率変化に関する閾値電圧が小さい液晶材料を適用することが望ましい。 $V-T$ 特性の光の透過率変化に関する閾値電圧が小さい液晶剤を適用することにより、第1の開口部25と、第2の開口部26の飽和電圧値との差を大きく設定しやすく、低電圧駆動化、及び低消費電力化できる。

【0075】

さらに、結合容量 C_c を形成する領域は第2の開口部26へ設けることが望ましい。第2の開口部26は着色層62があるため、高透過率領域27よりも光を吸収する。これにより容量結合領域部の金属表面で発生する外光反射を大きく低減できる。

【0076】

また、高精細画素に対しては、高透過率領域27として、着色層62に図1に示すようなスリット状のスルーホールを設けることによって無着色領域を形成することは有効である。スリット状にスルーホールを形成した場合、スルーホールはゲート線の延びる方向へ沿った帯状のパターンであり、液晶表示パネルを上面から観察するとデータ線49の延びる方向に沿った横ストライプ状の模様となる。このようなスルーホールは簡素な開口パターンであるため加工精度を向上でき、スルーホールの面積のバラつきを低減できる。

【0077】

高透過率領域27は、光を透過しやすく放熱効果が大きいいため、液晶表示パネル内部の

10

20

30

40

50

温度を低減できる。これによりバックライト光源から出射された光による着色層 6 2 の劣化を低減でき、信頼性を向上させることができる。

【 0 0 7 8 】

本実施形態における T F T 3 9 はトップゲート構造として示されているが、ゲートがソース、及びドレインよりも下部位置に配置されたボトムゲート構造でもよい。トップゲート構造では、断線不良などが起こりにくく、ボトムゲート構造では、各層を連続して堆積できるように膜の清浄度が高く、製造の安定性に優れているという特長を有している。また T F T 3 9 は、フィン型でも良い。また半導体層もアモルファスシリコン、ポリシリコン、酸化物半導体、有機半導体でも良い。このうちポリシリコンを用いた場合は表示部の他にゲートドライバ、ソースドライバ、信号処理回路、電源回路などの周辺回路を同じ基板上に作り込める利点がある。また T F T 3 9 の型は n 型、p 型いずれでも良いが、電子移動度は正孔移動度よりも 1 桁以上大きいので、n 型のほうが好ましい。

【 0 0 7 9 】

次に、本実施形態の回路構成の変形例について説明する。図 7 に、図 4 に示した等価回路の他の等価回路図を示す。図 4 に示す回路構成と大きく異なるところは、第 2 の画素電極を完全なフローティングとしないように形成するようにした点である。すなわち、本実施形態の液晶表示素子は、図 4 で示した等価回路図のように、第 2 の画素電極 3 2 に何らかの原因で電荷が蓄積される可能性があるフローティングの構成とせず、図 7 に示すように第 2 の画素電極 3 2 と制御電極 3 4 との間に、結合容量 C_c と並列して実質的に有限の抵抗値を有する第 1 の結合抵抗 R_1 が接続されるようにする。例えば、第 3 の保護絶縁膜 4 3 の代わりにアモルファスシリコン等の半導体膜を形成すればよい。そして、この半導体膜に適当な不純物イオンをドーピングすることにより所望の抵抗値を得ることができる。

【 0 0 8 0 】

また、図 7 の等価回路の構成と同様の効果を持つものとして、結合容量 C_c と並列に結合抵抗 R_1 を接続するのではなく、蓄積容量 C_{st2} と並列に有限の抵抗値を有する第 2 の結合抵抗 R_2 を接続することも出来る。この場合は、共通容量線 5 0 と第 2 の画素電極 3 2 との間に、第 3 の保護絶縁膜 4 3 の代わりに上述と同様にアモルファスシリコンまたは、p-Si 等の半導体膜を形成し、ドーピング処理すればよい。第 2 の画素電極 3 2 に蓄積される電荷の影響により表示が焼きついたり、動画像を表示した時に液晶の応答時間を越えるような残像が生じたりすることを防ぐために、これらの結合容量 C_c あるいは蓄積容量 C_{st2} に並列に接続される結合抵抗 R は、蓄積された電荷の放電がなされるような値に設定される。液晶表示素子の使用形態に応じて、1 フレーム表示期間内で放電が完了するように設定することや、数秒から数分の動作休止により放電が完了するようにすることが可能である。これ以外の構成は、上述した構成と同様である。

【 0 0 8 1 】

図 8 に、さらに他の等価回路図を示す。

【 0 0 8 2 】

図 8 に示すように、第 2 の画素電極 3 2 と共通容量線 5 0 を接続するように第 2 の T F T 1 5 を形成し、第 2 の T F T 1 5 のゲートを前段のゲート線 4 8 に接続することにより、前段のゲート線 4 8 が選択された瞬間に共通容量線 5 0 の電位を第 2 の画素電極 3 2 に書き込むことにより、画素電極 3 2 に蓄積された電荷を放電させることができるように構成したものである。

【 0 0 8 3 】

図 7 及び図 8 に示した等価回路は、後述の実施形態にも好適に適用できる。

【 0 0 8 4 】

[実施形態 2]

本発明に係る液晶表示素子の第 2 の実施形態について説明する。

【 0 0 8 5 】

図 9 に、本発明に係る液晶表示素子の第 2 の実施形態のドットで構成した画素の上面の概略図、図 10 に、図 9 の B - B' 方向の断面の概略図、図 11 に、図 10 の第 1 の基板

側のドットレイアウトを示す平面の概略図、図 12 に、図 9 の C - C ' 方向の断面の概略図をそれぞれ示す。実施形態 1 と同一のものについては、説明を省略する。

【0086】

図 9 に示すように、レッドドット 92、ブルードット 94、及びグリーンドット 93 の 3 つのドットで単位画素 13 を形成しているが、グリーンドット 93 のみ第 1 の開口部 25 と第 2 の開口部 26 とで開口部 29 を構成した。レッドドット 92 とブルードット 94 の開口部 29 は 1 つの開口部のみで構成されている。

【0087】

グリーンドット 93 の第 2 の開口部 26 にはグリーン色付領域 65 を、第 1 の開口部 25 には薄膜グリーン色付領域 67 が設けている。レッドドット 92 の開口部 29 にはレ

10

【0088】

図 10 及び図 11 に示すように、TFT39 のソース電極 46 とITO 等の透明材料から成る第 1 の画素電極 31 は第 2 コンタクトホール 38 を介して接続される。第 2 の画素電極 32 は、窒化シリコン膜等から成る第 4 の保護絶縁膜 44 を介して一部分が第 1 の画素電極 31 の上層に形成される。すなわち、第 1 の画素電極 31 と第 2 の画素電極 32 が互いに積層する領域では第 4 の保護絶縁膜 44 を介して結合容量 Cc が形成される。

【0089】

また、第 2 の基板 22 はカラーフィルタであり、第 2 の透明基板 24 の液晶層 12 側には、ブラックマトリクス 61、着色層 62、オーバーコート 63、共通電極 33 が形成されており、第 2 の画素電極 32 を含む第 2 の開口部 26 には厚膜の着色層 62 が設けられている。なお、第 1 の開口部 25 においては、高透過率領域 27 を完全な無着色領域とせず、第 1 の透明基板 23 の、第 1 の画素電極 31 上でかつ、第 2 の画素電極 32 が覆っていない部分に対応する第 2 の透明基板 24 上に、第 2 の開口部 26 の着色領域 62 と比べて厚みが小さく、色純度の小さい着色層（薄い着色層）68 を設けた。第 2 の開口部 26 に設けられた着色層 62 と第 1 の開口部 25 の高透過率領域 27 に設けられた薄い着色層 68 の光の透過率を比較すると、第 2 の開口部 26 に設けられた着色層 62 の方が小さくなっている。

20

【0090】

なお、本実施形態の例では、着色層 62、及び高透過率領域 27 の薄い着色層 68 の色はグリーンである。

30

【0091】

また、第 1 の開口部 25 と第 2 の開口部 26 の境界にはブラックマトリクス 61 が形成されている。このブラックマトリクス 61 は着色層 62 と高透過率領域 27 の薄い着色層 68 の段差部に配置されており、第 1 の基板 21 側の第 1 の画素電極 31 と第 2 の画素電極 32 の境界線と対向する位置に設けられている。

【0092】

この液晶表示素子の構成が上述した第 1 の実施形態の構成と大きく異なるところは、第 1 の画素電極 31 と制御電極 34 が一体形成されており、第 1 の画素電極 31 と第 2 の画素電極 32 が異層に形成される点である。

40

【0093】

したがって、画素電極は、TFT39 のソース電極 46 と電氣的に接続する第 1 の画素電極 31 と、第 1 の画素電極 31 との間に容量を形成する第 2 の画素電極 32 とで構成されている。

【0094】

また、グリーンドット 93 のみに第 1 の開口部 25 と第 2 の開口部 26 を設けた構成のため、図 12 からわかるように、レッドドット 92 とブルードット 94 は高透過率領域 27 を有していない。

【0095】

50

さらに、図 9 に示すように第 1 の開口部 2 5 と第 2 の開口部 2 6 の境界領域にブラックマトリクス 6 1 を設けると、第 1 の画素電極 3 1 と第 2 の画素電極 3 2 の境界で発生するディスクリネーションを隠すことができるため、光漏れを低減でき効果的にコントラストを向上させることができる。

【 0 0 9 6 】

なお、本実施形態の説明では、図 9 に示すように、グリーンドット 9 3 のみ、第 1 の開口部と第 2 の開口部を有する構成としたが、レッドドット 9 2 及びブルードット 9 4 も上述したグリーンドット 9 3 と同様な構成としてもかまわない。

【 0 0 9 7 】

[実施形態 3]

本発明に係る液晶表示素子の第 3 の実施形態について説明する。

【 0 0 9 8 】

図 1 3 は本発明に係る液晶表示素子の第 3 の実施形態のドットの断面の概略図である。図 1 4 は本発明に係る液晶表示素子の第 3 の実施形態の電圧 - 透過率特性を示すグラフである。なお、上述の実施形態と同一のものについては説明を省略する。

【 0 0 9 9 】

本実施形態の液晶表示素子は、横電界駆動方式の液晶表示パネルである。共通電極 3 3 及び第 1 の画素電極 3 1 はいずれも櫛歯形状をしており、各電極の櫛歯はいずれもゲート線（図示せず）と平行に延びている。さらに、共通電極 3 3 と第 1 の画素電極 3 1 の櫛歯は相互に噛み合うように、かつ、共通電極 3 3 と第 1 の画素電極 3 1 の櫛歯が相互に隔置

【 0 1 0 0 】

共通電極 3 3 と第 1 の画素電極 3 1 に挟まれた領域をコラム、また、共通電極 3 3 と第 1 の画素電極 3 1 との対を電極対、電極の幅と電極間の幅の合計を電極ピッチと以下称する。

【 0 1 0 1 】

第 1 の開口部 2 5 における共通電極 3 3 と画素電極 3 1 との電極間隔 8 1 は、第 2 の開口部 2 6 における共通電極 3 3 と第 1 の画素電極 3 1 との電極間隔 8 2 より大きく構成される。すなわち、第 1 の開口部 2 5 と第 2 の開口部 2 6 は画素ピッチが異なる構成である。

【 0 1 0 2 】

共通電極 3 3 及び第 1 の画素電極 3 1 は I T O で構成した。対向基板（第 2 の基板）2 2 には第 2 の透明基板 2 4 にカラーフィルタとして機能するための着色層 6 2 が設けられている。なお、C O T 技術を用いて着色層 6 2 を第 1 の基板 2 3 に設けても本発明の効果に変わりはない。

【 0 1 0 3 】

またドット反転駆動を適用して動作させる場合、共通電極 3 3 の電圧は基本的に一定であるため共通電極 3 3 上の液晶は駆動されない。このためノーマリブラック方式を採用すれば、共通電極 3 3 は遮光層の役割も果たすことになるため、ブラックマトリクス 6 1 の領域の面積を低減できる。ただし、共通電極 3 3 が金属であると強い外光に対する反射が無視できなくなるため、共通配線の反射率が低いことが重要である。

【 0 1 0 4 】

第 1 の開口部 2 5 、第 2 の開口部 2 6 とともに横電界により液晶分子が駆動する。本実施形態の液晶表示素子においては、ゲート線 4 8 （図 3 及び図 9 参照）を介して供給される走査用信号により選択され、かつ、データ線 4 9 （図 3 及び図 9 参照）を介して供給されるデータ信号が書き込まれた画素において、共通電極 3 3 と第 1 の画素電極 3 1 との間で、第 1 の透明基板 2 3 に平行な電界を生じさせ、この電界に従って液晶分子の配向方向を第 1 の透明基板 2 3 と平行な平面内において回転させ、所定の表示が行われる。

【 0 1 0 5 】

共通電極 3 3 と第 1 の画素電極 3 1 とはいずれも第 3 の保護絶縁膜 4 3 上に形成されて

10

20

30

40

50

いる。このように、共通電極 33 と第 1 の画素電極 31 とを同層上に形成することにより、共通電極 33 と第 1 の画素電極 31 とを同一工程において、かつ、同一材料で形成することができ、製造効率を向上させることができる。

【0106】

これ以外の構成は、上述した第 1 の実施形態または第 2 の実施形態と略同様である。

【0107】

本実施形態における作用を説明する。横電界駆動方式において、液晶分子が駆動する閾値電圧 V_c は以下の数式で表すことができる。

【0108】

【数 3】

$$V_c = (\pi \cdot L / d) \cdot \sqrt{K_{22} / \epsilon_0 \cdot \Delta \epsilon}$$

10

【0109】

L ：電極間隔、 d ：セルギャップ、 K_{22} ：弾性定数（ツイスト）、 ϵ_0 ：真空中の誘電率、 $\Delta \epsilon$ ：誘電率異方性である。

【0110】

数式 3 から閾値電圧 V_c は電極間隔に比例することがわかる。したがって、第 1 の開口部 25 の電極間隔 81 は、第 2 の開口部 26 の電極間隔 82 より大きいため、第 1 の開口部の光の透過率特性に関する閾値電圧 V_{th1} の方が、第 2 の開口部の光の透過率特性に関する閾値電圧 V_{th2} よりも相対的に大きくなる。

20

【0111】

本実施形態における液晶表示素子の一例では、第 1 の開口部 25 の開口率は 28%、第 2 の開口部 26 の開口率は 12% で、着色層 62 の光の透過率は 40%、平行偏光板の光の透過率は 44% であった。

【0112】

図 14 は本実施形態の液晶表示素子の電圧 - 透過率特性を示すグラフである。本実施形態における液晶表示素子では、階調を調整（ γ 調整）する場合に白表示（255 / 255 階調）を液晶表示パネルの光の透過率のピークである 4.5 V に設定し、0.5 V - 4 V を中間階調へ設定した。これにより、白表示時には、高透過率領域 27 を透過した光を効率的に利用し、液晶表示パネルの正面輝度を向上できる。また、中間階調を表示する場合においては、高透過率領域 27 を透過した光が小さい電圧値を適用し、着色層 62 を透過した光を効率的に利用するため、色味の変化や色度低下を最小限に抑えて表示することができる。

30

【0113】

まず、白表示状態の光の透過率について説明する。高透過率領域 27 を設けず着色領域 28 のみでカラーフィルタを構成した例を計算すると、白表示状態の液晶表示パネルの光の透過率は 5.6% である。一方、本実施形態においては、白表示状態の液晶表示パネルの光の透過率は 7.8% であり、着色領域 28 のみの場合に比べて液晶表示パネルの光の透過率を 1.39 倍向上させることができる。つまり、高透過率領域 27 により光が効率良く液晶表示パネルを透過するため、白表示状態での液晶表示パネルの光の透過率を大きく向上させることができる。これにより、正面輝度、コントラストを大きくできるため、視認性に優れた液晶表示パネルを提供できる。また、光液晶表示パネルの光の透過率を大きくできるため、バックライトの消費電力を小さくでき、モジュールを低消費電力化できる。

40

【0114】

本実施例では、上述したように、第 1 の開口部 25 の光の透過率特性に関する閾値電圧 V_{th1} の方が第 2 の開口部 26 の光の透過率特性に関する閾値電圧 V_{th2} よりも相対的に大きくなるため、第 1 の開口部 25 の $V - T$ 特性カーブは、第 2 の開口部 26 の $V - T$ 特性カーブよりも + X 軸方向（高電圧側）へシフトすることがわかる。液晶表示パネル

50

の光の透過率は、高透過率領域 27 を有する第 1 の開口部 25 と着色領域 28 を有する第 2 の開口部 26 とからの光の透過率の和になる。そのため、第 1 の開口部 25 の光の透過率変化に関する閾値電圧 V_{th1} より大きい電圧では光の透過率を大きくすることができ、高輝度にできる。中間階調電圧においては、第 1 の開口部 25 での光の透過率は小さくなる。しかし、第 2 の開口部 26 の光の透過率変化に関する閾値電圧 V_{th2} が第 1 の開口部の光の透過率変化に関する閾値電圧 V_{th1} より低電圧側にシフトしているため、第 2 の開口部 26 においては光の透過率を保つことができる。したがって、着色領域 28 を透過した光の輝度を大きく、高透過率領域 27 を透過した光の輝度を小さくできるため、高透過率領域 27 からの無色光による色味の低減を小さくすることができ、さらに、中間階調電圧を幅広く設定できることから、細かな色の違いも表現できる。中間階調電圧よりも低い電圧を印加すれば、第 2 の開口部 26 から光が透過しなくなるので、低輝度へ飽和、つまり黒を表示することができる。

10

【0115】

次に、中間階調表示の画質について説明する。従来の第 1 の開口部 25 と第 2 の開口部 26 での $V-T$ 特性が同じである場合、中間階調を表示する際に高透過率領域 27 を透過した光の成分を分離できず、無色の光の成分が多く混ざるため、色味の変化や色度低下、画質劣化が生じる。一方、本実施形態によれば、中間階調において高透過率領域 27 から透過した光の寄与を低減できるため、中間階調で画質低下することのない高品質な表示素子を提供できる。

【0116】

20

また、本実施形態の液晶表示素子はノーマリブラックであり、黒表示は従来の液晶表示パネルと同等の品質であるため、液晶表示パネルの光の透過率の向上によってコントラストも向上できる。

【0117】

したがって、本実施形態における液晶表示素子は、中間階調における表示劣化を低減しつつ、同時に、白表示状態の光の透過率を大きく向上した。これにより、表面輝度が大きく視認性に優れた液晶表示素子を提供できる。

【0118】

コラム数（櫛歯電極の数）、電極ピッチは本実施形態に限ることなく、画素サイズに応じて適宜、設定すればよい。また、電極材料は金属で形成してもよく、特に高精細かつ高精度にパターニング加工できるものが望ましい。高精度にパターニングすることによって同層の電極間でのショートを防ぎ、歩留りを向上できる。

30

【0119】

共通電極 33 の端部はデータ線 49 の端部より第 1 の画素電極 31 に近くし、第 2 の基板 22 側から見たときにデータ線 49 を完全に覆うようにすることで、データ線 49 から発生する電界を第 1 の画素電極 31 に対して遮蔽している。このため表示電圧が他画素の表示電圧によって乱される縦クロストークを防ぐことができる。

【0120】

共通電極 33 は、低抵抗の金属で形成してもよく、ITO の一部に金属を積層させて低抵抗化してもよい。共通電極 33 を低抵抗化することにより共通電位の遅延を低減し、信号ノイズを低減できるため、横クロストークの発生を抑制できる。抵抗値は画面のサイズに応じて適宜設定することが望ましい。

40

【0121】

縦クロストーク及び横クロストークの発生が抑制されることに伴い、データ線 49 及びゲート線 48 からの漏れ電界に起因して発生する表示不良を防止するためのブラックマトリクス 61 を設ける必要がなくなる。従って、ブラックマトリクス 61 はコントラストの改善のためにのみ形成すればよいこととなり、ブラックマトリクス 61 の幅を短縮または削除することが可能である。ブラックマトリクス 61 の幅を短縮または削除することに伴い、液晶表示素子の開口率を大きくすることができる。また、第 1 の基板 21 と第 2 の基板 22 の重ねずれに対してのマージンを大きくでき、歩留りを向上できる。

50

【 0 1 2 2 】

また、共通電極 3 3 は、コンタクトホールを介して共通容量線 5 0 へ電氣的に接続してもよい。共通容量線 5 0 へ接続することにより、低抵抗化され、共通電位（COM 電位）の遅延を低減できる。これにより、フリッカやノイズを低減した表示品質に優れた液晶表示素子を提供できる。

【 0 1 2 3 】

[実施形態 4]

本発明に係る液晶表示素子の第 4 の実施形態について説明する。

【 0 1 2 4 】

図 1 5 は本発明に係る液晶表示素子の第 4 の実施形態を示す第 1 の基板 2 3 側のドットレイアウトの平面の概略図であり、図 1 6 は図 1 5 の D - D ' 方向の断面の概略図である。なお、図 1 6 には第 1 の基板 2 3 だけでなく、対向基板（第 2 の基板）2 4 も記載している。本発明の第 5 の実施形態は、フリンジ・フィールド・スイッチング（FFS）方式を適用した液晶表示素子である。また、上述の実施形態と同一のものについては説明を省略する。

10

【 0 1 2 5 】

図 1 6 に示すように、第 1 の開口部 2 5、第 2 の開口部 2 6 において第 1 の画素電極 3 1 と共通電極 3 3 とが第 4 の保護絶縁膜 4 4 を介して配置されている。第 1 の開口部 2 5 では、画素電極 3 1 と共通電極 3 3 とは保護絶縁膜を介して互いに対向せず、画素電極 3 1 は隣り合う共通電極 3 3 の間に配置されている。また、第 2 の開口部 2 6 では、画素電極 3 1 は第 2 の開口部 2 6 の全面を覆うように配置されており、第 1 の画素電極 3 1 の上には第 4 の保護絶縁膜 4 4 を介して共通電極 3 3 が配線されている。

20

【 0 1 2 6 】

図 1 5 及び図 1 6 に示すように、第 1 の画素電極 3 1 は TFT 3 9 のソース電極 4 6 と電氣的に接続しており、また、第 4 の保護絶縁膜 4 4 上では、共通電極 3 3 が隣接したドットと電氣的に接続しており、格子状のネットワークを形成している。

【 0 1 2 7 】

これ以外の構成は、上述した第 3 の実施形態と略同様である。

【 0 1 2 8 】

第 1 の開口部 2 5 では、電極間隔が大きいため、液晶 1 2 へ印加される電界は小さく、液晶を駆動するための閾値電圧が大きくなる。一方、第 2 の開口部 2 6 では、第 4 の保護絶縁膜 4 4 のみを介して電界を印加するため、効率良く液晶へ電界印加でき、液晶駆動電圧の閾値が小さい。

30

【 0 1 2 9 】

したがって、ノーマリブラック方式であれば、第 3 の実施形態と同様に、本実施形態における液晶表示素子は、中間階調における表示劣化を低減しつつ、同時に、白表示状態での光の透過率を大きく向上させることができる。これにより、表面輝度が大きく視認性に優れた液晶表示素子を提供できる。

【 0 1 3 0 】

[実施形態 5]

本発明に係る液晶表示素子の第 5 の実施形態について説明する。

40

【 0 1 3 1 】

図 1 7 は本発明に係る液晶表示素子の第 5 の実施形態を示すドットの断面の概略図、図 1 8 は本発明に係る液晶表示素子の第 5 の実施形態の等価回路を示す図である。なお、上述の実施形態と同一のものについては説明を省略する。

【 0 1 3 2 】

本実施形態は、TN 方式の液晶表示素子である。図 1 7 に示すように、第 2 の基板 2 2 には、ブラックマトリクス 6 1、共通電極 3 3、着色層 6 2 及び平坦化効果のあるオーバーコート 6 3 が積層して設けられている。着色層 6 2 は、共通電極 3 3 よりも液晶層 1 2 側に設けられている。また第 1 の開口部 2 5 には高透過率領域 2 7 が設けられ、第 2 の開

50

口部 2 6 には着色層 6 2 により着色領域 2 8 が設けられている。

【 0 1 3 3 】

第 1 の基板 2 1 においては、スイッチング素子である T F T 3 9 を介して第 1 の画素電極 3 1 が電氣的に接続されている。第 1 の画素電極 3 1 は、第 1 の開口部 2 5、及び第 2 の開口部 2 6 にまたがって形成されており、共通の画素電極となっている。本実施形態において、第 1 の開口部 2 5、及び第 2 の開口部 2 6 の画素電極 3 1 は同層に形成されているため一体形成することが可能である。

【 0 1 3 4 】

これ以外は、上述した第 1 の実施形態、及び第 2 の実施形態と略同様である。

【 0 1 3 5 】

着色層 6 2 の材料は誘電率を有する誘電体であるため、共通電極 3 3 に付加容量を与える。第 1 の開口部 2 5 では着色層 6 2 がないため、第 1 の開口部 2 5 に対応する共通電極 3 3 の付加容量 $C1cf$ と、第 2 の開口部に対応する共通電極 3 3 の付加容量 $C2cf$ の関係は以下ようになる。

【 0 1 3 6 】

(第 1 の開口部 2 5 の共通電極 3 3 付加容量 $C1cf$) < (第 2 の開口部 2 6 の共通電極 3 3 付加容量 $C2cf$)。

【 0 1 3 7 】

したがって、第 2 の開口部 2 6 における付加容量の方が大きいため、第 2 の開口部 2 6 では第 1 の開口部 2 5 よりも V - T 特性の光の透過率変化に関する閾値電圧が大きくなる。これにより、第 1 の開口部と第 2 の開口部では V - T 特性に差が生じるため、第 1 の実施形態と同様の効果 (図 6 参照) を得ることができる。

【 0 1 3 8 】

本実施形態によれば、第 1 の基板 2 1 側の画素電極を増やすことなく第 1 の実施形態と同様の効果を得ることができるため、工程歩留りを向上でき、低コスト化が可能である。また、高透過率領域 2 7 としてスルーホールを形成するだけでよく、省プロセス化できる。さらに、結合容量を付加するための領域をドット内に個別に設ける必要がないため、高開口率にレイアウトしやすく、高い光の透過率を得ることができる。

【 0 1 3 9 】

また、第 2 の基板 2 2 の液晶層 1 2 側に平坦化膜を設けてもよい。本実施形態では、着色層 6 2 の誘電率を効果的に利用するため、平坦化膜の誘電率は、着色層 6 2 の誘電率よりも小さいことが望ましい。

【 0 1 4 0 】

[実施形態 6]

本発明に係る液晶表示素子の第 6 の実施形態について説明する。

【 0 1 4 1 】

図 1 9 は本発明に係る液晶表示素子の第 6 の実施形態のドットの上面図である。図 2 0 は、図 1 9 の A - A ' 方向の断面の概略図である。上述の実施形態と同一のものについては説明を省略する。

【 0 1 4 2 】

図 1 9 及び図 2 0 に示すように、第 1 の開口部 2 5 には高透過率領域 2 7 として、面積が小さいスルーホールが、第 1 の開口部 2 5 の領域内に分散して複数配置されている。

【 0 1 4 3 】

これ以外は、上述した第 1 の実施形態及び第 2 の実施形態と略同様である。

【 0 1 4 4 】

上述の他の実施形態のように、スルーホールをゲート線の延びる方向へ沿ったスリット状にした場合、液晶表示パネルを上面から観察するとデータ線 4 9 の延びる方向に沿った横ストライプ状の模様となる。そのため、スルーホールを透過した光が縦縞模様として観察されて表示品質が低下する。しかし、本実施形態によれば、スルーホールを透過した光は、分散配置された微小スルーホールによって分散されて出射されるため縦縞模様を視認

10

20

30

40

50

し難くし、画質を向上できる。第1の開口部25の領域内に複数設けられた小面積の微小スルーホールのパターンは任意の形状でよく、第1の開口部25の領域内でムラ無く均等に分散して配置されていれば良い。スルーホールのサイズや数は液晶表示パネルの画素サイズに応じて適宜、調整するのが望ましい。

【0145】

〔実施形態7〕

本発明に係る液晶表示素子の第7の実施形態について説明する。

【0146】

図21は本発明に係る液晶表示素子の第7の実施形態のドットの概略構成図である。図22は、図21のA-A'方向の断面の概略図である。上述の実施形態と同一のものについては説明を省略する。

10

【0147】

図21及び図22に示すように第1の開口部25に設けられた高透過率領域27は、半径rの円形のスルーホールとして形成されている。この円形のスルーホールは、特定の面積を有するように決まっているわけではないので、半径rの大きさを適宜調整することで、円形のスルーホールの面積を変化させてよく、また、バックライトの輝度分布に応じて複数の円形のスルーホールを第1の開口部25内に分布させてもよい。

【0148】

これ以外は、上述した第1の実施形態、及び第2の実施形態と略同様である。

【0149】

20

前述のように第1の開口部25に形成したスルーホールは、着色領域28と比べてバックライト光源の光透過効率が非常に大きいため、透過光のムラが顕著に現れる。この透過光のムラは、特に、白表示時に強調され、バックライト光源の輝度ムラを視認されやすく、表示品質が低下する。

【0150】

特に、白色発光ダイオード(LED: Light Emitting Diode)を導光板の側部に取り付けしたサイド入射式(エッジライト方式)のバックライトでは、白色LED近傍の輝度ムラが発生しやすい。そのため、バックライト光源の白色LED近傍のスルーホールの面積は小さく、白色LEDから遠いバックライト光源の中央部分(両側入射の場合)もしくはバックライト光源の白色LEDと反対側のサイド(片側入射の場合)ではスルーホールの面積を大きく設定することにより、バックライト光源のムラを低減でき、表示品質に優れた液晶表示素子を提供することができる。

30

【0151】

また、図19に示した第1の開口部25に複数の微小スルーホールを設ける場合についても、バックライト光源の輝度ムラに応じて、微小スルーホールの個数もしくはサイズを液晶表示パネル内で分布をさせることにより、同様に輝度ムラを低減することができる。例えば、サイド入射式のバックライトではLEDの配置によって生じる輝度分布(輝度ムラ)が発生するが、1ドット内に配置されるスルーホールの個数や面積を調整し、上述のバックライトの輝度分布に応じて画素毎に最適化が可能である。LED近傍の領域ではスルーホール密度を小さく、LEDから遠い部分ではスルーホールの密度を大きくすることで、LED(バックライト)側では光が液晶表示パネルから透過しにくく、LEDから遠い部分では光が液晶表示パネルから透過しやすくなる。そのため、液晶表示パネルの表面から出射される輝度の分布を均一化することができる。なお、バックライトに搭載されるLEDは白色LEDに限らず、レッド色、グリーン色、及びブルー色のLEDを組み合わせたバックライトであっても良い。

40

【0152】

スルーホールの形状は特定の形に制限されず、各画素のスルーホールの面積が、液晶表示パネルの面内において、光源の輝度のムラに応じた面分布をもっていれば良い。また、様々な形状を組み合わせて構成されていても良く、画素レイアウトに応じて設定すればよい。これにより、画素が正方形以外の特殊な画素形状である場合であってもスルーホール

50

を効率よく配置でき、開口率を向上することができる。

【 0 1 5 3 】

[実施形態 8]

本発明に係る液晶表示素子を使用した液晶表示装置の一例として、プロジェクタ装置について説明する。

【 0 1 5 4 】

図 2 3 に、本発明に係る液晶表示素子を使用した表示装置の一例である、プロジェクタ装置の概略構成図を示す。本発明に係るプロジェクタ装置は、上述の第 1 の実施形態から第 7 の実施形態のいずれかの液晶表示素子を適用したプロジェクタ装置である。

【 0 1 5 5 】

図 2 3 に示すように、本発明に係るプロジェクタ装置 7 4 は、光源 7 0 と、凹凸レンズ 7 1 と、フレネルレンズ 7 2 と、液晶表示素子 1 1 と、投射レンズ 7 3 とから構成される単板式のプロジェクタ装置である。

【 0 1 5 6 】

光源 7 0 には、例えば、ハロゲンランプ、キセノンランプ、メタルハライドランプ、及び超高圧水銀ランプ (U H E ランプ) が用いられる。また、 L E D を適用してもよい。

【 0 1 5 7 】

光源 7 0 から出射された光は、凹凸レンズ 7 1、フレネルレンズ 7 2 により集光されて液晶表示素子 1 1 へ入射される。このとき液晶表示素子 1 1 は、光が液晶表示素子 1 1 の第 2 の基板 2 2 側から入射するように配置している。プロジェクタ光源 7 0 からの出射された光の輝度は非常に強力であり、光源 7 0 から出射された光が直接 T F T 3 9 へ照射された場合、光リークが発生しやすい。本実施形態に適用する液晶表示素子 1 1 において、T F T 3 9 はブラックマトリクス 6 1 で覆われているため、第 2 の基板 2 2 側から入射することによりブラックマトリクス 6 1 で完全に遮光でき、T F T 3 9 の光リークを低減することができる。

【 0 1 5 8 】

液晶表示素子 1 1 を透過した光は、フレネルレンズ 7 2、投射レンズ 7 3 により光学調整されてプロジェクタ装置 7 4 から出射される。プロジェクタ装置 7 4 から出射された光は、スクリーンに投影して映像を表示することができる。

【 0 1 5 9 】

ブラックマトリクス 6 1 は光を反射する材料であることが望ましい。上記のように第 2 の基板 2 2 側から入射される光は、ブラックマトリクス 6 1 で吸収され、液晶表示パネル内部の温度が上がってしまうため液晶剤や着色材が劣化する。ブラックマトリクス 6 1 に反射材料を用いることにより熱の発生を低減でき信頼性を向上できる。また、ブラックマトリクス 6 1 と光源 7 0 の間に、ハーフミラーシートを設けて熱吸収を低減しても良い。また、ハーフミラーシートは偏光素子と一体となって構成され、液晶表示素子 1 1 の表面に配置しても良い。

【 0 1 6 0 】

上述した実施形態に記載した光の透過効率の高い液晶表示素子 1 1 を適用することにより、正面輝度、及びコントラストに優れたプロジェクタ装置 7 4 を提供することができる。また、光源の輝度を抑えることができるため、低消費電力化しやすく小型プロジェクタ装置に好適である。スルーホールを設けた高透過率領域 2 7 では、着色領域 2 8 と比べて光の吸収が小さいため熱の発生を低減できる。これにより、液晶表示パネル内の温度上昇を低減できるため、色層劣化による色度低下を抑制し、信頼性を向上できる。

【 0 1 6 1 】

本発明におけるプロジェクタ表示装置 7 4 の光学系は、本実施形態に限定されるものではなく、本発明に記載の液晶表示素子 1 1 を適用すれば、その他の光学系を用いても好適に適用できる。

【 0 1 6 2 】

特に、ハロゲンランプ、キセノンランプ、メタルハライドランプ等の点発光型の光源 7

10

20

30

40

50

0を用いる場合には、第6の実施形態に記載した液晶表示素子11のように、複数のスルーホールを分散させて用いることが好ましい。上述のような点発光型の光源は、光が中心から放射状に発散して出射されるため液晶表示パネルの平面に入射する際の面内輝度分布が大きく、特にプロジェクタ装置の表示画像は投影レンズにより拡大して投影されるため、液晶表示パネルからの出射光の輝度ムラが大きく強調されやすい。したがって、バックライト光源の輝度分布に応じてスルーホールを形成した液晶表示素子11を組み合わせ、表示品質を大きく向上させたプロジェクタ装置を提供できる。

【0163】

また、液晶駆動方式の例としては、横電界方式ではインプレイン・スイッチング（IPS）方式、フリンジ・フィールド・スイッチング（FFS）方式、アドヴァンスト・フリ
10
ンジ・フィールド・スイッチング（AFFS）方式等が挙げられる。また、垂直配向方式ではマルチドメイン化され視野角依存性が低減されたマルチドメイン・ヴァーティカル・アライメント（MVA）方式、パターンド・ヴァーティカル・アライメント（PVA）方式、アドヴァンスト・スーパー・ヴィ（ASV）方式等が挙げられる。更に、オプティカリー・コンペンセイティド・ベンド（OCB）方式、フィルム補償TN方式の液晶表示パネルも好適に使用することができる。

【0164】

本発明の液晶表示素子は、携帯電話、PDA（Personal Digital Assistant）、ゲーム機、デジタルカメラ、ビデオカメラ及びビデオプレーヤ等の
20
携帯端末装置の表示素子や、またはノートパソコン、キャッシュディスプレイ及び自動販売機等の端末装置の表示素子、またはプロジェクタや投影機などに好適に利用することができる。

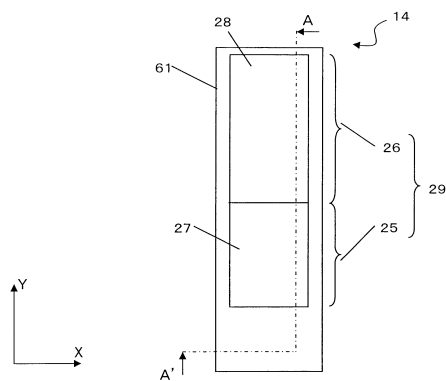
【符号の説明】

【0165】

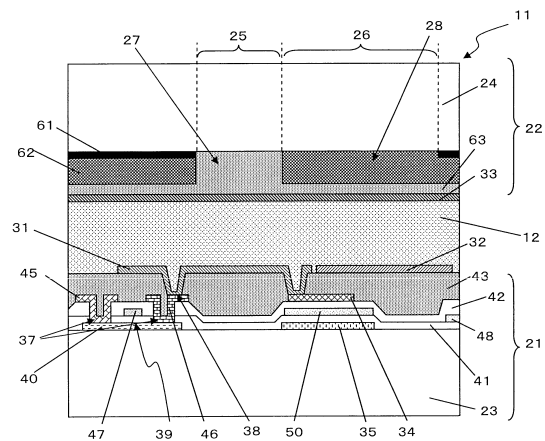
- | | | |
|----|--------------------|----|
| 11 | 液晶表示素子 | |
| 12 | 液晶層 | |
| 13 | 単位画素 | |
| 14 | ドット | |
| 15 | 第2のTFT | |
| 21 | 第1の基板 | 30 |
| 22 | 第2の基板 | |
| 23 | 第1の透明基板 | |
| 24 | 第2の透明基板 | |
| 25 | 第1の開口部 | |
| 26 | 第2の開口部 | |
| 27 | 光の透過率の高い領域（高透過率領域） | |
| 28 | 着色領域 | |
| 29 | 開口部 | |
| 31 | 第1の画素電極 | |
| 32 | 第2の画素電極 | 40 |
| 33 | 共通電極 | |
| 34 | 制御電極 | |
| 35 | 蓄積容量電極 | |
| 37 | 第1コンタクトホール | |
| 38 | 第2コンタクトホール | |
| 39 | TFT（スイッチング素子） | |
| 40 | 活性層、半導体層 | |
| 41 | 保護絶縁膜（第1の保護絶縁膜） | |
| 42 | 保護絶縁膜（第2の保護絶縁膜） | |
| 43 | 保護絶縁膜（第3の保護絶縁膜） | 50 |

- 4 4 保護絶縁膜（第４の保護絶縁膜）
- 4 5 ドレイン電極
- 4 6 ソース電極
- 4 7 ゲート電極
- 4 8 ゲート線
- 4 9 データ線
- 5 0 共通容量線
- 6 1 ブラックマトリクス
- 6 2 着色層
- 6 3 オーバーコート、平坦化膜
- 6 4 レッド色付領域
- 6 5 グリーン色付領域
- 6 6 ブルー色付領域
- 6 7 薄膜グリーン色付領域
- 6 8 薄い着色層
- 7 0 光源
- 7 1 凹凸レンズ
- 7 2 フレネルレンズ
- 7 3 投影レンズ
- 7 4 液晶プロジェクタ
- 8 1 第１の開口部の電極間隔
- 8 2 第２の開口部の電極間隔
- 9 2 レッド色ドット
- 9 3 グリーン色ドット
- 9 4 ブルー色ドット

【図１】



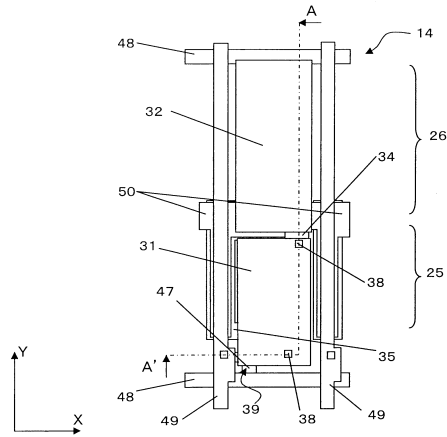
【図２】



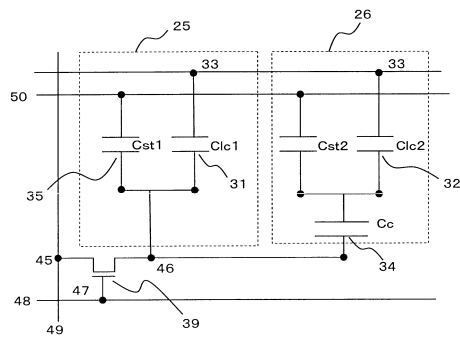
10

20

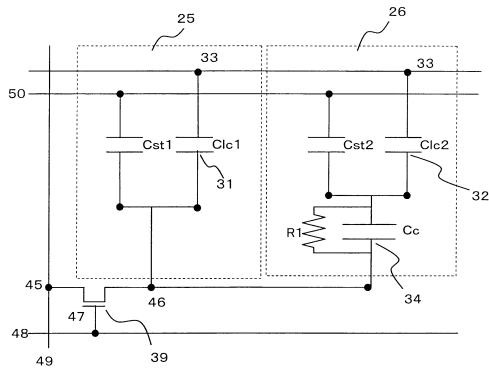
【図 3】



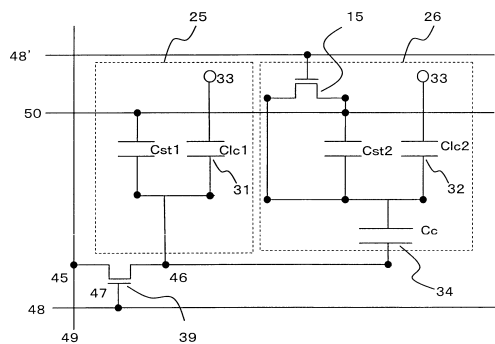
【図 4】



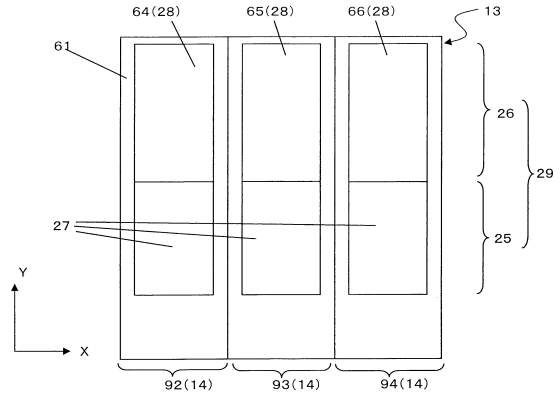
【図 7】



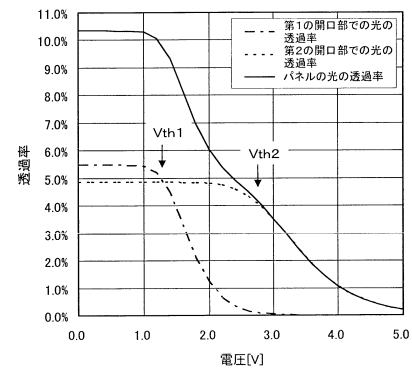
【図 8】



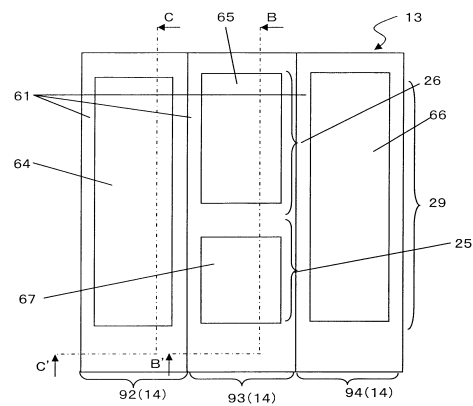
【図 5】



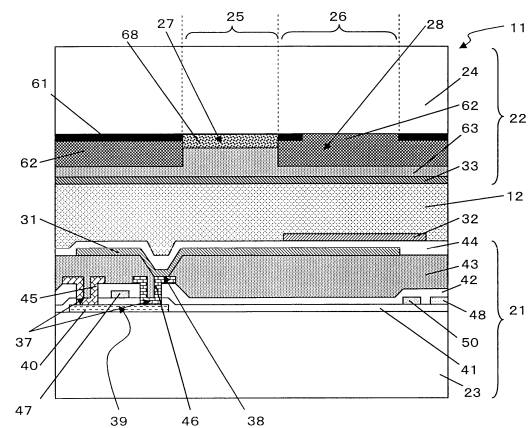
【図 6】



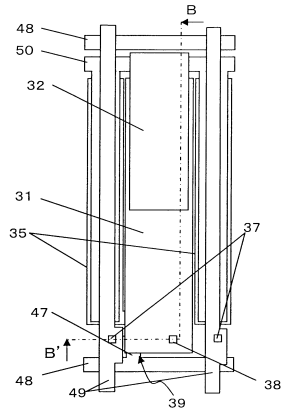
【図 9】



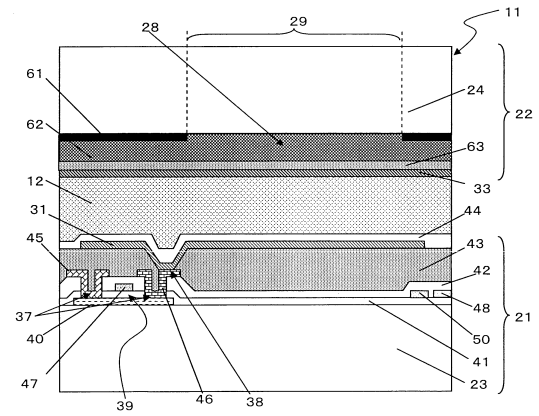
【図 10】



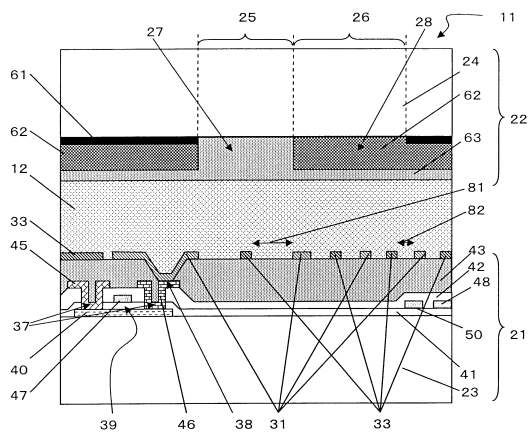
【図 1 1】



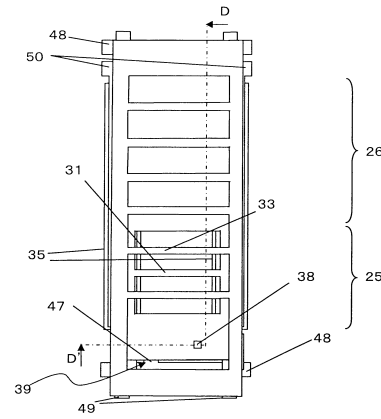
【図 1 2】



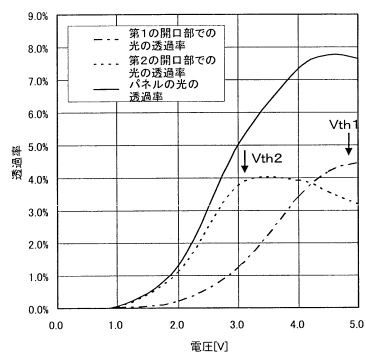
【図 1 3】



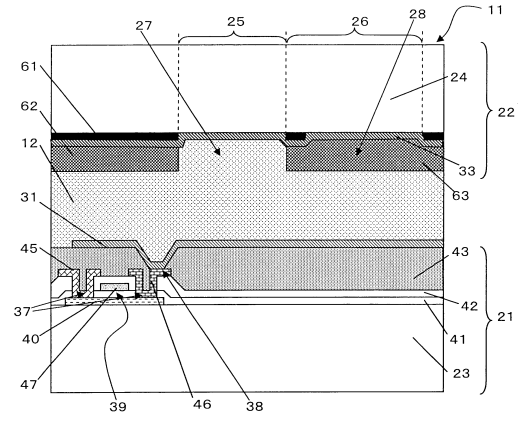
【図 1 5】



【図 1 4】

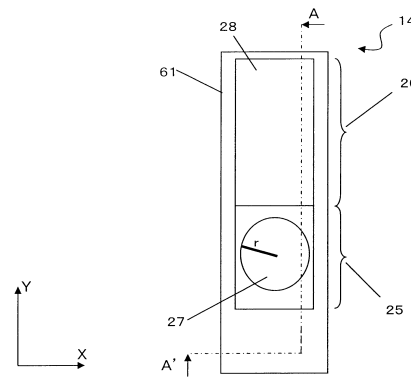


【 図 1 7 】

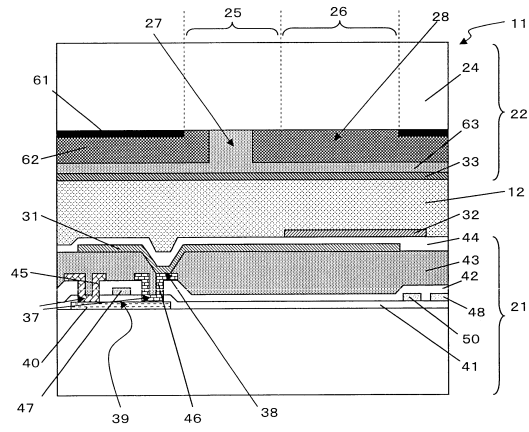


The diagram shows a differential signal processing circuit 20. It consists of two input nodes 25 and 26, which are connected to a common mode signal 48 and a differential mode signal 49. The circuit includes two capacitors Ccf1 and Ccf2, two capacitors Cst1 and Cst2, and two capacitors Clc1 and Clc2. The output nodes are 31 and 32.

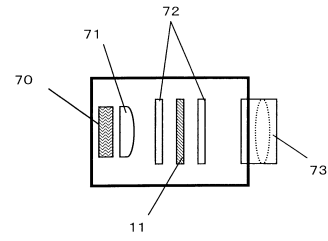
【 図 2 1 】



【図 22】



【図 23】



フロントページの続き

(72)発明者 高取 恵一

神奈川県川崎市中原区下沼部 1 7 5 3 番地 N E C 液晶テクノロジー株式会社内

(72)発明者 金子 節夫

神奈川県川崎市中原区下沼部 1 7 5 3 番地 N E C 液晶テクノロジー株式会社内

審査官 右田 昌士

(56)参考文献 特開平 0 4 - 3 4 8 3 2 3 (J P , A)

特開平 0 6 - 0 9 5 1 4 4 (J P , A)

特開 2 0 0 6 - 0 3 9 2 9 0 (J P , A)

特開 2 0 0 6 - 0 1 7 7 7 7 (J P , A)

特開平 0 8 - 2 8 6 1 7 8 (J P , A)

特開平 0 9 - 2 3 0 3 1 0 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 2 F 1 / 1 3 4 3

G 0 2 F 1 / 1 3 3 5

G 0 2 F 1 / 1 3 6 8

G 0 2 F 1 / 1 3 3 3

H 0 1 L 2 9 / 7 8 6