(19)国家知识产权局

(12)发明专利

(10)授权公告号 CN 114175211 B
(45)授权公告日 2025.05.20

(21)申请号 202080049131.2
(22)申请日 2020.07.03
(65)同一申请的已公布的文献号
申请公布号 CN 114175211 A
(43)申请公布日 2022.03.11
(30)优先权数据
16/514,235 2019.07.17 US
(85)PCT国际申请进入国家阶段日
2022.01.05
(86)PCT国际申请的申请数据
PCT/IB2020/056290 2020.07.03
(87)PCT国际申请的公布数据
WO2021/009606 EN 2021.01.21

(73)专利权人 国际商业机器公司
地址 美国纽约
(72)发明人 S·西埃格 D·J·德切尼 E·米勒
(74)专利代理机构 中国贸促会专利商标事务所有限公司 11038
专利代理师 申发振

(51)Int.Cl.
H01L 21/02(2006.01)
(56)对比文件
US 9490335 B1,2016.11.08
US 2018277481 A1,2018.09.27
审查员 石盼弟

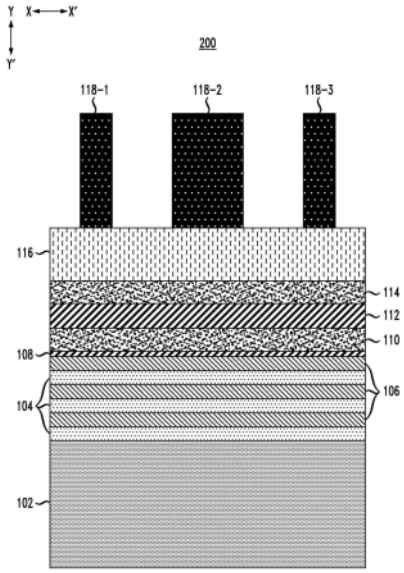
权利要求书3页 说明书11页 附图23页

(54)发明名称

纳米片的直接印刷和自对准双重图案化

(57)摘要

一种形成半导体结构的方法,包括在衬底之上形成包括牺牲材料和沟道材料的交替层的纳米片叠置体,沟道材料层为一个或多个纳米片场效应晶体管提供纳米片沟道。该方法还包括:在该纳米片叠层之上形成硬掩模叠置体;以及在该硬掩模叠置体之上形成图案化层。该方法进一步包括在该图案化层上方图案化光刻掩模,该光刻掩模限定(i)一个或多个第一区域,该一个或多个第一区域用于在该纳米片叠置体和该衬底中直接印刷具有第一宽度的一个或多个鳍状物;以及(ii)一个或多个第二区域,该一个或多个第二区域用于使用自对准双重图案化来设置在该纳米片叠置体和该衬底中的具有第二宽度的两个或更多个鳍状物之间的间隔。第二宽度小于第一宽度。



CN 114175211 B

1.一种形成半导体结构的方法,包括:

在衬底之上形成包括牺牲材料和沟道材料的交替层的纳米片叠置体,所述沟道材料的层为一个或多个纳米片场效应晶体管提供纳米片沟道;

在所述纳米片叠置体上方形成硬掩模叠置体;

在所述硬掩模叠置体之上形成图案化层;以及

在所述图案化层上图案化光刻掩模,所述光刻掩模限定:(i)一个或多个第一区域,所述一个或多个第一区域用于在所述纳米片叠置体和所述衬底中直接印刷具有第一宽度的一个或多个鳍状物,以及(ii)一个或多个第二区域,所述一个或多个第二区域用于使用自对准双重图案化来设置在所述纳米片叠置体和所述衬底中的具有第二宽度的两个或更多个鳍状物之间的间隔;

其中,所述第二宽度小于所述第一宽度。

2.根据权利要求1所述的方法,其中,所述光刻掩模在所述图案化层上被图案化,使得光刻材料覆盖所述一个或多个第一区域和所述一个或多个第二区域。

3.根据权利要求1所述的方法,其中,所述光刻掩模在所述图案化层上被图案化,使得光刻材料暴露所述一个或多个第一区域和所述一个或多个第二区域。

4.根据权利要求1所述的方法,其中所述硬掩模叠置体包括衬垫氧化物层和在所述衬垫氧化物层之上的氮化物-氧化物-氮化物硬掩模叠置体。

5.根据权利要求1所述的方法,其中所述图案化层包含非晶硅(a-Si)。

6.根据权利要求2所述的方法,进一步包括:

蚀刻由所述光刻掩模暴露的所述图案化层的部分,以形成多个图案化心轴;以及

去除所述光刻掩模。

7.根据权利要求6所述的方法,进一步包括:

在所述多个图案化心轴和所述硬掩模叠置体的顶表面的通过蚀刻所述图案化层的由所述光刻掩模暴露的部分而暴露的部分上沉积间隔体材料;以及

回蚀刻间隔体材料以从多个图案化心轴的顶表面去除间隔体材料并且从硬掩模层的顶表面的部分去除间隔体材料,留下围绕多个图案化心轴的侧壁间隔体。

8.根据权利要求7所述的方法,还包括:形成第一阻挡掩模,所述第一阻挡掩模覆盖所述多个图案化心轴的至少第一子组和围绕所述多个图案化心轴的所述第一子组的所述侧壁间隔体,并且暴露所述多个图案化心轴的至少第二子组和围绕所述多个图案化心轴的所述第二子组的所述侧壁间隔体,其中,所述多个图案化心轴的所述第一子组提供所述第一宽度的一个或多个鳍状物的直接印刷,并且所述多个图案化心轴的所述第二子组提供用于设定所述第二宽度的所述两个或更多个鳍状物之间的所述间隔的自对准双重图案化。

9.根据权利要求8所述的方法,进一步包括:

去除所述多个图案化心轴的所述第二子组,留下包围所述多个图案化心轴的所述第二子组的所述侧壁间隔体;以及

去除所述第一阻挡掩模。

10.根据权利要求9所述的方法,还包括:形成第二阻挡掩模,所述第二阻挡掩模覆盖包围所述多个图案化心轴的所述第二子组的所述侧壁间隔体并且暴露所述多个图案化心轴的所述第一子组和包围所述多个图案化心轴的所述第一子组的所述侧壁间隔体。

11.根据权利要求10所述的方法,进一步包括:

去除包围由所述第二阻挡掩模暴露的所述多个图案化心轴的所述第一子组的所述侧壁间隔体;以及

去除所述第二阻挡掩模。

12.根据权利要求11所述的方法,进一步包括:蚀刻所述硬掩模叠置体、所述纳米片叠置体和所述衬底的至少一部分,以在所述多个图案化心轴的所述第一子组下方形成具有所述第一宽度的所述一个或多个鳍状物,并且在剩余的侧壁间隔体下方形成具有所述第二宽度的所述一个或多个鳍状物。

13.根据权利要求3所述的方法,进一步包括:

蚀刻由所述光刻掩模暴露的所述图案化层的部分,以形成多个图案化心轴;以及

去除所述光刻掩模。

14.根据权利要求13所述的方法,进一步包括:

在所述硬掩模叠置体的顶表面的通过蚀刻所述图案化层的由所述光刻掩模暴露的部分而暴露的部分上沉积氧化物材料;以及

回蚀刻氧化物材料以在多个图案化心轴之间的硬掩模叠置体的顶表面之上形成多个氧化物心轴。

15.根据权利要求14所述的方法,还包括:形成覆盖所述多个氧化物心轴的至少第一子组并暴露所述多个氧化物心轴的至少第二子组的阻挡掩模,其中所述多个氧化物心轴的第一子组提供第一宽度的一个或多个鳍状物的直接印刷,并且所述多个氧化物心轴的第二子组提供用于设定所述第二宽度的两个或更多个鳍状物之间的间距的自对准双重图案化。

16.根据权利要求15所述的方法,进一步包括:

去除所述多个氧化物心轴的所述第二子组;以及

去除所述阻挡掩模。

17.根据权利要求16所述的方法,进一步包括:

在所述硬掩模叠置体的所述顶表面的通过去除所述多个氧化物心轴的所述第二子组而暴露的部分上方以及在所述多个氧化物心轴的所述第一子组和所述多个图案化心轴的顶表面上方形成间隔材料;以及

回蚀刻所述间隔体材料以形成与通过去除所述多个氧化物心轴的所述第二子组而暴露的所述多个图案化心轴的侧壁相邻的侧壁间隔体。

18.根据权利要求17所述的方法,还包括去除所述多个图案化心轴。

19.根据权利要求18所述的方法,进一步包括:蚀刻所述硬掩模叠置体、所述纳米片叠置体和所述衬底的至少一部分,以在所述多个氧化物心轴的所述第一子组下方形成具有所述第一宽度的所述一个或多个鳍状物,并且在所述侧壁间隔体下方形成具有所述第二宽度的所述一个或多个鳍状物。

20.一种半导体结构,包括:

衬底;

布置在所述衬底之上的纳米片叠置体,所述纳米片叠置体包括牺牲材料和沟道材料的交替层,沟道材料的层为一个或多个纳米片场效应晶体管提供纳米片沟道;

布置在所述纳米片叠置体之上的硬掩模叠置体;

图案化层,所述图案化层布置在所述硬掩模叠置体上方;以及

布置在所述图案化层之上的光刻掩模,所述光刻掩模限定:(i)一个或多个第一区域,所述一个或多个第一区域用于在所述纳米片叠置体和所述衬底中直接印刷具有第一宽度的一个或多个鳍状物;以及(ii)一个或多个第二区域,所述一个或多个第二区域用于使用自对准双重图案化来设置在所述纳米片叠置体和所述衬底中的具有第二宽度的两个或更多个鳍状物之间的间隔;

其中,所述第二宽度小于所述第一宽度。

21.根据权利要求20所述的半导体结构,其中所述光刻掩模覆盖所述一个或多个第一区域和所述一个或多个第二区域。

22.根据权利要求20所述的半导体结构,其中所述光刻掩模暴露所述一个或多个第一区域和所述一个或多个第二区域。

23.如权利要求20所述的半导体结构,其中,在所述第一宽度的所述一个或多个鳍状物上的所述纳米片叠置体提供用于n型纳米片场效应晶体管的沟道,并且被布置在所述第二宽度的所述一个或多个鳍状物上的所述纳米片叠置体提供用于p型纳米片场效应晶体管的沟道。

纳米片的直接印刷和自对准双重图案化

技术领域

[0001] 本申请涉及半导体,并且更具体地涉及用于形成半导体结构的技术。

背景技术

[0002] 半导体和集成电路芯片在许多产品中已经变得普遍存在,尤其是当它们继续降低成本和尺寸时。持续期望减小结构特征的尺寸和/或为给定芯片尺寸提供更大量的结构特征。通常,小型化允许在较低功率电平和较低成本下提高性能。本技术处于或接近诸如逻辑门、场效应晶体管(FET)和电容器的某些微型器件的原子级缩放。

发明内容

[0003] 本发明的实施例提供用于使用同一掩模形成直接印刷和自对准双重图案化纳米片两者的技术。

[0004] 在本发明的一个方面,一种形成半导体结构的方法包括:在衬底之上形成包括牺牲材料和沟道材料的交替层的纳米片叠置体,这些沟道材料层提供用于一个或多个纳米片场效应晶体管的纳米片沟道。该方法还包括:在该纳米片叠层之上形成硬掩模叠置体;以及在该硬掩模叠置体之上形成图案化层。该方法进一步包括在该图案化层上方图案化光刻掩模,该光刻掩模限定(i)一个或多个第一区域,该一个或多个第一区域用于在该纳米片叠置体和该衬底中直接印刷具有第一宽度的一个或多个鳍状物;以及(ii)一个或多个第二区域,该一个或多个第二区域用于使用自对准双重图案化来设置在该纳米片叠置体和该衬底中的具有第二宽度的两个或更多个鳍状物之间的间隔。第二宽度小于第一宽度。

[0005] 在另一方面中,一种形成半导体结构的方法包括:在衬底之上形成包括牺牲材料和沟道材料的交替层的纳米片叠置体,所述沟道材料的层为一个或多个纳米片场效应晶体管提供纳米片沟道。该方法还包括:在该纳米片叠层之上形成硬掩模叠置体;以及在该硬掩模叠置体之上形成图案化层。该方法进一步包括在该图案化层上方图案化光刻掩模,该光刻掩模覆盖(i)该图案化层的顶表面的一个或多个第一区域,该一个或多个第一区域用于在该纳米片叠置体和该衬底中直接印刷具有第一宽度的一个或多个鳍状物,以及(ii)使用自对准双重图案化来设置该纳米片叠置体中的具有第二宽度的两个或更多个鳍状物与该衬底之间的间距的图案化层。第二宽度小于第一宽度。

[0006] 在另一方面中,一种形成半导体结构的方法包括:在衬底之上形成包括牺牲材料和沟道材料的交替层的纳米片叠置体,所述沟道材料的层为一个或多个纳米片场效应晶体管提供纳米片沟道。该方法还包括:在该纳米片叠层之上形成硬掩模叠置体;以及在该硬掩模叠置体之上形成图案化层。该方法进一步包括在该图案化层上方图案化光刻掩模,该光刻掩模使用自对准双重图案化来暴露(i)该图案化层的顶表面的一个或多个第一区域,该一个或多个第一区域用于在该纳米片叠置体和该衬底中直接印刷具有第一宽度的一个或多个鳍状物,以及(ii)该图案化层的顶表面的一个或多个第二区域,该一个或多个第二区域用于设定在该纳米片叠置体和该衬底中的具有第二宽度的两个或更多个鳍状物之间的

间隔。第二宽度小于第一宽度。

[0007] 在另一方面中,一种半导体结构包括衬底以及被布置在该衬底之上的纳米片叠置体,该纳米片叠置体包括牺牲材料和沟道材料的交替层,这些沟道材料层为一个或多个纳米片场效应晶体管提供纳米片沟道。该半导体结构还包括布置在该纳米片叠置体之上的硬掩模叠置体以及布置在该硬掩模叠置体之上的图案化层。该半导体结构进一步包括布置在该图案化层之上的光刻掩模,该光刻掩模限定(i)一个或多个第一区域,该一个或多个第一区域用于在该纳米片叠置体和该衬底中直接印刷具有第一宽度的一个或多个鳍状物;以及(ii)一个或多个第二区域,该一个或多个第二区域用于使用自对准双重图案化来设置在该纳米片叠置体和该衬底中的具有第二宽度的两个或更多个鳍状物之间的间隔。第二宽度小于第一宽度。

附图说明

[0008] 图1示出了根据本发明实施例的半导体层叠置体的侧截面图。

[0009] 图2示出了根据本发明的实施例的在图案化光刻掩模之后的图1的结构的侧剖视图。

[0010] 图3示出了根据本发明的实施例的对图案化层的暴露部分进行蚀刻并去除光刻掩模之后的图2结构的侧剖视图。

[0011] 图4示出了根据本发明的实施例的在形成间隔体材料之后的图3结构的侧剖视图。

[0012] 图5示出了根据本发明的实施例在间隔体材料的回蚀刻之后的图4结构的侧剖视图。

[0013] 图6示出了根据本发明的实施例的在对阻挡掩模进行图案化并去除暴露的图案化心轴之后的图5结构的侧剖视图。

[0014] 图7示出了根据本发明的实施例的在去除阻挡掩模之后的图6结构的侧剖视图。

[0015] 图8描绘了根据本发明的实施例在对附加阻挡掩模进行图案化并去除间隔体材料的暴露部分之后的图7结构的侧剖视图。

[0016] 图9示出了根据本发明的实施例的在去除附加的阻挡掩模之后的图8结构的侧剖视图。

[0017] 图10示出了根据本发明的实施例的在蚀刻顶部硬掩模层之后的图9结构的侧截面图。

[0018] 图11示出了根据本发明的实施例的在去除剩余的图案化心轴之后的图10结构的侧剖视图。

[0019] 图12示出了根据本发明的实施例的在蚀刻剩余的间隔体材料和最顶部剩余的硬掩模层之后的图11结构的侧剖视图。

[0020] 图13示出了根据本发明的实施例在蚀刻最后硬掩模层之后的图12结构的侧截面图。

[0021] 图14描绘了根据本发明的实施例在打开该衬垫层并蚀刻该纳米片叠置体的暴露部分和该衬底的一部分之后的图13结构的侧截面视图。

[0022] 图15示出了根据本发明的实施例在图案化光刻掩模之后的图1的结构的侧剖视图。

[0023] 图16示出了根据本发明的实施例的在去除图案化层的暴露部分和去除光刻掩模之后的图15结构的侧截面图。

[0024] 图17描绘了根据本发明的一个实施方式的在氧化物材料的填充和回蚀之后的图16结构的侧剖视图。

[0025] 图18描绘了根据本发明的实施例在图案化阻挡掩模以暴露氧化物材料的一部分之后的图17结构的侧剖视图。

[0026] 图19描绘了根据本发明的实施例在去除氧化物材料的暴露部分之后并且在去除阻挡掩模之后的图18结构的侧剖视图。

[0027] 图20描绘了根据本发明的实施例的在沉积和回蚀刻间隔体之后的图19结构的侧剖视图。

[0028] 图21示出了根据本发明实施例的在去除图案化层的剩余部分之后的图20结构的侧剖视图。

[0029] 图22描绘了根据本发明的一个实施方式的在打开顶部硬掩模层之后的图21结构的侧剖视图。

[0030] 图23描绘了根据本发明的实施例在蚀刻该纳米片叠置体的暴露部分和该衬底的一部分之后图22结构的侧截面视图。

具体实施方式

[0031] 在此可以在用于使用同一掩模形成直接印刷和自对准双重图案化纳米片两者的说明性方法的背景下描述本发明的说明性实施例。然而,应当理解,本发明的实施例不限于说明性方法、装置、系统和设备,而是更广泛地适用于其他合适的方法、装置、系统和设备。

[0032] FET是具有源极、栅极和漏极并且具有取决于沿沟道的多数载流子的流动的动作的晶体管,沟道在源极与漏极之间延伸经过栅极。通过源极和漏极之间的沟道的电流可由栅极下方的横向电场控制。栅极的长度确定FET切换的速度,并且可以与沟道的长度(诸如源极和漏极之间的距离)大约相同。

[0033] 在一些FET中,多于一个栅极或多栅极布置可以用于控制沟道。多栅极FET是缩小互补金属氧化物半导体(CMOS)FET技术的有前途的候选。然而,与多栅极FET相关联的较小的尺寸(与单栅极FET相比)需要对诸如短沟道效应、穿通、金属氧化物半导体(MOS)漏电流以及存在于多栅极FET中的寄生电阻进行更大的控制的性能问题。

[0034] 可以使用不同技术来减小FET的尺寸。一种技术是通过在FinFET器件中使用鳍状沟道。在FinFET布置出现之前,CMOS器件通常沿着半导体衬底的表面基本上是平面的,除了设置在沟道顶部上的FET栅极之外。FinFET利用垂直沟道结构,增大了暴露于栅极的沟道的表面积。因此,在FinFET结构中,栅极可以更有效地控制沟道,因为栅极在沟道的多于一个侧面或表面上延伸。在一些FinFET布置中,栅极包围三维沟道的三个表面,而不是仅设置在传统平面沟道的顶表面之上。

[0035] 对于减小FET的尺寸有用的另一种技术是通过使用形成在半导体衬底之上的叠置的纳米片沟道。叠置的纳米片可以是二维纳米结构,例如具有1至100纳米(nm)数量级的厚度范围的片。纳米片和纳米丝是用于缩放到7nm及以上的可行选项。用于形成纳米片叠置体的一般工艺流程涉及在可以由硅(Si)形成的沟道材料的片之间去除可以由硅锗(SiGe)形

成的牺牲层。

[0036] 用于纳米片印刷的工艺选项可以依赖于具有单一掩模的直接印刷,或具有两种掩模处理解决方案的直接印刷和自对准双重图案化(SADP)。对于在一些器件(例如,静态随机存取存储器(SRAM)结构)中使用的小纳米片宽度,用直接印刷工艺产生的可变性可能不足以用于器件操作。作为示例,当尺寸接近鳍状物宽度时,可能需要SADP。然而,纳米片叠置体提供了使得能够使用不同器件宽度的不同优点。多个掩模解决方案(例如,用于直接印刷和SADP)是有问题的,因为多个掩模导致重叠(OL)降级。此OL降级可部分地归因于引起不同装置特征(例如,栅极和源极/漏极覆盖等)的下游影响(例如,寄生电容中)的分割层级。

[0037] 如上所述,一些器件结构(如SRAM结构)受益于变化的纳米片宽度。SRAM是提供高速、低功耗和简单操作的类型的存储器设备。与动态随机存取存储器(DRAM)不同,SRAM不需要定期刷新所存储的数据并且具有直接的设计。SRAM单元可使用不同数量的晶体管来形成。

[0038] 六晶体管(6T)SRAM单元广泛用作微处理器电路中的主存储器。6T SRAM单元可包括连接到第一位线节点(BL)、第一输出节点(Q)和字线节点(WL)的第一n型FET器件(nFET)。6TSRAM单元的第二nFET器件连接到Q节点、接地节点(例如,VSS)和第二输出节点(Q')。第一p型FET器件(pFET)连接至Q节点、Q'节点、以及电压源或电源节点(例如,VDD)。第二pFET器件连接到VDD节点、Q节点和Q'节点。第三nFET器件连接到VSS节点、Q节点和Q'节点。第四nFET器件连接到第二位线节点(BLB)、WL节点和Q'节点。第一和第四nFET器件是6TSRAM单元的传输门(PG)晶体管,第二和第三nFET器件是6TSRAM单元的下拉(PD)晶体管,以及第一和第二pFET器件是6TSRAM单元的上拉(PU)晶体管。

[0039] 在使用纳米片晶体管形成的6TSRAM单元中,可能期望对于单元中的各种nFET和pFET器件使用不同的纳米片宽度。例如,对于6TSRAM单元的nFET器件,纳米片宽度可以比对于6TSRAM单元的pFET器件更大。然而,应当理解,这不是要求,并且实施例不限于形成pFET比nFET器件更小的纳米片宽度。进一步,本文中所描述的技术不限于与形成SRAM结构一起使用,而是更一般地适用于形成其中期望不同纳米片宽度的纳米片FET。

[0040] 现将关于图1-23更详细地描述用于使用直接印刷和使用相同掩模的SADP两者来形成不同宽度的纳米片的说明性过程。

[0041] 图1示出了半导体层叠置体的侧截面图100,该半导体层叠置体包括衬底102、包括牺牲材料和沟道材料的交替层104和106的纳米片叠置体、衬垫层108、硬掩模层110、112和114、以及图案化层116。

[0042] 衬底102可为由体硅(Si)形成的半导体结构,但也可使用其他适当材料,例如各种含硅材料。适用于衬底102的含硅材料的说明性示例包括但不限于Si、硅锗(SiGe)、碳化硅锗(SiGeC)、碳化硅(SiC)、多晶硅、外延硅、非晶硅及其多层。尽管硅是晶圆制造中主要使用的半导体材料,但可以采用替代的半导体材料,例如但不限于锗(Ge)、砷化镓(GaAs)、氮化镓(GaN)、碲化镉(CdTe)和硒化锌(ZnSe)。在替代实施例中,衬底102可以是绝缘体上硅(SOI)晶圆。如本领域已知的,SOI晶圆包括通过掩埋绝缘体与衬底分离的SOI层。合适的衬底材料包括但不限于Si、应变Si、碳化硅(SiC)、Ge、SiGe、SiGeC、Si合金、Ge合金、GaAs、砷化铟(InAs)、磷化铟(InP)或其任意组合。用于掩埋绝缘体的适当电介质材料包括但不限于氧化物材料,例如二氧化硅(SiO2)。当掩埋绝缘体是氧化物时,掩埋绝缘体还可以被称为掩埋

氧化物或BOX。

[0043] 衬底102可以具有根据需要(例如,基于待形成的器件结构的数量)变化的宽度或水平厚度(在X-X'方向上)。衬底102可以具有范围从300微米(μm)至1000μm的高度或竖直厚度(在Y-Y'方向上)。

[0044] 在衬底102上方形成包括牺牲材料104和沟道材料106的交替层的纳米片叠置体。虽然图1示出了在纳米片叠置体中存在三个牺牲层104和三个沟道层106的示例,但是应当理解,纳米片叠置体可以包括多于或少于三组的牺牲材料和沟道材料的交替层。

[0045] 牺牲层104可由可相对于沟道材料106选择性蚀刻的任何合适材料形成。如果沟道层106是Si,则牺牲层104可以是SiGe。如果沟道层106是砷化铟镓(InGaAs),则牺牲层104可以是砷化铟铝(InAlAs)。可以使用11I-V材料的各种其他组合。牺牲层104的材料是相对于沟道层106的材料可以被选择性地去除的材料。牺牲层104和沟道层106可各自具有在4nm至15nm范围内的厚度。牺牲层104和沟道层106的纳米片叠置体可以外延生长在衬底102上方。

[0046] 衬垫层108如图所示形成在纳米片叠置体上方(例如,如使用化学气相沉积(CVD)、物理气相沉积(PVD)或另一合适的氧化物沉积工艺)。衬垫层108可由诸如二氧化硅(SiO2)的氧化物形成。衬垫层108可具有在1nm至10nm的范围内的高度或竖直厚度(在方向Y-Y'上)。

[0047] 硬掩模层110、112和114形成在衬垫层108之上。在一些实施例中,硬掩模层110和114是诸如氮化硅(SiN)的氮化物材料,而硬掩模层112是诸如SiO2的氧化物材料。在这样的情况下,硬掩模层110、112和114共同提供氮化物-氧化物-氮化物(NON)硬掩模。可以使用高密度等离子体(HDP)CVD(HDPCVD)、等离子体增强CVD(PECVD)、CVD等来形成硬掩模层110、112和114。硬掩模层110可以具有10nm至50nm范围内的高度或垂直厚度(在Y-Y'方向上)。硬掩模层112可以具有在10nm至50nm范围内的高度或垂直厚度(在Y-Y'方向上)。硬掩模层114可以具有在10nm至50nm范围内的高度或垂直厚度(在Y-Y'方向上)。

[0048] 图案化层116形成在硬掩模层114上方。图案化层116可由非晶硅(a-Si)或诸如非晶碳(a-C)的另一合适材料形成。图案化层116可使用任何合适的沉积工艺形成,诸如CVD、PVD等。图案化层116可具有10nm至200nm范围内的高度或竖直厚度(在方向Y-Y'上)。

[0049] 图2示出了图1的结构随后进行光刻和蚀刻以形成如图所示的在图案化层116之上具有部分118-1、118-2和118-3(统称为光刻掩模118)的光刻掩模的侧截面图200。光刻掩模118可以由光致抗蚀剂形成。光刻掩模118可以具有20nm至1000nm范围内的高度或竖直厚度(在Y-Y'方向上)。

[0050] 光刻掩模部分118-1和118-3的宽度或水平厚度(在X-X'方向上)可以在5nm至2000nm的范围内。在以下描述的处理之后,光刻掩模部分118-1和118-3提供用于下层器件结构的纳米片的宽度的直接印刷控制。例如,光刻掩模部分118-1和118-3可以用于控制从下层纳米片叠置体形成的下层n型FET(nFET)的器件宽度。

[0051] 光刻掩模部分118-2的宽度或水平厚度(在X-X'方向上)可以在5nm至200nm的范围内。光刻掩模部分118-2在下面描述的处理之后提供用于下面的器件结构的纳米片的宽度的SADP控制。例如,光刻掩模部分118-2可以用于控制从下层纳米片叠置体形成的下层p型FET(pFET)的器件宽度。

[0052] 如以下将进一步详细描述的,图2中的光刻掩模118的部分的数量和尺寸用于从下

面的纳米片叠置体形成纳米片FET的特定安排(例如,使用与光刻掩模部分118-1和118-3的直接印刷的一对nFET器件,以及使用与光刻掩模部分118-2的SADP的一对pFET器件)。应理解的是,可以使用不同数量和大小的掩模层形成不同宽度的纳米片FET的各种其他组合。

[0053] 图3示出了在通过光刻掩模118(例如,使用a-Si反应离子蚀刻(RIE))暴露的图案化层116的蚀刻部分之后的图2结构的侧截面图300。然后去除光刻掩模118。结果,图案化层116的心轴116-1、116-2和116-3保留。

[0054] 图4示出了在形成间隔体材料120之后的图3结构的侧横截面图400。可以使用原子层沉积(ALD)或其他合适的工艺来形成间隔体材料120。间隔体材料120可以由诸如金属氧化物、SiO2等的氧化物形成。间隔体材料120可以具有在5nm到60nm的范围内的均匀厚度。间隔体材料120的厚度控制从下层纳米片叠置体形成的FET(例如,pFET)的尺寸,如下文进一步详细描述的。

[0055] 图5示出了在对间隔体材料120进行回蚀之后在图案化心轴116-1、116-2和116-3的侧壁上产生侧壁间隔体120'的图4结构的侧截面图500。

[0056] 图6示出了在构图包括部分122-1和122-2(统称为阻挡掩模122)以覆盖构图心轴116-1和116-3的阻挡掩模以及围绕如图所示的构图心轴116-1和116-3的侧壁的间隔材料120'之后的图5结构的侧截面图600。这个步骤可以被称为"pFET打开"步骤,其中由阻挡掩模122暴露的间隔体材料120'用于从下面的纳米片叠置体形成pFET器件(例如,使用SADP)。可以使用旋涂或其他合适的处理由合适的有机平坦化层(OPL)材料形成阻挡掩模122。阻挡掩模122的高度或竖直厚度(在Y-Y'方向上)可以在100nm至1000nm的范围内。图6进一步示出了例如使用反应离子蚀刻(RIE)去除暴露的图案化心轴116-2之后的结构。

[0057] 图7示出了在去除阻挡掩模122之后的图6结构的侧截面图700。可以使用干法灰化、湿法清洁等来去除阻挡掩模122。

[0058] 图8示出了在另一个阻挡掩模124的图案化以覆盖被去除的图案化心轴116-2周围的间隔体材料120'、暴露图案化心轴116-1和116-3以及在图案化心轴116-1和116-3的侧壁上的间隔体材料120'之后的侧截面图800。阻挡掩模124可以由与阻挡掩模122相似的材料形成、具有相似的处理并且具有相似的尺寸(在Y-Y'方向上)。这个步骤可以被称为"nFET打开"步骤,其中图案化心轴116-1和116-2被用于从下面的纳米片叠置体直接印刷nFET器件。图8还示出了去除图案化心轴116-1和116-3的侧壁周围的间隔材料120'。

[0059] 图9示出了在去除阻挡掩模124之后的图8结构的侧截面视图900。可使用类似于上文关于阻挡掩模122的去除所描述的处理来去除阻挡掩模124。

[0060] 图10示出了在通过剩余的图案化心轴116-1和116-3以及剩余的间隔件侧壁120'暴露的硬掩模层114的蚀刻之后的图9结构的侧截面图1000。可以使用RIE或其他合适的工艺来蚀刻硬掩模层114。因此,硬掩模层114'仅保持在图案化心轴116-1和116-3以及剩余的侧壁间隔体120'的下方。

[0061] 图11示出了在去除图案化心轴116-1和116-3之后的图10结构的侧截面图1100。可以使用与上面关于图案化心轴116-2的去除所描述的处理类似的处理来去除图案化心轴116-1和116-3。

[0062] 图12示出了在蚀刻剩余的侧壁间隔件120'和硬掩模层112之后的图11结构的侧截面图1200,使得硬掩模层112'仅保持在硬掩模层114'的下方。如上所述,硬掩模层112和侧

壁间隔体120’两者可以由氧化物形成并且可以使用RIE或其他合适的处理去除。

[0063] 图13示出了在蚀刻硬掩膜层110、暴露如图所示的衬垫层108之后的图12结构的侧截面图1300,使得硬掩膜层110’仅保留在硬掩膜层112’之下。可以使用与以上关于硬掩模层114的蚀刻所描述的类似的处理来蚀刻硬掩模层110。该步骤还去除剩余的硬掩模层114’,如上所述,其可以由与硬掩模层110相同的材料(例如,氮化物)形成。

[0064] 图14示出了在衬垫层108打开并且将该纳米片叠置体的暴露部分蚀刻到衬底102的一部分中之后图13结构的侧截面视图1400。可使用与上文关于硬掩模层112的蚀刻所描述的处理类似的处理来打开可由氧化物形成的衬垫层108。该步骤还去除剩余的硬掩模层112’。

[0065] 纳米片叠置体的牺牲层104和沟道层106连同衬底102可以使用RIE或另一种合适的工艺来蚀刻,从而使得这些层的部分104’、106’和102’如所示的那样保留。对衬底102进行蚀刻以形成衬底102’导致在衬底102’上方、在纳米片叠置体的牺牲层104’和沟道层106’的剩余部分之下形成鳍状物103-1至103-4。

[0066] 如上所述,在一些实施例中,鳍103-1和103-4可以用于形成nFET纳米片晶体管,而鳍103-2和103-3用于形成pFET纳米片晶体管。有利地,鳍状物103-1和103-4的直接印刷的使用以及鳍状物103-2和103-3的SADP的使用仅需要用于主要限定特征的放置的单个光刻掩模,从而减少OL惩罚减少或降级,否则OL惩罚减少或降级将影响栅极和源极/漏极图案化(例如,影响所得结构的寄生电容)。进一步,此类技术允许形成具有不同纳米片宽度的器件,从而实现各种器件(例如,包括SRAM结构)的进一步缩放。

[0067] 图15-23展示了用于使用直接印刷和SADP二者来形成与图1结构不同宽度的纳米片装置的另一个过程。而图2-14描绘了用于形成图14结构的“正”色调处理,图15-23描绘了用于形成图23结构的“负”色调处理。

[0068] 图15示出了图1结构在图案化光刻掩模1518之后的侧截面图1500,光刻掩模1518可以由与上文相对于光刻掩模118所描述的材料相似的材料和相似的尺寸(在Y-Y’方向上)形成。尽管光刻掩模118提供用于限定下面的图案化层116将保持在哪里的正色调(例如,图案化心轴116-1、116-2和116-3),但是光刻掩模1518提供用于限定在下面描述的进一步处理之后下面的图案化层116将保持在哪里的负色调。

[0069] 图16示出了在去除图案化层116的暴露部分之后(例如,使用与以上参照图3描述的处理相似的处理)导致如图所示的图案化心轴1516的图15结构的侧截面图1600。然后使用类似于上面关于光刻掩模118的去除所描述的处理来去除光刻掩模1518。

[0070] 图17示出了在氧化物材料1517的填充和回蚀之后的图16结构的侧截面图1700。氧化物材料1517可以使用旋涂、沉积填充或其他合适的工艺来形成,以过填充通过去除或蚀刻图案化层116的暴露部分形成的空间(例如,以填充图案化心轴1516之间的空间)。回蚀用于使氧化物材料1517平面化以匹配图案化心轴1516的顶表面。氧化物材料1517可以包括氧化硅(SiOx)、金属氧化物等。

[0071] 图18示出了在对阻挡掩模1519进行图案化之后的图17结构的侧截面图1800,该阻挡掩模暴露了该结构中间的氧化物材料1517的一部分(例如,其中pFET器件将由如上所述的下层纳米片叠置体形成)。阻挡掩模1519可以由与阻挡掩模122和124相似的材料形成,使用相似的处理并且具有相似的尺寸(在Y-Y’方向上)。

[0072] 图19示出了在去除氧化物层1517的暴露部分使得氧化物层1517'保留之后的图18结构的侧截面图1900。接着使用类似于上文关于阻挡掩模122及124的去除所描述的处理来去除阻挡掩模1519。

[0073] 图20示出了在间隔体材料1520的沉积和回蚀之后的图19结构的侧横截面图2000。间隔体材料1520可以由与上文关于间隔体材料120所描述的类似的材料和类似的尺寸形成。

[0074] 图21示出了在去除图案化心轴1516之后图20的结构的侧截面图2100,使用与上面关于去除图案化层116和图案化心轴116-1、116-2和116-3所描述的处理类似的处理。

[0075] 图22示出了在通过剩余的氧化物层1517'和间隔体材料1520暴露的硬掩模层114、112和110打开之后的图21结构的侧截面图2200。硬掩模层114、112和110的暴露部分可以使用与上文结合图9-13关于蚀刻这些层所描述的处理类似的处理来去除。衬垫层108也使用与上述类似的处理打开。因此,图22的结构分别包括衬垫层108、硬掩模层110和硬掩模层112的剩余部分1508、1510和1512。

[0076] 图23示出了在将纳米片叠置体的暴露部分蚀刻到衬底102的一部分中从而使得部分1506、1504和1502分别保留在沟道层106、牺牲层104和衬底102之后的图22结构的侧横截面视图2300。这形成类似于鳍状物103的鳍状物1503-1、1503-2、1503-3和1504-4(统称为鳍状物1504)。可以使用类似于以上关于图14所描述的工艺来蚀刻纳米片叠置体的牺牲层104和沟道层106连同衬底102。

[0077] 类似于图14的结构,鳍1503-1和1503-4可以用于形成nFET纳米片晶体管,而鳍1503-2和1503-3用于形成pFET纳米片晶体管。有利地,鳍状物1503-1和1503-4的直接印刷的使用以及鳍状物1503-2和1503-3的SADP的使用仅需要用于主要界定特征的放置的单个光刻掩模,从而减少否则将影响栅极和源极/漏极图案化(例如,影响所得结构的寄生电容)的OL惩罚减少或降级。进一步,此类技术允许形成具有不同纳米片宽度的器件,从而实现各种器件(例如,包括SRAM结构)的进一步缩放。

[0078] 图14和23中示出的结构可以经受不同附加处理以形成纳米片FET。这可以包括例如围绕鳍状物103/1503的浅沟槽隔离(STI)区的形成、虚设栅极结构的形成和图案化、源极/漏极区的外延生长、内部间隔体的形成、使用替换金属栅极(RMG)工艺去除牺牲层以形成栅极结构、到栅极结构和源极/漏极区的接触的形成等。

[0079] 在一些实施例中,一种形成半导体结构的方法包括:在衬底之上形成包括牺牲材料和沟道材料的交替层的纳米片叠置体,所述沟道材料的层为一个或多个纳米片FET提供纳米片沟道。该方法还包括:在该纳米片叠层之上形成硬掩模叠置体;以及在该硬掩模叠置体之上形成图案化层。该方法进一步包括在图案化层之上对光刻掩模进行图案化,该光刻掩模限定(i)一个或多个第一区域,该一个或多个第一区域用于在该纳米片叠置体和该衬底中直接印刷具有第一宽度的一个或多个鳍状物;以及(ii)一个或多个第二区域,该一个或多个第二区域用于使用SADP设定该纳米片叠置体和该衬底中的具有第二宽度的两个或更多个鳍状物之间的间隔。第二宽度小于第一宽度。

[0080] 在一些实施例中,在图案化层上图案化光刻掩模,使得光刻材料覆盖一个或多个第一区域和一个或多个第二区域。在其他实施例中,在图案化层上图案化光刻掩模,使得光刻材料暴露一个或多个第一区域和一个或多个第二区域。

[0081] 硬掩模叠置体可以包括衬垫氧化物层和在衬垫氧化物层之上的NON硬掩模叠置体。所述图案化层可包含a-Si。

[0082] 在一些实施例中,一种形成半导体结构的方法包括:在衬底之上形成包括牺牲材料和沟道材料的交替层的纳米片叠置体,所述沟道材料的层为一个或多个纳米片FET提供纳米片沟道。该方法还包括:在该纳米片叠层之上形成硬掩模叠置体;以及在该硬掩模叠置体之上形成图案化层。该方法进一步包括在该图案化层上方图案化光刻掩模,该光刻掩模覆盖(i)该图案化层的顶表面的一个或多个第一区域,该一个或多个第一区域用于在该纳米片叠置体和该衬底中直接印刷具有第一宽度的一个或多个鳍状物;以及(ii)该图案化层的顶表面的一个或多个第二区域,该一个或多个第二区域用于使用SADP设定该纳米片叠置体和该衬底中的具有第二宽度的两个或更多个鳍状物之间的间隔。第二宽度小于第一宽度。

[0083] 该方法还可以包括蚀刻被光刻掩模暴露的图案化层的部分,以形成多个图案化心轴,以及去除光刻掩模。

[0084] 该方法还可以包括:在多个图案化心轴和硬掩模叠置体的顶部表面的一部分之上沉积间隔体材料,该间隔体材料通过对图案化层的被光刻掩模暴露的部分进行蚀刻而暴露;以及回蚀间隔体材料以从多个图案化心轴的顶部表面去除间隔体材料并且从硬掩模层的顶部表面的部分去除间隔体材料,留下围绕多个图案化心轴的侧壁间隔体。

[0085] 该方法还可以包括形成第一阻挡掩模,该第一阻挡掩模覆盖至少第一子组的多个图案化心轴和环绕第一子组的多个图案化心轴的侧壁间隔体,并且暴露至少第二子组的多个图案化心轴和环绕第二子组的多个图案化心轴的侧壁间隔体。所述多个图案化心轴的第一子组提供第一宽度的一个或多个鳍状物的直接印刷,并且所述多个图案化心轴的第二子组提供用于设定第二宽度的两个或更多个鳍状物之间的间隔的SADP。

[0086] 该方法还可以包括去除第二子组的多个图案化心轴,留下包围第二子组的多个图案化心轴的侧壁间隔体,以及去除第一阻挡掩模。

[0087] 该方法还可以包括形成第二阻挡掩模,该第二阻挡掩模覆盖包围该多个图案化心轴的第二子组的侧壁间隔体,并且暴露该多个图案化心轴的第一子组和包围该多个图案化心轴的第一子组的侧壁间隔体。

[0088] 该方法还可以包括去除包围被第二阻挡掩模暴露的多个图案化心轴的第一子组的侧壁间隔体,并去除第二阻挡掩模。

[0089] 该方法可以进一步包括蚀刻该硬掩模叠置体、该纳米片叠层和该衬底的至少一部分,以便在该多个图案化心轴的该第一子组下方形成具有该第一宽度的该一个或多个鳍并且在剩余的侧壁间隔体下方形成具有该第二宽度的该一个或多个鳍。

[0090] 在一些实施例中,一种形成半导体结构的方法包括:在衬底之上形成包括牺牲材料和沟道材料的交替层的纳米片叠置体,所述沟道材料的层为一个或多个纳米片FET提供纳米片沟道。该方法还包括:在该纳米片叠层之上形成硬掩模叠置体;以及在该硬掩模叠置体之上形成图案化层。该方法进一步包括在图案化层上方图案化光刻掩模,该光刻掩模使用SADP暴露(i)图案化层的顶表面的一个或多个第一区域以用于直接印刷纳米片叠置体和衬底中的具有第一宽度的一个或多个鳍状物,以及(ii)图案化层的顶表面的一个或多个第二区域以用于设定纳米片叠置体和衬底中的具有第二宽度的两个或更多个鳍状物之间的

间隔。第二宽度小于第一宽度。

[0091] 该方法还可以包括蚀刻被光刻掩模暴露的图案化层的部分,以形成多个图案化心轴,以及去除光刻掩模。

[0092] 该方法还可以包括在通过蚀刻由光刻掩模暴露的图案化层的部分而暴露的硬掩模叠置体的顶表面的部分之上沉积氧化物材料,以及回蚀刻氧化物材料以在多个图案化心轴之间的硬掩模叠置体的顶表面之上形成多个氧化物心轴。

[0093] 该方法还可包括形成覆盖至少第一子组的多个氧化物心轴和暴露至少第二子组的多个氧化物心轴的阻挡掩模。多个氧化物心轴的第一子组提供第一宽度的一个或多个鳍状物的直接打印,并且多个氧化物心轴的第二子组提供用于设定第二宽度的两个或更多个鳍状物之间的间隔的SADP。

[0094] 该方法还可以包括去除第二子组的多个氧化物心轴,以及去除阻挡掩模。

[0095] 该方法还可以包括在通过去除第二子组的多个氧化物心轴而暴露的硬掩模叠置体的顶部表面的部分之上以及在第一子组的多个氧化物心轴和多个图案化心轴的顶部表面之上形成间隔体材料,以及回蚀间隔体材料以形成与通过去除第二子组的多个氧化物心轴而暴露的多个图案化心轴的侧壁相邻的侧壁间隔体。

[0096] 该方法可以进一步包括去除该多个图案化心轴,并且蚀刻该硬掩模叠置体、该纳米片叠层和该衬底的至少一部分,以便在该多个氧化物心轴的第一子组下方形成具有第一宽度的该一个或多个鳍并且在侧壁间隔体下方形成具有第二宽度的该一个或多个鳍。

[0097] 在一些实施例中,一种半导体结构包括衬底以及被布置在该衬底之上的纳米片叠置体,该纳米片叠置体包括牺牲材料和沟道材料的交替层,这些沟道材料层提供用于一个或多个纳米片FET的纳米片沟道。该半导体结构还包括布置在该纳米片叠置体之上的硬掩模叠置体以及布置在该硬掩模叠置体之上的图案化层。该半导体结构进一步包括布置在该图案化层之上的光刻掩模,该光刻掩模限定(i)一个或多个第一区域,该一个或多个第一区域用于在该纳米片叠置体和该衬底中直接印刷具有第一宽度的一个或多个鳍状物;以及(ii)一个或多个第二区域,该一个或多个第二区域用于使用SADP设定该纳米片叠置体和该衬底中的具有第二宽度的两个或更多个鳍状物之间的间隔。第二宽度小于第一宽度。

[0098] 在一些实施例中,光刻掩模覆盖一个或多个第一区域和一个或多个第二区域。在其他实施例中,光刻掩模暴露一个或多个第一区域和一个或多个第二区域。

[0099] 在该第一宽度的该一个或多个鳍状物上方的这些纳米片叠置体可以为nFET提供通道,并且被布置在该第二宽度的该一个或多个鳍状物上方的这些纳米片叠置体可以为pFET提供通道。

[0100] 应当理解,附图中所示的各个层、结构和区域是未按比例绘制的示意图。此外,为了便于解释,在给定图中可能未明确示出通常用于形成半导体器件或结构的类型的一个或多个层、结构和区域。这并不意味着从实际半导体结构省略未明确示出的任何层、结构和区域。此外,应当理解,本文所讨论的实施例不限于本文所示和所述的特定材料、特征和处理步骤。具体地,关于半导体处理步骤,要强调的是,本文所提供的描述并不旨在涵盖形成功能半导体集成电路器件可能需要的所有处理步骤。相反,为了描述的简洁性,这里有目的地不描述通常用于形成半导体器件的某些处理步骤,例如湿清洁和退火步骤。

[0101] 此外,贯穿附图使用相同或相似的参考标号表示相同或相似的特征、元件或结构,

并且因此,对于每个附图不重复相同或相似的特征、元件或结构的详细说明。应当理解,如在本文中使用的关于厚度、宽度、百分比、范围等的术语“约”或“基本上”是指表示接近或近似,但不是精确地。例如,如本文所使用的术语“约”或“基本上”意味着存在小的误差界限,如±5%,优选地小于2%或1%或小于所述量。

[0102] 在以上描述中,提供了用于不同元件的各种材料和尺寸。除非另外指出,否则此类材料仅通过举例的方式给出并且实施例不仅限于给出的具体实例。类似地,除非另外指出,否则所有尺寸是通过举例的方式给出的并且实施例不仅限于所给出的具体尺寸或范围。

[0103] 根据上述技术的半导体器件及其形成方法可用于各种应用、硬件和/或电子系统中。用于实现本发明的实施例的合适的硬件和系统可以包括但不限于个人计算机、通信网络、电子商务系统、便携式通信设备(例如,蜂窝电话和智能电话)、固态媒体存储设备、功能电路等。包含半导体器件的系统和硬件是本发明的预期实施例。鉴于本文提供的教导,本领域普通技术人员将能够设想本发明的实施例的其他实现方式和应用。

[0104] 在一些实施例中,上述技术与可能需要或以其他方式利用例如互补金属氧化物半导体(CMOS)、金属氧化物半导体场效应晶体管(MOSFET)和/或鳍式场效应晶体管(FinFET)的半导体器件结合使用。作为非限制性示例,半导体器件可以包括但不限于CMOS、MOSFET和FinFET器件,和/或使用CMOS、MOSFET和/或FinFET技术的半导体器件。

[0105] 在集成电路中可以实现上述各种结构。所得到的集成电路芯片可以由制造者以原始晶圆形式(即,作为具有多个未封装芯片的单个晶圆)、作为裸管芯或者以封装形式分布。在后一种情况下,芯片安装在单芯片封装(诸如塑料载体,具有固定至母板或其他更高级载体的引线)或多芯片封装(诸如具有或两个表面互连或掩埋互连的陶瓷载体)中。在任何情况下,芯片然后与其他芯片、分立电路元件和/或其他信号处理装置集成,作为(a)中间产品(诸如母板)或(b)最终产品的一部分。最终产品可以是包括集成电路芯片的任何产品,范围从玩具和其他低端应用到具有显示器、键盘或其他输入设备和中央处理器的高级计算机产品。

[0106] 已经出于说明的目的呈现了本发明的各种实施方式的描述,但并不旨在是详尽的或者限于所公开的实施方式。在不脱离所描述的实施例的范围的情况下,许多修改和变化对于本领域普通技术人员来说是显而易见的。这里使用的术语被选择来最好地解释实施例的原理、实际应用或对在市场中找到的技术的技术改进,或者使得本领域普通技术人员能够理解这里公开的实施例。

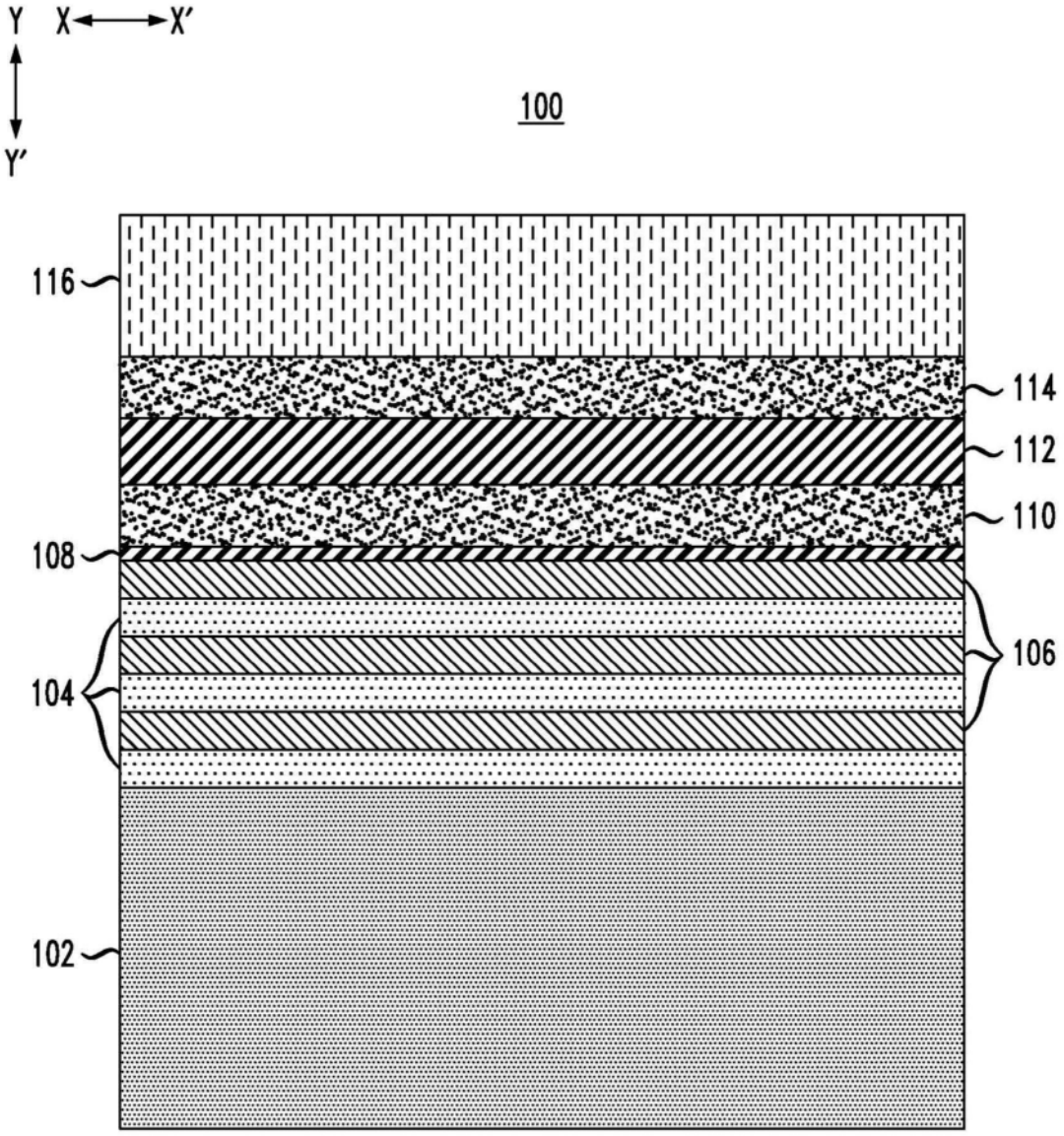


图1

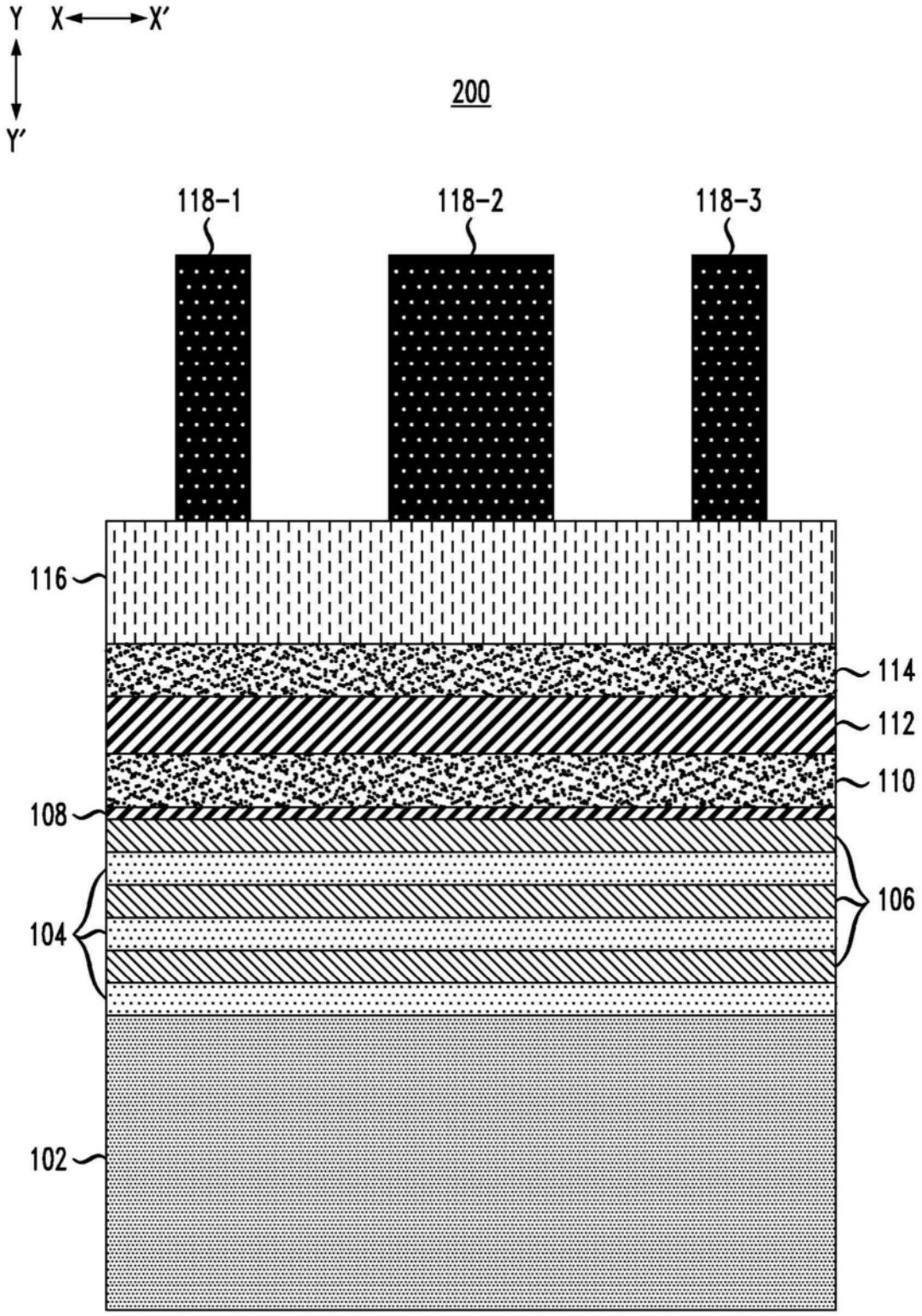


图2

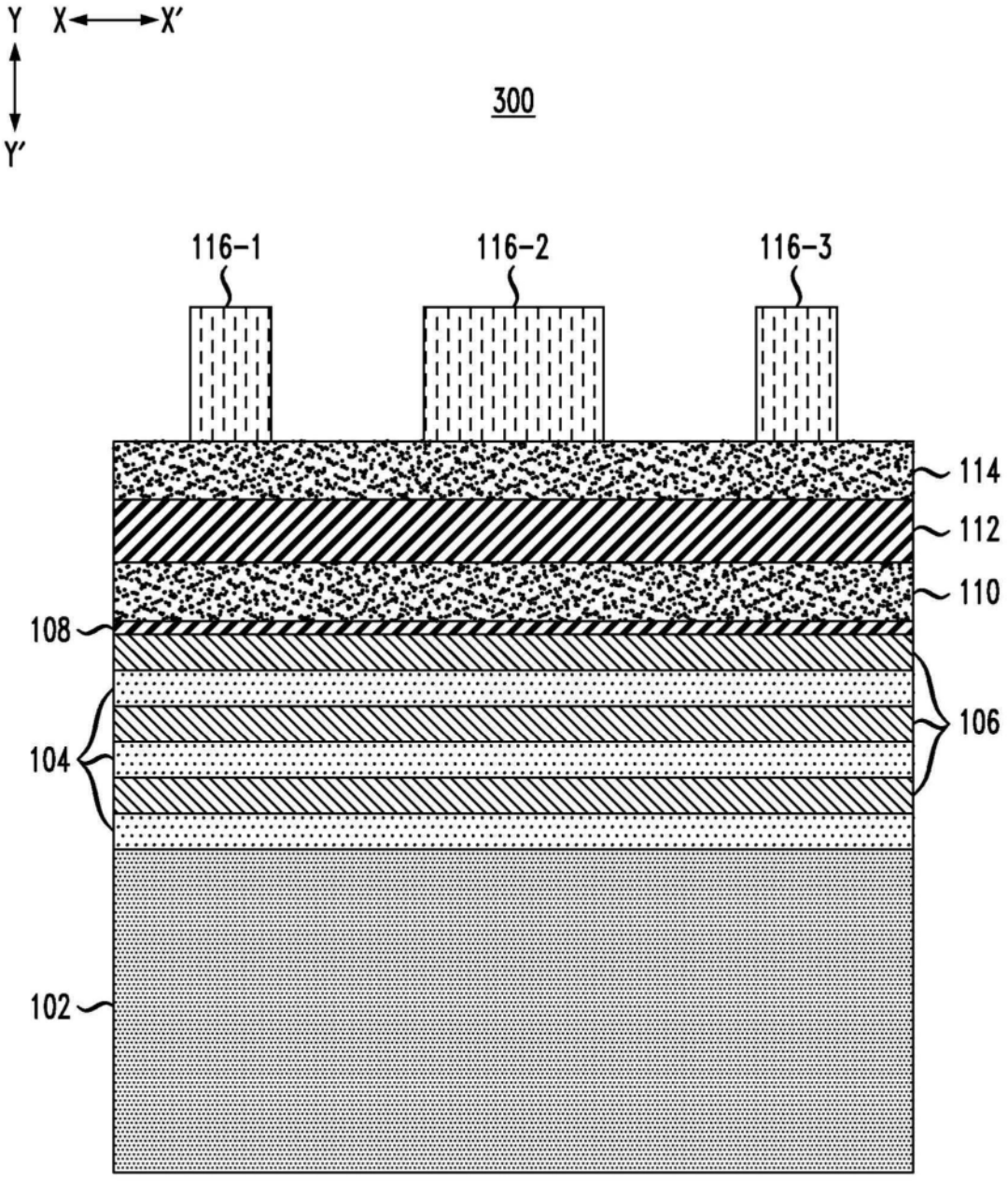


图3

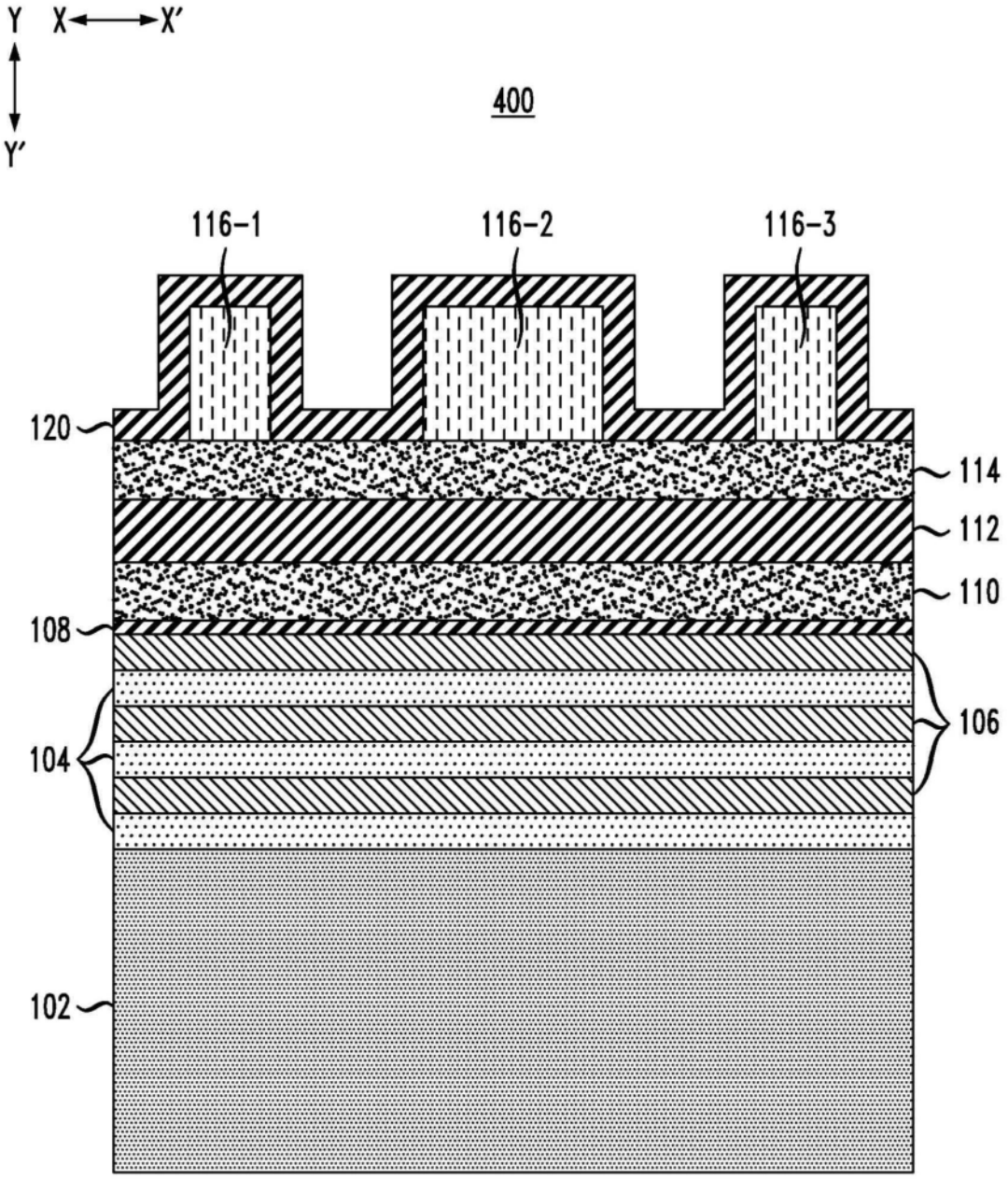


图4

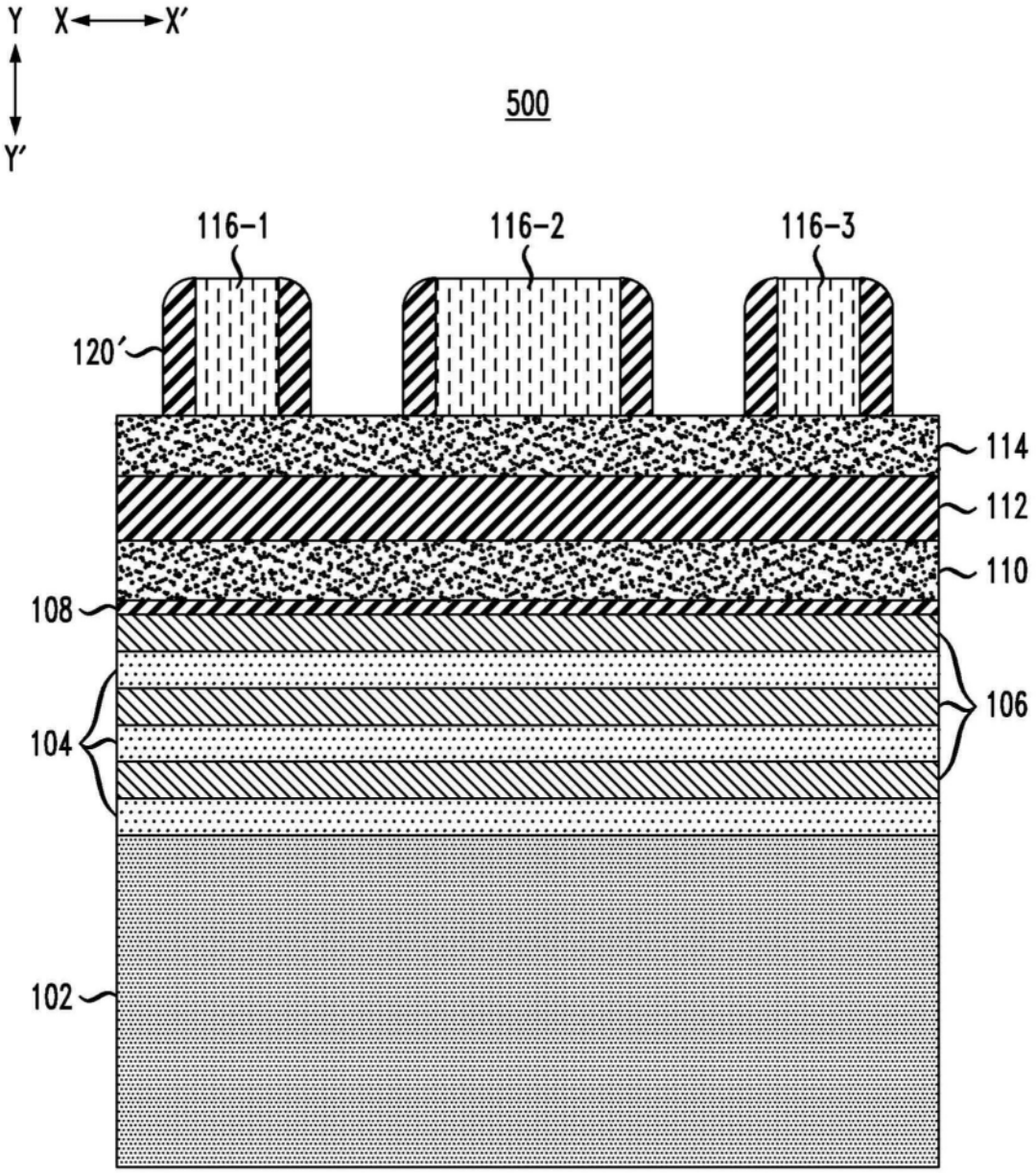


图5

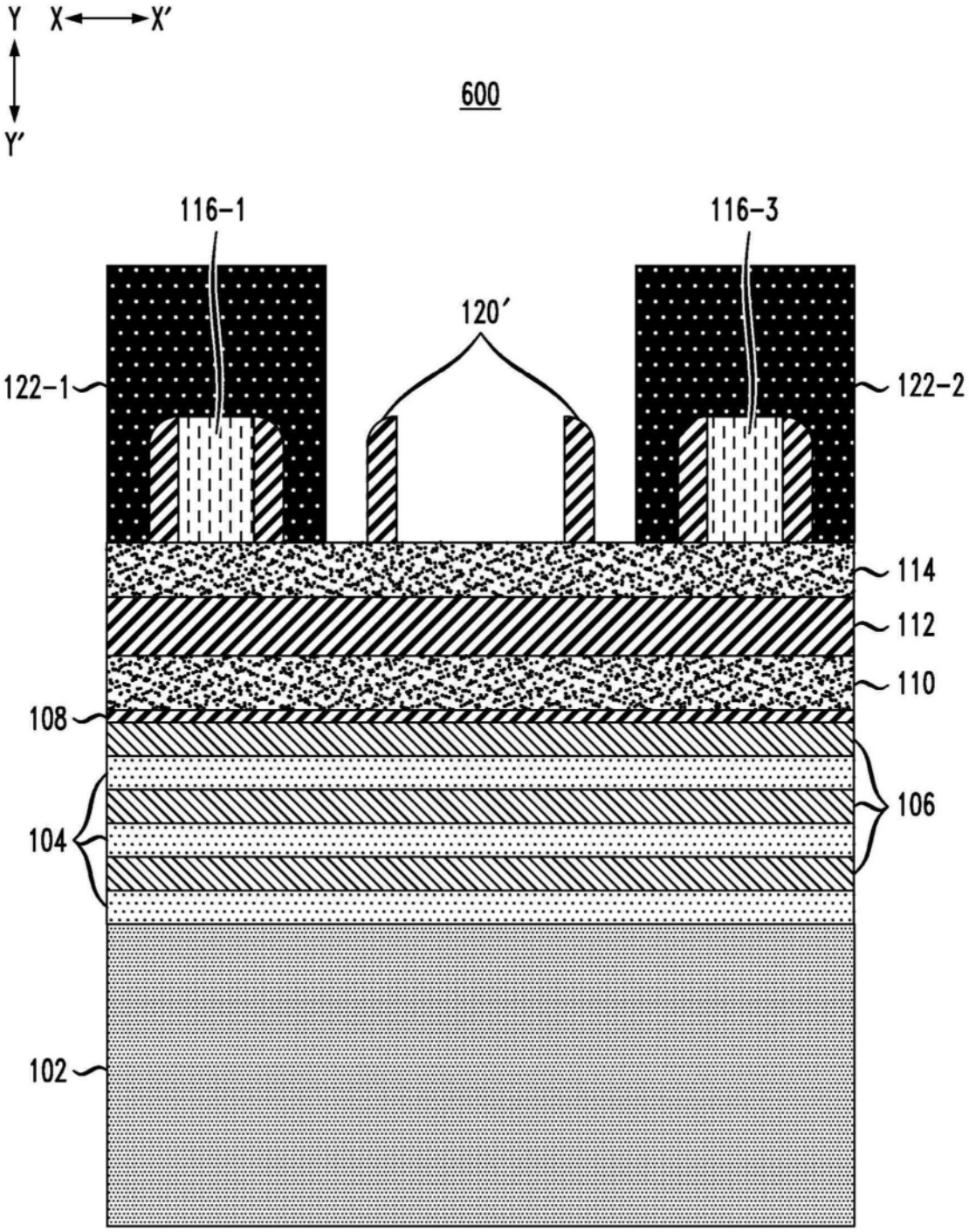


图6

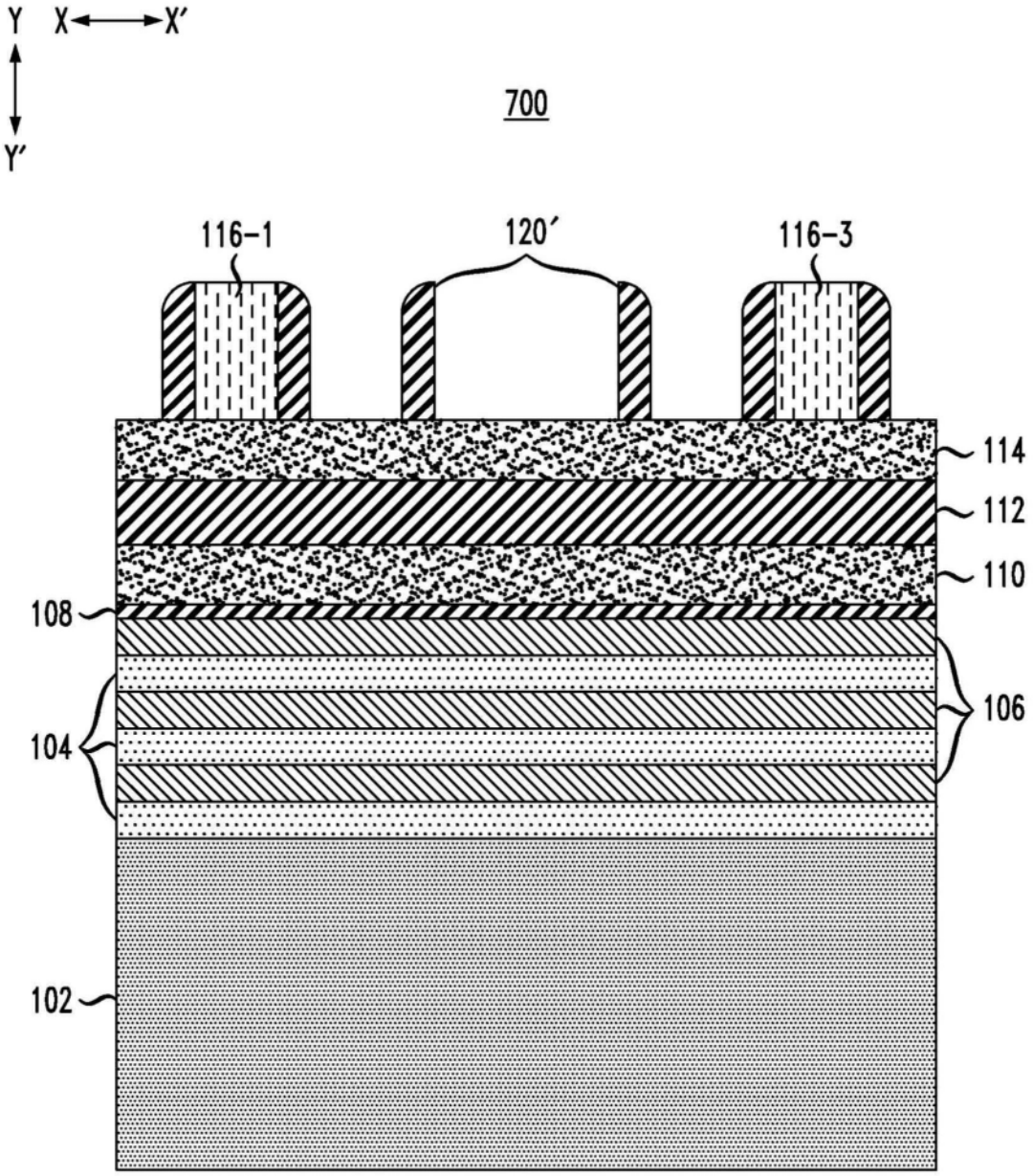


图7

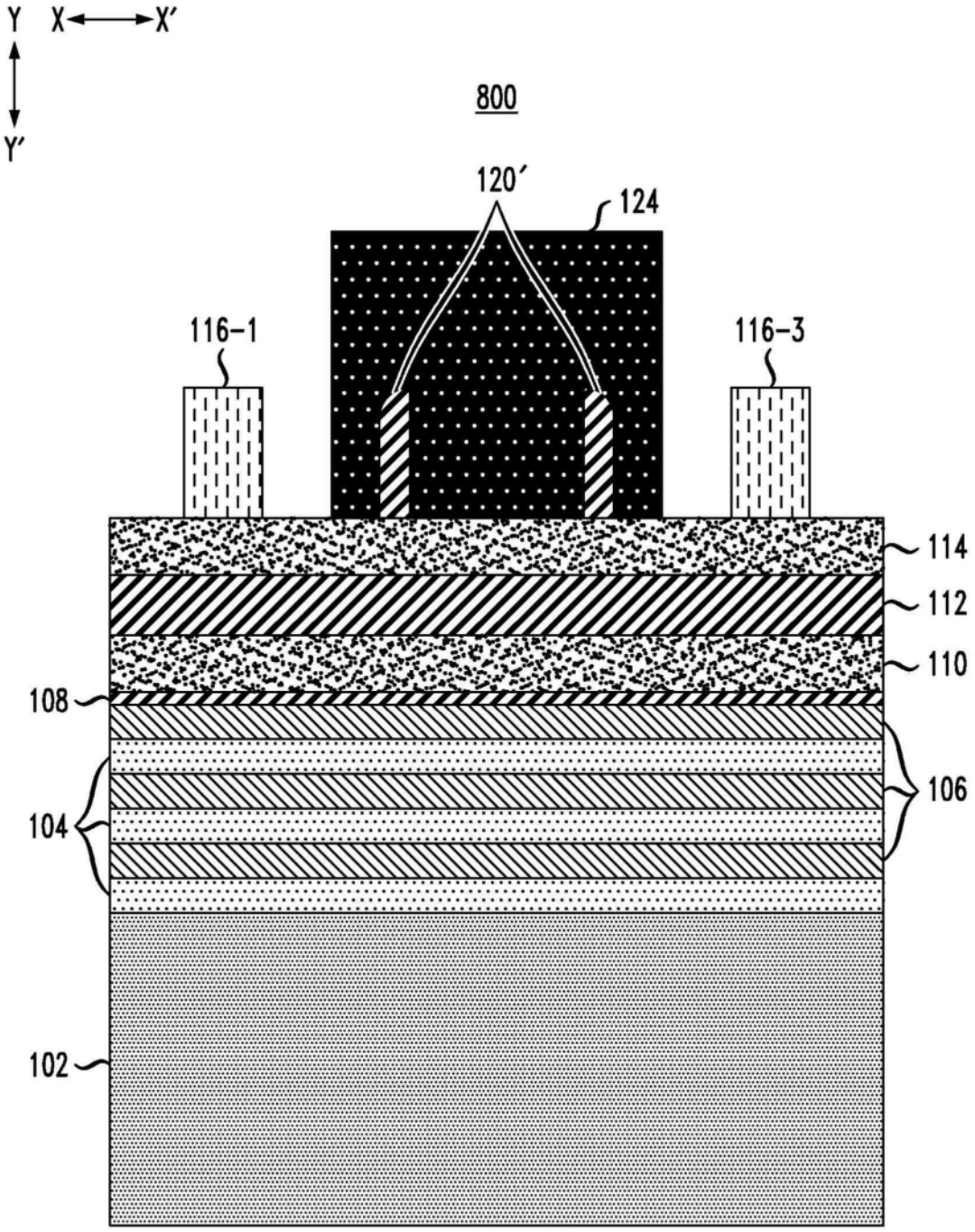


图8

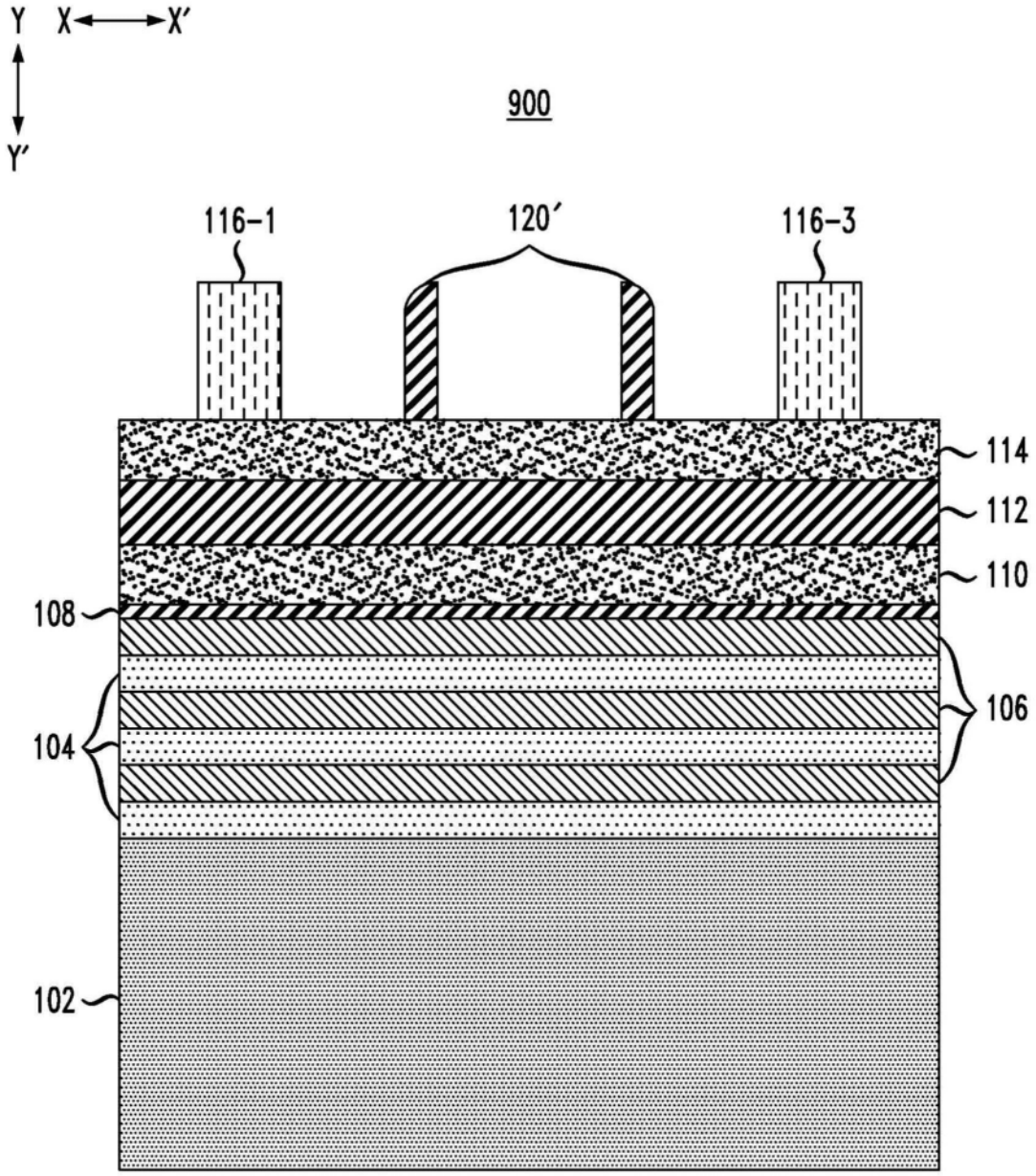


图9

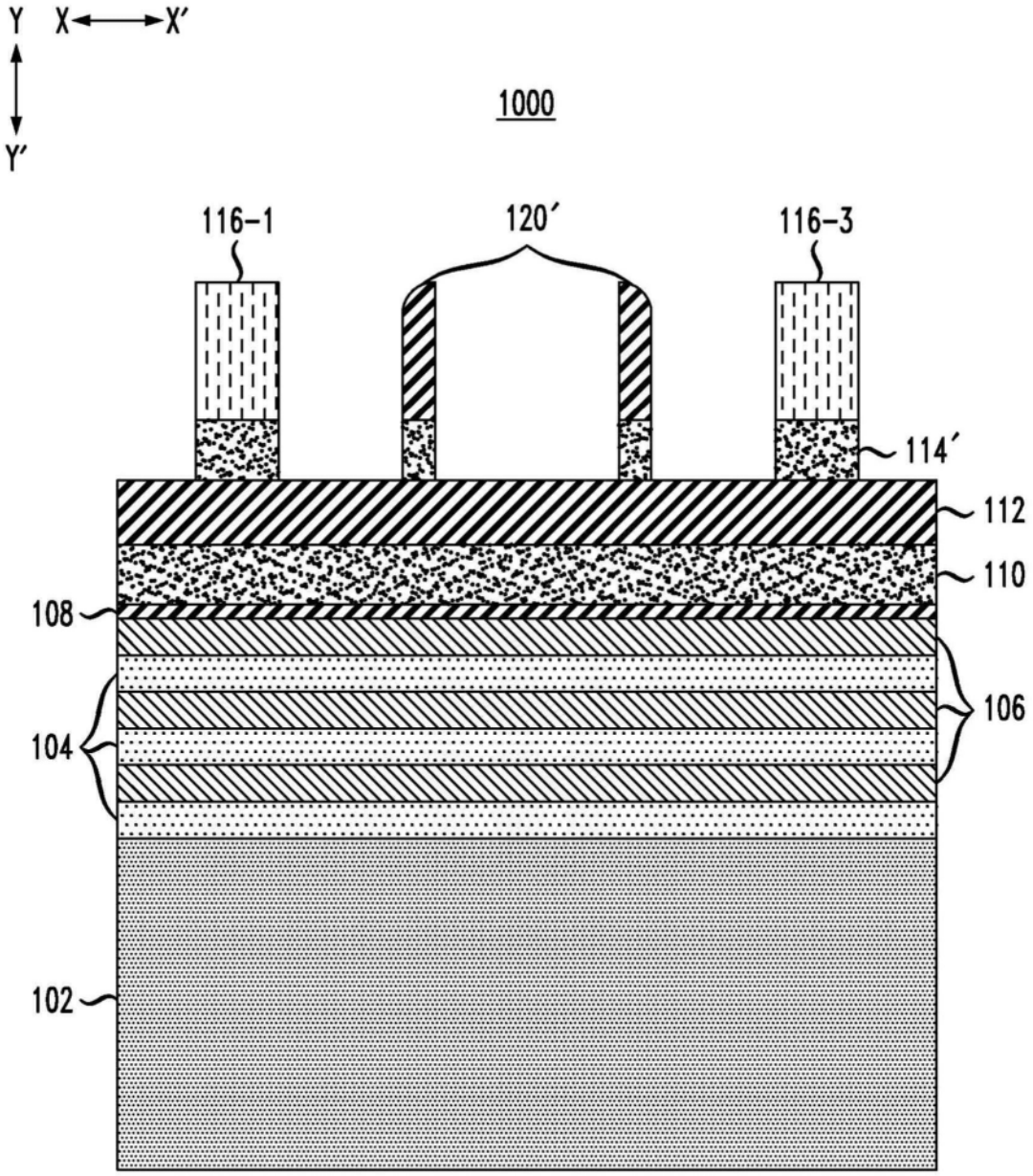


图10

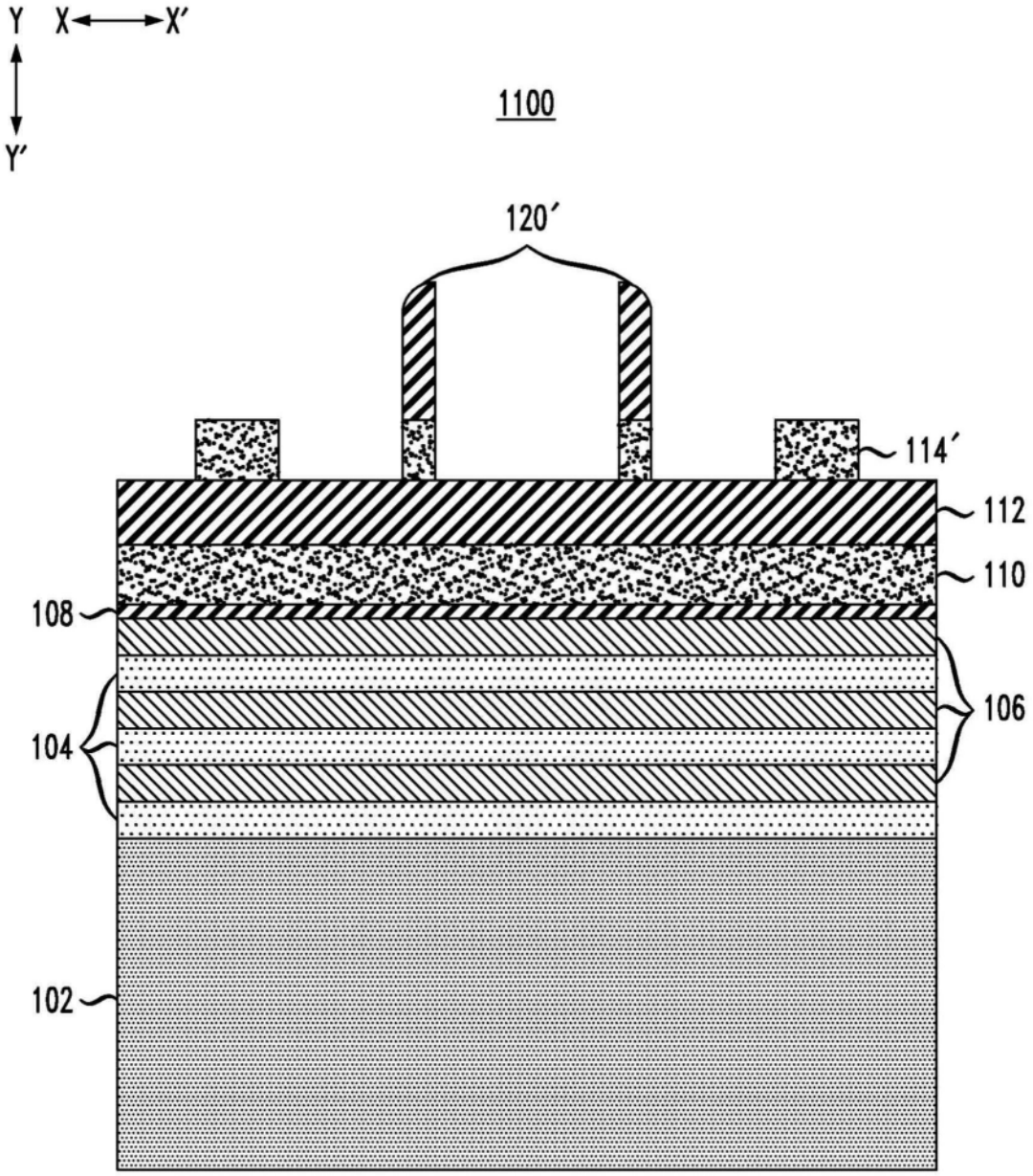


图11

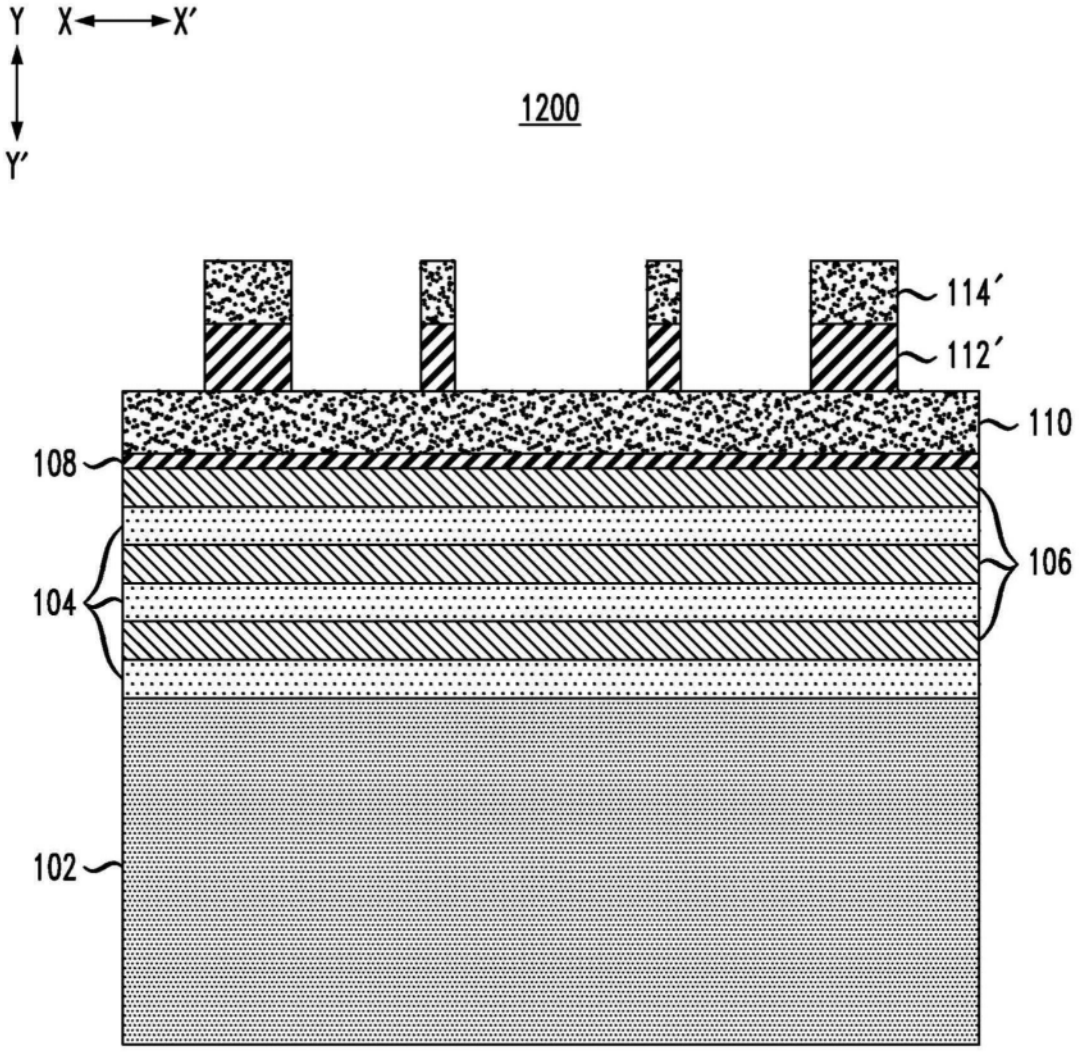


图12

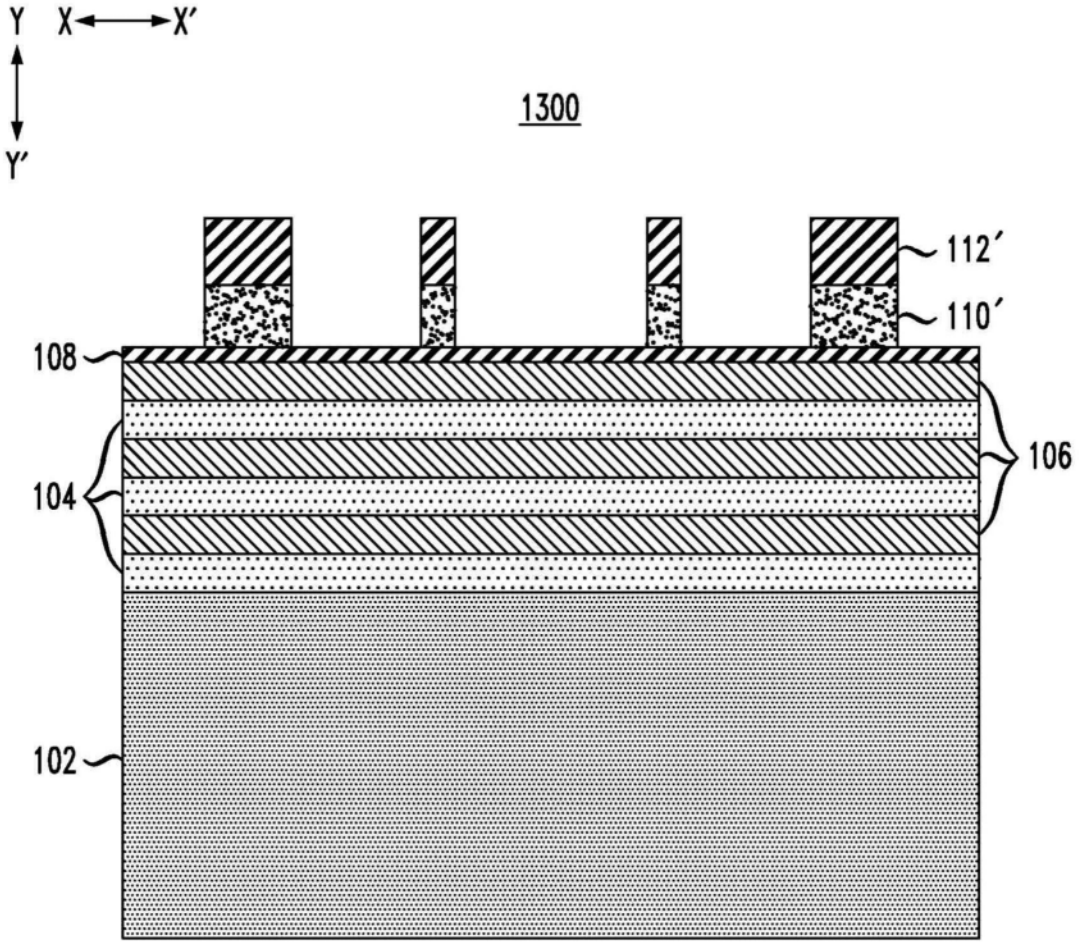


图13

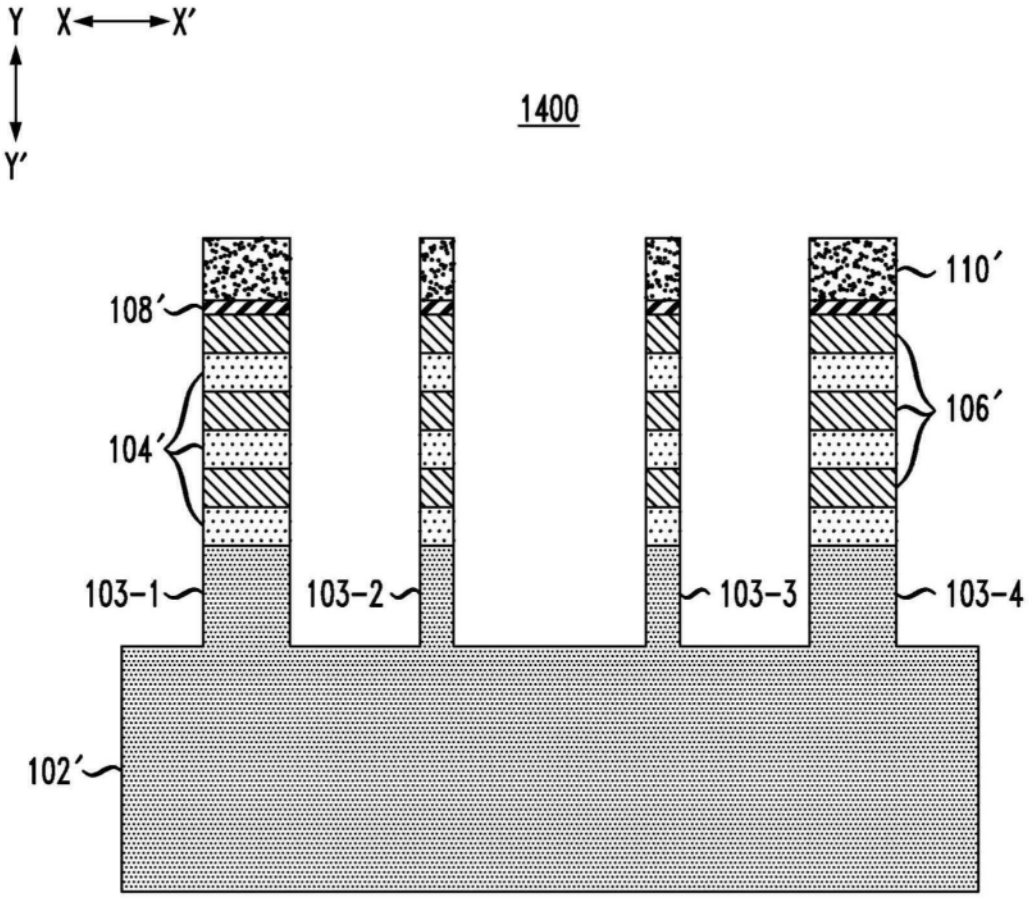


图14

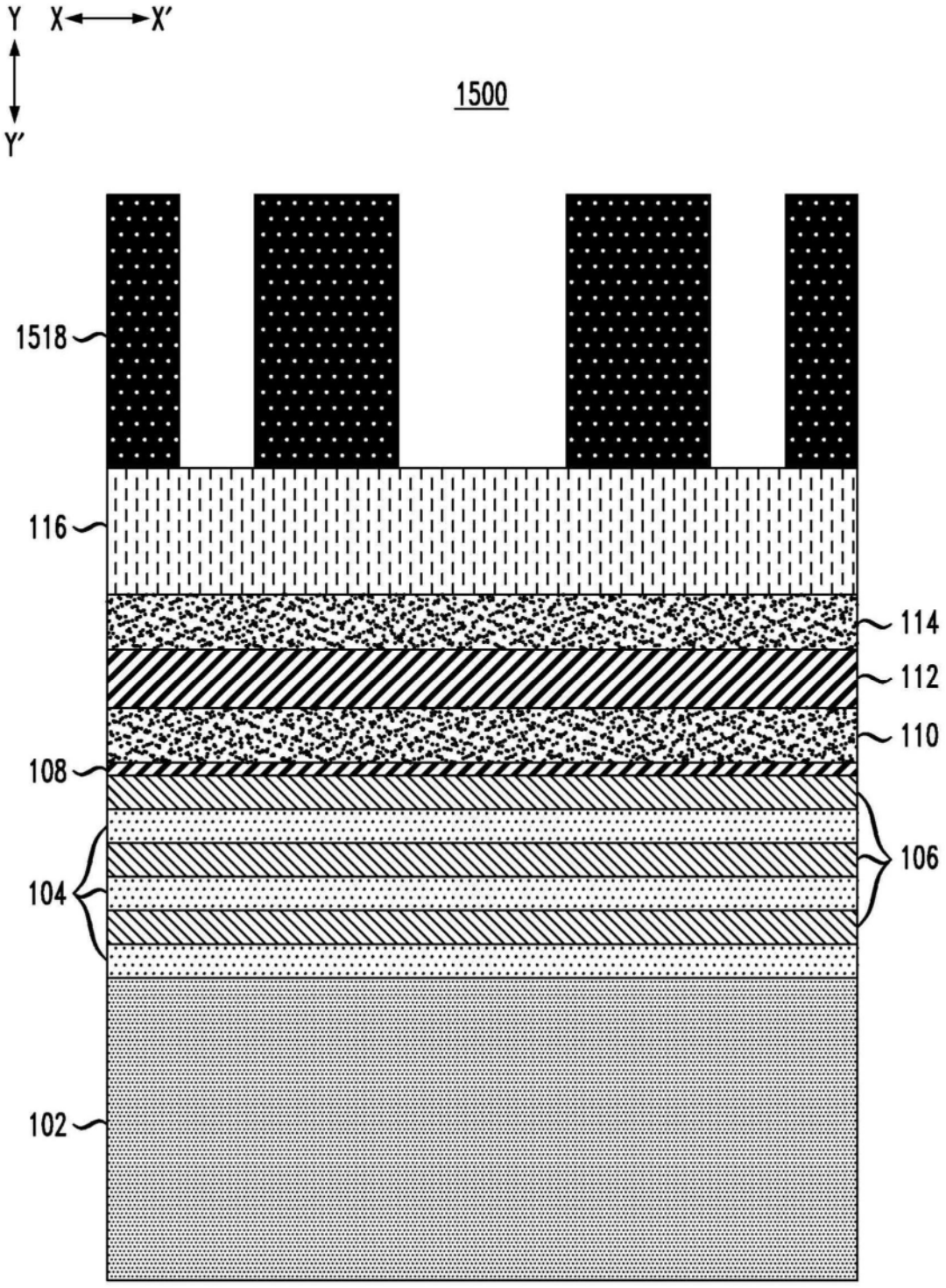


图15

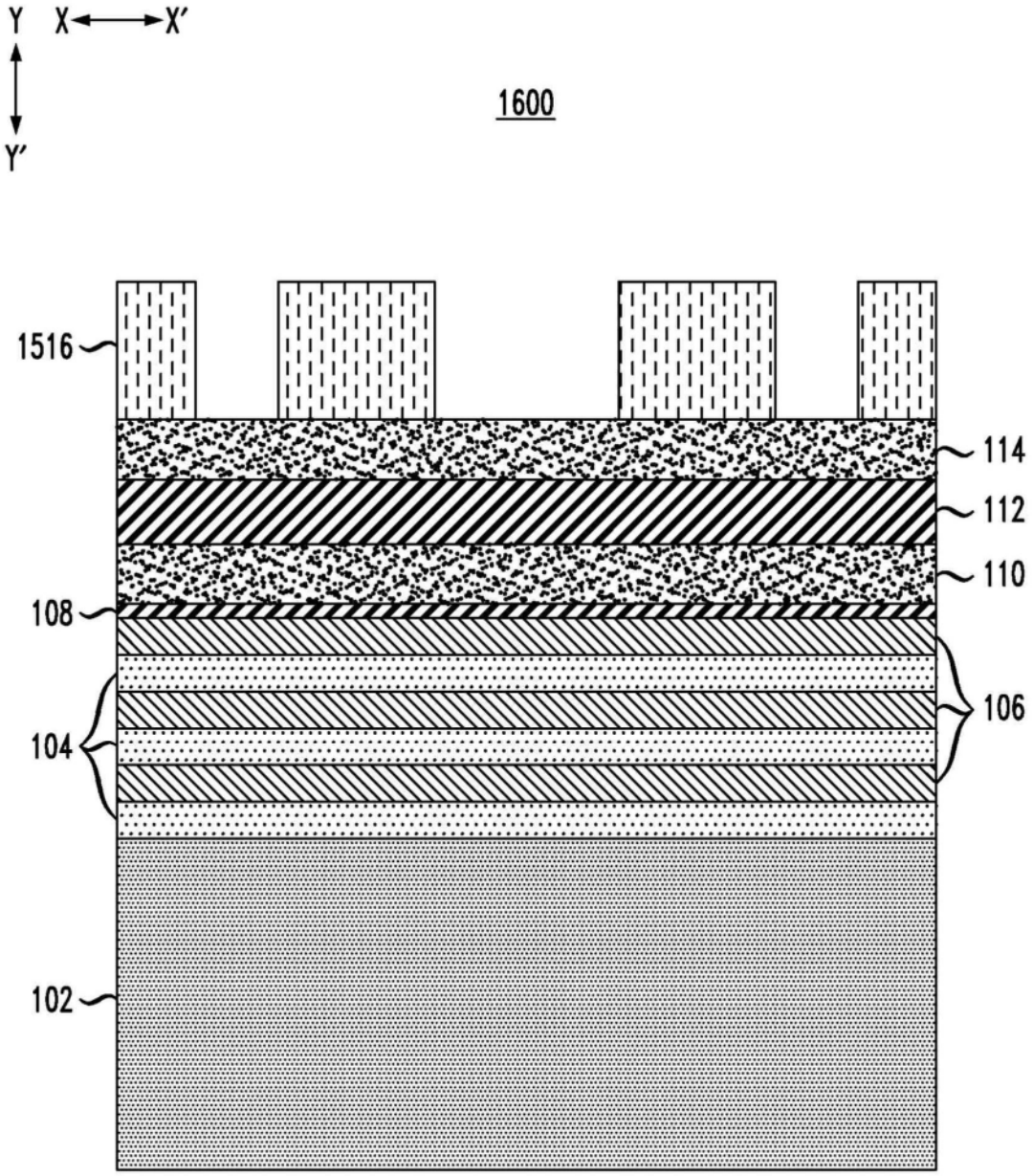


图16

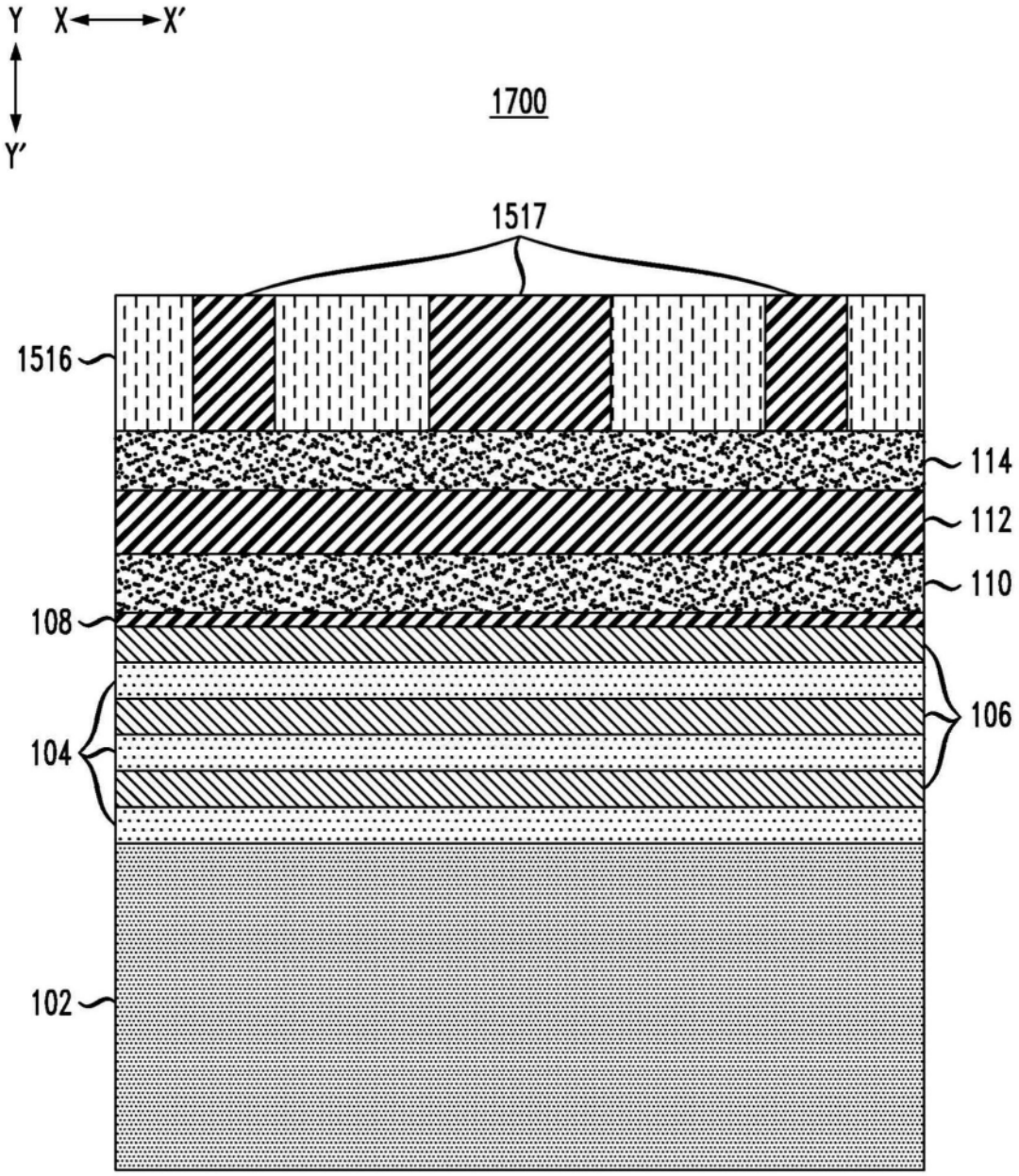


图17

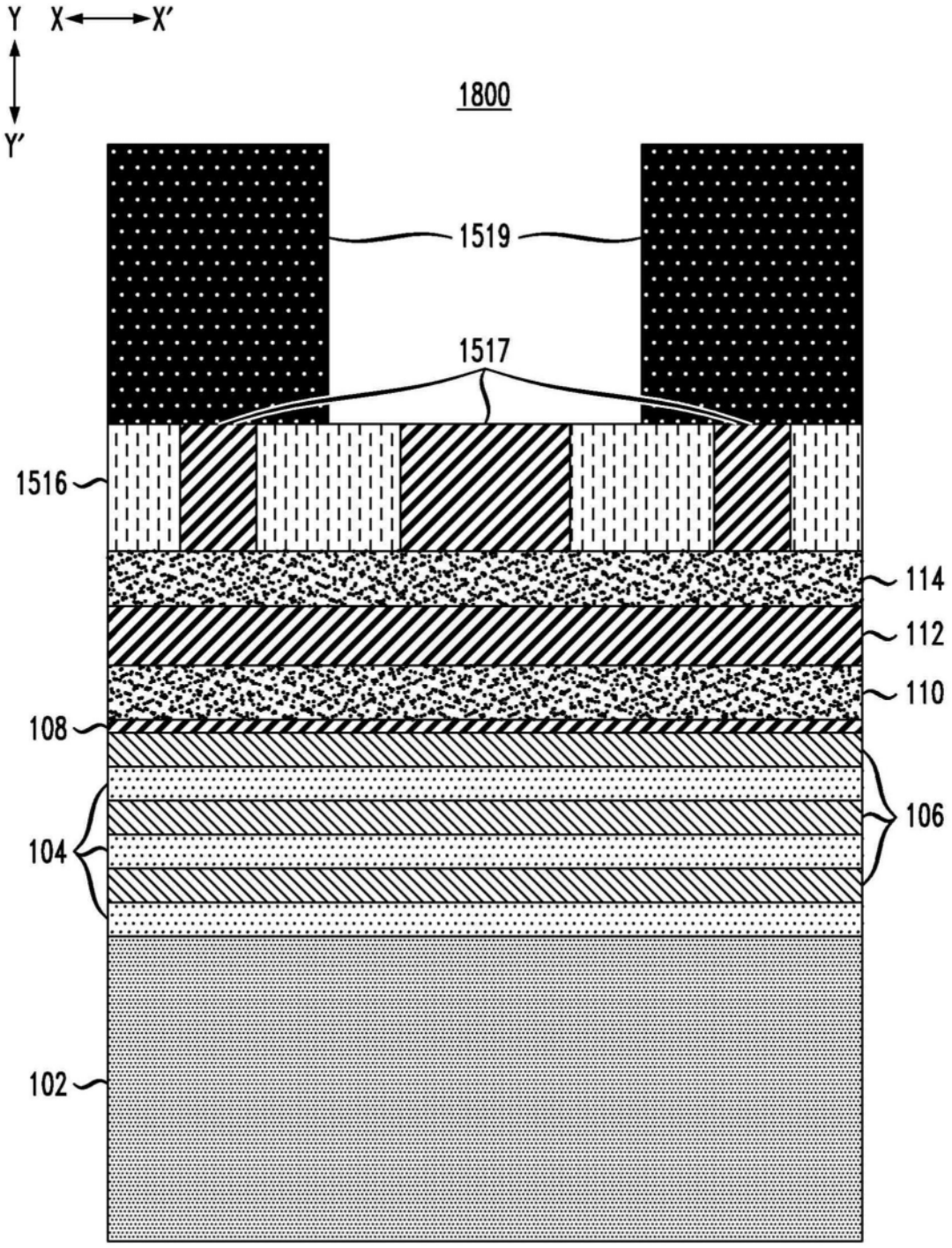


图18

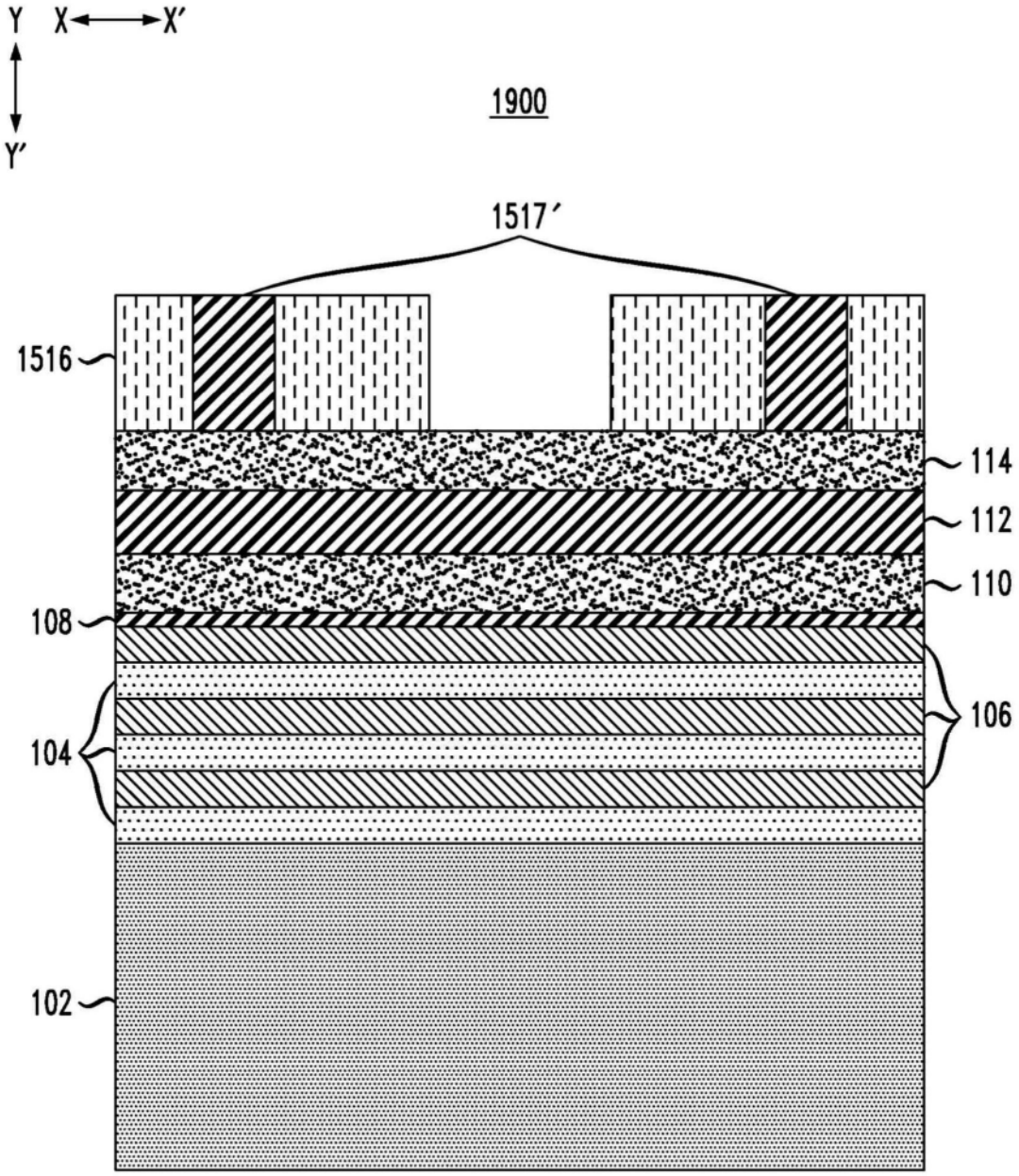


图19

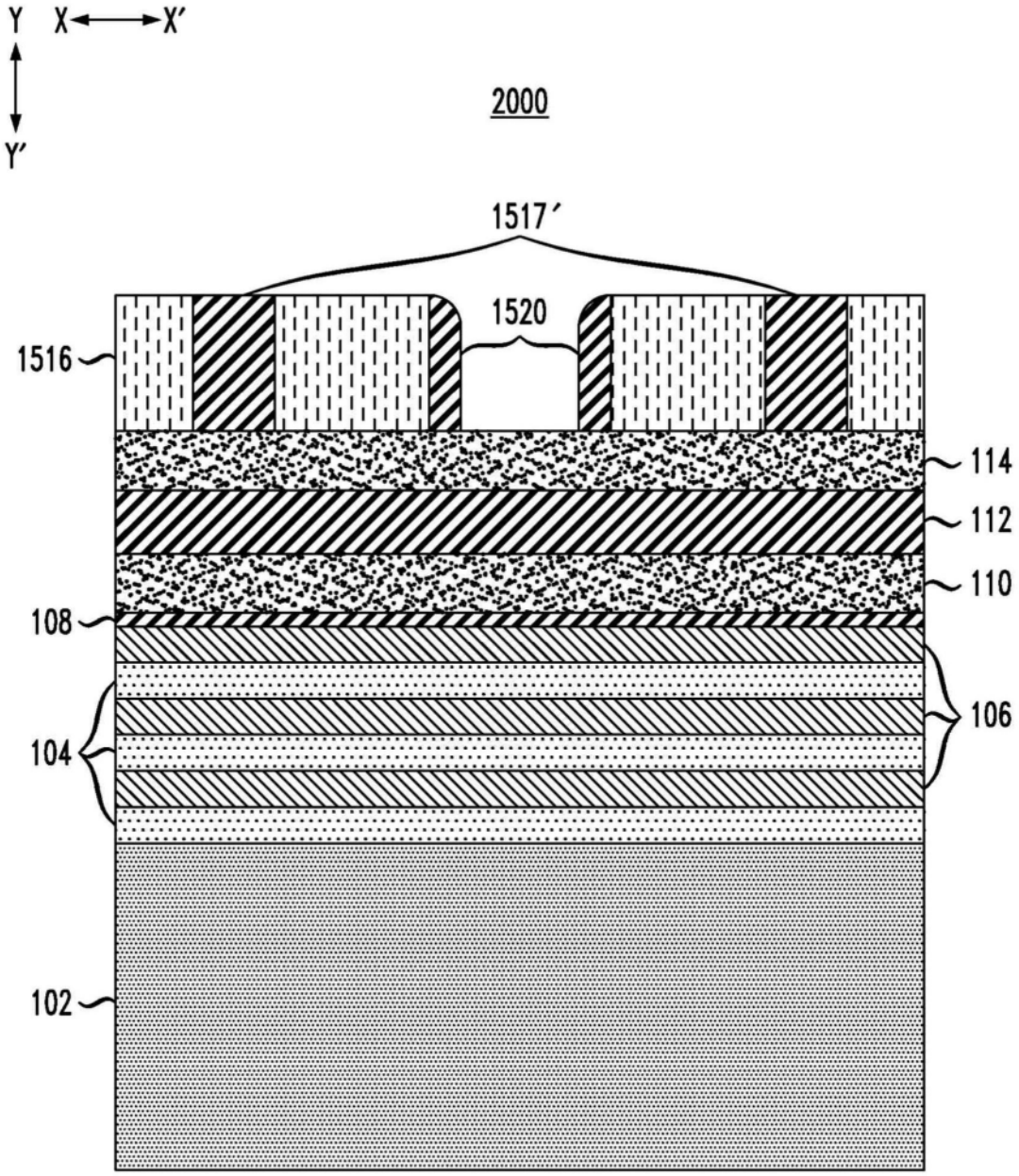


图20

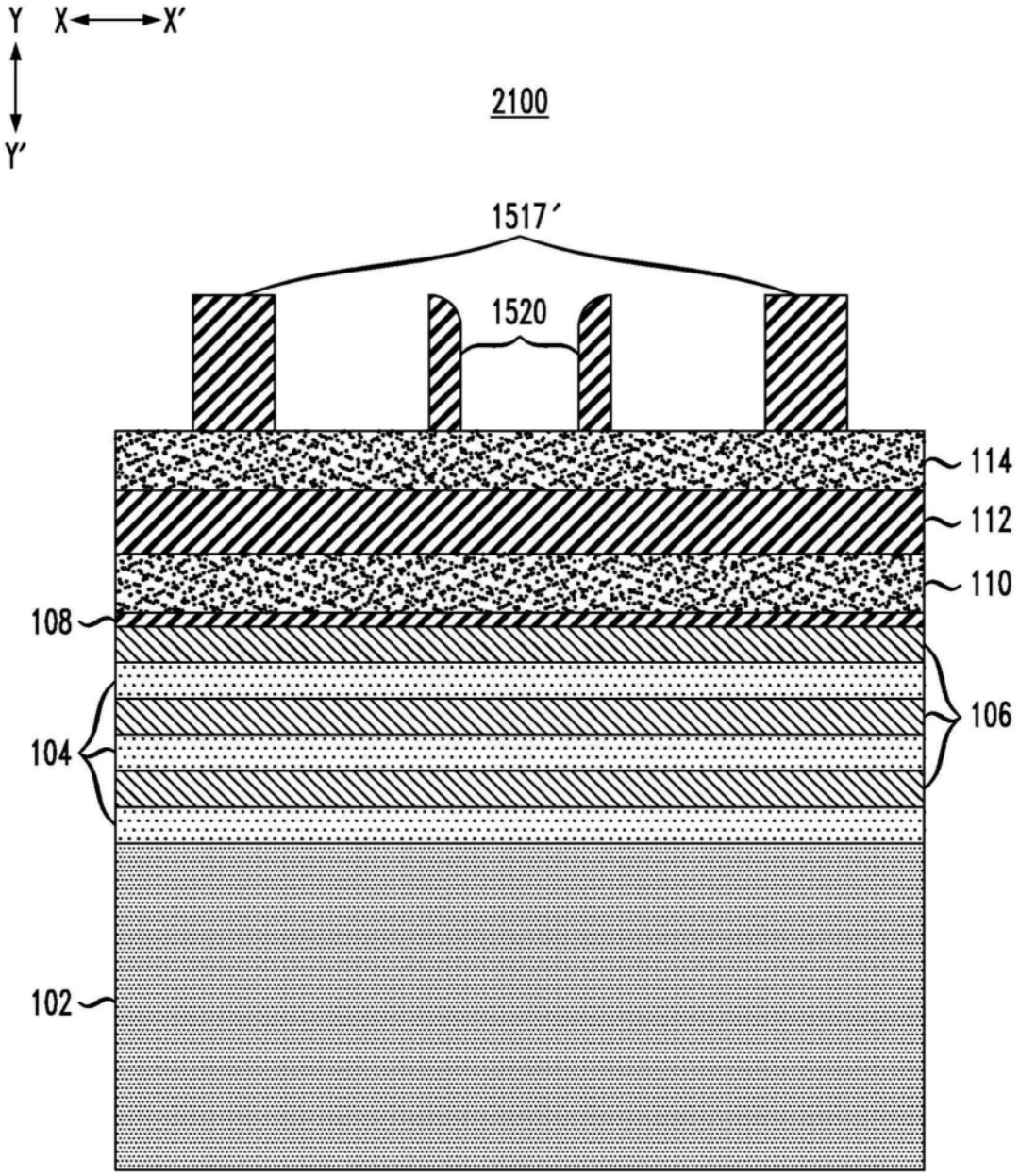


图21

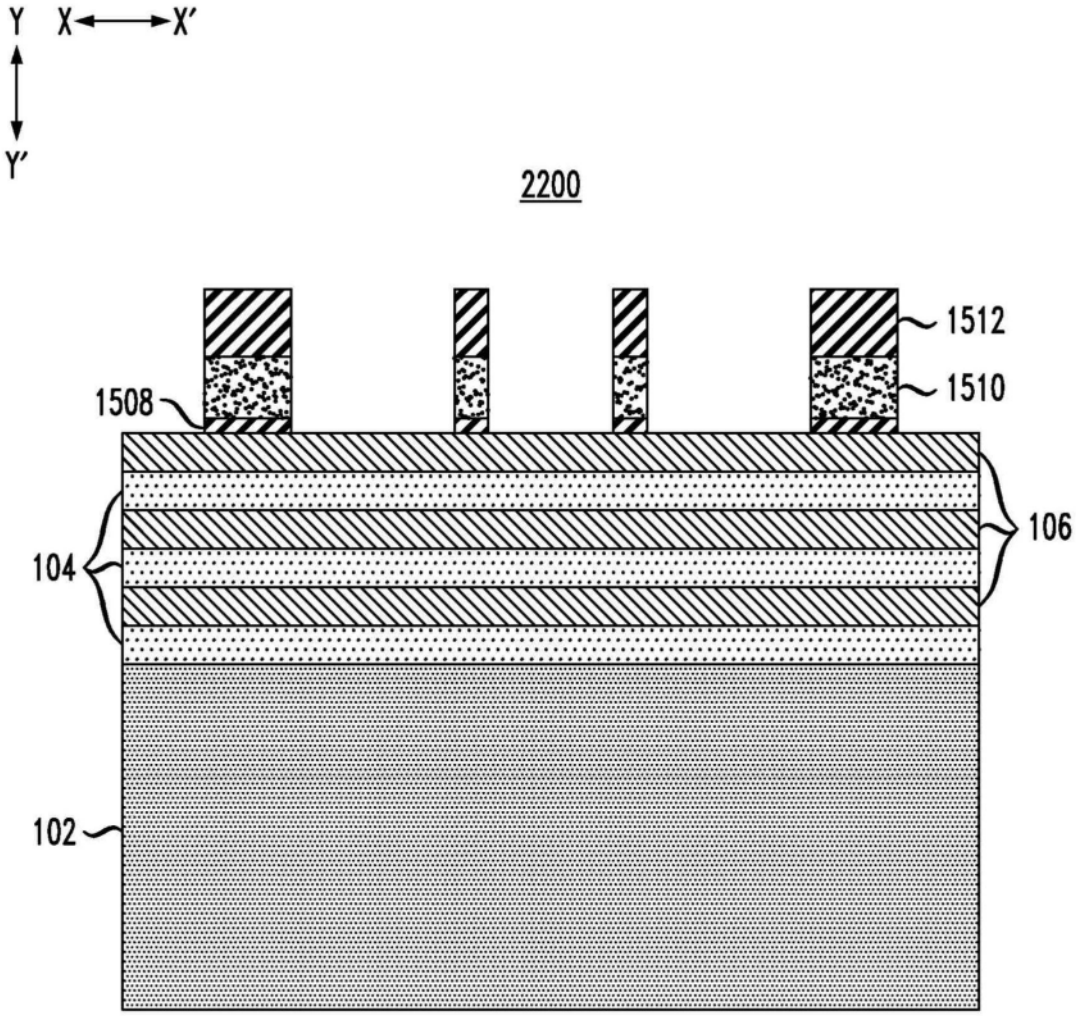


图22

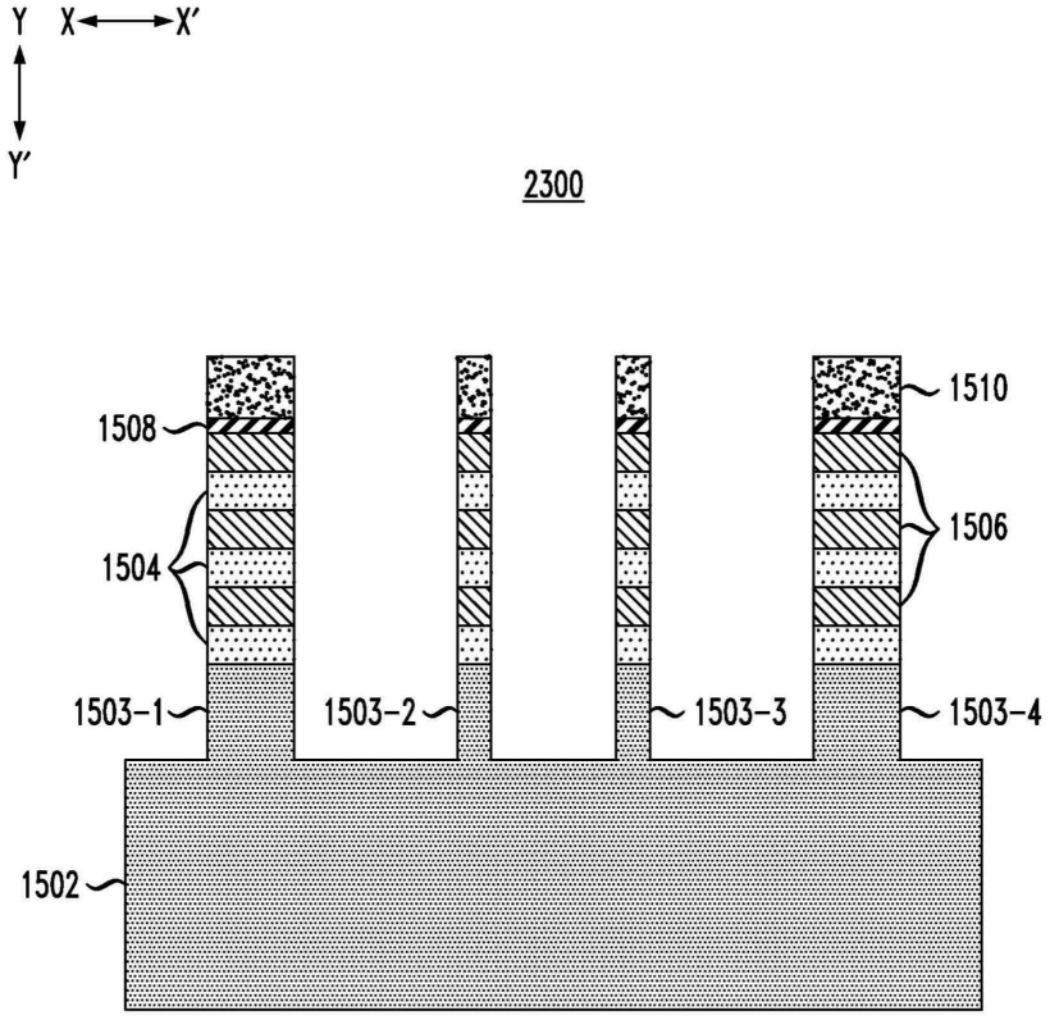


图23