



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201021202 A1

(43)公開日：中華民國 99 (2010) 年 06 月 01 日

(21)申請案號：098132746

(22)申請日：中華民國 98 (2009) 年 09 月 28 日

(51)Int. Cl.：

H01L27/115 (2006.01)

H01L29/788 (2006.01)

H01L29/792 (2006.01)

H01L21/8247(2006.01)

(30)優先權：2008/11/10

日本

2008-287807

(71)申請人：東芝股份有限公司 (日本) KABUSHIKI KAISHA TOSHIBA (JP)

日本

(72)發明人：福住嘉晃 FUKUZUMI, YOSHIAKI (JP)；鬼頭傑 KITO, MASARU (JP)；勝又龍太 KATSUMATA, RYOTA (JP)；木藤大 KIDOH, MASARU (JP)；田中啟安 TANAKA, HIROYASU (JP)；小森陽介 KOMORI, YOSUKE (JP)；石月惠 ISHIDUKI, MEGUMI (JP)；青地英明 AOCHI, HIDEAKI (JP)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：20 項 圖式數：33 共 74 頁

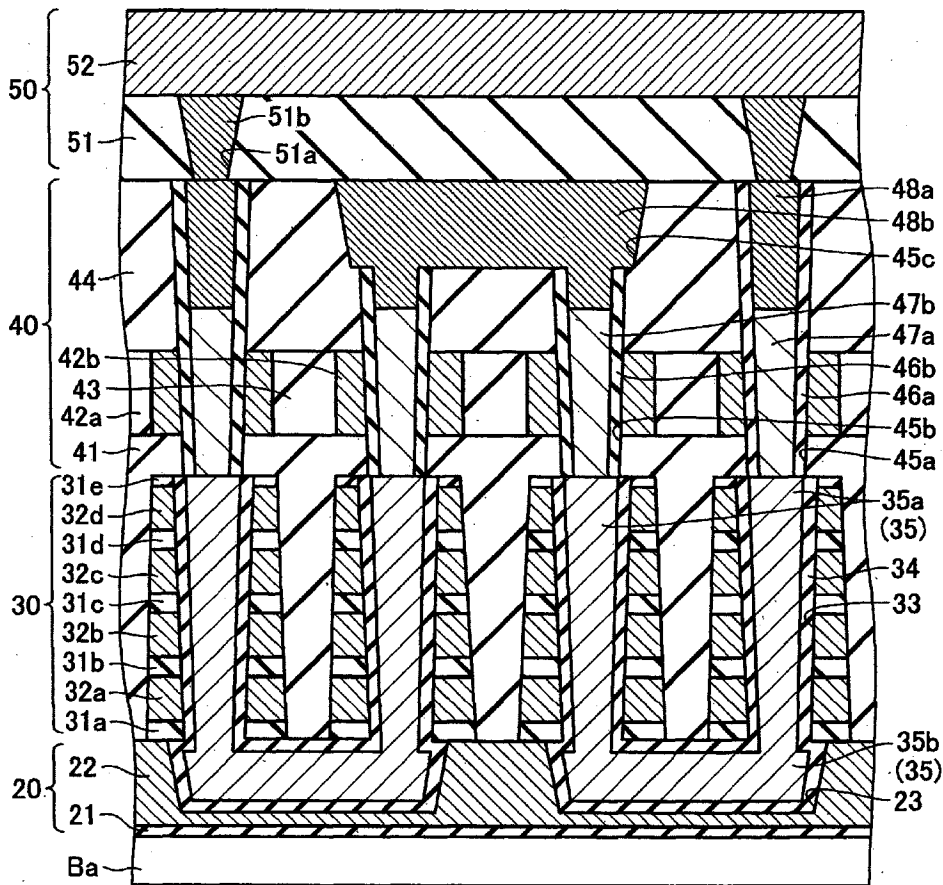
(54)名稱

非揮發性半導體記憶裝置及其製造方法

NONVOLATILE SEMICONDUCTOR MEMORY DEVICE AND METHOD OF MANUFACTURING THE SAME

(57)摘要

記憶體串中之每一者具備：一第一半導體層，其具有以一與一基板垂直方向延伸之一對柱狀部分；一電荷儲存層，其經形成以圍繞該等柱狀部分之一側表面；及一第一導電層，其經形成以圍繞該電荷儲存層。該等選擇電晶體中之每一者具備：一第二半導體層，其自該等柱狀部分之一上表面上延伸；一閘極絕緣層，其經形成以圍繞該第二半導體層之一側表面；及一第二導電層，其經形成以圍繞該閘極絕緣層。該第二半導體層之一有效雜質濃度小於或等於該第一半導體層之一有效雜質濃度。



- 20：背閘電晶體層
- 21：背閘絕緣層
- 22：背閘導電層
- 23：背閘孔
- 30：記憶體電晶體層
- 31a：第一字線間絕緣層
- 31b：第二字線間絕緣層
- 31c：第三字線間絕緣層
- 31d：第四字線間絕緣層
- 31e：第五字線間絕緣層
- 32a：第一字線導電層
- 32b：第二字線導電層
- 32c：第三字線導電層
- 32d：第四字線導電層
- 33：記憶體孔
- 34：記憶體閘極絕緣層
- 35：U形半導體層
- 35a：柱狀部分
- 35b：接合部分
- 40：選擇電晶體層
- 41：層間絕緣層
- 42a：汲極側導電層
- 42b：源極側導電層
- 43：選擇電晶體絕緣層
- 44：層間絕緣層
- 45a：汲極側孔
- 45b：源極側孔
- 45c：源極線佈線溝槽
- 46a：汲極側閘極絕緣層
- 46b：源極側閘極絕緣層
- 47a：汲極側閘極絕緣層
- 47b：源極側閘極絕緣層
- 48a：汲極側閘極絕緣層
- 48b：源極側閘極絕緣層
- 50：汲極側閘極絕緣層
- 51：源極側閘極絕緣層
- 51a：汲極側閘極絕緣層
- 51b：源極側閘極絕緣層
- 52：汲極側閘極絕緣層

46b：源極側閘極絕緣層

47a：汲極側柱狀半導體層

47b：源極側柱狀半導體層

48a：插塞導電層

48b：源極導電層

50：佈線層

51：層間絕緣層

51a：孔

51b：插塞層

52：位元線層

Ba：半導體基板



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201021202 A1

(43)公開日：中華民國 99 (2010) 年 06 月 01 日

(21)申請案號：098132746

(22)申請日：中華民國 98 (2009) 年 09 月 28 日

(51)Int. Cl.：

H01L27/115 (2006.01)

H01L29/788 (2006.01)

H01L29/792 (2006.01)

H01L21/8247(2006.01)

(30)優先權：2008/11/10

日本

2008-287807

(71)申請人：東芝股份有限公司 (日本) KABUSHIKI KAISHA TOSHIBA (JP)

日本

(72)發明人：福住嘉晃 FUKUZUMI, YOSHIAKI (JP)；鬼頭傑 KITO, MASARU (JP)；勝又龍太 KATSUMATA, RYOTA (JP)；木藤大 KIDOH, MASARU (JP)；田中啟安 TANAKA, HIROYASU (JP)；小森陽介 KOMORI, YOSUKE (JP)；石月惠 ISHIDUKI, MEGUMI (JP)；青地英明 AOCHI, HIDEAKI (JP)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：20 項 圖式數：33 共 74 頁

(54)名稱

非揮發性半導體記憶裝置及其製造方法

NONVOLATILE SEMICONDUCTOR MEMORY DEVICE AND METHOD OF MANUFACTURING THE SAME

(57)摘要

記憶體串中之每一者具備：一第一半導體層，其具有以一與一基板垂直方向延伸之一對柱狀部分；一電荷儲存層，其經形成以圍繞該等柱狀部分之一側表面；及一第一導電層，其經形成以圍繞該電荷儲存層。該等選擇電晶體中之每一者具備：一第二半導體層，其自該等柱狀部分之一上表面上延伸；一閘極絕緣層，其經形成以圍繞該第二半導體層之一側表面；及一第二導電層，其經形成以圍繞該閘極絕緣層。該第二半導體層之一有效雜質濃度小於或等於該第一半導體層之一有效雜質濃度。

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種電可重寫非揮發性半導體記憶裝置及其製造方法。

本申請案係基於2008年11月10日申請之先前日本專利申請案第2008-287807號且主張該案之優先權之權利，該案之全部內容以引用之方式併入本文中。

【先前技術】

習知地，LSI係藉由在二維平面中將元件整合於矽基板上而形成的。慣例係藉由減小(小型化)一元件之尺寸來增加記憶體之儲存容量。然而，近年來，甚至此小型化就成本及技術而言正變得困難。光微影技術方面之改良對於小型化而言係必要的，但微影製程所需之成本正不斷地增加。此外，除非按比例調整驅動電壓等，否則即使達成小型化，預期仍將遇到實體限制(諸如元件之間的耐受電壓之實體限制)。換言之，很有可能如裝置之操作將變得困難。

因此，近年來，提議其中記憶體單元以三維方式安置以便提高記憶體之整合程度的半導體記憶裝置(參看專利文獻1：日本未審查專利申請公開案第2007-266143號)。

其中記憶體單元以三維方式安置的一種習知半導體記憶裝置使用具有圓柱形柱狀結構之電晶體(專利文獻1)。使用具有圓柱形柱狀結構之電晶體的半導體記憶裝置具備經組態以形成閘電極之多層導電層及支柱形柱狀半導體。柱狀

半導體充當電晶體之通道(主體)部分。柱狀半導體之附近具備記憶體閘極絕緣層。將包括此等導電層、柱狀半導體及記憶體閘極絕緣層之組態稱作「記憶體串」。

在將上述習知技術用於進一步整合之狀況下，柱狀半導體之長度增加。因此，需要增加單元電流。同時，需要減少來自未選擇之記憶體串之洩漏電流以確保讀取容限。

【發明內容】

根據本發明之第一態樣，一種非揮發性半導體記憶裝置包括：複數個記憶體串，該等記憶體串中之每一者具有串聯連接之複數個電可重寫記憶體單元；及選擇電晶體，該等選擇電晶體中之每一者連接至該等記憶體串中之每一者之端中的每一者，該等記憶體串中之每一者包括：一第一半導體層，其具有相對於基板在垂直方向上延伸之一對柱狀部分及一經形成以便接合該對柱狀部分之下端的接合部分；一電荷儲存層，其經形成以圍繞該等柱狀部分之側表面；及一第一導電層，其經形成以圍繞該電荷儲存層及該等柱狀部分之該側表面，且該等選擇電晶體中之每一者包括：一第二半導體層，其自該等柱狀部分之一上表面向上延伸；一閘極絕緣層，其經形成以圍繞該第二半導體層之一側表面；及一第二導電層，其經形成以圍繞該閘極絕緣層及該第二半導體層之該側表面，該第一導電層充當該等記憶體單元之一控制電極，該第二導電層充當該等選擇電晶體之一控制電極，且該第二半導體層之一有效雜質濃度小於或等於該第一半導體層之一有效雜質濃度。

根據本發明之第二態樣，一種製造一非揮發性半導體記憶裝置之方法包括：沈積由一第一層間絕緣層夾入之複數個第一導電層；在該等第一導電層中之一上層上沈積一由一第二層間絕緣層夾入之第二導電層；藉由以一如自平行於一基板之方向所檢視之U形穿透該複數個第一導電層而形成一第一孔；藉由穿透該第二導電層而形成一第二孔；將電荷儲存層形成於第一導電層之位於該第一孔中之一側壁中；將絕緣層形成於該第二導電層之位於該第二孔中之一側壁中；形成一第一半導體層以便填充該第一孔；形成一第二半導體層以便填充該第二孔；及將該第二半導體層之一有效雜質濃度設定為小於或等於該第一半導體層之一有效雜質濃度，該非揮發性半導體記憶裝置包括：複數個記憶體串，該等記憶體串中之每一者具有串聯連接之複數個電可重寫記憶體單元；及選擇電晶體，該等選擇電晶體中之一者連接至該等記憶體串中之每一者之端中的每一者。

【實施方式】

下文參看圖式來描述根據本發明之非揮發性半導體記憶裝置之實施例。

[第一實施例]

(根據第一實施例之非揮發性半導體記憶裝置100之組態)

圖1展示根據本發明之第一實施例之非揮發性半導體記憶裝置100的示意圖。如圖1中所展示，根據第一實施例之

非揮發性半導體記憶裝置100主要包括一記憶體電晶體區域12、一字線驅動電路13、一源極側選擇閘極線(SGS)驅動電路14、一汲極側選擇閘極線(SGD)驅動電路15、一感測放大器16、一源極線驅動電路17及一背閘電晶體驅動電路18。該記憶體電晶體區域12包括經組態以儲存資料之記憶體電晶體。該字線驅動電路13控制一施加至一字線WL之電壓。該源極側選擇閘極線(SGS)驅動電路14控制一施加至一源極側選擇閘極線(SGS)之電壓。該汲極側選擇閘極線(SGD)驅動電路15控制一施加至一汲極側選擇閘極線(SGD)之電壓。該感測放大器16放大一自記憶體電晶體讀取之電位。該源極線驅動電路17控制一施加至一源極線SL之電壓。該背閘電晶體驅動電路18控制一施加至一背閘線BG之電壓。注意，除上述組件之外，根據第一實施例之非揮發性半導體記憶裝置100還包括一經組態以控制一施加至一位元線BL之電壓的位元線驅動電路(未圖示)。

圖2係根據第一實施例之非揮發性半導體記憶裝置100的記憶體電晶體區域12之部分的示意性透視圖。在第一實施例中，記憶體電晶體區域12包括 $m \times n$ (其中 m 與 n 為自然數)個記憶體串MS、源極側選擇電晶體SSTr及汲極側選擇電晶體SDTr。圖2展示一實例，其中 $m=6$ 且 $n=2$ 。

在根據第一實施例之非揮發性半導體記憶裝置100中，記憶體電晶體區域12具備複數個記憶體串MS。如下文將予以更詳細描述，該等記憶體串MS中之每一者具有一組態，其中複數個電可重寫記憶體電晶體MTr1-MTr8串聯連

接。如圖1及圖2中所展示，藉由堆疊複數個半導體層形成組態記憶體串MS之記憶體電晶體MTr1-MTr8。

記憶體串MS中之每一者包括一U形半導體SC、字線WL1-WL8及背閘線BG。汲極側選擇電晶體SDTr包括一柱狀半導體Sca及汲極側選擇閘極線SGD。源極側選擇電晶體SSTr包括一柱狀半導體SCb及源極側選擇閘極線SGS。

將U形半導體SC形成為自列方向檢視之U形狀。U形半導體SC包括相對於半導體基板Ba在一大體上垂直之方向上延伸之一對柱狀部分CL及一經形成以便接合該對柱狀部分CL之下端的接合部分JP。注意，柱狀部分CL可為圓柱形柱形狀或可為稜形柱形狀。此外，柱狀部分CL可為具有分層形狀之柱形狀。此處，列方向係與堆疊方向正交之方向，且下文將描述之行方向係與堆疊方向及列方向正交的方向。

安置U形半導體SC使得接合該對柱狀部分CL之中心軸的線平行於行方向。此外，安置U形半導體SC以在由列方向及行方向組態之平面中形成一矩陣。

形成柱狀半導體SCa以便自柱狀部分CL中之一者的上表面向上延伸。形成柱狀半導體SCb以便自柱狀部分CL中之另一者的上表面向上延伸。

每一層中之字線WL1-WL8具有平行於列方向延伸之形狀。每一層中之字線WL1-WL8係用重複之方式以彼此絕緣並隔離且在行方向上具有一預定間距的線來形成。字線WL1形成於與字線WL8相同之層中。類似地，字線WL2形

成於與字線 WL7 相同之層中，字線 WL3 形成於與字線 WL6 相同之層中，且字線 WL4 形成於與字線 WL5 相同之層中。

在行方向上提供於相同位置處且在列方向上對準之記憶體電晶體 MTr1-MTr8 具有連接至等同之字線 WL1-WL8 的閘極。字線 WL1-WL8 中之每一者在列方向上的端被形成為階梯形狀。形成字線 WL1-WL8 中之每一者以便圍繞在列方向上排列的複數個柱狀部分 CL。

如圖 3 中所展示，一 ONO(氧化物-氮化物-氧化物)層 NL 形成於字線 WL1-WL8 與柱狀部分 CL 之間。ONO 層 NL 包括一鄰近於柱狀部分 CL 之穿隧絕緣層 TI、一鄰近於穿隧絕緣層 TI 之電荷儲存層 EC 及一鄰近於電荷儲存層 EC 之區塊絕緣層 BI。電荷儲存層 EC 具有積聚電荷之功能。換言之，為表示上述組態，形成電荷儲存層 EC 以便圍繞柱狀部分 CL 之側表面；且形成字線 WL1-WL8 中之每一者以便圍繞電荷儲存層 EC。

將汲極側選擇閘極線 SGD 提供於該等字線中之最上字線 WL1 的上方。汲極側選擇閘極線 SGD 具有平行於列方向延伸之形狀。汲極側選擇閘極線 SGD 係用重複之方式以在行方向上具有交替之預定間距的線來形成，以便夾入下文將描述之源極側選擇閘極線 SGS。形成汲極側選擇閘極線 SGD 以便圍繞在列方向上排列的複數個柱狀半導體 SCa 中之每一者。如圖 3 中所展示，一閘極絕緣層 DGI 形成於汲極側選擇閘極線 SGD 與柱狀半導體 SCa 之間。換言之，為表示上述組態，形成汲極側選擇閘極線 SGD 中之每一者以便

圍繞閘極絕緣層DGI。

將源極側選擇閘極線SGS提供於該等字線中之最上字線WL8的上方。源極側選擇閘極線SGS具有平行於列方向延伸之形狀。源極側選擇閘極線SGS係用重複之方式以在行方向上具有預定間距的線來形成，從而將上文所提及之汲極側選擇閘極線SGD夾於其間。形成源極側選擇閘極線SGS以便圍繞在列方向上排列的複數個柱狀半導體SCb中之每一者。如圖3中所展示，一閘極絕緣層SGI形成於源極側選擇閘極線SGS與柱狀半導體SCb之間。換言之，為表示上述組態，形成源極側選擇閘極線SGS中之每一者以便圍繞閘極絕緣層SGI。

形成在列方向及行方向上以二維方式延伸之背閘線BG以便覆蓋複數個接合部分JP之下部分。如圖3中所展示，上文所提及之ONO層NL形成於背閘線BG與接合部分JP中之每一者之間。

源極線SL形成於由源極側選擇閘極線SGS圍繞且在行方向上鄰近之一對柱狀半導體SCb的上端處。

位元線BL形成於由汲極側選擇閘極線SGD圍繞之柱狀半導體SCa的上端(其中插入了插塞線PL)處。形成位元線BL中之每一者以便使其定位於源極線SL之上方。位元線BL中之每一者係用重複之方式以在行方向上延伸且在列方向上具有預定間隔的線來形成。

接下來，參看圖2至圖4來描述第一實施例中由記憶體串MS、汲極側選擇電晶體SDTr及源極側選擇電晶體SSTr構

成之電路的組態。圖4係第一實施例中之一個記憶體串MS、汲極側選擇電晶體SDTr及源極側選擇電晶體SSTr的電路圖。

如圖2至圖4中所展示，第一實施例中之記憶體串MS中之每一者具有串聯連接之八個電可重寫記憶體電晶體MTr1-MTr8。源極側選擇電晶體SSTr連接至記憶體串MS之兩端中之一者且汲極側選擇電晶體SDTr連接至記憶體串MS之兩端中之另一者。背閘電晶體BGTr提供於記憶體串MS中(在記憶體電晶體MTr4與記憶體電晶體MTr5之間)。

藉由柱狀部分CL、ONO層NL(電荷儲存層EC)及字線WL來組態記憶體電晶體MTr中之每一者。字線WL之與ONO層NL接觸的邊緣部分充當記憶體電晶體MTr之控制閘電極。

藉由柱狀半導體SCa、閘極絕緣層DGI及汲極側選擇閘極線SGD來組態汲極側選擇電晶體SDTr。汲極側選擇閘極線SGD之與閘極絕緣層DGI接觸之邊緣部分充當汲極側選擇電晶體SDTr之控制閘電極。

藉由柱狀半導體SCb、閘極絕緣層SGI及源極側選擇閘極線SGS來組態源極側選擇電晶體SSTr。源極側選擇閘極線SGS之與閘極絕緣層SGI接觸之邊緣部分充當源極側選擇電晶體SSTr之控制閘電極。

藉由接合部分JP、ONO層NL(電荷儲存層EC)及背閘線BG來組態背閘電晶體BGTr。背閘線BG之與ONO層NL接觸之邊緣部分充當背閘電晶體BGTr之控制閘電極。

(根據第一實施例之非揮發性半導體記憶裝置100之特定

組態)

接下來，參看圖5來描述根據第一實施例之非揮發性半導體記憶裝置100之特定組態。圖5係根據第一實施例之非揮發性半導體記憶裝置100之記憶體電晶體區域12的橫截面圖。

如圖5中所展示，記憶體電晶體區域12在堆疊方向上自半導體基板Ba按順序包括背閘電晶體層20、記憶體電晶體層30、選擇電晶體層40及佈線層50。背閘電晶體層20充當上文所提及之背閘電晶體BGTr。記憶體電晶體層30充當上文所提及之記憶體電晶體MTr1-MTr8。選擇電晶體層40充當上文所提及之源極側選擇電晶體SSTr及汲極側選擇電晶體SDTr。

背閘電晶體層20包括按順序堆疊於半導體基板Ba上的背閘絕緣層21及背閘導電層22。形成在行方向及列方向上延伸至記憶體電晶體區域12之極端的背閘絕緣層21及背閘導電層22。

形成覆蓋下文所描述之U形半導體層35之接合部分35b之下表面及側表面的背閘導電層22，且將背閘導電層22形成至與接合部分35b之上表面相同的高度。

背閘絕緣層21係由氧化矽(SiO_2)構成。背閘導電層22係由多晶矽(Si)構成。

另外，背閘電晶體層20包括經形成以便挖出背閘導電層22的背閘孔23。背閘孔23中之每一者經組態以具有在列方向上短且在行方向上長的開口。在列方向及行方向上以預

定間隔形成背閘孔23。即，在包括列方向及行方向之平面中以一矩陣形成背閘孔23。

記憶體電晶體層30包括第一至第五字線間絕緣層31a-31e及第一至第四字線導電層32a-32d，該等層31a-31e、32a-32d交替地堆疊於背閘導電層22上方。

第一至第五字線間絕緣層31a-31e及第一至第四字線導電層32a-32d係用重複之方式以在列方向上延伸且在行方向上具有預定間隔的線來形成。第一至第五字線間絕緣層31a-31e及第一至第四字線導電層32a-32d在列方向上之端處成形為階梯形狀。

第一至第五字線間絕緣層31a-31e係由氧化矽(SiO_2)構成。第一至第四字線導電層32a-32d係由多晶矽(Si)構成。

記憶體電晶體層30包括經形成以便穿透第一至第五字線間絕緣層31a-31e及第一至第四字線導電層32a-32d的記憶體孔33。形成該等記憶體孔33以便對準背閘孔23中之每一者在行方向上的兩端附近的位置。

另外，上述背閘電晶體層20及記憶體電晶體層30包括一記憶體閘極絕緣層34及U形半導體層35。將記憶體閘極絕緣層34形成於第一至第五字線間絕緣層31a-31e及第一至第四字線導電層32a-32d之位於記憶體孔33中之側壁上及背閘導電層22之位於背閘孔23中之側壁上。

將U形半導體層35形成為自列方向上檢視之U形狀。形成U形半導體層35以便與記憶體閘極絕緣層34接觸且以便填充背閘孔23及記憶體孔33。U形半導體層35包括：一對

柱狀部分35a，自列方向所檢視，其相對於半導體基板Ba在垂直方向上延伸；及一接合部分35b，其經形成以便接合該對柱狀部分35a之下端。

記憶體閘極絕緣層34係由氧化矽(SiO_2)-氮化矽(SiN)-氧化矽(SiO_2)構成。U形半導體層35係由摻雜有磷(P)之多晶矽(Si)(n型半導體)構成。U形半導體層35具有 $1 \times 10^{19} \text{ cm}^{-3}$ 或更大之有效雜質濃度。此處，該有效雜質濃度係藉由自n型雜質濃度減去p型雜質濃度而獲得的濃度。

在背閘電晶體層20及記憶體電晶體層30之上述組態中，背閘導電層22充當背閘電晶體BGTr之閘極。背閘導電層22充當背閘線BG。第一至第四字線導電層32a-32d充當記憶體電晶體MTr1-MTr8之閘極。第一至第四字線導電層32a-32d充當字線WL1-WL8。

選擇電晶體層40包括沈積於記憶體電晶體層30上之層間絕緣層41、汲極側導電層42a、源極側導電層42b、選擇電晶體絕緣層43及層間絕緣層44。形成層間絕緣層41以便與第一至第五字線間絕緣層31a-31e及第一至第四字線導電層32a-32d的側表面接觸。汲極側導電層42a、源極側導電層42b及選擇電晶體絕緣層43係用重複之方式以在列方向上延伸且在行方向上具有預定間隔的線來形成。

形成在列方向上延伸且在行方向上具有預定間距的汲極側導電層42a。類似地，形成在列方向上延伸且在行方向上具有預定間距的源極側導電層42b。在行方向上交替地形成一對汲極側導電層42a及一對源極側導電層42b。將選

擇電晶體絕緣層43形成於如上文所描述而形成的汲極側導電層42a與源極側導電層42b之間。將層間絕緣層44形成於汲極側導電層42a、源極側導電層42b及選擇電晶體絕緣層43上方。

汲極側導電層42a及源極側導電層42b係由摻雜有硼(B)之多晶矽(Si)(p+型半導體)構成。層間絕緣層41及44以及選擇電晶體絕緣層43係由氧化矽(SiO_2)構成。

另外，選擇電晶體層40包括汲極側孔45a、源極側孔45b、源極線佈線溝槽45c、汲極側閘極絕緣層46a、源極側閘極絕緣層46b、汲極側柱狀半導體層47a、源極側柱狀半導體層47b、插塞導電層48a及源極導電層48b。

形成汲極側孔45a中之每一者以便穿透層間絕緣層44、汲極側導電層42a及層間絕緣層41。形成源極側孔45b中之每一者以便穿透層間絕緣層44、源極側導電層42b及層間絕緣層41。將汲極側孔45a及源極側孔45b形成於與記憶體孔33對準之位置處。形成源極線佈線溝槽45c以便在行方向上鄰近之源極側孔45b之上部分處挖出層間絕緣層44。形成源極線佈線溝槽45c以便連接在行方向上鄰近之源極側孔45b之上部分且以便在列方向上延伸。

將汲極側閘極絕緣層46a形成於層間絕緣層41、汲極側導電層42a及層間絕緣層44之位於汲極側孔45a中之側壁上。將源極側閘極絕緣層46b形成於層間絕緣層41、源極側導電層42b及層間絕緣層44之位於源極側孔45b中之側壁上。形成汲極側柱狀半導體層47a以便與汲極側閘極絕緣

層 46a 接觸達汲極側孔 45a 內之一預定高度。形成源極側柱狀半導體層 47b 以便與源極側閘極絕緣層 46b 接觸達源極側孔 45b 內之一預定高度。

形成插塞導電層 48a 以便自汲極側孔 45a 內之預定高度至選擇電晶體層 40 之上表面填充汲極側孔 45a。形成源極導電層 48b 以便自源極側孔 45b 內之預定高度至選擇電晶體層 40 之上表面填充源極側孔 45b 及源極線佈線溝槽 45c。

汲極側閘極絕緣層 46a 及源極側閘極絕緣層 46b 係由氧化矽 (SiO_2) 構成。汲極側柱狀半導體層 47a 及源極側柱狀半導體層 47b 係由摻雜有微小量之磷 (P) 的多晶矽 (Si) (n 型半導體) 構成或由未摻雜有任何雜質之多晶矽 (Si) (i 型半導體) 構成。汲極側柱狀半導體層 47a 及源極側柱狀半導體層 47b 具有 $3 \times 10^{17} \text{ cm}^{-3}$ 或更小之有效雜質濃度。即，汲極側柱狀半導體層 47a 及源極側柱狀半導體層 47b 之有效雜質濃度低於 U 形半導體層 35 之有效雜質濃度。插塞導電層 48a 及源極導電層 48b 係由鈦 (Ti)-氮化鈦 (TiN)-鎢 (W) 構成。

在選擇電晶體層 40 之上述組態中，汲極側導電層 42a 充當汲極側選擇電晶體 SDTr 之閘極，且亦充當汲極側選擇閘極線 SGD。源極側導電層 42b 充當源極側選擇電晶體 SStr 之閘極，且亦充當源極側選擇閘極線 SGS。源極導電層 48b 充當源極線 SL。

佈線層 50 包括層間絕緣層 51、孔 51a、插塞層 51b 及位元線層 52。將層間絕緣層 51 形成於選擇電晶體層 40 之上表面上。形成在與汲極側孔 45a 對準之位置處穿透層間絕緣層

51的孔51a。將插塞層51b形成達層間絕緣層51之上表面以便填充孔51a。位元線層52係以在行方向上延伸且在列方向上具有預定間距的線形成以便與插塞層51b之上表面接觸。

層間絕緣層51係由氧化矽(SiO_2)構成。插塞層51b及位元線層52係由鈦(Ti)-氮化鈦(Ti)-鎢(W)構成。

在佈線層50之上述組態中，位元線層52充當位元線BL。

(製造根據第一實施例之非揮發性半導體記憶裝置100之方法)

接下來，參看圖6至圖23來描述製造根據第一實施例之非揮發性半導體記憶裝置100之方法。圖6至圖23係展示根據第一實施例之非揮發性半導體記憶裝置100之製造過程的橫截面圖。

首先，如圖6中所展示，將氧化矽(SiO_2)及多晶矽(Si)沈積於半導體基板Ba上以分別形成背閘絕緣層21及背閘導電層22。

接下來，如圖7中所展示，使用微影或RIE(反應性離子蝕刻)方法來挖出背閘導電層22以形成背閘孔23。

接著，如圖8中所展示，沈積氮化矽(SiN)以便填充背閘孔23，藉此形成犧牲層61。

接下來，如圖9中所展示，將氧化矽(SiO_2)及多晶矽(Si)交替地沈積於背閘導電層22及犧牲層61上以形成第一至第五字線間絕緣層31a-31e及第一至第四字線導電層32a-

32d。

隨後，如圖10中所展示，穿透第一至第五字線間絕緣層31a-31e及第一至第四字線導電層32a-32d以形成記憶體孔33。形成該等記憶體孔33以到達犧牲層61在行方向上之兩端的上表面。

接下來，如圖11中所展示，沈積氮化矽(SiN)以便填充記憶體孔33，藉此形成犧牲層62。

隨後，如圖12中所展示，穿透第一至第五字線間絕緣層31a-31e及第一至第四字線導電層32a-32d以形成溝槽63。將該等溝槽63形成於在行方向上排列之記憶體孔33之間。形成該等溝槽63以便在列方向上延伸。

接下來，如圖13中所展示，沈積氧化矽(SiO₂)以便填充溝槽63，藉此形成層間絕緣層41。

接著，如圖14中所展示，將多晶矽(Si)及氧化矽(SiO₂)沈積於層間絕緣層41上以形成汲極側導電層42a、源極側導電層42b、選擇電晶體絕緣層43及層間絕緣層44。此處，形成汲極側導電層42a、源極側導電層42b及選擇電晶體絕緣層43以便在列方向上延伸且在行方向上具有一預定間距。形成汲極側導電層42a及源極側導電層42b使得若干對汲極側導電層42a及若干對源極側導電層42b交替地配置於行方向上。

接下來，如圖15中所展示，穿透層間絕緣層44、汲極側導電層42a及層間絕緣層41以形成汲極側孔45a；進一步，穿透層間絕緣層44、源極側導電層42b及層間絕緣層41以

形成源極側孔45b。將該等汲極側孔45a及該等源極側孔45b形成於與記憶體孔33對準之位置處。

隨後，如圖16中所展示，用熱磷酸溶液來移除犧牲層61及62。

接下來，如圖17中所展示，沈積氧化矽(SiO_2)、氮化矽(SiN)及氧化矽(SiO_2)以形成ONO層64。形成該ONO層64以便覆蓋背閘孔23、記憶體孔33、汲極側孔45a及源極側孔45b之側表面。

接著，如圖18中所展示，將多晶矽(Si)沈積於記憶體孔33及背閘孔23中並用磷(P)摻雜。經由此等製程形成U形半導體層35。此處，U形半導體層35之有效雜質濃度被設定為 $1 \times 10^{19} \text{ cm}^{-3}$ 或更大。

接下來，如圖19中所展示，移除形成於汲極側孔45a及源極側孔45b中之ONO層64。經由此製程，保留在記憶體孔33及背閘孔23中之ONO層64變成記憶體閘極絕緣層34。

隨後，如圖20中所展示，將氧化矽(SiO_2)沈積於汲極側孔45a及源極側孔45b中之側壁上以形成汲極側閘極絕緣層46a及源極側閘極絕緣層46b。

接下來，如圖21中所展示，將多晶矽(Si)沈積達汲極側孔45a及源極側孔45b中之一預定高度，並用磷(P)摻雜。經由此等製程形成汲極側柱狀半導體層47a及源極側柱狀半導體層47b。此處，汲極側柱狀半導體層47a及源極側柱狀半導體層47b之有效雜質濃度被設定為 $3 \times 10^{17} \text{ cm}^{-3}$ 或更小。即，汲極側柱狀半導體層47a及源極側柱狀半導體層

47b之有效雜質濃度被設定為小於或等於U形半導體層35之有效雜質濃度。

接著，如圖22中所展示，挖出層間絕緣層44以便在行方向上接合在行方向上鄰近之源極側孔45b中之每一者的上部分，藉此形成源極線佈線溝槽45c。形成該源極線佈線溝槽45c以便具有在行方向上短且在列方向上長之矩形開口。

接下來，如圖23中所展示，沈積鈦(Ti)-氮化鈦(TiN)-鎢(W)以便填充汲極側孔45a、源極側孔45b及源極線佈線溝槽45c，藉此形成插塞層48a及源極線導電層48b。

隨後，形成佈線層50，藉此形成圖5中所展示之非揮發性半導體記憶裝置100。

(根據第一實施例之非揮發性半導體記憶裝置100之優點)

接下來，描述根據第一實施例之非揮發性半導體記憶裝置100之優點。如在上述堆疊結構中所展示，根據第一實施例之非揮發性半導體記憶裝置100具有高度整合的能力。

在非揮發性半導體記憶裝置100中，汲極側柱狀半導體層47a及源極側柱狀半導體層47b之有效雜質濃度小於U形半導體層35之有效雜質濃度。因此，在非揮發性半導體記憶裝置100中，可減小記憶體電晶體MTr1-MTr8之閘極之間(第一至第四字線導電層32a-32d之間)的寄生電阻，且可增加讀取期間之單元電流。此外，在非揮發性半導體記憶

裝置100中，可減小生成復合電流，且可組態具有良好之切斷特性的汲極側選擇電晶體SDTr及源極側選擇電晶體SSTr。

另外，汲極側柱狀半導體層47a及源極側柱狀半導體層47b之有效雜質濃度為 $3 \times 10^{17} \text{ cm}^{-3}$ 或更小，且U形半導體層35之有效雜質濃度為 $1 \times 10^{19} \text{ cm}^{-3}$ 或更大。現在，大體已知多晶矽層中之載子密度在約 $1 \times 10^{18} \text{ cm}^{-3}$ 之邊界有效雜質濃度下急劇改變。即，在根據第一實施例之非揮發性半導體記憶裝置100中，組態汲極側柱狀半導體層47a及源極側柱狀半導體層47b之有效雜質濃度與U形半導體層35之有效雜質濃度以便避免 $1 \times 10^{18} \text{ cm}^{-3}$ 之有效雜質濃度。因此，即使在製造根據第一實施例之非揮發性半導體記憶裝置100時發生有效雜質濃度之細微變化的狀況下，載子密度仍未極大地改變。可改良根據第一實施例之非揮發性半導體記憶裝置100的良率。

此外，非揮發性半導體記憶裝置100包括由摻雜有硼(B)之多晶矽(Si)(p+型半導體)構成的汲極側導電層42a及源極側導電層42b。因此，在根據第一實施例之非揮發性半導體記憶裝置100中，可將汲極側選擇電晶體SDTr及源極側選擇電晶體SSTr之臨限電壓設定為正的。結果，可簡化源極側選擇閘極線驅動電路14及汲極側選擇閘極線驅動電路15。

[第二實施例]

(根據第二實施例之非揮發性半導體記憶裝置之特定組

態)

接下來，參看圖24來描述根據第二實施例之非揮發性半導體記憶裝置之特定組態。圖24係根據第二實施例之非揮發性半導體記憶裝置之記憶體電晶體區域12的橫截面圖。注意，在第二實施例中，將相同符號指派給與第一實施例中之組態類似的組態且省略其描述。

如圖24中所展示，根據第二實施例之非揮發性半導體記憶裝置包括背閘電晶體層20a、記憶體電晶體層30a及選擇電晶體層40a，其與第一實施例之背閘電晶體層、記憶體電晶體層及選擇電晶體層不同。

背閘電晶體層20a及記憶體電晶體層30a包括一與第一實施例之U形半導體層不同的U形半導體層35A。背閘電晶體層20a及記憶體電晶體層30a進一步包括內部絕緣層36。

半導體層35A被形成為U形狀且包括一對柱狀部分35Aa及一經形成以便接合該對柱狀部分35Aa之下端的接合部分35Ab，此類似於第一實施例。同時，U形半導體層35A與第一實施例的不同之處在於包括一自柱狀部分35Aa中之一者之上端經由接合部分35Ab連通至柱狀部分35Aa中之另一者之上端的中空部35Ac。

形成內部絕緣層36以便填充中空部35Ac。內部絕緣層36係由氧化矽(SiO_2)構成。

選擇電晶體層40a包括汲極側柱狀半導體層47Aa及源極側柱狀半導體層47Ab，其與第一實施例之汲極側柱狀半導體層及源極側柱狀半導體層不同。選擇電晶體層40a進一

步包括內部絕緣層49a及49b。

將汲極側柱狀半導體層47Aa形成為柱形狀，此類似於第一實施例。同時，汲極側柱狀半導體層47Aa與第一實施例的不同之處在於包括一自其上端至其下端之中空部47Aaa。將源極側柱狀半導體層47Ab形成為柱形狀，此類似於第一實施例。同時，源極側柱狀半導體層47Ab與第一實施例的不同之處在於包括一自其上端至其下端之中空部47Abb。

將內部絕緣層49a形成於汲極側柱狀半導體層47Aa之中空部47Aaa中。將內部絕緣層49b形成於源極側柱狀半導體層47Ab之中空部47Abb中。內部絕緣層49a及49b係由氧化矽(SiO_2)構成。

(製造根據第二實施例之非揮發性半導體記憶裝置之方法)

接下來，參看圖25至圖29來描述製造根據第二實施例之非揮發性半導體記憶裝置之方法。圖25至圖29係展示根據第二實施例之非揮發性半導體記憶裝置之製造過程的橫截面圖。

首先，執行直至且包括第一實施例之圖6至圖10中所展示之製程的製程。接下來，用熱磷酸溶液移除圖10中所展示之犧牲層61以形成背閘孔23及記憶體孔33。接著，如圖25中展所示，沈積氧化矽(SiO_2)、氮化矽(SiN)及氧化矽(SiO_2)以形成記憶體閘極絕緣層34。形成該記憶體閘極絕緣層34以便覆蓋背閘孔23及記憶體孔33中之側表面。

接下來，如圖26中所展示，將多晶矽(Si)形成於背閘孔23及記憶體孔33中之側壁上，並用磷(P)摻雜。經由此製程形成具有中空部35Ac之U形半導體層35A。接著，沈積氧化矽(SiO_2)以便填充背閘孔23及記憶體孔33，藉此將內部絕緣層36形成於U形半導體層35A之中空部35Ac中。另外，在回蝕內部絕緣層36之後，沈積多晶矽且平坦化其之上部分，藉此將一經組態以密封中空部35Ac之覆蓋層形成於記憶體孔33之上部分(內部絕緣層36)處。

隨後，如圖27中所展示，執行與第一實施例之圖14及圖15中之製程類似的製程，藉此形成汲極側孔45a以便穿透層間絕緣層44、汲極側導電層42a及層間絕緣層41；且形成源極側孔45b以便穿透層間絕緣層44、源極側導電層42b及層間絕緣層41。此處，將該等汲極側孔45a及該等源極側孔45b形成於與記憶體孔33對準之位置處。

接下來，如圖28中所展示，將氧化矽(SiO_2)沈積於汲極側孔45a及源極側孔45b中之側表面上以形成汲極側閘極絕緣層46a及源極側閘極絕緣層46b。

隨後，如圖29中所展示，將多晶矽(Si)形成(至預定高度)於汲極側孔45a及源極側孔45b中之側壁上，並用磷(P)摻雜。經由此製程形成具有中空部47Aaa之汲極側柱狀半導體層47Aa及具有中空部47Abb之源極側柱狀半導體層47Ab。接著，將氧化矽(SiO_2)沈積至汲極側孔45a及源極側孔45b之預定高度，藉此將內部絕緣層49a形成於汲極側柱狀半導體層47Aa之中空部47Aaa中；且將內部絕緣層49b

形成於源極側柱狀半導體層 47Ab 之中空部 47Abb 中。另外，在回蝕內部絕緣層 49a 及 49b 之後，沈積多晶矽且平坦化其之上部分，藉此將一經組態以密封中空部 47Aaa 及 47Abb 之覆蓋層形成於汲極側孔 45a(內部絕緣層 49a)及源極側孔 45b(內部絕緣層 49b)之上部分處。接著，在執行第一實施例之圖 22 及圖 23 中所展示之製程之後，形成佈線層 50，藉此形成圖 24 中所展示之非揮發性半導體記憶裝置。

(根據第二實施例之非揮發性半導體記憶裝置之優點)

接下來，描述根據第二實施例之非揮發性半導體記憶裝置之優點。根據第二實施例之非揮發性半導體記憶裝置具有大體上與第一實施例之組態類似的組態。因此，根據第二實施例之非揮發性半導體記憶裝置具有與第一實施例之優點相同的優點。

另外，在根據第二實施例之非揮發性半導體記憶裝置中，形成 U 形半導體層 35A、汲極側柱狀半導體層 47Aa 及源極側柱狀半導體層 47Ab 以分別包括中空部 35Ac、47Aaa 及 47Abb。此組態允許形成具有均一厚度之 U 形半導體層 35A、汲極側柱狀半導體層 47Aa 及源極側柱狀半導體層 47Ab，而不管背閘孔 23 之直徑、記憶體孔 33 之直徑及汲極側孔 45a 與源極側孔 45b 之直徑。換言之，可保持記憶體電晶體 MTr1-MTr8、汲極側選擇電晶體 SDTr 及源極側選擇電晶體 SSTr 之特性，而不受在根據第一實施例之非揮發性半導體記憶裝置 100 之製造期間開口直徑之變化的影響。

[第三實施例]

(根據第三實施例之非揮發性半導體記憶裝置之特定組態)

接下來，參看圖30來描述根據第三實施例之非揮發性半導體記憶裝置之特定組態。圖30係根據第三實施例之非揮發性半導體記憶裝置之記憶體電晶體區域12的橫截面圖。注意，在第三實施例中，將相同符號指派給與第一及第二實施例中之組態類似的組態且省略其描述。

如圖30中所展示，根據第三實施例之非揮發性半導體記憶裝置包括背閘電晶體層20b、記憶體電晶體層30b及選擇電晶體層40b，其與第一及第二實施例之背閘電晶體層、記憶體電晶體層及選擇電晶體層不同。

背閘電晶體層20b、記憶體電晶體層30b及選擇電晶體層40b包括U形半導體層35B、內部絕緣層36B、汲極側柱狀半導體層47Ba、源極側柱狀半導體層47Bb及內部絕緣層49Ba與49Bb，其與第二實施例之U形半導體層、內部絕緣層、汲極側柱狀半導體層、源極側柱狀半導體層及內部絕緣層不同。

以整合之方式連續地形成U形半導體層35B、汲極側柱狀半導體層47Ba及源極側柱狀半導體層47Bb。U形半導體層35B包括中空部35Bc，汲極側柱狀半導體層47Ba包括中空部47Baa，且源極側柱狀半導體層47Bb包括中空部47Bbb。形成中空部35Bc、中空部47Baa及中空部47Bbb以便彼此連通。注意，形成U形半導體層35B之中空部35Bc以便自柱狀部分35Ba中之一者之上端經由接合部分35Bb而

連通至柱狀部分35Ba中之另一者之上端。

U形半導體層35B之有效雜質濃度為 $1 \times 10^{19} \text{ cm}^{-3}$ 或更大，且汲極側柱狀半導體層47Ba及源極側柱狀半導體層47Bb之有效雜質濃度為 $3 \times 10^{17} \text{ cm}^{-3}$ 或更小，其類似於第一及第二實施例。

將內部絕緣層36B形成於U形半導體層35B之中空部35Bc中。內部絕緣層36B係由氧化矽(SiO_2)構成。

將內部絕緣層49Ba形成於汲極側柱狀半導體層47Ba之中空部47Baa中。將內部絕緣層49Bb形成於源極側柱狀半導體層47Bb之中空部47Bbb中。內部絕緣層49Ba及49Bb係由BSG(摻雜有硼(B)之氧化矽(SiO_2))構成。

(製造根據第三實施例之非揮發性半導體記憶裝置之方法)

接下來，參看圖31至圖33來描述製造根據第三實施例之非揮發性半導體記憶裝置之方法。圖31至圖33係展示根據第三實施例之非揮發性半導體記憶裝置之製造過程的橫截面圖。

首先，執行直至且包括第一實施例之圖6至圖16中所展示之製程的製程。接下來，如圖31中所展示，將記憶體閘極絕緣層34形成於記憶體孔33中之側壁上；且將汲極側閘極絕緣層46a及源極側閘極絕緣層46b分別形成於汲極側孔45a及源極側孔45b中。

接著，如圖32中所展示，將U形半導體層35B、汲極側柱狀半導體層47Ba及源極側柱狀半導體層47Bb分別形成於

記憶體孔33中之側表面、汲極側孔45a中之側表面及源極側孔45b中之側表面上。此處，以整合之方式連續地形成U形半導體層35B、汲極側柱狀半導體層47Ba及源極側柱狀半導體層47Bb。將汲極側柱狀半導體層47Ba及源極側柱狀半導體層47Bb分別形成至汲極側孔45a及源極側孔45b之預定高度。形成U形半導體層35B、汲極側柱狀半導體層47Ba及源極側柱狀半導體層47Bb以便分別包括中空部35Bc、47Baa及47Bbb。

接下來，如圖33中所展示，沈積氧化矽(SiO_2)以便填充U形半導體層35B之中空部35Bc，藉以形成內部絕緣層36B。隨後，沈積BSG以便填充汲極側柱狀半導體層47Ba之中空部47Baa及源極側柱狀半導體層47Bb之中空部47Bbb，藉此分別形成內部絕緣層49Ba及49Bb。

接下來，在圖33中所展示之製程之後，內部絕緣層49Ba及49Bb中所含有之硼(B)擴散至汲極側柱狀半導體層47Ba及源極側柱狀半導體層47Bb中。結果，汲極側柱狀半導體層47Ba及源極側柱狀半導體層47Bb之有效雜質濃度變成小於U形半導體層35B之有效雜質濃度。接著，在執行第一實施例之圖22及圖23中所展示之製程之後，形成佈線層50，藉此形成圖30中所展示之非揮發性半導體記憶裝置。

(根據第三實施例之非揮發性半導體記憶裝置之優點)

接下來，描述根據第三實施例之非揮發性半導體記憶裝置之優點。根據第三實施例之非揮發性半導體記憶裝置具有與第二實施例之優點相同的優點。

另外，在根據第三實施例之非揮發性半導體記憶裝置中，以整合之方式連續地形成U形半導體層35B、汲極側柱狀半導體層47Ba及源極側柱狀半導體層47Bb。因此，在根據第三實施例之非揮發性半導體記憶裝置中，可抑制汲極側選擇電晶體SDTr與記憶體電晶體MTr1之間的電阻；且可抑制源極側選擇電晶體SSTr與記憶體電晶體MTr8之間的電阻。

[其他實施例]

此結束根據本發明之非揮發性半導體記憶裝置之實施例的描述，但應注意，本發明並不限於上述實施例，且各種變更、增添、替代等在不背離本發明之範疇及精神的範圍內係可能的。

舉例而言，在上述實施例中，非揮發性半導體記憶裝置具有包括U形半導體層之組態，但其亦可具有包括I形(柱狀)半導體層之組態。

【圖式簡單說明】

圖1係根據本發明之第一實施例的非揮發性半導體記憶裝置100之組態的示意圖；

圖2係根據本發明之第一實施例之記憶體電晶體區域12的部分示意性透視圖；

圖3係根據本發明之第一實施例之一個記憶體串MS的放大圖；

圖4係根據本發明之第一實施例的非揮發性半導體記憶裝置之部分的電路圖；

圖5係根據第一實施例之非揮發性半導體記憶裝置100的橫截面圖；

圖6係展示根據第一實施例之非揮發性半導體記憶裝置100之製造過程的橫截面圖；

圖7係展示根據第一實施例之非揮發性半導體記憶裝置100之製造過程的橫截面圖；

圖8係展示根據第一實施例之非揮發性半導體記憶裝置100之製造過程的橫截面圖；

圖9係展示根據第一實施例之非揮發性半導體記憶裝置100之製造過程的橫截面圖；

圖10係展示根據第一實施例之非揮發性半導體記憶裝置100之製造過程的橫截面圖；

圖11係展示根據第一實施例之非揮發性半導體記憶裝置100之製造過程的橫截面圖；

圖12係展示根據第一實施例之非揮發性半導體記憶裝置100之製造過程的橫截面圖；

圖13係展示根據第一實施例之非揮發性半導體記憶裝置100之製造過程的橫截面圖；

圖14係展示根據第一實施例之非揮發性半導體記憶裝置100之製造過程的橫截面圖；

圖15係展示根據第一實施例之非揮發性半導體記憶裝置100之製造過程的橫截面圖；

圖16係展示根據第一實施例之非揮發性半導體記憶裝置100之製造過程的橫截面圖；

圖 17 係展示根據第一實施例之非揮發性半導體記憶裝置 100 之製造過程的橫截面圖；

圖 18 係展示根據第一實施例之非揮發性半導體記憶裝置 100 之製造過程的橫截面圖；

圖 19 係展示根據第一實施例之非揮發性半導體記憶裝置 100 之製造過程的橫截面圖；

圖 20 係展示根據第一實施例之非揮發性半導體記憶裝置 100 之製造過程的橫截面圖；

圖 21 係展示根據第一實施例之非揮發性半導體記憶裝置 100 之製造過程的橫截面圖；

圖 22 係展示根據第一實施例之非揮發性半導體記憶裝置 100 之製造過程的橫截面圖；

圖 23 係展示根據第一實施例之非揮發性半導體記憶裝置 100 之製造過程的橫截面圖；

圖 24 係根據第二實施例之非揮發性半導體記憶裝置之橫截面圖；

圖 25 係展示根據第二實施例之非揮發性半導體記憶裝置之製造過程的橫截面圖；

圖 26 係展示根據第二實施例之非揮發性半導體記憶裝置之製造過程的橫截面圖；

圖 27 係展示根據第二實施例之非揮發性半導體記憶裝置之製造過程的橫截面圖；

圖 28 係展示根據第二實施例之非揮發性半導體記憶裝置之製造過程的橫截面圖；

圖 29 係展示根據第二實施例之非揮發性半導體記憶裝置之製造過程的橫截面圖；

圖 30 係根據第三實施例之非揮發性半導體記憶裝置之橫截面圖；

圖 31 係展示根據第三實施例之非揮發性半導體記憶裝置之製造過程的橫截面圖；

圖 32 係展示根據第三實施例之非揮發性半導體記憶裝置之製造過程的橫截面圖；及

圖 33 係展示根據第三實施例之非揮發性半導體記憶裝置之製造過程的橫截面圖。

【主要元件符號說明】

12	記憶體電晶體區域
13	字線驅動電路
14	源極側選擇閘極線(SGS)驅動電路
15	汲極側選擇閘極線(SGD)驅動電路
16	感測放大器
17	源極線驅動電路
18	背閘電晶體驅動電路
20	背閘電晶體層
20a	背閘電晶體層
20b	背閘電晶體層
21	背閘絕緣層
22	背閘導電層
23	背閘孔

30	記憶體電晶體層
30a	記憶體電晶體層
30b	記憶體電晶體層
31a	第一字線間絕緣層
31b	第二字線間絕緣層
31c	第三字線間絕緣層
31d	第四字線間絕緣層
31e	第五字線間絕緣層
32a	第一字線導電層
32b	第二字線導電層
32c	第三字線導電層
32d	第四字線導電層
33	記憶體孔
34	記憶體閘極絕緣層
35	U形半導體層
35a	柱狀部分
35b	接合部分
35	AU形半導體層
35	Aa柱狀部分
35	Ab接合部分
35	Ac中空部
35B	U形半導體層
35Ba	柱狀部分
35Bb	接合部分

35Bc	中空部
36	內部絕緣層
36B	內部絕緣層
40	選擇電晶體層
40a	選擇電晶體層
40b	選擇電晶體層
41	層間絕緣層
42a	汲極側導電層
42b	源極側導電層
43	選擇電晶體絕緣層
44	層間絕緣層
45a	汲極側孔
45b	源極側孔
45c	源極線佈線溝槽
46a	汲極側閘極絕緣層
46b	源極側閘極絕緣層
47a	汲極側柱狀半導體層
47b	源極側柱狀半導體層
47Aa	汲極側柱狀半導體層
47Aaa	中空部
47Ab	源極側柱狀半導體層
47Abb	中空部
47Ba	汲極側柱狀半導體層
47Baa	中空部

47Bb	源極側柱狀半導體層
47Bbb	中空部
48a	插塞導電層
48b	源極導電層
49a	內部絕緣層
49b	內部絕緣層
49Ba	內部絕緣層
49Bb	內部絕緣層
50	佈線層
51	層間絕緣層
51a	孔
51b	插塞層
52	位元線層
61	犧牲層
62	犧牲層
63	溝槽
64	ONO層
100	非揮發性半導體記憶裝置
Ba	半導體基板
BG	背閘線
BGTr	背閘電晶體
BI	區塊絕緣層
BL	位元線
CL	柱狀部分

DGI	閘極絕緣層
EC	電荷儲存層
JP	接合部分
MS	記憶體串
MTr1	電可重寫記憶體電晶體
MTr2	電可重寫記憶體電晶體
MTr3	電可重寫記憶體電晶體
MTr4	電可重寫記憶體電晶體
MTr5	電可重寫記憶體電晶體
MTr6	電可重寫記憶體電晶體
MTr7	電可重寫記憶體電晶體
MTr8	電可重寫記憶體電晶體
NL	ONO(氧化物-氮化物-氧化物)層
PL	插塞線
SC	U形半導體
SCa	柱狀半導體
SCb	柱狀半導體
SDTr	汲極側選擇電晶體
SGD	汲極側選擇閘極線
SGI	閘極絕緣層
SGS	源極側選擇閘極線
SL	源極線
SSTr	源極側選擇電晶體
TI	穿隧絕緣層

WL1	字 線
WL2	字 線
WL3	字 線
WL4	字 線
WL5	字 線
WL6	字 線
WL7	字 線
WL8	字 線

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 98132746

H01L 27/115 (2006.01)

※ 申請日： 98. 9. 28

※IPC 分類：H01L 29/188 (2006.01)

一、發明名稱：(中文/英文)

H01L 29/792 (2006.01)

H01L 21/824 (2006.01)

非揮發性半導體記憶裝置及其製造方法

NONVOLATILE SEMICONDUCTOR MEMORY DEVICE AND METHOD
OF MANUFACTURING THE SAME

二、中文發明摘要：

記憶體串中之每一者具備：一第一半導體層，其具有以一與一基板垂直方向延伸之一對柱狀部分；一電荷儲存層，其經形成以圍繞該等柱狀部分之一側表面；及一第一導電層，其經形成以圍繞該電荷儲存層。該等選擇電晶體中之每一者具備：一第二半導體層，其自該等柱狀部分之一上表面向上延伸；一閘極絕緣層，其經形成以圍繞該第二半導體層之一側表面；及一第二導電層，其經形成以圍繞該閘極絕緣層。該第二半導體層之一有效雜質濃度小於或等於該第一半導體層之一有效雜質濃度。

三、英文發明摘要：

Each of memory strings is provided with a first semiconductor layer having a pair of columnar portions extending in a perpendicular direction with respect to a substrate; a charge storage layer formed to surround a side surface of the columnar portions; and a first conductive layer formed to surround the charge storage layer. Each of the select transistors is provided with a second semiconductor layer extending upwardly from an upper surface of the columnar portions; a gate insulating layer formed to surround a side surface of the second semiconductor layer; and a second conductive layer formed to surround the gate insulating layer. An effective impurity concentration of the second semiconductor layer is less than or equal to an effective impurity concentration of the first semiconductor layer.

七、申請專利範圍：

1. 一種非揮發性半導體記憶裝置，其包含：

複數個記憶體串，該等記憶體串中之每一者具有串聯連接之複數個電可重寫記憶體單元；及

選擇電晶體，該等選擇電晶體中之一者連接至該等記憶體串中之每一者之端中的每一者；

該等記憶體串中之每一者包含：

一第一半導體層，其具有以一與一基板垂直方向延伸之一對柱狀部分及一經形成以便接合該對柱狀部分之下端的接合部分；

一電荷儲存層，其經形成以圍繞該等柱狀部分之一側表面；及

一第一導電層，其經形成以圍繞該電荷儲存層及該等柱狀部分之該側表面；

且

該等選擇電晶體中之一者包含：

一第二半導體層，其自該等柱狀部分之一上表面向上延伸；

一閘極絕緣層，其經形成以圍繞該第二半導體層之一側表面；及

一第二導電層，其經形成以圍繞該閘極絕緣層及該第二半導體層之該側表面；

該第一導電層充當該等記憶體單元之一控制電極；

該第二導電層充當該等選擇電晶體之一控制電極；且

該第二半導體層之一有效雜質濃度小於或等於該第一半導體層之一有效雜質濃度。

2. 如請求項1之非揮發性半導體記憶裝置，

其中該第一半導體層之該有效雜質濃度為 $1 \times 10^{19} \text{ cm}^{-3}$ 或更大，且該第二半導體層之該有效雜質濃度為 $3 \times 10^{17} \text{ cm}^{-3}$ 或更小。

3. 如請求項1之非揮發性半導體記憶裝置，

其中該第一半導體層及該第二半導體層包括位於其中之一中空部。

4. 如請求項3之非揮發性半導體記憶裝置，其進一步包含：

一第一絕緣層，其形成於該第一半導體層之該中空部中；及

一第二絕緣層，其形成於該第二半導體層之該中空部中。

5. 如請求項4之非揮發性半導體記憶裝置，

其中該第一半導體層及該第二半導體層係以一整合之方式連續地形成且經組態為一第一導電類型，且

其中該第二絕緣層具有為一第二導電類型之一有效雜質濃度，該有效雜質濃度高於該第一絕緣層。

6. 如請求項5之非揮發性半導體記憶裝置，

其中該第一半導體層及該第二半導體層係由摻雜有磷之多晶矽構成。

7. 如請求項1之非揮發性半導體記憶裝置，

其中該第一導電層係由多晶矽構成，且該第二導電層係由摻雜有硼之多晶矽構成。

8. 如請求項4之非揮發性半導體記憶裝置，

其中該第一絕緣層及該第二絕緣層係由氧化矽構成。

9. 如請求項5之非揮發性半導體記憶裝置，

其中該第一絕緣層及該第二絕緣層係由摻雜有硼之氧化矽構成。

10. 如請求項1之非揮發性半導體記憶裝置，其進一步包含一經形成以便覆蓋該接合部分之一下部分的第三導電層。

11. 如請求項1之非揮發性半導體記憶裝置，

其中該第一導電層形成於被成形為一階梯形狀之該第一導電層之複數個端中。

12. 一種製造一非揮發性半導體記憶裝置之方法，該非揮發性半導體記憶裝置包括：複數個記憶體串，該等記憶體串中之每一者具有串聯連接之複數個電可重寫記憶體單元；及選擇電晶體，該等選擇電晶體中之一者連接至該等記憶體串中之每一者之端中的每一者，該方法包含：

沈積由一第一層間絕緣層夾入之複數個第一導電層；

在該等第一導電層中之一上層上沈積一由一第二層間絕緣層夾入之第二導電層；

藉由以一如自一平行於一基板之方向所檢視之U形狀穿透該複數個第一導電層而形成一第一孔；

藉由穿透該第二導電層而形成一第二孔；

將一電荷儲存層形成於該等第一導電層之一位於該第一孔中之側壁中；

將一絕緣層形成於該第二導電層之一位於該第二孔中之側壁中；

形成一第一半導體層以便填充該第一孔；

形成一第二半導體層以便填充該第二孔；及

將該第二半導體層之一有效雜質濃度設定為小於或等於該第一半導體層之一有效雜質濃度。

13. 如請求項12之製造一非揮發性半導體記憶裝置之方法，

其中將該第一半導體層之該有效雜質濃度設定為 $1 \times 10^{19} \text{ cm}^{-3}$ 或更大，且將該第二半導體層之該有效雜質濃度設定為 $3 \times 10^{17} \text{ cm}^{-3}$ 或更小。

14. 如請求項12之製造一非揮發性半導體記憶裝置之方法，

其中該第一半導體層及該第二半導體層經形成以便包括一中空部。

15. 如請求項14之製造一非揮發性半導體記憶裝置之方法，

其進一步包含：

將一第一絕緣層形成於該第一半導體層之該中空部中；及

將一第二絕緣層形成於該第二半導體層之該中空部中。

16. 如請求項15之製造一非揮發性半導體記憶裝置之方法，

其中該第一半導體層及該第二半導體層係以一整合之方式連續地形成且經組態為一第一導電類型，且

其中該第二絕緣層經組態使得其之一第二導電類型之一有效雜質濃度高於該第一絕緣層。

17. 如請求項16之製造一非揮發性半導體記憶裝置之方法，

其中該第一半導體層及該第二半導體層係由摻雜有磷之多晶矽構成。

18. 如請求項12之製造一非揮發性半導體記憶裝置之方法，

其中該第一導電層係由多晶矽構成，且該第二導電層係由摻雜有硼之多晶矽構成。

19. 如請求項15之製造一非揮發性半導體記憶裝置之方法，

其中該第一絕緣層及該第二絕緣層係由氧化矽構成。

20. 如請求項16之製造一非揮發性半導體記憶裝置之方法，

其中該第一絕緣層及該第二絕緣層係由摻雜有硼之氧化矽構成。

八、圖式：

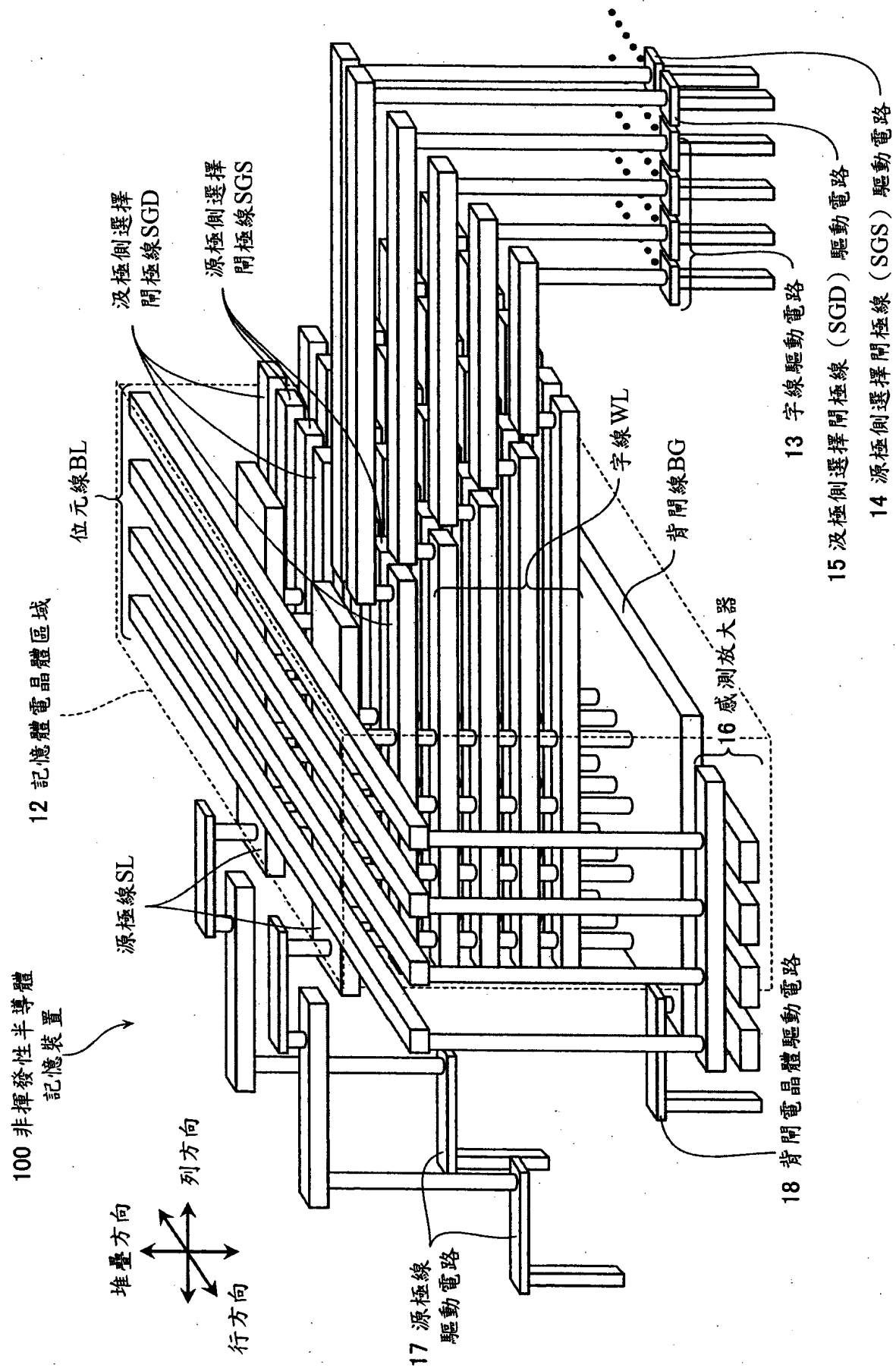


圖1

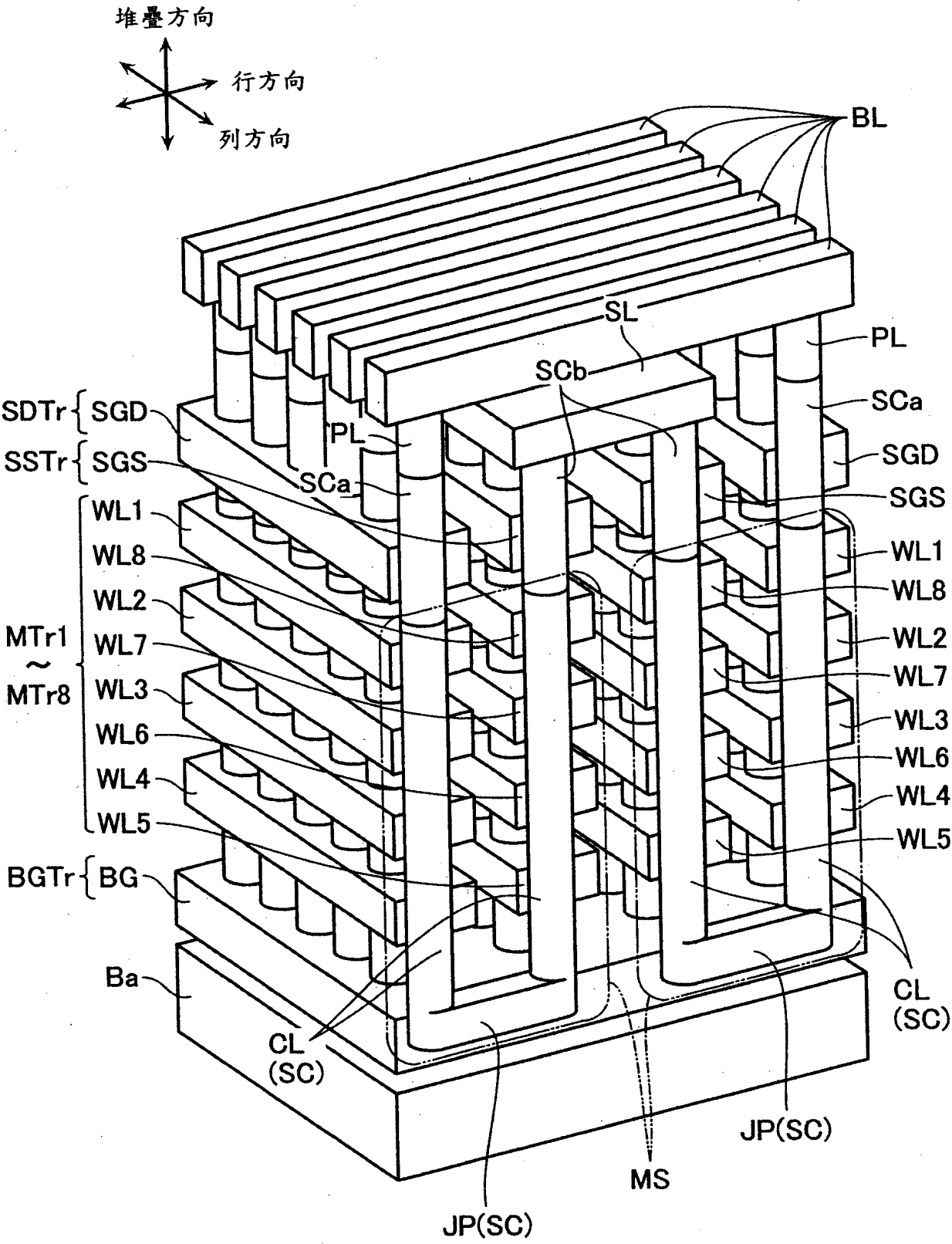


圖2

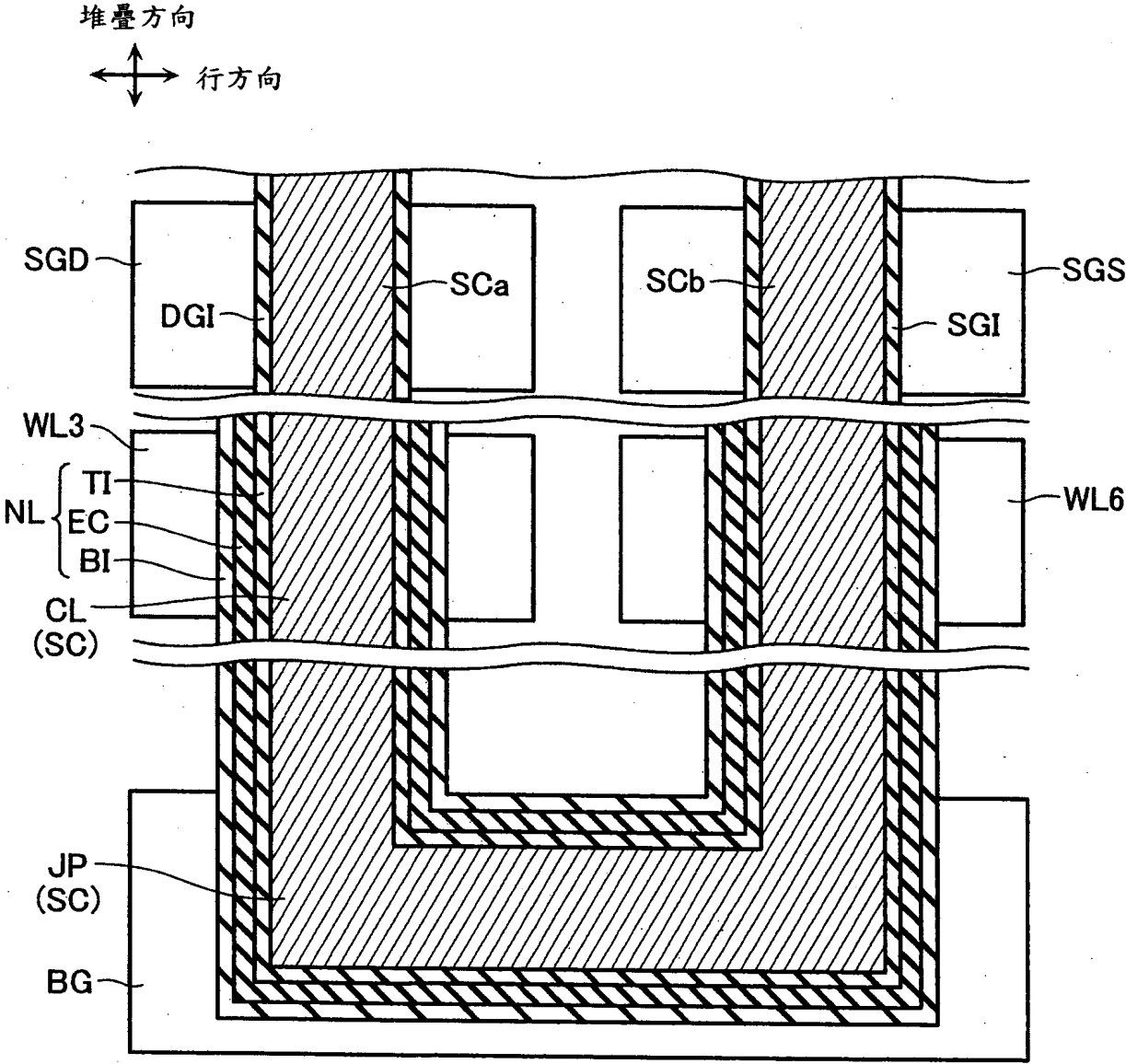


圖 3

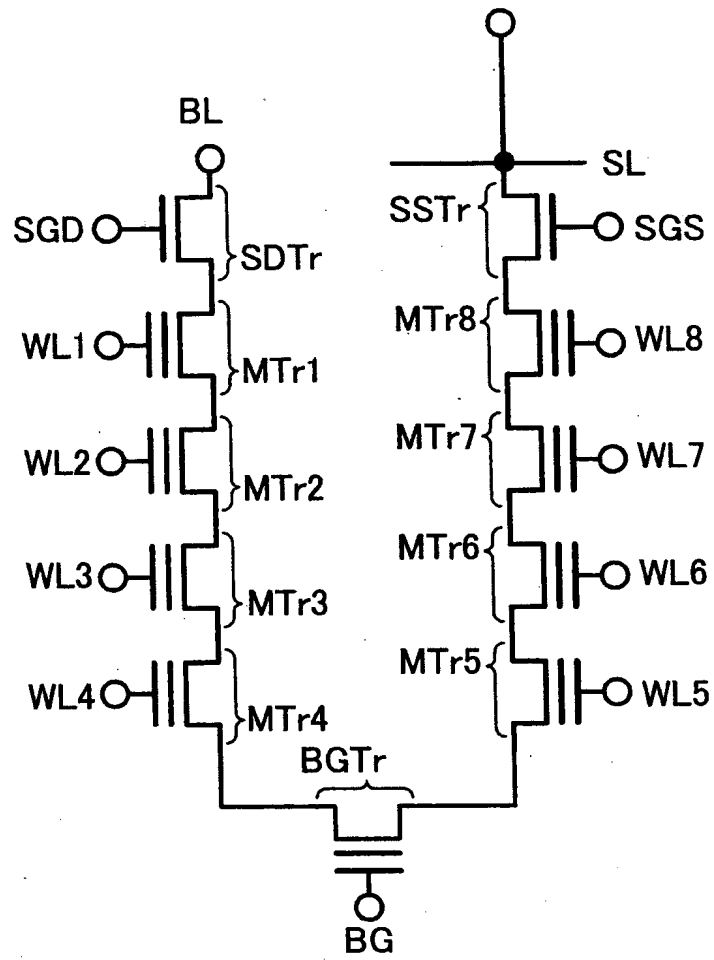


圖 4

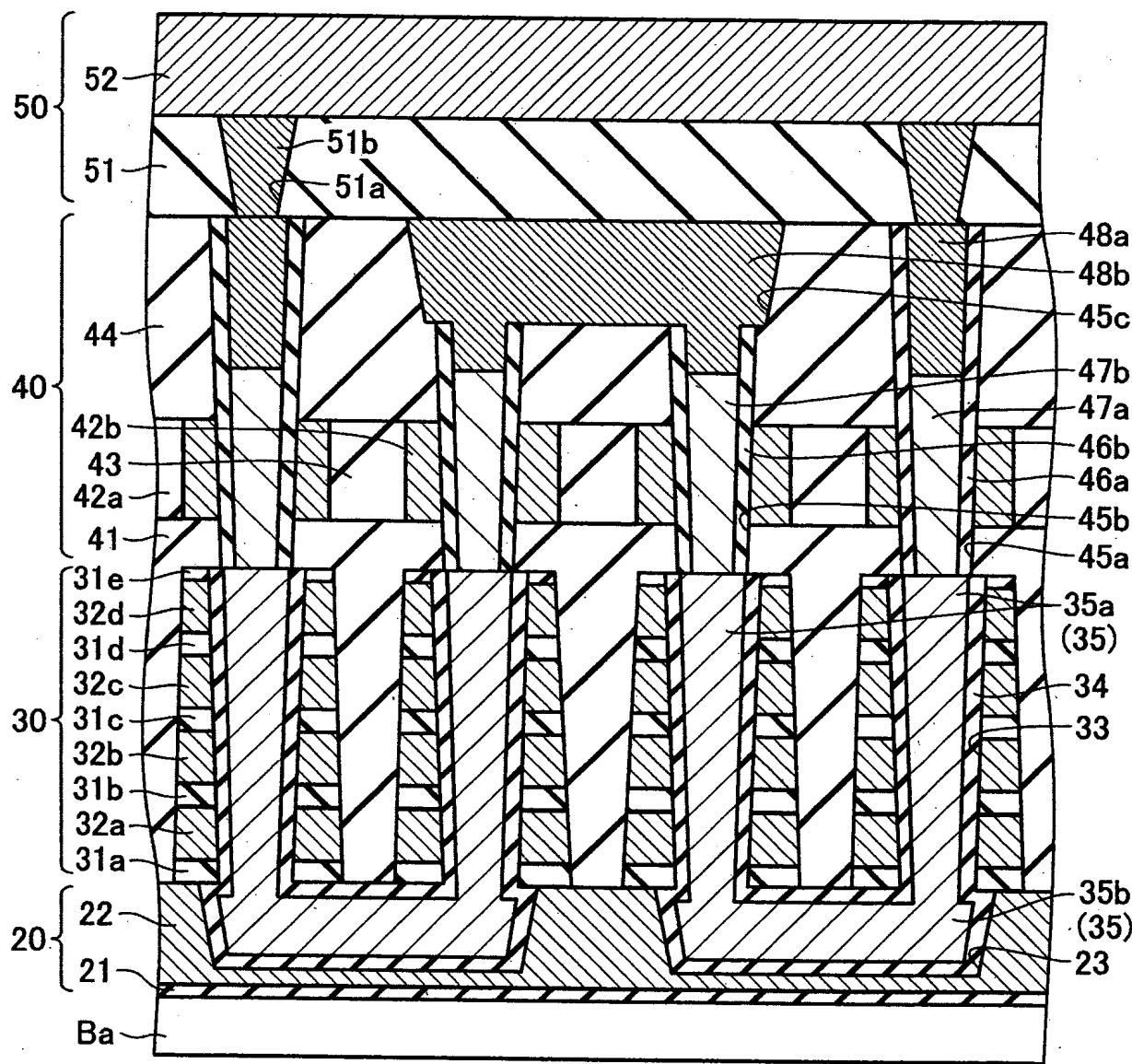


圖5

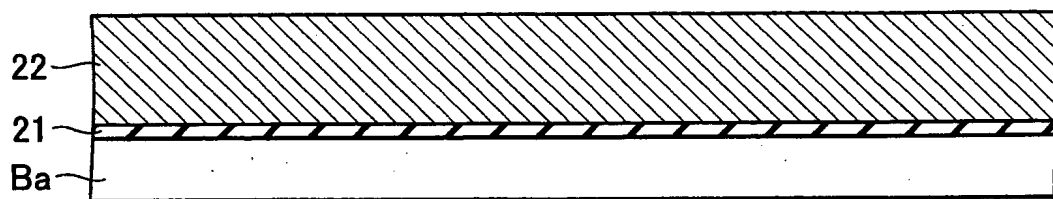


圖6

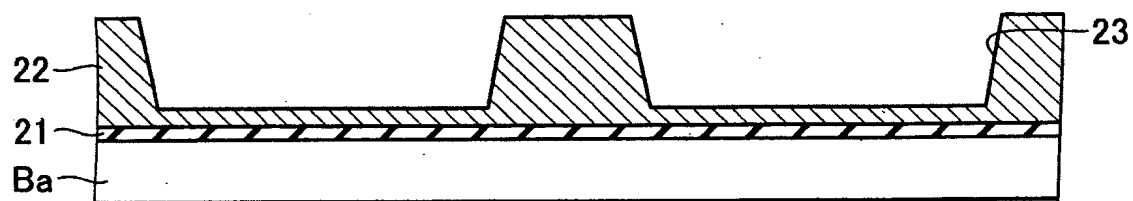


圖7

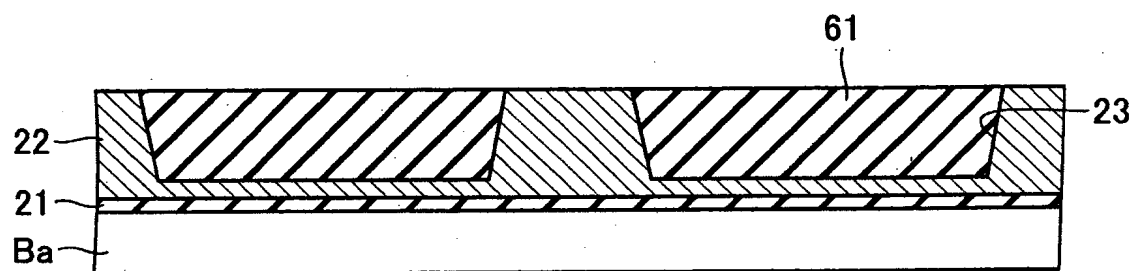


圖8

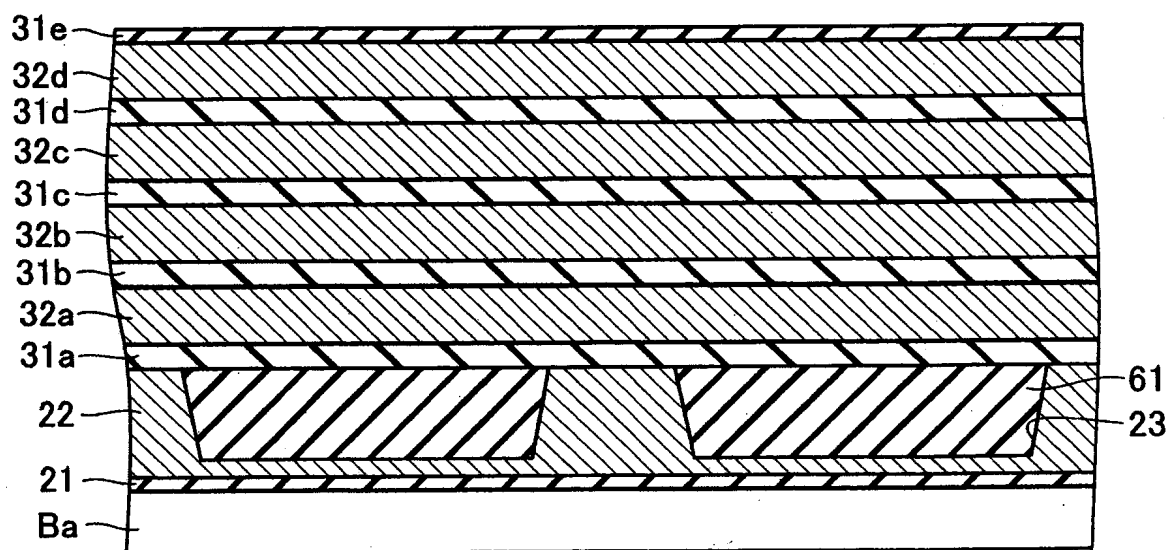


圖9

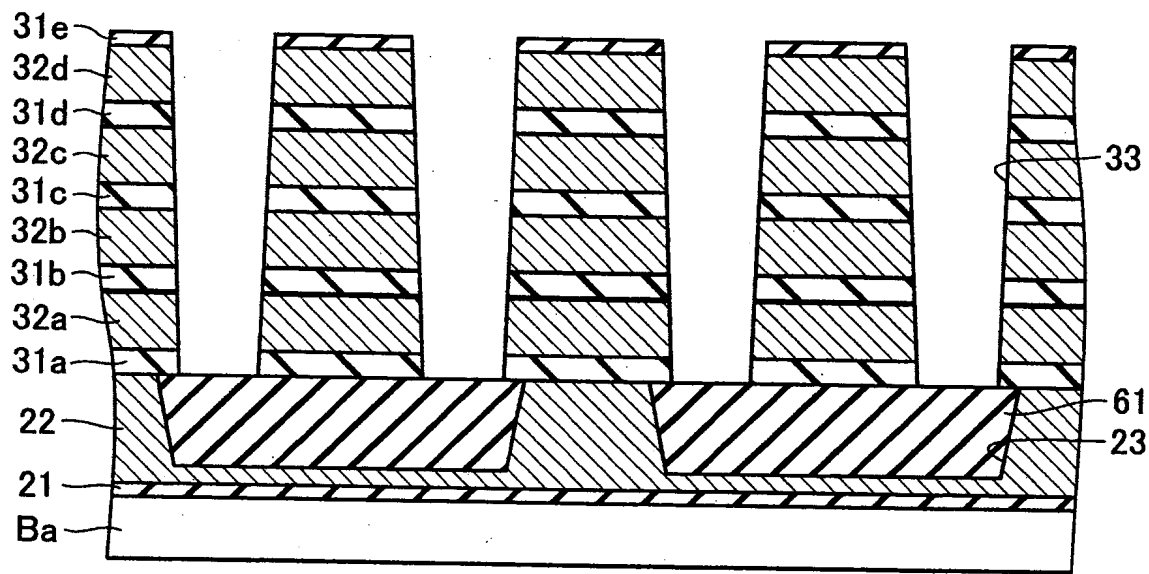


圖10

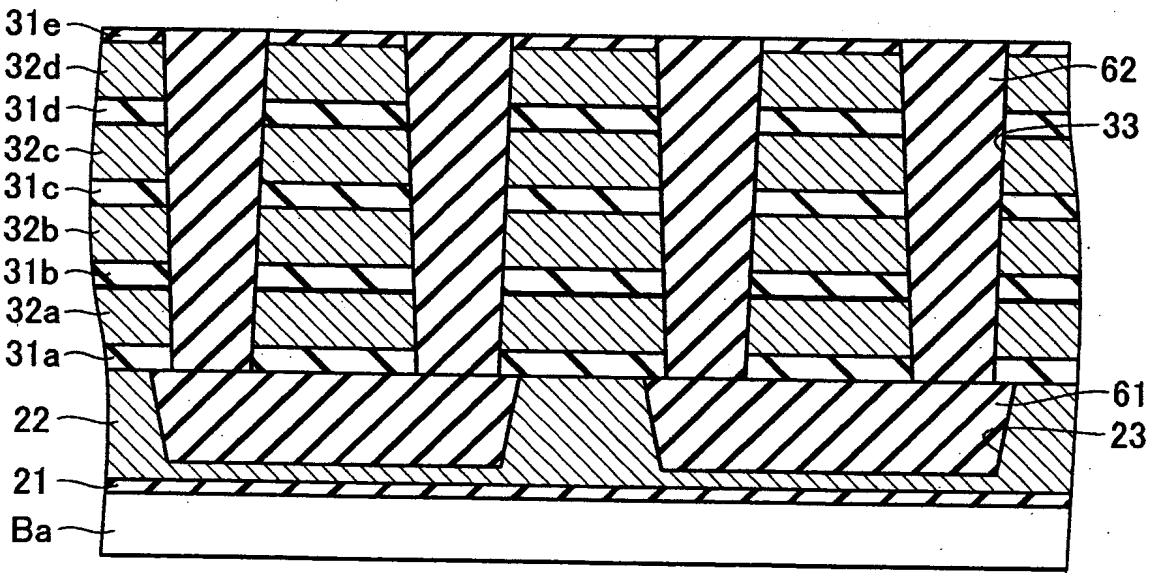


圖11

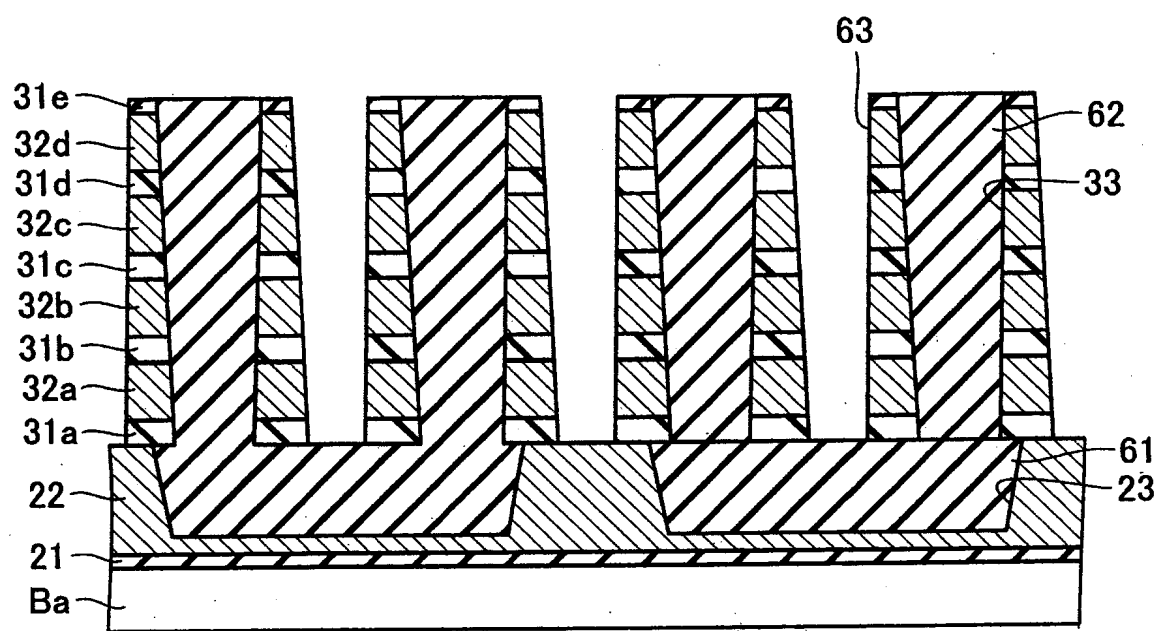


圖12

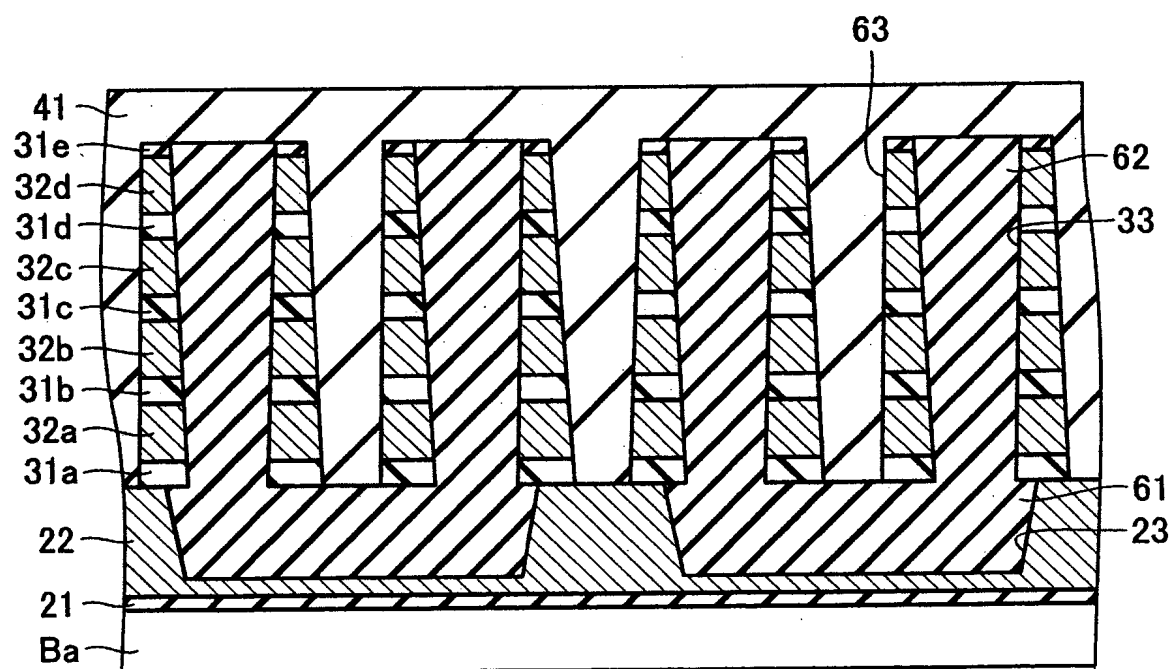


圖13

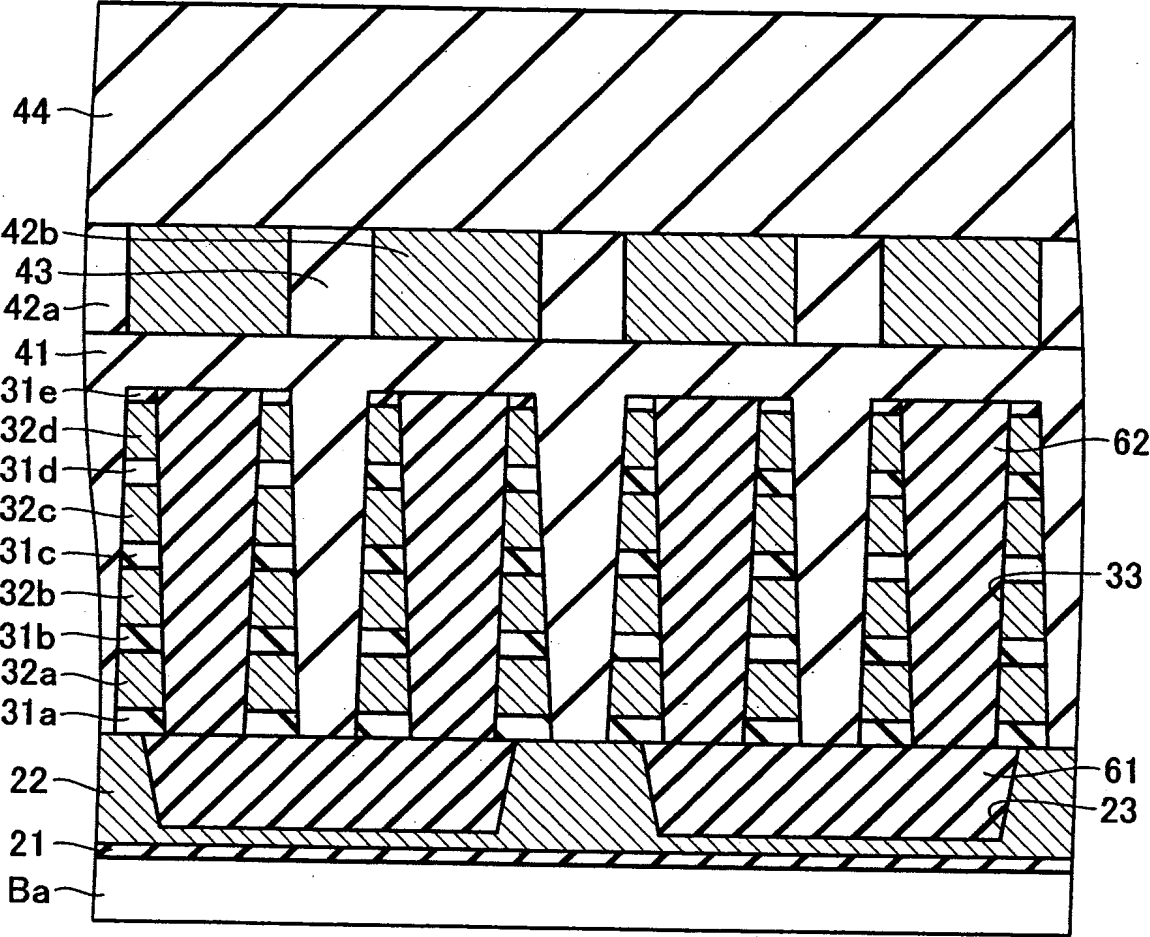


圖14

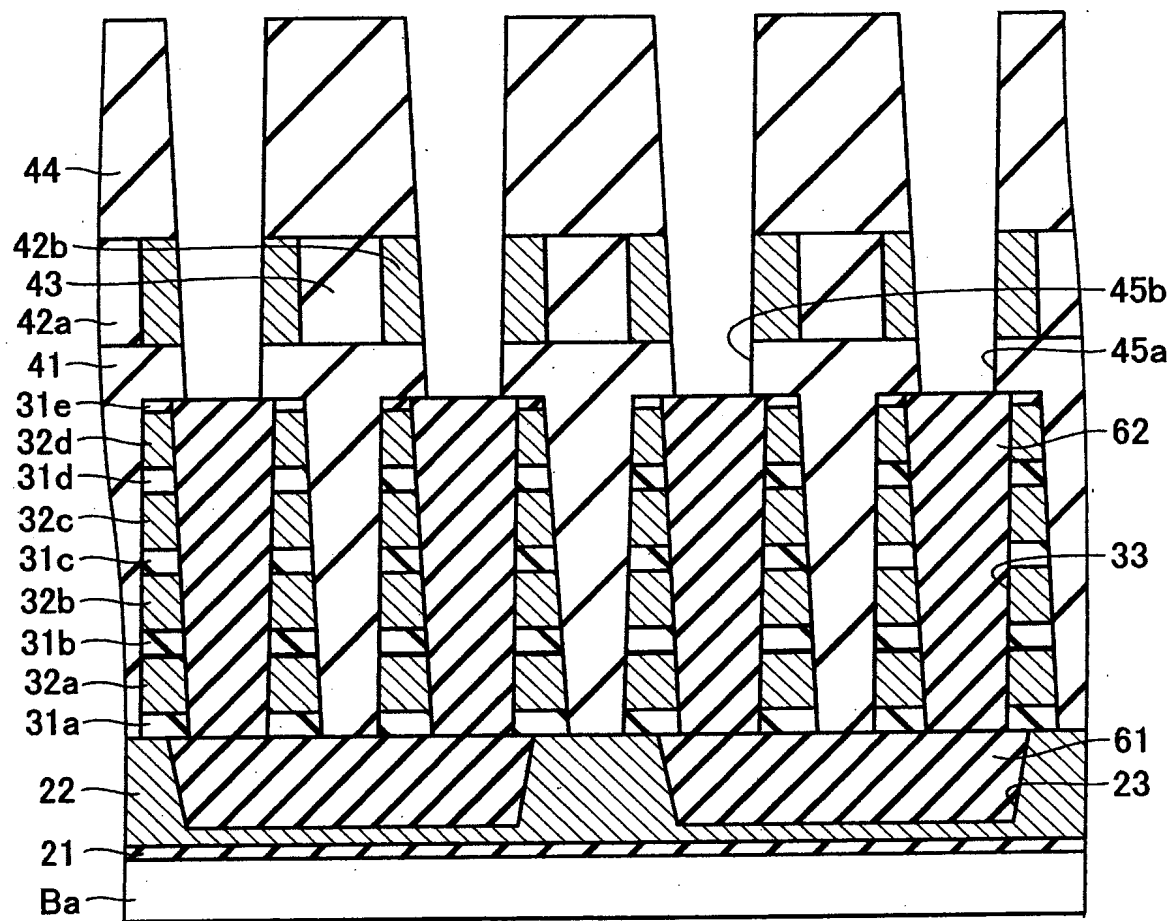


圖 15

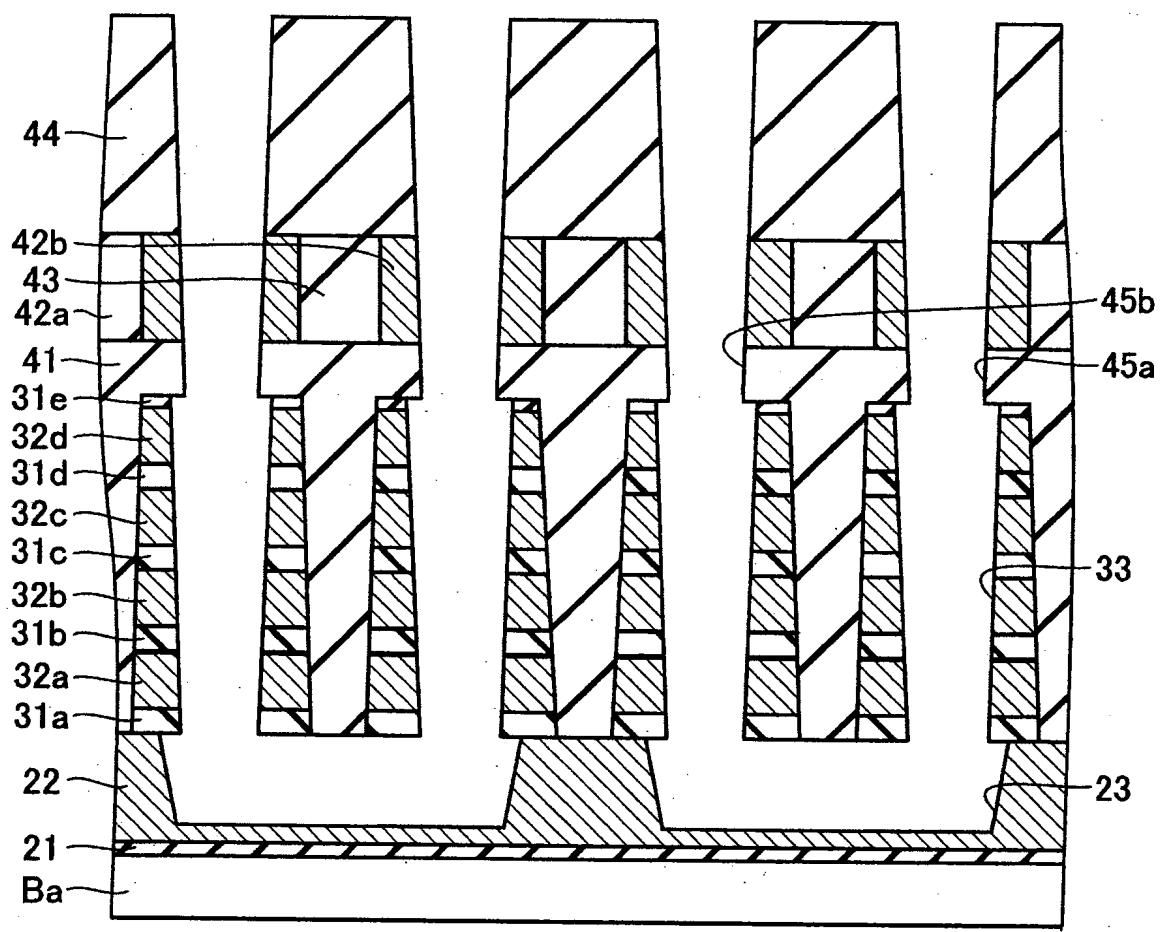


圖 16

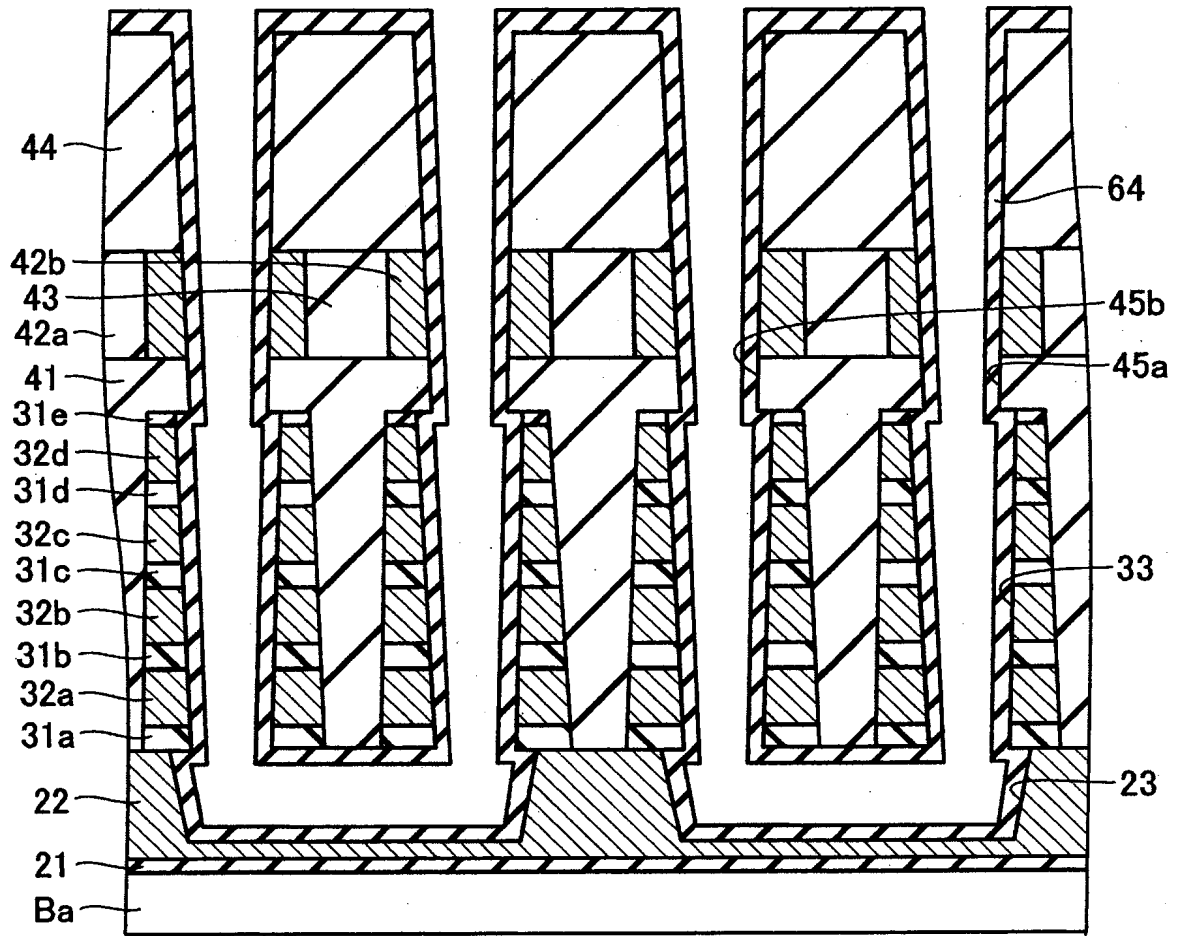


圖17

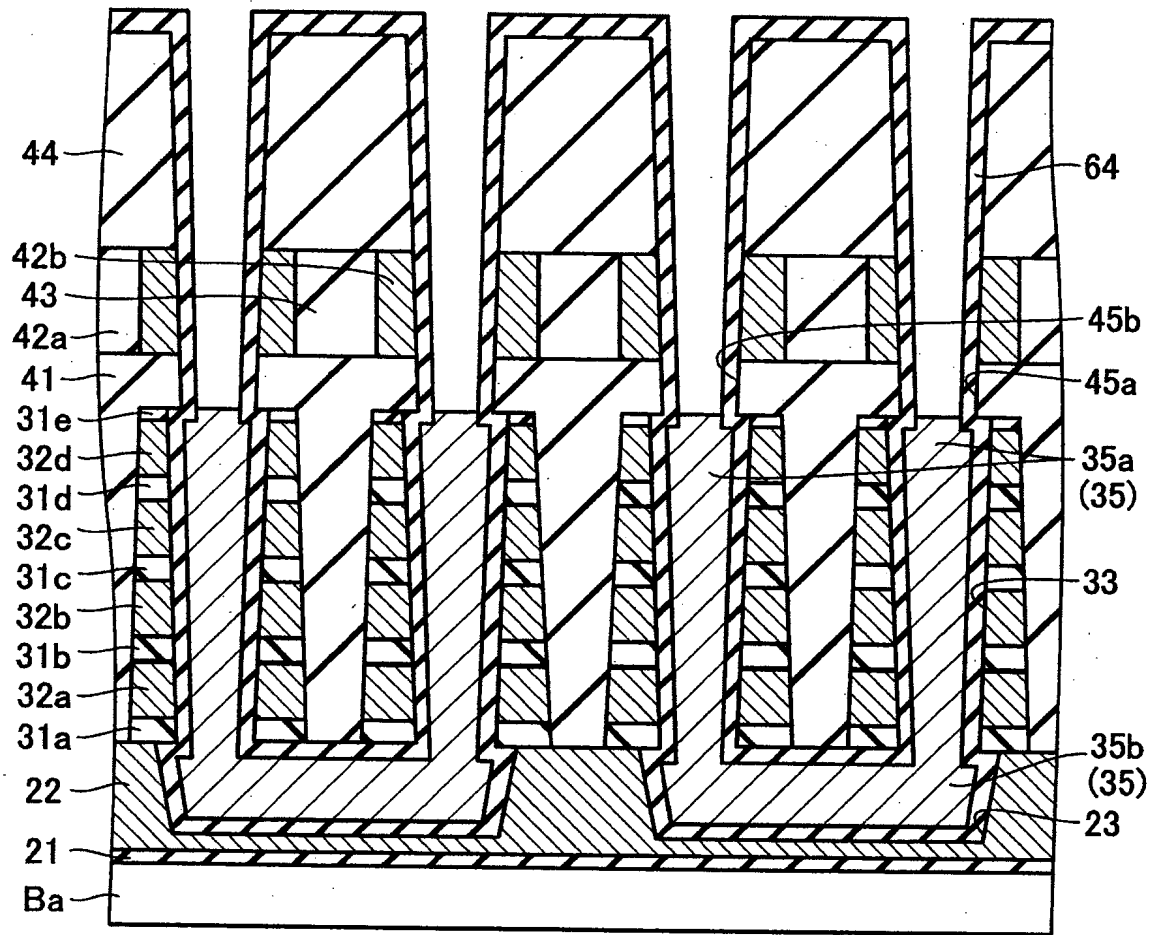


圖18

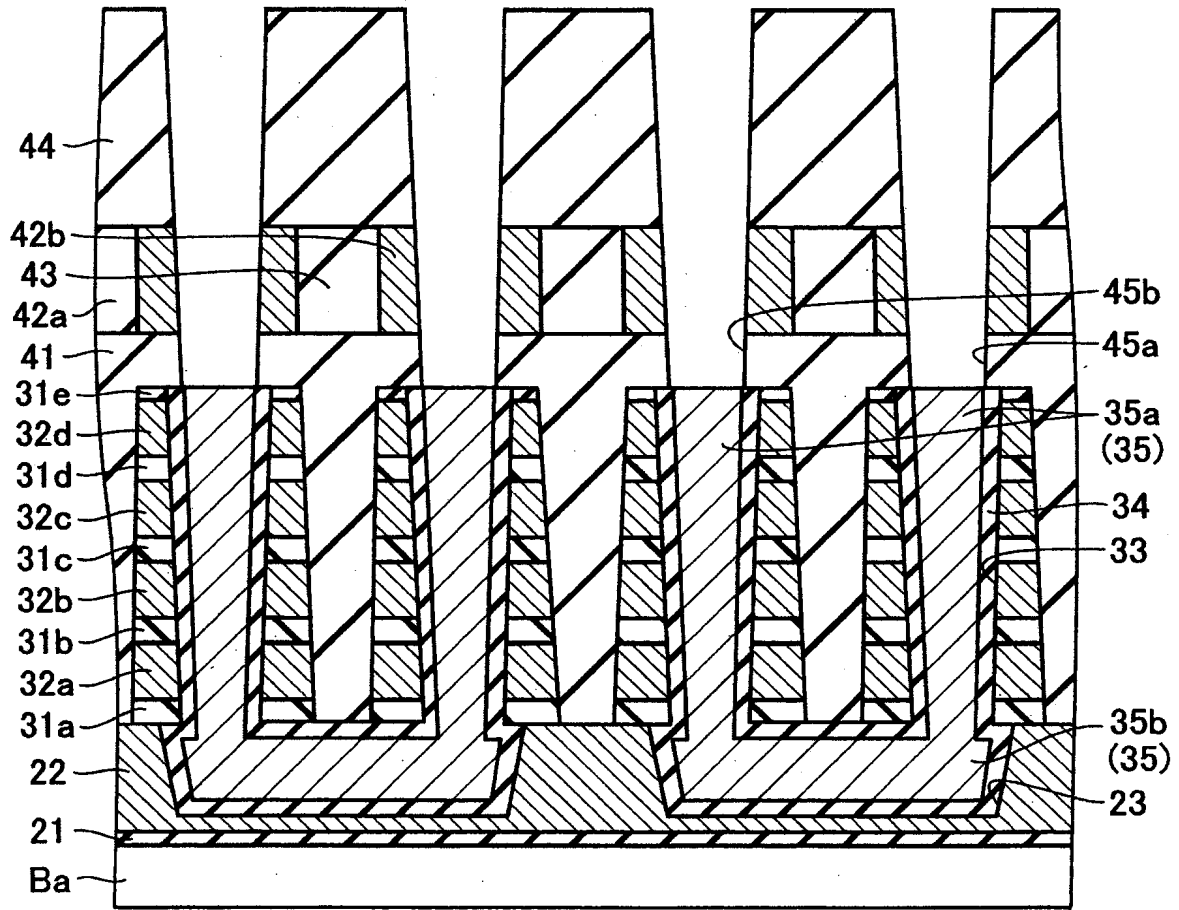


圖19

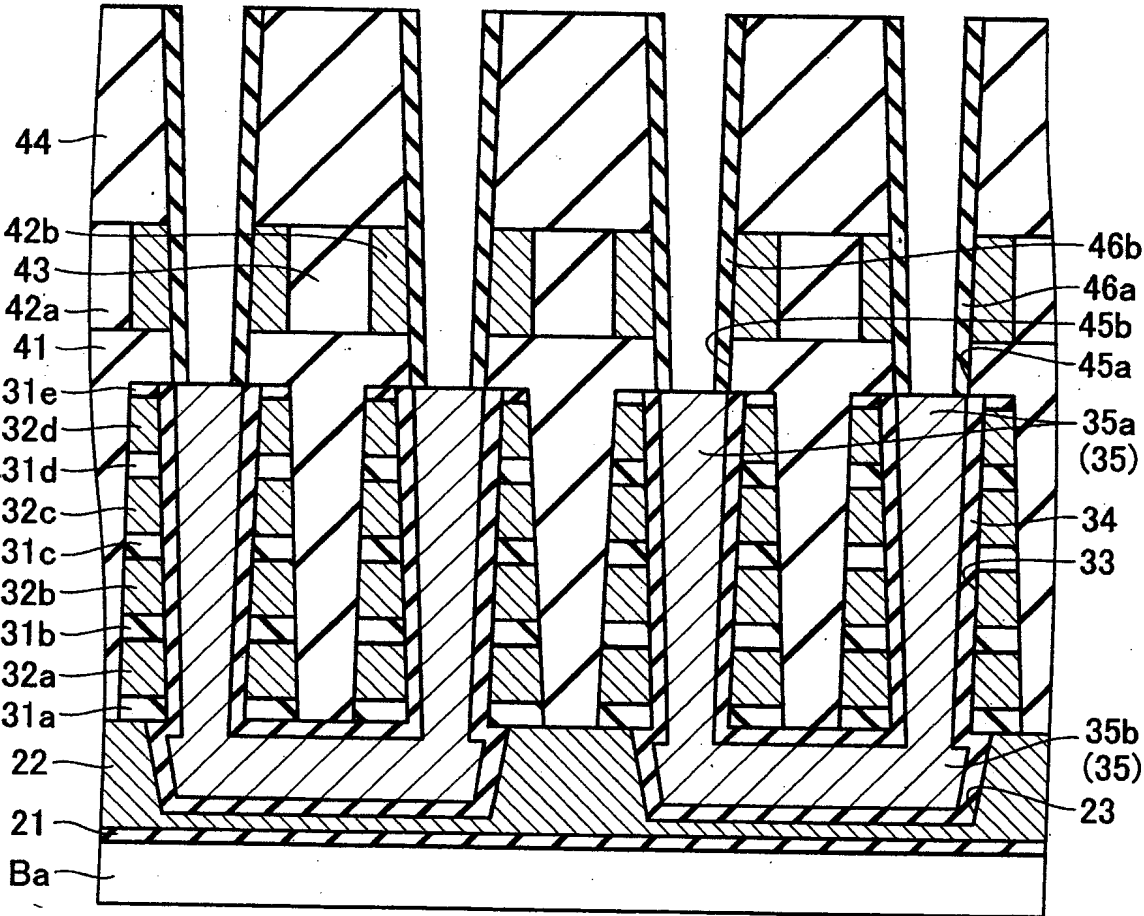


圖 20

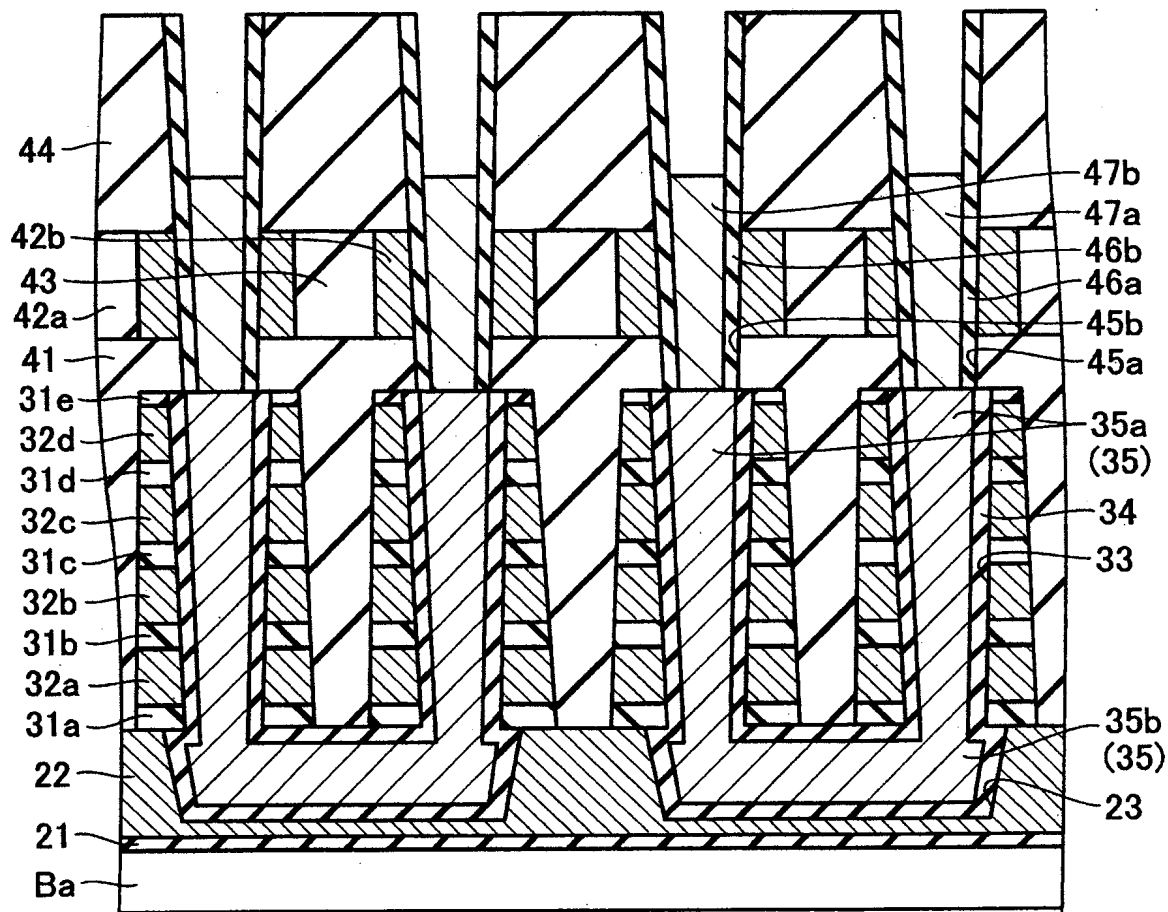


圖21

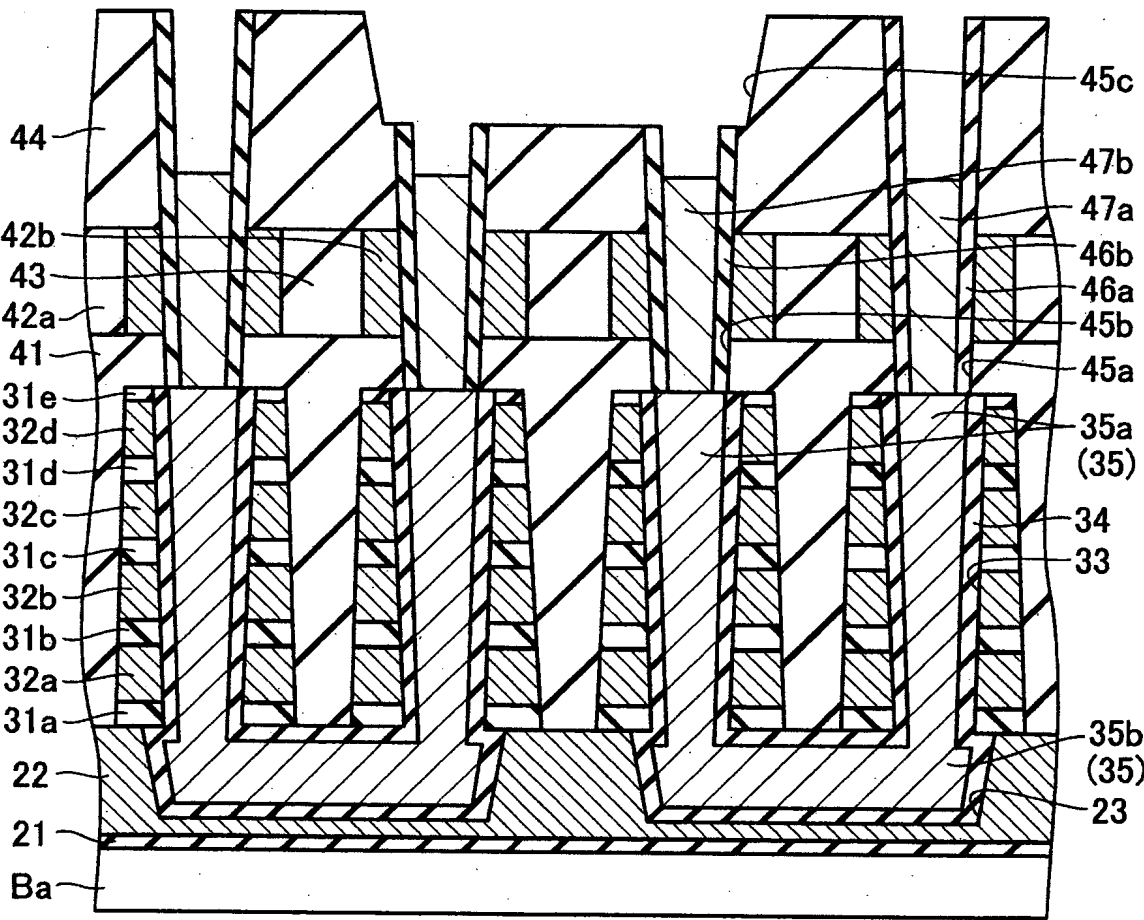


圖 22

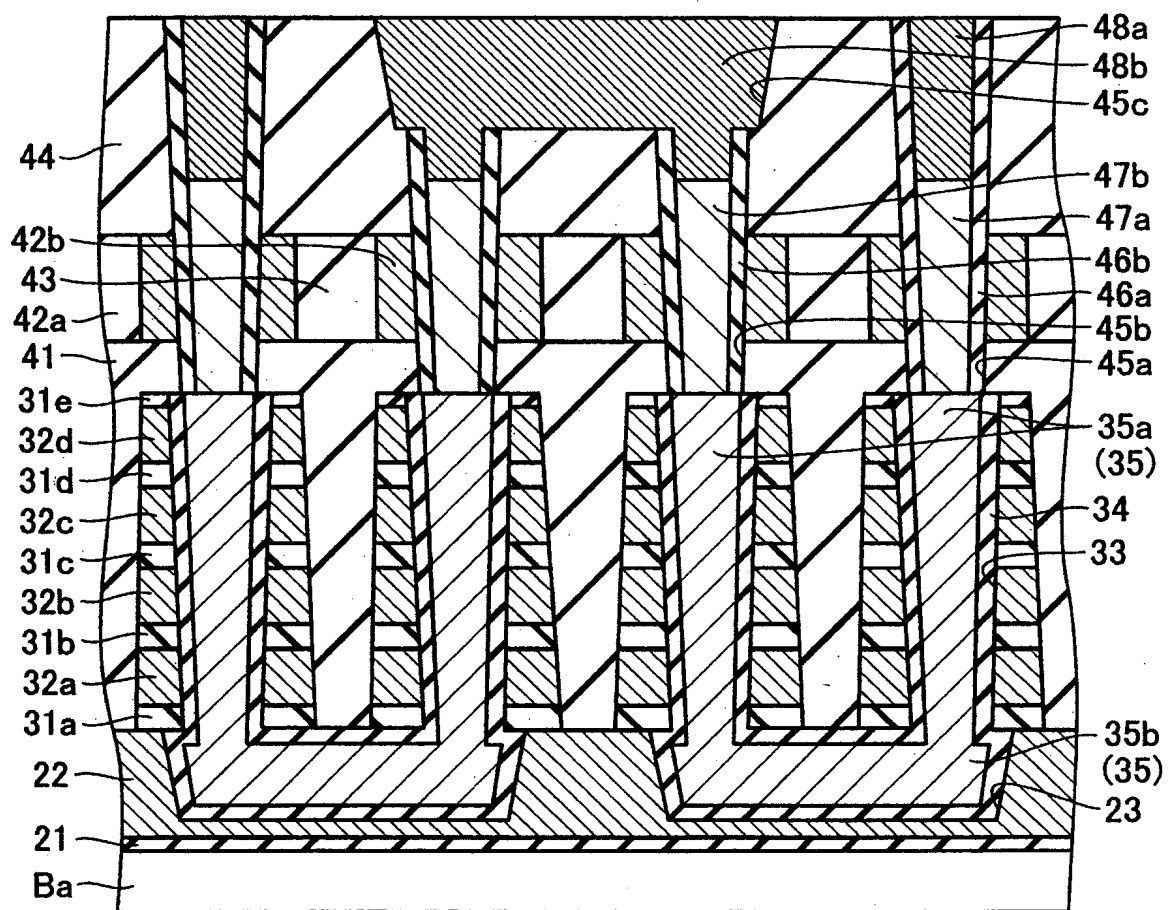


圖23

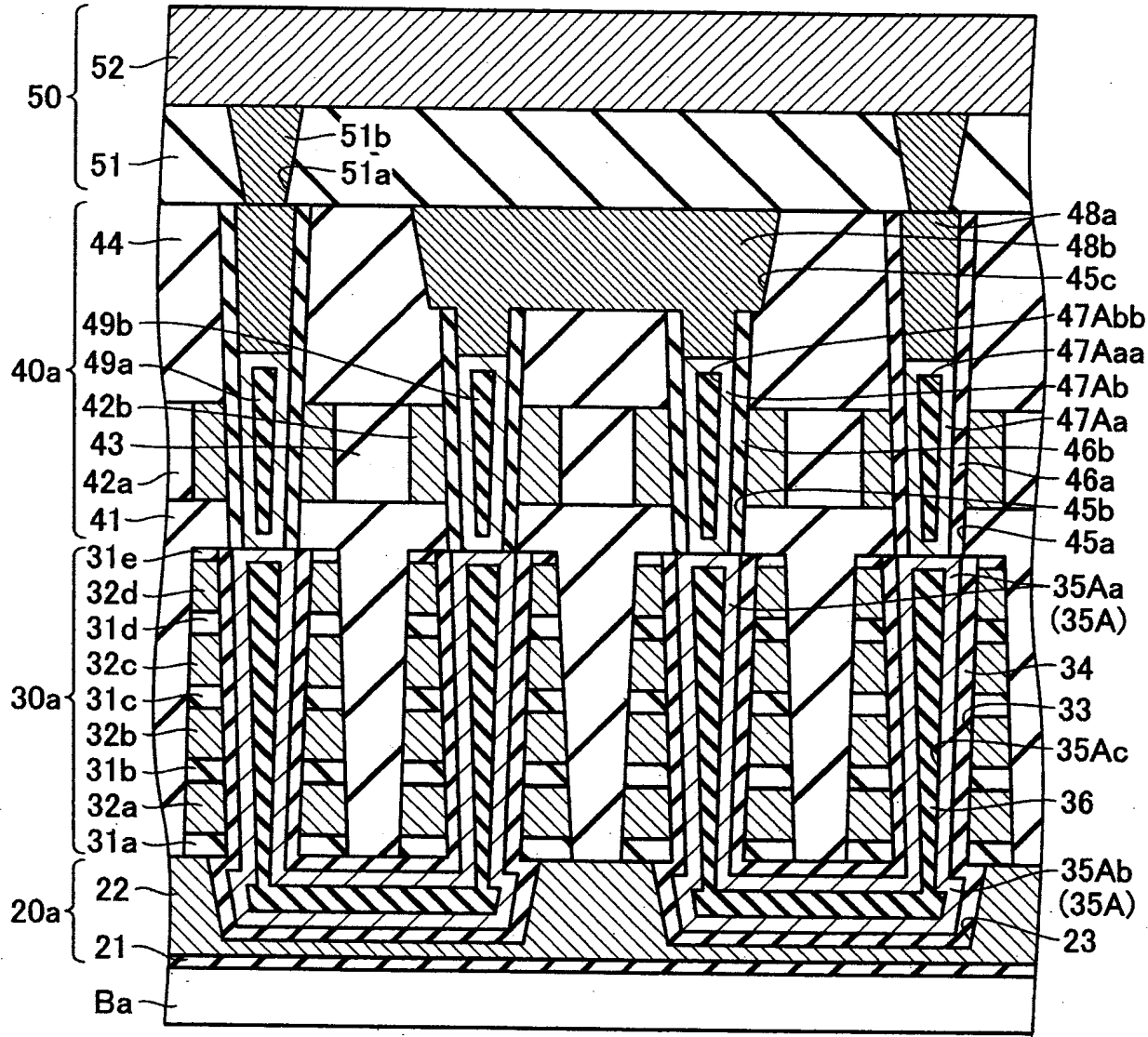


圖 24

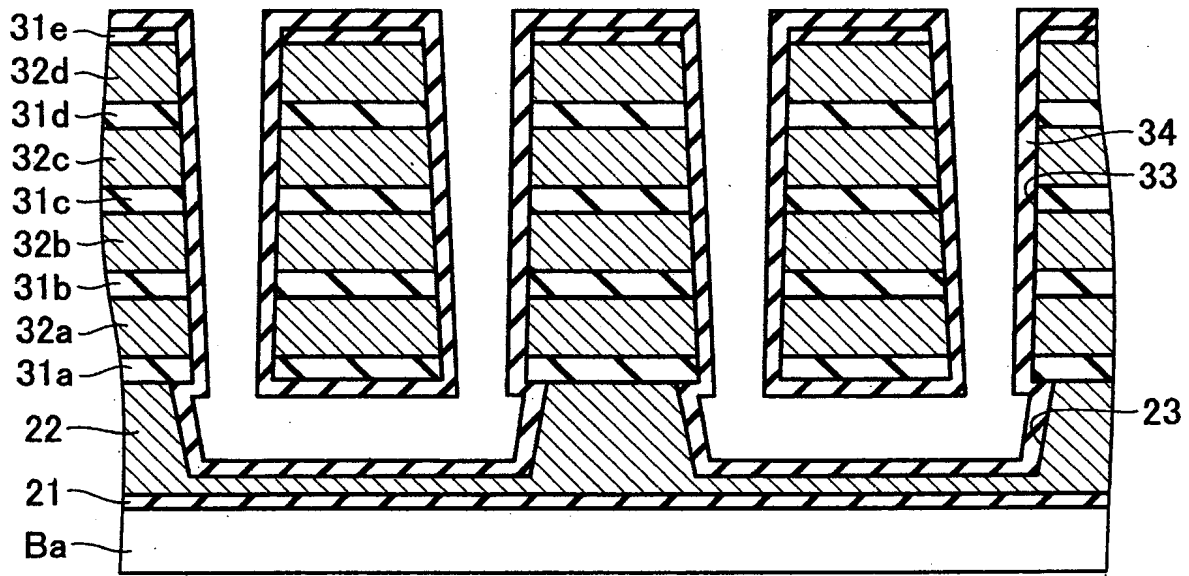


圖 25

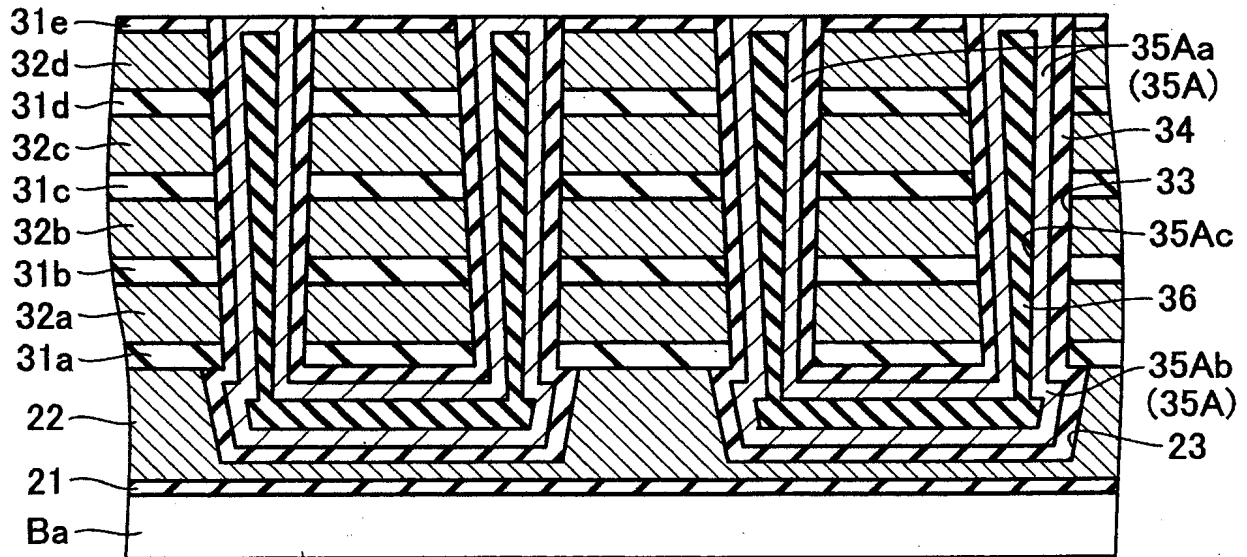


圖 26

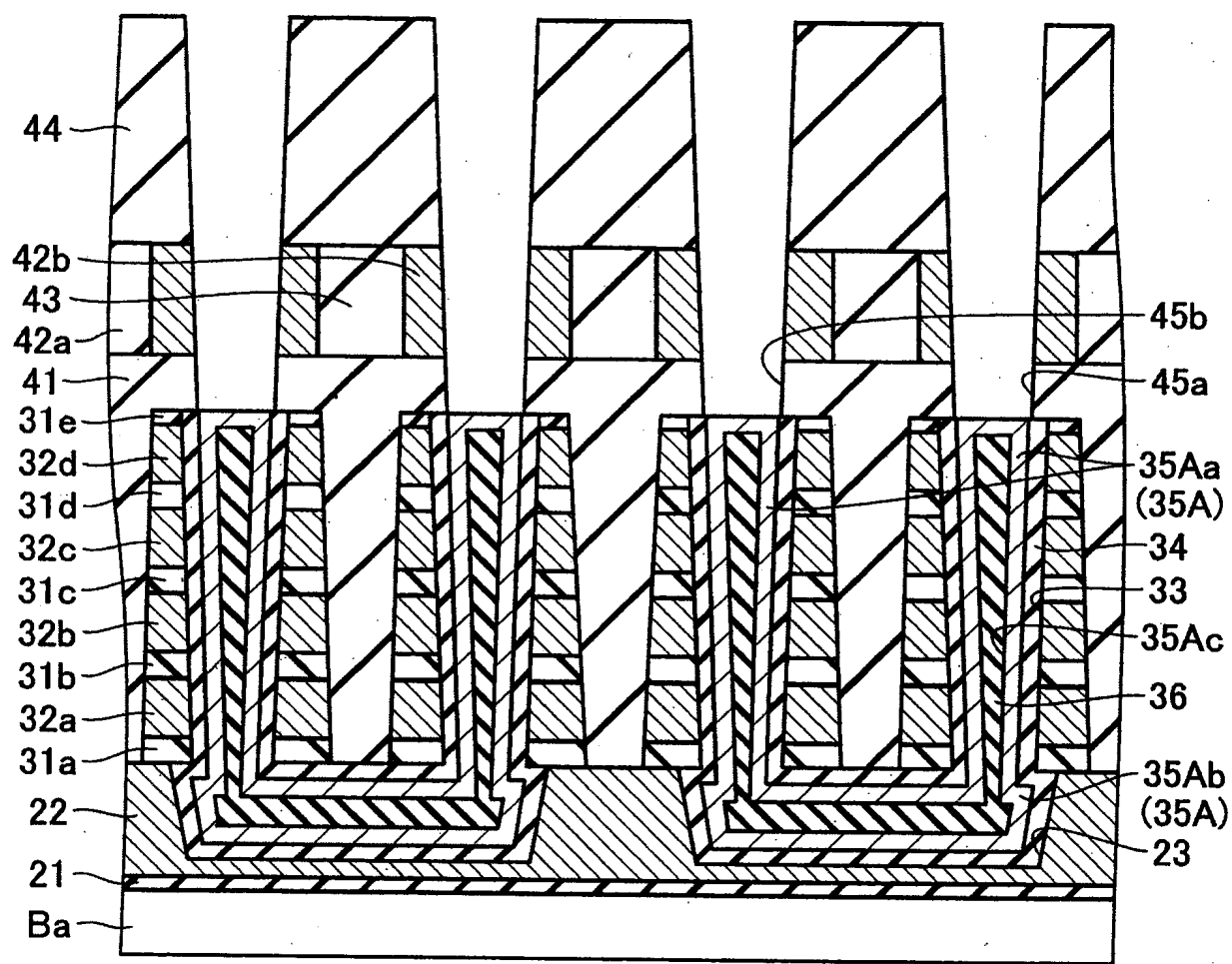


圖 27

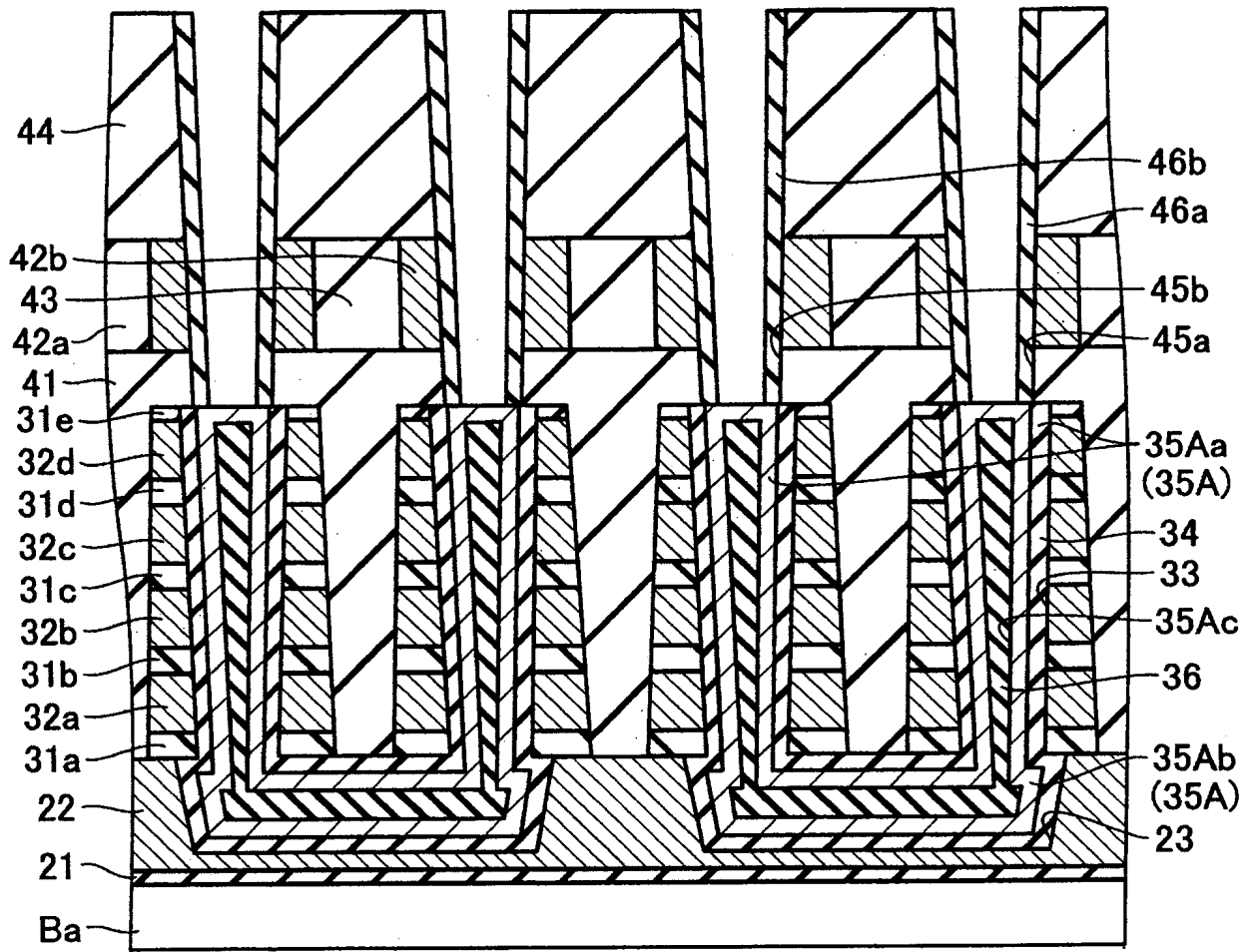


圖28

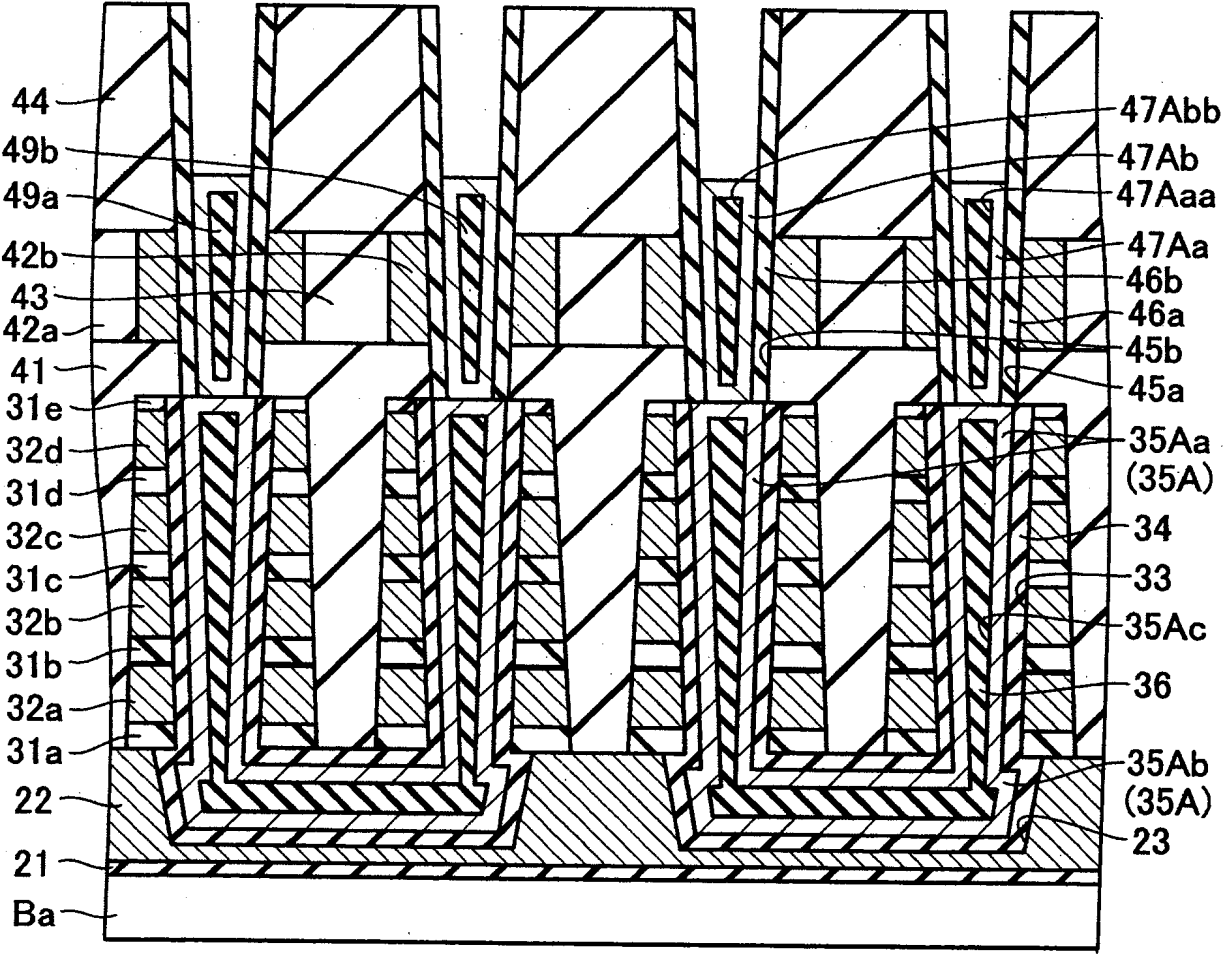


圖 29

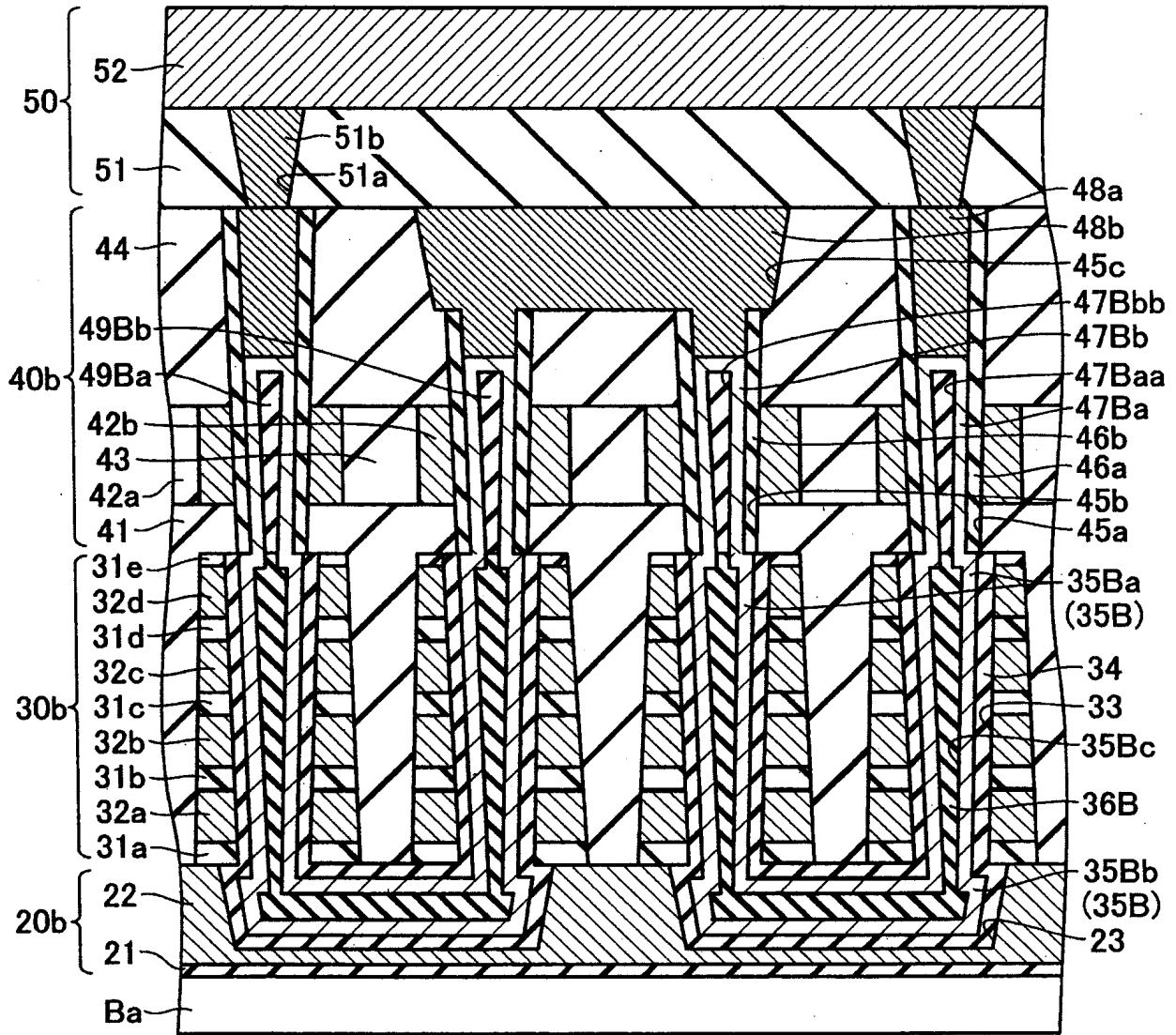


圖 30

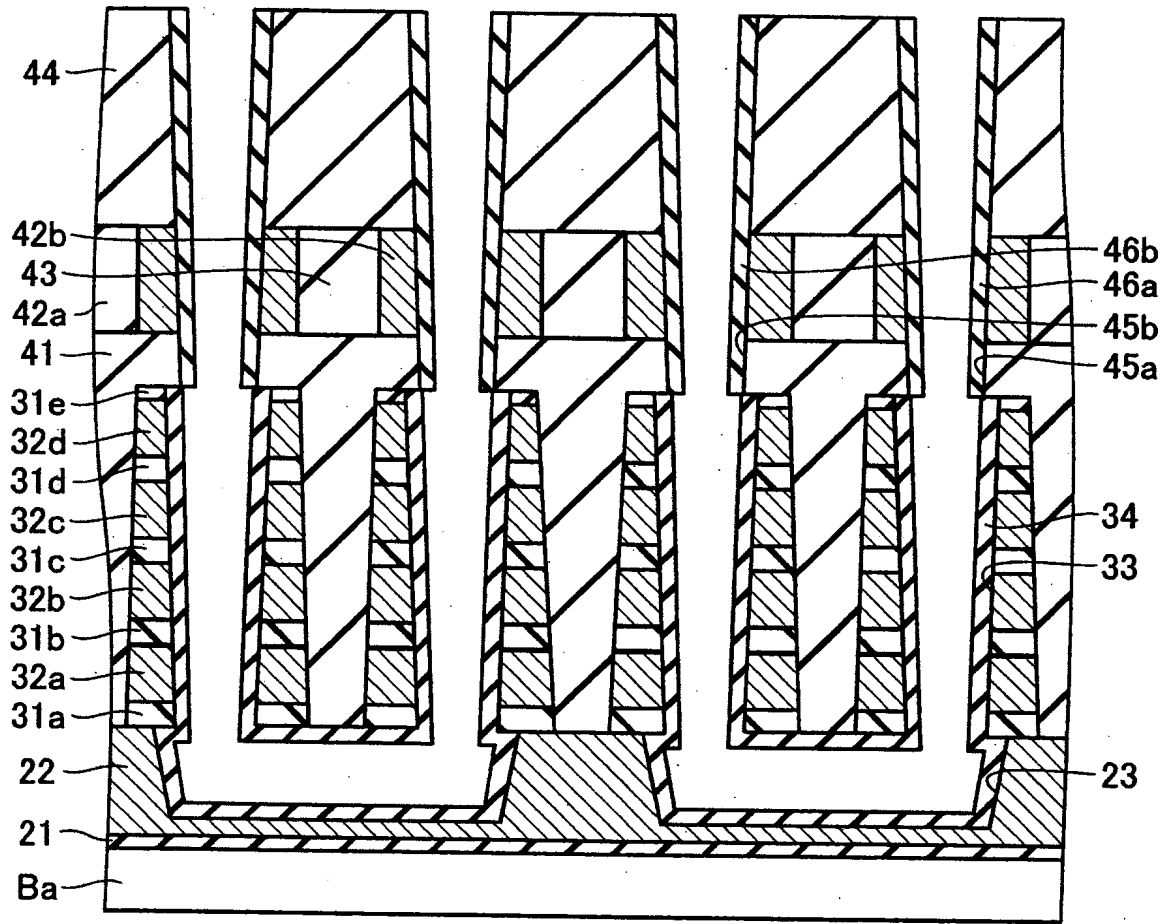


圖 31

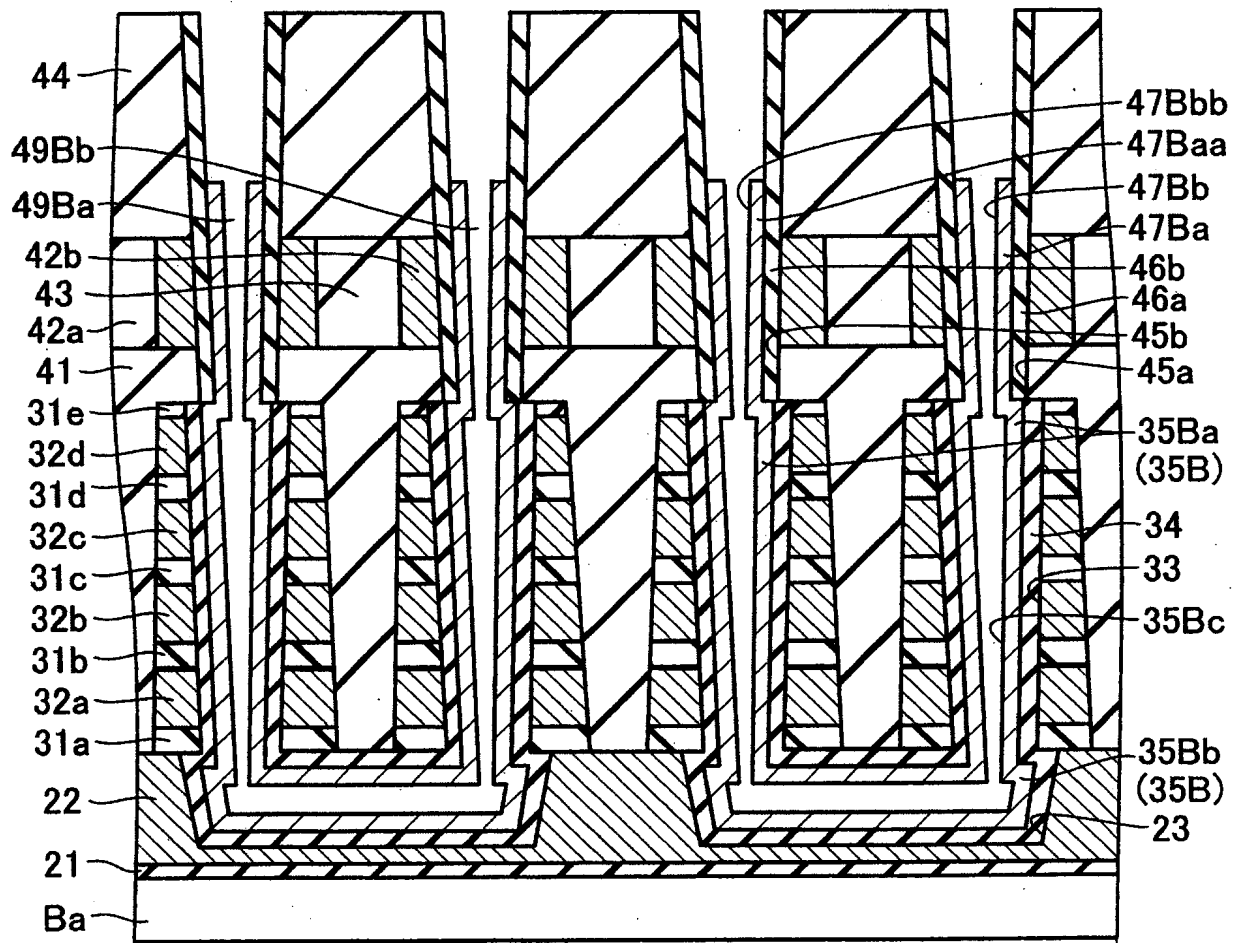


圖 32

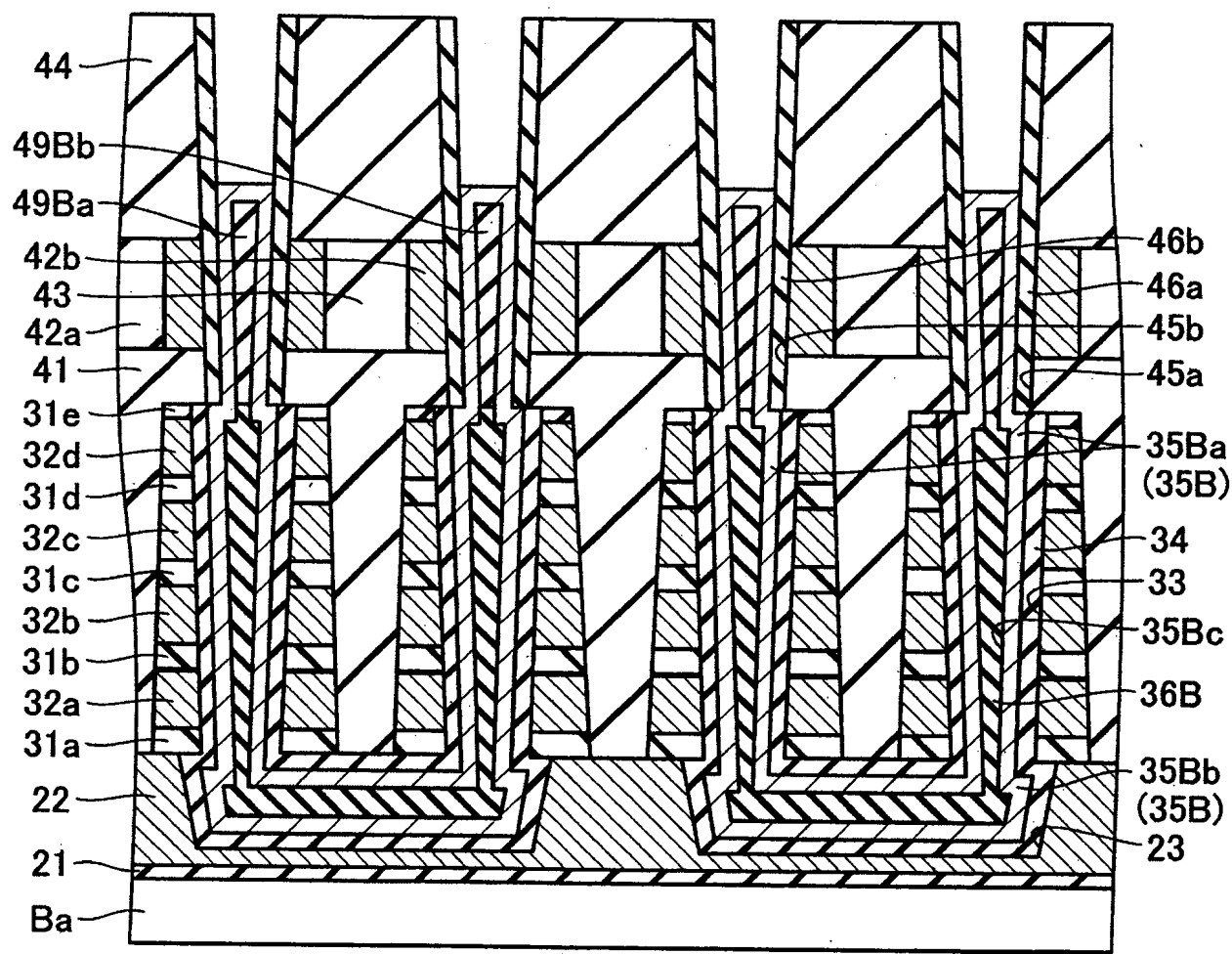


圖33

四、指定代表圖：

(一)本案指定代表圖為：第(5)圖。

(二)本代表圖之元件符號簡單說明：

20	背閘電晶體層
21	背閘絕緣層
22	背閘導電層
23	背閘孔
30	記憶體電晶體層
31a	第一字線間絕緣層
31b	第二字線間絕緣層
31c	第三字線間絕緣層
31e	第五字線間絕緣層
31d	第四字線間絕緣層
32a	第一字線導電層
32b	第二字線導電層
32c	第三字線導電層
32d	第四字線導電層
33	記憶體孔
34	記憶體閘極絕緣層
35	U形半導體層
35a	柱狀部分
35b	接合部分
40	選擇電晶體層
41	層間絕緣層

42a	汲極側導電層
42b	源極側導電層
43	選擇電晶體絕緣層
44	層間絕緣層
45a	汲極側孔
45b	源極側孔
45c	源極線佈線溝槽
46a	汲極側閘極絕緣層
46b	源極側閘極絕緣層
47a	汲極側柱狀半導體層
47b	源極側柱狀半導體層
48a	插塞導電層
48b	源極導電層
50	佈線層
51	層間絕緣層
51a	孔
51b	插塞層
52	位元線層
Ba	半導體基板

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)