(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년04월04일
(11) 등록번호 10-1381549
(24) 등록일자 2014년03월28일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) *H01L 21/336* (2006.01)
(21) 출원번호 10-2013-0021897
(22) 출원일자 2013년02월28일
심사청구일자 2013년02월28일
(56) 선행기술조사문헌
KR100991559 B1*
KR1020050123332 A*
KR1020100096847 A*
JP4424341 B2
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
인하대학교 산학협력단
인천광역시 남구 인하로 100, 인하대학교 (용현동)
(72) 발명자
정재경
서울 강서구 화곡로13길 107, 108동 702호 (화곡동, 화곡푸르지오)
손병근
인천 남구 한나루로463번길 58, 3층 (용현동)
(74) 대리인
양성보

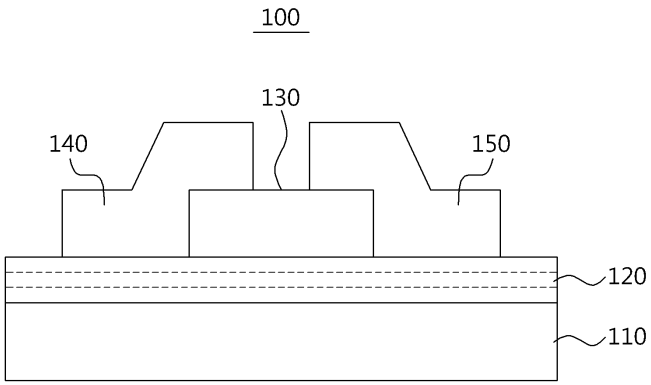
전체 청구항 수 : 총 6 항 심사관 : 설관식

(54) 발명의 명칭 **트랜지스터와 그 제조 방법 및 트랜지스터를 포함하는 전자 소자**

(57) 요 약

트랜지스터와 그 제조 방법 및 트랜지스터를 포함하는 전자 소자가 개시된다. 상기 트랜지스터는 기판 상에 형성된 게이트 전극; 상기 게이트 전극의 상부에 형성되고, 지르코늄 옥사이드(ZrO_2)를 포함하는 게이트 절연층; 상기 게이트 절연층 상에 형성된 채널층; 상기 채널층의 제1 영역에 연결된 소스 전극; 및 상기 채널층의 제2 영역에 연결된 드레인 전극을 포함할 수 있다.

대 표 도 - 도1



이 발명을 지원한 국가연구개발사업

과제고유번호	10041808
부처명	지식경제부
연구사업명	산업원천기술개발사업
연구과제명	150℃이하 인쇄기반 플렉서블 디스플레이 백플레인용 산화물 반도체, 절연체, 잉크 소재 및 공정 기술 개발
기 여 율	1/1
주관기관	한국전자통신연구원
연구기간	2012.06.01 ~ 2016.05.31

특허청구의 범위

청구항 1

기판 상에 형성된 게이트 전극;

상기 게이트 전극의 상부에 형성되고, 지르코늄 옥사이드(ZrO_2)를 포함하는 게이트 절연층;

상기 게이트 절연층 상에 형성된 채널층;

상기 채널층의 제1 영역에 연결된 소스 전극; 및

상기 채널층의 제2 영역에 연결된 드레인 전극

을 포함하고,

상기 게이트 절연층은, 스핀 코팅(spin coating) 방법을 통해 형성되고,

상기 스핀 코팅 방법은, 염화지르코늄 계열의 물질을 프리커서(precursor)로 이용하는 트랜지스터.

청구항 2

삭제

청구항 3

삭제

청구항 4

제1항에 있어서,

상기 게이트 절연층은,

복수의 코팅층들이 누적되어 형성된 트랜지스터.

청구항 5

제1항에 기재된 트랜지스터를 포함하는 전자 소자.

청구항 6

기판 상에 게이트 전극을 형성하는 단계;

상기 게이트 전극의 상부에 용액 공정을 통해 지르코늄 옥사이드를 포함하는 게이트 절연층을 형성하는 단계;

상기 게이트 절연층 상에 채널 영역, 소스 영역 및 드레인 영역을 포함하는 채널층을 형성하는 단계; 및

상기 소스 영역 상에 소스 전극을 형성하고, 상기 드레인 영역 상에 드레인 전극을 형성하는 단계

를 포함하고,

상기 게이트 절연층을 형성하는 단계는, 스핀 코팅 방법을 통해 게이트 절연층을 형성하고,

상기 스핀 코팅 방법은, 염화지르코늄 계열의 물질을 프리커서로 이용하는 트랜지스터 제조 방법.

청구항 7

삭제

청구항 8

삭제

청구항 9

제6항에 있어서,

상기 게이트 절연층을 형성하는 단계는,

복수 번의 코팅층 형성을 통해 상기 게이트 절연층을 형성하는 트랜지스터 제조 방법.

청구항 10

기판 상에 게이트 전극을 형성하는 단계;

상기 게이트 전극의 상부에 용액 공정을 통해 지르코늄 옥사이드를 포함하는 게이트 절연층을 형성하는 단계;

상기 게이트 절연층 상에 채널 영역, 소스 영역 및 드레인 영역을 포함하는 채널층을 형성하는 단계; 및

상기 소스 영역 상에 소스 전극을 형성하고, 상기 드레인 영역 상에 드레인 전극을 형성하는 단계

를 포함하고,

상기 게이트 절연층을 형성하는 단계는,

지르코늄 옥사이드를 포함하는 제1 코팅층을 형성하는 단계;

상기 제1 코팅층을 열처리하는 단계;

상기 열처리된 제1 코팅층의 표면이 친수성이 되도록 표면처리하는 단계; 및

상기 표면 처리된 제1 코팅층 상에 지르코늄 옥사이드를 포함하는 제2 코팅층을 형성하는 단계

를 포함하는 트랜지스터 제조 방법.

명 세 서

기 술 분 야

[0001] 아래의 설명은 트랜지스터와 그 제조 방법 및 트랜지스터를 포함하는 전자 소자에 관한 것이다.

배 경 기 술

[0002] 박막 트랜지스터(Thin Film Transistor, 이하 TFT)는 전계효과 트랜지스터(Field Effect Transistor, FET)의 한 종류로, 스위칭 소자(switching device)나 구동 소자(driving device)로 이용되고 있으며, 주로 디스플레이 분야에서 널리 이용되고 있다. TFT 기술이 적용된 액정 디스플레이를 박막 트랜지스터 액정 디스플레이(TFT-Liquid Crystal Display, 이하 TFT-LCD)라고 한다.

[0003] 현재, TFT-LCD의 구동 소자로 비정질 실리콘 계열의 TFT가 사용되고 있다. 하지만, 비정질 실리콘 계열은 이동도가 낮기 때문에, 최근에는 차세대 TFT-LCD 구동 소자로서 금속 산화물 반도체를 이용한 TFT에 대한 연구 및 개발이 활발하게 진행되고 있다. 지금까지 차세대 TFT-LCD 구동 소자로서 a-Si, poly-crystalline 실리콘 및 유기물 반도체가 고려되어 왔다.

[0004] 차세대 디스플레이에서는 작은 사이즈의 TFT, 낮은 구동 전압 및 낮은 소비 전력 등의 특성을 요구한다. TFT 제조에서 널리 사용되는 SiO2는 위와 같은 요구를 충족시키기 어려우며, SiO2를 대체할 고유전율의 새로운 게이트 절연막이 요구되고 있다.

발명의 내용

해결하려는 과제

[0005] 고유전율의 게이트 절연층을 포함하는 트랜지스터를 제공한다.

[0006] 상기 트랜지스터의 제조 방법을 제공한다.

[0007] 상기 트랜지스터를 포함하는 전자 소자를 제공한다.

과제의 해결 수단

[0008] 일실시예에 따른 트랜지스터는, 기판 상에 형성된 게이트 전극; 상기 게이트 전극의 상부에 형성되고, 지르코늄 옥사이드(ZrO2)를 포함하는 게이트 절연층; 상기 게이트 절연층 상에 형성된 채널층; 상기 채널층의 제1 영역에 연결된 소스 전극; 및 상기 채널층의 제2 영역에 연결된 드레인 전극을 포함할 수 있다.

[0009] 일실시예에 따른 트랜지스터의 제조 방법은, 기판 상에 게이트 전극을 형성하는 단계; 상기 게이트 전극의 상부에 용액 공정을 통해 지르코늄 옥사이드를 포함하는 게이트 절연층을 형성하는 단계; 상기 게이트 절연층 상에 채널 영역, 소스 영역 및 드레인 영역을 포함하는 채널층을 형성하는 단계; 및 상기 소스 영역 상에 소스 전극을 형성하고, 상기 드레인 영역 상에 드레인 전극을 형성하는 단계를 포함할 수 있다.

[0010] 일실시예에 따른 트랜지스터의 제조 방법에서, 상기 게이트 절연층을 형성하는 단계는 지르코늄 옥사이드를 포함하는 제1 코팅층을 형성하는 단계; 상기 제1 코팅층을 열처리하는 단계; 상기 열처리된 제1 코팅층의 표면이 친수성이 되도록 표면처리하는 단계; 및 상기 표면 처리된 제1 코팅층 상에 지르코늄 옥사이드를 포함하는 제2 코팅층을 형성하는 단계를 포함할 수 있다.

[0011] 일실시예에 따른 전자 소자는, 기판 상에 형성된 게이트 전극; 상기 게이트 전극의 상부에 형성되고, 지르코늄 옥사이드를 포함하는 게이트 절연층; 상기 게이트 절연층 상에 형성된 채널층; 상기 채널층의 제1 영역에 연결된 소스 전극; 및 상기 채널층의 제2 영역에 연결된 드레인 전극을 포함하는 트랜지스터를 포함할 수 있다.

발명의 효과

[0012] 일실시예에 따르면, 고유전율의 게이트 절연층을 포함하는 트랜지스터를 경제적인 방법을 이용하여 제조할 수 있다.

도면의 간단한 설명

[0013] 도 1은 일실시예에 따른 트랜지스터의 구조를 나타내는 단면도이다.

도 2는 일실시예에 따른 게이트 절연층의 성능에 대한 시뮬레이션 결과를 나타내는 그래프이다.

도 3 및 도 4는 일실시예에 따른 트랜지스터의 성능에 대한 시뮬레이션 결과를 나타내는 그래프이다.

도 5는 일실시예에 따른 트랜지스터를 포함하는 평판 표시 장치를 설명하기 위한 도면이다.

도 6은 일실시예에 따른 트랜지스터 제조 방법을 설명하기 위한 흐름도이다.

도 7은 일실시예에 따른 게이트 절연층을 형성하는 단계의 세부 과정을 설명하기 위한 흐름도이다.

발명을 실시하기 위한 구체적인 내용

[0014] 이하, 실시예들을 첨부된 도면을 참조하여 상세하게 설명한다. 아래의 특정한 구조적 내지 기능적 설명들은 단지 발명의 실시예들을 설명하기 위한 목적으로 예시된 것으로, 발명의 범위가 본문에 설명된 실시예들에 한정되는 것으로 해석되어서는 안된다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

[0015] 도 1은 일실시예에 따른 트랜지스터의 구조를 나타내는 단면도이다.

[0016] 도 1을 참조하면, 트랜지스터(100)는 게이트 전극(110), 게이트 절연층(120), 채널층(130), 소스 전극(140) 및 드레인 전극(150)을 포함할 수 있다. 트랜지스터(100)는 TFT-LCD, 아몰레드(Active Matrix Organic Light-Emitting Diode, AMOLED), 투명디스플레이 등을 구성하는 전자 소자로써 이용될 수 있다.

[0017] 게이트 전극(110)은 기판(substrate) 상에 형성될 수 있다. 기판은 유리 기판일 수 있지만, 그 밖의 다른 기판, 예를 들어 플라스틱 기판이나 실리콘 기판 등 통상의 반도체 소자 공정에서 이용되는 다양한 기판 중 어느 하나일 수 있다. 게이트 전극(110)은 금속이나 도전성 산화물 등으로 형성될 수 있다.

[0018] 게이트 절연층(120)은 게이트 전극(110)의 상부에 형성되고, 지르코늄 옥사이드(ZrO2)를 포함할 수 있다. 게이트 절연층(120)은 용액 공정을 통해 형성될 수 있다. 예를 들어, 게이트 절연층(120)은 스핀 코팅(spin coating) 방법을 통해 형성될 수 있다. 게이트 절연층(120)은 전하를 가둘 수 있는 용량이 큰 고유전율(High-k) 물질인 ZrO2를 용액형으로 만들어 스핀 코팅 방법에 의해 형성될 수 있다. 스핀 코팅 방법은 지르코늄 옥사이드를 포함하는 게이트 절연층(120)을 형성하기 위해 염화지르코늄 계열의 물질(예를 들어, ZrCl4)을 프리커서

(precursor)로 이용할 수 있다.

[0019] 스핀 코팅 방법에서는 간단한 장치를 이용하여 균일한 두께의 박막 형성 및 용액의 점도나 회전 속도에 따라 박막의 두께를 조절할 수 있다. 또한, 스핀 코팅 방법을 통해 기공 크기 및 표면적의 제어가 가능하다. 스핀 코팅 방법을 통해 트랜지스터(100) 내의 게이트 절연층(120)을 제작함으로써, 상대적으로 적은 제조 비용과 낮은 소비 전력으로 트랜지스터(100)를 제조할 수 있다.

[0020] 게이트 절연층(120)은 단층 구조 또는 다층 구조를 가질 수 있다. 다층 구조의 게이트 절연층(120)은 스핀 코팅 방법에서 복수 개의 코팅층을 누적하는 멀티 코팅(multi-coating) 과정을 통해 형성될 수 있다. 복수 개의 코팅층을 누적시키는 과정에서, 프리베이킹(prebaking)을 수행한 후에 각각의 코팅층 표면이 친수성이 되도록 표면처리하여 코팅층의 표면 특성을 개선시킬 수 있다. 예를 들어, 각각의 코팅층 형성 과정에서, 프리베이킹을 수행한 뒤 UVO(UV ozone) 장치를 이용한 UVO 처리를 통해 클리닝된 기판에 남아있을 수 있는 유기물을 제거하고, 코팅층의 표면에 친수성기인 ■H 기를 붙여줄 수 있다. 이에 의해, 코팅층의 계면 특성이 향상되어 코팅층의 표면과 Zr 프리커서 용액과의 접착력을 향상시킬 수 있다. UVO 처리 후, 누설 전류의 원인이 될 수 있는 용매 내 불순물을 최대한 제거하기 위한 베이킹(baking) 과정이 수행될 수 있다.

[0021] 게이트 절연층을 고유전율을 가지는 지르코늄 옥사이드로 형성함으로써, 반도체 내의 배선과 배선 간 간섭을 방지하고, 미세 회로를 더욱 용이하게 설계할 수 있다. 또한, 용액형 게이트 절연체인 지르코늄 옥사이드로 트랜지스터(100)를 제조함으로써, 저전압에서 높은 이동도를 가지고, 소비 전력을 줄일 수 있는 트랜지스터(100)의 제조가 가능하다.

[0022] 게이트 절연층(120) 상에 채널층(130)이 형성될 수 있다. 채널층(130)은 산화물 반도체로 형성될 수 있다. 예를 들어, 스퍼터링(sputtering) 장치를 통해 IZO(Indium Zinc Oxide) 등의 산화물 반도체를 쌓음으로써 채널층(130)이 형성될 수 있다. 단, IZO는 예시적인 것에 불과하고, 그 밖에 다른 다양한 산화물 반도체가 사용될 수 있다. 예를 들어, 산화물 반도체는 인듐갈륨아연산화물(InGaZnO), 아연주석산화물(ZnSnO), 인듐아연산화물(InZnO), 하프늄인듐아연산화물(HfInZnO), 지르코늄아연주석산화물(ZrZnSnO), 하프늄아연주석산화물(HfZnSnO) 중 어느 하나를 포함할 수 있다. 또는, 산화물 반도체는 인듐(In), 아연(Zn), 주석(Sn), 지르코늄(Zr), 하프늄(Hf) 및 갈륨(Ga) 중 적어도 두 개 이상의 금속 물질을 포함하는 이성분계, 삼성분계 또는 사성분계의 금속 산화물 반도체 물질을 포함할 수 있다.

[0023] 게이트 절연층(120) 상에 채널층(130)의 양단에 각각 접촉되는 소스 전극(140) 및 드레인 전극(150)이 구비될 수 있다. 예를 들어, 소스 전극(140) 및 드레인 전극(150)에는 ITO(Indium Tin Oxide) 등이 이용될 수 있다. 소스 전극(140)은 채널층(130)의 소스 영역에 연결되고, 드레인 전극(150)은 채널층(130)의 드레인 영역에 연결될 수 있다. 소스 전극(140) 및 드레인 전극(150)은 단층 구조 또는 다층 구조를 가질 수 있다.

[0024] 도 2는 일실시예에 따른 게이트 절연층의 성능에 대한 시뮬레이션 결과를 나타내는 그래프이다.

[0025] 도 2에서, 그래프(210)은 400 도씨(°C)로 열처리하고, 6번의 코팅 과정을 통해 형성된 ZrO2 게이트 절연층(ZrO2를 포함하는 게이트 절연층)의 J(전류 밀도, Current Density)-E(전기장, Electric Field) 플롯(plot)을 나타낸다. 그래프(220)는 400 도씨(°C)로 열처리하고, 3번의 코팅 과정을 통해 형성된 ZrO2 게이트 절연층의 J-E 플롯을 나타낸다.

[0026] 각각 3번 및 6번 코팅 과정이 수행된 트랜지스터의 누설 전류를 측정하여 나타낸 J-E 플롯 결과로부터, 3번 및 6번 코팅 과정이 수행된 트랜지스터 모두 3MV/cm에서 (전류 밀도 < 10^{-6}A/cm^2)의 특성을 나타내는 것을 확인할 수 있다.

[0027] 도 3 및 도 4는 일실시예에 따른 트랜지스터의 성능에 대한 시뮬레이션 결과를 나타내는 그래프이다.

[0028] 도 3은 3번의 코팅 과정을 통해 형성된 ZrO2 게이트 절연층을 포함하는 트랜지스터의 소자 특정을 나타내는 시뮬레이션 결과이고, 도 4는 6번의 코팅 과정을 통해 형성된 ZrO2 게이트 절연층을 포함하는 트랜지스터의 소자 특성을 나타내는 시뮬레이션 결과이다.

[0029] 도 3 및 도 4의 시뮬레이션 결과를 통해, 3번의 코팅 과정을 통해 형성된 ZrO2 게이트 절연층은 μ_{lin} : 20.3cm2/Vs, μ_{sat}: 11.8cm2/Vs, s-factor : 0.11V/decade, Vth : -0.21V의 특성을 나타내는 것을 확인할 수 있고, 6번의 코팅 과정을 통해 형성된 ZrO2 게이트 절연층은 μ_{lin} : 16.5cm2/Vs, μ_{sat}: 11.3cm2/Vs, s-factor : 0.1 V/decade, Vth : -0.24V의 특성을 나타내는 것을 확인할 수 있다.

[0030] 도 5는 일실시예에 따른 트랜지스터를 포함하는 평판 표시 장치를 설명하기 위한 도면이다.

[0031] 도 5를 참조하면, 도 1의 트랜지스터를 포함하는 전자 소자로서, 평판 표시 장치의 구조가 도시되어 있다. 표시 패널(500)은 서로 대향하도록 배치된 제1 기판(510)과 제2 기판(520), 제1 기판(510)과 제2 기판(520) 사이에 배치된 액정층(530)을 포함할 수 있고, 기판(510)에 매트릭스 형태로 배열된 복수의 게이트 선(511)과 데이터 선(512)에 의해 정의되는 화소 영역(513)을 포함할 수 있다.

[0032] 또한, 표시 패널(500)에서, 복수의 게이트 선(511)과 데이터 선(512)이 교차되는 부분의 제1 기판(510)에는 각 화소로 공급되는 신호를 제어하는 박막 트랜지스터(TFT)(514) 및 박막 트랜지스터(514)와 연결되는 화소 전극(515)이 형성될 수 있다. 여기서 박막 트랜지스터(514)는 도 1에 도시된 것과 같은 구조를 가질 수 있다. 즉, 박막 트랜지스터(514)는 지르코늄 옥사이드를 포함하는 게이트 절연층을 포함할 수 있고, 게이트 절연층은 스핀 코팅 방법을 통해 복수의 코팅층이 누적되어 형성될 수 있다.

[0033] 도 5에 도시된 표시 패널(500)의 제조 방법은 우선, 제2 기판(520)에 컬러 필터(521) 및 공통 전극(522)을 형성하고, 제1 기판(510)과 제2 기판(520) 각각의 배면에 제1 및 제2 편광판(540, 515)을 형성한 후, 제1 편광판(540)의 하부에는 광원으로 백 라이트(미도시)를 배치시킬 수 있다.

[0034] 또한, 표시 패널(500)의 화소 영역(513) 주변에는 표시 패널(500)를 구동시키기 위한 구동부(LCD Drive IC, 미도시)가 실장될 수 있다. 구동부는 외부로부터 제공되는 전기적 신호를 주사 신호 및 데이터 신호로 변환하여 게이트 선(511)과 데이터 선(512)으로 공급할 수 있다.

[0035] 도 6은 일실시예에 따른 트랜지스터 제조 방법을 설명하기 위한 흐름도이다.

[0036] 도 6을 참조하면, 기판 상에 게이트 전극을 형성(610)할 수 있다. 기판은 유리 기판일 수 있지만, 그 밖의 다른 기판, 예를 들어 플라스틱 기판이나 실리콘 기판 등 통상의 반도체 소자 공정에서 이용되는 다양한 기판 중 어느 하나일 수 있다. 게이트 전극은 금속이나 도전성 산화물 등으로 형성될 수 있다.

[0037] 다음, 게이트 전극의 게이트 전극의 상부에 용액 공정을 통해 지르코늄 옥사이드(ZrO2)를 포함하는 게이트 절연층을 형성(620)할 수 있다. 예를 들어, 게이트 절연층은 용액 공정 중 하나인 스핀 코팅 방법을 통해 형성될 수 있다. 게이트 절연층은 전하를 가둘 수 있는 용량이 큰 고유전율 물질인 ZrO2를 용액형으로 만들어 스핀 코팅 방법에 의해 형성될 수 있다. 스핀 코팅 방법은 지르코늄 옥사이드를 포함하는 게이트 절연층을 형성하기 위해 염화지르코늄 계열의 물질을 프리커서로 이용할 수 있다.

[0038] 게이트 절연층은 단층 구조 또는 다층 구조를 가질 수 있다. 다층 구조의 게이트 절연층은 스핀 코팅 방법에서 복수 개의 코팅층을 누적하는 멀티 코팅 과정을 통해 형성될 수 있다. 이에 대한 자세한 설명은 도 7에서 후술한다.

[0039] 그 후, 게이트 절연층 상에 채널 영역, 소스 영역 및 드레인 영역을 포함하는 채널층을 형성(630)할 수 있다. 예를 들어, 채널층은 ZnO 계열의 산화물 반도체 등을 포함할 수 있다. 그러나, ZnO 계열의 산화물 반도체는 예시적인 것에 불과하고, 그 밖에 다른 다양한 산화물 반도체가 사용될 수 있다. 예를 들어, 산화물 반도체는 인듐갈륨아연산화물(InGaZnO), 아연주석산화물(ZnSnO), 인듐아연산화물(InZnO), 하프늄인듐아연산화물(HfInZnO), 지르코늄아연주석산화물(ZrZnSnO), 하프늄아연주석산화물(HfZnSnO) 중 어느 하나를 포함할 수 있다. 또는, 산화물 반도체는 인듐(In), 아연(Zn), 주석(Sn), 지르코늄(Zr), 하프늄(Hf) 및 갈륨(Ga) 중 적어도 두 개 이상의 금속 물질을 포함하는 이성분계, 삼성분계 또는 사성분계의 금속 산화물 반도체 물질을 포함할 수 있다.

[0040] 채널층이 형성되면, 소스 전극 및 드레인 전극을 형성(640)할 수 있다. 채널층 내의 소스 영역 상에 소스 전극을 형성하고, 드레인 영역 상에 드레인 전극을 형성할 수 있다. 소스 전극 및 드레인 전극은 단층 구조 또는 다층 구조를 가질 수 있다.

[0041] 도 7은 일실시예에 따른 게이트 절연층을 형성하는 단계(620)의 세부 과정을 설명하기 위한 흐름도이다.

[0042] 다층 구조의 게이트 절연층은 스핀 코팅 방법에서 복수 개의 코팅층을 누적하는 멀티 코팅 과정을 통해 형성될 수 있다. 먼저, 스핀 코팅 방법을 통해 지르코늄 옥사이드를 포함하는 제1 코팅층을 형성(710)할 수 있다. 그 후, 제1 코팅층을 단단히 고정시키기 위해 제1 코팅층을 열처리(720)할 수 있다.

[0043] 그 다음으로, 열처리된 제1 코팅층의 표면이 친수성이 되도록 표면처리(730)하여 제1 코팅층의 표면 특성을 개선시킬 수 있다. 복수 개의 코팅층을 누적시키는 과정에서, 각각의 코팅층 표면이 친수성이 되도록 표면처리함으로써, 각 코팅층의 표면 특성을 개선시킬 수 있다. 예를 들어, 각각의 코팅층 형성 과정에서, 프리베이킹을

수행한 뒤 UVO 장치를 이용한 UVO 처리를 통해 클리닝된 기판에 남아있을 수 있는 유기물을 제거하고, 코팅층의 표면에 친수성기인 ▒H 기를 붙여줄 수 있다. 이에 의해, 코팅층의 계면 특성이 향상되어 코팅층의 표면과 Zr 프리커서 용액과의 접착력을 향상시킬 수 있다. UVO 처리 후, 누설 전류의 원인이 될 수 있는 용매 내 불순물을 최대한 제거하기 위한 베이킹 과정이 수행될 수 있다.

[0044] 제1 코팅층의 표면처리가 완료되면, 제1 코팅층 상에 지르코늄 옥사이드를 포함하는 제2 코팅층을 형성(740)할 수 있다. 위와 같은 과정을 통해, 두 개의 코팅층으로 구성되는 게이트 절연층이 형성될 수 있다. 원하는 개수의 코팅층이 형성될 때까지 단계(710) 내지 단계(740)의 과정을 반복하여 수행(750)할 수 있다.

[0045] 실시예에 따른 방법은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 상기 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 상기 매체에 기록되는 프로그램 명령은 실시예를 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(magnetic media), CD-ROM, DVD와 같은 광기록 매체(optical media), 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical media), 및 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다. 상기된 하드웨어 장치는 실시예의 동작을 수행하기 위해 하나 이상의 소프트웨어 모듈로서 작동하도록 구성될 수 있으며, 그 역도 마찬가지이다.

[0046] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.

[0047] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

부호의 설명

[0048] 110: 게이트 전극

120: 게이트 절연층

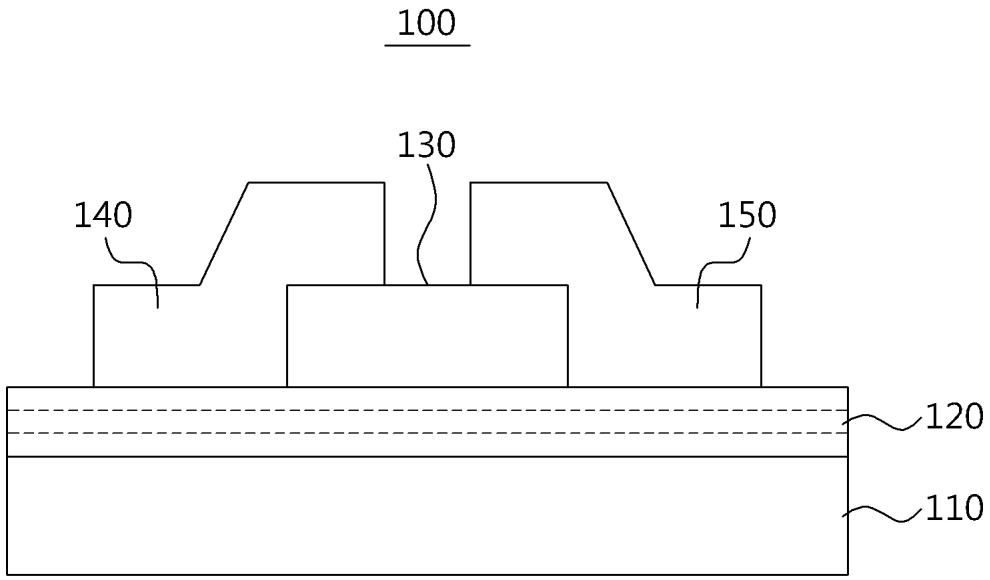
130: 채널층

140: 소스 전극

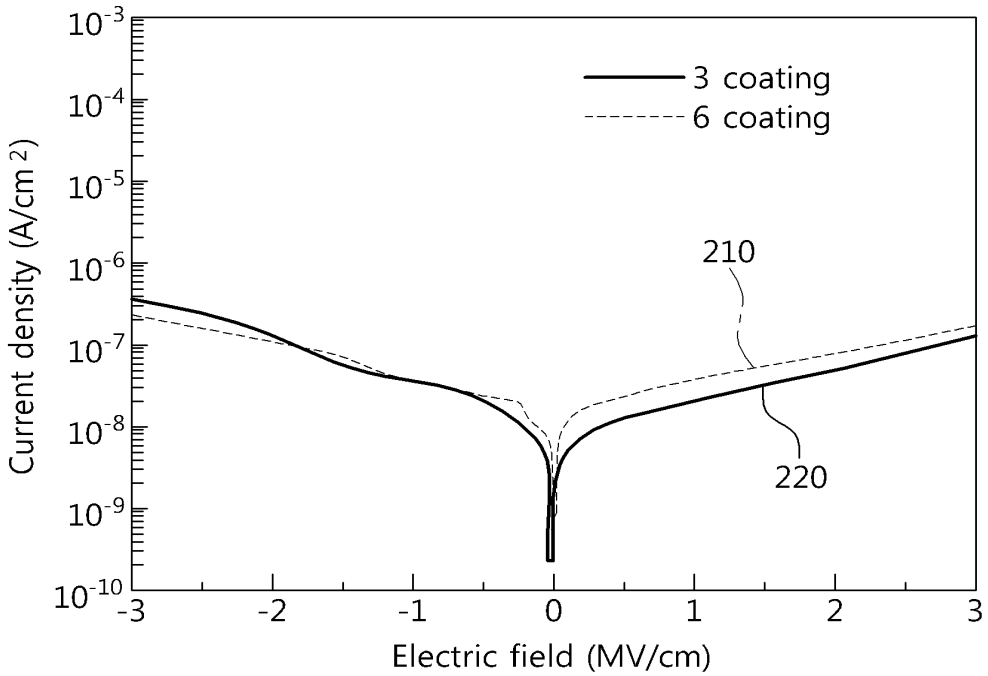
150: 드레인 전극

도면

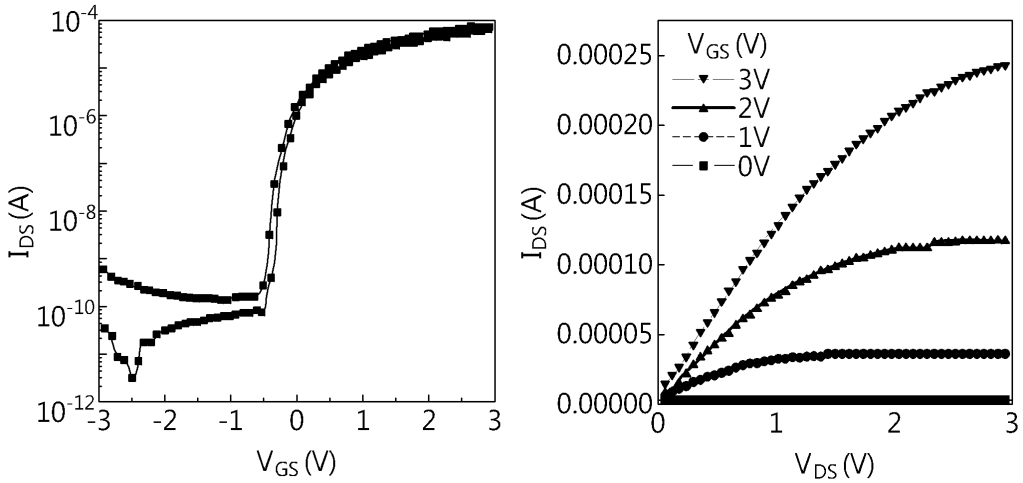
도면1


100
130
140
150
120
110

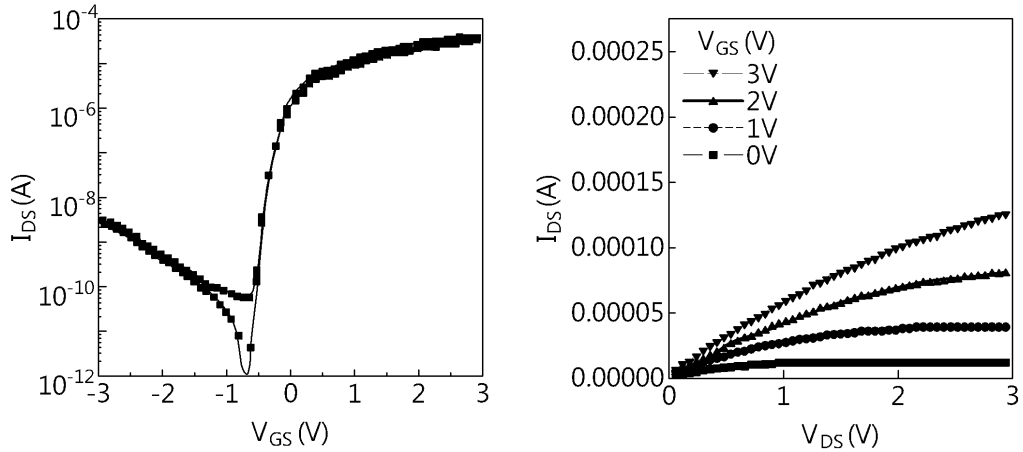
도면2


3 coating
6 coating
210
220
Current density (A/cm 2)
Electric field (MV/cm)
10-3
10-4
10-5
10-6
10-7
10-8
10-9
10-10
-3
-2
-1
0
1
2
3

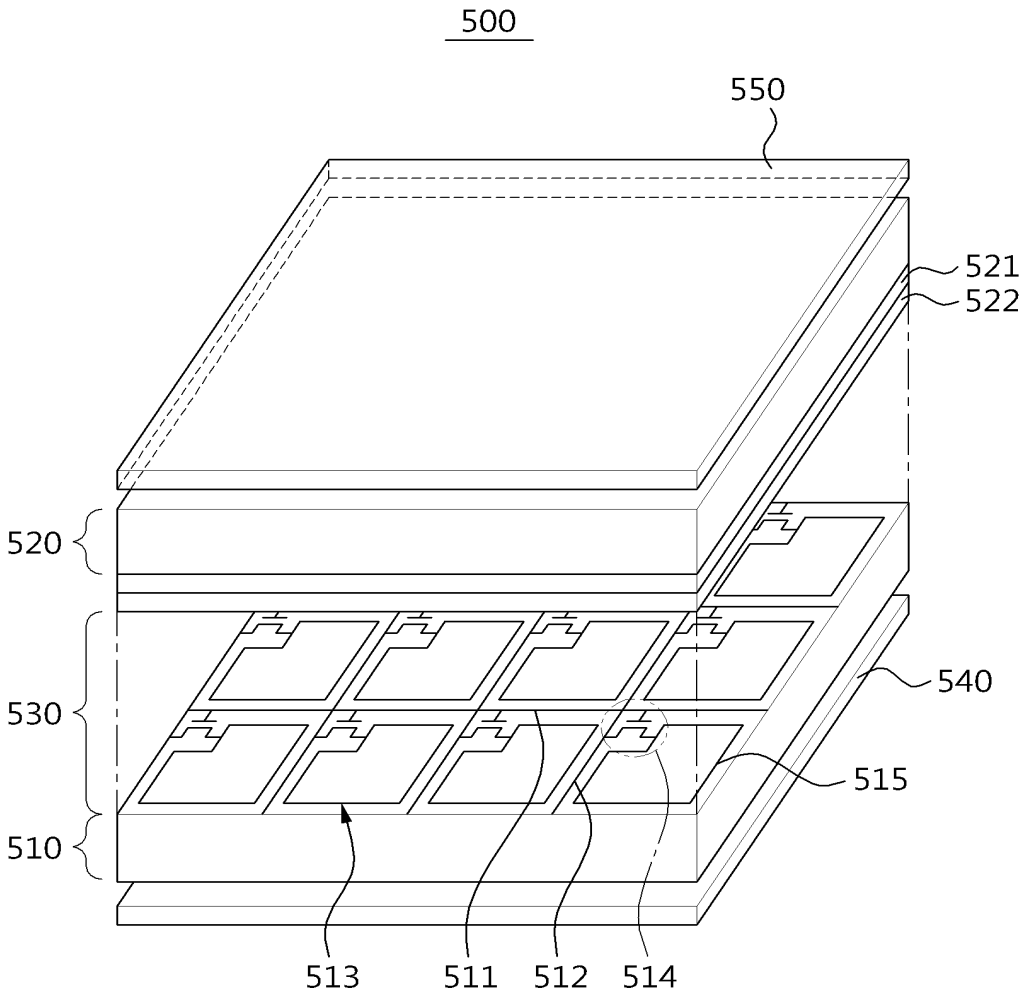
도면3


10^{-4}
10^{-6}
10^{-8}
10^{-10}
10^{-12}
I_{DS} (A)
-3 -2 -1 0 1 2 3
V_{GS} (V)
0.00025
0.00020
0.00015
0.00010
0.00005
0.00000
I_{DS} (A)
V_{GS} (V)
3V
2V
1V
0V
0 1 2 3
V_{DS} (V)

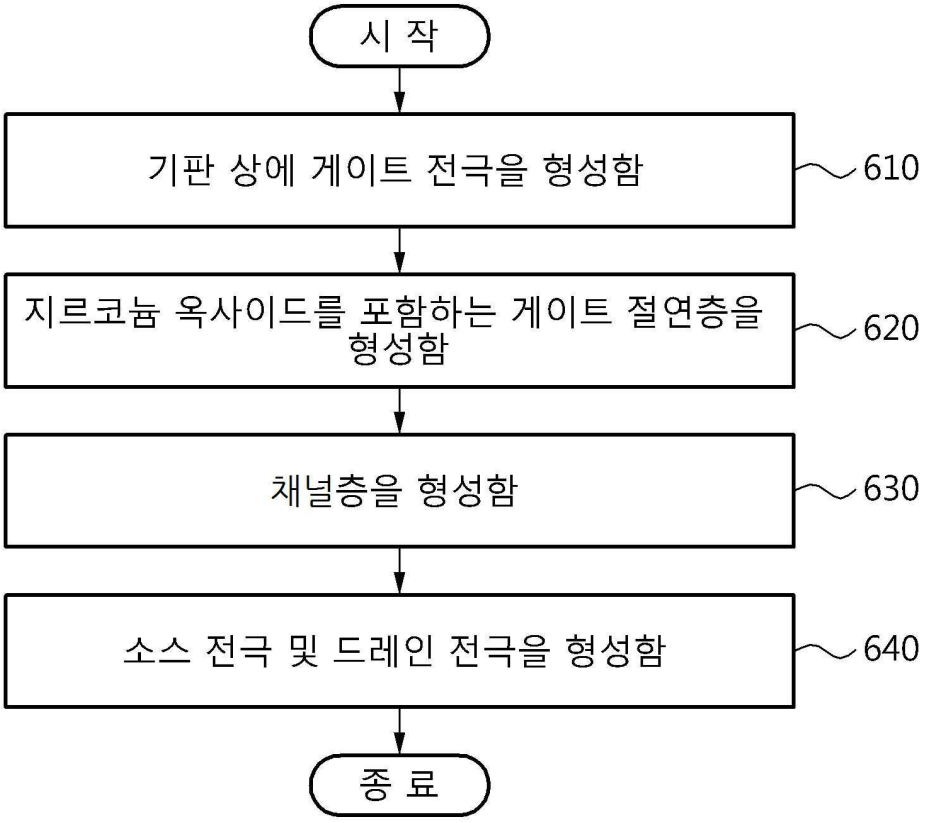
도면4


10^{-4}
10^{-6}
10^{-8}
10^{-10}
10^{-12}
I_{DS} (A)
-3 -2 -1 0 1 2 3
V_{GS} (V)
0.00025
0.00020
0.00015
0.00010
0.00005
0.00000
I_{DS} (A)
V_{GS} (V)
3V
2V
1V
0V
0 1 2 3
V_{DS} (V)

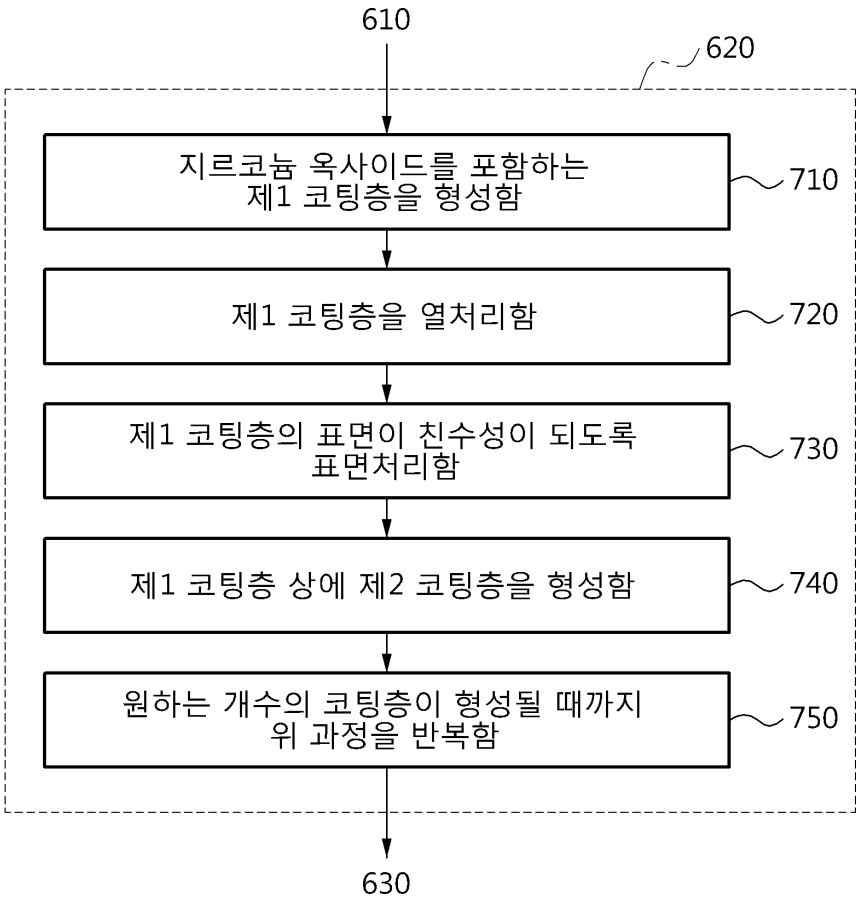
도면5



도면6


시 작
기판 상에 게이트 전극을 형성함
610
지르코늄 옥사이드를 포함하는 게이트 절연층을 형성함
620
채널층을 형성함
630
소스 전극 및 드레인 전극을 형성함
640
종 료

도면7


610
620
지르코늄 옥사이드를 포함하는
제1 코팅층을 형성함
710
제1 코팅층을 열처리함
720
제1 코팅층의 표면이 친수성이 되도록
표면처리함
730
제1 코팅층 상에 제2 코팅층을 형성함
740
원하는 개수의 코팅층이 형성될 때까지
위 과정을 반복함
750
630