

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5255246号  
(P5255246)

(45) 発行日 平成25年8月7日(2013.8.7)

(24) 登録日 平成25年4月26日(2013.4.26)

(51) Int. Cl.	F I	
HO 1 L 23/12 (2006.01)	HO 1 L 23/12	5 O 1 S
HO 1 L 23/02 (2006.01)	HO 1 L 23/02	F
HO 1 L 27/146 (2006.01)	HO 1 L 23/02	J
HO 1 L 27/14 (2006.01)	HO 1 L 27/14	A
HO 1 L 31/02 (2006.01)	HO 1 L 27/14	D
請求項の数 20 (全 10 頁) 最終頁に続く		

(21) 出願番号	特願2007-227923 (P2007-227923)	(73) 特許権者	507296388
(22) 出願日	平成19年9月3日(2007.9.3)		采▲ぎょく▼科技股▲ふん▼有限公司
(65) 公開番号	特開2008-166692 (P2008-166692A)		VisEra Technologies
(43) 公開日	平成20年7月17日(2008.7.17)		Company Limited
審査請求日	平成19年9月3日(2007.9.3)		台湾新竹市科学園区篤行一路12號
審判番号	不服2012-16019 (P2012-16019/J1)		No. 12, Dusing Rd. 1,
審判請求日	平成24年8月17日(2012.8.17)		Hsinchu Science Par
(31) 優先権主張番号	11/649, 242		k, Taiwan, R. O. C.
(32) 優先日	平成19年1月4日(2007.1.4)	(74) 代理人	100064414
(33) 優先権主張国	米国 (US)		弁理士 磯野 道造
		(72) 発明者	林 ▲つ▼翰
			台湾新竹市科学園路112巷14號
		(72) 発明者	林 ▲つ▼穎
			台湾新竹市科園里民亭一街95號
			最終頁に続く

(54) 【発明の名称】 チップスケールパッケージ、CMOSイメージスケールパッケージおよびCMOSイメージスケールパッケージの製造方法

(57) 【特許請求の範囲】

【請求項1】

電子装置のチップスケールパッケージであって、  
 チップスケールパッケージの支持部となり、第一切断端面と該第一切断端面と段差を設けて形成されている第二切断端面とを有する基板と、  
 前記基板上に装着されるダイ回路を有する半導体ダイと、  
 前記基板上で、前記半導体ダイを封止する封止材料と、  
 前記ダイ回路から、前記封止材料上の前記チップスケールパッケージの複数のコンタクト端子に延伸し、前記第一切断端面と同一平面上の第三切断端面を有する接続配線と、  
 前記第一切断端面と前記接続配線の前記第三切断端面とを被覆する、絶縁体からなる分離構造部とからなり、

前記分離構造部は前記第二切断端面と同一平面であって、前記第二切断端面から連続して前記第三切断端面よりも高い位置まで形成されている平面を有することを特徴とする電子装置のチップスケールパッケージ。

【請求項2】

前記基板は透明で、レンズ品質のガラス、或いは、石英からなることを特徴とする請求項1に記載の電子装置のチップスケールパッケージ。

【請求項3】

前記半導体ダイは、集積回路、光電子デバイス、電気機械装置、弾性表面波装置からなることを特徴とする請求項1に記載の電子装置のチップスケールパッケージ。

## 【請求項 4】

前記半導体ダイは CMOS イメージセンサ装置からなることを特徴とする請求項 1 に記載の電子装置のチップスケールパッケージ。

## 【請求項 5】

前記半導体ダイは前記接続配線に接着する複数のダイコンタクト部からなることを特徴とする請求項 1 に記載の電子装置のチップスケールパッケージ。

## 【請求項 6】

前記接続配線は、前記ダイコンタクト部に接着される水平部と、前記チップスケールパッケージの前記コンタクト端子に接着する傾斜部分を有することを特徴とする請求項 5 に記載の電子装置のチップスケールパッケージ。

10

## 【請求項 7】

前記絶縁体は、エポキシ、ポリイミド、樹脂、酸化ケイ素、酸化金属、或いは、窒化ケイ素からなることを特徴とする請求項 1 に記載の電子装置のチップスケールパッケージ。

## 【請求項 8】

CMOS イメージセンサチップスケールパッケージであって、  
パッケージの支承構造となり、第一切断端面と該第一切断端面と段差を設けて形成されている第二切断端面とを有する透明基板と、

前記透明基板上に装着されるダイ回路を有する CMOS イメージセンサダイと、  
前記基板上で、前記 CMOS イメージセンサダイを封止する封止材料と、  
前記ダイ回路から、前記封止材料上の前記パッケージの複数のコンタクト端子に延伸し、  
前記第一切断端面と同一平面上の第三切断端面を有する接続配線と、  
前記第一切断端面と前記接続配線の前記第三切断端面とを被覆する、絶縁体からなる分離構造部とからなり、

20

前記分離構造部は前記第二切断端面と同一平面であって、前記第二切断端面から連続して前記第三切断端面よりも高い位置まで形成されている平面を有することを特徴とする CMOS イメージセンサチップスケールパッケージ。

## 【請求項 9】

前記透明基板は透明で、レンズ品質のガラス、或いは、石英からなることを特徴とする請求項 8 に記載の CMOS イメージセンサチップスケールパッケージ。

## 【請求項 10】

前記 CMOS イメージセンサチップダイは、前記接続配線に接着する複数のダイコンタクト部からなることを特徴とする請求項 8 に記載の CMOS イメージセンサチップスケールパッケージ。

30

## 【請求項 11】

前記接続配線は、前記ダイコンタクト部に接着される水平部と、前記チップスケールパッケージの前記コンタクト端子に接着する傾斜部分を有することを特徴とする請求項 10 に記載の CMOS イメージセンサチップスケールパッケージ。

## 【請求項 12】

前記絶縁体は、エポキシ、ポリイミド、樹脂、酸化ケイ素、酸化金属、或いは、窒化ケイ素からなることを特徴とする請求項 8 に記載の CMOS イメージセンサチップスケールパッケージ。

40

## 【請求項 13】

CMOS イメージセンサチップスケールパッケージの製造方法であって、  
二つの近接する CMOS イメージセンサダイを有する透明基板を提供し、封止材料により各 CMOS イメージセンサダイを封止し、前記二つの近接する CMOS イメージセンサダイ間に延伸する接続配線を、前記封止材料上の前記パッケージの複数のコンタクト端子に接続する工程と、

前記透明基板を、第一幅により所定の深さまで切断して溝部を形成し、各 CMOS イメージセンサダイに対応する前記接続配線の端面を露出する工程と、

絶縁体を前記溝部にフル充填して、前記接続配線の露出した端面を被覆する工程と、

50

前記透明基板を前記第一幅よりも小さい第二幅により切断してＣＭＯＳイメージセンサパッケージを分離する工程と、  
からなることを特徴とするＣＭＯＳイメージセンサチップスケールパッケージの製造方法。

【請求項 14】

前記所定の深さは  $20\ \mu\text{m} \sim 50\ \mu\text{m}$  の間であることを特徴とする請求項 13 に記載のＣＭＯＳイメージセンサチップスケールパッケージの製造方法。

【請求項 15】

前記端面を露出する工程は、前記第一幅を有するダイシングソーにより実行されることを特徴とする請求項 13 に記載のＣＭＯＳイメージセンサチップスケールパッケージの製造方法。

10

【請求項 16】

前記第一幅は、 $100\ \mu\text{m} \sim 150\ \mu\text{m}$  の間であることを特徴とする請求項 15 に記載のＣＭＯＳイメージセンサチップスケールパッケージの製造方法。

【請求項 17】

前記絶縁体を前記溝部に充填する工程は、スパッタリング、印刷、塗布、または、スピンコーティングによりなされることを特徴とする請求項 13 に記載のＣＭＯＳイメージセンサチップスケールパッケージの製造方法。

【請求項 18】

前記絶縁体は、エポキシ、ポリイミド、樹脂、酸化ケイ素、酸化金属、または、窒化ケイ素からなることを特徴とする請求項 13 に記載のＣＭＯＳイメージセンサチップスケールパッケージの製造方法。

20

【請求項 19】

前記ＣＭＯＳイメージセンサパッケージを分離する工程は、前記第二幅を有するダイシングソーにより実行されることを特徴とする請求項 13 に記載のＣＭＯＳイメージセンサチップスケールパッケージの製造方法。

【請求項 20】

前記第二幅は  $100\ \mu\text{m}$  以下であることを特徴とする請求項 19 に記載のＣＭＯＳイメージセンサチップスケールパッケージの製造方法。

【発明の詳細な説明】

30

【技術分野】

【0001】

本発明は、電子装置のチップスケールパッケージに関し、特に、ＣＭＯＳイメージセンサのチップスケールパッケージ（ＣＩＳ－ＣＳＰｓ）の絶縁構造とその製造方法に関する。

【背景技術】

【0002】

ＣＭＯＳイメージセンサ装置は、デジタルスチルカメラ（ＤＳＣ）等、幅広く様々なアプリケーションに用いられる。これらの装置はアクティブ画素のアレイやイメージセンサセル、フォトダイオード素子等を利用し、電磁波放射線を受信して、イメージをデジタルデータのストリームに転換する。

40

【0003】

チップスケールパッケージ（ＣＳＰｓ）は、例えば、パッケージ基板、モジュール基板、或いは、プリント回路板等、支持基板上へのフリップチップボンディングに設計される。フリップチップボンディングの時、 bumps、 pins、或いは、その他のパッケージ上のコンタクト端子が支持基板上のコンタクトに接合される。接合後のコンタクト端子は、パッケージと支持基板間の物理接続、及び、電気的接続を提供する。

【0004】

特許文献 1 は、チップスケールイメージセンサ半導体パッケージ、パッケージの製造方法とパッケージを含むシステムを開示する。しかし、ワイヤボンド、或いは、テーブリー

50

トによる基板ボンディングコンタクトとダイボンディングコンタクト間のボンディング接続の形成は複雑である。

【 0 0 0 5 】

ボンディング接続の問題を改善するため、シェルケース半導体装置のチップスケール技術が開発された。例えば、特許文献 2 では、半導体チップスケールパッケージ技術が開示され、基板ボンディングコンタクトとダイボンディングコンタクト間に T 字接続配線が提供される。T 字型接続配線はパッシベーション層により保護される。ウェハアセンブリが複数の分離した集積回路装置パッケージにダイシングされることにより単一化された後、T 字型接続配線端は露出し、その結果、腐蝕や剥離の損傷を起しやすくなる。よって、集積回路装置パッケージは、例えば、高温 / 高湿度試験等の信頼性試験をパスできない。

10

【 0 0 0 6 】

図 1、及び、図 2 は、公知のチップスケールパッケージウェハアセンブリのダイシング工程を示す。図 1 を参照すると、透明基板 10 はチップスケールパッケージの支持構造であり、ダイ回路を装着する CMOS イメージセンサダイ 20 からなる。CMOS イメージセンサダイ 20 は、マイクロレンズアレイ 22 を有するセンサからなり、像平面となる。パッシベーション層 24 はマイクロレンズアレイ 22 上に設置される。スペーサ 15 は、基板 10 と CMOS イメージセンサダイ 20 間にキャビティ 18 を定義する。封止材料 30 は基板上に形成されて、CMOS イメージセンサダイ 20 を封止する。T 字型接続配線 40 はダイ回路からパッケージの複数のコンタクト端子 70 に延伸する。T 字型接続配線 40 はパッシベーション層 60 により保護される。

20

【 0 0 0 7 】

図 2 を参照すると、得られたウェハスケールアセンブリ 1 が切断されて、複数のパッケージされた集積回路装置 1A と 1B を形成されている。その後、T 字型接続配線の一端が露出され、腐蝕や剥離の損傷を起しやすくなる。この露出した T 字型接続配線は、水分浸透により、腐蝕や剥離の問題に遭遇する。その結果、集積回路装置のパッケージは、例えば、高温 / 高湿度試験等の信頼性試験をパスできない。

そのため、露出した接続配線を水分浸透ダメージから守ることができる隔離設計が長い間模索されてきた。

【 0 0 0 8 】

【特許文献 1】米国特許第 6917090 号明細書

30

【特許文献 2】米国特許出願公開第 2001 / 0018236 号明細書

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 9 】

上述の問題を解決するため、本発明は、露出した接続配線を、水分浸透による腐蝕や剥離から保護する半導体装置のチップスケールパッケージの分離構造を提供することを目的とする。

【課題を解決するための手段】

【 0 0 1 0 】

上述の目的を達成するため、本発明は、電子装置のチップスケールパッケージを提供し、チップスケールパッケージの支持構造となり、第一切断端面と該第一切断端面と段差を設けて形成されている第二切断端面とを有する基板と、前記基板上に装着されるダイ回路を有する半導体ダイと、前記基板上で、半導体ダイを封止する封止材料と、前記ダイ回路から、前記封止材料上のチップスケールパッケージの複数のコンタクト端子に延伸し、第一切断端面と同一平面上の第三切断端面を有する接続配線と、前記第一切断端面と前記接続配線の前記第三切断端面とを被覆する、絶縁体からなる分離構造部とからなり、前記分離構造部は前記第二切断端面と同一平面であって、前記第二切断端面から連続して前記第三切断端面よりも高い位置まで形成されている平面を有する特徴を有する。

40

【 0 0 1 1 】

本発明は、更に、CMOS イメージセンサのチップスケールパッケージを提供し、パッ

50

ケージの支承構造となり、第一切断端面と該第一切断端面と段差を設けて形成されている第二切断端面とを有する基板と、前記基板上に装着されるダイ回路を有する半導体ダイと、前記基板上で、半導体ダイを封止する封止材料と、前記ダイ回路から、前記封止材料上のチップスケールパッケージの複数のコンタクト端子に延伸し、第一切断端面と同一平面上の第三切断端面を有する接続配線と、前記第一切断端面と前記接続配線の前記第三切断端面とを被覆する、絶縁体からなる分離構造部とからなり、前記分離構造部は前記第二切断端面と同一平面であって、前記第二切断端面から連続して前記第三切断端面よりも高い位置まで形成されている平面を有する特徴を有する。

【 0 0 1 2 】

本発明は、更に、C M O S イメージセンサのチップスケールパッケージ製造方法を提供する。まず、二つの近接するC M O S イメージセンサダイを有する透明基板が提供される。そして、封止材料により、前記した各C M O S イメージセンサダイが封止され、接続配線は、両C M O S イメージセンサダイ間に延伸し、各パッケージに対応して、封止材料上のパッケージの複数のコンタクト端子に接続される。前記した透明基板は第一幅により所定の深さに切断されて溝部を形成し、その結果、各C M O S イメージセンサダイに対応する接続配線の一部が露出する。絶縁体はこの溝部にフル充填されて露出した接続配線を保護するのに用いられる。透明基板は前記第一幅より小さい第二幅により切断されてC M O S イメージセンサパッケージを分離する。

10

【発明の効果】

【 0 0 1 3 】

本発明により、露出した接続配線を、水分浸透による腐蝕や剥離から保護する半導体装置のチップスケールパッケージの絶縁構造が提供される。

20

【発明を実施するための最良の形態】

【 0 0 1 4 】

図3乃至図6は、本発明のC M O S イメージセンサチップスケールパッケージの製造工程を示す端面図である。図3で示されるように、ウェハスケールアセンブリ100は、二つの近接したチップスケールパッケージ100Aと100Bからなる。ウェハスケールアセンブリ100の支持構造となる透明基板110が提供される。透明基板110は好ましくはレンズ品質のガラスか石英である。ダイ回路が装着された半導体ダイが透明基板上に搭載されている。例えば、C M O S イメージセンサ装置ダイ120はフリップチップの方式で透明基板110上に接着される。C M O S イメージセンサ装置ダイ120は、マイクロレンズアレイ122を有するセンサ領域を有し、像平面となる。パッシベーション層124はマイクロレンズアレイ122上に形成される。基板110とC M O S イメージセンサ装置ダイ120間のキャピティ118は、スペーサ115、例えば、空洞壁やダム構造により区画される。エポキシ樹脂等の封止材料130が基板上に形成され、C M O S イメージセンサ装置ダイ120を封止する。光学構造体135、例えば、ガラスが封止材料130上に設置されてパッケージを強化する。T字型接続配線140は、ダイ回路から、封止材料上のパッケージの複数のコンタクト端子に延伸している。T字型接続配線140は基板上のボンディングコンタクト部(図示しない)とダイボンディングコンタクト125を接続する。バッファ層150はT字型接続配線140上に設置される。T字型接続配線140は第一パッシベーション層160により被覆される。T字型接続配線140はダイコンタクト125に接着される水平部と、チップスケールパッケージのコンタクト端子に接着する傾斜部分を有する。この他、ウェハスケールアセンブリ100を完成させるのに必要な別の工程を含むが、本発明を理解するための本質的な特徴ではないので説明を省略する。

30

40

【 0 0 1 5 】

本具体例はC M O S イメージセンサのチップスケールパッケージを例としているが、本発明の特徴は、集積回路、光電子デバイス、電気機械装置、弾性表面波装置等を含むその他の電子装置のチップスケールパッケージに適用することもできる。

【 0 0 1 6 】

50

ボールグリッドアレイ 170 がチップスケールパッケージ 100A、100B のコンタクト端子上に形成される。例えば、ソルダーマスク層（図示しない）がチップスケールパッケージ 100A、100B 上に形成され、所定のコンタクト端子領域を露出する。続いて、ソルダーボールのアレイは露出したコンタクト端子領域上に形成される。

【0017】

図4を参照すると、ウェハスケールアセンブリ 100 が切断線に沿って所定の深さ d まで切断され、透明基板 110 中に溝部 105 を形成して、両 CMOS イメージセンサダイ 120 が分離され、接続配線 140 を露出させる表面 105a が形成されている。ウェハスケールアセンブリ 100 は第一幅 w1 を有するダイシングソーによって切断される。よって、溝部 105 の深さ d は、好ましくは、約 20 μm ~ 50 μm の間である。溝部 105 の第一幅 w1 は、好ましくは、約 100 μm ~ 150 μm の間である。

10

【0018】

図5を参照すると、絶縁体 180 が溝部 105 に充填され、露出した接続配線が保護されている。絶縁体 180 は化学気相蒸着 (CVD)、物理気相蒸着 (PVD)、スパッタリング、印刷、インクジェット印刷、塗布、浸漬、或いは、スピンドーティングにより形成される。絶縁体 180 は有機、或いは、無機材料からなり、好ましくは、エポキシ、ポリイミド、樹脂、酸化ケイ素、酸化金属、或いは、窒化ケイ素である。

【0019】

図6を参照すると、ウェハスケールアセンブリ 100 が、その後、切断線に沿って切断されて、CMOS イメージセンサパッケージ 100A と 100B に分断されている。ウェハスケールアセンブリ 100 は第二幅 w2 を有するダイシングソーにより切断される。ダイシングソーの第二幅 w2 は好ましくは 100 μm 以下である。図示しないその他の工程により、CMOS イメージセンサチップスケールパッケージが完成する。

20

【0020】

このように、本発明の具体例により、パッケージの支持構造となる透明基板 110 からなる CMOS イメージセンサチップスケールパッケージが形成される。透明基板は第一切断端面 105a と第二切断端面 105b を有する。ダイ回路を有する CMOS イメージセンサダイ 120 が透明基板 110 に取り付けられる。封止材料 130 が基板上に設置されて、CMOS イメージセンサダイ 120 を封止する。接続配線 140 は、ダイ回路から、封止材料上のパッケージの複数のコンタクト端子に延伸し、ダイボンディングコンタクト 125 に接着される水平部と、チップスケールパッケージのコンタクト端子に接続する傾斜部分を有する。接続配線 140 は終端となり、第一切断端面 105a により露出される。絶縁体 180 は、第一切断端面 105a 上に設けられ、露出した接続配線 140 を被覆し、第二切断端面 105b と同一平面を形成する。

30

【0021】

本発明では好ましい実施例を前述の通り開示したが、これらは決して本発明に限定するものではなく、当該技術を熟知する者なら誰でも、本発明の精神と領域を脱しない範囲内で各種の変動や潤色を加えることができ、従って本発明の保護範囲は、特許請求の範囲で指定した内容を基準とする。

【図面の簡単な説明】

40

【0022】

【図1】チップスケールパッケージウェハアセンブリをダイシングする公知の製造工程を示す端面図である。

【図2】チップスケールパッケージウェハアセンブリをダイシングする公知の製造工程を示す端面図である。

【図3】本発明の CMOS イメージセンサチップスケールパッケージの製造工程を示す端面図である。

【図4】本発明の CMOS イメージセンサチップスケールパッケージの製造工程を示す端面図である。

【図5】本発明の CMOS イメージセンサチップスケールパッケージの製造工程を示す端

50

面図である。

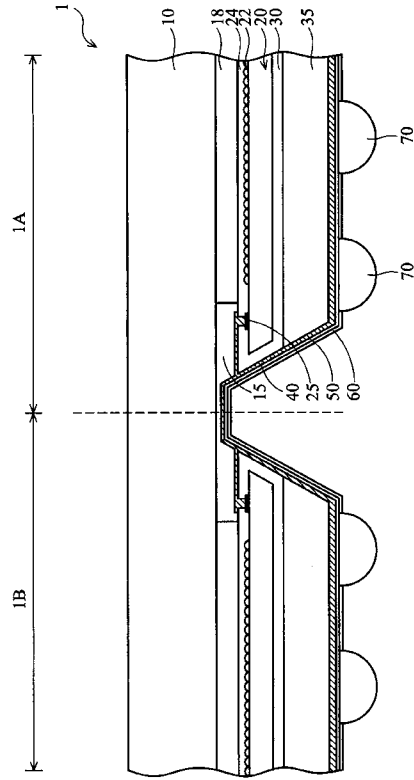
【図6】本発明のCMOSイメージセンサチップスケールパッケージの製造工程を示す端面図である。

【符号の説明】

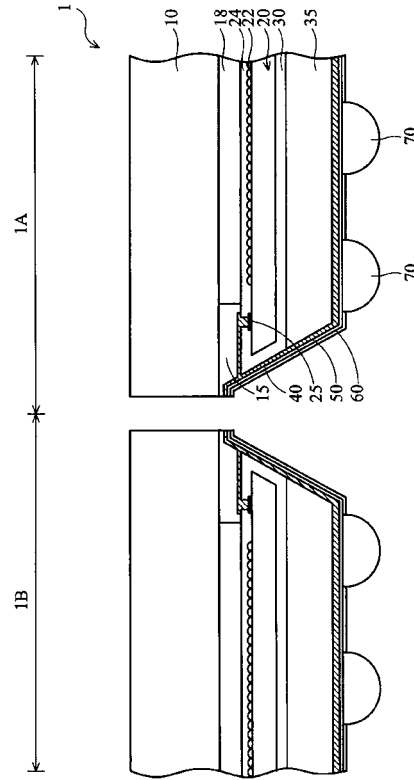
【0023】

1	ウェハスケールアセンブリ	
1 A、1 B	相隣するチップスケールパッケージ	
1 0	透明基板	
1 5	スペーサ	
1 8	キャビティ	10
2 0	CMOSイメージセンサダイ	
2 2	マイクロレンズアレイ	
2 4	パッシベーション層	
3 0	封止材料	
3 5	光学構造	
4 0	T字型接続配線	
6 0	パッシベーション層	
5 0	バッファ層	
7 0	ボールグリッドアレイ	
1 0 0	チップスケールアセンブリ	20
1 0 0 A、1 0 0 B	相隣するチップスケールパッケージ	
1 0 5	溝部	
1 0 5 a	第一切断端面	
1 0 5 b	第二切断端面	
1 1 0	透明基板	
1 1 5	スペーサ	
1 1 8	キャビティ	
1 2 0	CMOSイメージセンサ装置ダイ	
1 2 2	マイクロレンズアレイ	
1 2 4	パッシベーション層	30
1 3 0	封止材料	
1 3 5	光学構造体	
1 4 0	T字型接続配線	
1 2 5	ダイボンディングコンタクト	
1 5 0	バッファ層	
1 6 0	第一パッシベーション層	
1 7 0	ボールグリッドアレイ	
1 8 0	絶縁体	
d	第一深さ	
w 1	第一幅	40
w 2	第二幅	

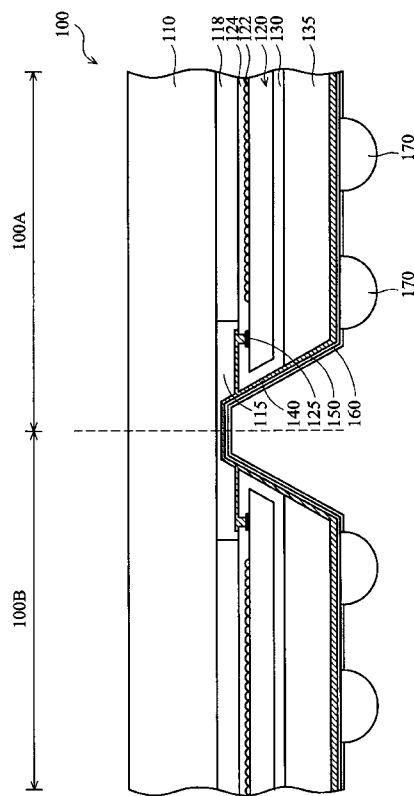
【 図 1 】



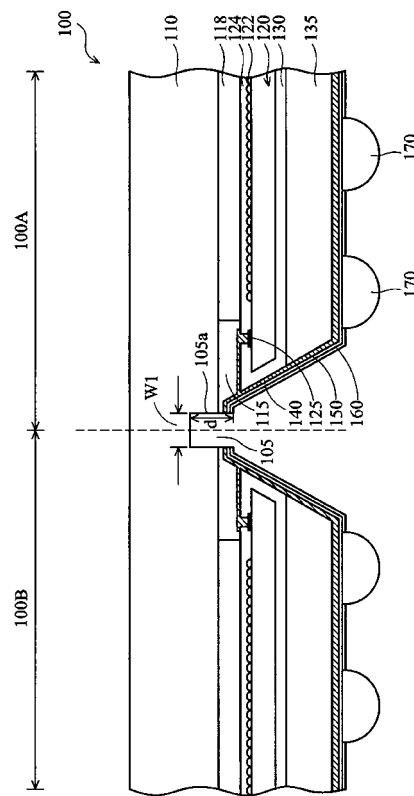
【 図 2 】



【 図 3 】

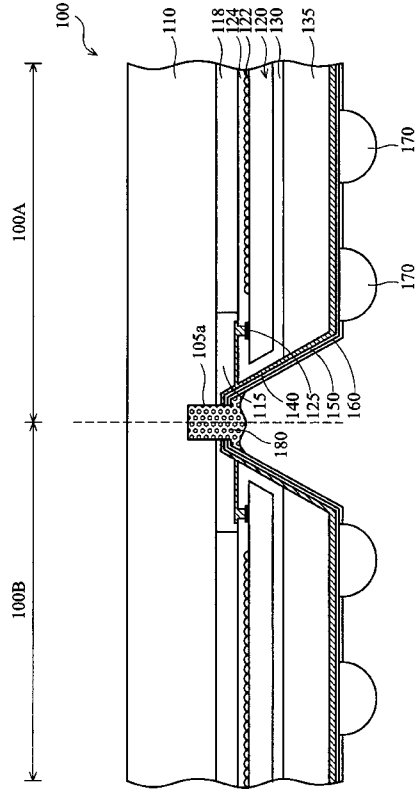


【 図 4 】

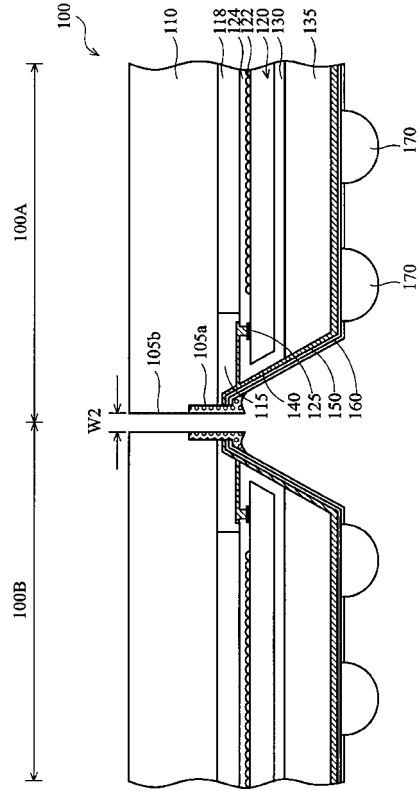




【 図 5 】



【 図 6 】



---

フロントページの続き

(51)Int.Cl. F I  
H 0 1 L 31/02 B

(72)発明者 劉 芳昌  
台湾新竹市光華二街16-2號5樓

(72)発明者 王 凱芝  
台湾桃園縣大溪鎮埔仁路264號

合議体

審判長 川向 和実

審判官 小関 峰夫

審判官 杉浦 貴之

(56)参考文献 特開2004-39974(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L23/12