(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[7]
H01L 21/76

(11) 공개번호 10-2001-0038007
(43) 공개일자 2001년05월15일

(21) 출원번호 10-1999-0045802
(22) 출원일자 1999년10월21일

(71) 출원인 현대전자산업 주식회사 박종섭
경기 이천시 부발읍 아미리 산136-1
(72) 발명자 이수미
전라북도전주시완산구동서학동885-7
(74) 대리인 양순석

심사청구 : 있음

(54) 반도체장치의 소자격리방법

요약

소자격리를 위한 반도체기판의 PGI(profiled groove isolation) 홈 형성시 플라즈마방식의 식각 등에 의한 기판의 결함부위를 질소 이온주입으로 큐어링하여 누설전류를 감소시키도록 한 반도체장치의 트렌치형 소자격리방법에 관한 것이다. 본 발명에 따른 반도체장치의 소자격리방법은 반도체기판 상에 반도체기판의 소정 부분을 노출시켜 소자격리영역과 활성영역을 한정하는 식각마스크를 형성하는 단계와, 식각마스크를 이용하여 반도체기판의 노출된 부분에 소정 깊이의 홈을 형성하는 단계와, 홈 부위의 노출된 반도체기판의 표면에 이온매몰층을 형성하는 단계와, 홈을 절연물질로 매립하는 단계와, 식각마스크를 제거하는 단계와, 반도체기판에 열공정을 실시하는 단계를 포함하는 공정으로 이루어진다.

대표도

도2b

색인어

반도체장치의 소자격리방법

명세서

도면의 간단한 설명

도 1a 내지 도 1d는 종래 기술에 따른 반도체장치의 소자격리방법을 도시하는 공정단면도

도 2a 내지 도 2d는 본 발명에 따른 반도체장치의 소자격리방법을 도시하는 공정단면도

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체장치의 소자격리방법에 관한 것으로서, 특히, 소자격리를 위한 반도체기판의 PGI(profiled groove isolation) 홈 형성시 플라즈마방식의 식각 등에 의한 기판의 결함부위를 질소 이온주입으로 큐어링하여 누설전류를 감소시키도록 한 반도체장치의 트렌치형 소자격리방법에 관한 것이다.

반도체장치의 집적화가 거듭되면서 반도체장치의 상당한 면적을 점유하는 소자격리영역을 줄이기 위한 기술 개발이 활발히 진행되고 있다.

일반적으로 반도체장치는 LOCOS(Local Oxidation of Silicon) 방법으로 소자를 격리하였다. LOCOS 방법은 활성영역을 한정하는 산화마스크인 질화막과 반도체기판의 열적 특성이 다르기 때문에 발생하는 스트레스

를 해소하기 위하여 질화막과 반도체기판 사이에 박막의 버퍼산화막(buffer oxide)을 형성하고 산화시켜 소자격리영역으로 이용되는 필드산화막를 형성한다.

LOCOS방식에 의하여 필연적으로 발생하는 버즈 비크의 길이를 감소시키면서 소자격리를 하는 방법으로 스트레스 완충용 버퍼산화막의 두께를 낮추고 반도체기판과 질화막 사이에 다결정실리콘층을 개입시킨 PBLOCOS(Poly Si Buffered LOCOS), 버퍼산화막의 측벽을 질화막으로 보호하는 SILO(Sealed Interface LOCOS), 그리고, 반도체기판 내에 필드산화막을 형성시키는 리세스(Recessed) LOCOS 기술들이 있다.

그러나, 상기 기술들은 격리 영역 표면의 평탄도와 정밀한 디자인 룰(Design Rule) 등의 이유로 256M DRAM급 이상의 집적도를 갖는 차세대 소자의 소자격리기술로 적합하지 않게 되었다.

따라서, 기존의 여러 소자격리기술들의 문제점을 극복할 수 있는 BOX(buried oxide)형 얕은트렌치소자격리(shallow trench isolation) 기술이 개발되었다. BOX형 소자격리기술 반도체기판에 트렌치를 형성하고 화학기상증착(Chemical Vapor Deposition : 이하, CVD라 칭함) 방법으로 산화실리콘 또는 불순물이 도핑되지 않은 다결정실리콘을 매립한 구조를 갖는다. 그러므로, 버즈 비크가 발생되지 않아 활성영역의 손실이 전혀 없으며, 또한, 산화막을 메립하고 에치 백(etch back)하여 평탄한 표면을 얻을 수 있다.

도 1a 내지 도 1d는 종래 기술에 따른 얕은 트렌치를 이용한 소자격리방법을 도시하는 공정도이다.

도 1a를 참조하면, 반도체기판(11) 상에 열산화 방법으로 버퍼산화막(13)을 형성하고, 이 버퍼산화막(13) 상에 화학기상증착(Chemical Vapor Deposition : 이하, CVD라 칭함) 방법으로 질화실리콘을 증착하여 마스크층(15)을 형성한다.

그리고, 마스크층(15) 및 버퍼산화막(13)을 포토리쏘그래피 방법으로 반도체기판(11)이 노출되도록 순차적으로 패터닝하여 소자격리영역과 활성영역을 한정한다.

도 1b를 참조하면, 마스크층(15)을 마스크로 사용하여 반도체기판(11)의 노출된 소자격리영역을 소정 깊이로 식각하여 트렌치(17)를 형성한다. 상기에서 트렌치(17)를 플라즈마 식각 등의 이방성 식각하여 형성한다. 이때, 식각되는 부위의 기판(11) 표면은 댕글링 본드(dangling bond) 등과 같은 결함들이 발생하여 이후 누설전류의 원인을 제공한다.

도 1c를 참조하면, 마스크층(15) 상에 산화실리콘을 트렌치(17)를 채우도록 CVD 방법으로 증착한다. 그리고, 산화실리콘을 마스크층(15)이 노출되어 화학-기계적연마(Chemical-Mechanical Polishing : 이하, CMP라 칭함) 방법 또는 RIE 방법으로 에치 백하여 트렌치(17) 내에만 잔류되도록 한다. 이 때, 트렌치(17) 내에 잔류하는 산화실리콘은 소자를 분리하는 필드산화막(19)이 된다.

도 1d를 참조하면, 마스크층(15) 및 버퍼산화막(13)을 습식 식각 방법으로 순차적으로 제거하여 반도체기판(11)의 활성영역을 노출시킨다. 이 때, 필드산화막(19)의 반도체기판(11)의 표면 보다 높은 부분도 식각되어 단차가 감소된다.

그리고, 어닐링을 기판에 실시하여 최종적인 소자격리를 완료한다.

그러나, 상술한 종래의 반도체장치의 소자격리방법은 PGI식각시 제거되는 부위의 기판 표면에 댕글링 본드(dangling bond) 등과 같은 결함들이 발생하여 이후 누설전류의 발생의 원인이 되는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 트렌치 형성 후 질소 등을 사용하는 이온주입으로 트렌치 표면에 형성된 댕글링 본드 등의 기판 결함을 제거하여 플라즈마 식각손상을 치유하는 동시에 트렌치를 매립하는 절연층의 밀도를 높게하여 소자격리특성을 개선시키는 반도체장치의 소자격리방법을 제공하는데 있다.

상기 목적을 달성하기 위해 본 발명에 따른 반도체장치의 소자격리방법은 반도체기판 상에 반도체기판의 소정 부분을 노출시켜 소자격리영역과 활성영역을 한정하는 식각마스크를 형성하는 단계와, 식각마스크를 이용하여 반도체기판의 노출된 부분에 소정 깊이의 홈을 형성하는 단계와, 홈 부위의 노출된 반도체기판의 표면에 이온매몰층을 형성하는 단계와, 홈을 절연물질로 매립하는 단계와, 식각마스크를 제거하는 단계와, 반도체기판에 열공정을 실시하는 단계를 포함하는 공정으로 이루어진다.

발명의 구성 및 작용

본 발명은 반도체기판 위에 버퍼산화막을 증착한 후 그 위에 패드질화막을 형성하고 패터닝하여 식각마스크를 형성한 다음 소자격리를 위한 PGI(profiled groove isolation)공정을 실시하여 기판의 소정 부위를 제거하여 홈을 형성한다. 그리고, 식각된 기판부위인 홈의 표면에 질소이온주입을 실시하여 질소이온매몰층을 홈 부위의 기판에 형성한 후 절연물질을 사용하여 홈 부위를 매립하고 패드질화막을 제거한 다음 어닐링을 실시하여 최종적인 소자격리공정을 완성한다.

즉, PGI 소자격리를 위한 홈 형성 후 질소 이온주입을 실시하면, 이온주입된 질소이온들이 기판이 식각될 때 필연적으로 발생하는 홈 표면부위의 기판에 생성된 댕글링 본드(dangling bond)와 같은 결함부위와 결합하고, 이후, 어닐링 등의 열공정을 기판에 실시하면 홈을 매립하는 절연물질의 밀도를 높여주는(densification) 동시에 플라즈마 식각에 의한 손상을 치유(plasma etch damage curing)효과를 주어 누설전류 소스를 감소시킨다.

이하, 첨부한 도면을 참조하여 본 발명을 상세히 설명한다.

도 2a 내지 도 2d는 본 발명에 따른 반도체장치의 소자격리방법을 도시하는 공정단면도이다.

도 2a를 참조하면, 실리콘 등으로 이루어진 반도체기판(21) 상에 열산화 방법으로 기판의 표면을 산화시켜 소정 두께의 버퍼산화막(buffer oxide layer,23)을 형성하고, 이 버퍼산화막(23) 상에 화학기상증착(Chemical Vapor Deposition : 이하, CVD라 칭함) 방법으로 질화실리콘을 증착하여 마스크층(25)을 형성

한다.

그리고, 마스크층(25) 및 버퍼산화막(23)을 포토리쏘그래피 방법으로 소정 부위의 반도체기판(21) 표면이 노출되도록 순차적으로 패터닝하여 소자격리영역과 활성영역을 한정하는 잔류한 마스크층으로 이루어진 식각마스크(25)를 형성한다. 이때, 노출된 기판 부위가 소자격리영역이 되고 식각마스크(25)로 덮여있는 부위가 활성영역이 된다.

도 2b를 참조하면, 식각마스크(25)를 이용하여 이로부터 보호되지 않는 반도체기판(21)의 노출된 소자격리영역을 소정 깊이로 식각하여 트렌치(trench) 내지는 홈(groove,27)을 형성한다. 상기에서 홈(27)을 플라즈마 식각 등의 이방성 식각하여 형성한다. 이때, 식각되는 부위의 기판(21) 표면은 댕글링 본드(dangling bond) 등과 같은 결함들이 발생하여 이후 누설전류의 원인을 제공하게 된다.

식각마스크(25)를 이온주입마스크로 이용하여 질소를 사용하는 이온주입을 기판의 전면에 실시하여 홈(27) 표면 부위에 해당하는 기판(21)의 소정 부위에 질소이온 매몰층(26)을 형성한다. 이때, 이온주입되는 이온은 질소, 산소, 수소, 실리콘 등을 사용할 수 있다.

도 2c를 참조하면, 식각마스크(25) 상에 산화실리콘을 사용하여 홈(27)을 충분히 매립하는 두께를 갖도록 화학기상증착으로 절연층을 증착하여 형성한다. 이때, 산화실리콘은 에이치엘디(high temperature low pressure dielecteric)와 같은 물질을 사용한다.

그리고, 산화실리콘으로 이루어진 절연층을 식각마스크(25)가 노출되도록 화학-기계적연마(Chemical-Mechanical Polishing : 이하, CMP라 칭함) 방법 또는 RIE 방법으로 에치 백하여 홈(27) 영역에만 잔류되도록 한다. 이 때, 홈(27) 내에 잔류하는 산화실리콘은 소자를 분리하는 필드산화막(29)이 된다.

도 2d를 참조하면, 잔류한 질화막으로 이루어진 식각마스크(25)와 버퍼산화막을 습식식각으로 차례로 제거하여 반도체기판(21)의 활성영역을 노출시킨다. 이 때, 필드산화막(29)의 반도체기판(21)의 표면 보다 높은 부분도 식각되어 단차가 감소된다.

필드산화막(29)의 밀도가 높지 않으므로 어닐링 등의 열공정을 기판에 실시하여 최종적인 소자격리를 완료한다. 어닐링은 일반적으로 높은 온도에서 수행되므로 필드산화막(29)의 덴시피케이션(densification) 및 플라즈마식각에 의한 기판의 손상부위가 큐어링(curing)된다.

발명의 효과

따라서, 본 발명은 트렌치 형성 후 질소 등을 사용하는 이온주입으로 트렌치 표면에 형성된 댕글링 본드 등의 기판 결함을 제거하여 플라즈마 식각손상을 치유하는 동시에 트렌치를 매립하는 절연층의 밀도를 높게하여 소자격리특성을 개선시키는 장점이 있다.

(57) 청구의 범위

청구항 1

반도체기판 상에 상기 반도체기판의 소정 부분을 노출시켜 소자격리영역과 활성영역을 한정하는 식각마스크를 형성하는 단계와,

상기 식각마스크를 이용하여 상기 반도체기판의 노출된 부분에 소정 깊이의 홈을 형성하는 단계와,

상기 홈 부위의 노출된 상기 반도체기판의 표면에 이온매몰층을 형성하는 단계와,

상기 홈을 절연물질로 매립하는 단계와,

상기 식각마스크를 제거하는 단계와,

상기 반도체기판에 열공정을 실시하는 단계로 이루어진 반도체장치의 소자격리방법.

청구항 2

청구항 1에 있어서, 상기 식각마스크는,

상기 반도체기판 표면에 열산화막을 형성하는 단계와,

상기 열산화막 위에 질화막을 형성하는 단계와,

상기 질화막과 상기 열산화막을 패터닝하여 상기 소자격리영역을 노출시키는 단계를 더 포함하여 이루어진 것이 특징인 반도체장치의 소자격리방법.

청구항 3

청구항 1에 있어서, 상기 절연물질은 에이치엘디를 증착하여 형성하는 것이 특징인 반도체장치의 소자격리방법.

청구항 4

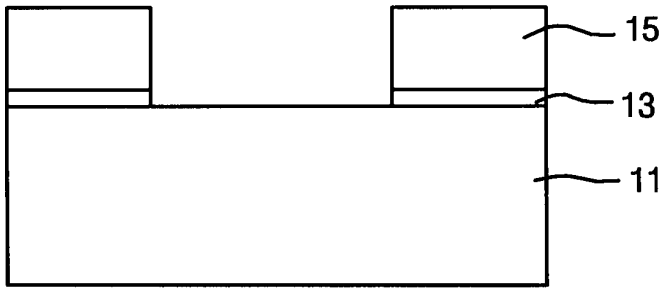
청구항 1에 있어서, 상기 식각마스크는 상기 이온매몰층을 형성하기 위한 이온주입마스크로 이용하는 것이 특징인 반도체장치의 소자격리방법.

청구항 5

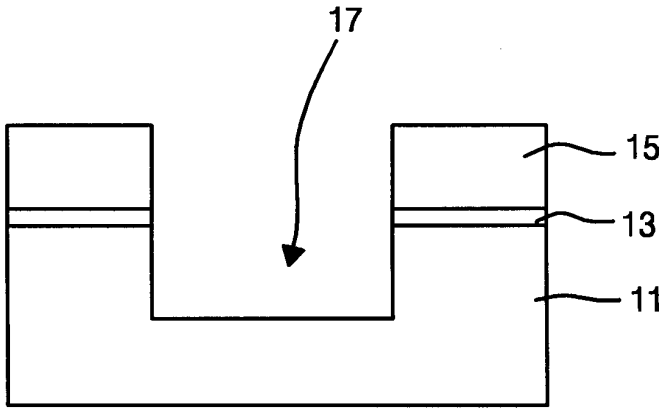
청구항 1에 있어서, 상기 이온매몰층은 질소, 산소, 수소 또는 실리콘 등으로 형성하는 것이 특징인 반도체장치의 소자격리방법.

도면

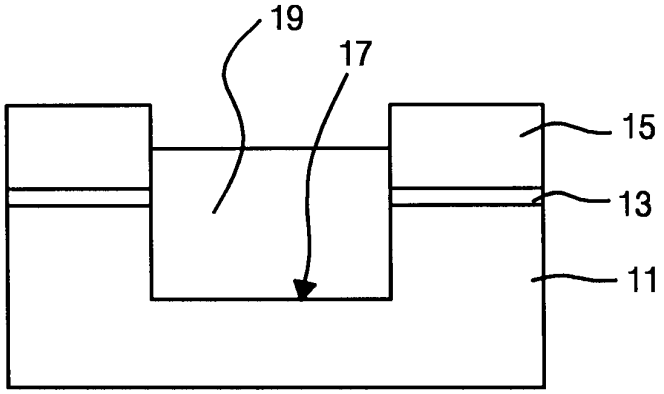
도면1a



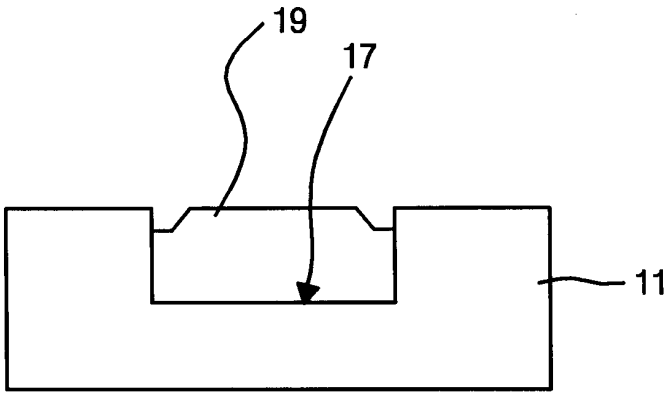
도면1b



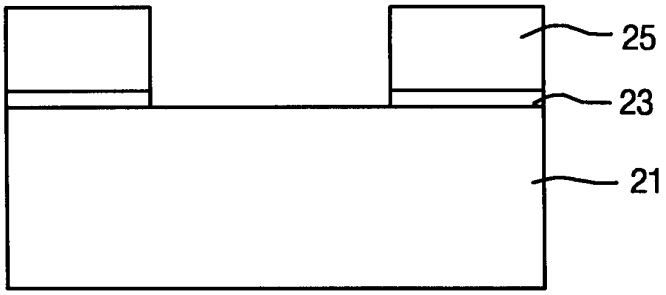
도면1c



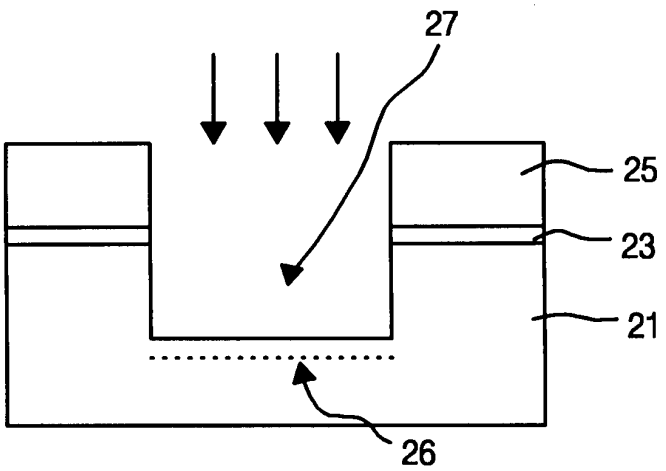
도면1d



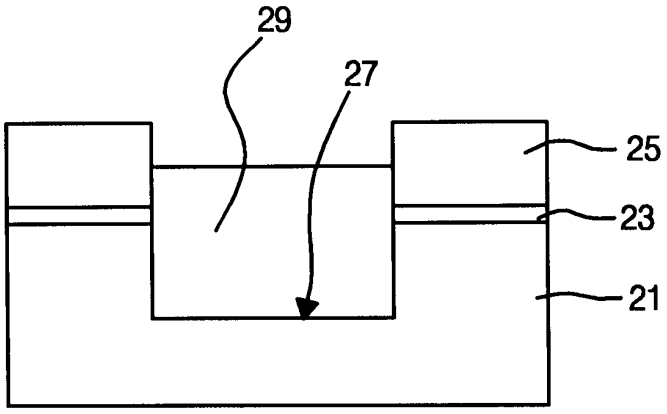
도면2a



도면2b



도면2c



도면2d

