(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2020 年 4 月 30 日 (30.04.2020)

WIPO | PCT

(10) 国际公布号
WO 2020/082426 A1

(51) 国际专利分类号:
*H01L 21/336* (2006.01) *H01L 27/32* (2006.01)
*H01L 29/78* (2006.01)

(21) 国际申请号: PCT/CN2018/114464

(22) 国际申请日: 2018 年 11 月 8 日 (08.11.2018)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201811238875.X 2018年10月23日 (23.10.2018) CN

(71) 申请人: 惠科股份有限公司(HKC CORPORATION LIMITED) [CN/CN]; 中国广东省深圳市宝安区石岩街道水田村民营工业园惠科工业园厂房1、2、3栋, 九州阳光1号厂房5、7楼, Guangdong 518000 (CN)。

(72) 发明人: 张合静(ZHANG, Hejing); 中国广东省深圳市宝安区石岩街道水田村民营工业园惠科工业园厂房1、2、3栋, 九州阳光1号厂房5、7楼, Guangdong 518000 (CN)。

(74) 代理人: 深圳市世纪恒程知识产权代理事务所(CENFO INTELLECTUAL PROPERTY AGENCY); 中国广东省深圳市南山区粤海街道高新技术产业园北区松坪山路3号奥特讯电力大厦201, Guangdong 518057 (CN)。

(81) 指定国(除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国(除另有指明，要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

(54) **Title:** FABRICATION METHOD FOR THIN FILM TRANSISTOR, THIN FILM TRANSISTOR, AND DISPLAY PANEL

(54) **发明名称**: 薄膜晶体管的制备方法、薄膜晶体管及显示面板

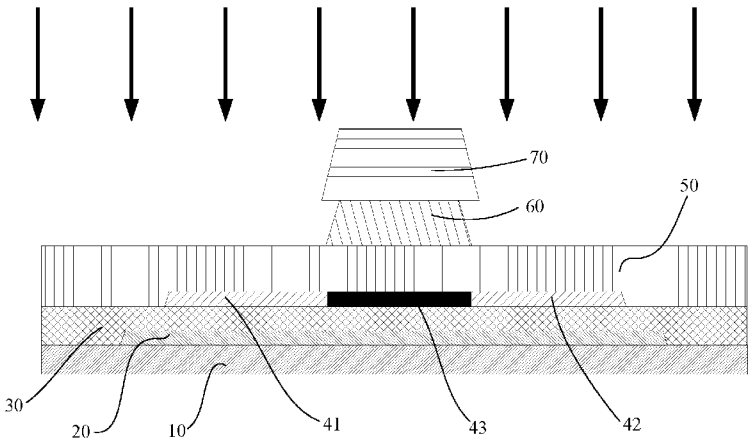



图 4

(57) **Abstract:** Disclosed are a fabrication method for a thin film transistor, the thin film transistor, and a display panel. A portion of an active layer of the thin film transistor directly facing a gate forms a channel region, and the active layer on both sides of the channel region is conducted.

(57) **摘要**: 本申请公开一种薄膜晶体管的制备方法、薄膜晶体管及显示面板，该薄膜晶体管的所述有源层正对所述栅极的部分形成沟道区，所述沟道区两侧的有源层被导体化。

[见续页]

WO 2020/082426 A1

本国际公布:

— 包括国际检索报告(条约第21条(3))。

# 薄膜晶体管的制备方法、薄膜晶体管及显示面板

[1] 技术领域

[2] 本申请涉及显示装置技术领域，特别涉及一种薄膜晶体管的制备方法、薄膜晶体管及显示面板。

[3] 背景技术

[4] 随着显示科技的日渐进步，显示面板成为人们不可缺少的必备品之一。目前显示面板包括主动式液晶显示器（AMLCD）和主动式有机发光二极管显示器(AMOLED)，两种显示方式以各自的优势相互并存。而主动式液晶显示器包括主动阵列基板、彩色滤光片基板以及与位于两基板之间的液晶层构成。主动式有机发光二极管显示器包括主动阵列基板和有机发光二极管层。两种显示方式均需要有稳定可靠的阵列基板。阵列基板包含一个或多个薄膜晶体管（TFT），随着人们对显示面板的分辨率以及显示品质的需求不断提升，由于常用的底栅结构薄膜晶体管寄生电容相对较大，不利于高分辨以及有机发光二极管（Organic Light-Emitting Diode, OLED）显示，因此，高分辨的显示面板以及主动式有机发光二极管显示器往往采用顶栅结构薄膜晶体管形式。

[5] 然而，在顶栅结构薄膜晶体管制程中，需要对氧化物半导体层进行导体化处理，但在实际运用中，导体化处理时栅极直接暴露在外面，使得栅极的方框电阻退化甚至断线，电阻较大，从而影响薄膜晶体管的电特性。

[6] 发明内容

[7] 本申请的主要目的是提供一种薄膜晶体管的制备方法，旨在提高薄膜晶体管的电学稳定性。

[8] 为实现上述目的，本申请提出的薄膜晶体管的制备方法，包括以下步骤：

[9] 提供一基板；

[10] 在所述基板的一表面涂覆遮光薄膜，将所述遮光薄膜图案化形成遮光层；

[11] 在所述遮光层的上方沉积缓冲层；

[12] 在所述缓冲层的上方沉积氧化物半导体薄膜，将所述氧化物半导体薄膜图案化

形成有源层；

[13] 在所述有源层的上方沉积栅极绝缘层；

[14] 在所述栅极绝缘层的上方沉积第一金属层，将所述第一金属层图案化以形成栅极，在所述栅极的上方形成阻挡层，将所述阻挡层图案化以形成光阻图案，并对所述栅极和所述光阻图案进行蚀刻，保留与所述有源层正对的栅极和光阻图案部分；以及

[15] 对所述光阻图案和暴露于所述光阻图案之外的栅极绝缘层进行导体化处理，将未与所述光阻图案正对设置的所述有源层转化为导体。

[16] 可选的，对所述光阻图案和暴露于所述光阻图案之外的栅极绝缘层进行导体化处理，将未与所述光阻图案正对设置的所述有源层转化为导体之后，还包括以下步骤：

[17] 对所述栅极绝缘层进行蚀刻，同时移除所述光阻图案；

[18] 在所述有源层和所述栅极的上方形成内部绝缘层，并对所述内部绝缘层进行图案化处理；以及

[19] 在所述内部绝缘层的上方沉积第二金属层，将所述第二金属层图案化处理以形成漏极和源极，所述漏极和所述源极间隔设置，所述有源层的相对两侧转化为导体，且所述漏极和所述源极分别与两侧的所述导体电连接。

[20] 可选的，当所述遮光层为导电材料时，对所述缓冲层和所述内部绝缘层进行图案化处理，以使所述源极与所述遮光层电连接。

[21] 可选的，所述薄膜晶体管的制备方法还包括：

[22] 在所述源极和所述漏极的上方形成钝化层，在所述钝化层的上方形成像素电极，所述像素电极的一端通过接触孔与所述源极电连接。

[23] 可选的，所述阻挡层的厚度为1.5μm ~2.5μm。

[24] 本申请还提出一种薄膜晶体管，所述薄膜晶体管采用的薄膜晶体管的制备方法制备而成，薄膜晶体管的制备方法包括以下步骤：

[25] 提供一基板；

[26] 在所述基板的一表面涂覆遮光薄膜，将所述遮光薄膜图案化形成遮光层；

[27] 在所述遮光层的上方沉积缓冲层；

[28] 在所述缓冲层的上方沉积氧化物半导体薄膜，将所述氧化物半导体薄膜图案化形成有源层；

[29] 在所述有源层的上方沉积栅极绝缘层；

[30] 在所述栅极绝缘层的上方沉积第一金属层，将所述第一金属层图案化以形成栅极，在所述栅极的上方形成阻挡层，将所述阻挡层图案化以形成光阻图案，并对所述栅极和所述光阻图案进行蚀刻，保留与所述有源层正对的栅极和光阻图案部分；以及

[31] 对所述光阻图案和暴露于所述光阻图案之外的栅极绝缘层进行导体化处理，将未与所述光阻图案正对设置的所述有源层转化为导体；

[32] 其中，所述薄膜晶体管包括：

[33] 基板；

[34] 遮光层，所述遮光层设于所述基板；

[35] 缓冲层，所述缓冲层设于所述遮光层的上方；

[36] 有源层，所述有源层设于所述缓冲层的上方；

[37] 栅极绝缘层，所述栅极绝缘层设于所述有源层的上方；

[38] 栅极，所述栅极设于所述栅极绝缘层的上方；以及

[39] 所述有源层正对所述栅极的部分形成沟道区，所述沟道区两侧的有源层被导体化。

[40] 可选的，所述薄膜晶体管还包括：

[41] 内部绝缘层，所述内部绝缘层覆盖所述栅极、所述有源层和所述缓冲层；

[42] 源极，所述源极设于所述内部绝缘层的上方；以及

[43] 漏极，所述漏极设于所述内部绝缘层的上方且与所述源极间隔设置，所述漏极和所述源极分别与所述有源层两侧的导体通过接触孔电连接。

[44] 可选的，所述薄膜晶体管还包括覆盖所述内部绝缘层、所述源极和所述漏极的钝化层、和设于所述钝化层上方的像素电极，所述像素电极通过接触孔与所述源极电连接。

[45] 可选的，所述栅极绝缘层的厚度为500Å~3000Å。

[46] 本申请还提出一种显示面板，包括所述的薄膜晶体管，所述薄膜晶体管采用的

薄膜晶体管的制备方法制备而成，薄膜晶体管的制备方法包括以下步骤：

[47] 提供一基板；

[48] 在所述基板的一表面涂覆遮光薄膜，将所述遮光薄膜图案化形成遮光层；

[49] 在所述遮光层的上方沉积缓冲层；

[50] 在所述缓冲层的上方沉积氧化物半导体薄膜，将所述氧化物半导体薄膜图案化形成有源层；

[51] 在所述有源层的上方沉积栅极绝缘层；

[52] 在所述栅极绝缘层的上方沉积第一金属层，将所述第一金属层图案化以形成栅极，在所述栅极的上方形成阻挡层，将所述阻挡层图案化以形成光阻图案，并对所述栅极和所述光阻图案进行蚀刻，保留与所述有源层正对的栅极和光阻图案部分；以及

[53] 对所述光阻图案和暴露于所述光阻图案之外的栅极绝缘层进行导体化处理，将未与所述光阻图案正对设置的所述有源层转化为导体；

[54] 其中，所述薄膜晶体管包括：

[55] 基板；

[56] 遮光层，所述遮光层设于所述基板；

[57] 缓冲层，所述缓冲层设于所述遮光层的上方；

[58] 有源层，所述有源层设于所述缓冲层的上方；

[59] 栅极绝缘层，所述栅极绝缘层设于所述有源层的上方；

[60] 栅极，所述栅极设于所述栅极绝缘层的上方；以及

[61] 所述有源层正对所述栅极的部分形成沟道区，所述沟道区两侧的有源层被导体化。

[62] 本申请薄膜晶体管通过在栅极的上方形成阻挡层，将阻挡层图案化以形成光阻图案，并对栅极和光阻图案进行蚀刻，保留与有源层正对的栅极和光阻图案部分，对光阻图案和暴露于光阻图案之外的栅极绝缘层进行导体化处理，将未与光阻图案正对设置的有源层转化为导体，由于在栅极外表面设有阻挡层，能有效防止在导体化时对栅极的损坏，避免栅极的方框电阻变大，同时能很好地对有源层进行导体化，降低阻抗，使得薄膜晶体管的整体电学性能稳定。

[63] 附图说明

[64] 为了更清楚地说明本申请实施例中的技术方案，下面将对实施例描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本申请的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图示出的结构获得其他的附图。

[65] 图1为本申请薄膜晶体管的制备方法中形成遮光层的示意图；

[66] 图2为本申请薄膜晶体管的制备方法中形成缓冲层和有源层的示意图；

[67] 图3为本申请薄膜晶体管的制备方法中形成栅极绝缘层、栅极和阻挡层的示意图；

[68] 图4为本申请薄膜晶体管的制备方法中进行导体化的示意图；

[69] 图5为本申请薄膜晶体管的制备方法中对栅极绝缘层进行蚀刻并移除光阻图案的示意图；

[70] 图6为本申请薄膜晶体管的制备方法中一实施例形成漏极、源极和像素电极的示意图；

[71] 图7为本申请薄膜晶体管的制备方法中另一实施例形成漏极、源极和像素电极的示意图。

[72] 附图标号说明：

[73] [表1]

| 标号 | 名称 | 标号 | 名称 |
|---|---|---|---|
| 10 | 基板 | 60 | 栅极 |
| 20 | 遮光层 | 70 | 阻挡层 |
| 30 | 缓冲层 | 80 | 内部绝缘层 |
| 40 | 有源层 | 90 | 漏极 |
| 41 | 第一导体 | 100 | 源极 |
| 42 | 第二导体 | 110 | 钝化层 |
| 43 | 沟道区 | 120 | 像素电极 |
| 50 | 栅极绝缘层 | | |

[74] 本申请目的的实现、功能特点及优点将结合实施例，参照附图做进一步说明。

[75] 具体实施方式

[76] 下面将结合本申请实施例中的附图，对本申请实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本申请的一部分实施例，而不是全部的实施例。基于本申请中的实施例，本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施例，都属于本申请保护的范围。

[77] 需要说明，本申请实施例中所有方向性指示（诸如上、下、左、右、前、后……）仅设置为解释在某一特定姿态（如附图所示）下各部件之间的相对位置关系、运动情况等，如果该特定姿态发生改变时，则该方向性指示也相应地随之改变。

[78] 在本申请中，除非另有明确的规定和限定，术语“连接”、“固定”等应做广义理解，例如，“固定”可以是固定连接，也可以是可拆卸连接，或成一体；可以是机械连接，也可以是电连接；可以是直接相连，也可以通过中间媒介间接相连，可以是两个元件内部的连通或两个元件的相互作用关系，除非另有明确的限定。对于本领域的普通技术人员而言，可以根据具体情况理解上述术语在本申请中的具体含义。

[79] 另外，在本申请中如涉及“第一”、“第二”等的描述仅设置为描述目的，而不能理解为指示或暗示其相对重要性或者隐含指明所指示的技术特征的数量。由此，限定有“第一”、“第二”的特征可以明示或者隐含地包括至少一个该特征。另外，各个实施例之间的技术方案可以相互结合，但是必须是以本领域普通技术人员能够实现为基础，当技术方案的结合出现相互矛盾或无法实现时应当认为这种技术方案的结合不存在，也不在本申请要求的保护范围之内。

[80] 本申请提出一种薄膜晶体管的制备方法。

[81] 参照图1至图4，在本申请实施例中，该薄膜晶体管的制备方法，包括以下步骤：

[82] 提供一基板10；

[83] 在所述基板10的一表面涂覆遮光薄膜，将所述遮光薄膜图案化形成遮光层20；

[84] 在所述遮光层20的上方沉积缓冲层30；

[85] 在所述缓冲层30的上方沉积氧化物半导体薄膜，将所述氧化物半导体薄膜图案化形成有源层40；

[86] 在所述有源层40的上方沉积栅极绝缘层50；

[87] 在所述栅极绝缘层50的上方沉积第一金属层，将所述第一金属层图案化以形成栅极60，在所述栅极60的上方形成阻挡层70，将所述阻挡层70图案化以形成光阻图案，并对所述栅极60和所述光阻图案进行蚀刻，保留与所述有源层40正对的栅极60和光阻图案部分；

[88] 对所述光阻图案和暴露于所述光阻图案之外的栅极绝缘层50进行导体化处理，将未与所述光阻图案正对设置的所述有源层40转化为导体。

[89] 具体的，基板10为对外光的透光率超过预设透光率的绝缘衬底，预设透光率可以为但不仅限于为90%。该基板10的材料包括石英、云母、氧化铝或者透明塑料等电绝缘材料中的任意一种或者多种。所述基板10为绝缘层衬底能够减小其高频损耗。

[90] 在基板10的一表面涂覆遮光薄膜，将遮光薄膜图案化形成遮光层20，遮光层20可以为有机（如BM，丙烯酸树脂）或无机（如金属Mo、Ti等）材料。遮光层20可以对穿过基板10的紫外光进行遮挡，从而使得穿过基板10的紫外光无法穿过。

[91] 在遮光层20的上方沉积缓冲层30，具体的，在遮光层20远离基板10的表面通过化学气相沉积缓冲层30，缓冲层30可分别包含氮化硅、氧化硅、氮氧化硅、碳化硅、氧化铝、或氧化铪，可通过提高缓冲层30及有源层40的接触面的光线反射率来降低薄膜晶体管的光漏电流，对于缓冲层30的厚度不是本申请的主要改进点，在此不做具体描述。

[92] 在缓冲层30的上方沉积氧化物半导体薄膜，具体的，在缓冲层30远离遮光层20的表面通过化学气相沉积氧化物半导体薄膜，将氧化物半导体薄膜图案化形成有源层40。有源层40也称为沟道层，本实施例中有源层40为金属氧化物半导体层，该金属氧化物半导体层可以包括但不仅限于以下材料中的一种或者多种：ZnO基透明氧化物半导体材料，$SnO_2$基透明氧化物半导体材料，$In_2O_3$基透明氧化物半导体材料等。举例而言，所述有源层170可以为铟镓锌氧化物(Indium

Gallium Zinc Oxide，IGZO)。

[93] 在有源层40的上方沉积栅极绝缘层50，具体的，在有源层40远离缓冲层30的表面通过化学气相沉积栅极绝缘层50，栅极绝缘层50可采用氧化硅($SiO_2$)材料。本实施例中，栅极绝缘层50的厚度为500Å~3000Å。可选的，栅极绝缘层50的厚度为500Å、1000 Å 、3000Å。其中，当栅极绝缘层50的厚度小于500Å时，其厚度太小不利于提高有源层40的电性能；当栅极绝缘层50的厚度大于3000Å时，其厚度太厚会明显影响有源层40进行导体化的效果，因此，将栅极绝缘层50的厚度设置在500Å~3000Å之间较合适。

[94] 在栅极绝缘层50的上方沉积第一金属层，将第一金属层图案化以形成栅极60，在栅极60的上方形成阻挡层70，将阻挡层70图案化以形成光阻图案，并对栅极60和光阻图案进行蚀刻，保留与有源层40正对的栅极60和光阻图案部分，具体的，在栅极绝缘层50远离有源层40的表面通过物理气相沉积第一金属层，将第一金属层图案化以形成栅极60，栅极60采用导电性优、遮光性好的金属材料。栅极60能够遮挡光线，用以防止导体化时，光线进入有源层40被栅极60遮挡的部位，使得薄膜晶体管具有良好的电性稳定性，栅极60的材料可以是钼(Mo)、铝(Al)、铜(Cu)、钛(Ti)中的一种或多种的堆栈组合。在栅极60远离栅极绝缘层50的表面通过化学气相沉积形成阻挡层70，阻挡层70为光敏性物质。并对栅极60和光阻图案通过湿刻蚀工艺进行蚀刻，除去未被光阻图案覆盖的栅极60。

[95] 对光阻图案和暴露于光阻图案之外的栅极绝缘层50进行导体化处理，将未与光阻图案正对设置的有源层40转化为导体，具体的，该导体化处理的方式为等离子体处理方式、离子注入处理方式、紫外光照射处理方式或微波处理方式。有源层40的相对两侧即图4至图6中有源层40的左侧和右侧部分具有导电性，即图中的第一导体41和第二导体42。其中第一导体41和第二导体42的长度可以相同，也可以不同，两侧的导体化的长度为5μm ~25μm。

[96] 本申请薄膜晶体管通过在栅极60的上方形成阻挡层70，将阻挡层70图案化以形成光阻图案，并对栅极60和光阻图案70进行蚀刻，保留与有源层40正对的栅极60和光阻图案部分，对光阻图案和暴露于光阻图案之外的栅极绝缘层50进行导体化处理，将未与光阻图案正对设置的有源层40转化为导体，由于在栅极60外表

面设有阻挡层70，能有效防止在导体化时对栅极60的损坏，避免栅极60的方框电阻变大，同时能很好地对有源层40进行导体化，降低阻抗，使得薄膜晶体管的整体电学性能稳定。

[97] 参照图5至图7，对所述光阻图案和暴露于所述光阻图案之外的栅极绝缘层50进行导体化处理，将未与所述光阻图案正对设置的所述有源层40转化为导体之后，还包括以下步骤：

[98] 对所述栅极绝缘层50进行蚀刻，同时移除所述光阻图案；

[99] 在所述有源层40和所述栅极60的上方形成内部绝缘层80，并对所述内部绝缘层80进行图案化处理；

[100] 在所述内部绝缘层80的上方沉积第二金属层，将所述第二金属层图案化处理以形成漏极90和源极100，所述漏极90和所述源极100间隔设置，所述有源层40的相对两侧转化为导体，且所述漏极90和所述源极100分别与两侧的所述导体电连接。

[101] 本实施例中，对栅极绝缘层50通过湿刻蚀工艺进行蚀刻，同时移除光阻图案，在有源层40和栅极60远离缓冲层30的表面形成内部绝缘层80，内部绝缘层80可直接涂覆上去，或者用化学气相沉积方法，在此不做限制，内部绝缘层80可采用氧化硅($SiO_2$)膜层，或，内部绝缘层80采用氧化硅($SiO_2$)和氮化硅(SiNx)的复合膜层，其中，氧化硅层靠近有源层40，氮化硅层远离有源层40。

[102] 在内部绝缘层80远离有源层40的表面通过物理气相沉积第二金属层，将述第二金属层图案化处理以形成漏极90和源极100，漏极90和源极100间隔设置，有源层40的相对两侧转化为导体，且漏极90和源极100分别与两侧的导体电连接，即，第一导体41与漏极90电连接，第二导体42与源极100电连接。由于有源层40的相对两侧具有良好的导电性，因此有利于源极100和漏极90与有源层40的相对两侧之间实现良好的导电接触，既能够降低源极100和漏极90与有源层40的相对两侧之间的接触电阻，又能够降低电流泄露风险。

[103] 其中，源极100和漏极90的材料可以为透明导电氧化物膜层，透明导电氧化物膜层包括但不仅限于为铟锡氧化物(Indium Tin Oxide，ITO)、氧化铟锌(Indium Zinc Oxide，IZO)、氟掺杂氧化锡($SnO_2$

：F，FTO)、铝掺杂氧化锌(ZnO：Al，AZO)。

[104] 参照图6和图7，当所述遮光层20为导电材料时，对所述缓冲层30和所述内部绝缘层80进行图案化处理，以使所述源极100与所述遮光层20电连接。

[105] 一实施例中，如图7，当遮光层20为导电材料时，对缓冲层30和内部绝缘层80进行图案化处理，以使源极100与遮光层20电连接，可以提高薄膜晶体管的电学稳定性。另一实施例中，如图6，若遮光层20为非导电材料时，只需对内部绝缘层80进行图案化处理。

[106] 进一步的，所述薄膜晶体管的制备方法还包括：

[107] 在所述源极100和所述漏极90的上方形成钝化层110，在所述钝化层110的上方形成像素电极120，所述像素电极120的一端通过接触孔与所述源极100电连接。

[108] 本实施例中，在源极100和漏极90远离内部绝缘层80的表面形成钝化层110，钝化层110可直接涂覆上去，或者用化学气相沉积方法，钝化层110与内部绝缘层80材质可以相同，也可以不同。钝化层100可采用氧化硅($SiO_2$)膜层，或，钝化层100采用氧化硅($SiO_2$)和氮化硅(SiNx)的复合膜层。

[109] 像素电极120可以是半透明电极或反射电极。当像素电极120是半透明电极时，像素电极120可包括透明导电层。透明导电层可包括例如氧化铟锡(ITO)、氧化铟锌(IZO)、氧化锌(ZnO)、氧化铟($In_2O_3$)、氧化铟镓(IGO)和氧化铝锌(AZO)中的至少一种。除了透明导电层之外，像素电极120还可包括设置为提高发光效率的半透反射层。半透反射层可以是薄层(例如几纳米至几十纳米厚)，并且可包括Ag、Mg、Al、Pt、Pd、Au、Ni、Nd、Ir、Cr、Li、Ca和Yb中的至少一种，在此不做限制。

[110] 进一步的，所述阻挡层70的厚度为1.5μm ~2.5μm。可选阻挡层70的厚度为1.5μm、2μm 、2.5μm。

[111] 本实施例中，阻挡层70的厚度直接影响对有源层40导体化的效果，其中，当阻挡层70的厚度小于1.5μm时，导体化过程中，薄膜晶体管的电学性能不稳定；当阻挡层70的厚度大于2.5μm时，导致材料浪费，不利于节约成本。因此，将阻挡层70的厚度设置在1.5μm ~2.5μm之间较合适。

[112] 本申请还提出一种薄膜晶体管，该薄膜晶体管采用薄膜晶体管的制备方法制备

而成，该薄膜晶体管的制备方法的具体结构参照上述实施例，由于本薄膜晶体管采用了上述所有实施例的全部技术方案，因此至少具有上述实施例的技术方案所带来的所有优点，在此不再一一赘述。

[113] 其中，薄膜晶体管包括：

[114] 基板10；

[115] 遮光层20，所述遮光层20设于所述基板10；

[116] 缓冲层30，所述缓冲层30设于所述遮光层20的上方；

[117] 有源层40，所述有源层40设于所述缓冲层30的上方；

[118] 栅极绝缘层50，所述栅极绝缘层50设于所述有源层40的上方；

[119] 栅极60，所述栅极60设于所述栅极绝缘层50的上方；

[120] 所述有源层40正对所述栅极60的部分形成沟道区43，所述沟道区43两侧的有源层40被导体化。

[121] 进一步的，所述薄膜晶体管还包括：

[122] 内部绝缘层80，所述内部绝缘层80覆盖所述栅极60、所述有源层40和所述缓冲层30；

[123] 源极100，所述源极100设于所述内部绝缘层80的上方；

[124] 漏极90，所述漏极90设于所述内部绝缘层80的上方且与所述源极100间隔设置，所述漏极90和所述源极100分别与所述有源层40两侧的导体通过接触孔电连接。

[125] 进一步的，所述薄膜晶体管还包括覆盖所述内部绝缘层80、所述源极100和所述漏极90的钝化层110、和设于所述钝化层110上方的像素电极120，所述像素电极120通过接触孔与所述源极100电连接。

[126] 本实施例中，沟道区43两侧的有源层40被导体化，即有源层40的两侧形成有第一导体41和第二导体42。

[127] 本申请还提出一种显示面板，该显示面板包括薄膜晶体管，该薄膜晶体管的具体结构参照上述实施例，由于本显示面板采用了上述所有实施例的全部技术方案，因此至少具有上述实施例的技术方案所带来的所有优点，在此不再一一赘述。

[128] 以上所述仅为本申请的可选实施例，并非因此限制本申请的专利范围，凡是在本申请的发明构思下，利用本申请说明书及附图内容所作的等效结构变换，或直接/间接运用在其他相关的技术领域均包括在本申请的专利保护范围内。

# 权利要求书

[权利要求 1] 一种薄膜晶体管的制备方法，其中，包括以下步骤：

提供一基板；

在所述基板的一表面涂覆遮光薄膜，将所述遮光薄膜图案化形成遮光层；

在所述遮光层的上方沉积缓冲层；

在所述缓冲层的上方沉积氧化物半导体薄膜，将所述氧化物半导体薄膜图案化形成有源层；

在所述有源层的上方沉积栅极绝缘层；

在所述栅极绝缘层的上方沉积第一金属层，将所述第一金属层图案化以形成栅极，在所述栅极的上方形成阻挡层，将所述阻挡层图案化以形成光阻图案，并对所述栅极和所述光阻图案进行蚀刻，保留与所述有源层正对的栅极和光阻图案部分；以及

对所述光阻图案和暴露于所述光阻图案之外的栅极绝缘层进行导体化处理，将未与所述光阻图案正对设置的所述有源层转化为导体。

[权利要求 2] 如权利要求1所述的薄膜晶体管的制备方法，其中，对所述光阻图案和暴露于所述光阻图案之外的栅极绝缘层进行导体化处理，将未与所述光阻图案正对设置的所述有源层转化为导体之后，还包括以下步骤：

对所述栅极绝缘层进行蚀刻，同时移除所述光阻图案；

在所述有源层和所述栅极的上方形成内部绝缘层，并对所述内部绝缘层进行图案化处理；以及

在所述内部绝缘层的上方沉积第二金属层，将所述第二金属层图案化处理以形成漏极和源极，所述漏极和所述源极间隔设置，所述有源层的相对两侧转化为导体，且所述漏极和所述源极分别与两侧的所述导体电连接。

[权利要求 3] 如权利要求2所述的薄膜晶体管的制备方法，其中，当所述遮光层为导电材料时，对所述缓冲层和所述内部绝缘层进行图案化处理，以使

所述源极与所述遮光层电连接。

[权利要求 4] 如权利要求2所述的薄膜晶体管的制备方法，其中，所述薄膜晶体管的制备方法还包括：

在所述源极和所述漏极的上方形成钝化层，在所述钝化层的上方形成像素电极，所述像素电极的一端通过接触孔与所述源极电连接。

[权利要求 5] 如权利要求1所述的薄膜晶体管的制备方法，其中，所述阻挡层的厚度为1.5μm ~2.5μm。

[权利要求 6] 一种薄膜晶体管，所述薄膜晶体管采用的薄膜晶体管的制备方法制备而成，薄膜晶体管的制备方法包括以下步骤：

提供一基板；

在所述基板的一表面涂覆遮光薄膜，将所述遮光薄膜图案化形成遮光层；

在所述遮光层的上方沉积缓冲层；

在所述缓冲层的上方沉积氧化物半导体薄膜，将所述氧化物半导体薄膜图案化形成有源层；

在所述有源层的上方沉积栅极绝缘层；

在所述栅极绝缘层的上方沉积第一金属层，将所述第一金属层图案化以形成栅极，在所述栅极的上方形成阻挡层，将所述阻挡层图案化以形成光阻图案，并对所述栅极和所述光阻图案进行蚀刻，保留与所述有源层正对的栅极和光阻图案部分；以及

对所述光阻图案和暴露于所述光阻图案之外的栅极绝缘层进行导体化处理，将未与所述光阻图案正对设置的所述有源层转化为导体；

其中，所述薄膜晶体管包括：

基板；

遮光层，所述遮光层设于所述基板；

缓冲层，所述缓冲层设于所述遮光层的上方；

有源层，所述有源层设于所述缓冲层的上方；

栅极绝缘层，所述栅极绝缘层设于所述有源层的上方；

栅极，所述栅极设于所述栅极绝缘层的上方；以及

所述有源层正对所述栅极的部分形成沟道区，所述沟道区两侧的有源层被导体化。

[权利要求 7] 如权利要求6所述的薄膜晶体管，其中，对所述光阻图案和暴露于所述光阻图案之外的栅极绝缘层进行导体化处理，将未与所述光阻图案正对设置的所述有源层转化为导体之后，还包括以下步骤：

对所述栅极绝缘层进行蚀刻，同时移除所述光阻图案；

在所述有源层和所述栅极的上方形成内部绝缘层，并对所述内部绝缘层进行图案化处理；以及

在所述内部绝缘层的上方沉积第二金属层，将所述第二金属层图案化处理以形成漏极和源极，所述漏极和所述源极间隔设置，所述有源层的相对两侧转化为导体，且所述漏极和所述源极分别与两侧的所述导体电连接。

[权利要求 8] 如权利要求7所述的薄膜晶体管，其中，当所述遮光层为导电材料时，对所述缓冲层和所述内部绝缘层进行图案化处理，以使所述源极与所述遮光层电连接。

[权利要求 9] 如权利要求7所述的薄膜晶体管，其中，所述薄膜晶体管的制备方法还包括：

在所述源极和所述漏极的上方形成钝化层，在所述钝化层的上方形成像素电极，所述像素电极的一端通过接触孔与所述源极电连接。

[权利要求 10] 如权利要求6所述的薄膜晶体管，其中，所述阻挡层的厚度为1.5μm~2.5μm。

[权利要求 11] 如权利要求6所述的薄膜晶体管，其中，所述薄膜晶体管还包括：

内部绝缘层，所述内部绝缘层覆盖所述栅极、所述有源层和所述缓冲层；

源极，所述源极设于所述内部绝缘层的上方；

漏极，所述漏极设于所述内部绝缘层的上方且与所述源极间隔设置，所述漏极和所述源极分别与所述有源层两侧的导体通过接触孔电连接

。

[权利要求 12] 如权利要求11所述的薄膜晶体管，其中，所述薄膜晶体管还包括覆盖所述内部绝缘层、所述源极和所述漏极的钝化层、和设于所述钝化层上方的像素电极，所述像素电极通过接触孔与所述源极电连接。

[权利要求 13] 如权利要求6所述的薄膜晶体管，其中，所述栅极绝缘层的厚度为500Å~3000Å。

[权利要求 14] 一种显示面板，其中，包括所述的薄膜晶体管，所述薄膜晶体管采用的薄膜晶体管的制备方法制备而成，薄膜晶体管的制备方法包括以下步骤：

提供一基板；

在所述基板的一表面涂覆遮光薄膜，将所述遮光薄膜图案化形成遮光层；

在所述遮光层的上方沉积缓冲层；

在所述缓冲层的上方沉积氧化物半导体薄膜，将所述氧化物半导体薄膜图案化形成有源层；

在所述有源层的上方沉积栅极绝缘层；

在所述栅极绝缘层的上方沉积第一金属层，将所述第一金属层图案化以形成栅极，在所述栅极的上方形成阻挡层，将所述阻挡层图案化以形成光阻图案，并对所述栅极和所述光阻图案进行蚀刻，保留与所述有源层正对的栅极和光阻图案部分；以及

对所述光阻图案和暴露于所述光阻图案之外的栅极绝缘层进行导体化处理，将未与所述光阻图案正对设置的所述有源层转化为导体；

其中，所述薄膜晶体管包括：

基板；

遮光层，所述遮光层设于所述基板；

缓冲层，所述缓冲层设于所述遮光层的上方；

有源层，所述有源层设于所述缓冲层的上方；

栅极绝缘层，所述栅极绝缘层设于所述有源层的上方；

栅极，所述栅极设于所述栅极绝缘层的上方；以及

所述有源层正对所述栅极的部分形成沟道区，所述沟道区两侧的有源层被导体化。

[权利要求 15] 如权利要求14所述的显示面板，其中，所述薄膜晶体管还包括：

内部绝缘层，所述内部绝缘层覆盖所述栅极、所述有源层和所述缓冲层；

源极，所述源极设于所述内部绝缘层的上方；以及

漏极，所述漏极设于所述内部绝缘层的上方且与所述源极间隔设置，所述漏极和所述源极分别与所述有源层两侧的导体通过接触孔电连接。

[权利要求 16] 如权利要求15所述的薄膜晶体管，其中，所述薄膜晶体管还包括覆盖所述内部绝缘层、所述源极和所述漏极的钝化层、和设于所述钝化层上方的像素电极，所述像素电极通过接触孔与所述源极电连接。

[权利要求 17] 如权利要求14所述的薄膜晶体管，其中，所述栅极绝缘层的厚度为500Å~3000Å。

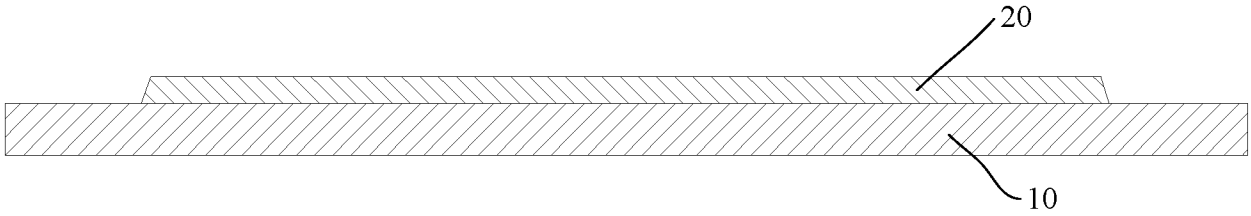



图 1

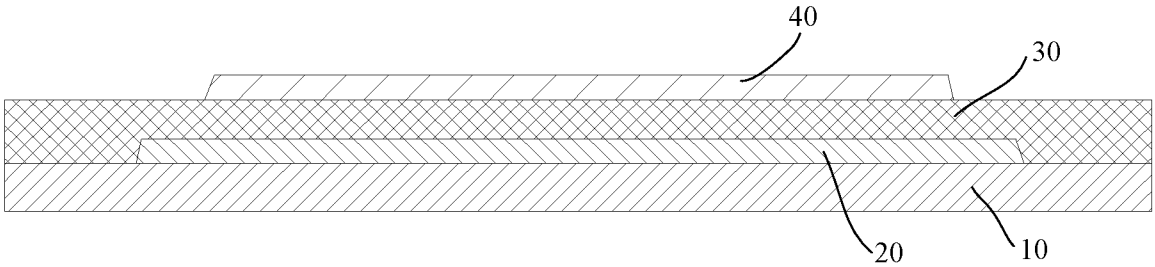



图 2

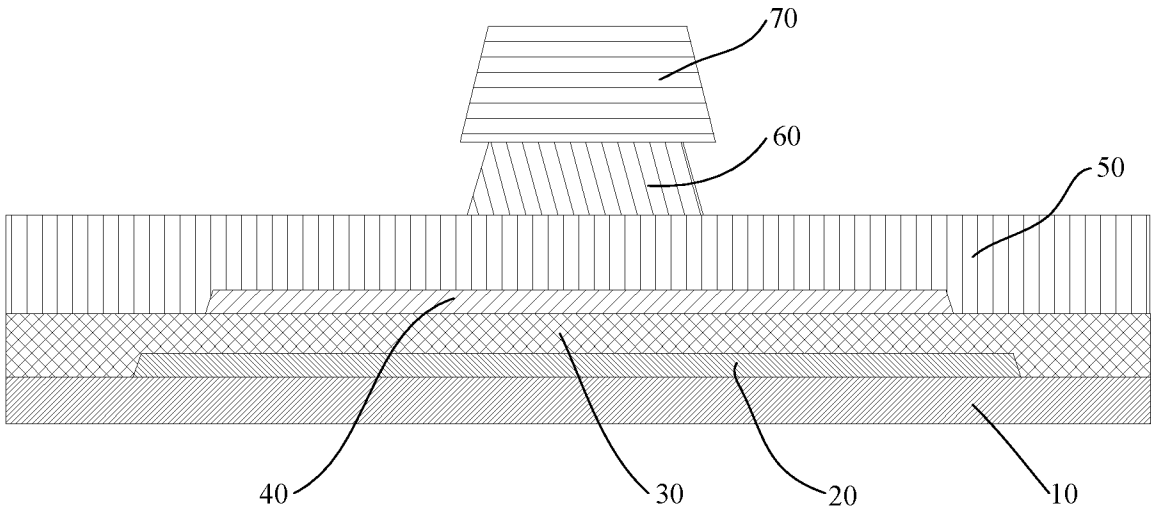



图 3

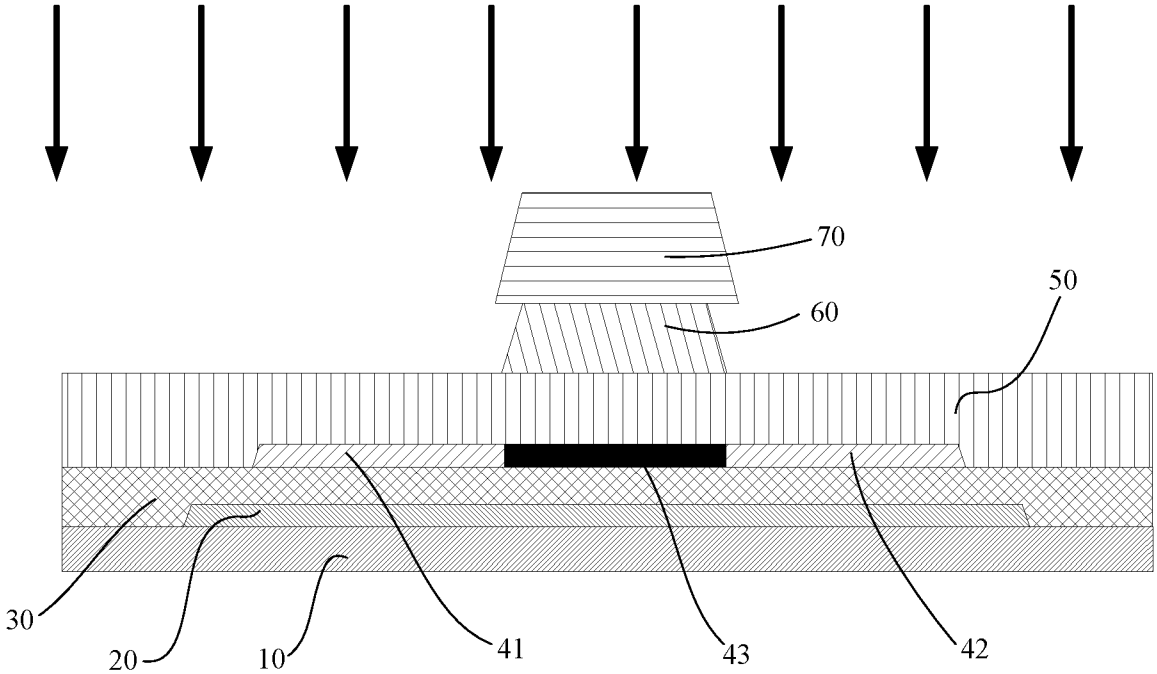



图 4

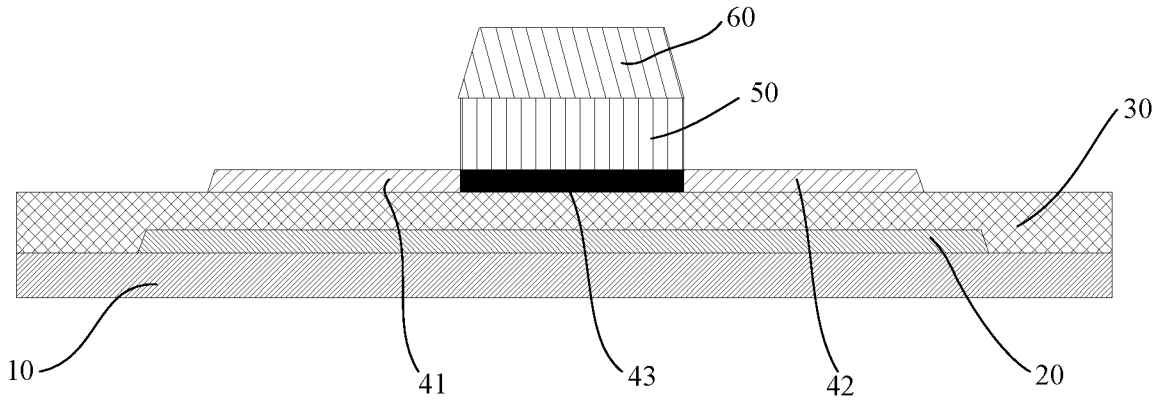



图 5

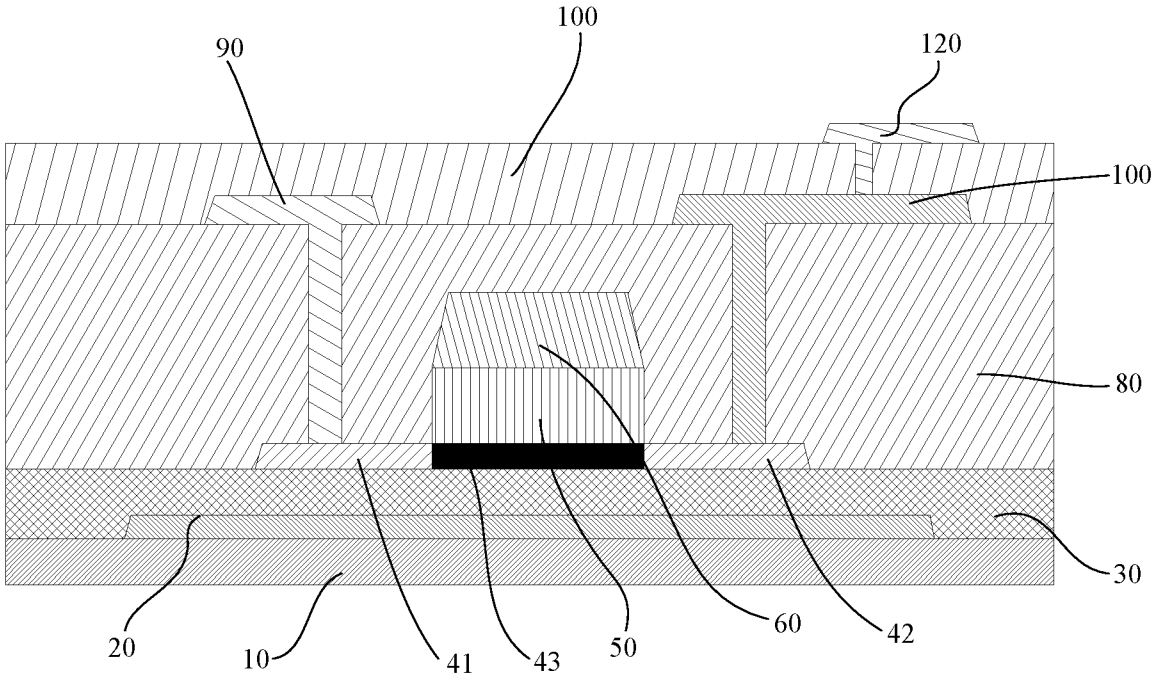

100
90
120
100
80
30
20
10
41
43
50
60
42

图 6

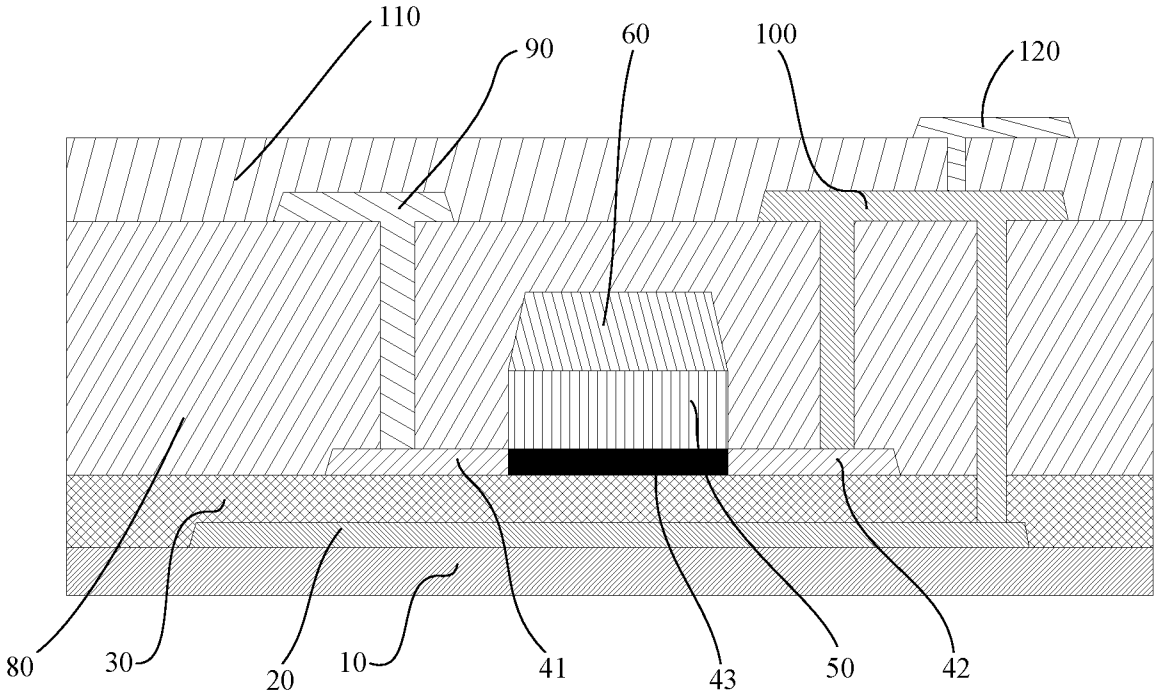

110
90
60
100
120
80
30
20
10
41
43
50
42

图 7

# INTERNATIONAL SEARCH REPORT

International application No.
**PCT/CN2018/114464**

## A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/336(2006.01)i; H01L 29/78(2006.01)i; H01L 27/32(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/-;H01L29/-;H01L27/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; CNTXT; SIPOABS; VEN; USTXT; EPTXT; WOTXT; CNKI: 薄膜晶体管, 栅, 阻挡, 沟道, 导体, 源, 漏, 遮光, thin film transistor, TFT, gate, barrier, channel, conductor, source, drain, light shield

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|---|---|---|
| X | CN 107799570 A (SHENZHEN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) 13 March 2018 (2018-03-13)<br>description, paragraphs 44-88, and figures 1-14 | 1-17 |
| A | CN 106206622 A (BOE TECHNOLOGY GROUP CO., LTD.) 07 December 2016 (2016-12-07)<br>entire document | 1-17 |
| A | US 2018107078 A1 (JAPAN DISPLAY INC) 19 April 2018 (2018-04-19)<br>entire document | 1-17 |

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

| Date of the actual completion of the international search | Date of mailing of the international search report |
|---|---|
| **05 July 2019** | **25 July 2019** |

| Name and mailing address of the ISA/CN | Authorized officer |
|---|---|
| **National Intellectual Property Administration, PRC (ISA/CN)**<br>**No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088**<br>**China** | |
| Facsimile No. **(86-10)62019451** | Telephone No. |

**INTERNATIONAL SEARCH REPORT**
**Information on patent family members**

International application No.
**PCT/CN2018/114464**

| Patent document cited in search report | | | Publication date (day/month/year) | Patent family member(s) | | | Publication date (day/month/year) |
|---|---|---|---|---|---|---|---|
| CN | 107799570 | A | 13 March 2018 | US | 2019172954 | A1 | 06 June 2019 |
| | | | | WO | 2019071725 | A1 | 18 April 2019 |
| CN | 106206622 | A | 07 December 2016 | CN | 106206622 | B | 10 May 2019 |
| | | | | WO | 2018054180 | A1 | 29 March 2018 |
| | | | | US | 2019131325 | A1 | 02 May 2019 |
| | | | | US | 10312271 | B2 | 04 June 2019 |
| US | 2018107078 | A1 | 19 April 2018 | JP | 2018066847 | A | 26 April 2018 |

# 国际检索报告

国际申请号
PCT/CN2018/114464

A. 主题的分类

H01L 21/336(2006.01)i; H01L 29/78(2006.01)i; H01L 27/32(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L21/-;H01L29/-;H01L27/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

CNABS;CNTXT;SIPOABS;VEN;USTXT;EPTXT;WOTXT;CNKI:薄膜晶体管，栅，阻挡，沟道，导体，源，漏，遮光，thin film transistor，TFT，gate，barrier，channel，conductor，source，drain，light shield

C. 相关文件

| 类 型* | 引用文件，必要时，指明相关段落 | 相关的权利要求 |
|---|---|---|
| X | CN 107799570 A (深圳市华星光电半导体显示技术有限公司) 2018年 3月 13日 (2018-03-13)<br>说明书第44-88段，图1-14 | 1-17 |
| A | CN 106206622 A (京东方科技集团股份有限公司) 2016年 12月 7日 (2016-12-07)<br>全文 | 1-17 |
| A | US 2018107078 A1 (JAPAN DISPLAY INC) 2018年 4月 19日 (2018-04-19)<br>全文 | 1-17 |

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

| 国际检索实际完成的日期 | 国际检索报告邮寄日期 |
|---|---|
| 2019年 7月 5日 | 2019年 7月 25日 |

| ISA/CN的名称和邮寄地址 | 受权官员 |
|---|---|
| 中国国家知识产权局(ISA/CN)<br>中国北京市海淀区蓟门桥西土城路6号 100088 | 黄宝莹 |
| 传真号 (86-10)62019451 | 电话号码 86-(20)-28958381 |

# 国际检索报告
## 关于同族专利的信息

国际申请号
PCT/CN2018/114464

| 检索报告引用的专利文件 | | | 公布日<br>(年/月/日) | 同族专利 | | | 公布日<br>(年/月/日) |
|---|---|---|---|---|---|---|---|
| CN | 107799570 | A | 2018年 3月 13日 | US | 2019172954 | A1 | 2019年 6月 6日 |
| | | | | WO | 2019071725 | A1 | 2019年 4月 18日 |
| CN | 106206622 | A | 2016年 12月 7日 | CN | 106206622 | B | 2019年 5月 10日 |
| | | | | WO | 2018054180 | A1 | 2018年 3月 29日 |
| | | | | US | 2019131325 | A1 | 2019年 5月 2日 |
| | | | | US | 10312271 | B2 | 2019年 6月 4日 |
| US | 2018107078 | A1 | 2018年 4月 19日 | JP | 2018066847 | A | 2018年 4月 26日 |