

(43) 国際公開日
2006年5月11日 (11.05.2006)

PCT

(10) 国際公開番号
WO 2006/048921 A1

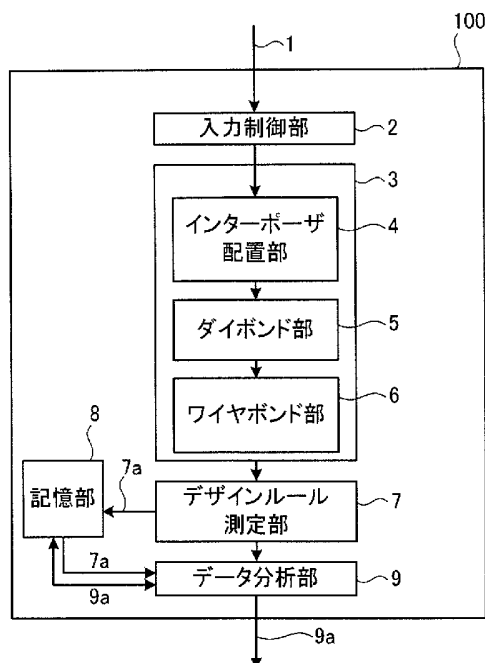
- (51) 国際特許分類⁷: H01L 21/60, 23/12, G06F 17/50
 (21) 国際出願番号: PCT/JP2004/016243
 (22) 国際出願日: 2004年11月1日 (01.11.2004)
 (25) 国際出願の言語: 日本語
 (26) 国際公開の言語: 日本語
 (71) 出願人 (米国を除く全ての指定国について): 三菱電機株式会社 (MITSUBISHI DENKI KABUSHIKI KAISHA) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目2番3号 Tokyo (JP). 株式会社ルネサステクノロジ (RENESAS TECHNOLOGY CORP.) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目4番1号 Tokyo (JP).
 (72) 発明者; および
 (75) 発明者/出願人 (米国についてのみ): 後藤 明広 (GOTO, Akihiro) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内 Tokyo (JP). 松嶋

- 弘倫 (MATSUSHIMA, Hironori) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内 Tokyo (JP). 小川 宏成 (OGAWA, Hiroshige) [JP/JP]; 〒6660024 兵庫県川西市久代三丁目13番21号 株式会社ケーディーエル内 Hyogo (JP). 松田 義雄 (MATSUDA, Yoshio) [JP/JP]; 〒6660024 兵庫県川西市久代三丁目13番21号 株式会社ケーディーエル内 Hyogo (JP).
 (74) 代理人: 酒井 宏明 (SAKAI, Hiroaki); 〒1006019 東京都千代田区霞が関三丁目2番5号 霞が関ビルディング 酒井国際特許事務所 Tokyo (JP).
 (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD,

/ 続葉有 /

(54) Title: SEMICONDUCTOR DEVICE DESIGN SUPPORT SYSTEM

(54) 発明の名称: 半導体装置の設計支援装置



- 2.. INPUT CONTROL PART
 4.. INTERPOSER ARRANGING PART
 5.. DIE BONDING PART
 6.. WIRE BONDING PART
 7.. DESIGN RULE MEASURING PART
 8.. STORAGE PART
 9.. DATA ANALYZING PART

(57) Abstract: A semiconductor device design support system for supporting wiring design of a bonding wire which connects a semiconductor chip with an interposer. The semiconductor device design support system is provided with a means for generating simulation design data by simulating generation of variance in arranging positions of the semiconductor chips on the interposer and generation of variance in positions of bonding wire connecting terminals of the interposer. The system is also provided with an analyzing means for analyzing troubles in semiconductor device manufacture due to the variance of the arranging positions of the semiconductor chips on the interposer and the variance in positions of the bonding wire connecting terminals of the interposer.

(57) 要約: 半導体チップとインターポーザとを接続するボンドワイヤの配線設計を支援する半導体装置の設計支援装置であって、半導体チップのインターポーザへの配置位置のばらつきの発生と、インターポーザのボンドワイヤ接続端子位置のばらつきの発生と、を模擬した模擬設計データを作成する手段を備える。また、前記模擬設計データに基づいて、前記半導体チップのインターポーザへの配置位置のばらつき、および前記インターポーザのボンドワイヤ接続端子位置のばらつきに起因した半導体装置の製造における不具合を分析する分析手段を備える。



SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, YU, ZA, ZM, ZW.

(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR,
NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

半導体装置の設計支援装置

技術分野

- [0001] 本発明は、ロジックやメモリ等の半導体チップを配置するワイヤボンダタイプの半導体パッケージ設計において、半導体製造工程における製造ばらつきを考慮してボンドワイヤ配線に関する設計を行う半導体装置の設計支援装置に関するものである。

背景技術

- [0002] 従来、半導体パッケージなどの半導体装置においては、半導体装置の設計支援装置によりインターポーザや半導体チップの配置位置や、配線位置などが予め検討されて設計されている。このような半導体装置の設計支援装置としては、たとえばチップのレイアウト情報をもつチップデータとフレームのレイアウト情報をもつフレームデータを入力して、所定の位置に配置し合成図面を作成するデータ合成手段と、データ合成手段で作成した合成図面に対して、同一チップで他のフレームを使用して作成した結線図情報を参照してチップ・フレーム間結線図を自動又は対話的に作成する結線図作成手段と、結線図作成手段により作成されたチップ・フレーム間結線図に基づいて、上記結線図作成手段が結線図を作成する際に参照する結線図情報を抽出して格納する結線図情報格納手段と、を有するものがある。このような半導体装置の設計支援装置においては、結線図情報格納手段が、結線図や使用したパッド等の結線図情報を後の他のフレームとの結線作業で参照されるように格納する。これにより、結線図作成手段はこの結線図情報格納手段により各納された結線図情報を参照して結線図を作成するので、結線が正しく行なえるという利点がある。

- [0003] 特許文献1:特開平5-67679号公報

発明の開示

発明が解決しようとする課題

- [0004] しかしながら上述した従来の技術においては、半導体チップとリードフレーム間を接続するボンドワイヤについて、ボンドワイヤリングルールチェックを実施している。しかしながら、このような技術では半導体装置の製造工程における半導体チップの配置

位置のばらつきを考慮したデザインルール測定を製造前に実施することができない。このため、ボンドワイヤ同士の接触や、ボンドワイヤと半導体チップとの接触などボンドワイヤに関する不具合を事前に検知することができず、実際の半導体装置の製造工程においてこれらの不具合が発覚する場合があるという問題があった。このような実際の半導体装置の製造工程における不具合の発覚は製品歩留まりが低下につながる。

- [0005] 本発明は、上記に鑑みてなされたものであって、半導体装置の製造時にボンドワイヤ同士の接触などのボンドワイヤに関する不具合を未然に防止し、製品歩留まり良く半導体装置を製造することを可能とする半導体装置の設計支援装置を得ることを目的とする。

課題を解決するための手段

- [0006] 上述した課題を解決し、目的を達成するために、本発明にかかる半導体装置の設計支援装置は、半導体チップとインターポーザとを接続するボンドワイヤの配線設計を支援する半導体装置の設計支援装置であって、半導体チップのインターポーザへの配置位置のばらつきの発生と、インターポーザのボンドワイヤ接続端子位置のばらつきの発生と、を模擬した模擬設計データを作成する手段と、模擬設計データに基づいて、半導体チップのインターポーザへの配置位置のばらつき、およびインターポーザのボンドワイヤ接続端子位置のばらつきに起因した半導体装置の製造における不具合を分析する分析手段と、を備えることを特徴とする。

- [0007] 以上のような本発明にかかる半導体装置の設計支援装置は、半導体チップのインターポーザへの配置位置のばらつきの発生と、インターポーザのボンドワイヤ接続端子位置のばらつきの発生と、を模擬した模擬設計データを予め作成する。そして、この模擬設計データに基づいて半導体装置の製造工程における製造ばらつきを考慮したデザインルールチェックを行う。すなわち、模擬設計データを分析、検証することにより、半導体チップのインターポーザへの配置位置のばらつき、およびインターポーザのボンドワイヤ接続端子位置のばらつきに起因した半導体装置の製造における不具合を事前に検知する。

発明の効果

[0008] 本発明にかかる半導体装置の設計支援装置によれば、半導体装置の製造工程における製造ばらつきを考慮したデザインルール測定を実施することにより、半導体装置の製造時にボンドワイヤ同士の接触やボンドワイヤとインターポーザの接触などのボンドワイヤに関する不具合を事前に、すなわち実際の半導体装置の製造を実施する前に半導体装置の設計段階において検知することができる。そして、半導体装置の設計段階においてボンドワイヤに関する不具合が検知された場合には、設計段階においてこれらの不具合を修正し、正常な半導体装置を設計することができる。したがって、本発明にかかる半導体装置の設計支援装置によれば、半導体装置の製造時におけるボンドワイヤ同士の接触などのボンドワイヤに関する不具合の発生を未然に回避して製品歩留まりを向上させることができ、製品歩留まりの良い半導体装置の製造を可能とする半導体装置の設計支援装置を得ることができるという効果を奏する。

図面の簡単な説明

[0009] [図1]図1は、本発明の実施の形態にかかる半導体装置の設計支援装置の主構成を示すブロック図である。

[図2]図2は、半導体パッケージの構造の一例を示す断面図である。

[図3]図3は、半導体パッケージの構造の一例を示す上面図である。

[図4]図4は、半導体チップがインターポーザにおける設計上の配置位置からずれて配置された状態を示す図である。

[図5]図5は、インターポーザが設計上の配置位置からずれて配置された状態を示す図である。

[図6]図6は、インターポーザが設計上の配置位置からずれて配置された状態を示す図である。

[図7]図7は、インターポーザが設計上の配置位置からずれて配置された状態を示す図である。

[図8]図8は、半導体チップが設計上の配置位置に配置された状態を示す図である。

[図9]図9は、半導体チップが設計上の配置位置からずれて配置された状態を示す図である。

[図10]図10は、半導体チップが設計上の配置位置からずれて配置された状態を示す図である。

[図11]図11は、半導体チップが設計上の配置位置からずれて配置された状態を示す図である。

[図12]図12は、半導体チップが設計上の配置位置からずれて配置された状態を示す図である。

[図13]図13は、製造ばらつきの要因とその水準を要因表に割り付けた例を示す図である。

[図14]図14は、図13における要因をL9直交表に割り付けた例を示す図である。

[図15]図15は、データ分析部における入力と出力とを示した図である。

符号の説明

- [0010]
- 1 半導体パッケージの設計データ
 - 2 入力制御部
 - 3 アセンブリ部
 - 4 インターポーザ配置部
 - 5 ダイボンド部
 - 6 ワイヤボンド部
 - 7 デザインルール測定部
 - 7a 測定結果
 - 8 測定結果データ
 - 9 データ分析部
 - 10 分析結果データ
 - 11a 半導体チップ
 - 11b 半導体チップ
 - 12 インターポーザ
 - 13 ボンドワイヤ
 - 14 ボンディングパッド
 - 15 ボンディングフィンガ

16 要因表

17 直交表

発明を実施するための最良の形態

[0011] 以下に、本発明にかかる半導体装置の設計支援装置の実施例を図面に基づいて詳細に説明する。なお、本発明は以下の記述に限定されるものではなく、本発明の要旨を逸脱しない範囲において適宜変更可能である。

[0012] 実施の形態

図1は、本発明の実施の形態にかかる半導体装置の設計支援装置の主構成を示すブロック図である。図1に示すように、本実施の形態にかかる半導体装置の設計支援装置は、入力制御部2と、インターポーザ配置部4と、ダイボンド部5と、ワイヤボンド部6と、デザインルール測定部7と、記憶部8と、データ分析部9、を備えて構成されている。なお、図1において矢印線はデータの流れを示す。また、インターポーザ配置部4と、ダイボンド部5と、ワイヤボンド部6と、をまとめてアセンブリ部3と称する。

[0013] また、図2および図3は、この設計支援装置で設計可能な半導体パッケージの構造の一例を示す図であり、図2は半導体パッケージの断面を示す断面図である。また、図3は半導体パッケージを上面から見た上面図である。図2および図3に示すように、この半導体パッケージは、半導体チップ11aと、半導体チップ11b(以下、半導体チップについて半導体チップ11と総称する場合がある。)と、インターポーザ12と、ボンドワイヤ13と、ボンディングパッド14と、ボンディングフィンガ15と、を備えて構成されている。なお、図2および図3においては、2個の半導体チップが積層された半導体パッケージの例を示しているが、本発明はこれに限定されるものではない。したがって、本発明は、半導体チップを1個だけ備える半導体パッケージの設計に適用することもでき、また、3個以上の半導体チップを備える半導体パッケージの設計にも広く適用することが可能である。

[0014] 入力制御部2は、半導体パッケージの設計データ1の入力を受け付ける。すなわち、入力制御部2には、図2および図3に示すような半導体パッケージ用基板やリードフレーム等のインターポーザ12の形状、半導体チップ11の形状、半導体チップ11のインターポーザ12への配置位置、半導体チップ11とインターポーザ12とを接続するボ

ンドワイヤ13の形状、ワイヤボンド座標すなわち半導体チップ11とインターポーザ12とを接続するボンドワイヤ13の配置位置等の半導体パッケージに関する設計データ1が入力される。アセンブリ部3は、入力制御部2において入力された半導体パッケージの設計データ1を入力として製造ばらつきの発生を模擬した模擬設計データを作成する。なお、入力制御部2は必ずしも設ける必要はなく、アセンブリ部3に外部から直接、半導体パッケージに関する設計データ1を入力する形態とすることも可能である。

[0015] インターポーザ配置部4は、入力制御部2から入力された設計データ1に基づいて、インターポーザ12の配置において製造ばらつきが生じた場合を想定して、製造ばらつきの発生を模擬した位置にインターポーザ12を配置した場合のデータを作成することができる。すなわち、インターポーザ配置部4では、たとえば図4に示すようにインターポーザ12の設計上の配置位置に対してX方向（インターポーザの主面における面内方向）、またはたとえば図5に示すようにY方向（インターポーザの主面における面内方向）において製造ばらつき（インターポーザ12の配置位置のばらつき）の生じた場合のインターポーザ12の配置を行ったデータを作成する。

[0016] また、インターポーザ配置部4では、たとえば図6に示すようにインターポーザ12の設計上の配置位置に対して斜め方向、すなわちX方向およびY方向の双方向、または、たとえば図7に示すように回転方向（インターポーザの主面における回転方向）、またはインターポーザの主面に対するZ方向（インターポーザの搭載高さ方向）において製造ばらつき（インターポーザ12の配置位置のばらつき）の生じた場合のインターポーザ12の配置を行ったデータを作成する。なお、図4～図7における一点鎖線はインターポーザ12の設計上の配置位置を示している。

[0017] ダイボンド部5は、入力制御部2から入力された設計データ1およびインターポーザ配置部4で作成されたデータに基づいて、インターポーザ12上における半導体チップ11の配置において製造ばらつきが生じた場合を想定して、インターポーザ12上における製造ばらつきの発生を模擬した位置に半導体チップ11を配置した場合の半導体チップ模擬配置データを作成する。たとえば図8に示した半導体チップ11の配置位置がインターポーザ12上における半導体チップ11の設計上の配置位置である

とする。この場合、ダイボンド部5では、たとえば図9に示すようにインターポーザ12上における半導体チップ11の設計上の配置位置に対してX方向(インターポーザの半導体チップの配置面における面内方向)、またはたとえば図10に示すようにY方向(インターポーザの半導体チップの配置面における面内方向)において製造ばらつき(インターポーザ12上における半導体チップ11の配置位置のばらつき)の生じた場合のインターポーザ12の配置を行ったデータを作成する。

[0018] また、ダイボンド部5では、たとえば図11に示すようにインターポーザ12上における半導体チップ11の設計上の配置位置に対して斜め方向、すなわちX方向およびY方向の双方向、またはたとえば図12に示すように回転方向(インターポーザの半導体チップの配置面における回転方向)、またはインターポーザの主面に対するZ方向(インターポーザの厚み方向)の傾きにおいて製造ばらつき(インターポーザ12上における半導体チップ11の配置位置のばらつき)の生じた場合の半導体チップ11の配置を行ったデータを作成する。なお、図9〜図12における一点鎖線はインターポーザ12の設計上の配置位置を示している。

[0019] ワイヤボンド6では、入力制御部2から入力された設計データ1およびダイボンド部5で作成されたデータに基づいて、ダイボンド部5で作成したインターポーザ12上における設計上の配置位置から製造ばらつきが生じた場合、すなわちインターポーザ12上における製造ばらつきの発生を模擬した位置に半導体チップ11を配置した場合の、設計上の配置位置から外れて配置された半導体チップ11のボンディングパッド14とインターポーザ12のボンディングフィンガ15とを接続するボンドワイヤ13を配線したボンドワイヤ模擬データを作成する。

[0020] デザインルール測定部7は、ワイヤボンド部6で配線されたボンドワイヤ13に関するデザインルール測定を実施する。すなわち、デザインルール測定部7は、ボンドワイヤ13間のクリアランス、ボンドワイヤ13と半導体チップ11とのクリアランス、ボンドワイヤ13とインターポーザ12とのクリアランス、ボンドワイヤ13とボンディングパッド14とのクリアランス、ボンドワイヤ13とボンディングフィンガ15とのクリアランスを測定する。

[0021] データ分析部9は、デザインルール測定部7での測定結果7aを入力として、統計分析を行う。データ分析部9における分析は、たとえばデザインルールを満足する半導

体チップ11のインターポーザ12への配置位置のばらつきの許容範囲、デザインルールを満足する半導体チップ11のインターポーザ12のボンドワイヤ接続端子位置のばらつきの許容範囲、ばらつき分布図、工程能力指数、標準偏差、分散、平均、良品率／不良率、SN比等について行う。

[0022] つぎに、上記のような本実施の形態にかかる半導体装置の設計支援装置の動作について説明する。まず、インターポーザ12の形状、半導体チップ11の形状、半導体チップ11のインターポーザ12への配置位置、半導体チップ11とインターポーザ12とを接続するボンドワイヤ13の形状、ワイヤボンド座標等の半導体パッケージに関する設計データ1が入力制御部2に入力される。入力制御部2はこれらの半導体パッケージに関する設計データ1を受け付け、該設計データ1をインターポーザ配置部4に出力する。

[0023] インターポーザ配置部4では、入力制御部2から半導体パッケージに関する設計データ1を受け取ると、該設計データ1に基づいてインターポーザ12の配置において製造ばらつきが生じた場合を想定して、製造ばらつきの発生を模擬した位置にインターポーザ12を配置した場合のデータを作成する。そしてインターポーザ配置部4では、作成したデータを半導体パッケージに関する設計データ1とともにワイヤボンド部6に出力する。

[0024] ダイボンド部5では、インターポーザ配置部4からデータを受け取ると、設計データ1およびインターポーザ配置部4で作成されたデータに基づいて、インターポーザ12上における半導体チップ11の配置において製造ばらつきが生じた場合を想定して、インターポーザ12上における製造ばらつきの発生を模擬した位置に半導体チップ11を配置した場合の半導体チップ模擬配置データを作成する。そして、ダイボンド部5では、作成したデータを半導体パッケージに関する設計データ1とともにワイヤボンド部6に出力する。

[0025] ここで、インターポーザ配置部4における製造ばらつきの発生方法にはたとえば2つの方法を用いることが可能である。1つ目の方法は、正規分布や一様分布等のばらつき分布に従って、製造ばらつきをランダムに発生させる方法である。また、2つ目の方法は、実験計画法に従って製造ばらつきを発生させる方法である。

- [0026] 図13に半導体チップ11の配置位置の横方向または縦方向または回転方向または半導体チップ11の配置高さや半導体チップ11の傾きを要因とした実験計画法に従って製造ばらつきを発生させる方法を示す。図13は要因とその水準を示す表16を示している。図13においては、要因として半導体チップ11の配置位置の横方向と縦方向と高さ方向とを取り、それぞれの要因を3水準にとった例を示している。また、図14は、図13における要因をL9直交表17に割り付けた例を示している。なお、本発明においては、要因の数と水準は任意に選択することができ、要因を割り付ける直交表は図14に示したL9直交表17に限らず任意の直交表を選択することができる。このような直交表を用いることにより、設計時における最適条件の選択の誤りをチェックすることができ、間違ったチェック結果、条件選択を後工程に流すことを防止し、高品質の設計を行うことができる。
- [0027] つぎに、ワイヤボンダ部6では、設計データ1およびダイボンダ部5で作成されたデータに基づいて、インターポーザ12上における製造ばらつきを模擬した位置に半導体チップ11を配置した場合の、半導体チップ11のボンディングパッド14とインターポーザ12のボンディングフィンガ15とを接続するボンダワイヤ13を配線したボンダワイヤ模擬データを作成する。そして、ワイヤボンダ部6は、作成したデータを半導体パッケージに関する設計データ1とともにデザインルール測定部7に出力する。
- [0028] そして、デザインルール測定部7では、ワイヤボンダ部6から入力されたデータに基づいてワイヤボンダ部6で配線されたボンダワイヤ13に関するデザインルール測定を実施する。デザインルール測定は、ボンダワイヤ13間のクリアランス、ボンダワイヤ13と半導体チップ11とのクリアランス、ボンダワイヤ13とインターポーザ12とのクリアランス、ボンダワイヤ13とボンディングパッド14とのクリアランス、ボンダワイヤ13とボンディングフィンガ15とのクリアランスについて行う。そして、デザインルール測定部7では、測定終了後、その測定結果7aを測定結果として半導体パッケージに関する設計データ1とともに記憶部8に出力する。記憶部8では、デザインルール測定部7から入力された測定結果7aを半導体パッケージに関する設計データ1とともに記憶する。
- [0029] そして、前記に示したアセンブリ部3、デザインルール測定部7および記憶部8における処理を所定の回数だけ繰り返す。データ分析部9でデザインルール測定部7に

における測定結果の分析を行い、分析結果9aを出力する。図14に示したL9直交表17を用いて製造ばらつきを発生させた例では、アセンブリ部3、デザインルール測定部7および記憶部8における処理を合計9回繰り返すことになる。

[0030] つぎに、データ分析部9において、図15に示すように記憶部8に記憶されたデザインルール測定部7での測定結果7aを入力として、統計分析を行う。データ分析部9における分析は、たとえばばらつきの許容範囲、すなわちデザインルールを満足する半導体チップ11のインターポーザ12への配置位置のばらつきの許容範囲、デザインルールを満足する半導体チップ11のインターポーザ12のボンドワイヤ接続端子位置のばらつきの許容範囲、ばらつき分布図、工程能力指数、標準偏差、分散、平均、良品率／不良率、SN比等の特性値について行う。そして、これらの分析結果9aを記憶部8に出力する。記憶部8では、データ分析部9から入力された分析結果9aを記憶する。また、データ分析部9では、これらの分析結果9aを外部に出力することも可能である。

[0031] このように本実施の形態においては、データ分析部9において上記のような分析を行うことにより、半導体装置の製造工程における製造ばらつきを考慮したデザインルールチェックを行う。すなわち、模擬設計データを分析、検証することにより、半導体チップのインターポーザへの配置位置のばらつき、およびインターポーザのボンドワイヤ接続端子位置のばらつきに起因した半導体装置の製造における不具合を事前に検知する。具体的には、半導体装置の製造時にボンドワイヤ同士の接触やボンドワイヤとインターポーザの接触などのボンドワイヤに関する不具合を半導体装置の設計段階で検知することができる。

[0032] これにより、半導体装置の設計段階においてボンドワイヤに関する不具合が検知された場合には、設計段階においてこれらの不具合を修正し、正常な半導体装置を再設計することが可能である。したがって、この半導体装置の設計支援装置によれば、半導体装置の製造時におけるボンドワイヤ同士の接触などのボンドワイヤに関する不具合を回避して製品歩留まりを向上させることができ、製品歩留まりの良い半導体装置の製造を可能とする半導体装置の設計支援装置を得ることができる。

[0033] なお、本発明は、上述したような半導体パッケージの設計に限定されるものではなく

、パワーモジュールやプリント基板に半導体チップを直接実装する場合にも広く適用可能である。

産業上の利用可能性

[0034] 以上のように、本発明にかかる半導体装置の設計支援装置は、半導体装置の設計に有用であり、特に、更なる微細化によりボンドワイヤに関する不具合の発生が危惧されるような半導体装置の製造に適している。

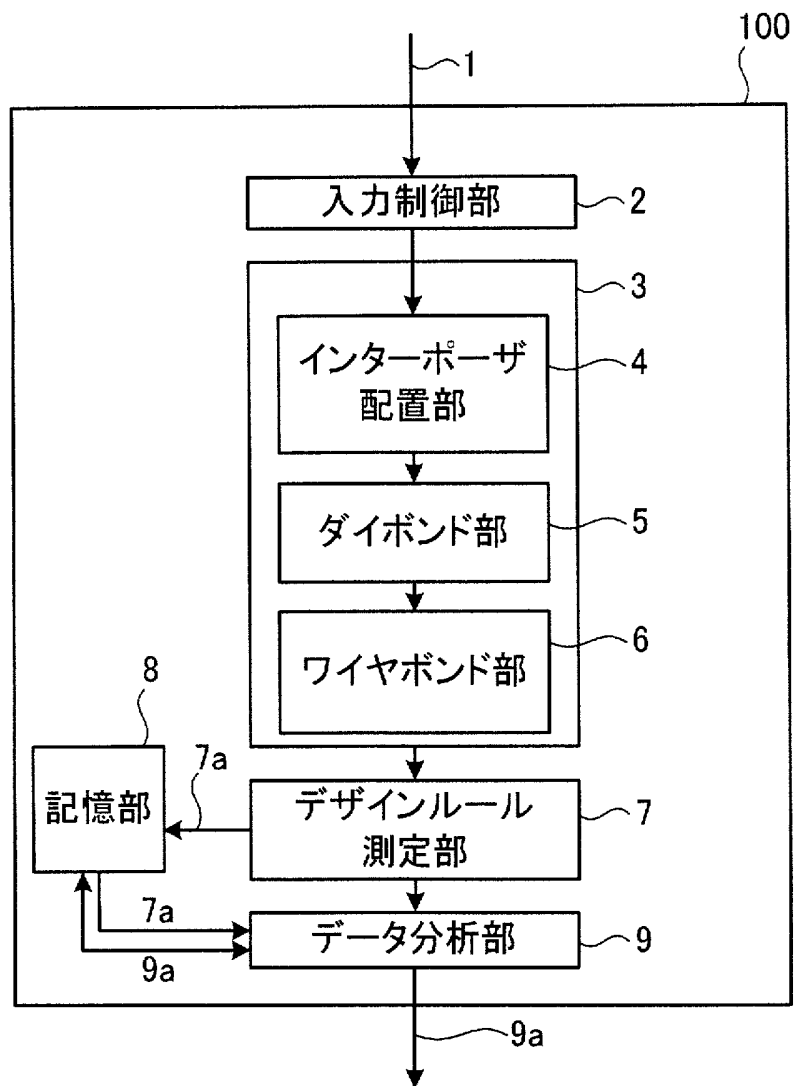
請求の範囲

- [1] 半導体チップとインターポーザとを接続するボンドワイヤの配線設計を支援する半導体装置の設計支援装置であって、
- 半導体チップのインターポーザへの配置位置のばらつきの発生と、インターポーザのボンドワイヤ接続端子位置のばらつきの発生と、を模擬した模擬設計データを作成する手段と、
- 前記模擬設計データに基づいて、前記半導体チップのインターポーザへの配置位置のばらつき、および前記インターポーザのボンドワイヤ接続端子位置のばらつきに起因した半導体装置の製造における不具合を分析する分析手段と、
- を備えることを特徴とする半導体装置の設計支援装置。
- [2] 半導体チップとインターポーザとを接続するボンドワイヤの配線設計を支援する半導体装置の設計支援装置であって、
- 半導体チップのインターポーザへの配置位置のばらつきの発生と、インターポーザのボンドワイヤ接続端子位置のばらつきの発生と、を模擬した模擬設計データを作成する手段と、
- 前記模擬設計データに基づいて、前記半導体チップのインターポーザへの配置位置のばらつきの許容範囲、および前記インターポーザのボンドワイヤ接続端子位置のばらつきの許容範囲を分析する分析手段と、
- を備えることを特徴とする請求項1に記載の半導体装置の設計支援装置。
- [3] 半導体パッケージの設計データに基づいて、インターポーザに半導体チップを配置する際の半導体チップの配置位置のばらつきを模擬した位置に半導体チップを配置した半導体チップ模擬配置データを作成する第1のデータ作成手段と、
- 前記半導体パッケージの設計データおよび半導体チップ模擬配置データに基づいて、前記設計データにおける配置位置からずれて配置された半導体チップのボンドワイヤ接続端子と、前記インターポーザのボンドワイヤ接続端子との間をボンドワイヤで配線したボンドワイヤ模擬データを作成する第2のデータ作成手段と、
- 前記ボンドワイヤ模擬データから、前記配線されたボンドワイヤのデザインルールを測定する測定手段と、

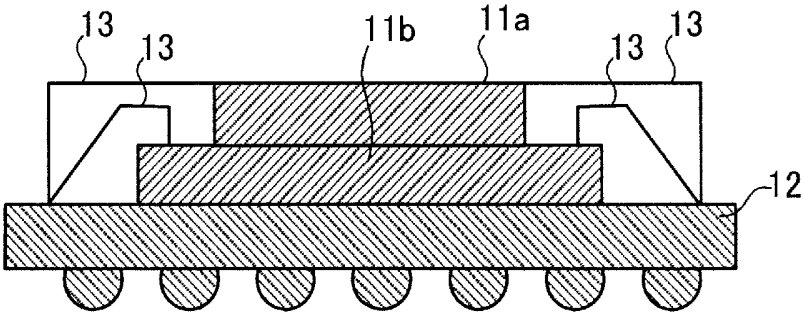
前記測定手段における測定結果の分析を行う分析手段と、
を備えたことを特徴とする半導体装置の設計支援装置。

- [4] 前記半導体パッケージの設計データとして、前記インターポーザの形状、前記半導体チップの形状、前記半導体チップの前記インターポーザへの配置位置、前記半導体チップと前記インターポーザとを接続するボンドワイヤの形状、および前記半導体チップと前記インターポーザとを接続するボンドワイヤの配置位置を用いることを特徴とする請求項3に記載の半導体装置の設計支援装置。
- [5] 第1のデータ作成手段が、前記半導体パッケージの設計データにおける前記インターポーザへの前記半導体チップの配置位置に対して、前記インターポーザの半導体チップ配置面における面内方向もしくは回転方向での前記半導体チップの配置位置のばらつき、または前記インターポーザの厚み方向での前記半導体チップの傾きのばらつきを模擬した位置に半導体チップを配置した半導体チップ模擬配置データを作成すること
を特徴とする請求項3に記載の半導体装置の設計支援装置。
- [6] 前記測定手段が、前記配線されたボンドワイヤのデザインルールとして、前記ボンドワイヤ間のクリアランス、前記ボンドワイヤと前記半導体チップとのクリアランスを測定すること
を特徴とする請求項3に記載の半導体装置の設計支援装置。
- [7] 前記分析手段が、デザインルールを満足する前記半導体チップの前記インターポーザへの配置位置のばらつきの許容範囲を分析すること
を特徴とする請求項6に記載の半導体装置の設計支援装置。
- [8] 前記分析手段が、デザインルールを満足する前記インターポーザのボンドワイヤ接続端子位置のばらつきの許容範囲を分析すること
を特徴とする請求項6に記載の半導体装置の設計支援装置。
- [9] 前記測定手段における測定結果を記憶する記憶手段を備えることを特徴とする請求項3に記載の半導体装置の設計支援装置。
- [10] 前記分析手段における分析結果を記憶する記憶手段を備えることを特徴とする請求項3に記載の半導体装置の設計支援装置。

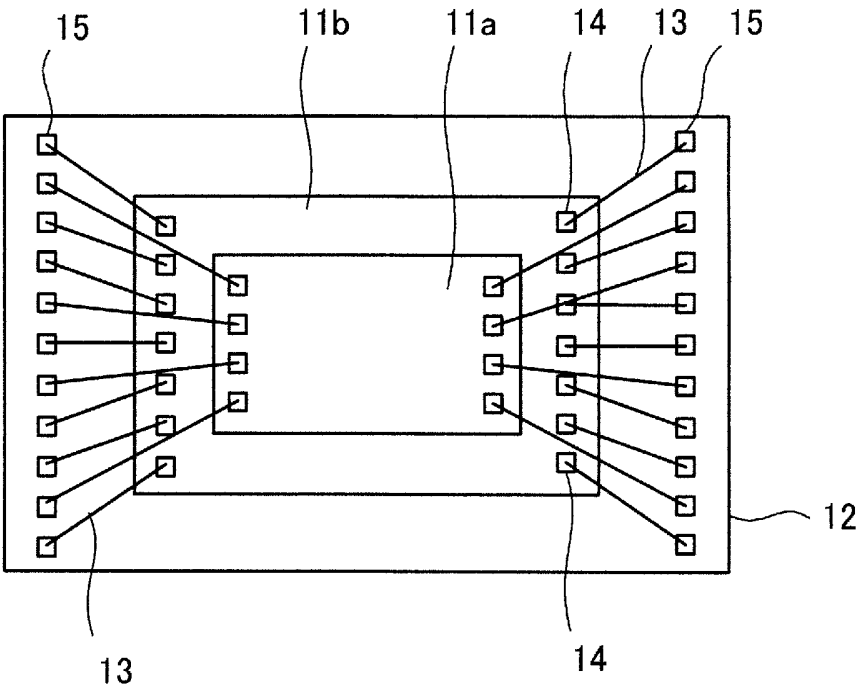
[図1]



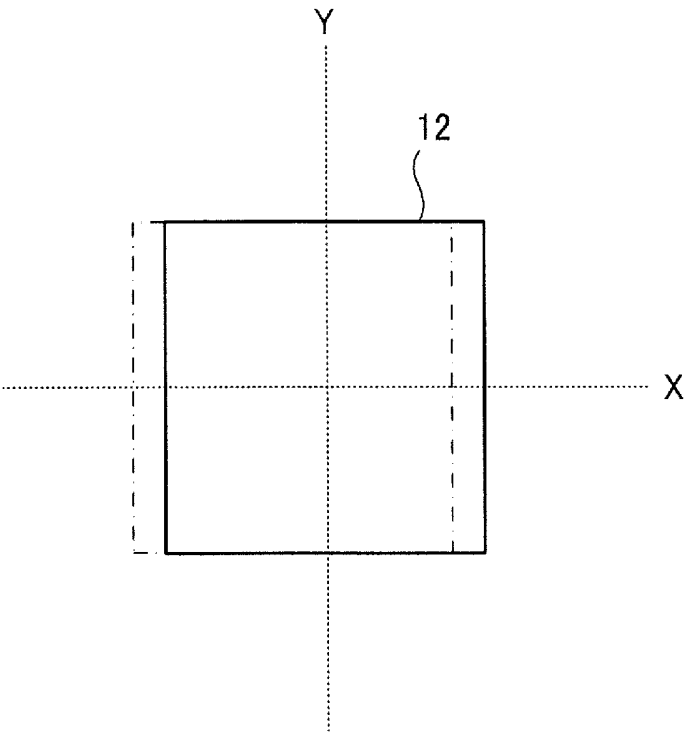
[図2]



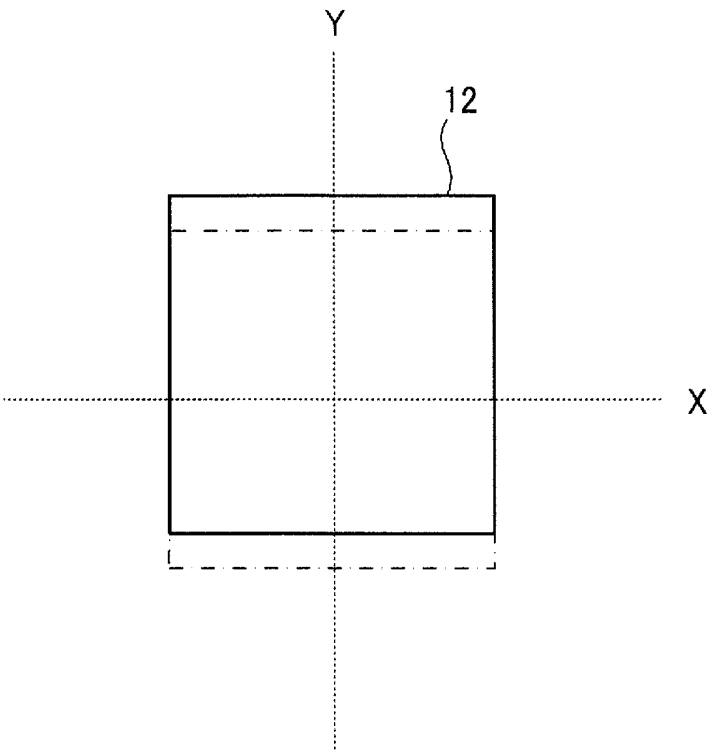
[図3]



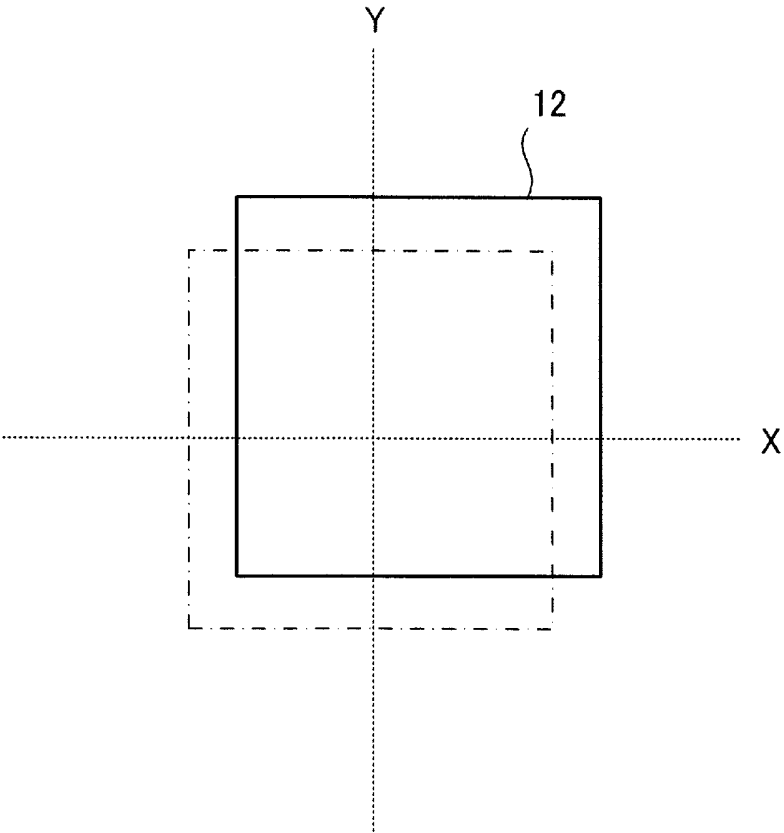
[図4]



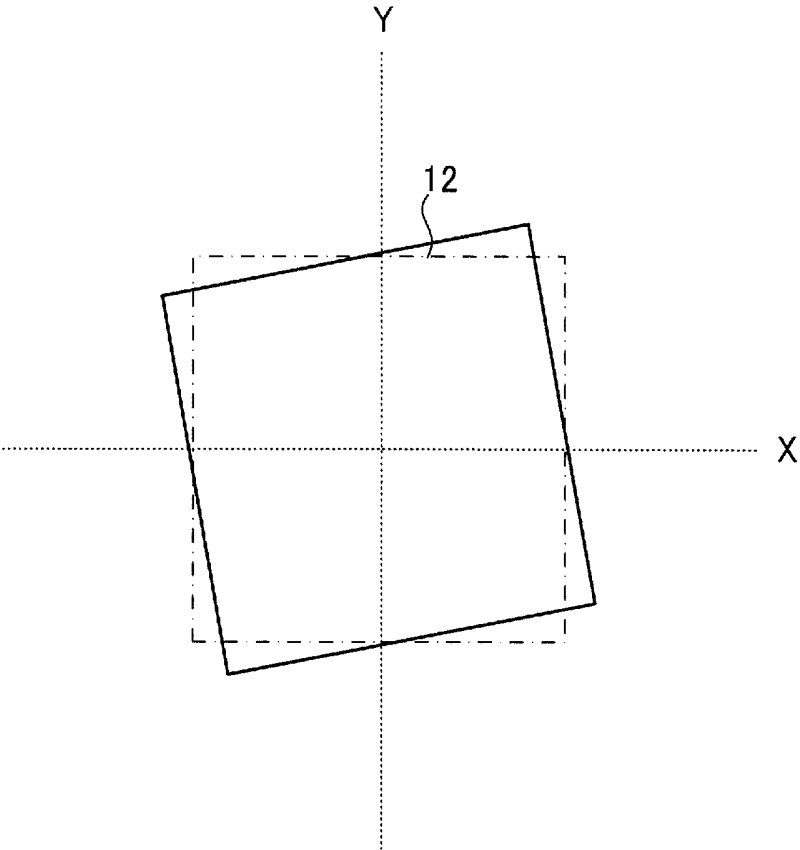
[図5]



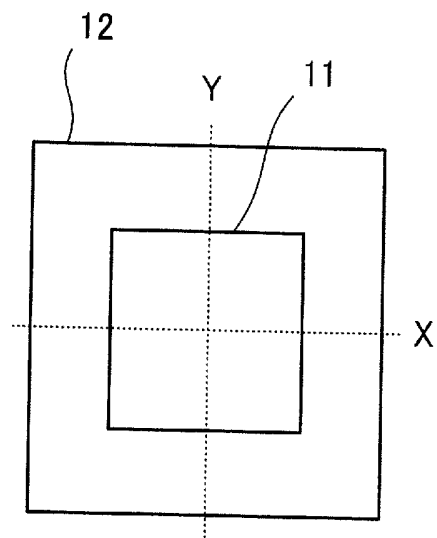
[図6]



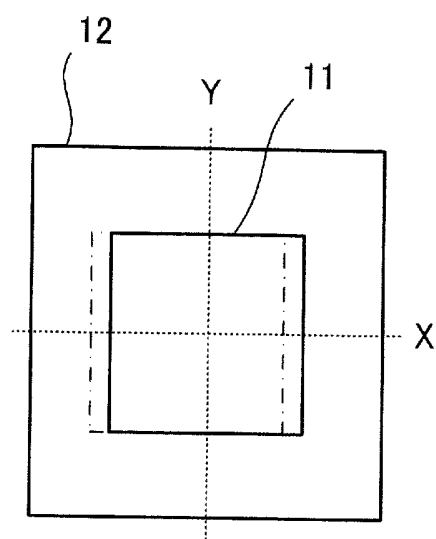
[図7]



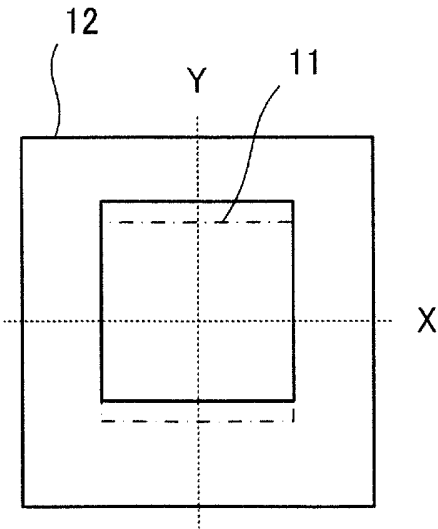
[図8]



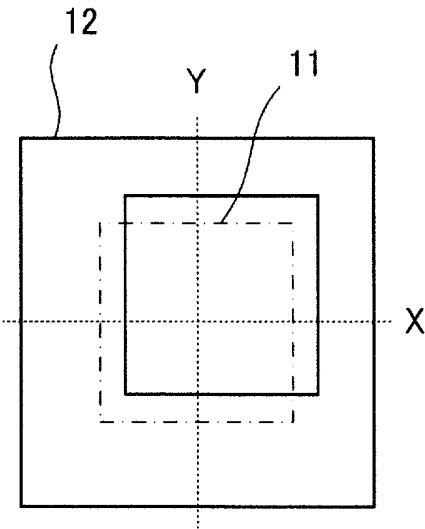
[図9]



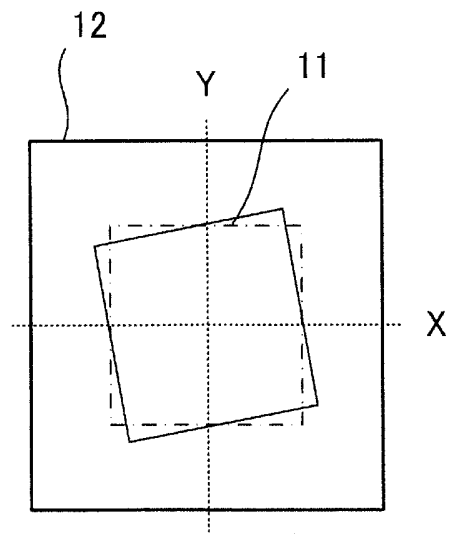
[図10]



[図11]



[図12]



[図13]

16
↓

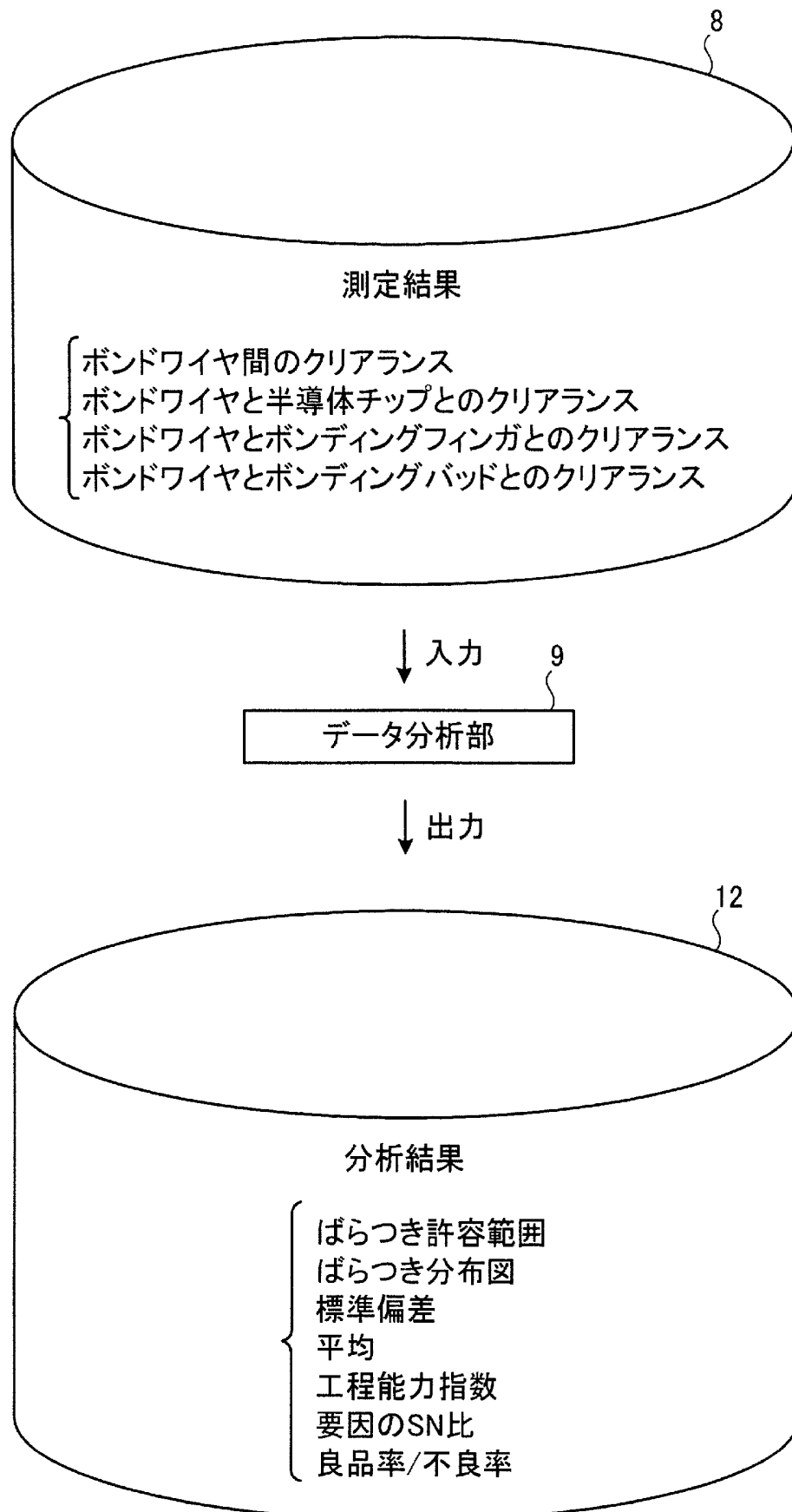
要因	水準		
	1	2	3
横方向	$-n_1$	0	$+n_1$
縦方向	$-n_2$	0	$+n_2$
高さ方向	$-n_3$	0	$+n_3$

[図14]

17
↓

No.	横方向	縦方向	高さ方向
1	$-n_1$	$-n_2$	$-n_3$
2	$-n_1$	0	0
3	$-n_1$	$+n_2$	$+n_3$
4	0	$-n_2$	0
5	0	0	$+n_3$
6	0	$+n_2$	$-n_3$
7	$+n_1$	$-n_2$	$+n_3$
11	$+n_1$	0	$-n_3$
12	$+n_1$	$+n_2$	0

[図15]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/016243

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H01L21/60, H01L23/12, G06F17/50

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ H01L21/60, H01L23/12, G06F17/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004
Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-273153 A (NEC Electronics Corp.), 26 September, 2003 (26.09.03), Full text; Figs. 1 to 5 (Family: none)	1-10

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
05 January, 2005 (05.01.05)

Date of mailing of the international search report
25 January, 2005 (25.01.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl⁷ H01L21/60, H01L23/12, G06F17/50

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl⁷ H01L21/60, H01L23/12, G06F17/50

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国登録実用新案公報	1994-2004年
日本国実用新案登録公報	1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2003-273153 A(NECエレクトロニクス株式会社)2003.09.26. 全文, 図1-5 (ファミリーなし)	1-10

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

05.01.2005

国際調査報告の発送日

25.1.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

市川 篤

4R

9544

電話番号 03-3581-1101 内線 3469