

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 6 部門第 3 区分  
 【発行日】令和 2 年 8 月 20 日 (2020.8.20)

【公表番号】特表 2019-530091 (P2019-530091A)  
 【公表日】令和 1 年 10 月 17 日 (2019.10.17)  
 【年通号数】公開・登録公報 2019-042  
 【出願番号】特願 2019-515353 (P2019-515353)  
 【国際特許分類】

G 0 6 F 17/16 (2006.01)

G 0 6 F 9/30 (2018.01)

G 0 6 F 9/38 (2006.01)

【F I】

G 0 6 F 17/16 Q

G 0 6 F 17/16 P

G 0 6 F 9/30 3 5 0 A

G 0 6 F 9/38 3 7 0 A

【手続補正書】

【提出日】令和 2 年 7 月 8 日 (2020.7.8)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

単一命令複数データ (SIMD) プロセッサにおいて複数の連続するメモリアドレスにおいてデータを記憶するための方法であって、前記プロセッサが、複数のデータベクトルを記憶するための 1 つまたは複数の位置にアクセスし、各データベクトルが有効データと無効データを含み、前記複数のデータベクトルにそれぞれについて、前記方法が、

前記複数のデータベクトルのうちのあるベクトルのデータ要素のシーケンスにおける第 1 の有効位置における第 1 の有効データ値を判定し、かつ前記複数の連続するメモリアドレスの第 1 のメモリアドレスにおいて前記データベクトルから前記第 1 の有効データ値を記憶するために書き込み回路を有効にするステップと、

前記第 1 の有効位置に関連する第 1 のオフセットを判定するステップと、

前記ベクトルの前記データ要素のシーケンスにおける第 2 の有効位置における第 2 の有効データ値を判定し、かつ前記複数の連続するメモリアドレスの第 2 のメモリアドレスにおいて前記データベクトルから前記第 2 の有効データ値を記憶するために書き込み回路を有効にするステップと、

前記第 2 の有効位置に関連する第 2 のオフセットを判定するステップであって、前記第 2 のオフセットが、前記第 1 のオフセットと、有効データに関連する前記データ要素のシーケンスにおける位置の数とに基づく、ステップと

を含み、

前記複数の連続するメモリアドレスの前記第 1 のメモリアドレスが前記第 1 のオフセットに基づき、前記複数の連続するメモリアドレスの前記第 2 のメモリアドレスが前記第 2 のオフセットに基づく、方法。

【請求項 2】

前記第 1 のオフセットは、前記第 2 のオフセットと並列に判定される、請求項 1 に記載の方法。

**【請求項 3】**

前記第2のオフセットを算出するために、有効データに関連する前記第1の有効位置と前記第2の有効位置との間の前記位置の数を前記第1のオフセットに加算するステップをさらに含む、請求項1に記載の方法。

**【請求項 4】**

前記メモリの前記第1のメモリアドレスに連続する追加順次メモリアドレスに、前記第1のデータベクトルからの追加有効データを記憶するステップをさらに含む、請求項1に記載の方法。

**【請求項 5】**

前記特定のメモリアドレスは、前記追加順次メモリアドレスの最後のメモリアドレスに連続する、請求項4に記載の方法。

**【請求項 6】**

前記第1の有効データと前記第2の有効データが並列に記憶される、請求項4に記載の方法。

**【請求項 7】**

前記第2の有効データを前記第1の有効データに並列に記憶するステップは、  
第1の期間の間前記第1の有効データを記憶するステップと、  
前記第1の期間の間前記第2の有効データを並行して記憶するステップと  
を含む、請求項6に記載の方法。

**【請求項 8】**

前記第1のメモリアドレスおよび前記第2のメモリアドレスは、圧縮メモリデータベクトルのメモリアドレスである、請求項1に記載の方法。

**【請求項 9】**

前記圧縮メモリデータベクトルに記憶されたデータをフェッチするステップをさらに含む、請求項8に記載の方法。

**【請求項 10】**

前記圧縮メモリデータベクトルに記憶された前記データをフェッチしたことに応じて前記圧縮メモリデータベクトルに記憶された前記データを処理するステップをさらに含む、請求項9に記載の方法。

**【請求項 11】**

前記圧縮メモリデータベクトルに記憶された前記データを処理した後、  
連続するメモリにおける処理済みのデータの位置をデータの疎なシーケンスにおける有効データの位置にマップするオフセットを判定するステップと、  
前記連続するメモリからの前記処理済みのデータを前記データの疎なシーケンスにおける前記有効データの位置にロードするステップと  
をさらに含む、請求項1に記載の方法。

**【請求項 12】**

単一命令複数データ(SIMD)プロセッサによって実行されたときに、前記SIMDプロセッサに、請求項1～11のいずれか一項に記載の方法を実施させる動作を実行させる少なくとも1つの命令を含む、非一時的コンピュータ可読記憶媒体。

**【請求項 13】**

単一命令複数データ(SIMD)プロセッサにおいて複数の連続するメモリアドレスにおいてデータを記憶するための装置であって、前記プロセッサが、複数のデータベクトルを記憶するための1つまたは複数の位置にアクセスし、各データベクトルが有効データと無効データを含み、前記複数のデータベクトルにそれぞれについて、前記装置が、  
前記複数のデータベクトルのうちのあるベクトルのデータ要素のシーケンスにおける第1の有効位置における第1の有効データ値を判定し、かつ前記複数の連続するメモリアドレスの第1のメモリアドレスにおいて前記データベクトルから前記第1の有効データ値を記憶するために書き込み回路を有効にするための手段と、  
前記第1の有効位置に関連する第1のオフセットを判定するための手段と、

前記ベクトルの前記データ要素のシーケンスにおける第2の有効位置における第2の有効データ値を判定し、かつ前記複数の連続するメモリアドレスの第2のメモリアドレスにおいて前記データベクトルから前記第2の有効データ値を記憶するために書き込み回路を有効にするための手段と、

前記第2の有効位置に関連する第2のオフセットを判定するための手段であって、前記第2のオフセットが、前記第1のオフセットと、有効データに関連する前記データ要素のシーケンスにおける位置の数とに基づき、前記複数の連続するメモリアドレスの前記第1のメモリアドレスが前記第1のオフセットに基づき、前記複数の連続するメモリアドレスの前記第2のメモリアドレスが前記第2のオフセットに基づく、手段と  
を備える、装置。