



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201926460 A

(43)公開日：中華民國 108 (2019) 年 07 月 01 日

(21)申請案號：107141826

(22)申請日：中華民國 107 (2018) 年 11 月 23 日

(51)Int. Cl.：

*H01L21/31 (2006.01)**H05K3/20 (2006.01)*

(30)優先權：2017/11/28

美國

62/591,326

2018/05/01

美國

62/665,084

2018/07/20

美國

62/701,049

2018/09/10

美國

62/729,361

2018/11/09

世界智慧財產權組織

PCT/US2018/60176

(71)申請人：德克薩斯大學系統董事會(美國) BOARD OF REGENTS, THE UNIVERSITY OF TEXAS SYSTEM (US)

美國

(72)發明人：斯里尼瓦桑 賽德嘉塔 V SREENIVASAN, SIDLGATA V. (US)；瑪拉瓦拉普 艾克席拉 MALLAVARAPU, AKHILA (IN)；辛格哈爾 石拉萬 SINGHAL, SHRAWAN (IN)；唐恩 勞倫斯 R DUNN, LAWRENCE R. (US)；高里克 布萊恩 GAWLIK, BRIAN (US)

(74)代理人：李世章；彭國洋

申請實體審查：無 申請專利範圍項數：221 項 圖式數：32 共 187 頁

(54)名稱

經催化劑影響的圖案轉印技術

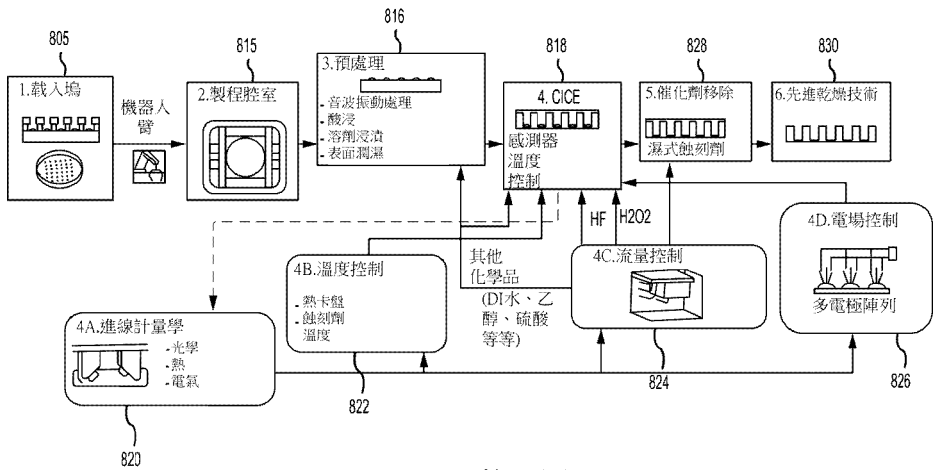
CATALYST INFLUENCED PATTERN TRANSFER TECHNOLOGY

(57)摘要

本發明技術之各種實施例大體上係關於半導體元件構架及製造技術。更特別而言，本發明技術之一些實施例係關於使用催化劑影響的化學蝕刻技術並應用於三維記憶體構架及電晶體之矽蝕刻。CICE 係基於催化劑的蝕刻方法，其可用於半導體上以及多層半導體上。CICE 製程之各種實施例可使用催化劑來蝕刻半導體基板並製造高縱橫比特徵。亦揭示達成此目的的製造工具。此應賦能在製造半導體元件中採用此項技術。

Various embodiments of the present technology generally relate to semiconductor device architectures and manufacturing techniques. More specifically, some embodiments of the present technology relate to silicon etching using catalyst influenced chemical etching technology with application to three-dimensional memory architectures and transistors. CICE is a catalyst based etching method that can be used on semiconductors as well as multilayers of the semiconductors. Various embodiments of the CICE process can use a catalyst to etch semiconducting substrates and to fabricate high aspect ratio features. A fabrication tool for this purpose is also disclosed. This shall enable adoption of this technology in making semiconductor devices.

指定代表圖：



第8C圖

符號簡單說明：

- 805 . . . 載入塢
- 815 . . . 製程腔室
- 816 . . . 預處理步驟
- 818 . . . 蝕刻製程
- 820 . . . 頂部電極/
進線光學計量學
- 822 . . . 局部溫度控制
- 824 . . . 流量控制
- 826 . . . 電場
- 828 . . . 後處理
- 830 . . . 晶圓卡盤/
清洗步驟

【發明說明書】

【中文發明名稱】經催化劑影響的圖案轉印技術

【英文發明名稱】CATALYST INFLUENCED PATTERN TRANSFER
TECHNOLOGY

【0001】 【技術領域】本申請案主張2017年11月28日申請的標題為「Forming Three-Dimensional Memory Architectures Using Catalyst Mesh Patterns」的美國臨時專利申請案第62/591,326號、2018年5月1日申請的標題為「Multilayer Electrochemical Etch process for Semiconductor Device Fabrication」的美國臨時專利申請案第62/665,084號、2018年7月20日申請的標題為「Catalyst-Based Electrochemical Etch Process for Semiconductor Device Fabrication」的美國臨時專利申請案第62/701,049號、及2018年9月10日申請的標題為「Catalyst Assisted Chemical Etching Technology: Applications In Semiconductor Devices」的美國臨時專利申請案第62/729,361號的優先權，其全部以全文引用方式併入本文中以達所有目的。

關於聯邦贊助研究的聲明

【0002】 本發明係在國家科學基金會獎勵的授權號EEC1160494及空軍研究實驗室獎勵的授權號

F A 8 6 5 0 - 1 5 - C - 7 5 4 2 下由政府支援進行。美國政府享有本發明的某些權利。

【0003】 本發明技術之各種實施例大體上係關於半導體元件構架及製造技術。更特別而言，本發明技術之一些實施例係關於使用催化劑影響的化學蝕刻技術並應用於三維記憶體構架及電晶體之矽蝕刻。

【先前技術】

【0004】 各種類型之電晶體、記憶體、積體電路、光子元件及其他半導體元件之半導體製造已導致現代計算裝置及其他電子系統之增長。例如，電腦、行動電話、汽車、消費者電子元件、及類似物全部為半導體製造之進步的直接產物。該等裝置之製造的一整體部分為圖案轉印。在半導體工業中用於異向性蝕刻高度受控之奈米圖案的乾式電漿蝕刻製程需要昂貴的真空設備且不易於在圖案化高縱橫比時保留橫斷面形狀。該等製程遭受蝕刻挑戰，諸如縱橫比依賴性蝕刻 (A R D E) 及蝕刻錐度。

【發明內容】

【0005】 本發明技術之各種實施例大體上係關於記憶體構架及製造技術。更特別而言，本發明技術之一些實施例係關於使用催化劑影響的化學蝕刻技術並應用於三維記憶體構架及電晶體之矽蝕刻。

【0006】 在本發明技術之一個實施例中，藉由催化劑影響的化學蝕刻防止高縱橫比半導結構之實質崩塌的方法包含在半導材料之表面上圖案化催化劑層，其中該催化劑層包含所欲設計及微影鏈桿。此外，該等微影鏈桿實質上連接催化劑層及/或半導材料之一或多個分離特徵。方法進一步包含使半導材料之表面上的圖案化催化劑層暴露於蝕刻劑，其中該圖案化催化劑層引起半導材料之蝕刻以形成互連高縱橫比結構。

【0007】 在本發明技術之另一實施例中，用於防止高縱橫比半導結構之實質崩塌的方法包含產生具有沉積在圖案化催化劑層上或低高度結構之頂部上的封蓋材料的結構。該方法進一步包含使該結構暴露於蝕刻劑。該方法另外包含藉由在具有封蓋材料的結構上使用催化劑影響的化學蝕刻來形成高縱橫比半導結構以防止高縱橫比半導結構之實質崩塌。

【0008】 在本發明技術之另一實施例中，用於催化劑影響的化學蝕刻之設備包含複數個感測器，其經配置以偵測半導材料之蝕刻狀態。

【0009】 在本發明技術之另一實施例中，用於製造實質上非崩塌交替多層堆疊奈米結構之方法包含產生包含兩個或兩個以上交替半導膜層之材料堆疊，其中該兩個或兩個以上交替半導膜層中之每一者在以下性質之至少一者方面不同於另一者：材料、摻雜濃度及摻雜劑材料。該方法進一步包含藉由催化劑影響的化學蝕刻來蝕刻材料

堆疊以使得在性質方面有所不同的層產生在以下至少一者方面有所不同的蝕刻奈米結構：形態學、多孔性、蝕刻速率及熱處理速率。

【0010】 在本發明技術之另一實施例中，用於製造實質上非崩塌交替多層堆疊特徵之方法包含產生包含兩個或兩個以上交替半導體層之材料堆疊，其中該兩個或兩個以上交替半導體層中之每一者在以下性質之至少一者方面不同於另一者：材料、摻雜濃度及摻雜劑材料。該方法進一步包含藉由結晶取向依賴性蝕刻來蝕刻材料堆疊以沿晶體平面形成錐度。該方法另外包含沿該晶體平面蝕刻該錐度以顯露該兩個或兩個以上交替半導體層之一同時蝕刻另一層之部分以產生階梯結構。

【0011】 本發明技術之實施例亦包括電腦可讀儲存媒體，其含有指令之集合以使得一或多個處理器執行該等方法、該等方法之變化形式、及本文描述的其他操作。

【0012】 儘管揭示了多個實施例，但熟習此項技術者將自以下詳細描述變得明白本發明技術之其他實施例，該詳細描述展示及描述該技術之說明性實施例。如將理解的，該技術能夠在各種態樣中進行修改，其全部不脫離本發明技術之範疇。因此，圖式及詳細描述將視為本質上為說明性的而非限制性的。

【圖式簡單說明】

【0013】 本發明技術之實施例將經由使用隨附圖式來描述及解釋，在圖式中：

【0014】 第 1 A 圖說明根據本發明技術之一或多個實施例的用於成形奈米線的噴射及快速壓印微影術 (J-FIL) 賦能的催化劑影響的化學蝕刻 (CICE) ；

【0015】 第 1 B 圖描繪根據本發明技術之一或多個實施例的使用第 1 A 圖中描述的步驟製造奈米線之橫斷面視圖 ；

【0016】 第 2 圖說明根據本發明技術之一或多個實施例的 SiSE (矽超晶格蝕刻) 製程控制 ；

【0017】 第 3 A 圖 - 第 3 B 圖展示根據本發明技術之一或多個實施例的在基板上進行 SiSE 之後的多孔層與非多孔層之間的陡峭界面，該基板具有磊晶矽之交替層，該等交替層具有不同的摻雜濃度 ；

【0018】 第 4 圖展示根據本發明技術之一或多個實施例的利用金及鉑催化劑產生且將奈米結構之底部處的催化劑網目之影像放大的矽奈米線之 SEM 橫斷面 ；

【0019】 第 5 A 圖展示根據本發明技術之一或多個實施例的催化劑材料以及半導體結構中之連接鏈桿可如何用於同時連接一或多種分離催化劑及高縱橫比 (HAR) 奈米結構 ；

【0020】 第 5 B 圖提供根據本發明技術之一或多個實施例的說明斷開區域及連接區域的頂視圖，該等斷開區域

表示催化劑特徵之幾何形狀，且該等連接區域界定在 SiSE 之後保持的高縱橫比結構；

【0021】 第 6A 圖 - 第 6E 圖說明根據本發明技術之一或多個實施例的用於 CICE 之製程腔室配置；

【0022】 第 7A 圖 - 第 7B 圖說明根據本發明技術之一或多個實施例的具有水平基板之 MSP-CICE 製程腔室之實施例；

【0023】 第 8A 圖說明根據本發明技術之一或多個實施例的 MSP-CICE 工具設置之實施例；

【0024】 第 8B 圖說明根據本發明技術之一或多個實施例的詳細製程腔室佈局之實例；

【0025】 第 8C 圖說明根據本發明技術之一或多個實施例的製程流程之實例；

【0026】 第 9 圖說明根據本發明技術之一或多個實施例的基於基因演算法的控制器，其可用於判定針對目標輸出的最佳製程參數；

【0027】 第 10A 圖 - 第 10E 圖說明根據本發明技術之一或多個實施例的催化劑網目實例；

【0028】 第 11 圖展示以類似於第 10 圖中所展示者的催化劑網目圖案 HAR 蝕刻通道及狹縫之製程流程；

【0029】 第 12 圖說明根據本發明技術之一或多個實施例的用於垂直通道 3D NAND(反及)之犧牲製程流程；

【0030】 第 13 圖展示根據本發明技術之一或多個實施例的用 SiSE 製造 3D NAND 陣列之製程流程及各種路徑；

【0031】 第 14 圖 - 第 16 圖展示根據本發明技術之一或多個實施例的用於處理藉由 SiSE 產生的多孔層及非多孔矽層之交替層以產生垂直通道 3D NAND 陣列之一些製程流程；

【0032】 第 17 圖描繪根據本發明技術之一或多個實施例的具有垂直閘極及水平矽通道之 3D NAND 構架之實施例；

【0033】 第 18A 圖 - 第 18C 圖展示根據本發明技術之一或多個實施例的 3D NAND 之佈局及尺寸；

【0034】 第 19A 圖 - 第 19C 圖展示用於製造第 18A 圖 - 第 18C 圖中展示的圖案的示範性製造模板；

【0035】 第 19D 圖提供具有微影鏈桿之圖案的實例，其中該等鏈桿係利用壓印微影術製得（其模板係利用電子束微影術製得），且將圓點對準並使用壓印或光微影術印刷或反之亦然；

【0036】 第 20A 圖 - 第 20J 圖說明根據本發明技術之一或多個實施例的圖案化 CICE 催化劑之示範性光微影術製程步驟；

【0037】 第 21A 圖 - 第 21H 圖展示根據本發明技術之一或多個實施例的使用自組裝及微影術製造具有實質上連接的催化劑特徵之催化劑圖案的製程流程；

【0038】 第 22 圖說明根據本發明技術之一或多個實施例的 3D NAND 階梯蝕刻之實例；

【0039】 第 23 圖說明根據本發明技術之一或多個實施例的利用鹼性蝕刻劑在塊體矽上進行階梯蝕刻或傾斜 (angled) 電漿蝕刻以產生用於字線之接觸墊的製程；

【0040】 第 24 圖說明根據本發明技術之一或多個實施例的在藉由 CICE 蝕刻的奈米線上具有電晶體、電容器及互連材料之示範性 DRAM 設計；

【0041】 第 25A 圖 - 第 25B 圖說明根據本發明技術之一或多個實施例的用於 CICE 濕式異向性蝕刻以產生高縱橫比支柱而無崩塌的兩個製程流程；

【0042】 第 26 圖說明根據本發明技術之一或多個實施例的 SEM 影像，其展示在矽上經 CICE 之後未支撐特徵相對於經支撐特徵之崩塌；

【0043】 第 27A 圖說明 14 nm FinFET，其具有約 85° 之錐角及 24 nm 之實體半間距 (HP) (參考：TechInsights)；

【0044】 第 27B 圖描繪根據本發明技術之一或多個實施例的針對不同鰭片寬度及蝕刻錐角的最大鰭片高度。

【0045】 第 28 圖為說明在無任何支撐/輔助特徵的情況下，沿 50 nm 長鰭片之長度在側向崩塌之前不具有錐度之鰭片之最大高度；

【0046】 第 29 圖說明根據本發明技術之一或多個實施例的利用 CICE 製造 finFET 的製程流程之實例；

【0047】 第30A圖-第30E圖說明根據本發明技術之一或多個實施例的在CICE之後的FinFET製造製程步驟之實例；

【0048】 第31圖說明根據本發明技術之一或多個實施例的用CICE製造奈米片FET及側向奈米線FET的製程流程之實例；

【0049】 第32A圖說明當鰭片之數量大於1時的連接鏈桿；

【0050】 第32B圖說明連接具有分離催化劑(頂部)或具有經連接鏈桿及經連接催化劑(底部)的所有鰭片之鏈桿；

【0051】 第32C圖針對不同的鰭片寬度 f 及針對範圍在1至10的鰭片數量展示說明在沿經連接鰭片結構之長度崩塌之前的臨界高度的圖表；及

【0052】 第32D圖針對不同的鰭片寬度 f 及針對範圍在1至10的鰭片數量展示說明在沿經連接鰭片結構之長度崩塌之前的臨界高度的圖表；及

【0053】 圖式未必按比例描繪。類似地，一些部件及/或操作可分成不同方塊或組合成單一方塊以達論述本發明技術之一些實施例的目的。此外，儘管本技術可經受各種修改及替代形式，但特定實施例已在圖式中以舉例方式展示且在下文詳細地描述。然而，並不意欲將本技術限制於所描述的特定實施例。相反地，本技術意欲覆蓋符合藉

由隨附申請專利範圍所限定的技術範疇的所有修改、等效物、及替代物。

【實施方式】

【0054】 本發明技術之各種實施例描述新穎的異向性蝕刻製程。亦揭示達成此目的的製造工具。此應賦能在製造半導體元件中採用此項技術。一些實施例使用催化劑影響的化學蝕刻(CICE)用於製造電晶體及各種記憶體構架。此外，CICE製程之各種實施例已證實極高的縱橫比而無特徵大小之損失。

【0055】 本發明技術之各種實施例亦提供在基於建立的化學蝕刻中的各種控制方案。亦揭示達成此目的的晶圓規模多標度精確催化劑影響的化學蝕刻(MSP-CICE)製造工具。一些實施例使用各種控制方案及工具設計來擴展自當今文獻中的不具有蝕刻深度控制的小面積(150 mm以下基板)至利用局部及整體控制及計量學的大面積(例如300 mm Si晶圓)進行CICE的能力。此應賦能在製造諸如3D NAND快閃、DRAM、FinFET及奈米片電晶體之半導體元件中採用此項技術。

【0056】 本發明技術之各種實施例大體上係關於記憶體構架及製造技術。更特別而言，本發明技術之一些實施例係關於使用催化劑影響的化學蝕刻技術並應用於三維記憶體構架及電晶體之矽蝕刻。藉由當前圖案轉印技術達成的先進記憶體構架之可縮放性係受歸因於高縱橫比電

漿蝕刻的非零錐度、側壁破壞及蝕刻遮罩降解的限制。諸如三維(3D) NAND 快閃之非揮發性半導體記憶體需要 >64 層交替材料之極高縱橫比蝕刻以增加快閃驅動器之儲存容量。隨著逐漸增加的層，異向性高縱橫比通道及溝槽蝕刻以及用於界定與每一層之接點的階梯蝕刻的成本及可靠性變成對縮放而言的最大限制因素。非零電漿蝕刻錐角限制可被可靠達成的階層堆疊之最大數量。

【0057】 在半導體工業中用於異向性蝕刻高度受控之奈米圖案的乾式電漿蝕刻製程需要昂貴的真空設備且無法在圖案化高縱橫比時容易地保留橫斷面形狀。該等製程遭受蝕刻挑戰，諸如縱橫比依賴性蝕刻(ARDE)及蝕刻錐度。對3DNAND快閃設計，同時蝕刻圓形通道及矩形狹縫無法利用電漿蝕刻在側壁之精確控制下可靠地達成。類似地，對於具有連接鏈桿之特徵，支柱之間的10nm以下鏈桿無法經高縱橫比保留。

【0058】 此外，DRAM縮放係由電容器所佔據的面積及單元大小因子限制。因此，縮放記憶體構架之當前技術係歸因於高數量之微影術及高縱橫比蝕刻步驟而受限。各種實施例提供用於DRAM製造之改良技術。

【0059】 在以下描述中，出於解釋的目的，闡述了眾多特定細節以便提供對本發明技術之實施例的徹底瞭解。然而，熟習此項技術者將明白本發明技術之實施例可在沒有該等特定細節中的一些特定細節的情況下實施。

【0060】 本文介紹的技術可體現為特殊用途硬體(例如，電路系統)，體現為利用軟體及/或韌體適當程式化的可程式化電路系統，或體現為特殊用途及可程式化電路系統之組合。因此，實施例可包括其上儲存有指令的機器可讀媒體，該等指令可用以程式化電腦(或其他電子裝置)以執行一過程。機器可讀媒體可包括但不限於光碟、光盤唯讀記憶體(CD-ROM)、磁光碟、ROM、隨機存取記憶體(RAM)、可抹除可程式化唯讀記憶體(EPROM)、電氣可抹除可程式化唯讀記憶體(EEPROM)、磁性或光學卡、快閃記憶體、或適於儲存電子指令的其他類型之媒體/機器可讀媒體。

【0061】 片語「在一些實施例中」、「根據一些實施例」、「在所展示實施例中」、「在其他實施例中」、及類似片語大體上意指該片語後所跟的特定特徵、結構、或特性係包括在本發明技術之至少一個實施方式中，且可包括在一個以上的實施方式中。另外，此類片語未必係指相同實施例或不同實施例。

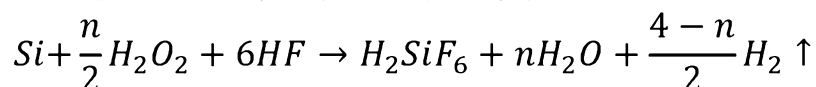
【0062】 本發明技術之各種實施例使用催化劑影響的化學蝕刻(CICE)用於製造電晶體及各種記憶體構架。CICE為基於催化劑的蝕刻方法，其可用於半導體上，諸如Si、Ge、 $\text{Si}_x\text{Ge}_{1-x}$ 、GaN、InP、GaAs、InAs、GaP、InGaS、InGaP、SiC等等以及多層半導體。CICE使用催化劑來蝕刻半導體基板且其已用於利用圖案化技術製造高縱橫比特徵，該等圖案化技術諸如光微影術、電子

束微影術、奈米球微影術、嵌段共聚物、雷射干擾微影術、膠體微影術、雙圖案化、四圖案化、奈米壓印微影術及用以圖案化催化劑的陽極化鋁氧化物(AAO)模板。催化劑可結合諸如聚合物、Cr等等的蝕刻阻滯材料一起使用。

【0063】 在一些實施例中，此設置可浸入含有蝕刻劑(例如，氟化物物質 HF、NH₄F、緩衝 HF、H₂SO₄、H₂O)及氧化劑(H₂O₂、V₂O₅、KMnO₄、溶解氧等等)之溶液中。諸如醇(乙醇、異丙醇、乙二醇)、調節蝕刻均勻性之材料(表面活性劑、可溶性聚合物、二甲基亞砷-DMSO)、溶劑(DI 水、DMSO 等等)、及緩衝溶液的其他化學品亦可包括在蝕刻組合物中。所使用的化學品可取決於待蝕刻的半導體基板。若需要，則亦可使用無水蝕刻劑。蝕刻劑可呈液相或汽相。用於矽基板的此種蝕刻劑之實施例包含 DI H₂O、H₂O₂、乙醇及 HF。

【0064】 諸如以下各項之材料可充當用於 CICE 之催化劑：金屬(例如，Ag、Au、Pd、Pt、Cu、W、Ru、Ir)，諸如 TiN、Ta₂N₅、RuO₂、IrO₂ 及其他導電金屬氧化物及氮化物的化合物，石墨烯，碳等等。用於蝕刻 Si 的 CICE 製程之機制可涉及藉由催化劑還原氧化劑，進而產生帶正電的孔洞 h⁺。該等孔洞隨後經由金屬注入至金屬一半導體界面，進而氧化金屬下方的半導體。氧化的矽係藉由蝕刻劑之氟化物組分溶解，該氟化物組分自催化劑之側面擴散並穿過催化劑且可溶性產物擴散離去。對於利用 HF 及 H₂O₂ 的矽之 CICE，此氧化還原反應亦可產

生氫氣。變數 $n = 2$ 至 4 係藉由氧化劑對 HF 之比率決定，從而決定發生以下的蝕刻區間：



【0065】 此製程之蝕刻速率及所得形態學取決於摻雜劑類型、濃度、催化劑膜厚度及蝕刻劑濃度。電場及磁場兩者已用於達成較大均勻性/多孔性控制，此係歸因於在蝕刻製程期間孔洞之擴散。將具有催化劑網目之所得基板置放於蝕刻劑溶液中且精確地蝕刻至藉由電場、溫度梯度及可現場判定蝕刻深度之光學成像系統主動控制的某一深度。在 CICE 之後，可使用化學或電漿蝕刻，諸如用王水、基於氯之電漿等等移除催化劑。

【0066】 使用噴射及快速壓印微影術 (J-FIL) 及利用金催化劑之 CICE 製得的菱形橫斷面矽奈米線已得到成功地示範 (參見，例如第 1 圖)。利用菱形矽奈米線製得的電容器展示比具有相同間距之圓形橫斷面的 NW 及在文獻中每面積 NW 的最高比電容高 90% 的比電容。J-FIL 及 CICE 具有基於標準成本模型以 $< \$1$ / 晶圓之製造成本製造 Si 奈米結構的潛力。

【0067】 第 1A 圖說明根據本發明技術之一或多個實施例的用於製造奈米線的 J-FIL 賦能的催化劑影響的化學蝕刻 (CICE) 製程 100。如在第 1A 圖 - 第 1B 圖中所說明，在製程步驟 110 中，奈米特徵 111 (例如，抗蝕劑材料) 可壓印在矽基板 112 上。材料 (例如，抗蝕劑) 可在壓印製程之後保持在溝槽 113 中。在製程步驟 120，

「除渣 (descum)」蝕刻可執行來移除抗蝕劑殘餘層厚度 (RLT) 以及移除溝槽 113 中之抗蝕劑。除渣蝕刻之一個實例使用氧及氬電漿來蝕刻抗蝕劑材料。在製程步驟 130，金 (Au) 131 可使用諸如電子束蒸發的方向性沉積製程沉積在溝槽 113 中及奈米特徵 111 之頂部上。諸如 Ti 之黏著層亦可在沉積金之前沉積。在製程步驟 140，CICE 可用於形成溝槽 141，其中金 131 係位於溝槽 141 之底部處及奈米特徵 111 之頂部上。在製程步驟 150，可移除金 (Au) 131 及抗蝕劑 111 且可使用電漿蝕刻或化學蝕刻劑，諸如王水、碘化鉀、及呈液體或蒸汽形式之食人魚蝕刻液 (piranha) 來清潔結構。第 1B 圖描繪根據本發明技術之一或多個實施例的使用第 1A 圖中描述的步驟製造奈米線之橫斷面視圖。

【0068】 CICE 為稱為金屬輔助的化學蝕刻 (MACE) 的製程之超集合。除金屬之外，存在亦可潛在地用作催化劑的某些非金屬催化劑，諸如石墨烯或 TiN、TaN、RuO₂、IrO₂ 等等。另外，儘管催化劑通常藉由在蝕刻劑及氧化劑存在下掘入基板中來局部地輔助化學蝕刻，但其亦可局部地抑制蝕刻，如在 InP 之情況。為涵蓋所有此種製程，各種實施例係涉及製程催化劑影響的化學蝕刻 (CICE)。

【0069】 然而，用於高縱橫比蝕刻步驟之 CICE 異向性濕式蝕刻方法當前不具有精確的蝕刻深度控制及晶圓規模製造。不連續的催化劑特徵趨向於在 CICE 製程期

間漂移且引起缺陷。所使用的催化劑不易於利用電漿或濕式蝕刻在無再沉積或基蝕的情況下蝕刻。當前用於圖案化貴金屬催化劑之提離製程具有高缺陷性。本發明技術之各種實施例藉由精確地控制各種感測器及致動器，諸如蝕刻劑溶液之化學性質、電場、奈米結構之光學/光譜學性質等等賦能具有範圍在 $m m$ 至 $n m$ 的特徵大小的任意奈米圖案之蝕刻。

【0070】 根據各種實施例，CICE 可用於產生塊體材料或諸如超晶格的材料之交替層的奈米結構。塊體材料之 CICE 可用於諸如 finFET 及奈米線感測器之裝置。超晶格奈米結構具有諸如 3D NAND 快閃記憶體裝置及奈米片電晶體之應用。超晶格可藉由利用隨時間變化的電場在塊體半導體基板上或在具有半導體材料之交替層的基板上執行 CICE 來產生，該等交替層在摻雜濃度、材料、摻雜劑類型等等方面有所不同。對於使用矽作為基板中的至少一種材料的實施例，產生超晶格的 CICE 之製程係描述為下文所述的矽超晶格蝕刻 (SiSE)。

矽超晶格蝕刻 (SiSE)

【0071】 SiSE 可用於塊體矽晶圓上以及具有不同摻雜濃度的矽之交替層上。蝕刻劑(諸如氫氟酸 HF)、氧化劑(諸如過氧化氫 H_2O_2)、及視情況低表面張力液體(諸如乙醇)及 DI 水可優先地在催化劑(諸如 Ag、Au、Pd、Pt、Cu、W、Ru、TiN、 RuO_2 、 IrO_2 、石墨烯、等等)之位置處蝕刻半導體基板。若需要，則亦可使用無水蝕刻劑。

微影術技術(諸如光微影術、電子束微影術、雙圖案化、四圖案化、奈米壓印微影術等等)可用於界定催化劑特徵。將具有催化劑網目之所得基板置放於 **MSP-CICE** 工具中且精確地蝕刻至藉由電場、熱致動器及光學成像系統主動控制的某一深度，該等光學成像系統可基於在蝕刻期間的電氣及光學性質判定蝕刻深度。

【0072】 諸如 **IV**、**II-VI**、**III-V**、合金及異質接面材料的可用超晶格蝕刻來蝕刻的其他半導體為 **Ge**、**Si_xGe_{1-x}**、**GaN**、**InP**、**GaAs**、**InAs**、**GaP**、**InGaS**、**InGaP**、**SiC**、及類似物。其亦可包括在材料設計空間中但本文出於諸如材料及沉積之高成本、缺少可商購的沉積及表徵方法等等的各種原因而不做進一步論述。可使用含有矽的 **SiSE** 製程之各種實施例。利用 **SiSE** 製程的可靠及大面積晶圓規模蝕刻當前在傳統技術中是不存在的。各種實施例應併入賦能此效果的各種技術。

【0073】 矽超晶格蝕刻(**SiSE**)使用催化劑來蝕刻半導體基板，而同時產生具有交替層之超晶格，其中該等層之至少一者為多孔的。交替層係藉由電場參數調變及/或蝕刻穿過具有交替摻雜特性之層來形成。第 2 圖說明根據本發明技術之一或多個實施例的 **SiSE** 製程控制 200。如第 2 圖所說明，圖案化操作 210 可在矽基板上產生圖案化催化劑。根據各種實施例，可使用塊體基板(如 212 中所說明)或可使用具有交替摻雜層之基板(如 214 中所說明)。塊體基板或具有交替摻雜層之基板可在載入操作

230 中載入矽超晶格蝕刻工具中。SiSE 製程 240 可經精確控制以產生高縱橫比奈米結構 250。根據各種實施例，高縱橫比奈米結構 250 可具有 4:1、5:1、或更大的高度與臨界尺寸(例如，用於奈米線的基底及頂部之直徑的平均值)之比率。

【0074】 各種反饋參數 260 可直接量測或自直接量測值估計得出。該等參數可包括但不限於蝕刻劑效能參數(例如，濃度、體積、流率、雷諾數、折射率等等)，電場參數(電流、電壓、電阻、電容等等)，整個晶圓之光學變化(例如，反射率、強度等等)，周圍環境參數(例如，溫度、壓力、惰性氣體流率、蒸汽壓等等)，及/或其他參數。該等參數可用於產生反饋信號，其可結合輸入蝕刻控制信號使用來控制各種系統參數(例如，流率、蝕刻劑亂流、溫度、壓力、濃度、照射、電場參數，諸如電流、電壓、電阻、電容、頻率、工作循環、振幅、波形類型、電極之間的距離及類似物)。

【0075】 在藉由圖案化催化劑連同經調變電場蝕刻的塊體矽(如 212 中所說明)的情況下，交替層在多孔性方面有所不同。諸如隨時間的電流密度及照射密度的調變輸入參數可產生多孔半導體多層。電流密度可經調變以使得對於 P 型矽基板而言，正電流密度在催化劑沉入矽中時引起多孔性，且零或負電流密度得到僅利用催化劑蝕刻的結晶層，如第 2 圖所示。此相較於其中在不存在催化劑的情況下僅使用經調變電場的製程而言為獨特的，因為此種

情況在交替層之一的多孔性為極低時無法產生交替層。此種多層堆疊之一些實施例可包括一組具有小於 20% 之多孔性的交替層及包含具有大於 30% 之多孔性的層的另一組。

【0076】 在具有交替高及低摻雜濃度之磊晶層以每層亞微米厚度沉積時(例如，如 214 中所說明)，兩個層之整個界面的濃度梯度歸因於在高沉積速率下沉積製程之限制以及歸因於跨於界面的摻雜劑之擴散而為淺的。此得到堆疊之整個厚度的摻雜之非突然變化，諸如整個界面之淺的梯度。利用 SiSE，將蝕刻調諧來確保在特定摻雜濃度下自多孔至非多孔的形態學變化，進而使淺的摻雜濃度梯度變化為多孔/非多孔界面之突變階梯函數。

【0077】 隨著 SiSE 進程，催化劑網目蝕刻半導體材料堆疊以顯露高縱橫比特徵，其具有用於 3D NAND 通道及字線分離的孔洞及狹縫，及用於奈米片 FET 之鰭片及溝槽。SiSE 可藉由使用蝕刻停止層及/或定時蝕刻來停止。蝕刻劑組合物以及在製程期間的孔洞產生得到具有基於其材料及摻雜濃度的不同形態學之交替層。此外，形態學變化所處的確切時間可藉由量測整個磊晶層的電氣參數，諸如電阻、電壓、電流、電容、及類似物來偵測。此資訊可隨後用於精確地調變整個堆疊之電流。

【0078】 第 3A 圖 - 第 3B 圖展示根據本發明技術之一或多個實施例的在基板上進行 SiSE 之後的多孔層與非多孔層之間的陡峭界面，該基板具有磊晶矽之交替層，該

等交替層具有不同的摻雜濃度。在第 3 A 圖中，可看見多孔膜 320 之層 A 與非多孔膜 330 之層 B 之間的界面 310。在第 3 B 圖中，可看見具有多孔區段及非多孔區段的若干崩塌壁 340。

用於 CICE 的催化劑材料之 CMOS 相容性

【0079】 CICE 製程之各種實施例可使用圖案化催化劑，其在蝕刻進程時沉入基板中，留下非圖案化區域作為高縱橫比奈米結構。對於諸如在電晶體及記憶體裝置中的半導體應用而言，催化劑材料應為 CMOS 可相容的以賦能藉由行業採用來防止矽中之深層缺陷。諸如 Au、Ag、Pt、Cu、Pd、W、Ni、Ru、石墨烯、TiN、RuO₂ 的材料可用作 SiSE 催化劑。在諸如 Au 及 Cu 之金屬於高溫下處理時出現深層缺陷。因為 SiSE 為室溫至低溫製程，所以此種缺陷之效應可為最小。另外，可使用諸如 Pt、Pd、Ru、TiN 等等的 CMOS 可相容催化劑。

【0080】 第 4 圖展示根據本發明技術之一或多個實施例的利用金及鉑催化劑產生且將奈米結構之底部處的催化劑網目之影像放大的矽奈米線之 SEM 橫斷面。對於如鉑的 CMOS 可相容催化劑(第 4 圖)，沉積及圖案化必須具有高產率。鉑可使用以 Cl₂ 之電漿蝕刻來蝕刻以形成 PtCl₂。在高於 210℃ 的溫度下，PtCl₂ 為揮發性的，且因此可用作在沉積及微影術之後蝕刻金屬之有效方法。類似的蝕刻方法可用於鈮。另一沉積方法係在微影術之後經由電沉積進行，其中金屬係僅沉積在基板的未藉由抗蝕劑

覆蓋的區域中。替代地，金屬係諸如藉由電子束沉積而沉積在微影區域及基板之頂部上，但僅與基板接觸的區域係藉由 M A C E 蝕刻而無需提離。

【0081】 為防止催化劑網目之漂移並達成蝕刻劑溶液之可靠輸送：電場、具有連接鏈桿之墊材(ceiling)及/或連續圖案可用於各種實施例。可藉由緩和技術防止所得高縱橫比特徵崩塌，該等緩和技術諸如使用低表面張力梯度、超臨界乾燥及連接特徵。亦可藉由使用在催化劑及基板兩者的所要特徵之間包含連接鏈桿的圖案化技術，及在 S i S E 製程之後藉由使用受控沉積或蝕刻以將高縱橫比鏈接的特徵轉化成所要裝置結構來防止漂移及崩塌。

【0082】 在斷開特徵之高縱橫比蝕刻期間產生的問題在於崩塌。此對裝置之產率為極其有害的。各種實施例藉由產生具有 10 nm 以下的輔助特徵之互連奈米結構來解決此問題，該等特徵可防止崩塌且在蝕刻期間及蝕刻之後為結構提供穩定性。例如，在第 5 A 圖 - 第 5 B 圖中，展示用於 3 D N A N D 快閃之催化劑設計。在 S i S E 之後，所得結構可為具有 40 nm 以下的特徵大小的 > 20 微米的高度。

【0083】 第 5 A 圖展示根據本發明技術之一或多個實施例的催化劑材料以及半導體結構中之連接鏈桿 510 可如何用於同時連接各種分離催化劑 520 及高縱橫比 (H A R) 奈米結構 540。第 5 B 圖提供根據本發明技術之一或多個實施例的說明斷開區域 530 及連接區域 540 的

頂視圖，該等斷開區域表示催化劑特徵之幾何形狀，且該等連接區域界定在 SiSE 之後保持的高縱橫比結構。根據各種實施例，分離催化劑部分可使用一圖案來連接，該圖案可自用於使用鏈桿連接分離特徵的演算法產生以確保 HAR 奈米結構保持豎立，且亦幫助防止催化劑網目之漂移並產生用於蝕刻劑反應物及產物之擴散的路徑以確保均勻及受控的蝕刻速率。(第 5A 圖)因為催化劑特徵為斷開的，所漂移會發生，但可在一些實施例中使用電場來防止。獨立式特徵經連接以藉由扶壁支撐高縱橫比線來防止崩塌(第 5B 圖)。

【0084】 根據各種實施例，連接鏈桿產生可藉由界定催化劑材料或半導體之節點來進行，該催化劑材料或半導體將以理想的所欲設計來分離。鏈桿可隨後產生來確保藉由 CICE 蝕刻的結構為機械穩定的。鏈桿亦可經最佳化以確保催化劑不在 CICE 期間漂移。在催化劑之設計中針對此種製程偏差的最佳化可使用諸如基於圖形理論及遞歸式除法的標準演算法來進行。

【0085】 催化劑可包括以下一或多者：a)微影鏈桿以防止漂移-該等特徵在蝕刻結構中產生間隙，該等間隙可使用諸如原子層沉積、化學氣相沉積、電鍍等等的各種沉積製程用材料填充；及/或 b)微影間隙以防止蝕刻結構之崩塌-該等特徵在蝕刻結構中產生穩定鏈桿。基於設計要求，該等鏈桿可使用微影術及蝕刻、選擇性氧化、選擇性

氧化及蝕刻等等來移除。此可按需要在其他區域中在穩定材料之沉積之後進行。

【0086】 若催化劑網目包含微影鏈桿及間隙兩者，則產生經鏈接結構。具有甚至較小鏈桿連接的 30 nm 以下的特徵之製造極具挑戰。諸如電子束微影術之圖案化方法可寫入 10 nm 以下的特徵，但遭受大的覆蓋率，而光微影術具有優越的覆蓋率但不良的解析度。光微影術及壓印微影術（其模板係利用電子束微影術製得）可用以得到可隨後製成奈米壓印模板的最終經鏈接結構。此種圖案之實例係在 3D NAND 及電晶體裝置部分中描述。

【0087】 除使用用於催化劑的分離或經鏈接結構之外，可藉由各種實施例使用的擴展最大縱橫比之另一方法係藉由使用墊材。使用墊材的崩塌預防可藉由用電漿蝕刻或 SiSE 蝕刻特徵至短的、穩定高度；沉積墊材，及持續 SiSE 製程來進行。「墊材」亦可處於沿短支柱之長度的高度處，諸如處於 $L/2$ 處，其中 L 為短穩定支柱之高度。此舉在特徵經進一步蝕刻時得到另外的支撐，且擴展最大縱橫比至大於在墊材處於短支柱之頂部上的情況下之彼者。此舉向高縱橫比支柱給予結構穩定性且防止崩塌。

【0088】 墊材可藉由傾斜沉積；聚合物填充，深蝕刻及墊材沉積；或諸如旋塗之方法沉積。可用於墊材的材料包括不與 CICE 蝕刻劑反應的聚合物、濺射/沉積半導體、金屬及氧化物。對於 Si CICE 蝕刻劑，可使用諸如 Cr、 Cr_2O_3 、碳、矽、 Al_2O_3 、聚合物等等的材料。在一些

實施例中，墊材亦可藉由另外的低解析度微影術步驟或藉由向墊材材料誘導多孔性之反應來製成多孔的。一旦基板經蝕刻且使用液體或蒸汽化學蝕刻移除催化劑，藉由如原子層沉積之方法沉積記憶體膜或介電質填料可在移除多孔墊材之前進行。墊材材料亦可經調諧成對原子層沉積 (Atomic Layer Deposition; ALD) 為非選擇性的，進而防止孔隙閉合併阻斷沉積路徑。在填充特徵之後，將墊材蝕刻或拋光。ALD 亦可用於在蝕刻之後封閉出高縱橫比形狀以產生深的孔洞而不使用分離催化劑。

蝕刻工具

【0089】 本發明技術之各種實施例提供獨特的、高逼真奈米規模製造系統(多標度精確 CICE 或 MSP-CICE)，其可達成在半導材料中對高縱橫比奈米結構之晶圓規模蝕刻，其具有諸如以下各項之特徵：1)用於精確製程監測及控制的在蝕刻進程時的高速(即時)、高空間解析度功能或幾何計量學；及/或 2)賦能基於即時計量學及基於獨立可定址致動器之陣列的對 CICE 製程之多標度精確控制的系統，該等多標度精確控制可局部地控制蝕刻製程以允許具有多樣陣列之裝置的受控製造。

【0090】 第 6A 圖 - 第 6E 圖說明根據本發明技術之一或多個實施例的用於 CICE 之製程腔室配置。第 6A 圖展示具有噴墨件 605、蝕刻劑循環系統 610、前側電極 615、電場電源 (supply) 620、聚合物壁 625、及背部電極接點及熱致動器 630 的系統。在第 6A 圖中所說明的實施

例中，矽晶圓 635 可定位在前側電極 615 與背側電極 630 之間以允許電場控制。第 6B 圖說明使用晶圓卡盤 640 的用於 CICE 之電場配置的一些實施例。第 6C 圖展示用於利用局部電氣及熱致動器之背側接點，及在本發明技術之一些實施例中可使用的用於另外熱控制之微鏡陣列進行蝕刻劑之散裝遞送的設置。第 6D 圖展示用於利用前側電極針 645、局部電氣及熱致動器之背側接點、在本發明技術之一些實施例中可使用的用於另外熱控制之微鏡陣列進行蝕刻劑之散裝遞送的設置。第 6E 圖說明在基板之背部上具有熱卡盤及嵌入式電極及熱致動器 650 之設置。

【0091】 在第 6A 圖及第 6B 圖中說明的實施例使用與局部頂部電極 615 及背側電極接點 630 耦接的噴墨件 605 以提供對蝕刻劑濃度及電場之局部控制。用於蝕刻的不同區域可在晶圓之頂面上使用聚合物壁 625 彼此分離，該等聚合物壁係使用低解析度微影術來圖案化。在一個實施例中，壁可由諸如氮化矽、氧化鋁、非晶形碳、矽或鉻之不同耐蝕刻劑材料製成。在第 6A 圖中，背側電極 630 包括電及熱致動器兩者，且電接點係使用諸如金屬、矽、碳化矽等等的導電物質製得，該等導電物質可或可不摻雜來改良電導。在第 6B 圖中，背側電接點 630 係使用局部地含在晶圓 635 與卡盤 640 之間的電解質製得。電解質可與蝕刻劑一樣或為不同的導電液，諸如為 CMOS 可相容的稀酸、鹼或鹽。在第 6A 圖及第 6B 圖兩者中，背

側電極 630 亦可包括整合至電極自身(第 6A 圖)或卡盤(第 6B 圖)中的溫度控制。

【0092】 在第 6C 圖中所說明的實施例中，背側電極接點 630 及卡盤 640 係類似於第 6B 圖中之配置。另一方面，蝕刻劑係使用進口整體地分配在晶圓上，且可使用出口循環以用於流量控制。可選擴散器(未展示)可用以確保蝕刻劑在晶圓上的均勻分佈。蝕刻劑之不同組分可在單獨的混合腔室中混合或藉由流動穿過進口及擴散器來動態地混合。電極 615 可由金屬網、摻雜矽晶圓、ITO (氧化銦錫)或其他的此種材料製成且可用諸如聚合物、PTFE、氧化鋁、及類似物的耐蝕刻劑材料塗佈，且塗佈材料可經摻雜以改良導電性。局部加熱可在晶圓之任一側上藉由晶圓之頂側上的微鏡陣列或藉由卡盤 640 中的嵌入式熱致動器來實施。

【0093】 在第 6D 圖中所說明的實施例中，晶圓 635 可面向該設置之頂部或底部。卡盤 640 可用於使用電極及電解質產生電場。電解質可為極薄的膜，進而賦能經由卡盤 640 中之嵌入式致動器的局部溫度控制。替代地，可使用微鏡。可選擴散器(未在第 6D 圖中展示)可用於均勻地分佈蝕刻劑及使用嵌入式光纖進行光學計量。局部電場控制可經由尖銳電極尖端 645 或藉由卡盤 640 中之嵌入式電極產生。

【0094】 第 6E 圖展示其中晶圓 635 面向設置之基底的實施例。基底包含處於低溫下的電極及蝕刻劑。晶圓可

使用包含電氣及熱致動器的頭部卡盤保持倒置。電解質之薄膜亦可存在於用於較好電氣接觸的頭部卡盤中。晶圓可使用頭部卡盤自旋，且溢流腔室可用於輸送過量蝕刻劑同時使晶圓自旋。可選擴散器(未在圖式中展示)可用於基底中以賦能蝕刻劑之均勻分佈。擴散器亦可包括用於計量學之光纜。

【0095】 CICE 可使用蝕刻劑遞送之各種方法結合催化劑及電、磁性、溫度致動器、及類似物來執行以用於不同的應用，諸如：電化學蝕刻、無電化學蝕刻、催化劑影響的蒸汽蝕刻、催化劑影響的電漿蝕刻、「數位」層電化學/無電化學蝕刻(例如，交替地脈衝 H_2O_2 蒸汽及 HF 蒸汽，交替地脈衝 H_2O_2 液體及 HF 液體，交替地脈衝 H_2O_2 蒸汽及 HF 液體，交替地脈衝 H_2O_2 蒸汽及 HF 液體，交替的 H_2O_2 、電漿及氟化物離子流量/壓力以用於交替多孔性，使用較強的氧化劑用於多孔層及使用較弱的氧化劑用於非多孔層等等)、磁場電化學/無電化學蝕刻、基於凝膠的蝕刻(例如，藉由添加厚的聚合物質且促成晶圓之頂部/底部上的局部接觸以用於局部熱控制及電場控制或使凝膠稠度隨溫度變化)、及類似物。

【0096】 在一些實施例中，在 CICE 製程之前，蝕刻劑化學品在催化劑圖案化基板上之潤濕性質可經改質以使其更為疏水性或親水性的。此有助於藉由確保蝕刻之起始於基板之所有位置中同時開始來改良蝕刻製程之均勻性。使基板暴露於蒸汽 HF 、食人魚蝕刻液(不同比率的

硫酸及過氧化氫)、緩衝的氧化物蝕刻液、氫氟酸等等；用 DI 水、異丙醇、丙酮等等將其清洗，且隨後使其乾燥以防止水汙跡會改良蝕刻劑在基板上之潤濕。

【0097】 在完成 CICE 製程之後，基板可在 DI 水、異丙醇、丙酮等等中清洗以確保蝕刻劑自基板完全移除，進而避免任何局部地非必要蝕刻。清洗站可與製程腔室相同，其中晶圓在蝕刻劑之移除之後與 DI 水齊平。其亦可包含自旋系統以在清洗之後乾燥晶圓。替代地，晶圓可在 CICE 製程之後使用自動化操縱移動至單獨的清洗及乾燥站。

【0098】 第 7A 圖說明具有使用 Z 方向運動致動器 710 進行自動化操縱之 MSP-CICE 製程腔室 700 之實施例的橫斷面。Z 方向運動致動器可包含頭部組件中的語音線圈、基底組件中的軸承 715、及致動器系統中的順應件以確保良好密封之產生以便使用用於檢漏的感測器 720 防止洩漏。此 Z 方向運動致動器係用於將頭部組件 725 朝向基底組件 730 下降。Z 方向運動致動器可使用運動感測器、力感測器、或其組合控制以確保頭部組件、晶圓、及基底組件可經組裝以形成頭部組件中之電解質及基底組件中之蝕刻劑所需要的適當密封。在此實施例中，Si 晶圓基板 735 面向基底。

【0099】 基底包含基電極 740、基電極之電源 745、密封環 750，該等密封環可為 O 形環(圓形橫斷面聚合物環)或矩形橫斷面環，其係由用於自電極及 Si 晶圓密封蝕

刻劑的耐蝕刻劑材料製得，該等耐蝕刻劑材料諸如含氟聚合物、 Al_2O_3 、 SiC 、鐵氟龍塗佈材料等等。基底亦包含進口 755 及出口 760 以用於蝕刻劑流動及循環，及擴散器 765，其可包含用於蝕刻製程之現場光學感測的光纖。基底亦可包含溢流腔室（未在圖式中描繪）以確保在 Si 晶圓之載入之前蝕刻劑填充至邊緣。頭部組件包含銷卡盤區 770、電解質區 785 及電源 795。銷卡盤區係連接至一或多個真空埠 775。

【0100】 熱致動器 780 可嵌入銷卡盤區後方。使用包含諸如熱敏電阻及散熱器的比例積分控制熱電加熱/冷卻元件之熱致動器的實施例係以引用方式併入本文中。（Ajay, P. 等人，2016. Multifield sub-5 nm overlay in imprint lithography. Journal of vacuum science and technology. B, Nanotechnology & microelectronics: materials, processing, measurement, & phenomena: JVST B, 34(6), p.061605。）用於進口及出口兩者的電解質埠 790 係用於將電解質泵入至一或多個電解質區中且將其在蝕刻期間密封。此可賦能一配置，其中頭部組件連同 Si 晶圓可自旋同時基底保持固定。電解質可不同於蝕刻劑，諸如具有足夠導電性的稀酸、鹼及鹽以利用基電極跨於 Si 晶圓產生電場。示範性電解質包含稀硫酸。

【0101】 第 7B 圖展示頭部卡盤之實施例的橫斷面圖及頂視圖。銷卡盤區 770 係用於固持 Si 晶圓 735，且電解質區 785 係用於在 Si 晶圓與電解質之間產生接觸。液體電解質係用於此實施例來產生與 Si 晶圓的可靠歐姆接觸。在其他實施例中，可使用金屬或 SiC 墊替代「電解質區」中之液體電解質。銷卡盤及電解質區係使用機械加工至卡盤中的密封元件 771 彼此分離。在電解質區之邊緣處的局部電場邊界在 Si 晶圓之背部為離散的。然而，歸因於 Si 晶圓之厚度及其電子性質，不同電解質區之間的電場線可在 Si 晶圓之前部處合併。

【0102】 可進行電磁模擬來判定電解質區及銷卡盤區之最佳置放以用於有效局部及整體電場控制及邊緣均勻性。在一個實施例中，密封元件為 1 mm 寬且銷卡盤及電解質區為同心的，各自具有 9 mm 之寬度，以在中部的圓形區域結束，如第 7B 圖所示。真空埠 775 可使用氣動元件來確保銷卡盤區處於真空，且晶圓經固持抵靠銷 772。電解質流動埠 790 係用於在 Si 晶圓藉由卡盤固持之後流入電解質。離散的熱致動器 780 可整合在 Si 晶圓之銷卡盤區域後方以促進局部溫度控制。在一個實施例中，頭部組件包含用氧化鋁材料製得的銷卡盤元件。

【0103】 在第 7 圖中，自動化操縱可藉由以頭部與基底之間的分離開始來達成。基底為固定的且用蝕刻劑填充至邊緣，且此可藉由使用溢流腔室及蝕刻劑位準監測器確保。基底中之蝕刻劑可使用進口及出口閥再循環。機器人

臂係用於將 Si 晶圓載入至頭部卡盤上以待蝕刻的表面面向基底。在一個實施例中，機器人臂在邊緣處接觸 Si 晶圓之前部（僅在晶圓之邊緣處為約 1 - 2 mm 區的排除區中，其中不存在所製造的功能裝置）且將晶圓之背部對準至頭部卡盤之外密封環，隨後頭部卡盤將 Si 晶圓使用銷卡盤區中之真空固持。在替代實施例中，頭部卡盤可包括圍繞晶圓之邊緣的「指部」，其向外突出且在面向基底固持晶圓的機器人臂將晶圓帶至頭部卡盤下方之後固持在晶圓之邊緣上。指部固持在晶圓之邊緣上且隨後將晶圓朝向頭部卡盤中之銷拉動。真空區隨後固持在晶圓上，可使用卡盤真空管線中之真空感測器偵測該真空區。指部隨後縮回至頭部中遠離晶圓之邊緣。

【0104】 一旦產生密封，即將電解質泵送至一或多個電解質區中。此部分可為薄的以確保需要泵入的為低體積電解質。頭部組件連同 Si 晶圓隨後使用 Z 方向運動致動器朝向基底下降。為確保與基底中的蝕刻劑平滑接觸且最小化在蝕刻劑 - 晶圓界面處的氣泡形成，將頭部組件在令其下降時使用 Z 方向運動致動器中之諸如語音線圈的元件稍微傾斜。一旦其在一端與蝕刻劑接觸，即將頭部組件後傾至水平配置。此確保在晶圓及基底之界面處不存在氣泡之俘獲。基底中之可選軸承隨後將組件夾持在一起且使用力感測器檢查在基底與 Si 晶圓之間是否已產生足夠密封。

【0105】 替代地，任何過量的蝕刻劑可在晶圓之邊緣附近流動至溢流腔室中。用於洩漏測試的感測器隨後確保晶圓備用於處理。CICE 可藉由跨於晶圓開始施加電場來執行。在需要諸如 H_2O_2 之氧化劑的製程中，可在晶圓經夾持之後將氧化劑泵送至基底處的蝕刻劑中以確保任何初始接觸不會過早地使蝕刻開始。在替代實施例中，基底中的蝕刻劑之體積稍微小於接觸 Si 晶圓之前部所需要的量。一旦頭部組件完成其朝向基底之 Z 方向運動，即添加少量蝕刻劑至基底腔室以使蝕刻劑與 Si 晶圓接觸。為防止氣泡影響蝕刻，可將頭部傾斜稍微以使氣泡逸出且隨後返回水平位置，進而產生用於 CICE 之均勻蝕刻劑-晶圓界面。

【0106】 在第 7 圖中之 CICE 製程之後的晶圓卸載亦可以自動化方式操縱。一旦 CICE 製程完成，將包括晶圓之頭部組件與基底分離。隨後將晶圓之蝕刻側清洗以移除表面上之任何蝕刻劑。此可藉由自旋頭部並噴射 DI 水來進行，其中清洗系統係移動至頭部下方及基底上方的區域中。清洗系統包含排放口、用於 DI 水之噴射器及供加熱空氣或氮氣乾燥蝕刻表面之來源。一旦 Si 晶圓之前表面經清潔，即將頭部中的電解質排放且將晶圓面朝下在清洗站上置放成邊緣接觸。晶圓之背部隨後以類似方式清洗並乾燥。機器人臂隨後將 Si 晶圓卸載且使清洗系統遠離頭部及基底之中部移動。在替代實施例中，頭部可側向地移動且將 Si 晶圓置放於單獨的清洗站上。

【0107】 使用 CICE 的半導體塊體或超晶格奈米結構之晶圓規模蝕刻可使用各種參數之監測及控制，該等各種參數諸如蝕刻深度變化、交替層之多孔性、高縱橫比奈米結構之穩定性、蝕刻液之各向異性、晶圓邊緣效應、電場均勻性、照射均勻性等等。此可賦能在 SiSE 期間逐層地監測蝕刻參數。此可使用圖案幾何形狀之局部控制且跨於堆疊之電流及電壓量測以判定所蝕刻之層數等等以在整個晶圓上達到高精確位準。

【0108】 另外，用於周邊電路系統及非 3D NAND 陣列電路的晶圓之區域必須受保護免於 SiSE 製程。此可藉由遮蔽非陣列區域來進行。該等特徵之邊緣附近的蝕刻變化可使用致動器來調節。

【0109】 蝕刻劑在其蝕刻至深度 > 10 微米 ($A.R > 250$) 時穿過 40 nm 以下的孔洞之流動係藉由電場及藉由交替多孔層之產生來賦能。多孔層增強側向蝕刻劑流動且調節蝕刻均勻性。根據各種實施例，加強蝕刻劑流動的另一方式係藉由使用連接鏈桿圖案來連接孔洞。

【0110】 蝕刻速率可歸因於蝕刻劑在蝕刻進程時之較慢擴散而減少，此係歸因於縱橫比之增加。此種變化可經由跨於堆疊的電氣性質變化來偵測，因為超晶格之每一蝕刻層可產生諸如跨於電極的電流或電壓或堆疊之電阻的電氣性質之步進變化。為防止在擴散方面的此種減少，一些實施例利用交替多孔層來確保存在供蝕刻劑達到蝕刻前部，亦即，催化劑位置的多個路徑。在一些實施例中，

在 CICE 製程期間使基板自旋可以最佳化速度進行來改良自晶圓之中心至邊緣的蝕刻劑濃度之均勻性。

【0111】 催化劑之漂移主要係歸因於催化劑下方的孔洞濃度之不平衡。為防止催化劑之漂移且確保蝕刻液之垂直各向異性，可施加電場來將孔洞之擴散朝向晶圓之底部引導。電場需要隨 SiSE 進程的變化，其係歸因於跨於電極的電阻率之變化與待蝕刻的交替摻雜層之數量的變化。藉由使用電流控制電源電路，電壓之變化可得以補償。

【0112】 SiSE 工具系統之各種實施例賦能基於即時計量學及基於獨立可定址致動器之陣列的對 SiSE 製程之多標度精確控制，該等多標度精確控制可局部地控制蝕刻製程以允許具有多樣幾何形狀及多層之裝置的受控製造。如基板材料之電阻率及摻雜、所需要的幾何形狀及縱橫比、蝕刻劑比率、電場、製程腔室之溫度及照射的參數可經修改以控制蝕刻。一旦 SiSE 製程如藉由進線計量學所偵測完成，即必須沖洗掉機器中的溶液且以用於催化劑之濕蝕刻劑替換。接著，因為高縱橫比奈米結構可在裝置正受乾燥時歸因於毛細管力而崩塌，所以描述了使用有效及高度受控流體交換聯用先進的乾燥技術及新穎的網目構架及/或墊材來防止圖案崩塌。

【0113】 進線電氣計量學及電化學蝕刻停止物可用於各種實施例。例如，電偏壓在施加於半導體基板時可即時地控制蝕刻分佈。歸因於在催化劑下方產生的過量孔洞之遷移的過度蝕刻可藉由外部電場控制。晶圓之背側上的負

偏壓將吸引過量的孔洞且防止 Si 中的不需要的孔隙。包括高速脈衝及週期反向波形的大範圍電流、偏壓及極性設定將即時地控制跨於晶圓之電場。諸如電流、電壓、電阻、電容、波形頻率、工作循環、振幅、電極之間的距離等等的電場參數係用於偵測蝕刻狀態之變化以及控制交替層之多孔性同時防止催化劑之漂移。

【0114】 在蝕刻進程時跨於基板之電流和電壓的量測可用於判定在 3D NAND 快閃製程中蝕刻的交替層之數量。此外，形態學變化所處的確切時間可藉由量測跨於磊晶層的電氣參數，諸如電阻、電壓、電流、電容等等來偵測。此資訊可隨後用於精確地調變跨於堆疊之電流。

【0115】 電場可用於在 CICE 製程期間達成各種功能，諸如用於製造交替多孔/非多孔層，防止催化劑在蝕刻期間漂移，維持跨於晶圓之均勻性並偵測在晶粒中的蝕刻深度變化、晶粒至晶粒變化、及中心至邊緣變化。跨於基板局部地及整體地施加電場需要設計工具及製程來確保與不同 CMOS 處理儀器及約束條件的相容性，該等約束條件諸如前部及背部接觸、邊緣寬度接觸、背部電接點材料等等。此設計之一些實施例係展示在第 6A 圖 - 第 6E 圖中。

【0116】 為執行多個功能，可跨於晶圓施加多於一個電場，諸如：1) 跨於晶圓的 DC 電壓以防止催化劑之漂移；2) 具有某一波形、頻率、波長及工作循環的交變電場以產生交替多孔/非多孔層；3) 經由在不影響正在蝕刻

的基板之多孔性的頻率及電壓下的脈衝電場偵測自中心至邊緣的蝕刻局部變化；及 / 或 4) 藉由量測每一局部電極中的電流、電壓、電阻、電容等等進行的蝕刻深度監測。

【0117】 除電場之外，溫度亦可影響 CICE 蝕刻速率。例如，在文獻中已證明 CICE 之蝕刻速率取決於蝕刻劑之溫度，且在 0℃ 附近指數地下降。(參考：Backes, A. 等人，2016. Temperature Dependent Pore Formation in Metal Assisted Chemical Etching of Silicon. ECS Journal of Solid State Science and Technology, 5(12)，第 653-656 頁係據此以全文引用方式併入本文以達所有目的。) 各種實施例藉由使用諸如液氮及乾冰之冷卻劑維持整體蝕刻劑溫度接近零度來局部地控制蝕刻溫度，及局部地修改基板之溫度來利用此性質。此可使用在晶圓附近的可局部地加熱溶液的熱卡盤、微鏡或電極來進行。替代地，蝕刻劑溫度可藉由使用用於每一晶粒的個別孔來局部地控制，該等孔係利用有限及溫度受控的蝕刻劑體積填充且泵送而出或循環。在一些實施例中，溫度可跨於晶圓使用熱感攝影機、熱電偶、及類似物精確地對映。

【0118】 光學成像系統將用於即時地量測大樣本區域上的反射率。樣本將由具有已知光譜含量之光照射。光可為白光、彩色光、單一波長、在窄或寬的光譜帶中等等。攝影機可隨後將反射此光的樣本成像。攝影機可為單色、彩色(RGB)、多光譜、高光譜等等。在現代攝影機中發

現的多百萬像素解析度使得可能同時地觀察樣本上的數百萬個點。視訊圖框率賦能現場即時量測。每一影像可由參考影像劃分來計算樣本之反射影像或按其原樣使用。影像處理演算法將判定製程完成且採集關於樣本內及樣本與樣本間的 $MSP-CICE$ 之均勻性的資料。在其中 $CICE$ 係用於產生 Si 奈米線 (NW) 的實施例中，可變幾何形狀之 $Si NW$ 之光學性質在白光照射下產生寬光譜色彩。在吾等利用 $CICE$ 之初步實驗中，樣本在 $CICE$ 蝕刻期間展現色彩的深度變化。因為奈米線之間距及直徑保持相對固定，所以觀察到樣本之色彩的變化為奈米線之高度及因此蝕刻深度的有用指示物。色彩之變化可藉由量測樣本之反射率隨光之光譜含量的變化來表徵。

【0119】 交替層之光譜性質亦可用於賦能在蝕刻製程期間對層數量及多孔性之偵測。紅外 (IR) 光譜學可使用類似於在文獻中用於表徵布拉格反射器及 $Rugate$ 濾波器之彼者的計量學來現場判定蝕刻層。在一個實施例中，蝕刻腔室中之擴散板中的光纜可用於併入此種計量學元件。

【0120】 來自晶圓之背側的光之可見光波長無法在 $CICE$ 期間偵測蝕刻深度。可替代地使用紅外 (IR) 光譜學，因為其為蝕刻狀態偵測之快速、非破壞性及現場方法。矽在 IR 波長中為透明的，而諸如 Pt 或 Pd 之催化劑不是。此差異可用於判定在 $CICE$ 製程之任何特定情況下的蝕刻速率及蝕刻深度兩者。

【0121】 蝕刻劑之濃度可使用各種技術量測。例如，在一些實施例中，可使用導電性量測，因為 HF 具有濃度與導電性之間的線性依賴性。在一些實施例中，可使用折射率量測。例如，光學計量系統可用於經由反射型幾何形狀使用與溶液接觸的光學窗量測折射率 (RI)，因此避免混濁、繞射及吸收。

【0122】 為確保跨於晶圓的蝕刻劑濃度均勻性，晶圓可使用晶圓卡盤自旋，其中可藉由將卡盤上的局部電極之自旋陣列連接至固定圖案導體盤來提供。局部電極可使用滑環連接至固定圖案導體盤。與蝕刻劑化學品之相容性可藉由使用鐵氟龍塗層確保。

【0123】 在一些實施例中，「向前發送的」晶圓可用於最佳化蝕刻，且向前發送的晶圓可使用各種現場(線上)及域外(離線)方法檢查。離線計量學包含各種破壞性及非破壞性檢查方法，諸如散射測量、橢圓量測術、光學特徵大小量測、雷射掃描、掃描電子顯微術 (SEM)、原子力顯微術 (AFM)、透射電子顯微術 (TEM)、x 射線繞射 (XRD) 等等。所收集的資料隨後使用影像處理演算法分析來判定缺陷來源及製程偏差。

【0124】 磁場、壓力變化、電磁場、改良均勻性且防止氣泡之黏附的溶劑、晶圓之自旋、邊緣效應、蝕刻劑之噴射、原子化蝕刻劑亦可在必需時包括在 CICE 工具之一些實施例中。

總體工具設計及控制方案

【0125】 一些實施例提供用於半導體基板之高縱橫比蝕刻的晶圓規模系統。用於一些實施例的多標度精確(MSP) CICE 系統可具有模組構架以允許諸如大陣列電極及即時光學成像系統之感測器及致動器的安裝。第 8 A 圖 - 第 8 C 圖說明 MSP-CICE 工具設置之實例、詳細製程腔室佈局之實例、及可用於一或多個實施例的製程流程之實例。非線性最佳製程控制方案可用於一些實施例以達成基於獨立受控電極之大陣列的受控晶圓規模奈米製造。

【0126】 第 8 A 圖展示具有自動化基板、電極及蝕刻單元載入的完整蝕刻工具之橫斷面圖。第 8 B 圖展示製程腔室 815 之一些實施例之詳細橫斷面圖。如第 8 B 圖所說明，蝕刻工具可包括載入塢 805、機器人臂 810、製程腔室 815、頂部電極 820、可調諧光源 825、晶圓卡盤 830、晶圓卡盤固持器 835、攪拌器 840、電源 845、感測器 850、排放管 855、光學計量系統 860、高解析度攝影機 865、底部電極 870、循環設置 880、排氣口 885、及進氣流 890。在所說明的實施例中，製程腔室 815 可包括機器人臂 810，其將晶圓置放於晶圓卡盤 830 上。晶圓卡盤 830 可安置於晶圓卡盤固持器 835 上。晶圓卡盤固持器及晶圓卡盤組件將與底部電極 870 及頂部電極 820 接觸的電解質分離。此確保電場係跨於晶圓施加。製程腔室 815 亦可包括進線光學計量系統 860，其可包括高解析度攝影機 865 及可調諧光源 825。根據各

種實施例，製程腔室 815 亦可包括蝕刻流動系統，其具有進氣流 890、排放管 855、及循環設置 880 用於底部電解質及頂部電解質/蝕刻劑。蝕刻流動系統亦可包括攪拌器 840（例如，磁性攪拌器）。電場可使用第一電極 820 及第二電極 870 以電源 845 跨於晶圓施加。進線計量學可使用嵌入式感測器 850（例如，溫度、電場性質、流體濃度性質等等）進行。排氣口 885 可用於分配煙霧。處理器 890 可使用一或多種演算法來控制處理。

【0127】 在第 8A 圖-第 8B 圖中說明的實施例中，具有圖案化催化劑之晶圓將載入至載入塢 805 中。機器人臂 810 可用於將晶圓轉移至製程腔室 815 中。透明頂部電極 820 可隨後置放於晶圓固持器上方的軌道上。當處理完成時，可移除頂部電極陣列 820 且將晶圓卸載回載入塢 805。建構此工具中的關鍵挑戰在於系統之所有元件為 HF（氫氟酸）相容的。各種實施例意欲藉由用聚合物塗佈與 HF 進行接觸的所有儀器來進行，該等聚合物諸如鐵氟龍 PTFE、環氧樹脂、TPX（或 PMP）、聚丙烯（PP）及 PVDF，其亦與 H_2O_2 相容。TPX 及環氧樹脂為透明的且易於處理。

【0128】 基於應用之要求，晶圓卡盤可為不具有與晶圓之背側接觸的白努利卡盤，或具有 O 形環以含有濕蝕刻劑用以晶圓之前部。流量閥及致動器可用於控制蝕刻劑組分（諸如 HF、 H_2O_2 、乙醇、異丙醇及 DI 水）之相對比率。蝕刻劑可藉由噴墨件局部地分配或藉由流量閥分配在

整個晶圓上。在移除蝕刻液及催化劑網目之後，蝕刻劑將與 DI 水齊平，且可以低表面張力液體替換。排放閥將安全地處置流體或儲存流體以用於後續蝕刻。

【0129】 第 8C 圖描繪晶圓在蝕刻工具中經歷的各種製程之實例。晶圓可使用載入塢 812 載入工具中，該載入塢可包含晶圓之 FOUP（前部開口通用倉）。機器人臂（或其他輸送機構）可將來自載入塢 805 之晶圓輸送至製程腔室 815。製程腔室 815 可包含用於預處理 816、蝕刻 818、後處理 828 及清洗步驟 830 之一或多個腔室。

【0130】 預處理步驟 816 可為提離製程或表面改質步驟，諸如分配食人魚蝕刻液（硫酸及過氧化氫）、蒸汽 HF、稀 HF、緩衝氧化物蝕刻液、乙醇、丙酮、異丙醇、DI 水。預處理步驟亦可使用諸如氧、二氧化碳電漿的氧化電漿或諸如氫、氮電漿的氫化電漿，經由電漿活化來進行。亦可使用氮或氫電漿。

【0131】 蝕刻製程 818 可隨後利用用於現場監測及控制的感測器及致動器在晶圓上進行，諸如：

- 流量控制 824 可包括蝕刻劑濃度量測。根據各種實施例，蝕刻劑之濃度將使用兩個技術量測：a) 導電性量測 - HF 具有在濃度與導電性之間的線性依賴性。b) 折射率量測 - 光學計量系統將經由反射型幾何形狀使用與溶液接觸的光學窗量測折射率 (refractive index; RI)，因此避免混濁、繞射及吸收。

- 局部溫度控制 822：蝕刻速率取決於局部溫度及網目分佈。使用溫度致動器晶圓卡盤，各種實施例可控制局部溫度變化以達製程控制。
- 製程腔室環境控制(未在第8C圖中所說明)：工具將受包封且具有惰性氣體流量。壓力及整體溫度將受監測並控制。電腦介面將促進操作員安全性且將用於使用影像處理來監測蝕刻，且控制溫度及電場。
- 電場 826：電偏壓在施加於半導體基板時可即時地控制蝕刻分佈。歸因於在催化劑下方產生的過量孔洞之遷移的過度蝕刻可藉由外部電場控制。晶圓之背側上的負偏壓將吸引過量的孔洞且防止Si中的不需要的孔隙。儘管蝕刻速率隨電偏壓之增加而減少，但較高溫度可用於保持其足夠高以達高吞吐量。因為MSP-CICE將用於變化晶圓之不同區域上的圖案密度及形狀，所以電極陣列將用於局部地控制並衰減不同圖案上方的電場以確保蝕刻之均勻性。包括高速脈衝及週期反向波形的大範圍電流、偏壓及極性設定將即時地控制跨於晶圓之電場。在玻璃或藍寶石晶圓、摻雜Si晶圓(對IR透明)、鉚網目或光纖上的諸如ITO膜之透明頂部電極可在晶圓上方或下方使用以允許光學量測。底部電極可為用於局部控制之陣列，且模組化設計將經選擇以允許各種底部電極陣列之容易安裝及研究。頂部及底部電極及電解質係使用晶圓卡盤及晶圓卡盤固持器組件彼此分離。串音將使用模擬來最小化。在蝕刻進程時跨於基板的電流及電壓之量測可用於判定

在 3 D N A N D 快閃製程中蝕刻的交替層之數量或例如若基板具有埋置的磊晶層，則作為奈米結構蝕刻的蝕刻停止指示物。

- 進線光學計量學 820：包含 R G B 攝影機、光纖、光譜成像設置之光學成像系統將用於即時地量測大樣本區域上的反射率。影像處理演算法將判定製程完成且採集關於樣本內及樣本與樣本間的 M S P - C I C E 之均勻性的資料。

【0132】 後處理 828 可包括催化劑金屬之蝕刻及基板之清洗及乾燥。為防止高縱橫比蝕刻奈米結構之崩潰，流體轉移可用於賦能晶圓之表面張力梯度(馬蘭哥尼效應)、低表面張力流體轉移或製備以用於轉移至臨界點乾燥工具中。

【0133】 在一個實施例中，基於矽之電阻率及摻雜，以及所需要的幾何形狀及縱橫比，蝕刻劑比率可經調諧來得到所欲結果。製程腔室的諸如電場、溫度及照射之因素亦可經修改來控制蝕刻。一旦 C I C E 製程如藉由進線計量學所偵測完成，即必須沖洗掉機器中的溶液且以用於催化劑之濕蝕刻劑替換。接著，因為高縱橫比奈米線可在裝置正受乾燥時歸因於毛細管力而崩塌，所以使用有效及高度受控流體交換聯用先進的乾燥技術及新穎的網目構架及/或墊材來防止圖案崩塌。

【0134】 一旦 M S P - C I C E 系統已經設計及製造(包括光學成像系統及電氣參數量測)，有必要開發最佳控制技

術來操作 **MSP-CICE** 系統以製造晶圓規模裝置特定的 **VANS**。如先前所論述，重要的是具有在 **3D NAND** 快閃堆疊或用於 **DRAM** 之成形奈米線的不同層上監測蝕刻進程之能力。此需要圖案幾何形狀之局部控制且跨於堆疊之電流及電壓量測以判定所蝕刻之層數等等以在整個晶圓上達到高精確位準。

【0135】 關鍵挑戰在於完整系統之向前模型 - 在完整晶圓上提供控制變數與所感測輸出之間的關係 - 預期為高度非線性的，使得歸因於 **MSP-CICE** 系統之複雜性難以獲得實驗上經廣泛驗證的模型。然而，製程之某些態樣可經由經確立的實體模型來模型化。例如，在各種實施例中，控制變數可包括溫度、化學組成、及電場，其中化學組成之變化可藉助於支配輸送之方程式在分析上模型化。電場及溫度控制可分佈在致動器之大陣列上，該致動器之大陣列由高達數百至數千致動器組成，從而在蝕刻製程上提供局部控制，且其分佈亦可經由實體模型來模型化。

【0136】 然而，建立其對蝕刻製程之影響的模型較不明確。光學成像系統預期提供光譜資訊，其中空間解析度高達 1 mm^2 或更高且波長解析度高達 1 nm 或更好。系統之光學、熱及電氣輸出提供大容量之感測資訊，其可用於使用先前提及的控制變數來自動地控制系統之製程。用於 **MSP-CICE** 系統之自動製程控制可分為兩個相異種類：(i) 製程參數之離線最佳化及調諧以獲得目標輸出，及(ii) 製程參數之即時調整以最小化缺陷並最大化產率。

後者依賴於經充分確立的製程且提供大容量之資料，而前者依賴於在不存在大量資料的情況下對製程參數之最佳化。在下一段落，描述一方案，其賦能製程參數之最佳化以藉助於現場及離線量測來建立針對給定圖案幾何形狀的基線製程。

【0137】 第9圖說明基於學習演算法的控制器900，其可用於在不存在大量資料的情況下執行第一種類之自動製程控制，亦即，藉助於學習演算法判定針對目標輸出的最佳製程參數，該等學習演算法包括演化演算法，諸如基因演算法、神經網路等等。此方案依賴於現場電氣反饋及光學反饋兩者，以及諸如橢圓量測術、CD-SEM等等在向前發送的晶圓上的離線量測。由於此離線部件之存在，利用向前發送的晶圓之每一實驗之循環時間可過長，進而需要實驗數量為低的或每一向前發送的晶圓表示組合集合而非個別實驗。此實施例係進一步描述於基因演算法之上下文中。方案之第一步驟910將界定目標輸出及用於最佳化之相應目標函數。隨後，產生初始的「群體」920。基因演算法依賴於群體中的個體之間的相互作用，其中每一個體為一組控制變數或模型參數925。在一個實施例中，每一群體可為實驗之設計且限於單一晶圓。

【0138】 例如，若每一晶圓由可提供電氣及光學反饋的 $10 \times 10 \text{ mm}^2$ 區組成，則在每一晶圓上可存在 $O(700)$ 個此種區，進而在每一實驗中提供高達700個之群體大小。在另一實施例中，群體大小可保持為較低數量，諸如

20 個，其中在完整晶圓上的每一個別實驗具有 35 個複本。隨後，此群體係用於執行 CICE 製程 930。感測器隨後用於提取在 CICE 之前、期間及之後的關於基板之資訊，如步驟 940 所示。用於此方案的所感測資訊可包括在晶圓上的諸如成像系統以及離線量測（例如，CD-SEM、光學、電氣等等）的兩個進線計量學感測器之輸出（945）。隨後將所感測資訊針對所欲輸出或目標函數來擬合 950。

【0139】 所欲輸出參數包括蝕刻結構之光譜特徵（signature）、諸如在蝕刻製程期間跨於晶圓之電阻及電容的電氣參數、晶圓之一或多個部分的 CD-SEM 及光學影像等等。基於使用所感測資訊計算的目標函數，使用群體相互作用參數產生新一批控制變數（965）。隨後使用新批次執行 CICE 且使用感測器評估結果。若所感測資訊在所欲結果之極限內，則控制變數之調諧完成。若否，則重複控制變數最佳化過程直至可達到晶圓之最終數量（960）。在一個實施例中，基因演算法控制器係有意地設計來接近用於實際製程運作的所要最佳製程參數，其中所要製程效能之最終達成係藉由接下來描述的即時現場製程控制方案 935 來完成。

【0140】 第二種類之自動製程控制依賴於用於即時調整製程參數以達成所要製程效能的資料分析學。諸如半導體製造的當前先進製造廠著重地依賴於該等概念來以高位準之自動化最大化製造產率。若干概念存在於此種類之

自動製程控制中，範圍自運作間控制至預測性維護。此方案隱含的關鍵概念為使用諸如現場光學輸出的高容量之感測資訊來基於試探模型(例如，判定控制變數與所感測變數之間的對映的神經網路)、統計學模型(例如統計學製程控制)，以及達到最佳製程參數的任何實體或試探模型來即時地運作分析學。受益於此種模型的情形之實例為精確地預測控制變數之變化至所感測輸出之相應變化之間的時間延遲的能力。此外，此種技術亦可用於構造虛擬MSP-CICE工具，亦即，不斷地調適實際工具之模擬，該實際工具可為用於實體向前模型之代理者，且可用於按第一種類進行離線製程調諧。此種虛擬工具模型為工具特定的且對待蝕刻的微影圖案為特定的，且其可在一個工具與另一工具之間有所變化，即使其具有相同設計亦如此，因為電氣及熱控制器等等的製造公差可引起不同工具中之相異製程特徵。

【0141】 CICE系統之各種實施例可支援各種基板，諸如，但不限於Si、Ge、 $\text{Si}_x\text{Ge}_{1-x}$ 、GaN、InP、GaAs、InAs、GaP、InGaS、InGaP、SiC等等以及多層半導體。另外，可使用諸如但不限於Ag、Au、Pd、Pt、Cu、Ni、Ti、Al、W、TiN、TaN、 RuO_2 、 IrO_2 、石墨烯、及類似物的各種催化劑。MSP-CICE系統之一些實施例可使用各種圖案化技術，諸如，但不限於電漿蝕刻、化學蒸汽蝕刻、電沉積(選擇性)、及類似物。可用於一些實施例的移除技術包括但不限於化學蒸汽蝕刻、電解蝕刻、及

/或濕式化學蝕刻。一些實施例可使用各種蝕刻劑(例如， HF 、 H_2SO_4 、 HCl 、 H_2O 等等)、氧化劑(例如， H_2O_2 、 V_2O_5 、 KMnO_4 、 O_2 、 HNO_3 、電場等等)、溶劑、添加物(例如， H_2O 、乙醇、IPA、DMSO、聚合物(PVA、PLA 等等)、 H_2SO_4 、等等)、蝕刻劑狀態(例如，液體、蒸汽、固體凝膠、電漿)、及/或催化劑輔助的蝕刻製程(例如，電化學蝕刻、無電化學蝕刻、蒸汽蝕刻、電漿蝕刻、「數位」層電化學/無電化學蝕刻、磁場電化學/無電化學蝕刻、基於凝膠的蝕刻)。另外，可使用各種局部及整體蝕刻監測技術。實例包括但不限於電場(例如，電流、電壓、電容、電感、阻抗、電導等等)、光學計量學(例如，使用攝影機、分光光度計、影像處理等等)、濃度量測(例如，折射率、溶液之電導)、壓力(例如，蒸汽壓)、溫度(例如，使用熱電偶、IR 攝影機等等)。一些實施例可使用基於以下各項的局部及/或整體蝕刻控制：電場(例如，電流、電壓、波形、波長、頻率、工作循環、脈衝電場等等)、光學計量學(例如，照射)、濃度(例如，蝕刻劑濃度、混合及擴散)、及/或溫度(例如使用熱卡盤、微鏡等等)。設置之各種實施例可蝕刻工業標準晶圓或可經歷標準 CMOS 製程之晶圓。一些此種實施例可與蝕刻劑相容。一些實施例亦可提供所有基板及蝕刻部件及化學品之自動化操縱。

【0142】 在一個實施例中，蝕刻劑可呈蒸汽形式。用於基於蒸汽的 CICE 之設備包含：使用熱卡盤對局部溫

度之控制、每一部件之蒸汽壓之監測、及/或以電漿形式施加電場。蒸汽可藉由以下方法促進「數位」層電化學/無電化學蝕刻：1)交替地脈衝 H_2O_2 蒸汽及 HF 蒸汽，2)交替地脈衝 H_2O_2 液體及 HF 液體，3)交替地脈衝 H_2O_2 蒸汽及 HF 蒸汽，4)交替地脈衝 H_2O_2 蒸汽及 HF 蒸汽，5)交替 H_2O_2 、電漿及氟化物離子流動/壓力以達交替多孔性，及/或 6)使用較強氧化劑用於多孔層並使用較弱氧化劑用於非多孔層。

3D NAND 快閃

【0143】藉由當前圖案轉印技術製得的先進記憶體構架之可縮放性係受歸因於高縱橫比電漿蝕刻的非零錐度、側壁破壞及蝕刻遮罩降解的限制。諸如 3D NAND 快閃的非揮發性記憶體構架需要 >64 層交替材料的極高縱橫比蝕刻以增加每單位面積的儲存容量。隨著逐漸增加的層，(1)多層沉積、(2)異向性高縱橫比通道及溝槽蝕刻以及(3)用於界定與每一層之接點的階梯蝕刻的成本及可靠性變成對縮放而言的最大限制因素。各種實施例使用異向性及高選擇性蝕刻技術來提供垂直 3D 記憶體構架及半導體製程整合。

【0144】本發明技術之各種實施例界定新穎的微影術圖案、材料堆疊及製程流程，其併入有各種跨領域技術以得到在記憶體效能及可縮放性方面的改良。3D NAND 快閃製程流程併入有半導體材料堆疊，其可賦能金屬或結晶矽閘極、傾斜的階梯蝕刻、結晶矽通道及低 k 多孔介電質，

同時減少微影術及高縱橫比蝕刻步驟之數量。在一些實施例中，亦揭示達成此目的的晶圓規模多標度精確矽超晶格蝕刻(MSP-SiSE)製造工具。此蝕刻技術之高選擇性及異向性可賦能不定數量之3DNAND快閃層。

【0145】 用於3DNAND快閃之ITRS路徑圖預測記憶體層之數量將在80 nm之半間距下自2016年的48個層穩定增加至2030年的512個層。此需要在交替材料層之高度異向性(約90°)高縱橫比蝕刻的重要開發。當前電漿蝕刻方法涉及昂貴及耗時的交替沉積及蝕刻步驟來確保此異向性及選擇性得以維持。非零電漿蝕刻錐角限制可被可靠達成的階層堆疊之最大數量。此外，歸因於非零錐度，藉由電漿蝕刻所蝕刻的通道限制了可得以可靠縮放的層之數量，因為最底部層具有比微影界定的頂層小得多的臨界尺寸。藉由堆疊多個晶圓(每個晶圓具有64個記憶體層)來克服此限制的暫時解決方法為低效、昂貴的且增加裝置體積。圓形通道及矩形狹縫需要單獨的微影術及蝕刻步驟，因為不同的幾何形狀歸因於縱橫比依賴性蝕刻(ARDE)而無法利用電漿蝕刻同時地及可靠地蝕刻。用於個別層之接點的「階梯」製造需要多個微影術及蝕刻步驟，同時需要設法保存蝕刻遮罩。本發明技術之各種實施例旨在藉由賦能具有高選擇性及異向性的廉價高縱橫比蝕刻來解決彼點，該蝕刻可擴展至3DNAND快閃之未來需求。

【0146】 行業中最流行的構架中的兩個為 BiCS 及 TCAT。兩個構架使用堆疊(多層之板及介電質)、沖孔(在整個多層堆疊中的蝕刻孔)、塞(在蝕刻孔中沉積記憶體膜及支柱電極)之基本概念。隨後執行階梯蝕刻以產生對板中之每一者的接觸。BiCS 使用氧化矽/多晶 Si 堆疊，而 TCAT 使用氧化矽/氮化矽堆疊，其中氮化矽稍後以諸如鎢的用於導電線之較低電阻率材料替換。P-BiCS 為具有較好的較低源極閘極效能的 BiCS 之變體。

【0147】 對於垂直通道以及垂直閘極構架兩者，建議可使用 SiSE 蝕刻的新材料堆疊及製程流程。催化劑圖案係以微影方式界定以使得圓形通道及矩形狹縫兩者可利用高縱橫比異向性蝕刻同時地蝕刻。材料堆疊將由塊體 Si 或如 Si、Ge 的具有不同摻雜劑類型及/或摻雜濃度的半導體材料之交替層製成。CICE 蝕刻將產生針對層選擇性處理具有不同蝕刻速率及氧化速率的層。此應賦能層數量之增加以及半間距之減少，從而產生每晶粒儲存容量之多倍增加。此外，藉由將通道及狹縫微影術與高縱橫比蝕刻步驟兩者組合，應實現每晶圓成本之顯著增益。可選鹼性晶面依賴性蝕刻亦可針對可利用電漿蝕刻轉化為階梯的錐度來進行。

【0148】 一些實施例可針對電荷俘獲(CT)以及浮閘(FG) NAND 快閃記憶體兩者來使用。下選擇閘(LSG)可在交替材料堆疊之沉積之前或之後製造。記憶體材料可為 CT 或 FG。定時蝕刻可用於在用於 3D FG NAND 之

氧化多孔層中產生凹部。通道中之多晶矽及芯部填料沉積可在 C I C E 蝕刻之前(後通道製程)或之後(後介電質製程)進行。在後閘極方法之實施例中，可蝕刻 S i 及 G e 層，且 G e 可在用低 k 介電質填充之前移除。

【0149】 因此最終裝置為具有大於 20 個交替層之導電(或摻雜半導體)及絕緣材料的 3 D N A N D 快閃記憶體，其中垂直閘極或垂直通道為極其垂直的且具有 $>89.5^\circ$ 之角度，其係藉由使用掃描電子顯微鏡(S E M)截取橫斷面影像且隨後使用諸如 I m a g e J 之影像分析軟體來量測。平均錐角係使用大致上保形的直線，使用關鍵特徵之頂部及底部之特徵大小的任何差異之間的線性擬合演算法量測。垂直閘極構架之臨界尺寸可為通道之寬度或通道之間的溝槽之寬度。對於垂直通道實施例，臨界尺寸為通道之直徑或記憶體之區塊之間的溝槽之寬度。因為垂直側壁角度對 C I C E 製程而言大於 89.5° ，諸如圓形通道或矩形狹縫之關鍵特徵之間的中心至中心距離可 20 n m 以下。關鍵特徵之尺寸可使用計量學技術來量測，該等計量學技術諸如 S E M、C D - S E M、透射電子顯微術(T E M)及原子力顯微術(A F M)。圓形通道之佈置可為六邊形以產生更緊湊的 3 D N A N D 單元。

【0150】 第 13 圖中展示利用 S i S E 產生用於垂直通道及垂直閘極構架兩者的 3 D N A N D 陣列的完整製造製程。因為 3 D N A N D 裝置需要導電線及絕緣線之交替層，所以 S i S E 製程係設計來得到材料之交替層，該等交替層在

諸如氧化速率及蝕刻速率的處理參數方面有所不同以賦能經由層材料替換或改質進一步處理。可採取各種路徑來得到如表 1 所述的導電結構及絕緣結構之交替層。路徑 I 及 II 描述得到超晶格所需的初始基板。路徑 I 使用不具有多層沉積之塊體矽晶圓，而路徑 II 使用具有交替摻雜濃度的矽層之堆疊。路徑 A - G 可結合路徑 I 及 II 兩者使用，亦即，利用塊體 Si 或具有不同摻雜濃度的 Si 之交替層。路徑 A 得到包括藉由使用結晶學或傾斜蝕刻產生錐度進行階梯蝕刻之選項，且虛線表示選項中的一些，其中此步驟可在製程流程中執行。路徑 B - G 描述改質或替換藉由 SiSE 製程產生的超晶格以得到最終的 3D NAND 陣列之一些方法。

表 1：基於第 13 圖的用 SiSE 進行 3D NAND 陣列製造的路徑 I 及 II。

路徑	初始層	SiSE 之後的超晶格層
I、A-G	塊體矽基板	多孔 Si/非多孔 Si
II、A、C-G	p++ Si/p Si	
	n++ Si/n Si	
	n++ Si/p Si	
	p++ Si/n Si	
II、A、B	p++ Si/p Si	
	n++ Si/n Si	
	n++ Si/p Si	
	p++ Si/n Si	

【0151】 此交替堆疊蝕刻之主要目的係在不同層（對於雙層堆疊而言為層 A 相對層 B）之間在蝕刻或熱處理（諸如氧化及氮化）方面得到大的差異，且使用此差異來改質堆疊並最終得到絕緣 / 導電多層結構。

【0152】 層之多孔性為蝕刻劑濃度、矽基板之摻雜、及在 SiSE 期間跨於晶圓之電流密度的函數。利用 SiSE 製得的多層多孔矽及非多孔矽之實施例由具有 30% 至 75% 之多孔性的多孔層組成，而非多孔層具有小於 10% 之多孔性。多孔性係藉由橫斷面 SEM 及 TEM 影像量測且使用諸如 ImageJ 之影像處理軟體處理。單層之多孔性亦可使用氣體吸附實驗，諸如藉由使用布厄特 (BET) 理論來量測，其中 CICE 係在塊體基板上利用圖案化催化劑執行且暴露於電流密度以產生厚的多孔矽層，其具有相應於交替層之多孔集合的多孔性參數。

【0153】 第 10A 圖 - 第 10E 圖說明根據本發明技術之一或多個實施例的催化劑網目實例。在第 10A 圖中，說明分離的催化劑奈米圓點 1010 及溝槽 1020。在第 10B 圖中，催化劑奈米圓點 1010 及溝槽 / 狹縫 1020 可藉由線 1030 連接 (頂部圖式) 或藉由控制圓點及溝槽之直徑及對準連接以確保其係如第 10B 圖之底部圖中所說明來連接。在第 10C 圖中，說明交錯的經連接催化劑奈米圓點 1010 及溝槽 / 狹縫 1020。在第 10D 圖中，連接鏈桿 1040 經圖案化成用於 BiCS 型佈局的催化劑特徵，圖中說明稀疏的字線溝槽 / 狹縫 1020。在第 10E 圖中，連接鏈桿 1040 係圖案化成用於 P-BiCS 型佈局的催化劑特徵，圖中說明每 2 列通道之間的字線溝槽 / 狹縫。

【0154】 在另一實施例中，諸如用於 VC 3D NAND 之孔洞或用於 VG 3D NAND 之線的特徵係使用電漿蝕

刻在塊體矽中蝕刻。不具有催化劑的電化學蝕刻係在經蝕刻基板上執行以產生具有高度多孔層及較低多孔性多孔層之矽之交替層，在層之間具有足夠的蝕刻或熱處理選擇性。此產生高縱橫比特徵之多層堆疊，其中層之一者可經氧化或選擇性地替換來產生 3D NAND 裝置。

【0155】 路徑 I-利用催化劑及電化學蝕刻之 SiSE

【0156】 諸如塊體矽晶圓之基板係利用催化劑圖案化且利用含有氟化物物質及(視情況)氧化劑物質的溶液蝕刻。在 SiSE 製程期間，諸如電流密度之電場參數經調變以產生具有不同多孔性的交替層。在一個實施例中，電流密度使用具有一個零值及一個非零值的方波函數調變。此引起「零值」電流密度蝕刻以僅僅利用催化劑蝕刻來進程，而非零值使用催化劑蝕刻以及電場蝕刻之組合來在層中產生多孔性。因此，所得超晶格具有零多孔性及非零多孔性之交替層連同相應於催化劑圖案之倒轉的高縱橫比蝕刻特徵。在另一實施例中，電流密度可使用具有負值及正值的方波函數來調變。此引起「負值」電流密度蝕刻以防止催化劑之漂移，及「正值」電流密度蝕刻以在層中產生多孔性。此路徑不需要昂貴的製程，諸如材料之多個交替層的沉積及蝕刻。

【0157】 路徑 II-利用催化劑蝕刻之 SiSE

【0158】 路徑 II 需要半導體材料之交替層，其在以下性質之至少一者方面有所變化：材料類型、摻雜濃度及摻雜劑材料。該等層係經由磊晶術、化學氣相沉積(CVD)、

物理氣相沉積 (PVD) 等等來沉積以賦能在 SiSE 期間超晶格之產生。表 1 描述可用於上文所述的製程流程、集中於矽的半導體交替多層之各種組合的實例。在表 1 中，矽之供體及受體摻雜係藉由 p-Si 及 n-Si 表示，且「++」表示摻雜濃度。例如，p++ Si 意指具有 $1 \times 10^{18} \text{ cm}^{-3}$ 或更高的硼濃度之高度摻雜矽。對於針對變化及擴散之較高精度控制，可使用大於 2 個交替層 (例如 ABCABC)。此舉之實施例係使用在摻雜 Si 層之間的 Ge 之原子薄層以減少在沉積期間的摻雜劑之遷移。此交替堆疊蝕刻之主要特徵係在不同層 (對於雙層堆疊而言為層 A 相對層 B) 之間在諸如蝕刻或氧化速率的處理參數方面得到大的差異，且使用此差異來改質堆疊並最終得到絕緣 / 導電線。

【0159】 由 SiSE 製程產生的具有交替形態學之交替材料之蝕刻堆疊係利用熱氧化及 / 或 ALD 後處理以得到蝕刻通道及狹縫之所要穩定配置。第 11 圖展示用於高度摻雜及未摻雜 (或低摻雜) 矽之交替堆疊的製程流程 1100 之實施例。高度 p 摻雜矽變成多孔的且此多孔性可基於蝕刻劑濃度及矽層之摻雜來控制。低摻雜矽在蝕刻之後不會改變形態學。多孔矽可隨後以比非多孔 Si 高得多的速率氧化。自氧化多孔矽 (OPS) 轉移摻雜劑且流動更多摻雜劑氣體的熱步驟將隨後在垂直通道區間中將低摻雜矽改質至字線中。金屬之短的異向性氧化物蝕刻及後續的 ALD 將在蝕刻通道之兩側上連續製得字線，且退火將形成低電阻率矽化物 WL。此製程係稱為「先介電質 / 閘

極」，因為在 SiSE 製程之前沉積(或磊晶生長)的材料堆疊係在最終蝕刻及熱處理的堆疊中。

【0160】 第 11 圖展示以類似於第 10 圖中所展示者的催化劑網目圖案高縱橫比(HAR)蝕刻通道及狹縫之製程流程 1100。由 SiSE 製程產生的具有交替形態學之交替材料之蝕刻堆疊係利用犧牲層移除及/或原子層沉積(ALD)後處理以得到蝕刻通道及溝槽/狹縫之所要穩定配置。如第 11 圖中所說明，在製程步驟 1110 期間，執行交替多層之沉積。若系統以塊體矽基板開始，則不需要此步驟。在製程步驟 1120 期間，催化劑網目經圖案化且隨後執行 SiSE 以得到多孔材料及非多孔材料之交替層。在製程步驟 1130 期間，執行多孔層之氧化。氧化製程亦可氧化需要移除的非多孔層之薄邊緣。製程步驟 1140 係用於使用諸如原子層蝕刻或電漿蝕刻的異向性蝕刻在微影術之後移除氧化物以阻斷不應蝕刻的材料。製程步驟 1150-1160 包含產生 3D NAND 快閃記憶體陣列所需的多個微影術、沉積及蝕刻製程。在一些實施例中，製程步驟 1150 包含在非多孔層上的金屬之選擇性沉積及後續矽化物形成。製程步驟 1160 包含微影術及使用 ALD 及 CVD 沉積記憶體膜，例如，用於電荷俘獲(CT) 3D NAND-氧化矽、氮化矽、氧化矽(ONO)之三層、多晶 Si、及低 k 介電質及芯部填料之沉積。

【0161】 第 12 圖說明根據本發明技術之一或多個實施例的用於垂直通道 3D NAND 之犧牲製程流程 1200。

此製程類似於第 11 圖之彼製程，主要差異在於 CICE 之後的後處理步驟。替代改質一組交替層，將其蝕刻且隨後以諸如鎢、鈷、氮化鈦、氮化鉭之導電材料替換。首先，在操作 1210 期間，對高度摻雜及未摻雜（或低摻雜）矽之交替堆疊執行 CICE。高度摻雜矽變成多孔的且此多孔性可基於蝕刻劑濃度及矽層之摻雜來控制。低摻雜矽在蝕刻之後不改變形態學，亦即，其保持為結晶及非多孔的。若利用隨時間變化之電場的塊體 Si 正用於產生具有交替多孔性之層，則不需要交替堆疊。在操作 1220 中在圓柱形通道中沉積多晶矽及芯部填料且在交替層之一之犧牲蝕刻 1230 期間提供支撐。在步驟 1240 中使用 CVD、ALD 或電鍍對金屬（例如鎢、鈷、氮化鈦、氮化鉭）之後續沉積將製得字線。此製程係稱為「後介電質/閘極」，因為在 CICE 製程之前沉積（或磊晶生長）的材料堆疊係在製程 1240 期間部分地（一組交替層由金屬替代）或完全地（第二組隨後經蝕刻且以低 k 介電質替換）替換。

【0162】 表 2 描述第 13 圖中概述的層改質之一些實例。其中選擇性地「蝕刻」一個層的改質為犧牲製程流程，其中替換閘極及/或介電質膜。此類似於用於 3D NAND 製造之 TCAT 製程流程。此舉之一些實施例為第 12 圖中展示的路徑 C、D、E、F、G，以及製程。在此種製程流程中，垂直通道不得不以材料填充來支援如一組交替層的結構得以蝕刻。由 SiSE 製程產生的具有交替形態學之交替材料之蝕刻堆疊係利用犧牲層移除及/或 ALD 後處理

【0164】 在第 14 圖中，存在多個步驟，包括 1) SiSE 以產生具有非多孔 Si 及多孔 Si 之交替層的高縱橫比通道及狹縫，2) 多孔層之氧化，其中亦氧化非多孔層以及連接鏈桿之薄邊緣，3) 微影術以藉由在圍繞狹縫之區域中沉積諸如聚合物之材料並蝕刻材料來阻斷狹縫，4) 沉積形成記憶體芯部的膜，例如氧化物-氮化物-氧化物層、使用 ALD 及 CVD 之多晶 Si 及氧化物芯部，5) 自狹縫移除材料及微影術以保護通道。自狹縫選擇性移除諸如聚合物之材料及氧化連接鏈桿係使用選擇性蝕刻來進行，諸如用氧電漿移除聚合物及用原子層蝕刻移除氧化物鏈桿，6) 使用諸如 TMAH 之蝕刻劑選擇性移除矽層而不影響氧化多孔矽層，7) 使用化學氣相沉積 (CVD)、原子層沉積 (ALD)、濺射或物理氣相沉積 (PVD) 等等沉積導電材料 (例如 W、Co、TiN) 及後續深蝕刻以來分離導電線及 8) (未在影像中描繪) 用絕緣材料填充暴露區域。

【0165】 在第 15 圖中，包括 1) SiSE 以產生具有非多孔 Si 及多孔 Si 之交替層的高縱橫比通道及狹縫，2) 多孔層之氧化，其中亦氧化非多孔層以及連接鏈桿之薄邊緣，3) 微影術以藉由在圍繞狹縫之區域中沉積諸如聚合物之材料並蝕刻材料來阻斷狹縫，4) 沉積形成記憶體芯部的膜，例如氧化物-氮化物-氧化物層、多晶 Si 及氧化物芯部，5) 自狹縫移除材料及微影術以保護通道。自狹縫選擇性移除諸如聚合物之材料及氧化連接鏈桿係使用選擇性蝕刻來進行，諸如用氧電漿移除聚合物及用原子層

蝕刻移除氧化物鏈桿，6)使用諸如 HF 之蝕刻劑選擇性移除氧化物層而不影響矽層，7)使用 ALD 及導電材料(例如 W、Co、TiN)，使用化學氣相沉積、原子層沉積、濺射等等沉積薄氧化物層，繼之以後續深蝕刻以來分離導電線，及 8)使用諸如 TMAH 之蝕刻劑選擇性移除矽層而不影響所沉積導電材料，及 9)使用 ALD 沉積諸如氧化矽之絕緣材料。

【0166】 在第 16 圖中，包括 1) SiSE 以產生具有非多孔 Si 及多孔 Si 之交替層的高縱橫比通道及狹縫，2) 微影術以藉由在圍繞狹縫之區域中沉積諸如聚合物之材料並蝕刻材料來阻斷狹縫，3) 沉積形成記憶體芯部的膜，例如氧化物-氮化物-氧化物層、多晶 Si 及氧化物芯部，4) 自狹縫移除材料及微影術以保護通道。自狹縫選擇性移除諸如聚合物之材料及氧化連接鏈桿係使用選擇性蝕刻來進行，諸如用氧電漿移除聚合物及用原子層蝕刻移除矽鏈桿。5)使用諸如 HF 或 HF + H₂O₂ 之蝕刻劑選擇性移除多孔矽層而不影響非多孔矽層，6)使用化學氣相沉積(CVD)、原子層沉積(ALD)、濺射等等沉積導電材料(例如 W、Co、TiN)，及後續深蝕刻以來分離導電線，及 7)使用諸如 TMAH 之蝕刻劑選擇性移除矽層而不影響所沉積導電材料，及 8)使用 ALD 沉積諸如氧化矽之絕緣材料。

【0167】 第 17 圖描繪具有垂直閘極及水平矽通道之 3D NAND 構架之實施例。如表示第 13 圖之路徑 F 的

第 17 圖中所說明，步驟包括 1) SiSE 以產生具有非多孔 Si 及多孔 Si 之交替層的高縱橫比通道及狹縫，2) 多孔層之氧化，其中亦氧化非多孔層以及連接鏈桿之薄邊緣，3) 使用 CVD、ALD 等等沉積形成記憶體芯部的膜，例如氧化物-氮化物-氧化物層、多晶矽及氧化物芯部，4) 微影術以產生用於記憶體材料之後續蝕刻的遮罩，5) 使用原子層蝕刻、電漿蝕刻等等自非圖案化區域蝕刻記憶體材料，6) 沉積諸如 W、多晶 Si、Co、TiN 等等的閘極材料。在替代實施例中，閘極材料可藉由移除微影遮罩、沉積閘極材料於整個結構上、執行微影術及蝕刻非圖案化區域中之閘極材料來圖案化，7) 使用電漿或化學蝕刻移除過量閘極材料及微影遮罩，及 8) (未在影像中描繪) 用諸如氧化矽之絕緣材料填充暴露區域。

【0168】 非犧牲路徑類似於 BiCS 3D NAND 製造製程流程，且不涉及蝕刻任何層，諸如路徑 B。由 SiSE 製程產生的具有交替形態學之交替材料之蝕刻堆疊係利用氧化（熱、陽極等等）及 / 或 ALD 後處理以得到蝕刻通道及狹縫之所要穩定配置。例如，高度 p 摻雜矽變成多孔的且此多孔性可基於蝕刻劑濃度、電場及矽層之摻雜來控制。低摻雜矽在蝕刻之後不會改變形態學。多孔矽可隨後以比非多孔 Si 高得多的速率氧化。自氧化多孔矽 (OPS) 轉移摻雜劑且流動更多摻雜劑氣體的熱步驟將隨後在垂直通道區間中將低摻雜矽改質至字線中。金屬之可選短的異向性氧化物蝕刻及後續的 ALD 將在蝕刻通道之兩側上連續

製得字線，且退火將形成低電阻率矽化物 WL。此製程係稱為「先介電質/閘極」，因為在 SiSE 製程之前沉積(或磊晶生長)的材料堆疊係在最終蝕刻及熱處理的堆疊中。

【0169】 應注意，用於以表 2 (多孔 Si/非多孔 Si)開始的各種實施例之超晶格可使用路徑 I 或 II 來製造。此外，描述包括階梯蝕刻之路徑 A 可添加至任何路徑之製程流程。超晶格之其他實施例可包括具有不同多孔性及/或不同材料的交替層，該等材料諸如 Ge、 $\text{Si}_x\text{Ge}_{1-x}$ 、GaN、InP、GaAs、InAs、GaP、InGaS、InGaP、SiC 等等。超晶格之所有層可亦為非多孔的，其中交替層仍具有不同的氧化處理速率、化學蝕刻處理速率等等。實例為 p 摻雜 Si/n 摻雜 Si 超晶格，其中諸如 TMAH 或 KOH 之鹼性蝕刻劑僅在電偏壓下蝕刻 P 型 Si。路徑 B 亦可用於製造基於垂直閘極之 3D NAND 快閃構架，其具有結晶水平矽通道。

【0170】 CICE 製程之各種實施例使用圖案化催化劑，其在蝕刻進程時沉入基板中，留下非圖案化區域作為高縱橫比特徵。催化劑網目可經圖案化以一個微影術步驟中蝕刻通道及字線狹縫(溝槽)兩者，且 CICE 製程可同時地蝕刻該等特徵兩者。催化劑網目之一些實例係展示第 18A 圖-第 18C 圖中。為防止催化劑網目之漂移並達成蝕刻劑溶液之可靠輸送，可使用電場、墊材及/或經鏈接連續圖案。可藉由緩和技術防止所得高縱橫比特徵崩塌，該等緩和技術諸如使用表面張力梯度化學品(乙醇、異丙

醇等等)、超臨界乾燥及微影連接特徵。該兩個約束條件亦可藉由使用具有藉由鏈桿連接的特徵的圖案化技術,及藉由在 C I C E 製程之後使用受控沉積或蝕刻以將高縱橫比經鏈接結構轉化成所要 3 D N A N D 配置來滿足。

【0171】 用於 S i S E 之催化劑圖案的製造需要多個微影術及蝕刻步驟。第 18 A 圖-第 18 C 圖中展示針對用於基於垂直通道 (V C) 以及垂直閘極 (V G) 構架的 3 D N A N D 快閃陣列的各種佈局方案之臨界尺寸及覆蓋需求。第 18 A 圖-第 18 C 圖展示經蝕刻特徵。如第 18 A 圖-第 18 C 圖中所說明,「a」表示記憶體通道之區塊的寬度,「b」表示微影鏈桿之寬度,「c」為寬度 a 之區塊之間的距離,「d」表示圓形通道之直徑,「e」為在側向方向上孔洞之間的間距,「f」為六角形佈置的孔洞之最短間距,且「g」為寬度「a」之區塊與圓形通道之間的最短距離。具有寬度「b」之薄連接線係稱為微影鏈桿,且其連接分離的半導體特徵以改良隨後蝕刻的互連高縱橫比多層半導體結構之穩定性。催化劑網目之所欲設計取決於 3 D N A N D 快閃陣列之佈局且併入有微影鏈桿以穩定經蝕刻結構及視情況改良蝕刻劑之擴散且防止催化劑特徵之漂移。

【0172】 第 18 A 圖-第 18 C 圖展示用於 3 D N A N D 陣列之實施例的佈局及尺寸。兩組尺寸係描述如下:一組具有藉由微影術約束條件限制的積極性縮放,且另一組呈現針對基於 V C 之裝置最小通道直徑為 50 n m。基於 V G

之裝置具有更大積極性的縮放可能性，因為微影術圖案主要需要線及空間 (L/S) 且不需要孔洞或支柱，且 L/S 可藉由多次圖案化製成更小的。

【0173】 用於第 18 圖中之特徵之尺寸的一些實施例為：第 18 A 圖展示具有每區塊兩列交錯孔洞的 VC 3D NAND 配置。對於用於圓點的 20 nm (在 X 方向上) 及 25 nm 之半間距及在 Y 方向上用於區塊的 35 nm 之半間距， $a = 60 \text{ nm}$ ， $b = 10 \text{ nm}$ ， $c = 10 \text{ nm}$ ， $d = 25 \text{ nm}$ ， $e = 40 \text{ nm}$ ， $f = 35 \text{ nm}$ 及 $g = 10 \text{ nm}$ 。對於用於圓點的 35 nm (在 X 方向上) 及 42 nm 之半間距及在 Y 方向上用於區塊的 85 nm 之半間距， $a = 110 \text{ nm}$ ， $b = 10 \text{ nm}$ ， $c = 20 \text{ nm}$ ， $d = 50 \text{ nm}$ ， $e = 70 \text{ nm}$ ， $f = 60 \text{ nm}$ 及 $g = 10 \text{ nm}$ 。第 18 B 圖展示具有每區塊四列交錯孔洞之 VC 3D NAND 配置。對於用於圓點的 20 nm (在 X 方向上) 及 25 nm 之半間距及在 Y 方向上用於區塊的 65 nm 之半間距， $a = 120 \text{ nm}$ ， $b = 10 \text{ nm}$ ， $c = 10 \text{ nm}$ ， $d = 25 \text{ nm}$ ， $e = 40 \text{ nm}$ ， $f = 35 \text{ nm}$ 及 $g = 10 \text{ nm}$ 。對於用於圓點的 35 nm (在 X 方向上) 及 42 nm 之半間距及在 Y 方向上用於區塊的 120 nm 之半間距， $a = 220 \text{ nm}$ ， $b = 10 \text{ nm}$ ， $c = 20 \text{ nm}$ ， $d = 50 \text{ nm}$ ， $e = 70 \text{ nm}$ ， $f = 60 \text{ nm}$ 及 $g = 10 \text{ nm}$ 。第 18 C 圖展示垂直閘極 3D NAND 幾何形狀，其中具有寬度「a」之線表示矽通道尺寸，其中在一個實施例中 $a = 20 \text{ nm}$ ， $b = 10 \text{ nm}$ 及 $c = 20 \text{ nm}$ 。

【0174】 第 18 圖描述的尺寸之實例係藉由微影術及記憶體陣列所需要的電子性質限制。VC 3D NAND 通道孔洞必須用記憶體層填充，例如氧化物-氮化物-氧化物(ONO)及多晶矽通道材料。藉由字串讀取電流及可耐受場增強約束的最小多晶 Si 孔道直徑為約 20 nm。藉由裝置效能及可靠性約束的最小 ONO 厚度為約 15 nm。因此，最小孔洞直徑為約 50 nm。對於某些製程流程，在 SiSE 之後執行氧化步驟以產生多孔氧化矽及非多孔矽之交替層。此氧化步驟亦可氧化邊緣處的非多孔矽之薄層(<5 nm)。此薄層可保留為記憶體層或可移除。若將其移除，則對於例如 5 nm 之材料的氧化及後續移除圖案之有效尺寸變化達氧化物之尺寸的兩倍，通道之直徑將增加 10 nm，字線之寬度將減少 10 nm，且線之間的間距之寬度增加 10 nm。初始尺寸應因此基於最終所要參數相應地調整。

【0175】 具有較小連接以達結構穩定性的 30 nm 以下的特徵之製造極具挑戰，因為電子束微影術可寫入 10 nm 以下的特徵，但遭受大的覆蓋，而光微影術具有優異的覆蓋但不良的解析度。一些實施例可使用光微影術及壓印微影術以圖案化該等膜。

【0176】 第 18A 圖-第 18C 圖中展示的 3D NAND 特徵設計可使用微影術技術來圖案化，該等技術諸如利用多次圖案化之光微影術、壓印微影術、電子束微影術、直

接自組裝、雷射干擾微影術等等。製造用於該等各種微影術技術的遮罩之製程描述如下。

利用壓印微影術之圖案化

【0177】 第 19D 圖描繪催化劑設計，其具有經鏈接結構以防止漂移並改良擴散。在一個實施例中，鏈桿圖案之寬度為 10 nm，間距為 25 nm，且線不呈規則佈置。為製造此種圖案，網格圖案係使用電子束微影術來製得。網格之元件隨後係藉由使用電子束微影術圖案化經鏈接結構並蝕刻網格之經選擇區域來移除。所得圖案可隨後蝕刻至模板基板中以產生用於壓印微影術之主模板。

【0178】 壓印微影術可用於以高解析度及緊密間距圖案化非週期不規則圖案。對於壓印微影術，可製得模板來印刷第 18A 圖 - 第 18C 圖中所展示的催化劑圖案。模板之製造展示在第 19A 圖 - 第 19C 圖。展示在 19A 及 19B 中的主模板 1910 及 1920 可使用電子束微影術來製得。在一個實施例中，第 19A 圖中的特徵可使用彼此垂直的兩組 L/S 來製得以在 100 nm 之間距下產生 20 nm x 20 nm 區塊，且第 19B 圖中之特徵可使用在 40 nm 間距下的 20 nm 直徑孔洞及在 80 nm 間距下的 20 nm 線來製得。

【0179】 19C 中展示的最終主模板 1930 可藉由用第 19A 圖中展示的主模板 1910 壓印來製得，壓印特徵經蝕刻至硬遮罩中，且隨後第 19B 圖中展示的主模板 1920 可在與藉由主模板 19A 壓印的特徵對準之後圖案化。根

據各種實施例，模板對準可使用對準方法來進行，其中在微影域內，第 19B 圖中展示的模板 1920 具有以自一個子域至下一子域的變化量值及方向進行有意補償之特徵。在壓印之後，選擇具有理想對準要求的子域且將其用於使用分步重複方法來產生第 19C 圖中展示的最終主模板 1930。基於覆蓋對準要求，第 19C 圖中展示的最終主模板 1930 亦可使用光微影術來製得。在此情況下，19B 中展示的第二模板 1920 為具有較大尺寸的光微影術遮罩以考慮光微影術解析度。該等較大尺寸可隨後使用電漿蝕刻技術來減小。第 19D 圖提供微影鏈接的圖案之實例，其中該等線係利用壓印微影術製得（其模板係利用電子束微影術製得），且將圓點對準並使用壓印或光微影術印刷或反之亦然。

【0180】 在另一實施例中，諸如第 19D 圖的圖案之製造係使用光微影術及多次圖案化來進行。網格之元件隨後藉由圖案化及收縮選定區域中之孔洞並蝕刻網格線來移除，進而產生經鏈接圖案。孔洞之圖案化可歸因於利用光微影術的最小間距之限制而採取多個步驟。

【0181】 當前形式的利用 193 nm 波長與浸入的光微影術使用三層抗蝕劑且受限於針對線與空間的約 38 nm 的半間距。需要諸如自對準雙圖案化 (SADP)/自對準四圖案化 (SAQP) 及光微影 - 蝕刻 - 光微影 - 蝕刻 (LELE) 的方法來達到較小尺寸及較緊間距。此需要多個沉積及蝕刻步驟，且固有配合於週期圖案。然而，針對圓的最小解析

度及間距為較大的。對於沒有圓的 V G 3 D N A N D 構架，光微影術連同修整蝕刻可用於產生彼此垂直的線及空間。更多地涉及製造用於 V C 3 D N A N D 之圖案之製程。

【0182】 第 20A 圖 - 第 20J 圖展示使用光微影術製造此種圖案之方法。在圖式中，在光微影術製程之後沉積催化劑，以使得暴露區域(矽)現藉由催化劑材料覆蓋。沉積在圖案化特徵之頂部上的催化劑可視情況予以提離。可使用另一實施例，其中光微影術係在催化劑膜上進行且隨後在暴露區域將催化劑蝕刻去除。在彼情況下，圖案為第 18 圖中展示的圖案的倒轉。

【0183】 第 20A 圖 - 第 20E 圖展示微影術步驟之橫斷面視圖(頂部)及頂視圖兩者。第 20F 圖 - 第 20J 圖僅展示頂視圖。在第 20A 圖中，微影鏈桿係在氮化矽(藍色)層上以第一硬遮罩、多晶矽(粉紅色)圖案化的側邊 40 nm 之正方形及間距 80 nm (y 方向)及 40 nm (x 軸方向)來製得。在第 20B 圖中，進行修整蝕刻來得到側邊 10 nm 之正方形。在第 20C 圖中，特徵係以旋塗玻璃及 40 nm 寬度之線來平坦化，且將 80 nm 間距對準並圖案化。在第 20D 圖中，沉積間隔物材料來增加線寬度至 70 nm。在第 20E 圖中，將線及正方形蝕刻至諸如氮化矽的硬遮罩層中。在第 20F 圖中，執行 L E L E：將具有 80 nm 間距(x 軸方向)、80 nm 間距(y 方向)的 50 nm 孔洞對準並圖案化；修整蝕刻以將直徑減少至 25 nm 並蝕刻至下伏氮化矽中。在第 20G 圖、第 20H 圖、及第 20I 圖

中，利用移位對準重複步驟 20F。在第 20J 圖中，可沉積催化劑材料。

【0184】 在光微影術中，可使用直接自組裝替代多個 L E L E 步驟來使用密度倍增。第 21 圖展示使用自組裝及微影術製造具有實質上經連接催化劑特徵的催化劑圖案的製程流程。在第 21A 圖中，使用光微影術圖案化圓點。在第 21B 圖，該等圓點係用於引導嵌段共聚物以使用直接自組裝來倍增密度。隨後將線圖案化以根據 3D NAND 快閃催化劑設計來阻斷區域(第 21C 圖)。後續蝕刻將未藉由線阻斷的圓點轉印至諸如氮化矽或碳的硬遮罩中(第 21D 圖)。另一微影術步驟係進行來將線圖案化(第 21E 圖)，且蝕刻至硬遮罩中(第 21F 圖)。隨後將抗蝕劑移除來顯露硬遮罩中的最終特徵(第 21G 圖)。在第 21H 圖中，沉積催化劑材料。儘管製程未描繪微影鏈桿，但其可經製成併入類似於第 20 圖的製程流程中。此外，利用自組裝的圖案化亦可用於製造壓印微影術模板。

【0185】 對 3D NAND 快閃設計，同時蝕刻圓形通道及矩形狹縫無法利用電漿蝕刻在側壁之精確控制下可靠地達成。類似地，對於具有連接鏈桿之特徵，支柱之間的 10 nm 下的連接無法經高縱橫比保留。在半導體工業中用於異向性蝕刻高度受控之奈米圖案的乾式電漿蝕刻製程需要昂貴的真空設備且無法在圖案化高縱橫比(>50:1)時容易地保留橫斷面形狀。該等製程遭受蝕刻挑戰，諸如縱橫比依賴性蝕刻(A R D E)及蝕刻錐度。

【0186】 另一方面，SiSE 製程可異向性蝕刻所需要的圖案以及產生無解析度損失的超晶格。然而，存在需要針對使得 SiSE 成為用於商業化之有效技術的各種挑戰。本部分描述該等挑戰及用於達成半導體材料中的高縱橫比奈米結構堆疊之晶圓規模蝕刻的解決方案。

【0187】 界定了可用於此新製造方法的各種製程之依步驟描述。需要在每一步驟最佳化以達成最終裝置之良好電氣效能、中間步驟處的機械穩定性、CMOS 相容性、及成本及吞吐量的參數亦列在以下部分中。

【0188】 SiO/多晶 Si 傳統的 3D NAND 製程使用 SiO/SiN 或 SiO/多晶矽之交替層，其經蝕刻及視情況以諸如 W 之導電材料替換來得到交替導電線及絕緣線之堆疊，該等線形成 3D NAND 單元之字線及介電質。在各種實施例中，可使用半導體材料之交替層替代 SiO/SiN 或 SiO/多晶 Si。因為 SiSE 可蝕刻半導體材料而同時取決於諸如摻雜濃度及摻雜劑類型的可客制材料性質來改變其形態學，所以交替層係設計來確保選擇性移除或氧化以得到最終的導電線及介電質。

【0189】 此對路徑 I（參見，例如，第 13 圖）而言並不是問題，其中塊體矽基板係用於 SiSE 且無須考慮交替層沉積。

【0190】 用於沉積交替層或「超晶格」的方法取決於商業可用性、成本、吞吐量、生長速率、熱預算、層數量、層之厚度、蝕刻之前及之後的層之遷移率及電阻率、結晶

學蝕刻之可利用性等等。例如，多晶 Si 層需要比磊晶矽高的厚度來克服晶界問題且得到所蝕刻字線之良好導電性。多晶 Si 層亦可需要在交替摻雜層之間的薄擴散阻擋層以抑制摻雜劑跨於層之擴散，因為摻雜劑之擴散在多晶 Si 比在結晶 Si 中更高。在磊晶矽的情況下，產生階梯接觸的錐度蝕刻亦可在結晶層上藉由使用如 KOH、TMAH 及 EDP 之鹼性蝕刻劑來進行。

【0191】 當今在生產中矽之磊晶(epi)生長係基於化學氣相沉積(CVD)，其係藉以自氣相藉由化學反應合成薄固體膜的製程。高於 1000℃ 的矽之高溫磊晶生長提供高吞吐量、現場摻雜並防止污染，而分子束磊晶術(MBE)賦能摻雜分佈之突變臺階但具有極低的生長速率。使用在約 650-850℃ 下的 CVD 的低溫磊晶術提供對表 1 中描述的矽超晶格之生長的折衷。溫度、壓力、氣體流率、基板製備、表面處理及氧化防止為決定 epi 超晶格品質之主要參數。用於摻雜的諸如 B₂H₆ 或 PH₃ 之氣體的分壓決定磊晶層中之摻雜濃度。在生長期間具有低總壓力將允許較好地接合，此歸因於來自先前層之氣體的減少的污染。儘管所有該等參數在磊晶生長中起著關鍵作用，但溫度、摻雜劑濃度及磊晶層厚度係最重要的，因為其決定下一製程步驟將有何種結果，如下文進一步所解釋。

- 溫度：磊晶生長之溫度係取決於各種因素。epi 膜之結晶度可在範圍為自 500℃ 向上的溫度下達成。在低溫下，摻雜劑之擴散減少且一些實施例可得到突變分

佈，但生長速率為低的。取決於摻雜劑類型及其在矽中之擴散率，一些實施例可計算跨於高摻雜/低摻雜界面的擴散率。

- 摻雜劑濃度：利用對電場效應、濃度值及梯度的適當修改的菲克定律之模擬係用於判定用於每一交替層的何種摻雜材料及濃度可得到所需要的最終擴散分佈。此取決於反應腔室之溫度、後續製程步驟之所需熱預算、跨於層之濃度梯度及在磊晶生長期間的任何缺陷之存在。共同摻雜劑於矽中之擴散係數係指數地取決於溫度。 $(D = D_0 \cdot \exp(-E_a/kT))$ 慢擴散體 (A s 及 S b) 係較佳處於快擴散體 (P、B 及 I n) 上且摻雜劑選擇亦取決於矽中的固體溶解度極限。

- 層厚度：取決於最終字線之寬度，導電層之厚度不得不經調諧來最小化電阻率，而介電層之厚度不得不經調諧來減少寄生電容並最大化電阻率。若字線層由多晶矽製成，則歸因於晶界的電阻之增加不得不予以考慮。

【0192】 吾等考慮 P++/P 超晶格之實例，其中一個層具有濃度為 $1E18$ 之硼，而另一層具有 $1E15$ 之硼濃度。對於在超淨環境中於 650°C 下及 10 Pa 之壓力混合下的磊晶生長，沉積速率可為約 100 nm/min 。在此溫度下，B 之擴散常數為 $7.7E-20\text{ cm}^2/\text{s}$ 。為判定擴散分佈，一些實施例必須知道每一層之厚度及晶圓處於腔室中的時間量，亦即，需要生長的層數量。在 $1E18$ 之硼濃度下，字線之電阻率為 0.04 ohm-cm 。此可藉由併入金屬以形

成矽化物或藉由在將來自氧化多孔層之所有摻雜劑轉移至結晶矽層之後續 SiSE 製程之後退火來進一步減少。對 100 nm 之層厚度，256 個層之總生長時間為約 5 hrs。最大擴散將隨後發生在第一層生長時，且擴散長度係藉由 $x_j = 2 * \text{sqrt}(Dt)$ 得出。此得到 0.8 nm 之最大擴散長度。因此，因為擴散率在 650 °C 下為極低的，溫度對擴散長度之影響為最小。諸如多階濃度梯度及電場之其他因素可在使用模擬時因數化。諸如 100 nm/min 之緩慢沉積速率無法根據成本觀點來調整。在 1000 °C 下，沉積速率為 10 微米/min，且 256 個層可在小於 3 分鐘內沉積。

【0193】然而，硼在此溫度下之擴散常數為 $1.39 \text{E} - 14 \text{ cm}^2/\text{s}$ ，且擴散長度為 31 nm。為在 2 個參數之間達成折衷，一些實施例挑選 800 °C 或約 800 °C 之溫度，其中獲得 1 微米/min 之沉積速率。此將使得沉積 256 個層之製程耗費約 30 min，且 100 個層耗費 10 min。B 之擴散長度在 256 個層之最底部層(最壞情形)處則為約 6 nm，且對 100 個層而言為 3 nm。具有對 100 nm 厚層的 5 nm 以下的接合應為足夠的。然而，上述接合長度表示離濃度已變化 $1/e$ 的界面之距離。此不足以得到可靠的製程。SiSE 製程因此經調諧以確保形態學自固體變化至多孔所處的摻雜劑濃度為尖銳，且此可藉由調諧蝕刻劑濃度來進行。

【0194】電漿增強 ALD 可用於一些實施例以密封多孔層之孔隙。SiO₂ 之 ALD 係用於填滿使用 SiSE 蝕刻

的孔洞及狹縫。基板隨後經平坦化以賦能包括微影術及電漿蝕刻之接續製程步驟。根據各種實施例，微影術可執行來打開通道並防止膜在狹縫中之沉積。記憶體層(諸如氧化物-氮化物-氧化物)、多晶 Si 通道及芯部填料材料可隨後沉積至該等通道(垂直孔洞)中。

【0195】 對於矽之磊晶生長結晶層，諸如 KOH 及 TMAH 之鹼性蝕刻劑可用於異向性蝕刻<100>晶體平面。此將減少階梯蝕刻以產生對垂直通道結構中之每一字線層的接觸所需的蝕刻及微影術步驟之數量。此鹼性濕式蝕刻可在 CICE 之前或之後在剛生長的磊晶材料堆疊上進行。若交替層之一為高度 p 摻雜的，則可取決於沿晶體平面及在不同摻雜劑濃度下的蝕刻速率而使用 TMAH 替代 KOH。

【0196】 第 22 圖說明根據本發明技術之一或多個實施例的 3D NAND 階梯蝕刻之實例。在摻雜/未摻雜 Si 之磊晶生長之後，使用鹼性蝕刻劑進行錐度蝕刻製程以產生用於字線之接觸區域。接觸區域之投影長度取決於絕緣層之厚度。此製程之另一實施例涉及使用電化學蝕刻來基於個別層之摻雜產生具有不同多孔性的矽之交替層，而無需使用 CICE。此堆疊可隨後利用電漿蝕刻來蝕刻，且在電化學蝕刻之前進行角蝕刻來產生階梯。

【0197】 第 23 圖類似於第 22 圖，其中主要區別在於替代交替半導體層在塊體 Si 上進行錐度蝕刻。隨後在錐度蝕刻塊體 Si 上執行 SiSE 上，且隨後在 3D NAND 記憶

體製造步驟之後，進行選擇性電漿蝕刻以顯露導電線上之接觸區域。

【0198】 對於路徑 I，蝕刻塊體矽，而對於路徑 II，蝕刻矽之磊晶生長結晶層。諸如 KOH、EDP 及 TMAH 之結晶蝕刻劑可用於產生錐度。例如，30% KOH 或 10% TMAH，60℃ 之溫度。

【0199】 一些實施例使用在塊體矽上的利用鹼性蝕刻劑之階梯蝕刻或傾斜電漿蝕刻之製程來產生用於字線之接觸區域。接觸墊之投影長度取決於絕緣層之厚度，因為結晶蝕刻產生 54.74° 之錐度。此將減少階梯蝕刻以產生對垂直通道結構中之每一字線層的接觸所需的蝕刻及微影術步驟之數量。然而，錐度不產生階梯之垂直側壁，且此可影響字線之金屬接點的置放可靠性。此可取決於藉由階梯狀特徵消耗的面積來藉由增加介電層之厚度或字線之寬度進行校正。替代地，利用法拉第籠的傾斜電漿蝕刻亦可用於產生錐度。

【0200】 隨著 SiSE 進程，催化劑網目蝕刻半導體材料堆疊以顯露高縱橫比特徵，其具有用於 3D NAND 通道及字線分離的孔洞及狹縫。SiSE 可藉由使用蝕刻停止層、定時蝕刻、或藉由監測並控制電場參數來停止。蝕刻劑組合物以及在製程期間的電子孔洞產生得到具有基於其材料及摻雜濃度的不同形態學之交替層。在 SiSE 之後，層之一可經選擇性地移除或改質（例如氧化）來製得 3D NAND 層。在多孔矽之氧化期間的體積變化可藉由控

制多孔矽層中的孔隙之多孔性及密度來抑制，進而減少結構上的機械應力。多孔層氧化速率遠大於單晶矽之氧化速率，且可以更低溫度進行來增加選擇性。例如，在 700℃ 下，多孔矽層之表面及塊體(對個別層而言，比 1 微米更薄)在 3 分鐘內得以氧化，而僅結晶矽之表面的 3 nm 在乾燥 O₂ 中被氧化。

【0201】 多孔矽層與結晶矽層之間的氧化速率差異及多孔氧化物與矽或多孔矽與結晶矽之間的蝕刻速率差異必須為極高的。此將確保不存在基蝕且增加可利用 SiSE 製程製成的記憶體層之數量。表 3 列出蝕刻劑，其可用於自超晶格選擇性地移除一個層以達各種超晶格改質而得到具有絕緣膜及導電膜的交替層之 3D NAND 快閃陣列。表面活性劑及其他此種化學品可添加至蝕刻劑以改良在可適用的所有結晶取向下層 A 對層 B 之蝕刻選擇性。蝕刻劑可呈液體或蒸汽形式。

表 3：可用於以一選擇性自超晶格移除一個層的蝕刻劑之列表	
層 A/層 B	選擇性地移除層 A 之蝕刻劑
多孔 Si/非多孔 Si	稀氫氧化物溶液(KOH、NH ₄ OH、NaOH、TMAH 等等)、光阻劑顯影劑、乙烯二胺焦兒茶酚(EDP)、HF、緩衝 HF、HF+氧化劑(H ₂ O ₂ 、溶解氧、DMSO、KMnO ₄ 、K ₂ S ₂ O ₈)、HF+照射、HF+醇、NH ₄ F 等等
多孔氧化物/非多孔 Si	HF、緩衝 HF、蒸汽 HF
非多孔 Si/多孔氧化物	稀氫氧化物溶液(TMAH、KOH)、EDP
非多孔 Si/鎢	Si 異向性蝕刻液(126 份 HNO ₃ :60 份 H ₂ O:5 份 NH ₄ F)、KOH、TMAH
SiGe/Si	HCl
Ge/Si	H ₂ O ₂

【0202】 表 4 描述利用確保交替層之一者的選擇性移除或氧化以得到最終金屬線及介電層所需的製程步驟的情況下半導體交替多層之各種組合之實例。矽之供體及受體摻雜係藉由 p-Si 及 n-Si 表示，且「++」表示摻雜濃度。例如，p++ Si 意指具有 $1 \times 10^{18} \text{ cm}^{-3}$ 或更高的硼濃度之高度摻雜矽。對於針對摻雜變化之較高程度控制，可使用大於 2 個交替層(例如 ABCABC)。此舉之實施例係使用在摻雜 Si 層之間的 Ge 之原子薄層以防止在磊晶生長期間的摻雜劑之遷移。若層係藉由使用如 KOH、TMAH 及 EDP 的鹼性蝕刻劑來在微米尺度範圍上選擇性地蝕刻<100>平面以得到結晶形態學來磊晶生長，則亦可進行階梯蝕刻。此交替堆疊蝕刻之主要特徵係在不同層(對於雙層堆疊而言為層 A 相對層 B)之間在蝕刻或氧化速率方面得到大的差異，且使用此差異來改質堆疊並最終得到絕緣/導電線。

表 4：利用確保交替層之一者的選擇性移除或氧化以得到最終金屬線及介電層所需的製程步驟的情況下半導體交替多層之各種組合之實例。

製程	初始層		選擇性	層改質	最終層 11
犧牲(類似於 TCAT 製程)	Si	Ge	例如用過氧化物選擇性蝕刻 Ge	剩餘層之氧化	介電層及導電層(例如多孔 SiO2 及 W)
	n-Si	p-Si	利用電偏壓，鹼性蝕刻劑僅蝕刻 p-Si		

	p++ Si	p-Si	藉由調諧 MACE 蝕刻劑比率，1 層變成多孔的，稀鹼性溶液僅蝕刻多孔層；替代地，在多孔矽之氧化之後，僅 Si 之鹼性蝕刻		
	n++ Si	n Si			
	n++ Si	p Si			
	p++ Si	n Si			
非犧牲(類似於 BiCS 製程)	p++ Si	p-Si	藉由調諧 MACE 蝕刻劑比率，1 層變成多孔的	多孔層之氧化，退火並摻雜來得到自多孔氧化物之摻雜劑擴散	介電層及導電層(例如多孔 SiO2 及高度摻雜 Si/矽化物)
	n++ Si	n Si			
	n++ Si	p Si			
	p++ Si	n Si			

【0203】 本發明技術之各種實施例可用以產生 3DNANDVC 而無需替換步驟，此類似於 BiCS 製程。例如，在一些實施例中，可提供基板。隨後，可沉積半導體材料之交替層(例如，摻雜或未摻雜 Si)。隨後，可執行使用結晶異向性蝕刻劑之微影術及錐度蝕刻。可隨後圖案化催化劑。例如，一些實施例可使用不連續催化劑 - Pt、Pd、Ru、CMP 之沉積/催化劑之提離或 Pt、Pd 或 Ru 之選擇性電沉積。可隨後執行 SiSE 製程且可使用濕蝕刻液(例如王水)移除催化劑或用絕緣體分離。層可選擇性地處理(例如，氧化多孔層及連接鏈桿)且用原子層沉積(ALD)密封孔隙。微影術可用於在諸如氧化物-氮化物-氧化物(ONO)之記憶體材料連同多晶 Si 芯部及/或氧化物芯部填料之沉積之前阻斷在字線之間的區域。材料可自字線狹縫移除且可在狹縫中沉積低 k 介電質。為沿所蝕刻

錐度產生階梯，錐度可使用對一組交替層為選擇性的電漿蝕刻來蝕刻。

【0204】 在一些實施例中，可使用用於 3D NAND VC 的利用氧化及替換的製程，其類似於 TCAT 製程。例如，在一些實施例中，可提供基板。隨後，可沉積半導體材料之交替層(例如，摻雜或未摻雜 Si)。隨後，可執行使用結晶異向性蝕刻劑之微影術及錐度蝕刻。可隨後圖案化催化劑。例如，一些實施例可使用不連續催化劑 - Pt、Pd、Ru、CMP 之沉積/催化劑之提離或 Pt、Pd 或 Ru 之選擇性電沉積。可隨後執行 SiSE 製程且可使用濕蝕刻液(例如王水)移除催化劑或用絕緣體分離。層可選擇性地處理(例如，氧化多孔層及連接鏈桿)且用 ALD 密封孔隙。微影術可用於阻斷在字線之間的區域且可沉積穩定化芯部(例如，多晶 Si 芯部及氧化物芯部填料)。

【0205】 可自字線狹縫移除材料。原子層蝕刻係用於移除圍繞多孔氧化物/結晶 Si 結構的薄氧化物層。處理來製得 3D NAND 快閃陣列的下一組可包括一個替換步驟(例如，相對多孔氧化物選擇性蝕刻結晶 Si，用 ALD 密封孔隙，沉積記憶體材料 ONO，沉積 W 及深蝕刻以分離字線等等)；或兩個替換步驟(例如，相對結晶 Si 選擇性蝕刻多孔氧化物，沉積記憶體材料 ONO，沉積 W 及深蝕刻以分離字線，相對 W 選擇性蝕刻 Si，沉積 SiO₂ 等等)或(例如，相對結晶 Si 選擇性蝕刻多孔氧化物，沉積 SiO₂ 及深蝕刻以分離，相對所沉積 SiO₂ 選擇性蝕刻結晶 Si，

沉積記憶體材料 ONO ，沉積 W 及深蝕刻以分離字線等等)。等等以此類推。隨後，可在狹縫中沉積低 k 介電質。為沿所蝕刻錐度產生階梯，錐度可使用對一組交替層為選擇性的電漿蝕刻來蝕刻。

【0206】 在一些實施例中，可使用用於 3D NAND VC 的利用替換的製程，其類似於 TCA T 製程。例如，在一些實施例中，可提供基板。隨後，可沉積半導體材料之交替層(例如，摻雜或未摻雜 Si 、 Si/SiGe 、 Si/Ge 等等)。隨後，可執行使用結晶異向性蝕刻劑之微影術及錐度蝕刻。可隨後圖案化催化劑。例如，一些實施例可使用不連續催化劑 - Pt 、 Pd 、 Ru 、 CMP 之沉積/催化劑之提離或 Pt 、 Pd 或 Ru 之選擇性電沉積。可隨後執行 SiSE 製程且可使用濕蝕刻液(例如王水)移除催化劑或用絕緣體分離。用 ALD 密封孔隙。微影術可用於阻斷在字線之間的區域且可沉積穩定化芯部(例如，多晶 Si 芯部及氧化物芯部填料)。可自字線狹縫移除材料。處理來製得 3D NAND 快閃陣列的下一組可包括一個替換步驟(例如，相對結晶 Si 選擇性蝕刻多孔矽，沉積記憶體材料 ONO ，沉積 W 及深蝕刻以分離字線，相對 W 選擇性蝕刻 Si ，沉積 SiO_2 等等)；或兩個替換步驟(例如，相對結晶 Si 選擇性蝕刻多孔矽，氧化結晶矽，沉積記憶體材料 ONO ，沉積 W 及深蝕刻以分離字線等等)或(例如，相對結晶 Si 選擇性蝕刻多孔矽，沉積 SiO_2 及深蝕刻以分離，相對 SiO_2 選擇性蝕刻結晶 Si ，沉積記憶體材料 ONO ，沉積 W 及深蝕刻

以分離字線等等)。等等以此類推。隨後，可在狹縫中沉積低 k 介電質。為沿所蝕刻錐度產生階梯，錐度可使用對一組交替層為選擇性的電漿蝕刻來蝕刻。

【0207】 在一些實施例中，可使用用於 3D NAND 的利用垂直閘極之製程。例如，在一些實施例中，可提供基板。隨後，可沉積半導體材料之交替層(例如，摻雜或未摻雜 Si、Si/SiGe、Si/Ge 等等)。隨後，可執行使用結晶異向性蝕刻劑之微影術及錐度蝕刻。可隨後圖案化催化劑。例如，一些實施例可使用不連續催化劑 - Pt、Pd、Ru、CMP 之沉積/催化劑之提離或 Pt、Pd 或 Ru 之選擇性電沉積。可隨後執行 SiSE 製程且可使用濕蝕刻液(例如王水)移除催化劑或用絕緣體分離。可將層選擇性地處理(例如，氧化多孔層及連接鏈桿)。用 ALD 密封孔隙。微影術可用於阻斷層之間的區域且可沉積 ONO 記憶體材料。字線亦可垂直於水平通道線沉積。隨後，可在字線之間的狹縫中沉積低 k 介電質。為沿所蝕刻錐度產生階梯，錐度可使用對一組交替層為選擇性的電漿蝕刻來蝕刻。

【0208】 在一個實施例中，3D NAND 可使用矽奈米線作為通道材料製造，繼之以導電及絕緣材料之交替層的沉積。MSP-CICE 及新穎的基於連接鏈桿或墊材的崩塌緩和技術係用於 NW 之圖案化陣列以替代深反應性離子蝕刻製程。DRIE 使用諸如波希製程之製程，其產生具有表面損壞之扇形側壁，從而降級 FET 效能。本文所建議的 CICE 製程之各種實施例應為損壞顯著較少的，從而

提供光滑側壁及更精製之橫斷面幾何形狀，進而導致優越效能。使用 CICE 產生的高縱橫比垂直 NW 可用於垂直 3D NAND 快閃記憶體。此涉及藉由在垂直 NW 上的保形 ALD 以用於電荷儲存的大俘獲密度沉積包括高 k 介電質之記憶體材料。藉由絕緣材料分離的一系列導電材料隨後經沉積以形成字線並產生 NAND 字串，從而得到多層超高密度 3D NAND 快閃記憶體。

DRAM

【0209】 DRAM 產品正在接近基本限制，因為縮放 DRAM 電容器及電晶體利用 2D 結構係極困難的。當前的暫時解決方法係使用堆疊式或溝槽式電容器以增加每單元的電容而不折衷真實狀況 (real estate)。然而，此法具有用於溝槽式電容器之高縱橫比溝槽蝕刻及用於堆疊式電容器之穩定性的限制。此外，逐漸減小的特徵大小影響平坦及凹入通道或鰭片式 DRAM 電晶體之可靠性。某些 DRAM 單元配置亦使用 $5-6F^2$ 之單元大小因數替代理想的 $4F^2$ 單元。由於特徵大小自當前的 20 nm 半間距到 2025 年會減小至 10 nm 以下，存在對以自對準方式併入具有高縱橫比電容器之垂直單元存取電晶體的需要。

【0210】 第 24 圖說明根據本發明技術之一或多個實施例的在藉由 CICE 蝕刻的奈米線上沉積電晶體、電容器及互連材料之示範性 DRAM 設計。第 24 圖之頂部說明電容器區域之斷面圖；位元線垂直於圖式延伸且連接頂

部 $N +$ 摻雜矽區域。各種實施例使用基於垂直奈米線之 DRAM 構架，其併入全周閘極電晶體以及自對準電容器來產生 $4F^2$ 單元大小因數。此可賦能 DRAM 縮放至 10 nm 以下的半間距。因為垂直側壁角度對 CICE 製程而言大於 89.5° ，所以支柱之間的中心至中心距離可為 20 nm 以下、15 nm 以下、10 nm 以下等等。支柱之佈置可為六邊形以產生更緊湊的 DRAM 單元。所蝕刻支柱可垂直於基板對準或以一角度基於 CICE 蝕刻劑濃度來對準。支柱之橫斷面可經最佳化以得到最大表面面積，此取決於其是否可藉由傳統的光微影術及奈米壓印微影術以可接受的缺陷程度製造。

【0211】 為分離用於每一 DRAM 單元之奈米線，可使用 SOI（絕緣體上矽）基板，其中絕緣體充當用於 CICE 之蝕刻停止物且其分離個別奈米線。替代地，奈米線之基底可使用電場來製成多孔的。多孔基底之選擇性氧化可隨後執行來將奈米線電氣絕緣。

【0212】 第 25A 圖 - 第 25B 圖說明根據本發明技術之一或多個實施例的用於 CICE 濕式異向性蝕刻以產生高縱橫比支柱而無崩塌的兩個製程流程。第 25A 圖描繪使用墊材來擴展可使用的最大縱橫比的崩塌預防之方法。使用墊材的崩塌預防可藉由用電漿蝕刻或 SiSE 蝕刻特徵至短的、穩定高度；沉積墊材，及持續 SiSE 製程來進行。

「墊材」亦可處於沿短支柱之長度的高度處，諸如處於 $L/2$ 處，其中 L 為短穩定支柱之高度。此舉在特徵經進

一步蝕刻時得到另外的支撐，且擴展最大縱橫比至大於利用墊材處於短支柱之頂部上的情況下之彼者。此舉向高縱橫比支柱給予結構穩定性且防止崩塌。墊材可藉由以一角度電子束沉積；聚合物填充，深蝕刻及墊材沉積；或諸如旋塗之方法沉積。可用於墊材之材料包括聚合物、所濺射/沉積半導體、金屬及氧化物，其不與 C I C E 蝕刻劑反應，諸如 C r、C r₂O₃、碳、矽、A l₂O₃ 等等。在一些實施例中，墊材亦可藉由另外的低分辨率微影術步驟或藉由向墊材材料誘導多孔性的反應來製成多孔的，例如，墊材材料可為非晶形或多晶 S i，其在 C I C E 蝕刻劑中變成多孔的。一旦基板經蝕刻且可移除催化劑，藉由如原子層沉積之方法沉積記憶體膜或介電質填料可在移除多孔墊材之前進行。墊材材料亦可在某些區域中移除或經調諧成對原子層沉積 (A L D) 為非選擇性的，進而防止孔隙閉合並阻斷沉積路徑。在填充特徵之後，將墊材蝕刻或拋光。A L D 亦可用於在蝕刻之後封閉出高縱橫比形狀以產生深的孔洞 (例如，孔徑、由微影術圖案界定的結構空隙等等) 而不使用分離催化劑。

【0213】 第 25 B 圖展示確保具有菱形橫斷面的經蝕刻奈米結構之穩定性的基於鏈桿的方法。若催化劑網目包含微影鏈桿及間隙兩者，則藉由蝕刻產生經鏈接結構。第 26 圖說明根據本發明技術之一或多個實施例的 S E M 影像，其展示在矽上在 C I C E 之後未支撐特徵相對經支撐特徵之崩塌。具有甚至更小的鏈桿連接的 30 n m 以下的

特徵之製造極具挑戰，因為電子束微影術可寫入 10 nm 以下的特徵，但遭受大的覆蓋率，而光微影術具有優越的覆蓋率但不良的解析度。光微影術及壓印微影術(其遮罩及模板係利用電子束微影術製得)可用以得到可隨後製成奈米壓印模板的最終經鏈接結構。

【0214】 在替代實施例中，孔洞可利用 CICE 蝕刻來產生溝槽式電容器 DRAM 單元。此構架亦可設計為 $4F^2$ 佈局以最小化藉由 DRAM 單元佔據的區域。因為垂直側壁角度對 CICE 製程而言大於 89.5° ，所以孔洞之間的中心至中心距離可為 20 nm 以下、 15 nm 以下、 10 nm 以下等等。孔洞之佈置可為六邊形以產生更緊湊的 DRAM 單元。為增強孔洞中的蝕刻劑擴散，電場可用於沿蝕刻孔洞之長度產生具有多孔性的一或多個層，頂部區域除外。非多孔頂部區域可用於產生用於 DRAM 單元之矽電晶體。一或多個多孔層可經選擇性氧化以將溝槽式電容器電氣絕緣。在具有多孔性的層中產生的孔隙可在 CICE 製程之後使用諸如 SiO_2 、 SiN 、 SiON 等等的絕緣材料之原子層沉積來密封。溝槽式電容器可在高縱橫比孔洞中藉由沉積諸如電極(多晶 Si 、 W 、 TiN 、 Co 、 TaN)及高 k 介電質(HfO_2 、 ZrO_2 、 Al_2O_3)之電容器材料來產生，以便產生 MOS(金屬-氧化物-半導體)、MIM(金屬-絕緣體-金屬)或 MIMIM 等等配置的電容器。

電晶體

【0215】 CMOS 縮放已用於半導體工業來改良晶片效能，減少功率消耗並增強功能性，典型地藉由增加電晶體密度來達成。此縮放藉由每 18 個月至 2 年發佈新技術節點來發生。電晶體密度係藉由減少電晶體之尺寸，諸如閘極長度、閘極氧化物厚度、間隔物厚度等等來增加。當特徵大小減少時，諸如高 k 介電質、金屬閘極、應變工程化及低 k 間隔物介電質之新技術已與平坦或凹入電晶體一起使用。然而，為改良靜電學而不管減少每電晶體之面積，以 FinFET 形式引入 3D 縮放。以最小側壁損壞及無崩塌製造高、薄鰭片之製程已面臨挑戰，因為尺寸減少至 20 nm 以下。對 10 nm 以下的節點，已建議使用水平奈米片及奈米線改良靜電學之創新方法。

【0216】 然而，對於所有該等 3D 幾何形狀，聯合製造挑戰的結構之穩定性已限制了技術之潛力。較高鰭片及/或增加數量的堆疊奈米片及奈米線可改良晶片之效能且賦能針對許多技術節點之縮放。然而，用於製造鰭片之電漿蝕刻遭受蝕刻錐度及影響裝置效能之側壁損壞。具有低側壁損壞的臨界尺寸為 10 nm 以下的高縱橫比鰭片可用 CICE 藉由消除蝕刻錐度及進而藉由減小每電晶體需要的鰭片之數量來達成。大的區域控制及進線計量學將經併入用於具有範圍在矩形鰭片至圓形及成形 NW 的最佳化橫斷面之電晶體之第一階的晶圓規模製造。各種實施例包括新穎的蝕刻技術，即催化劑影響的化學蝕刻 (CICE) 及

微影術要求以賦能製造具有垂直側壁而無電漿損壞的高縱橫比鰭片。

【0217】 CICE 為基於催化劑的蝕刻方法，其可用於半導體上，諸如 Si、Ge、 $\text{Si}_x\text{Ge}_{1-x}$ 、GaN、InP、GaAs、InAs、GaP、InGaS、InGaP、SiC 等等以及多層半導體。電場可或可不結合用於蝕刻之催化劑使用。蝕刻劑（諸如氫氟酸 HF）、氧化劑（諸如過氧化氫 H_2O_2 ）、及視情況低表面張力液體（諸如乙醇）及 DI 水可優先地在催化劑（諸如 Ag、Au、Pd、Pt、Ru、Cu、W、TiN、TaN、 RuO_2 、 IrO_2 、石墨烯等等）之位置處蝕刻半導體基板。若需要，則亦可使用無水蝕刻劑。微影術技術（諸如光微影術、電子束微影術、雙圖案化、四圖案化、奈米壓印微影術等等）可用於界定催化劑特徵。將具有催化劑網目之所得基板置放於蝕刻劑溶液中且精確地蝕刻至藉由電場及可基於在蝕刻期間的電氣及光學性質判定蝕刻深度之光學成像系統主動控制的某一深度。

【0218】 最終裝置因此為具有縱橫比 $> 5:1$ 的高縱橫比鰭片之 finFET，其中鰭片結構極其垂直且具有 $> 89.5^\circ$ 之角度，該角度係使用掃描電子顯微鏡（SEM）、TEM、AFM 等等且隨後使用諸如 ImageJ 之影像分析軟體來量測。平均錐角係使用大致上保形的直線，使用關鍵特徵之頂部及底部之特徵大小的任何差異之間的線性擬合演算法量測。臨界尺寸可為鰭片之寬度或鰭片之間的溝槽之寬度。因為垂直側壁角度對 CICE 製程而言大於 89.5° ，

所以諸如鰭片間隔及鰭片寬度的關鍵特徵之間的中心至中心距離可為 20 nm 以下、15 nm 以下、10 nm 以下等等。

【0219】 在側向奈米線及奈米片 FET 的情況下，鰭片由材料之交替層構成，其中層之一經選擇性地移除且介電質及閘電極係保形地沉積來圍繞懸置的側向奈米線或奈米片。奈米片及側向奈米線 FET 之錐度亦類似於 finFET 來量測。

【0220】 用於製造鰭片之電漿蝕刻具有各種製程挑戰，諸如精確蝕刻、蝕刻錐度、崩塌、腐蝕及結構完整性、及側壁損壞。此影響電晶體之裝置效能。針對 10 nm 以下臨界尺寸的鰭片的高縱橫比及低側壁損壞可利用 CICE 達成。蝕刻錐角產生進一步挑戰，因為其在某一鰭片寬度下限制鰭片之最大高度。為增加鰭片之高度，鰭片之寬度必須增加，從而減少電晶體填充密度。

【0221】 第 27A 圖說明 14 nm FinFET，其具有用於工業的約 850 之錐角及 24 nm 之實體半間距 (HP)。可用此種錐角達成的最大鰭片高度係藉由最大鰭片高度 = $0.5 * \text{半間距} * \tan(\text{錐角})$ 計算。藉由修改錐角，可針對不同鰭片寬度及半間距 (HP) 增加最大鰭片高度。此關係係在第 27B 圖中繪圖，其展示可針對給定 HP 相對蝕刻錐角蝕刻的鰭片之最大高度。此展示用於不具有錐度的諸如 CICE 之蝕刻製程的縮放可能性。此並不考慮稍後檢查的鰭片之結構穩定性。100 nm 之鰭片高度係用

於淺溝槽絕緣 (STI) 且因此不為有效 finFET 之一部分。

【0222】 高縱橫比鰭片對崩塌敏感。鰭片之崩塌可使用連接鏈桿緩和，一旦製得電晶體且鰭片嵌入諸如絕緣體之穩定材料中，該等連接鏈桿即可經改質或移除。

【0223】 第 28 圖為說明在無任何支撐/輔助特徵的情況下，沿鰭片 (在此情況下為 50 nm) 之長度在側向崩塌之前不具有錐度之鰭片之最大高度。針對 50 nm 之長度的未藉由任何連接鏈桿支撐的鰭片之臨界高度係在第 28 圖中相對其半間距來展示。此係藉由使鰭片歸因於崩塌之彎曲能等於分離鰭片所需要的表面能來計算：

$$h_{cr_橫向} = (18El_x w^2 / \gamma_{sv} b)^{(1/4)}$$

$$h_{cr_縱向} = (18El_y w^2 / \gamma_{sv} a)^{(1/4)}$$

其中 E 為鰭片之彈性模數，I 為關於彎曲軸之慣性矩，w 為鰭片之偏轉，亦即，崩塌鰭片之間的半距離， γ_{sv} 為鰭片材料之表面能，且 a 及 b 為垂直於崩塌方向 (縱向對橫向) 的鰭片之尺寸。

【0224】 崩塌在最短高度下沿鰭片之長度發生，且因此為圖式中描繪的高度。儘管鰭片可基於特定電路設計為更加長的，但鰭片之最短長度係藉由 finFET 之接觸閘極間距 (CGP) 決定。對於約 5 nm 的最小間隔物厚度 (t_s) 及約 15 nm 的源極/汲極 (S/D) 接觸長度而言，接觸閘極間距 $CGP = L_G + 2t_s + L_C$ 。此展示電晶體之縮放係取決於可在 10 - 25 nm 之間變化的閘極長度 L_G 。考慮 50

$n\text{ m}$ 之示例性情況來判定鰭片側向崩潰至另一鰭片上之前的不同寬度之鰭片之最大高度。取為鰭片寬度兩倍的鰭片間距，因為一些實施例可歸因於無蝕刻錐度而收縮鰭片間距。

【0225】 縮放至較小鰭片寬度的主要限制為其結構不穩定性。對於利用塊體矽製得的 **FinFET**，針對淺溝槽絕緣 (**STI**) 使用其長度之主要部分。假設 **STI** 所需要的最低高度為 100 nm ，可使用寬度 10 nm 及高於其之鰭片。另外，鰭片之有效部分比初始鰭片高度短得多。此可藉由使用 **SOI** 晶圓部分地減輕。然而，甚至在 **SOI finFET** 的情況下，存在對鰭片可達成的最大高度之限制。蝕刻錐度有助於改良鰭片之結構穩定性至某一程度，但最終限制可能的最大高度，如第 27 圖中描述的情況。

FinFET 製程流程

【0226】 各種實施例藉由使用鰭片之間的連接鏈桿來在蝕刻期間及蝕刻之後穩定鰭片而改良鰭片之結構穩定性。在裝置之進一步處理之後，移除或改質穩定化結構。在一個實施例中，連接鏈桿亦可用於電路設計階段，以將相鄰 **finFET** 之源極及汲極鏈接連同用於磊晶 **S/D** 接點形成。用於 **finFET** 之製程流程之實例展示在第 29 圖中。

【0227】 第 29 圖中說明 **CICE finFET** 製程流程之實施例，其中製程步驟為：a) 經連接鰭片之 **CICE** 及後續催化劑材料移除；b) **STI** (淺溝槽絕緣) 填充及深蝕刻，

其可涉及使用 STI 材料之原子層沉積 (ALD) 及使用蒸汽 HF、原子層蝕刻 (ALE) 或反應性離子蝕刻 (RIE) 深蝕刻 STI 材料。c) 假性閘極及間隔物圖案化及沉積，其中多晶矽係用作假性閘極且氮化矽係用作假性閘極之任一側上的間隔物；d) 使用 ALD 之氧化物填充及使用化學機械拋光 (CMP) 之平面化，切割/蝕刻連接特徵 (或鏈桿)，其中鰭片之間的連接特徵係使用 RIE、ALE、選擇性氧化及蒸汽 HF 蝕刻等等蝕刻，且用於蝕刻連接特徵之微影遮罩可設計來基於每電晶體的鰭片數量及電晶體電路設計而保留某些連接。e) 氧化物填充及深蝕刻；f) 使用具有現場摻雜的 Si 或 Si 及 Ge 之磊晶生長進行源極/汲極沉積；及 g) 金屬閘極替換及高 k 介電質沉積，其中假性閘極可隨後以高 k 介電質及間隔物之間的金屬閘極替換以形成最終的高縱橫比 finFET。

【0228】 在另一實施例中，催化劑連接鏈桿可用於鰭片之區域且遺漏部分可使用矽之磊晶生長來接合。對於其中移除連接鏈桿的區域，取決於位置及電路設計，諸如 TiN、W、SiO₂、SiN、碳、Si、Ge 等等的材料可基於材料之所需電氣性質來沉積，例如，基於連接是否需要為導電、絕緣、或半導體的來沉積。

【0229】 用 CICE 製造的高縱橫比 FinFET 具有在鰭片之間的連接鏈桿以防止崩塌。該等鏈桿必須在製造製程 (第 29 圖步驟 (d)) 期間移除以獲得所需要的鰭片設計。在一個實施例中，finFET 鏈桿係藉由首先圖案化及在

CICE 之後沉積假性閘極及間隔物繼之以在所有暴露區域中沉積介電質來移除。隨後進行光微影術來分離需要移除的鰭片-鏈桿之區域，且使用原子層蝕刻、電漿蝕刻等等來移除鰭片-鏈桿。在蝕刻期間產生的任何電漿蝕刻錐度將不影響藉由假性閘極及間隔物保護的鰭片結構，且後續的 S/D 磊晶術步驟可補足鰭片材料歸因於電漿蝕刻錐度之任何損失。替代地，可進行暴露的鰭片-鏈桿之選擇性氧化及移除，且氧化的鰭片-鏈桿可使用蒸汽 HF、電漿蝕刻、濕式蝕刻來移除以替代矽移除氧化矽，進而歸因於氧化矽蝕刻之選擇性性質而保護矽鰭片。

【0230】 此方法具有 $< 2\text{ nm}$ 的極精確覆蓋之優點，進而確保不自鰭片移除過量材料。間隔物圖案化可用於將寬度及間距自 $35 - 40\text{ nm}$ 線/空間之光微影術解析度減少至 $20 - 25\text{ nm}$ 線/空間之光微影術解析度。為產生平行於鰭片並垂直於鰭片的切口，可以彼此處於 90° 的線/空間使用兩個光微影術步驟。EUV 微影術可用於產生相同特徵而無需另外的間隔物圖案化。基於用於邏輯裝置之 finFET 設計，將設計用於蝕刻鰭片及其連接鏈桿之催化劑圖案。例如，在第 32 圖中，展示起始的 CICE 催化劑圖案及移除連接鏈桿之後的圖案。

【0231】 第 30A 圖-第 30E 圖說明根據本發明技術之一或多個實施例的在 CICE 之後的 FinFET 製程之實例。更特別而言，第 30A 圖-第 30E 圖展示經連接鰭片結構之頂視圖，其設計係取決於 finFET 之應用，諸如在

S R A M 及邏輯電路系統中之應用。在第 30 A 圖中，用 C I C E 蝕刻的結構係連接來防止崩塌。第 30 B 圖描繪假性閘極及間隔物圖案，其係設計來連接如藉由電路設計需要的多個鰭片。在第 30 C 圖中，微影術係用於暴露待蝕刻的部分(連接鏈桿)。在第 30 D 圖中，隨後使用原子層蝕刻或電漿蝕刻蝕刻連接鏈桿。可隨後執行諸如源極/汲極磊晶沉積、閘極替換、及類似物的其他 f i n F E T 處理步驟(未在第 30 A 圖-第 30 E 圖中展示)來得到最終裝置電路系統。第 30 E 圖展示在所有 f i n F E T 處理步驟之後保留的部分 D 中的下伏鰭片之圖解。

【0232】 奈米片 F E T 係藉由蝕刻具有半導體材料之交替層的鰭片及隨後移除交替層之一製得，從而得到懸置奈米片。奈米片 F E T 歸因於其與 f i n F E T 之三閘極結構相對的全周閘極配置而比 f i n F E T 具有更好的靜電學。類似於在前述部分中論述的鰭片之高度限制，在奈米片鰭片中的半導體之交替層的臨界高度限制了可使用電漿蝕刻蝕刻的層數量。此限制在 S i S E 製程中不存在，其為用交替層替代塊體 S i 產生奈米結構的 C I C E 之子集。奈米片層之實施例包含 S i 及 S i_xG e_{1-x}，其中新的臨界高度取決於多層堆疊鰭片之經改質彈性模數。將每一奈米片之厚度考慮為 5 n m，且藉由 S T I 覆蓋的鰭片之下方區域考慮為 S i，有效彈性模數可藉由「層片」模型使用複合材料中混合物之倒數規則來計算： $\frac{1}{E_{eff}} = \frac{V_f}{E_f} + \frac{V_m}{E_m}$ ，其中 E 為彈性模數且 V 為體積分數，下標 f 表示犧牲奈米片材料，

例如 $\text{Si}_x\text{Ge}_{1-x}$ 或多孔 Si ，且 m 為剩餘的奈米片材料，例如， Si 。

【0233】 對約 75% - 95% 的 Si 之體積分數而言，所得有效彈性模數為約 100 - 150 GPa，且用於奈米片鰭片之臨界高度類似於 finFET 鰭片之彼等臨界高度。表面能之變化係取決於處於接觸的鰭片之頂部處的表面材料。在一個實施例中，彼材料為矽且奈米片之材料的影響係與矽 finFET 之彼者相同。

【0234】 替代地，側向奈米線 FET 可以類似方式藉由減少鰭片之寬度來製得。在 SiSE 製程中，使用微影鏈桿形成的用於 finFET 的經連接鰭片亦可用於半導體之交替層之堆疊上。

【0235】 奈米片 FET 類似於 finFET ，其具有鰭片，該等鰭片具有替代塊體矽的材料之交替層。一個實施例包含 Si 及 $\text{Si}_x\text{Ge}_{1-x}$ 之交替層，其中 $\text{Si}_x\text{Ge}_{1-x}$ 層經移除以得到矽奈米片。另一實施例由不同摻雜的 Si 之交替層組成，其產生犧牲多孔 Si 層及結晶 Si 奈米片。在另一實施例中，交替層之間的保護層係用於確保矽奈米片不受犧牲奈米片蝕刻影響，諸如不受使用低摻雜 $\text{Si}/\text{Si}_x\text{Ge}_{1-x}$ /高摻雜 $\text{Si}/\text{Si}_x\text{Ge}_{1-x}$ 或更摻雜 Si/Ge /高摻雜 Si/Ge 之交替堆疊的影響，其中高摻雜 Si 係轉化成多孔 Si 且低摻雜 Si 保持為結晶的。 SiSE 製程經調諧以確保在特定摻雜濃度下的自多孔至非多孔的形態學變化，從而產生多孔及非多孔 Si 之多層堆疊。多孔 Si 可經選

擇性地移除從而產生 Si 之懸置奈米片。蝕刻劑組合物以及在製程期間的孔洞產生得到具有基於其材料及摻雜濃度的不同形態學之交替層。在另一實施例中，SiSE 製程係與塊體 Si 上的隨時間變化的電場一起使用來產生具有多孔及非多孔 Si 之交替層的奈米片鰭片。示範性製程流程係描述在第 31 圖中。

【0236】 第 31 圖說明根據本發明技術之一或多個實施例的用 SiSE 製造奈米片 FET 及側向奈米線 FET 的製程流程之實例。步驟包括 a) 經連接鰭片之 SiSE 及催化劑材料之移除；b) 使用原子層沉積 (ALD) 進行介電質填充以產生 STI (淺溝槽絕緣)；c) 切割/蝕刻連接特徵，其中鰭片之間的連接特徵係使用 RIE 或 ALE 蝕刻，且用於蝕刻連接特徵的微影遮罩可設計來基於每電晶體之鰭片數量及電晶體電路設計來保留某些連接；d) 使用 ALD 在切除區域中沉積諸如氮化矽之應力襯裡；e) 介電質 (STI) 深蝕刻及選擇性移除交替層以得到懸置奈米片/奈米線；f) 假性閘極及間隔物圖案化及沉積，其中多晶矽係用作假性閘極且氮化矽係用作假性閘極之任一側上的間隔物。間隔物可圍繞假性閘極沉積，過量的間隔物材料可經圖案化/蝕刻且可執行氧化物填充及平面化；g) S/D 沉積，其中隨後使用具有現場摻雜的 Si 或 Si 及 Ge 之磊晶生長沉積源極及汲極區域；及 h) 金屬閘極替換及高 k 介電質沉積。

【0237】 在用於奈米片 FET 之 SiSE 的另一實施例中，隨時間變化的電場可連同催化劑蝕刻一起使用以藉由使用塊體 Si 替代如起始基板之材料之交替磊晶層來產生多孔 Si 及非多孔 Si 之交替層。

【0238】 使用選擇性蝕刻製程來進行奈米片之交替層的選擇性移除。例如，在 $\text{Si}/\text{Si}_x\text{Ge}_{1-x}$ 之堆疊中，HCl 可用以選擇性地移除 $\text{Si}_x\text{Ge}_{1-x}$ 。在堆疊 $\text{Si}/$ 多孔 Si，可使用諸如 HF、TMAH、蒸汽 HF、HF 之蝕刻劑及諸如過氧化氫之弱氧化劑等等。在具有諸如低摻雜 $\text{Si}/\text{Si}_x\text{Ge}_{1-x}/$ 高摻雜（在 CICE 之後為多孔的） $\text{Si}/\text{Si}_x\text{Ge}_{1-x}$ 之多個交替材料的堆疊中，HF 可用於移除多孔 Si 且隨後 HCl 係用於移除 $\text{Si}_x\text{Ge}_{1-x}$ 。

【0239】 催化劑係設計用於防止崩塌以使得所有鰭片使用微影鏈桿來連接。為進一步在其中漂移無法使用 SiSE 及/或電場來抑制的情況下防止催化劑之漂移，連接鏈桿係利用連接所有催化劑區域的微影鏈桿來製得同時確保所有鰭片係連接來防止崩塌。

【0240】 崩塌之前的鰭片之臨界高度可藉由在鰭片之端部處於 S/D 區域附近使用連接鏈桿來增加。該等鏈桿可稍後在用閘極、間隔物及絕緣材料穩定鰭片之後移除。第 32 圖繪製針對沿鰭片結構之長度及寬度的不同數量鰭片在側向崩塌之前的臨界高度。對於 50 nm 之接觸閘極間距 (CGP) 而言，10 nm 寬度之連接鏈桿係用於鰭片之兩側上以改良穩定性。所有鰭片係以如第 32 圖所示的正

方形網目彼此連接時的鰭片之最大高度可模擬為具有 3 個固定側的薄長板。

【0241】 第 32 A 圖提供在鰭片之數量 > 1 時的連接鏈桿之圖解。對於 $N = 1$ ，長度 b 等於 f_{inFET} 之 CGP ，而對於 $N > 1$ ，長度 $b = CGP + 2 * (\text{鏈桿寬度})$ 。在第 32 B 圖中，針對不同的鰭片寬度 f 及針對範圍在 1 至 10 的鰭片數量展示在沿經連接鰭片結構之長度崩塌之前的臨界高度。在第 32 C 圖中，針對不同的鰭片寬度 f 及針對範圍在 1 至 10 的鰭片數量展示在沿經連接鰭片結構之寬度崩塌之前的臨界高度。為防止在經連接鰭片之較大方塊中的催化劑之漂移，可利用經鏈接網目，如下文對 6×4 鰭片之區塊所示。多個區塊可完全分離或經由半導體之鏈桿連接。32 D 為針對不同的鰭片寬度 f 及針對範圍在 1 至 10 的鰭片數量展示說明在沿經鏈接鰭片結構之寬度崩塌之前的臨界高度的圖表。

【0242】 為自使用 CICE 蝕刻的經連接鰭片產生裝置，關鍵步驟之一為介電質深蝕刻以在鰭片之基底處產生淺溝槽絕緣 (STI) 區域。此步驟為除 SOI (絕緣體上矽) 晶圓之外的此製程之所有實施例所必需的。諸如 SiO_x 之介電質可使用諸如原子層沉積之保形沉積方法沉積在寬度 $< 15 \text{ nm}$ 之高縱橫比鰭片上。介電質之定時深蝕刻應理想地在鰭片之基底處產生約 100 nm 厚 STI，而不影響鰭片自身。電漿蝕刻係典型地用於此製程。然而，電漿蝕刻製程之實體組分可損壞鰭片。蒸汽 HF 可用於純的化學

製程以深蝕刻介電質而不損壞鰭片。在一個實施例中，可在氧化物介電質沉積之前圍繞鰭片使用 ALD 來沉積單獨的材料(諸如氮化矽)。此將在鰭片上產生蝕刻停止物且防止在選擇性化學蝕刻中的任何損壞。

【0243】 此種自晶圓之中心至邊緣的深蝕刻製程之均勻性需要加以控制。此可在蒸汽 HF 設置中使用多個溫度區來進行。「向前發送的」晶圓可用於最佳化定時蝕刻，且將各種區域與蝕刻速率及深度之不連續性對映。不連續性可藉由產生局部高及低溫度區來平滑化以改質局部蝕刻速率以產生均勻的蝕刻深度。

【0244】 替代地，含矽聚合物可使用噴墨件以高蝕刻速率精確地分配在各位置上，諸如晶圓之邊緣。所分配體積可使用來自向前發送的晶圓的資料來判定。隨後將基板在最佳化溫度下烘焙以在基板上產生材料之有意的不均勻高度。此將藉由蒸汽 HF 消除不均勻蝕刻，且因此確保用於在鰭片中產生 STI 的最終蝕刻均勻性係在規範之內。

【0245】 在另一實施例中，finFET 中之塊體 Si 鰭片及奈米片 FET 中之奈米片鰭片可藉由在使用電場、蝕刻劑濃度及/或待蝕刻的層之摻雜濃度的 SiSE 製程期間產生多孔底部層以使得在蝕刻之後層變成多孔的而彼此電氣絕緣。多孔底部層可為 100 nm 厚。隨後將多孔層選擇性地氧化以在鰭片之底部處產生氧化多孔 Si，進而充

當淺溝槽絕緣(STI)並將鰭片電氣絕緣。對於奈米片FET,交替多孔層亦可在底部多孔層經氧化時得以氧化。

【0246】本發明技術之各種實施例提供用於製造FinFET之技術。例如,在一些實施例中,催化劑可使用微影術,沉積諸如Pt、Pd、Ru、Au等等之不連續催化劑並執行化學機械拋光或提離來圖案化。替代地,催化劑之選擇性電沉積可在微影術之後進行。在SiSE製程之後,催化劑材料可使用濕式蝕刻(例如利用王水)移除或其可使用絕緣體與裝置層分離。為產生STI層,絕緣體可經沉積及平坦化。可隨後執行過量的鰭片連接結構之微影術及蝕刻。隨後,可執行應力襯裡材料之微影術及沉積。若需要,則可使用諸如定時蒸汽HF蝕刻之方法執行得到淺溝槽絕緣(STI)的深蝕刻。對於奈米片電晶體,執行得到懸置奈米片的交替層之選擇性移除。例如,一些實施例可相對Si選擇性蝕刻 $\text{Si}_x\text{Ge}_{1-x}$,及/或相對Si選擇性蝕刻多孔Si。可隨後將假性閘極圖案化。例如,在一些實施例中,可執行用於假性閘極圖案之微影術且可沉積假性閘極材料(氧化物、多晶Si)。可圍繞假性閘極沉積間隔物且圖案化/蝕刻過量的間隔物材料。可執行氧化物填充及深蝕刻。在一些實施例中,微影術可用於暴露S/D區域。隨後,可執行S/D沉積(例如,摻雜磊晶生長)。多晶Si假性閘極可經蝕刻且用高k介電質及金屬閘極替換。可隨後將諸如氧化矽之絕緣體沉積並平坦化以完成電晶體層之製造。隨後進行進一步處理來產生金屬層接點,進

而產生工作電晶體裝置，且可完成金屬層之氧化物填充及平面化。

結 論

【0247】 除非上下文另外清楚地需要，否則遍及說明書及申請專利範圍，用語「包含 (comprise/comprising)」及類似物將以包括性意義來解釋，此與排他性或窮舉性意義相反；即是說，以「包括但不限於」的意義來解釋。如本文所使用，術語「經連接」、「經耦合」或其任何變體意指兩個或兩個以上元件之間的直接或間接的任何連接或耦合；元件之間的耦合或連接可為實體的、邏輯的、或其組合。另外，用語「本文」、「上文」、「下文」、及類似含義之用語在用於本申請案時係指本申請案整體而非本申請案之任何特定部分。在上下文允許時，上文詳細描述中的使用單數或複數的用語亦可分別包括複數或單數。提及兩個或兩個以上項目之列表的用語「或」涵蓋所有以下對該用語的解釋：列表中的任何項目、列表中的所有項目、及列表中的項目之任何組合。

【0248】 本技術之實例的上文詳細描述不意欲為詳盡的或將本技術限制於上文揭示的精確形式。儘管本技術之特定實例在上文出於說明性目的描述，但各種等效修改在本技術之範疇內為可能的，如熟習此項技術者將認識到的。例如，儘管以給定次序呈現製程或方塊，但替代實施方式可執行具有呈不同次序的步驟的例行程序，或使用具有呈

不同次序的方塊的系統，且可刪除、移動、增加、再分、組合、及/或修改一些製程或方塊來提供替代例或子組合。該等製程或方塊中之每一者可以各種不同的方式實施。此外，儘管製程或方塊有時係展示為串聯地執行，但該等製程或方塊可替代地並行地執行或實施，或可在不同時間執行。本文指出的其他任何特定數量僅為實例：替代實施方式可使用不同的值或範圍。

【0249】 本文提供的技術之教示內容可應用於其他系統，未必是上文所述的系統。上文所述的各種實例之要素及操作可組合來提供技術之其他實施方式。技術之一些替代實施方式可不僅包括上文指出的彼等實施方式之另外要素，而且可包括更少的要素。

【0250】 可根據上文詳細描述對技術做出該等及其他變化。儘管上文描述對本技術之某些實例進行描述，且描述了所預期的最佳模式，但不管在文字方面上文出現的詳細程度如何，本技術可以許多方式實踐。系統之細節可在其特定實施方式中顯著地變化，同時仍藉由本文揭示的技術所涵蓋。如上文所指出，在描述本技術之某些特徵或態樣時使用的特定術語不應暗示該術語正在本文被重新定義以限制於彼術語相關聯的本技術之任何特定特性、特徵、或態樣。大體上，隨附申請專利範圍中使用的術語不應解釋為將本技術限制於說明書中揭示的特定實例，除非上文詳細描述部分明確地定義此種術語。因此，本技術之實際

範疇不僅涵蓋所揭示的實例，而且實踐或實施本技術的所有等效方式屬於申請專利範圍之範疇。

【0251】 為精簡申請專利範圍之數量，本技術之某些態樣在下文以某些請求項形式呈現，但申請人預期本技術的呈任何數量之請求項形式的各種態樣。例如，儘管僅本技術之一個態樣係描述為電腦可讀媒體請求項，但其他態樣可同樣地體現為電腦可讀媒體請求項，或呈其他形式，諸如以手段加功能請求項來體現。意欲根據專利法處置的任何請求項將以用語「用於...的手段」開始，但在任何其他上下文中對術語「用於」之使用不意欲援引根據專利法的處置方式。因此，申請人保留在本申請案提交申請之後追加另外請求項的權利以在本申請案或在繼續申請案中追加此等另外的請求項形式。

【符號說明】

【0252】

100 J-FIL 賦能的催化劑影響的化學蝕刻(CICE)製程

110 製程步驟

111 奈米特徵/抗蝕劑

112 矽基板

113 溝槽

120 製程步驟

130 製程步驟

131 金(Au)

1 4 0 製 程 步 驟

1 4 1 溝 槽

1 5 0 製 程 步 驟

2 0 0 S i S E 製 程 控 制

2 1 0 圖 案 化 操 作

2 1 2 操 作

2 1 4 操 作

2 3 0 載 入 操 作

2 4 0 S i S E 製 程

2 5 0 高 縱 橫 比 奈 米 結 構

2 6 0 反 饋 參 數

3 1 0 界 面

3 2 0 多 孔 膜

3 3 0 非 多 孔 膜

3 4 0 崩 塌 壁

5 1 0 連 接 鏈 桿

5 2 0 分 離 催 化 劑

5 3 0 斷 開 區 域

5 4 0 高 縱 橫 比 (H A R) 奈 米 結 構 / 連 接 區 域

6 0 5 噴 墨 件

6 1 0 蝕 刻 劑 循 環 系 統

6 1 5 前 側 電 極 / 局 部 頂 部 電 極

6 2 0 電 場 電 源

6 2 5 聚 合 物 壁

6 3 0 背側電極接點及熱致動器 / 背側電極 / 背側電極接點 /
背側電接點

6 3 5 矽晶圓 / 晶圓

6 4 0 晶圓卡盤

6 4 5 尖銳電極尖端

6 5 0 嵌入式電極及熱致動器

7 0 0 M S P - C I C E 製程腔室

7 1 0 Z 方向運動致動器

7 1 5 軸承

7 2 0 感測器

7 2 5 頭部組件

7 3 0 基底組件

7 3 5 S i 晶圓

7 4 0 基電極

7 4 5 電源

7 5 0 密封環

7 5 5 進口

7 6 0 出口

7 6 5 擴散器

7 7 0 銷卡盤區

7 7 1 密封元件

7 7 2 銷

7 7 5 真空埠

7 8 0 熱致動器

- 7 8 5 電 解 質 區
- 7 9 0 電 解 質 流 動 埠
- 7 9 5 電 源
- 8 0 5 載 入 塢
- 8 1 0 機 器 人 臂
- 8 1 5 製 程 腔 室
- 8 1 6 預 處 理 步 驟
- 8 1 8 蝕 刻 製 程
- 8 2 0 頂 部 電 極 / 進 線 光 學 計 量 學
- 8 2 2 局 部 溫 度 控 制
- 8 2 4 流 量 控 制
- 8 2 5 可 調 諧 光 源
- 8 2 6 電 場
- 8 2 8 後 處 理
- 8 3 0 晶 圓 卡 盤 / 清 洗 步 驟
- 8 3 5 晶 圓 卡 盤 固 持 器
- 8 4 0 攪 拌 器
- 8 4 5 電 源
- 8 5 0 感 測 器
- 8 5 5 排 放 管
- 8 6 0 光 學 計 量 系 統
- 8 6 5 高 解 析 度 攝 影 機
- 8 7 0 底 部 電 極
- 8 8 0 循 環 設 置

- 8 8 5 排 氣 口
- 8 9 0 進 氣 流
- 9 0 0 控 制 器
- 9 1 0 第 一 步 驟
- 9 2 0 群 體
- 9 2 5 控 制 變 數 或 模 型 參 數
- 9 3 0 C I C E 製 程
- 9 3 5 即 時 現 場 製 程 控 制 方 案
- 9 4 0 步 驟
- 9 4 5 步 驟
- 9 5 0 步 驟
- 9 6 0 步 驟
- 9 6 5 步 驟
- 1 0 1 0 奈 米 圓 點
- 1 0 2 0 溝 槽 / 狹 縫
- 1 0 3 0 線
- 1 0 4 0 連 接 鏈 桿
- 1 1 0 0 製 程 流 程
- 1 1 2 0 製 程 步 驟
- 1 1 3 0 製 程 步 驟
- 1 1 4 0 製 程 步 驟
- 1 1 5 0 製 程 步 驟
- 1 1 6 0 製 程 步 驟
- 1 2 0 0 垂 直 通 道 3 D N A N D 之 犧 牲 製 程 流 程

1 2 1 0 操 作

1 2 2 0 操 作

1 2 3 0 操 作

1 2 4 0 步 驟 / 製 程

1 9 1 0 主 模 板

1 9 2 0 主 模 板

1 9 3 0 主 模 板

【生物材料寄存】

【 0 2 5 3 】 國內寄存資訊 (請依寄存機構、日期、號碼順序註記)

無

【 0 2 5 4 】 國外寄存資訊 (請依寄存國家、機構、日期、號碼順序註記)

無



201926460

【發明摘要】

【中文發明名稱】經催化劑影響的圖案轉印技術

【英文發明名稱】CATALYST INFLUENCED PATTERN TRANSFER

TECHNOLOGY

【中文】

本發明技術之各種實施例大體上係關於半導體元件構架及製造技術。更特別而言，本發明技術之一些實施例係關於使用催化劑影響的化學蝕刻技術並應用於三維記憶體構架及電晶體之矽蝕刻。CICE係基於催化劑的蝕刻方法，其可用於半導體上以及多層半導體上。CICE製程之各種實施例可使用催化劑來蝕刻半導體基板並製造高縱橫比特徵。亦揭示達成此目的的製造工具。此應賦能在製造半導體元件中採用此項技術。

【英文】

Various embodiments of the present technology generally relate to semiconductor device architectures and manufacturing techniques. More specifically, some embodiments of the present technology relate to silicon etching using catalyst influenced chemical etching technology with application to three-dimensional memory architectures and transistors. CICE is a catalyst based etching method that can be used on semiconductors as well as multilayers of the semiconductors. Various embodiments of the CICE process can use a catalyst to etch semiconducting substrates and to fabricate high aspect ratio features. A fabrication tool for this purpose is also disclosed. This shall enable adoption of this technology in making semiconductor devices.

【指定代表圖】第(8C)圖。

【代表圖之符號簡單說明】

8 0 5 載 入 塢

8 1 5 製 程 腔 室

8 1 6 預 處 理 步 驟

8 1 8 蝕 刻 製 程

8 2 0 頂 部 電 極 / 進 線 光 學 計 量 學

8 2 2 局 部 溫 度 控 制

8 2 4 流 量 控 制

8 2 6 電 場

8 2 8 後 處 理

8 3 0 晶 圓 卡 盤 / 清 洗 步 驟

【特徵化學式】

無

【發明申請專利範圍】

【第1項】 一種改良催化劑影響的化學蝕刻之可靠性的方法，該方法包含以下步驟：

在一半導體材料之一表面上圖案化一催化劑層，其中該催化劑層包含複數個特徵及在該複數個特徵的兩個或兩個以上者之間的微影鏈桿；

將該半導體材料之該表面上的該圖案化催化劑層暴露於一蝕刻劑，其中該圖案化催化劑層引起該半導體材料之蝕刻以形成相應於該複數個特徵的經製造結構及相應於該等鏈桿的間隙；及

沉積足夠的材料以填充該等間隙。

【第2項】 如請求項 1 所述之方法，其中該等微影鏈桿具有實質上接合該催化劑層之分離節點的連接線。

【第3項】 如請求項 1 所述之方法，其中該圖案化催化劑層中的該等微影鏈桿產生高縱橫比結構之遺漏部分，且該方法進一步包含以下步驟：用 SiO_2 、 SiN 、磊晶 Si 、 W 、 TiN 、或碳填充該等遺漏部分。

【第4項】 如請求項 1 所述之方法，其中該材料為以下一者：

一單晶塊體矽晶圓、沉積在一基板上的厚度大於 100 nm 的一層多晶矽、沉積在一基板上的厚度大於 100 nm 的一層非晶矽、一 SOI (絕緣體上矽)晶圓、

或在一基板上的厚度大於 100 nm 的一層磊晶矽。

【第5項】 如請求項 1 所述之方法，其中該材料包含半導體材料之交替層，該等半導體材料具有變化摻雜位準及摻雜劑、高度摻雜矽及輕度摻雜矽、未摻雜矽及摻雜矽或鍺、矽及 $\text{Si}_x\text{Ge}_{1-x}$ 、不同摻雜的矽及 / 或 $\text{Si}_x\text{Ge}_{1-x}$ 、不同摻雜的矽及 / 或 Ge、或 Si 及 Ge。

【第6項】 如請求項 5 所述之方法，其中該等經製造結構具有以下至少一者的週期變化：多孔性、孔隙大小、孔徑取向、蝕刻速率、或熱處理速率。

【第7項】 如請求項 5 所述之方法，其中每一交替層之一厚度在 1 nm 與 100 nm 之間。

【第8項】 如請求項 5 所述之方法，其中該等交替層之至少一者係經選擇性移除。

【第9項】 如請求項 8 所述之方法，其中 $\text{Si}_x\text{Ge}_{1-x}$ 層係藉由 HCl 移除來產生 Si 奈米片及 / 或側向奈米線。

【第10項】 如請求項 5 所述之方法，其中矽之該等摻雜層之一在用於 CICE 之該蝕刻劑存在下變成多孔的。

【第11項】 如請求項 10 所述之方法，其中該等多孔 Si 層係使用 HF、HF 蒸汽、HF 及一弱氧化劑、KOH 或 TMAH 來移除。

【第12項】 如請求項1所述之方法，其中該催化劑層在一蝕刻劑存在下沉入該半導體材料中。

【第13項】 如請求項1所述之方法，其中該蝕刻劑包含以下至少兩者：

含有化學品 HF 或 NH_4F 之氟化物物質；

氧化劑 H_2O_2 、 KMnO_4 、或溶解氧；

醇類，乙醇、異丙醇、或乙二醇；或

質子、非質子、極性及非極性溶劑，諸如 DI 水、或二甲基亞砷 (DMSO)。

【第14項】 如請求項1所述之方法，其中該半導體材料可為 Ge 、 GaAs 、 GaN 、 Si 、 SiC 、 SiGe 、 InGaAs 、及其他 IV 族、III-V 族、II-V 族元素或化合物。

【第15項】 如請求項1所述之方法，其中該催化劑層包含以下一或多者： Au 、 Pt 、 Pd 、 Ru 、 Ag 、 Cu 、 Ni 、 W 、 TiN 、 TaN 、 RuO_2 、 IrO_2 、或石墨烯。

【第16項】 如請求項1所述之方法，其中該等經製造結構具有小於 100 nm 之至少一個側向尺寸；及至少 5:1 的特徵高度對最小側向尺寸的一縱橫比。

【第17項】 如請求項1所述之方法，其中一隨時間變化的電場係用於產生蝕刻奈米結構之交替層，其中該等交替層之至少一者為多孔的。

【第18項】 如請求項17所述之方法，其中該等經製造結構具有以下至少一者的週期變化：多孔性、孔隙大小、孔徑取向、蝕刻速率及熱處理速率。

【第19項】 如請求項17所述之方法，其中該等多孔Si層係使用HF、HF蒸汽、HF及一弱氧化劑、KOH或TMAH來移除。

【第20項】 如請求項1所述之方法，其中在改質該等連接鏈桿之後的該等所得結構係用於finFET、側向奈米線FET或奈米片FET之後續形成。

【第21項】 如請求項20所述之方法，其中沉積一介電質且一定時化學蝕刻係用於產生用於塊體finFET或奈米片FET的一淺溝槽絕緣。

【第22項】 如請求項1所述之方法，其中該等半導體結構係用於製造DRAM單元。

【第23項】 如請求項1所述之方法，其中該等半導體結構係用於製造3DNAND快閃。

【第24項】 一種藉由催化劑影響的化學蝕刻防止高縱橫比半導體結構之實質崩塌的方法，該方法包含以下步驟：

在一半導體材料之一表面上圖案化一催化劑層，其中該催化劑層包含複數個特徵及在該複數個特徵的兩個或兩個以上者之間的微影間隙；

將該半導體材料之該表面上的該圖案化催化劑層暴露於一蝕刻劑，其中該圖案化催化劑層引起該半導體材料之蝕刻以形成相應於該複數個特徵的結構及相應於該等間隙的鏈桿；及

改質該等鏈桿之一或多者。

【第25項】 如請求項24所述之方法，其中該等互連高縱橫比結構中的該等微影鏈桿係藉由以下方法之一或多者選擇性地改質：該等鏈桿之某些部分的氧化、氮化、選擇性蝕刻、精確對準之微影術及電漿蝕刻。

【第26項】 如請求項24所述之方法，其中該材料為以下一者：

一單晶塊體矽晶圓、沉積在一基板上的厚度大於100 nm的一層多晶矽、沉積在一基板上的厚度大於100 nm的一層非晶矽、一SOI（絕緣體上矽）晶圓、在一基板上的厚度大於100 nm的一層磊晶矽。

【第27項】 如請求項24所述之方法，其中該材料包含半導體材料之交替層，該等半導體材料具有變化摻雜位準及摻雜劑、高度摻雜矽及輕度摻雜矽、未摻雜矽及摻雜矽或鍺、矽及 $\text{Si}_x\text{Ge}_{1-x}$ 、不同摻雜的矽及/或 $\text{Si}_x\text{Ge}_{1-x}$ 、不同摻雜的矽及/或Ge、或Si及Ge。

【第28項】 如請求項24所述之方法，其中該材料包含半導體材料之交替層，其中該等半導體材料具有變化摻

雜位準及摻雜劑、高度摻雜矽、輕度摻雜矽、未摻雜矽、摻雜矽或鍺、矽及 $\text{Si}_x\text{Ge}_{1-x}$ 、不同摻雜的矽、及 / 或 $\text{Si}_x\text{Ge}_{1-x}$ 、與不同摻雜的矽及 / 或 Ge、或 Si 及 Ge。

【第 29 項】 如請求項 28 所述之方法，其中該等經製造結構具有以下至少一者的週期變化：多孔性、孔隙大小、孔徑取向、蝕刻速率及熱處理速率。

【第 30 項】 如請求項 28 所述之方法，其中每一層之該厚度在 1 nm 與 100 nm 之間。

【第 31 項】 如請求項 28 所述之方法，其中該組交替層之至少一者係經選擇性移除。

【第 32 項】 如請求項 31 所述之方法，其中 $\text{Si}_x\text{Ge}_{1-x}$ 層係藉由 HCl 移除來產生 Si 奈米片及 / 或側向奈米線。

【第 33 項】 如請求項 28 所述之方法，其中矽之該等摻雜層之一在用於 CICE 之該蝕刻劑存在下變成多孔的。

【第 34 項】 如請求項 33 所述之方法，其中該等多孔 Si 層係使用 HF、HF 蒸汽、HF 及一弱氧化劑、KOH 或 TMAH 來移除。

【第 35 項】 如請求項 24 所述之方法，其中該催化劑層在一蝕刻劑存在下沉入該半導體基板中。

【第36項】 如請求項24所述之方法，其中該蝕刻劑包含以下至少兩者：

包括 HF 或 NH_4F 之氟化物物質；

氧化劑，包括 H_2O_2 、 KMnO_4 、或溶解氧；

醇類，包括乙醇、異丙醇、或乙二醇；或

質子、非質子、極性及非極性溶劑，包括 DI 水、或二甲基亞砷(DMSO)。

【第37項】 如請求項24所述之方法，其中該半導體材料可為 Ge、GaAs、GaN、Si、SiC、SiGe、InGaAs、及其他 IV 族、III-V 族、II-V 族元素或化合物。

【第38項】 如請求項24所述之方法，其中該催化劑層包含以下一或多者：Au、Pt、Pd、Ru、Ag、Cu、Ni、W、TiN、TaN、 RuO_2 、 IrO_2 、或石墨烯。

【第39項】 如請求項24所述之方法，其中該等經製造結構具有小於 100 nm 之至少一個側向尺寸；及至少 5:1 的特徵高度對最小側向尺寸的一縱橫比。

【第40項】 如請求項24所述之方法，其中一隨時間變化的電場係用於產生蝕刻奈米結構之交替層，其中該等交替層之至少一者為多孔的。

【第41項】 如請求項40所述之方法，其中該等經製造結構具有以下至少一者的週期變化-多孔性、孔隙大小、孔徑取向、蝕刻速率及熱處理速率。

【第42項】 如請求項40所述之方法，其中該等多孔Si層係使用HF、HF蒸汽、HF及一弱氧化劑、KOH或TMAH來移除。

【第43項】 如請求項24所述之方法，其中在改質該等連接鏈桿之後的該等所得結構係用於finFET、側向奈米線FET或奈米片FET之後續形成。

【第44項】 如請求項43所述之方法，其中沉積一介電質且一定時化學蝕刻係用於產生用於塊體finFET或奈米片FET的一淺溝槽絕緣。

【第45項】 如請求項24所述之方法，其中該等半導體結構係用於製造DRAM單元。

【第46項】 如請求項24所述之方法，其中該等半導體結構係用於製造3DNAND快閃。

【第47項】 一種藉由催化劑影響的化學蝕刻防止高縱橫比半導體結構之實質崩塌的方法，該方法包含以下步驟：

藉由在一圖案化催化劑層上或跨於兩個或兩個以上未崩塌半導體結構沉積一材料來產生一支撐結構；及

將該支撐結構暴露於一蝕刻劑以形成具有該材料的較高縱橫比半導體結構以防止該等較高縱橫比半導體結構之實質崩塌。

- 【第48項】 如請求項47所述之方法，其中該等未崩塌半導體結構係由以下製程之一或多者製成：電漿蝕刻、乾式蝕刻、化學蝕刻及催化劑影響的化學蝕刻。
- 【第49項】 如請求項47所述之方法，其中該結構之一基板包含半導體之一或多個層。
- 【第50項】 如請求項47所述之方法，其中該材料耐受包括Cr、聚合物、碳、 Cr_2O_3 、或 Al_2O_3 之蝕刻劑材料。
- 【第51項】 如請求項47所述之方法，其中該材料係沉積在該等結構之頂部處或沿該等結構之長度沉積。
- 【第52項】 如請求項51所述之方法，其中該材料沉積位置係處於離該等未崩塌結構之該頂部的一 L/N 之高度處，其中 L 為該等結構之該高度，且 N 為一數量，其大於或等於1，且係藉由避免崩塌的高度穩定性力學來決定。
- 【第53項】 如請求項47所述之方法，其中該材料係在沉積期間或在暴露於該蝕刻劑之後製成多孔的。
- 【第54項】 如請求項47所述之方法，其中該封蓋材料經圖案化以確保蝕刻劑在CICE期間流動至催化劑膜。
- 【第55項】 如請求項47所述之方法，其中該等高縱橫比半導體結構之間的空隙係用一第二材料填充。

【第56項】 如請求項55所述之方法，其中該支撐結構材料係在進一步用該第二材料填充之後選擇性地移除。

【第57項】 如請求項56所述之方法，其中該結構係用於製造DRAM單元。

【第58項】 如請求項56所述之方法，其中該結構係用於製造具有垂直通道之3DNAND快閃陣列。

【第59項】 一種用於催化劑影響的化學蝕刻之設備，其包含：

一製程腔室，用以容納一半導體晶圓，該半導體晶圓包含在該半導體晶圓之至少一個表面上的一催化劑及一蝕刻劑；

複數個致動器，其經配置以控制該製程腔室內的環境性質；

一控制系統，用以經由該複數個致動器藉由調整該一或多個環境性質控制跨於該半導體晶圓的催化劑影響的蝕刻之速率；及

一清洗站，用以移除該蝕刻劑。

【第60項】 如請求項59所述之設備，其中環境性質包括溫度、蒸汽壓、電場、蝕刻劑濃度、蝕刻劑組合物及照射。

- 【第 61 項】 如請求項 59 所述之設備，其中該清洗站係與該製程腔室相同。
- 【第 62 項】 如請求項 59 所述之設備，其中該清洗發生在一單獨設備中。
- 【第 63 項】 如請求項 59 所述之設備，其中該清洗係使用 DI 水進行來在該蝕刻完成之後自該基板移除所有該等蝕刻劑化學品，且該基板係使用乾熱氮或清潔的乾空氣乾燥。
- 【第 64 項】 如請求項 59 所述之設備，其進一步包含複數個感測器，用以偵測蝕刻狀態。
- 【第 65 項】 如請求項 64 所述之設備，其中該蝕刻狀態包含以下一或多者：一蝕刻深度、一材料多孔性、所蝕刻的交替層之數量、與一蝕刻劑接觸的摻雜半導體材料之導電率、特徵之光學性質、及在該蝕刻製程期間及/或在該蝕刻製程之後量測的特徵之電氣性質。
- 【第 66 項】 如請求項 59 所述之設備，其進一步包含一向前發送的晶圓，其經由該儀器及一離線計量系統處理來感測該向前發送的晶圓之一蝕刻狀態。
- 【第 67 項】 如請求項 66 所述之設備，其中該離線計量學估計該向前發送的晶圓中所注意到的製程偏差。

【第68項】 如請求項59所述之設備，其進一步包含一乾燥機構，其經配置以轉移流體來賦能一表面張力梯度以防止高縱橫比結構之崩塌。

【第69項】 如請求項59所述之設備，其中該局部及/或整體蝕刻深度係使用以下一或多者來監測：

基於電壓、電流、電容、電阻、或電感的局部電場量測；

使用攝影機、光纜或分光光度計及影像處理的光學量測；或

使用熱卡盤或微鏡之熱量測。

【第70項】 如請求項69所述之設備，其中該光學量測係在允許透過該矽進行製程監測的一IR波長下執行。

【第71項】 如請求項59所述之設備，其中該局部及/或整體蝕刻深度係使用以下一或多者來控制：

局部電極，用以施加所要波形、振幅、頻率之AC或DC電場與多個重合電場來避免邊緣效應及滲漏；

使用所要波長之雷射及光源局部照射正在蝕刻的該基板之該前部或背部；

局部區域中的溫度變化，用以使用熱卡盤或微鏡校平蝕刻深度變化；或

使用噴墨件及噴射阻斷或增強蝕刻劑組分或氣泡來

改變局部蝕刻劑濃度以局部地改變蝕刻速率。

【第72項】 如請求項59所述之設備，其中該局部及/或整體蝕刻劑濃度係在催化劑影響的化學蝕刻期間使用以下各項來監測：

該蝕刻劑溶液之折射率量測；或

該蝕刻劑溶液之電導。

【第73項】 如請求項59所述之設備，其中該局部及/或整體蝕刻劑濃度係在催化劑影響的化學蝕刻期間使用以下各項來控制：

蝕刻劑之流量控制及循環；

該基板之自旋；

產生均勻蝕刻劑濃度之擴散器；

用於蝕刻劑之擴散的溫度梯度；

局部添加化學品以驅動蝕刻劑之擴散；

聲學串流；

空氣之噴射；或

局部添加蝕刻劑之耗盡組分。

【第74項】 如請求項59所述之設備，其包含用於監測及控制局部及/或整體溫度的部件，其中：

微鏡係用於自前部或背部加熱晶圓；

電極係用於局部地加熱該晶粒上方的該溶液；或

用於每一晶粒的個別「孔」具有受控溫度，該等孔

係用有限體積之蝕刻劑填充且經泵出/循環。

【第75項】 如請求項59所述之設備，其中該蝕刻劑溶液係維持在低溫下以達一近零蝕刻速率，且局部加熱係用於開始/控制/停止每晶粒之蝕刻。

【第76項】 如請求項59所述之設備，其包含用於監測及控制局部及/或整體電場的部件，其中：

一電場陣列機構，其經配置以在電偏壓施加於一半導體基板時即時地控制一蝕刻分佈；及

一進線電氣計量學及電化學蝕刻停止機構，其經配置以量測在該蝕刻進程時跨於該半導體基板之電流及電壓以判定一裝置中蝕刻的交替層之一數量或作為用於奈米結構蝕刻之一蝕刻停止指示物。

【第77項】 如請求項59所述之設備，其包含用於監測及控制局部及/或整體電場的部件，其中：

使用一圖案化底部電極，其設計係基於一催化劑圖案；

電場係用於製造交替多孔/非多孔層；

整體/局部電場係用於防止催化劑之漂移；

該等電場可具有在某一波長、頻率及工作循環下的正方形波形；

該等電極係在該工具中於該晶圓之該前側或背側上圖案化；

該等電極係在一晶圓、例如在一 S O I O I 晶圓之該前部、背部上、或在該前表面與該背表面之間圖案化；

使用一與外部 O 形環接觸的一金屬刷製得與該晶圓之一電氣接觸；

自邊緣至中心的局部變化係經由脈衝電場來控制；
或

藉由量測每一局部電極中的 I、V、R、C 來監測整個晶圓的蝕刻均勻性及深度。

【第 78 項】 如請求項 59 所述之設備，其中噴墨件係經配置以將蝕刻劑流體分配在該半導體材料之一部分上。

【第 79 項】 如請求項 78 所述之設備，其中該等噴墨件在需要蝕刻之位置處分配蝕刻劑組分。

【第 80 項】 如請求項 79 所述之設備，其中需要蝕刻的該等位置係藉由耐蝕刻劑材料之壁分離，該耐蝕刻劑材料包括稍後移除的一圖案化光致抗蝕劑、Cr、聚合物、或 Al_2O_3 。

【第 81 項】 如請求項 59 所述之設備，其中該催化劑影響的化學蝕刻製程係藉由以下進行：

交替地脈衝 H_2O_2 蒸汽及 HF 蒸汽；

交替地脈衝 H_2O_2 液體及 HF 液體；

交替地脈衝 H_2O_2 蒸汽及 HF 蒸汽；

交替地脈衝 H_2O_2 液體及 HF 蒸汽；或

使用一較強氧化劑用於多孔層並使用一較弱氧化劑用於非多孔層。

【第82項】 如請求項59所述之設備，其中該等蝕刻劑係呈蒸汽或離子形式，該設備包含：

使用一熱卡盤控制局部溫度；

監測每一部件之蒸汽壓；及

施加呈一電漿形式的一電場。

【第83項】 如請求項59所述之設備，對於催化劑影響的化學蝕刻，其佈置所有該等組件來用於監測及控制以使得：

該設置可蝕刻工業標準晶圓或可經歷標準 CMOS 製程之晶圓；

該設置提供所有基板、蝕刻部件及化學品之自動化操縱；

該等組件係與該工具之其他部分並排佈置且包括用於電場監測及控制的局部及/或整體部件；

該等部件經佈置以容納電場部件、噴墨件及溫度控制部件；及

該設置係與該等蝕刻劑化學品相容。

【第84項】 一種用於製造交替多層奈米結構之方法，該方法包含以下步驟：

提供一半導材料；

在該半導體材料之一表面上圖案化一催化劑層；

將該圖案化催化劑層暴露於一蝕刻劑，其中該圖案化催化劑層及該蝕刻劑引起半導體材料之蝕刻來形成垂直奈米結構；

將該半導體材料暴露於一隨時間變化的電場以產生蝕刻奈米結構之交替層，其中該等交替層之至少一者為多孔的；

在該等奈米結構之至少一部分中填充一第二材料；
及

選擇性地處理該等交替層之一以改變其化學組成或將其移除。

【第85項】 如請求項84所述之方法，其中該材料為單晶塊體矽晶圓、沉積在一基板上的厚度大於 100 nm 的一層多晶矽、沉積在一基板上的厚度大於 100 nm 的一層非晶矽、一絕緣體上矽(SOI)晶圓、在一基板上的厚度大於 100 nm 的一層磊晶矽。

【第86項】 如請求項84所述之方法，其中該催化劑層包含一所欲設計及微影鏈桿，其中該等微影鏈桿實質上連接該催化劑層及/或該半導體材料之兩個或兩個以上分離的特徵。

【第87項】 如請求項86所述之方法，其中該等微影鏈桿具有實質上接合該催化劑層之分離節點的連接線。

- 【第88項】 如請求項84所述之方法，其中該所欲設計之尺寸係在 SiSE 之後的該蝕刻材料之後處理期間針對氧化物層之厚度校正。
- 【第89項】 如請求項84所述之方法，其中該圖案係使用一預定義方法設計來產生該等連接鏈桿。
- 【第90項】 如請求項84所述之方法，其中該等圖案可為線及空間、圓、及任意經鏈接的圖案。
- 【第91項】 如請求項84所述之方法，其係使用以下一或多者來製造：電子束微影術、壓印微影術、光微影術、直接自組裝。
- 【第92項】 如請求項91所述之方法，其中不同的電子束圖案係藉由光微影術或壓印微影術來對準以形成一主圖案。
- 【第93項】 如請求項92所述之方法，其中該主圖案係使用壓印微影術複製至該半導體基板上。
- 【第94項】 如請求項84所述之方法，其中該圖案係基於3D NAND 快閃單元陣列構架來設計。
- 【第95項】 如請求項84所述之方法，其中該等具有交替層之所得結構係用於側向奈米線 FET 或奈米片 FET 之後續形成。
- 【第96項】 如請求項86所述之方法，其中與高縱橫比結構互連的該等鏈桿係藉由以下一或多者來改質：氧

化、氮化及選擇性蝕刻；以提供實質上獨立式半導體結構而無崩塌。

【第97項】 如請求項87所述之方法，其中圍繞該等互連高縱橫比結構填充另外的材料以製得高縱橫比分離溝槽。

【第98項】 如請求項84所述之方法，其進一步包含以下步驟：

設計一催化劑圖案以實質上防止製程偏差，其中該等製程偏差包含高縱橫比奈米結構之一崩塌及分離催化劑之漂移。

【第99項】 如請求項84所述之方法，其中該催化劑層在一蝕刻劑存在下沉入該半導體基板中。

【第100項】 如請求項84所述之方法，其中該蝕刻劑包含以下至少兩者：

含有化學品 HF 或 NH_4F 之氟化物物質；

氧化劑，包括 H_2O_2 、 KMnO_4 或溶解氧；

醇類，包括乙醇、異丙醇、或乙二醇；或

質子、非質子、極性及非極性溶劑，包括 DI 水、或二甲基亞砷 (DMSO)。

【第101項】 如請求項84所述之方法，其中該半導體材料可為 Ge 、 GaAs 、 GaN 、 Si 、 SiC 、 SiGe 、 InGaAs 、及其他 IV 族、III-V 族、II-V 族元素或化合物。

【第102項】 如請求項84所述之方法，其中該催化劑材料包含以下一或多者：Au、Pt、Pd、Ru、Ag、Cu、Ni、W、TiN、TaN、RuO₂、IrO₂、或石墨烯。

【第103項】 如請求項84所述之方法，其中在該半導體基板上具有調變電流密度的一電場以及一催化劑層引起該半導體基板之週期部分在該蝕刻劑存在下變成多孔的。

【第104項】 如請求項84所述之方法，其中該等交替層之至少一者具有一小於10%之多孔性。

【第105項】 如請求項84所述之方法，其中該等交替層之至少一者具有一小於1%之多孔性。

【第106項】 如請求項84所述之方法，其中該等交替層之至少一者具有一小於0.1%之多孔性。

【第107項】 如請求項84所述之方法，其中該催化劑層引起該半導體基板的相鄰於該催化劑的週期部分在一蝕刻劑存在下變成多孔的。

【第108項】 如請求項84所述之方法，其中該半導體基板之該等多孔部分增強該等蝕刻劑反應物及產物之擴散。

【第109項】 如請求項84所述之方法，其中該經製造結構具有小於100 nm的至少一個側向尺寸。

【第110項】 如請求項84所述之方法，其中該等經製造結構具有以下至少一者的週期變化：多孔性、孔隙大小、孔徑取向、蝕刻速率及熱處理速率。

【第111項】 如請求項84所述之方法，其中該等交替多層具有一大於100 nm之總厚度。

【第112項】 如請求項84所述之方法，其中非崩塌交替多層奈米結構係用於3D NAND快閃。

【第113項】 如請求項84所述之方法，其中該等多孔交替層具有多孔性，其賦能在無實質應力的情況下的熱處理。

【第114項】 如請求項113所述之方法，其進一步包含以下步驟：

氧化該蝕刻材料堆疊以使得交替半導體之該兩個或兩個以上層之多孔層變成完全氧化的且交替半導體之該兩個或兩個以上層之非多孔層生成為一薄氧化物壁。

【第115項】 如請求項114所述之方法，其中該等非多孔交替層具有一小於10%之多孔性。

【第116項】 如請求項115所述之方法，其中該等非多孔層相對於多孔層耐受熱處理。

【第117項】 如請求項115所述之方法，其中該等非多孔層耐受用於選擇性地移除多孔層的蝕刻劑化學品。

【第 118 項】 如請求項 113 所述之方法，其中該等多孔交替層具有多孔性，其賦能在無體積之實質增加的情況下的氧化。

【第 119 項】 如請求項 113 所述之方法，其中該等多孔交替層具有多孔性，其賦能在無體積之實質增加的情況下的氮化。

【第 120 項】 如請求項 113 所述之方法，其中材料係藉由微影術、沉積及蝕刻沉積在該等高縱橫比奈米結構之特定區域中。

【第 121 項】 如請求項 120 所述之方法，其中該等交替層之一經選擇性地移除，其中一蝕刻選擇性大於 10:1。

【第 122 項】 如請求項 120 所述之方法，其中該等交替層之一經選擇性地移除，其中一蝕刻選擇性大於 50:1。

【第 123 項】 如請求項 120 所述之方法，其中一材料係沉積來替換經選擇性地移除的該交替層。

【第 124 項】 如請求項 123 所述之方法，其中用於導電線之該沉積材料包含以下一或多者：氮化鋁、鎢、鈦、鈷、銅及鎳。

【第125項】 如請求項123所述之方法，其中用於絕緣線之該沉積材料包含以下一者：二氧化矽、氮化矽、低k介電質。

【第126項】 如請求項120所述之方法，其中該等交替層具有多孔矽及非多孔矽，且該等多孔矽層係使用包括TMAH及KOH的鹼性蝕刻劑、或基於氟化物之化學品或利用基於氟化物之化學品及溫和氧化劑來移除。

【第127項】 如請求項124所述之方法，其中該等交替層具有一導電材料及非多孔矽，且該等非多孔矽層係使用包括TMAH及KOH的鹼性蝕刻劑、或利用基於氟化物之化學品及氧化劑來移除。

【第128項】 如請求項117所述之方法，其中該等交替層具有一多孔氧化矽及非多孔矽，且該等多孔氧化矽層係使用包括HF及緩衝HF的呈液體或蒸汽形式之基於氟化物的蝕刻劑來移除。

【第129項】 如請求項126所述之方法，其進一步包含以下步驟：

在該等非多孔層上選擇性地沉積閘極及導電線材料並退火來形成用於導電線之矽化物。

【第130項】 如請求項129所述之方法，其中該閘極及導電線材料包含以下一者：氮化鉭、鎢、鈦、鈷及鎳。

【第131項】 如請求項115所述之方法，其進一步包含以下步驟：

在通道中沉積一記憶體膜及一氧化物芯部填料同時保護字線狹縫。

【第132項】 如請求項131所述之方法，其中該記憶體膜包含一氧化矽、氮化矽及氧化矽之三層、及有摻雜或無摻雜的多晶矽之一芯部、及諸如氧化矽之一絕緣體。

【第133項】 一種用於製造實質上非崩塌交替多層堆疊奈米結構之方法，該方法包含以下步驟：

產生包含交替半導體之兩個或兩個以上層的一材料堆疊，其中交替半導體之該兩個或兩個以上層中之每一者在以下性質之至少一個方面不同於另一者：材料、摻雜濃度及摻雜劑材料；

藉由催化劑影響的化學蝕刻蝕刻該材料堆疊以使得在該等性質方面不同的層產生在以下之至少一個方面不同的蝕刻奈米結構：形態學、多孔性、蝕刻速率及熱處理速率；

在該等奈米結構之至少一部分中填充一第二材料；
及

選擇性地處理該等交替層之一以改變一化學組成或移除該等交替層之一。

【第134項】 如請求項133所述之方法，其中該材料包含半導體材料之交替層，其中該等半導體材料具有變化摻雜位準及摻雜劑、高度摻雜矽、輕度摻雜矽、未摻雜矽、摻雜矽或鍺、矽及 $\text{Si}_x\text{Ge}_{1-x}$ 、不同摻雜的矽及 / 或 $\text{Si}_x\text{Ge}_{1-x}$ 、不同摻雜的矽及 / 或 Ge、或 Si 及 Ge。

【第135項】 如請求項133所述之方法，其中該催化劑層包含一所欲設計及微影鏈桿，其中該等微影鏈桿實質上連接該催化劑層及 / 或該半導體材料之一或多個分離的特徵。

【第136項】 如請求項135所述之方法，其中該等微影鏈桿具有實質上接合該催化劑層之分離節點的連接線。

【第137項】 如請求項133所述之方法，其中該所欲設計之尺寸係在 SiSE 之後的該蝕刻材料之後處理期間針對氧化物層之厚度校正。

【第138項】 如請求項133所述之方法，其中該圖案係使用一預定義方法設計來產生該等連接鏈桿。

【第139項】 如請求項133所述之方法，其中該等圖案可為線及空間、圓、及任意經鏈接的圖案。

【第140項】 如請求項133所述之方法，其係使用以下一或多者來製造：電子束微影術、壓印微影術、光微影術、直接自組裝。

【第141項】 如請求項140所述之方法，其中不同的電子束圖案係藉由光微影術或壓印微影術來對準以形成一主圖案。

【第142項】 如請求項141所述之方法，其中該主圖案係使用壓印微影術複製至該半導體基板上。

【第143項】 如請求項133所述之方法，其中該圖案係基於3D NAND快閃單元陣列構架來設計。

【第144項】 如請求項133所述之方法，其中該等具有交替層之所得結構係用於側向奈米線FET或奈米片FET之後續形成。

【第145項】 如請求項135所述之方法，其中與高縱橫比結構互連的該等鏈桿係藉由以下一或多者來改質：氧化、氮化及選擇性蝕刻；以提供實質上獨立式半導體結構而無崩塌。

【第146項】 如請求項136所述之方法，其中圍繞該等互連高縱橫比結構填充另外的材料以製得高縱橫比分離溝槽。

【第147項】 如請求項133所述之方法，其進一步包含以下步驟：

設計一催化劑圖案以實質上防止製程偏差，其中該等製程偏差包含高縱橫比奈米結構之一崩塌及分離催化劑之漂移。

【第148項】 如請求項133所述之方法，其中該催化劑層在一蝕刻劑存在下沉入該半導體基板中。

【第149項】 如請求項133所述之方法，其中該蝕刻劑包含以下至少兩者：

含有包括HF或NH₄F之化學品的氟化物物質；

氧化劑，包括H₂O₂、KMnO₄、或溶解氧；

醇類，包括乙醇、異丙醇、或乙二醇；或

質子、非質子、極性及非極性溶劑，包括DI水、或二甲基亞砷(DMSO)。

【第150項】 如請求項133所述之方法，其中該半導體材料可為Ge、GaAs、GaN、Si、SiC、SiGe、InGaAs、及其他IV族、III-V族、II-V族元素或化合物。

【第151項】 如請求項133所述之方法，其中該催化劑材料包含以下一或多者：Au、Pt、Pd、Ag、Cu、Ni、W、TiN、或石墨烯。

【第152項】 如請求項133所述之方法，其中一電場係用於改良製程控制及跨於該基板的蝕刻均勻性。

【第153項】 如請求項133所述之方法，其中該等交替層之至少一者具有一小於10%之多孔性。

【第154項】 如請求項133所述之方法，其中該等交替層之至少一者具有一小於1%之多孔性。

- 【第155項】 如請求項 133 所述之方法，其中該等交替層之至少一者具有一小於 0.1% 之多孔性。
- 【第156項】 如請求項 133 所述之方法，其中該催化劑層引起該半導體基板的相鄰於該催化劑的週期部分在一蝕刻劑存在下變成多孔的。
- 【第157項】 如請求項 133 所述之方法，其中該半導體基板之該等多孔部分增強該等蝕刻劑反應物及產物之擴散。
- 【第158項】 如請求項 133 所述之方法，其中該經製造結構具有小於 100 nm 的至少一個側向尺寸。
- 【第159項】 如請求項 133 所述之方法，其中該等經製造結構具有以下至少一者的週期變化：多孔性、孔隙大小、孔徑取向、蝕刻速率及熱處理速率。
- 【第160項】 如請求項 133 所述之方法，其中該等交替多層具有一大於 100 nm 之總厚度。
- 【第161項】 如請求項 133 所述之方法，其中非崩塌交替多層奈米結構係用於 3D NAND 快閃。
- 【第162項】 如請求項 133 所述之方法，其中該等多孔交替層具有多孔性，其賦能在無實質應力的情況下的熱處理。
- 【第163項】 如請求項 162 所述之方法，其進一步包含以下步驟：

氧化該蝕刻材料堆疊以使得交替半導體之該兩個或兩個以上層之多孔層變成完全氧化的且交替半導體之該兩個或兩個以上層之非多孔層生成為一薄氧化物壁。

【第164項】如請求項163所述之方法，其中該等非多孔交替層具有一小於10%之多孔性。

【第165項】如請求項164所述之方法，其中該等非多孔層相對於多孔層耐受熱處理。

【第166項】如請求項164所述之方法，其中該等非多孔層耐受用於選擇性地移除多孔層的蝕刻劑化學品。

【第167項】如請求項162所述之方法，其中該等多孔交替層具有多孔性，其賦能在無體積之實質增加的情況下的氧化。

【第168項】如請求項162所述之方法，其中該等多孔交替層具有多孔性，其賦能在無體積之實質增加的情況下的氮化。

【第169項】如請求項162所述之方法，其中材料係藉由微影術、沉積及蝕刻沉積在該等高縱橫比奈米結構之特定區域中。

【第170項】如請求項169所述之方法，其中該等交替層之一經選擇性地移除，其中一蝕刻選擇性大於10:1。

【第171項】 如請求項169所述之方法，其中該等交替層之一經選擇性地移除，其中一蝕刻選擇性大於50:1。

【第172項】 如請求項169所述之方法，其中一材料係沉積來替換經選擇性地移除的該交替層。

【第173項】 如請求項172所述之方法，其中用於導電線之該沉積材料包含以下一或多者：氮化鉭、鎢、鈦、鈷、銅及鎳。

【第174項】 如請求項172所述之方法，其中用於絕緣線之該沉積材料包含以下一者：二氧化矽、氮化矽、低k介電質。

【第175項】 如請求項169所述之方法，其中該等交替層具有多孔矽及非多孔矽，且該等多孔矽層係使用包括TMAH及KOH的鹼性蝕刻劑、利用基於氟化物之化學品或利用基於氟化物之化學品及溫和氧化劑來移除。

【第176項】 如請求項173所述之方法，其中該等交替層具有一導電材料及非多孔矽，且該等非多孔矽層係使用包括TMAH及KOH的鹼性蝕刻劑、或利用基於氟化物之化學品及氧化劑來移除。

【第177項】 如請求項166所述之方法，其中該等交替層具有一多孔氧化矽及非多孔矽，且該等多孔氧化矽

層係使用包括 HF 或緩衝 HF 的呈液體或蒸汽形式之基於氟化物的蝕刻劑來移除。

【第 178 項】 如請求項 175 所述之方法，其進一步包含以下步驟：

在該等非多孔層上選擇性地沉積閘極及導電線材料並退火來形成用於導電線之矽化物。

【第 179 項】 如請求項 178 所述之方法，其中該閘極及導電線材料包含以下一者：氮化鉭、鎢、鈦、鈷及鎳。

【第 180 項】 如請求項 163 所述之方法，其進一步包含以下步驟：

在通道中沉積一記憶體膜及一氧化物芯部填料同時保護字線狹縫。

【第 181 項】 如請求項 180 所述之方法，其中該記憶體膜包含一氧化矽、氮化矽及氧化矽之一三層、及有摻雜或無摻雜的多晶矽之芯部、及諸如氧化矽之一絕緣體。

【第 182 項】 一種用於製造交替多層結構之方法，該方法包含以下步驟：

提供一半導體基板；

以具有小於 80 度之一角度的錐度蝕刻一半導體基板；

該半導體基板之進一步催化劑影響的化學蝕刻以產

生具有不同多孔性的交替層；及

蝕刻該錐度以顯露該兩個或兩個以上交替層之一同時蝕刻另一層之部分以產生一階梯結構。

【第183項】如請求項182所述之方法，其中該階梯結構係用於產生與一3D NAND快閃裝置之導電層的接點。

【第184項】如請求項182所述之方法，其中該材料為以下一者：

一單晶塊體矽晶圓、沉積在一基板上的厚度大於100 nm的一層多晶矽、沉積在一基板上的厚度大於100 nm的一層非晶矽、一絕緣體上矽(SOI)晶圓、或在一基板上的厚度大於100 nm的一層磊晶矽。

【第185項】如請求項182所述之方法，其中該材料包含半導體材料之交替層且其中該等半導體材料包括變化摻雜位準及摻雜劑、包含矽及鍺、高度摻雜矽/輕度摻雜矽或未摻雜矽/摻雜矽/鍺的交替半導體之兩個或兩個以上層。

【第186項】如請求項182所述之方法，其中該半導體材料係沿一晶體平面使用一結晶學依賴性蝕刻用包含以下之一的一蝕刻劑蝕刻：KOH、TMAH、NH₄OH、EDP。

【第187項】 如請求項182所述之方法，其中該半導體材料係利用電漿以相對該基板之一角度使用法拉第籠來蝕刻。

【第188項】 如請求項182所述之方法，其中該階梯結構係用於產生與一3D NAND快閃裝置之導電層的接點。

【第189項】 如請求項182所述之方法，其中至少一組該等交替層之最小厚度係由微影覆蓋、該等接點之電阻、及微影解析度之要求來界定。

【第190項】 如請求項189所述之方法，其中該等絕緣層之厚度比該導電層之厚度大3倍。

【第191項】 如請求項189所述之方法，其中該等絕緣層之厚度比該導電層之厚度大2倍。

【第192項】 一種改良催化劑影響的化學蝕刻之可靠性的方法，該方法包含以下步驟：

在一半導體材料之一表面上圖案化一催化劑層，其中該催化劑層包含複數個特徵；

將該半導體材料之該表面上的該圖案化催化劑層暴露於一預處理步驟，其中該預處理步驟係用於改質該催化劑表面、該半導體表面、及該催化劑與該半導體表面之間的界面之表面性質；及

將該預處理基板暴露於一蝕刻劑，其中該圖案化催

化劑層引起該半導體材料之蝕刻以形成相應於該複數個特徵的結構。

【第193項】 如請求項192所述之方法，其中該預處理步驟包含以下步驟，將該等表面暴露於以各種稀釋的以下化學品之一或多者：蒸汽HF、食人魚蝕刻溶液、緩衝氧化物蝕刻液、氫氟酸、丙酮、或乙醇。

【第194項】 如請求項192所述之方法，其中該預處理步驟包含以下步驟：將該等表面暴露於一電漿，諸如氧電漿、二氧化碳電漿、氫電漿、氫或氮電漿。

【第195項】 如請求項192所述之方法，其中該等表面性質包括表面能、藉由接觸角量測的表面潤濕性、界面能。

【第196項】 如請求項192所述之方法，其中該預處理步驟藉由改良該催化劑及半導體界面之表面能而改良該蝕刻之該均勻性。

【第197項】 一種3D快閃記憶體裝置，其包含：

至少二十層之主動記憶體陣列；

具有大於89.5度的一壁角度之一閘極或一通道；及

在記憶體之區塊之間的分離溝槽，其中該等溝槽亦具有大於89.5度之一壁角度。

【第198項】 如請求項197所述之3D快閃記憶體裝置，其中該壁角度係就以下一或多者之頂部及底部上的關鍵特徵尺寸來量測：閘極、通道、及分離溝槽。

【第199項】 如請求項198所述之3D快閃記憶體裝置，其中該關鍵特徵尺寸係自一計量學技術提取，該技術包括掃描電子顯微術(SEM)、透射電子顯微術(TEM)、或原子力顯微術(AFM)。

【第200項】 一種3D快閃記憶體裝置，其包含：

至少二十層之主動記憶體陣列；及

具有小於120 nm的一中心至中心距離的垂直閘極或通道。

【第201項】 一種3D快閃記憶體裝置，其包含：

至少二十層之主動記憶體陣列；及

具有小於100 nm的一中心至中心距離的垂直閘極或通道。

【第202項】 一種3D快閃記憶體裝置，其包含：

至少二十層之主動記憶體陣列；及

具有小於80 nm的一中心至中心距離的垂直閘極或通道。

【第203項】 一種高縱橫比finFET陣列，其包含：

鰭片，其至少具有至少5:1之一縱橫比；

其中該等鰭片具有大於89.5度的一壁角度；及

該等鰭片之一基底係由用於淺溝槽絕緣之一介電質圍繞。

【第204項】 如請求項203所述之高縱橫比 finFET 陣列，其中該鰭片壁角度係就該鰭片之頂部上及在該鰭片之底部處的關鍵特徵尺寸來量測。

【第205項】 如請求項204所述之高縱橫比 finFET 陣列，其中該關鍵特徵尺寸係自一計量學技術提取，該技術諸如掃描電子顯微術 (SEM)、透射電子顯微術 (TEM)、或原子力顯微術 (AFM)。

【第206項】 一種高縱橫比奈米片 FET 陣列，其包含：
鰭片，其至少具有至少 5:1 之一縱橫比；
其中該鰭片壁角度大於 89.5 度；及
該奈米片 FET 之一基底為由用於淺溝槽絕緣之一介電質圍繞的一鰭片。

【第207項】 如請求項206所述之高縱橫比奈米片 FET 陣列，其中該等鰭片包含具有全周介電質及閘極金屬的半導體材料之側向層。

【第208項】 如請求項206所述之高縱橫比奈米片 FET 陣列，其中該結構亦係定義為奈米片 FET 或側向奈米線 FET。

【第209項】如請求項206所述之高縱橫比奈米片FET陣列，其中該鰭片壁角度係就該鰭片之頂部上及在該鰭片之底部處的關鍵特徵尺寸來量測。

【第210項】如請求項209所述之高縱橫比奈米片FET陣列，其中該關鍵特徵尺寸係自一計量學技術提取，該技術諸如掃描電子顯微術(SEM)、透射電子顯微術(TEM)、或原子力顯微術(AFM)。

【第211項】一種高縱橫比finFET陣列，其包含：

鰭片，其具有30nm之一中心至中心距離及至少500nm之一高度；及

該等鰭片之一基底係由用於淺溝槽絕緣之一介電質圍繞。

【第212項】如請求項211所述之高縱橫比finFET陣列，其中該等鰭片具有大於89.5度的一鰭片壁角度。

【第213項】如請求項212所述之高縱橫比finFET陣列，其中該關鍵特徵尺寸係自一計量學技術提取，該技術諸如掃描電子顯微術(SEM)、透射電子顯微術(TEM)、或原子力顯微術(AFM)。

【第214項】一種使用催化劑影響的化學蝕刻產生高縱橫比溝槽之方法，該方法包含以下步驟：

提供一半導體基板；

催化劑影響的化學蝕刻該半導體基板以產生具有一

頂部非多孔層及一或多個底部多孔層的高縱橫比半導體孔洞；

沉積材料以密封該一或多個多孔層；及

沉積材料以填充該等高縱橫比孔洞。

【第215項】 如請求項214所述之方法，其中該頂部多孔層具有小於100 nm之一厚度，且一底部多孔層具有大於200 nm之一厚度。

【第216項】 如請求項214所述之方法，其中該一或多個底部多孔層經選擇性地氧化。

【第217項】 如請求項216所述之方法，其中該等孔隙係使用利用原子層沉積沉積的氧化矽來密封。

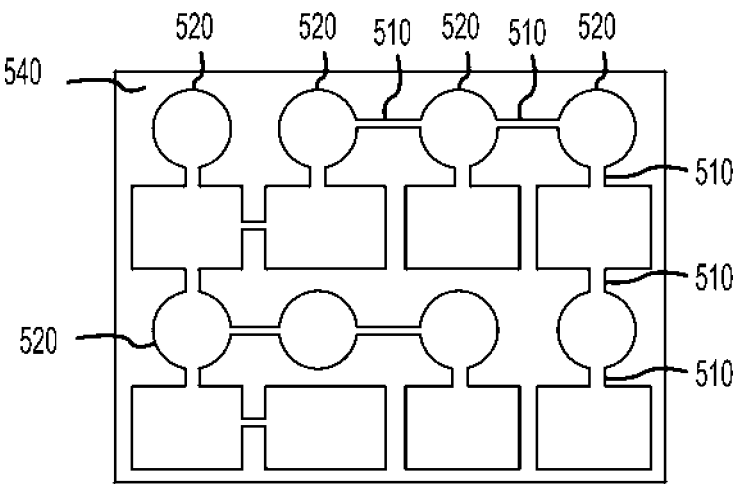
【第218項】 如請求項214所述之方法，其中該一或多個底部多孔層賦能在CICE期間蝕刻劑在該等高縱橫比孔洞之間的擴散。

【第219項】 如請求項216所述之方法，其中該結構係用於製造具有溝槽式電容器的DRAM單元。

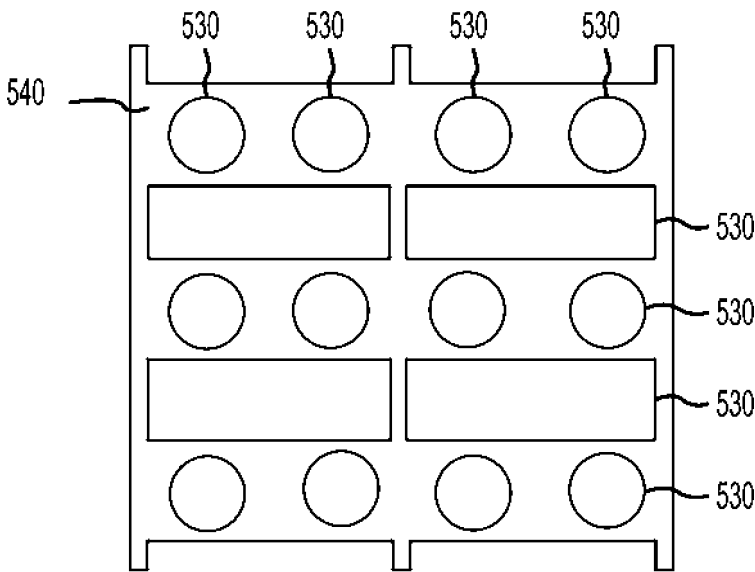
【第220項】 如請求項216所述之方法，其中該結構係用於製造具有該頂部非多孔結構作為該鰭片之該主動部分及該氧化多孔底部結構充當淺溝槽絕緣(STI)的FinFET。

【第221項】 如請求項216所述之方法，其中該結構係用於製造奈米片FET，其中該頂部結構包含多於一個

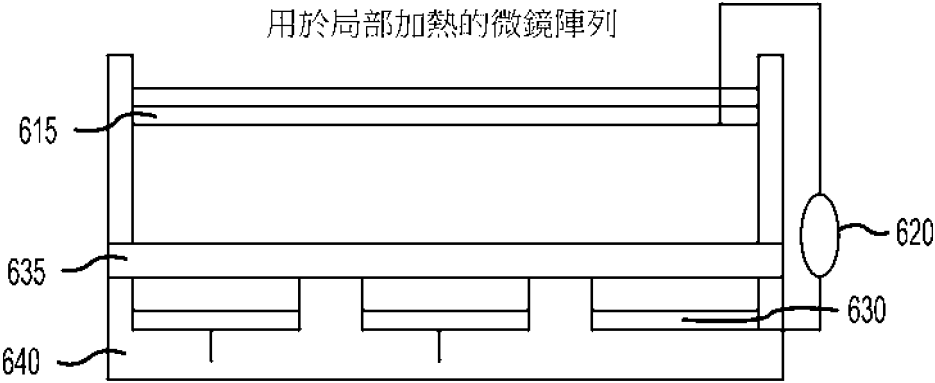
非多孔層及氧化多孔層，且其中該氧化多孔底部結構充當淺溝槽絕緣（STI）。



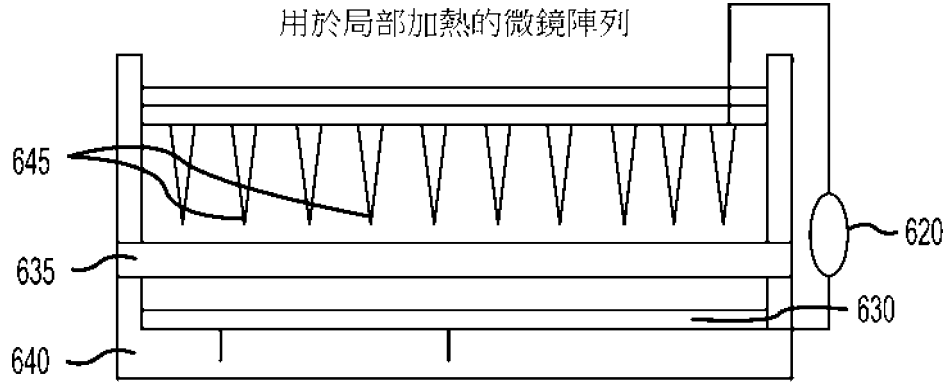
第5A圖



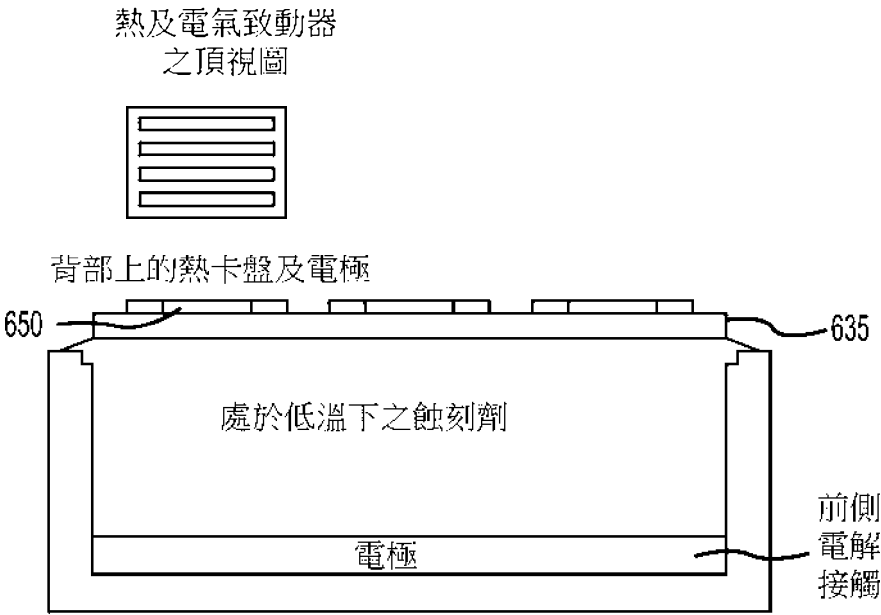
第5B圖



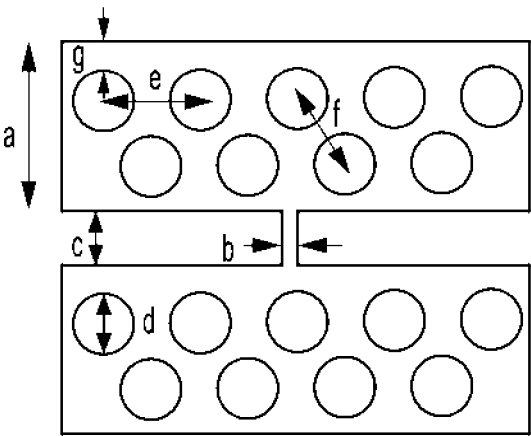
第6C圖



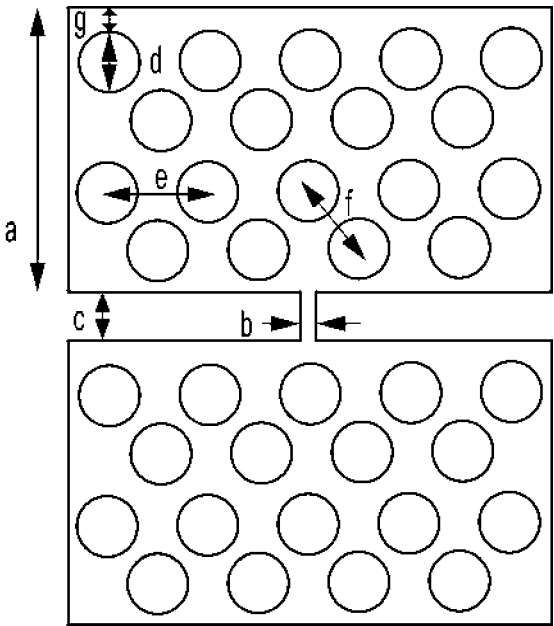
第6D圖



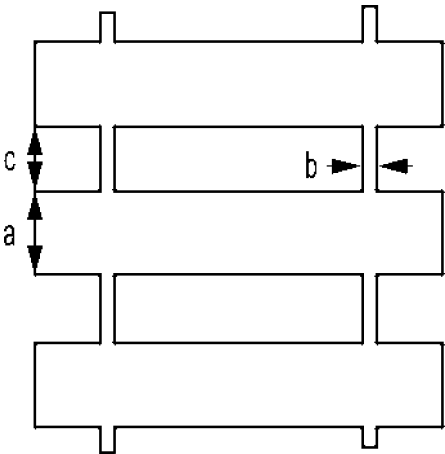
第6E圖



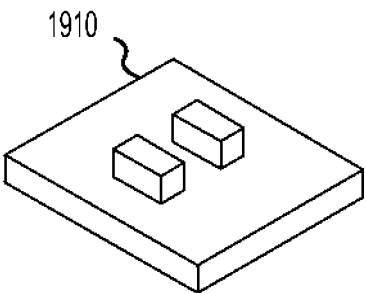
第18A圖



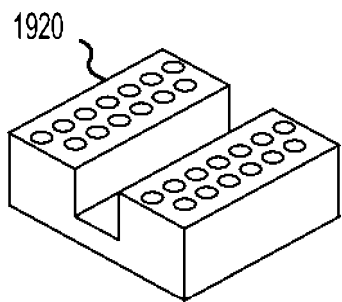
第18B圖



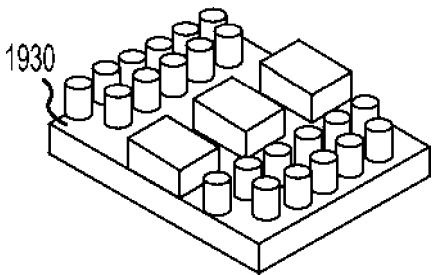
第18C圖



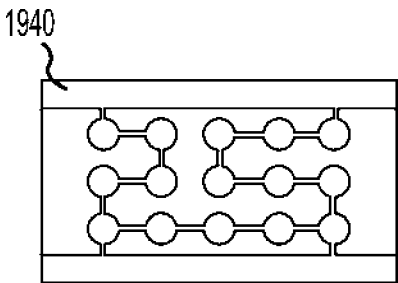
第19A圖



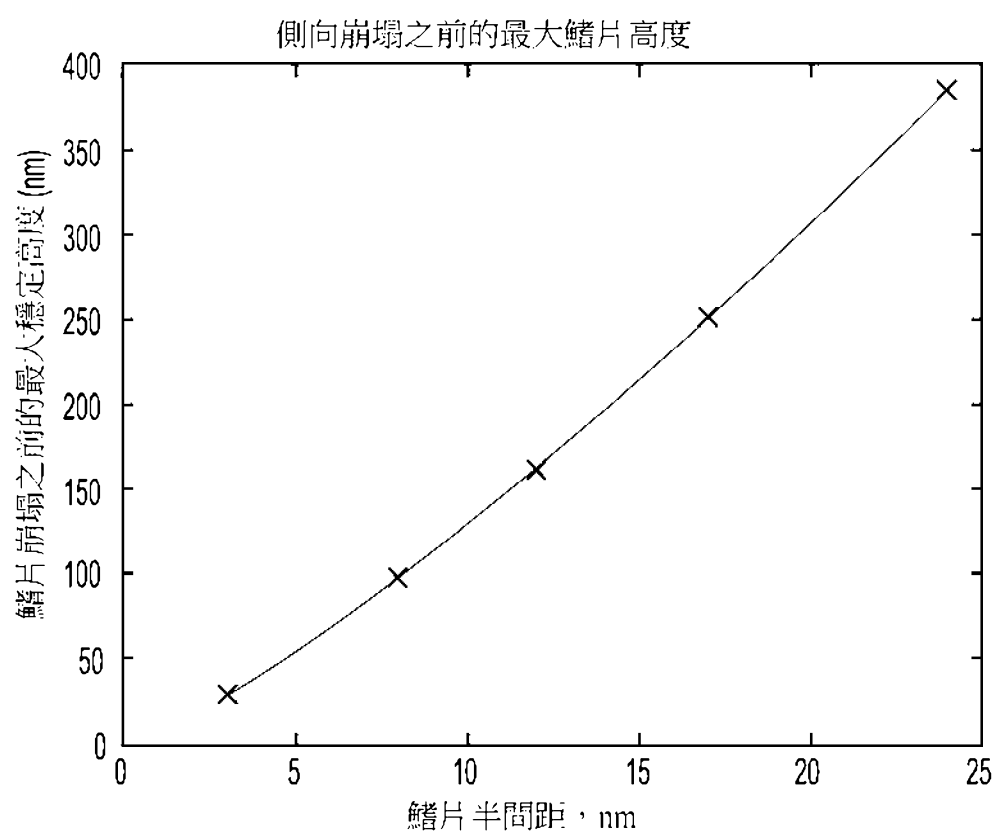
第19B圖



第19C圖



第19D圖



第28圖

