

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6663209号
(P6663209)

(45) 発行日 令和2年3月11日(2020.3.11)

(24) 登録日 令和2年2月18日(2020.2.18)

| | | | |
|-----------------------|--|-------------|--|
| (51) Int.Cl. | | F I | |
| HO4N 5/3745 (2011.01) | | HO4N 5/3745 | |
| HO4N 5/353 (2011.01) | | HO4N 5/353 | |
| HO4N 5/376 (2011.01) | | HO4N 5/376 | |

請求項の数 14 (全 31 頁)

| | | | |
|-----------|-------------------------------|-----------|--|
| (21) 出願番号 | 特願2015-233675 (P2015-233675) | (73) 特許権者 | 000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号 |
| (22) 出願日 | 平成27年11月30日(2015.11.30) | (74) 代理人 | 100094112 弁理士 岡部 譲 |
| (65) 公開番号 | 特開2017-103537 (P2017-103537A) | (74) 代理人 | 100101498 弁理士 越智 隆夫 |
| (43) 公開日 | 平成29年6月8日(2017.6.8) | (74) 代理人 | 100106183 弁理士 吉澤 弘司 |
| 審査請求日 | 平成30年11月28日(2018.11.28) | (74) 代理人 | 100128668 弁理士 齋藤 正巳 |
| | | (72) 発明者 | 林 英俊 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内 |

最終頁に続く

(54) 【発明の名称】 撮像装置、撮像システム及び撮像装置の駆動方法

(57) 【特許請求の範囲】

【請求項1】

入射光に応じた電荷を生成する光電変換部と、
入力ノードを有し、前記入力ノードの電荷に応じた信号を出力する増幅トランジスタと

、
前記光電変換部で生成された電荷を前記入力ノードに転送する転送トランジスタと、
前記入力ノードを所定の電圧でリセットするリセットトランジスタと、
前記入力ノードの容量値を可変とする容量可変手段と、
をそれぞれが含む複数の画素が、複数の行をなすように配された画素アレイと、
前記転送トランジスタと前記リセットトランジスタとをオンにすることによって、前記
光電変換部の電荷をリセットする処理を前記複数の画素のそれぞれの行に順次行うシャッ
タ走査と、前記転送トランジスタをオンにすることによって、前記光電変換部の電荷を前
記入力ノードに転送する処理を前記複数の画素のそれぞれの行に順次行う読み出し走査と
、のそれぞれを行う走査回路と、

前記読み出し走査において、前記容量可変手段を制御して前記入力ノードの容量値を設
定する第1の制御部と、

前記シャッタ走査において、前記容量可変手段を制御して前記入力ノードの容量値を設
定する第2の制御部と、

を有し、

前記第1の制御部は、前記走査回路が前記読み出し走査を開始するタイミングと同期し

10

20

て、前記容量可変手段が前記入力ノードの容量値を設定するように、前記容量可変手段を制御し、

前記第2の制御部は、前記走査回路が前記シャッタ走査を開始するタイミングと同期して、前記容量可変手段が前記入力ノードの容量値を設定するように、前記容量可変手段を制御する

ことを特徴とする撮像装置。

【請求項2】

同一フレームの画像を取得するための一連の前記読み出し走査と前記シャッタ走査において、前記第1の制御部及び前記第2の制御部は、前記読み出し走査における前記入力ノードの容量値と、前記シャッタ走査における前記入力ノードの容量値とを同一の容量値に設定するように、前記容量可変手段を制御することを特徴とする請求項1に記載の撮像装置。

10

【請求項3】

前記画素アレイは、複数の行をなすように配され、前記光電変換部を含まない複数のダミー画素と、複数の行をなすように配され、前記光電変換部が遮光された複数の遮光画素と、をさらに含み、

前記第2の制御部は、前記走査回路が前記ダミー画素及び前記遮光画素の前記読み出し走査を開始した後に、前記走査回路が前記シャッタ走査を開始するタイミングと同期して、前記容量可変手段が前記入力ノードの容量値を設定するように、前記容量可変手段を制御することを特徴とする請求項1又は2に記載の撮像装置。

20

【請求項4】

入射光に応じた電荷を生成する光電変換部と、

入力ノードを有し、前記入力ノードの電荷に応じた信号を出力する増幅トランジスタと

前記光電変換部で生成された電荷を前記入力ノードに転送する転送トランジスタと、前記入力ノードを所定の電圧でリセットするリセットトランジスタと、前記入力ノードの容量値を可変とする容量可変手段と、をそれぞれが含む複数の画素が、複数の行をなすように配された画素アレイと、前記転送トランジスタと前記リセットトランジスタとをオンにすることによって、前記光電変換部の電荷をリセットする処理を前記複数の画素のそれぞれの行に順次行うシャッタ走査と、前記転送トランジスタをオンにすることによって、前記光電変換部の電荷を前記入力ノードに転送する処理を前記複数の画素のそれぞれの行に順次行う読み出し走査と、のそれぞれを行う走査回路と、

30

前記読み出し走査において、前記容量可変手段を制御して前記入力ノードの容量値を設定する第1の制御部と、

前記シャッタ走査において、前記容量可変手段を制御して前記入力ノードの容量値を設定する第2の制御部と、

を有し、

同一フレームの画像を取得するための一連の前記読み出し走査と前記シャッタ走査において、前記第1の制御部及び前記第2の制御部は、前記読み出し走査における前記入力ノードの容量値と、前記シャッタ走査における前記入力ノードの容量値とを同一の容量値に設定するように、前記容量可変手段を制御する

40

ことを特徴とする撮像装置。

【請求項5】

入射光に応じた電荷を生成する光電変換部と、

入力ノードを有し、前記入力ノードの電荷に応じた信号を出力する増幅トランジスタと

前記光電変換部で生成された電荷を前記入力ノードに転送する転送トランジスタと、前記入力ノードを所定の電圧でリセットするリセットトランジスタと、前記入力ノードの容量値を可変とする容量可変手段と、

50

をそれぞれが含む複数の画素が、複数の行をなすように配された画素アレイと、
前記転送トランジスタと前記リセットトランジスタとをオンにすることによって、前記
光電変換部の電荷をリセットする処理を前記複数の画素のそれぞれの行に順次行うシャッ
タ走査と、前記転送トランジスタをオンにすることによって、前記光電変換部の電荷を前
記入力ノードに転送する処理を前記複数の画素のそれぞれの行に順次行う読み出し走査と
、のそれぞれを行う走査回路と、

前記読み出し走査において、前記容量可変手段を制御して前記入力ノードの容量値を設
定する第 1 の制御部と、

前記シャッタ走査において、前記容量可変手段を制御して前記入力ノードの容量値を設
定する第 2 の制御部と、

を有し、

前記画素アレイは、複数の行をなすように配され、前記光電変換部を含まない複数のダ
ミー画素と、複数の行をなすように配され、前記光電変換部が遮光された複数の遮光画素
と、をさらに含み、

前記第 2 の制御部は、前記走査回路が前記ダミー画素及び前記遮光画素の前記読み出し
走査を開始した後に、前記走査回路が前記シャッタ走査を開始するタイミングと同期して
、前記容量可変手段が前記入力ノードの容量値を設定するように、前記容量可変手段を制
御する

ことを特徴とする撮像装置。

【請求項 6】

入射光に応じた電荷を生成する光電変換部と、
入力ノードを有し、前記入力ノードの電荷に応じた信号を出力する増幅トランジスタと
、

前記光電変換部で生成された電荷を前記入力ノードに転送する転送トランジスタと、
前記入力ノードを所定の電圧でリセットするリセットトランジスタと、

前記入力ノードの容量値を可変とする容量可変手段と、

をそれぞれが含む複数の画素が、複数の行をなすように配された画素アレイと、

前記転送トランジスタと前記リセットトランジスタとをオンにすることによって、前記
光電変換部の電荷をリセットする処理を前記複数の画素のそれぞれの行に順次行うシャッ
タ走査と、前記転送トランジスタをオンにすることによって、前記光電変換部の電荷を前
記入力ノードに転送する処理を前記複数の画素のそれぞれの行に順次行う読み出し走査と
、のそれぞれを行う走査回路と、

前記読み出し走査において、前記容量可変手段を制御して前記入力ノードの容量値を設
定する第 1 の制御部と、

前記シャッタ走査において、前記容量可変手段を制御して前記入力ノードの容量値を設
定する第 2 の制御部と、

を有し、

前記第 2 の制御部は、前記画素アレイの 2 つの行の前記入力ノードに対し互いに異なる
容量値を設定し得る

ことを特徴とする撮像装置。

【請求項 7】

入射光に応じた電荷を生成する光電変換部と、
入力ノードを有し、前記入力ノードの電荷に応じた信号を出力する増幅トランジスタと
、

前記光電変換部で生成された電荷を前記入力ノードに転送する転送トランジスタと、
前記入力ノードを所定の電圧でリセットするリセットトランジスタと、

前記入力ノードの容量値を可変とする容量可変手段と、

をそれぞれが含む複数の画素が、複数の行をなすように配された画素アレイと、

前記転送トランジスタと前記リセットトランジスタとをオンにすることによって、前記
光電変換部の電荷をリセットする処理を前記複数の画素のそれぞれの行に順次行うシャッ

10

20

30

40

50

タ走査と、前記転送トランジスタをオンにすることによって、前記光電変換部の電荷を前記入力ノードに転送する処理を前記複数の画素のそれぞれの行に順次行う読み出し走査と、のそれぞれを行う走査回路と、

前記読み出し走査において、前記容量可変手段を制御して前記入力ノードの容量値を設定する第1の制御部と、

前記シャッタ走査において、前記容量可変手段を制御して前記入力ノードの容量値を設定する第2の制御部と、

を有し、

前記容量可変手段は、前記入力ノードの容量値を、少なくとも第1の容量値と、前記第1の容量値よりも大きい第2の容量値とのいずれかに可変とする構成を有し、

撮像装置の初期設定において、前記第1の制御部及び前記第2の制御部は、いずれも前記容量可変手段を制御して前記入力ノードの容量値を前記第2の容量値に設定する

ことを特徴とする撮像装置。

【請求項8】

一部の行の前記シャッタ走査と一部の行の前記読み出し走査は、同一の期間に並行して行われることを特徴とする請求項1乃至7のいずれか1項に記載の撮像装置。

【請求項9】

前記走査回路が、前記複数の画素の全ての行の前記読み出し走査を行っている間に、前記第1の制御部は、前記容量可変手段が前記入力ノードの容量値を変更しないように前記容量可変手段を制御し、

前記走査回路が、前記複数の画素の全ての行の前記シャッタ走査を行っている間に、前記第2の制御部は、前記容量可変手段が前記入力ノードの容量値を変更しないように前記容量可変手段を制御する

ことを特徴とする請求項1乃至8のいずれか1項に記載の撮像装置。

【請求項10】

前記容量可変手段は、前記入力ノードが有する所定の容量に対し付加される容量値を変化させることにより、前記入力ノードの容量値を可変とすることを特徴とする請求項1乃至9のいずれか1項に記載の撮像装置。

【請求項11】

前記容量可変手段は、付加容量を含み、前記付加容量を前記入力ノードが有する所定の容量に対し接続又は非接続とすることにより、前記入力ノードの容量値を可変とすることを特徴とする請求項1乃至10のいずれか1項に記載の撮像装置。

【請求項12】

前記容量可変手段は、前記入力ノードの容量値を、少なくとも第1の容量値と、前記第1の容量値よりも大きい第2の容量値とのいずれかに可変とする構成を有し、

メカニカルシャッタを用いた静止画撮影時において、前記第2の制御部は、前記容量可変手段を制御して前記入力ノードの容量値を常に前記第2の容量値に設定することを特徴とする請求項1乃至11のいずれか1項に記載の撮像装置。

【請求項13】

前記複数の画素のそれぞれは、

1つのマイクロレンズによって導かれた光が入射される複数の前記光電変換部と、前記複数の光電変換部のそれぞれで生成された電荷を前記入力ノードにそれぞれ転送する複数の前記転送トランジスタと、

を含むことを特徴とする請求項1乃至12のいずれか1項に記載の撮像装置。

【請求項14】

請求項1乃至13のいずれか1項に記載の撮像装置と、

前記撮像装置から出力される信号を処理する信号処理部と

を有する撮像システム。

【発明の詳細な説明】

【技術分野】

10

20

30

40

50

【0001】

本発明は、撮像装置、撮像システム及び撮像装置の駆動方法に関する。

【背景技術】

【0002】

特許文献1は、画素内のフローティングディフュージョンと電源線との間にトランジスタ及び付加容量が直列接続された構成を有する撮像装置を開示している。当該撮像装置は、トランジスタの接続又は非接続を制御することにより、付加容量とフローティングディフュージョンとの接続又は非接続を切り替えることができる。この動作によって生じるフローティングディフュージョンの容量値の変化に応じて、フローティングディフュージョンでの電荷電圧変換比が変化する。そのため、当該撮像装置は、撮像時のゲインを可変とすることができる。

10

【先行技術文献】

【特許文献】

【0003】

【特許文献1】米国特許出願公開第2009/0096890号明細書

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかしながら、特許文献1には、ゲイン可変用の付加容量の接続又は非接続を制御するための制御部の構成について明確に開示されていない。

20

【0005】

本発明は、フローティングディフュージョンの容量値の制御をより好適に行い得る撮像装置を提供することを目的とする。

【課題を解決するための手段】

【0006】

本発明の一実施形態によれば、入射光に応じた電荷を生成する光電変換部と、入力ノードを有し、前記入力ノードの電荷に応じた信号を出力する増幅トランジスタと、前記光電変換部で生成された電荷を前記入力ノードに転送する転送トランジスタと、前記入力ノードを所定の電圧でリセットするリセットトランジスタと、前記入力ノードの容量値を可変とする容量可変手段と、をそれぞれが含む複数の画素が、複数の行をなすように配された画素アレイと、前記転送トランジスタと前記リセットトランジスタとをオンにすることによって、前記光電変換部の電荷をリセットする処理を前記複数の画素のそれぞれの行に順次行うシャッタ走査と、前記転送トランジスタをオンにすることによって、前記光電変換部の電荷を前記入力ノードに転送する処理を前記複数の画素のそれぞれの行に順次行う読み出し走査と、のそれぞれを行う走査回路と、前記読み出し走査において、前記容量可変手段を制御して前記入力ノードの容量値を設定する第1の制御部と、前記シャッタ走査において、前記容量可変手段を制御して前記入力ノードの容量値を設定する第2の制御部と、を有し、前記第1の制御部は、前記走査回路が前記読み出し走査を開始するタイミングと同期して、前記容量可変手段が前記入力ノードの容量値を設定するように、前記容量可変手段を制御し、前記第2の制御部は、前記走査回路が前記シャッタ走査を開始するタイミングと同期して、前記容量可変手段が前記入力ノードの容量値を設定するように、前記容量可変手段を制御することを特徴とする撮像装置が提供される。

30

40

【0007】

本発明の一実施形態によれば、入射光に応じた電荷を生成する光電変換部と、入力ノードを有し、前記入力ノードの電荷に応じた信号を出力する増幅トランジスタと、前記光電変換部で生成された電荷を前記入力ノードに転送する転送トランジスタと、前記入力ノードを所定の電圧でリセットするリセットトランジスタと、前記入力ノードの容量値を可変とする容量可変手段と、をそれぞれが含む複数の画素が、複数の行をなすように配された画素アレイと、前記転送トランジスタと前記リセットトランジスタとをオンにすることによって、前記光電変換部の電荷をリセットする処理を前記複数の画素のそれぞれの行に順

50

次行うシャッタ走査と、前記転送トランジスタをオンにすることによって、前記光電変換部の電荷を前記入力ノードに転送する処理を前記複数の画素のそれぞれの行に順次行う読み出し走査と、のそれぞれを行う走査回路と、前記読み出し走査において、前記容量可変手段を制御して前記入力ノードの容量値を設定する第1の制御部と、前記シャッタ走査において、前記容量可変手段を制御して前記入力ノードの容量値を設定する第2の制御部と、を有し、同一フレームの画像を取得するための一連の前記読み出し走査と前記シャッタ走査において、前記第1の制御部及び前記第2の制御部は、前記読み出し走査における前記入力ノードの容量値と、前記シャッタ走査における前記入力ノードの容量値とを同一の容量値に設定するように、前記容量可変手段を制御することを特徴とする撮像装置が提供される。

10

【発明の効果】

【0008】

本発明によれば、フローティングディフュージョンの容量値の制御をより好適に行い得る撮像装置が提供される。

【図面の簡単な説明】

【0009】

【図1】第1実施形態に係る撮像装置の構成を示すブロック図である。

【図2】第1実施形態に係る画素の構成を示す回路図である。

【図3】第1実施形態に係る撮像装置の駆動方法を模式的に示す図である。

【図4】第1実施形態に係る容量制御部の構成を示すブロック図である。

20

【図5】第1実施形態に係る垂直走査回路の構成を示す回路図である。

【図6】第1実施形態に係る撮像装置の動作タイミング図である。

【図7】比較例に係る撮像装置の構成を示すブロック図である。

【図8】比較例に係る撮像装置の駆動方法を模式的に示す図である。

【図9】比較例に係る撮像装置におけるノイズ発生要因を示す図である。

【図10】第2実施形態に係る画素アレイの配列図である。

【図11】第2実施形態に係る撮像装置の駆動方法を模式的に示す図である。

【図12】第2実施形態に係る容量制御部の構成を示すブロック図である。

【図13】第3実施形態に係る撮像装置の構成を示すブロック図である。

【図14】第3実施形態に係る撮像装置の駆動方法を模式的に示す図である。

30

【図15】第3実施形態に係る容量制御部の構成を示すブロック図である。

【図16】第3実施形態に係る垂直走査回路の構成を示す回路図である。

【図17】第3実施形態に係る撮像装置の動作タイミング図である。

【図18】比較例に係る撮像装置の駆動方法を模式的に示す図である。

【図19】第4実施形態に係る撮像装置の駆動方法を模式的に示す図である。

【図20】第5実施形態に係る撮像装置の駆動方法を模式的に示す図である。

【図21】第5実施形態に係る垂直走査回路の構成を示す回路図である。

【図22】第5実施形態に係る撮像装置の動作タイミング図である。

【図23】第6実施形態に係る画素の構成を示す回路図である。

【図24】第6実施形態に係る撮像装置の動作タイミング図である。

40

【図25】第7実施形態に係る撮像システムのブロック図である。

【発明を実施するための形態】

【0010】

以下、本発明の実施形態に係る撮像装置について図面に基づいて説明する。複数の図面にわたって同様の機能を有する部分には同一の符号を付し、重複する説明は省略又は簡略化することもある。

【0011】

(第1実施形態)

図1は、第1実施形態に係る撮像装置の構成を示すブロック図である。撮像装置は、画素アレイ100、垂直走査回路110(VSC)、列読み出し部120、メモリ部130

50

、出力回路140、及び水平走査回路150を有する。撮像装置は、さらにこれらの各部に信号を供給して制御する、第1容量制御部160、第2容量制御部170、及びタイミング制御部180(TG)を有する。画素アレイ100は、複数の行及び複数の列をなすマトリクス状に配列された複数の画素101を含む。垂直走査回路110は、行ごとに複数の制御信号を画素アレイ100の各画素101に出力する。ここで、垂直走査回路から各画素に供給される制御信号は、RES[0]~[n]、TX[0]~[n]、FDINC[0]~[n]、SEL[0]~[n]である。なお、添字は画素アレイ100の行番号を示すものとするが、行番号を特定する必要がない場合には、添字を省略することもある。また、本明細書では行番号及び列番号は、いずれも0から始まるものとする。したがって、画素101の行数はn+1である。画素101は、垂直走査回路110からの制御信号SEL[0]~[n]により行ごとに順次選択される(垂直走査)。選択された行の画素101から出力される信号が列ごとに共通に設けられた垂直出力線102を介して読み出される。

10

【0012】

列読み出し部120は、画素アレイ100の列ごとに配された複数の列読み出し回路121を含む。各列読み出し回路121には、垂直出力線102を介して画素101からの信号が入力される。列読み出し回路121は、バッファリング、増幅、AD(Analog-to-Digital)変換、相関二重サンプリング等の機能を有し得る。

【0013】

メモリ部130は、画素アレイ100の列ごとに配された複数の信号保持部131を含む。列読み出し回路121がAD変換の機能を有しない場合は、信号保持部131は、アナログ信号を保持するサンプルホールド回路等により構成され得る。列読み出し回路121がAD変換の機能を有する場合は、信号保持部131は、デジタル信号を保持するデジタルメモリ等により構成され得る。

20

【0014】

水平走査回路150は、タイミング制御部180からの制御信号に応じて、複数の信号保持部131に、各々が保持している信号を順次出力させる。複数の信号保持部131から出力された信号は出力回路140に入力される。出力回路140は、入力された信号にバッファリング、増幅等の処理を行い、出力端子OUTから出力させる。

【0015】

タイミング制御部180は、デジタルカメラ等の撮像装置が搭載される装置から伝送路を介してシリアル通信等により供給される信号を受けて動作する。この通信に基づき、タイミング制御部180は、垂直走査回路110、水平走査回路150、第1容量制御部160、及び第2容量制御部170にタイミング信号等の信号を供給する。第1容量制御部160は、タイミング制御部180からの信号に基づき垂直走査回路110に第1出力許可信号を出力する。第2容量制御部170は、タイミング制御部180からの信号に基づき垂直走査回路110に第2出力許可信号を出力する。これらの出力許可信号の生成方法、垂直走査回路110、第1容量制御部160、第2容量制御部170の動作の詳細等は後述する。

30

【0016】

図2は、第1実施形態に係る画素101の構成を示す回路図である。画素101は、光電変換部PD、転送トランジスタM1、リセットトランジスタM2、増幅トランジスタM3、選択トランジスタM4、トランジスタM5、フローティングディフュージョンFD及び付加容量Cincを有する。各トランジスタは、一例としてNMOSTランジスタであるものとするが、例えばPMOSTランジスタであってもよい。転送トランジスタM1のゲートには制御信号TXが入力される。リセットトランジスタM2のゲートには制御信号RESが入力される。選択トランジスタM4のゲートには制御信号SELが入力される。

40

【0017】

光電変換部PDは、フォトダイオード等により構成される、入射光に応じた電荷を生成する素子である。以下の説明では、光電変換部PDはフォトダイオードであるものとする

50

。光電変換部 P D のアノードは接地され、カソードは転送トランジスタ M 1 のソースに接続される。

【 0 0 1 8 】

フローティングディフュージョン F D は、転送トランジスタ M 1 のドレイン、リセットトランジスタ M 2 のソース、増幅トランジスタ M 3 のゲート及びトランジスタ M 5 のドレインに接続される。すなわち、フローティングディフュージョン F D は、増幅トランジスタ M 3 の入力ノードである。フローティングディフュージョン F D は半導体基板上に形成される不純物拡散領域を含み、所定の容量を有する。フローティングディフュージョン F D の容量は、不純物拡散領域が形成する P N 接合による容量成分を含み得る。リセットトランジスタ M 2 のドレイン及び増幅トランジスタ M 3 のドレインは所定の電圧 S V D D を供給する電源線に接続される。増幅トランジスタ M 3 のソースは、選択トランジスタ M 4 のドレインに接続される。選択トランジスタ M 4 のソースは、垂直出力線 1 0 2 に接続される。トランジスタ M 5 のソースは付加容量 C i n c の一端に接続される。付加容量 C i n c の他端は接地される。

10

【 0 0 1 9 】

制御信号 T X 及び制御信号 R E S がハイレベルになり、転送トランジスタ M 1 及びリセットトランジスタ M 2 がオンになると、光電変換部 P D 及びフローティングディフュージョン F D の電荷がリセットされる。その後、制御信号 T X 及び制御信号 R E S がローレベルになり、転送トランジスタ M 1 及びリセットトランジスタ M 2 がオフになると、この時刻から光電変換部 P D への電荷の蓄積が開始される。以下、この一連の動作を、シャッタ動作と呼び、垂直走査回路 1 1 0 が、各行の画素 1 0 1 に順次シャッタ動作を行わせる処理をシャッタ走査と呼ぶ。

20

【 0 0 2 0 】

制御信号 T X がハイレベルになり、転送トランジスタ M 1 がオンになると、光電変換により光電変換部 P D で生成され蓄積された電荷がフローティングディフュージョン F D に転送される。増幅トランジスタ M 3 及び不図示の電流源はソースフォロア回路として動作し、転送された電荷に基づく電圧が垂直出力線 1 0 2 に出力される。垂直出力線 1 0 2 に出力された電圧は、列読み出し回路 1 2 1 によって増幅等の処理がなされ、信号保持部 1 3 1 に保持される。以下、この一連の動作を読み出し動作と呼び、垂直走査回路 1 1 0 が、各行の画素 1 0 1 に順次読み出し動作を行わせる処理を読み出し走査と呼ぶ。なお、シャッタ動作から読み出し動作までの時間が、光電変換部 P D に電荷を蓄積する蓄積時間である。

30

【 0 0 2 1 】

制御信号 F D I N C に応じてトランジスタ M 5 がオン又はオフに切り替わることにより、フローティングディフュージョン F D と付加容量 C i n c との接続・非接続が切り替わる。これにより、フローティングディフュージョン F D に生じる容量が変化する。言い換えると、トランジスタ M 5 及び付加容量 C i n c は、入力ノードの容量値を可変とする容量可変手段として機能する。このとき、フローティングディフュージョン F D に転送された電荷に対する増幅トランジスタ M 3 の出力電圧の変換比、すなわちゲインを切り替えることができる。付加容量 C i n c がフローティングディフュージョン F D に接続され、フローティングディフュージョン F D の容量値が増加すると、非接続状態の場合と比べてゲインが小さくなる（以下、この状態を「 F D 容量大」と呼ぶ。）。逆に、付加容量 C i n c がフローティングディフュージョン F D に非接続となると、フローティングディフュージョン F D の容量値が減少し、接続状態と比べてゲインは大きくなる（以下、この状態を「 F D 容量小」と呼ぶ。）。このように、本実施形態の撮像装置は、制御信号 F D I N C に応じて画素 1 0 1 のゲインを切り替えることができる。

40

【 0 0 2 2 】

なお、本実施形態の付加容量 C i n c 及びトランジスタ M 5 は、図 2 のように分離された 2 つの素子で構成されていてもよいが、この構成には限定されず、少なくとも「 F D 容量大」と「 F D 容量小」の 2 つの状態とすることが可能であればよい。例えば、これらは

50

、同様の機能を有する1つの素子で構成されていてもよい。一例としては、MOS型容量を用いることで、付加容量Cinc及びトランジスタM5の機能を1つの素子で兼ねることができ。その一例は、MOSFETのソース及びドレインを短絡した端子と、ゲート端子との間の容量を用いたMOS型容量である。このMOS型容量は、端子間の電圧により容量が変化する可変容量素子として機能し得るため、入力ノードの容量値を可変とする容量可変手段として適用可能である。このMOS型容量は、MOSFETのソース及びドレインの一方を省略した構成であってもよい。

【0023】

図3は、第1実施形態に係る撮像装置の駆動方法を模式的に示す図である。図3は、撮像装置がカメラ等の撮像システムからフローティングディフュージョンFDの容量(FD容量)を変化させる指示を受けた際の、撮像装置の動作タイミングの概略を示している。図3では、一例として、撮像装置が、最初にFD容量小の指示を受け、次にFD容量大の指示を受け、その後再びFD容量小の指示を受けた場合の動作を示している。また、図3の動作は、動画撮影等のシャッタ走査と読み出し走査を繰り返す動作を前提としている。

10

【0024】

なお、上述のようにFD容量を大きくすると、ゲインは小さくなるが、蓄積可能な電荷量が多くなる。そのため、入射光量が多い撮影条件に好適な設定となる。逆に、FD容量を小さくすると、蓄積可能な電荷量は少なくなるが、ゲインが大きくなる。そのため、入射光量が少ない撮影条件に好適な設定となる。撮像システムは、ISO感度の設定、被写体からの入射光量等の所定の条件に基づいて、撮像装置にFD容量小又はFD容量大の指示を行う。

20

【0025】

時刻T10において、タイミング制御部180は、FD容量小により読み出し走査(R)を行う指示を示す信号を受信する。この信号は、タイミング制御部180(TG)内のレジスタに保持される。時刻T11において、タイミング制御部180は、FD容量大によりシャッタ走査(S)を行う指示を示す信号を受信する。この信号は、タイミング制御部180(TG)内のレジスタに保持される。

【0026】

時刻T12において、タイミング制御部180は、読み出し走査を開始するためのトリガとなるパルス信号(内部VD)を出力する。垂直走査回路110はこのパルスを受けて読み出し走査を開始する。ここで、タイミング制御部180は、各行の走査タイミングを決定するためのパルス信号(内部HD)を一定の周期で出力している。垂直走査回路110は、この内部HDのパルスを受けるとに順次読み出し行のアドレスを進める。これにより、先頭行から最終行までの読み出し走査が順次行われる。

30

【0027】

同時刻T12において、タイミング制御部180は、内部VDのパルスを第1容量制御部160にも出力する。これを受けて、第1容量制御部160は、第1出力許可信号を垂直走査回路110に出力する。このとき、第1出力許可信号は、TG内レジスタの信号に基づき、FD容量小を示すローレベルの信号となる。垂直走査回路110は、第1出力許可信号に基づき、読み出し動作を行う行の画素に対し制御信号FDINCをローレベルとする。これにより、当該行の画素101のトランジスタM5は読み出し動作時にオフであり、FD容量小で読み出し動作が行われる。すなわち、第1容量制御部160は、FD容量の指示を示す第1出力許可信号の出力タイミングを時刻T10から時刻T12まで遅延させることにより、垂直走査回路110が読み出し走査を開始するタイミングと同期させる機能を有している。

40

【0028】

時刻T13において、タイミング制御部180は、シャッタ走査を開始するためのトリガとなるパルス信号(シャッタスタート)を出力する。垂直走査回路110はこのパルスを受けてシャッタ走査を開始する。垂直走査回路110は、内部HDのパルスを受けるとに順次読み出し行のアドレスを1つずつ進める。これにより、先頭行から最終行までの

50

シャッタ走査が順次行われる。

【 0 0 2 9 】

同時刻 T 1 3 において、タイミング制御部 1 8 0 は、シャッタスタートのパルスを第 2 容量制御部 1 7 0 にも出力する。これを受けて、第 2 容量制御部 1 7 0 は、第 2 出力許可信号を垂直走査回路 1 1 0 に出力する。第 2 出力許可信号は、T G 内レジスタの信号に基づき、F D 容量大を示すハイレベルの信号となる。垂直走査回路 1 1 0 は、第 2 出力許可信号に基づき、シャッタを行う行の画素に対し制御信号 F D I N C をハイレベルとする。これにより、当該行の画素 1 0 1 のトランジスタ M 5 はシャッタ動作時にオンであり、F D 容量大でシャッタ動作が行われる。すなわち、第 2 容量制御部 1 7 0 は、F D 容量の指示を示す第 2 出力許可信号の出力タイミングを時刻 T 1 1 から時刻 T 1 3 まで遅延させて、垂直走査回路 1 1 0 がシャッタ走査を開始するタイミングと同期させる機能を有している。

10

【 0 0 3 0 】

時刻 T 1 4 において、タイミング制御部 1 8 0 は、F D 容量大により読み出し走査 (R) を行う指示を示す信号を受信する。この信号は、タイミング制御部 1 8 0 (T G) 内のレジスタに保持される。時刻 T 1 5 において、タイミング制御部 1 8 0 は、F D 容量小によりシャッタ走査 (S) を行う指示を示す信号を受信する。この信号は、タイミング制御部 1 8 0 (T G) 内のレジスタに保持される。

【 0 0 3 1 】

時刻 T 1 6 において、時刻 T 1 2 から開始される読み出し走査と同様にして、読み出し走査が開始される。ただし、時刻 T 1 6 からの読み出しにおいて、第 1 出力許可信号は、T G 内レジスタの信号に基づき、F D 容量大を示す。したがって、時刻 T 1 6 からの読み出し走査は、F D 容量大の状態で行われる。なお、図 3 に示されるシャッタ走査及び読み出し走査の線は、これらの線が実線の場合にはシャッタ走査及び読み出し走査が F D 容量大で行われることを示している。また、これらの線が破線の場合にはシャッタ走査及び読み出し走査が F D 容量小で行われることを示している。なお、時刻 T 1 6 以降もシャッタ走査は継続される。すなわち、シャッタ走査の一部と読み出し走査の一部は同一の期間に並行して行われ得る。

20

【 0 0 3 2 】

上述のように、シャッタ動作から読み出し動作までの時間が光電変換部 P D への蓄積時間である。すなわち、時刻 T 1 3 から開始されるシャッタ走査と時刻 T 1 6 から開始される読み出し走査は同一フレームの画像を取得するための垂直走査である。このとき、当該シャッタ走査と当該読み出し走査はいずれも F D 容量大で行われている。このように、本実施形態では、第 1 容量制御部は、読み出し走査に対して F D 容量を変化させる指示を読み出し走査の開始と同期させ、第 2 容量制御部は、シャッタ走査に対して F D 容量を変化させる指示をシャッタ走査の開始と同期させている。これにより、全ての行のシャッタ走査及び読み出し走査の開始から終了までの期間内に、F D 容量が変更されないように垂直走査が行われる。さらに、同一フレームの画像を取得するためのシャッタ走査と読み出し走査について、F D 容量の設定が一致しており、F D 容量が同一の状態で行われる。

30

40

【 0 0 3 3 】

時刻 T 1 7 において、時刻 T 1 3 から開始されるシャッタ走査と同様にして、シャッタ走査が開始される。ただし、時刻 T 1 7 からのシャッタ走査において、第 2 出力許可信号は、T G 内レジスタの信号に基づき、F D 容量小を示す。したがって、時刻 T 1 7 からのシャッタ走査は、F D 容量小の状態で行われる。

【 0 0 3 4 】

時刻 T 1 8 において、タイミング制御部 1 8 0 は、F D 容量小により読み出し走査 (R) を行う指示を示す信号を受信する。この信号は、タイミング制御部 1 8 0 (T G) 内のレジスタに保持される。時刻 T 1 9 において、時刻 T 1 2、T 1 6 から開始される読み出し走査と同様にして、読み出し走査が開始される。ただし、時刻 T 1 9 からの読み出し走

50

査において、第1出力許可信号は、TG内レジスタの信号に基づき、FD容量小を示す。したがって、時刻T19からの読み出し走査は、FD容量小の状態で行われる。時刻T17から開始されるシャッタ走査と時刻T19から開始される読み出し走査は同一フレームの垂直走査であり、当該シャッタ走査と当該読み出し走査はいずれもFD容量小で行われている。すなわち、当該シャッタ走査と当該読み出し走査の関係においても、同一フレームの画像を取得するためのシャッタ走査と読み出し走査について、FD容量の設定が同一の状態で行われる。

【0035】

以下、図3に示す撮像装置の駆動方法を実現するための第1容量制御部160、第2容量制御部170及び垂直走査回路110の具体的な構成の一例を説明する。図4(a)は、第1実施形態に係る第1容量制御部160の構成を示すブロック図である。第1容量制御部160は、デコーダ401及びDラッチ回路402を含む。第1容量制御部160には、タイミング制御部180から、その内部のレジスタ(TG内レジスタ)に保持されたFD容量の設定を示す信号と内部VDのパルス信号とが入力される。

10

【0036】

デコーダ401は、タイミング制御部180に保持された信号をデコードして、読み出し動作のレジスタ値がFD容量小を示す場合は0(ローレベル)を出力し、読み出し動作のレジスタ値がFD容量大を示す場合は1(ハイレベル)を出力する。デコーダ401の出力信号はDラッチ回路402のデータ端子Dに入力される。内部VDのパルス信号は、Dラッチ回路402のクロック端子に入力される。Dラッチ回路402の出力端子Qは第1容量制御部160の出力端子を構成し、垂直走査回路110に第1出力許可信号を出力する。

20

【0037】

デコーダ401から出力されるFD容量の設定を示す信号は、Dラッチ回路402により、内部VDのパルスが入力される時刻、すなわち、読み出し走査の開始時刻まで遅延されて出力される。この出力信号は、第1出力許可信号として垂直走査回路110に入力される。

【0038】

図4(b)は、第1実施形態に係る第2容量制御部170の構成を示すブロック図である。第2容量制御部170は、デコーダ403及びDラッチ回路402を含む。第1容量制御部160の説明と重複する部分については説明を省略する。デコーダ403は、タイミング制御部180に保持された信号をデコードし、シャッタ動作のレジスタ値がFD容量小を示す場合は0(ローレベル)を出力し、シャッタ動作のレジスタ値がFD容量大を示す場合は1(ハイレベル)を出力する。デコーダ403から出力されるFD容量の設定を示す信号は、Dラッチ回路402により、シャッタスタートのパルスが入力される時刻、すなわち、シャッタ走査の開始時刻まで遅延されて出力される。この出力信号は、第2出力許可信号として垂直走査回路110に入力される。なお、タイミング制御部180での読み出し動作レジスタ値、及びシャッタ動作のレジスタ値がそれぞれFD容量大のときに1(ハイレベル)、FD容量小のときに0(ローレベル)と設定されていてもよい。その場合、図4(a)のデコーダ401及び図4(b)のデコーダ403は省略できる。

30

40

【0039】

図5は、第1実施形態に係る垂直走査回路110の構成を示す回路図である。垂直走査回路110は、制御信号RES[0]~[n]、TX[0]~[n]、FDINC[0]~[n]、SEL[0]~[n]を行ごとに順次生成する回路である。これらの制御信号を生成する行の選択は、デコードされた行アドレスを示すアドレス信号ADDR[0]~[n]に基づき、タイミング制御部180により制御される。なお、アドレス信号ADDR[0]~[n]は、選択されている行についてはハイレベル(1)、非選択の行についてはローレベル(0)となる信号である。また、垂直走査回路110には、上述の第1容量制御部160及び第2容量制御部170からそれぞれ第1出力許可信号及び第2出力許

50

可信号が入力される。さらに、垂直走査回路 110 には、タイミング制御部 180 から信号 P__LAT__RD、P__LAT__SH、P__SEL、P__TX、P__RES、P__FDINC が入力される。

【0040】

垂直走査回路 110 は、画素アレイ 100 の行ごとに各制御信号を生成するブロックが分かれている。アドレス信号 ADDR[0] ~ [n] は、対応する第 0 行から第 n 行のブロックにそれぞれ入力される。第 1 出力許可信号、第 2 出力許可信号、信号 P__LAT__RD、P__LAT__SH、P__SEL、P__TX、P__RES、P__FDINC は、垂直走査回路の第 0 行から第 n 行のブロックに共通の信号線を介して入力される。以下、第 0 行（先頭行）の制御信号 RES[0]、TX[0]、FDINC[0]、SEL[0] を生成する第 0 行目のブロックについて説明する。

10

【0041】

垂直走査回路 110 は、Dラッチ回路 501、502、AND回路 503、504、505、506、507、508 及び OR回路 509、510 を有する。アドレス信号 ADDR[0] は、Dラッチ回路 501 のデータ端子 D 及び Dラッチ回路 502 のデータ端子 D に入力される。Dラッチ回路 501 のゲート端子 G には信号 P__LAT__RD が入力される。Dラッチ回路 502 のゲート端子 G には信号 P__LAT__SH が入力される。アドレス信号 ADDR[0] がハイレベルとなった場合、Dラッチ回路 501 の出力端子 Q から出力される信号は信号 P__LAT__RD としてパルスが入力された時刻からハイレベルになる。Dラッチ回路 502 についても同様である。

20

【0042】

Dラッチ回路 501 の出力端子 Q から出力される信号は、AND回路 503、506 及び OR回路 509 の各々の 2 つの入力端子のうち的一方に入力される。AND回路 503 の他方の入力端子には、信号 P__SEL が入力される。AND回路 503 は、Dラッチ回路 501 の出力と信号 P__SEL の論理積を制御信号 SEL[0] として 0 行目に配された画素 101 に出力する。

【0043】

Dラッチ回路 502 の出力端子 Q から出力される信号は、AND回路 505、507 の各々の 2 つの入力端子のうち的一方及び、OR回路 509 の他方の入力端子に入力される。OR回路 509 は、Dラッチ回路 501 の出力と Dラッチ回路 502 の出力の論理和を AND回路 504 の 2 つの入力端子のうち的一方に出力する。AND回路 504 の他方の入力端子には、信号 P__TX が入力される。AND回路 504 は、OR回路 509 の出力と信号 P__TX の論理積を制御信号 TX[0] として 0 行目に配された画素 101 に出力する。AND回路 505 の他方の入力端子には、信号 P__RES が入力される。AND回路 505 は、Dラッチ回路 502 の出力と信号 P__RES の論理積を制御信号 RES[0] として 0 行目に配された画素 101 に出力する。

30

【0044】

AND回路 506 の他方の入力端子には、第 1 出力許可信号が入力される。AND回路 506 は、Dラッチ回路 501 の出力と第 1 出力許可信号の論理積を OR回路 510 の 2 つの入力端子のうち的一方に出力する。AND回路 507 の他方の入力端子には、第 2 出力許可信号が入力される。AND回路 507 は、Dラッチ回路 502 の出力と第 2 出力許可信号の論理積を OR回路 510 の他方の入力端子に出力する。OR回路 510 は、AND回路 506 の出力と AND回路 507 の出力の論理和を AND回路 508 の 2 つの入力端子のうち的一方に出力する。AND回路 508 の他方の入力端子には、信号 P__FDINC が入力される。AND回路 508 は、OR回路 510 の出力と信号 P__FDINC の出力の論理積を制御信号 FDINC[0] として 0 行目に配された画素 101 に出力する。

40

【0045】

なお、垂直走査回路 110 の第 1 行目から第 n 行目までのブロックも同様の構成を有する。第 1 行目から第 n 行目までのブロックの構成は、上述の説明において各信号に付され

50

た添え字 [0] を [1] から [n] とそれぞれ読み替えたものとなる。また、各制御信号を出力する出力端子には、不図示のバッファ回路が設けられていてもよい。

【 0 0 4 6 】

次に、上述の垂直走査回路 1 1 0 により生成される各制御信号の出力タイミングについて図 6 を参照しつつ具体的に述べ、撮像装置のより具体的な動作を説明する。図 6 は、図 3 における時刻 T 1 6 付近の 3 行分の垂直走査期間において、垂直走査回路 1 1 0、第 1 容量制御部 1 6 0、第 2 容量制御部 1 7 0、タイミング制御部 1 8 0 で入出力される各信号のタイミング図である。なお、以下の説明においては、n の値は 2 0 0 0、すなわち、画素アレイ 1 0 0 の行数が 2 0 0 1 行であるものとする。

【 0 0 4 7 】

上述のように、第 1 出力許可信号、第 2 出力許可信号は、それぞれ、第 1 容量制御部 1 6 0、第 2 容量制御部 1 7 0 からの出力信号である。内部 V D、内部 H D、信号 P _ S E L、P _ R E S、P _ T X、P _ F D I N C、R O W _ A D D R、P _ L A T _ R D、P _ L A T _ S H、P H は、タイミング制御部 1 8 0 からの出力信号である。O U T は、撮像装置の出力端子 O U T からの出力信号を示している。さらに、第 0 行、第 1 9 9 9 行、第 2 0 0 0 行、第 8 行、第 9 行、第 1 0 行についての制御信号 S E L、R E S、T X、F D I N C のタイミングが示されている。第 0 行、第 1 9 9 9 行、第 2 0 0 0 行は読み出し走査が行われる行であり、第 8 行、第 9 行、第 1 0 行はシャッタ走査が行われる行である。

【 0 0 4 8 】

ここで、信号 R O W _ A D D R は読み出し動作及びシャッタ動作を行う行アドレスを示している。例えば、時刻 T 2 1 においては、信号 R O W _ A D D R が示す行アドレスは 1 9 9 9 なので、アドレス信号 A D D R [1 9 9 9] がハイレベルとなる。

【 0 0 4 9 】

次に、図 6 を参照して、撮像装置の動作を時間経過に沿って順次説明する。時刻 T 2 0 において、内部 H D のパルスと同期して、信号 R O W _ A D D R が示す行アドレスが 1 9 9 9 に遷移し始める。また、同時刻に、信号 P _ S E L がハイレベルからローレベルになる。時刻 T 2 1 において、タイミング制御部 1 8 0 は、信号 P _ L A T _ R D のパルスを垂直走査回路 1 1 0 に出力する。このパルスは D ラッチ回路 5 0 1 のゲート端子 G に入力される。このとき、アドレス信号 A D D R [1 9 9 9] がハイレベルであるため、1 9 9 9 行目の D ラッチ回路 5 0 1 の出力がハイレベルになる。言い換えると、読み出しアドレスが 1 9 9 9 行目に遷移し始める。

【 0 0 5 0 】

時刻 T 2 2 において、信号 P _ S E L がハイレベルになる。これにより、1 9 9 9 行目の A N D 回路 5 0 3 の出力、すなわち、制御信号 S E L [1 9 9 9] がハイレベルになる。そのため、1 9 9 9 行目の画素 1 0 1 の選択トランジスタ M 4 がオンになり、1 9 9 9 行目の画素 1 0 1 からの読み出し動作が可能となる。

【 0 0 5 1 】

時刻 T 2 3 において、信号 P _ R E S、P _ F D I N C がハイレベルになる。この時点において、各行の D ラッチ回路 5 0 2 の出力はローレベルなので、A N D 回路 5 0 5 の出力、すなわち、制御信号 R E S はローレベルのままである。また、この時点において、第 1 容量制御部の設定は F D 容量小なので、第 1 出力許可信号はローレベルであり、制御信号 F D I N C もローレベルのままである。また、同時刻 T 2 3 において、信号 R O W _ A D D R が示す行アドレスが 8 に遷移し始める。

【 0 0 5 2 】

時刻 T 2 4 において、タイミング制御部 1 8 0 は、信号 P _ L A T _ S H のパルスを垂直走査回路 1 1 0 に出力する。このパルスは D ラッチ回路 5 0 2 のゲート端子 G に入力される。時刻 T 2 5 において、アドレス信号 A D D R [8] がハイレベルであるため、8 行目の D ラッチ回路 5 0 2 の出力がハイレベルになり、シャッタアドレスが 8 行目となる。これにより、8 行目の A N D 回路 5 0 5、5 0 8 の出力がハイレベルになる。すなわち、

10

20

30

40

50

制御信号RES[8]、FDINC[8]がハイレベルになる。この動作により、8行目の画素101のリセットトランジスタM2がオンになる。また、8行目の画素101のトランジスタM5がオンになり、フローティングディフュージョンFDに付加容量Cincが接続され、FD容量大の状態となる。

【0053】

時刻T26において、信号P__TXがハイレベルになる。これにより、8行目のAND回路504の出力と1999行目のAND回路504の出力、すなわち、制御信号TX[8]、TX[1999]がハイレベルになる。この動作により、8行目の画素101の転送トランジスタM1がオンになる。このとき、8行目の転送トランジスタM1とリセットトランジスタM2がともにオンであるため、8行目の画素101の光電変換部PD及びフローティングディフュージョンFDの電荷がリセットされる。言い換えると、8行目の画素101のシャッタ動作が行われる。さらに、1999行目の画素101の転送トランジスタM1がオンになる。1999行目の画素101の光電変換部PDに蓄積された電荷がフローティングディフュージョンFDに転送される。1999行目の画素101からの信号は列読み出し部120により読み出され、メモリ部130に保持される。言い換えると、1999行目の画素101の読み出し動作が行われる。

10

【0054】

時刻T27において信号P__TXがローレベルになり、8行目及び1999行目の画素101の転送トランジスタM1がオフになる。時刻T28において、信号P__RES、P__FDINCがローレベルになり、8行目及び1999行目の画素101のリセットトランジスタM2がオフになり、かつ8行目のトランジスタM5がオフになる。

20

【0055】

時刻T29において、タイミング制御部180は、信号PHのパルスを水平走査回路150に出力する。信号PHにより、メモリ部130内の信号保持部131が順次選択される。メモリ部130に保持された1999行目の画素101から出力された信号が順次出力端子OUTに出力される。以上のようにして時刻T20から時刻T29の期間において、1999行目の読み出し動作と8行目のシャッタ動作が行われる。

【0056】

時刻T30から時刻T39の期間において、同様にして2000行目の読み出し動作と9行目のシャッタ動作が行われる。各時刻の動作の内容は行番号の違いを除いて同様なので、説明を省略する。なお、2000行目は最終行であるため、この読み出し動作は、当該フレームの最終行の読み出しである。

30

【0057】

時刻T16において、内部VDのパルスの立ち上がりにより、撮像装置の動作は、次のフレームの撮像に移行する。これを受けて、第1容量制御部から垂直走査回路110に出力される第1出力許可信号がハイレベルになる。

【0058】

時刻T40から時刻T42の期間において、時刻T20から時刻T22と同様の動作が行われる。時刻T43において、信号P__RES、P__FDINCがハイレベルになる。このとき、時刻T23の時点とは異なり、第1容量制御部の設定はFD容量大なので、第1出力許可信号はハイレベルである。そのため、制御信号FDINC[0]がハイレベルになり、トランジスタM5がオンになる。この動作により、フローティングディフュージョンFDに付加容量Cincが接続され、FD容量大の状態となる。

40

【0059】

その後の時刻T44から時刻T47までの動作も時刻T24から時刻T27と同様である。なお、0行目の画素101に対しては、FD容量大の状態で読み出し動作が行われる点が上述の1999行目、2000行目の読み出し動作と異なる。時刻T48において、信号P__RES、P__FDINCがローレベルになり、0行目及び10行目の画素101のリセットトランジスタM2及びトランジスタM5がオフになる。

【0060】

50

以上のように、本実施形態の撮像装置は、シャッタ走査に対応する第1出力許可信号を出力する第1容量制御部160と、読み出し走査に対応する第2出力許可信号を出力する第2容量制御部170とを有する。そして、付加容量CincとフローティングディフュージョンFDとを接続又は非接続とするトランジスタM5は、第1出力許可信号と第2出力許可信号とに基づき生成される制御信号FDINC[0]~[n]により制御される。すなわち、シャッタ走査に対応する制御部と読み出し動作に対応する制御部の2つの制御部を個別に動作させることが可能である。したがって、本実施形態によれば、フローティングディフュージョンの容量値の制御をより好適に行い得る撮像装置を提供することができる。

【0061】

図7から図9を参照して、本実施形態に対する比較例を説明する。そして、比較例と第1実施形態とを対比しつつ、第1実施形態の効果をより詳細に説明する。図7は、比較例に係る撮像装置の構成を示すブロック図である。比較例の撮像装置は、第1実施形態の第1容量制御部160及び第2容量制御部170に代えて容量制御部760を有する。言い換えると、比較例の撮像装置は、容量制御部の個数が1つであり、出力される出力許可信号も1つである。

【0062】

図8は、比較例に係る撮像装置の駆動方法を模式的に示す図である。容量制御部の個数が1つである場合、FD容量の設定はシャッタ走査と読み出し走査とで共通となる。このとき、1フレーム分の画像撮影のための読み出し走査期間中にFD容量の設定を変えることはできないので、フレームとフレームの間、例えば、先頭行の読み出し動作の直前がFD容量の設定を変更するタイミングとなる。図8の例では、時刻T50から時刻T52の期間及び時刻T54以降の期間においてFD容量小であり、時刻T52から時刻T54の期間においてFD容量大である。言い換えると、時刻T52にFD容量小からFD容量大への切り替えが行われており、時刻T54にFD容量大からFD容量小への切り替えが行われている。

【0063】

ここで、時刻T53(シャッタポジション)から開始されるシャッタ走査に着目する。蓄積時間の設定によっては、図8に示すように、シャッタ走査の一部と読み出し走査の一部が、同一の期間に並行して行われることがある。この場合、シャッタ走査の途中で時刻T54のFD容量の切り替え時刻となり、時刻T54の前後でFD容量の設定が異なる状態でシャッタ走査が行われることになる。これにより、時刻T54の時点でシャッタ動作を行う行の付近において、画質劣化の要因となり得るノイズが生じることがある。

【0064】

このノイズが生じる要因の一例を図9(a)及び図9(b)を参照しつつ説明する。図9(a)は、垂直走査回路110における制御信号TX[9]、TX[10]を出力する増幅器901とその周辺の回路構成を示す図である。増幅器901は、画素101の各行に対応して設けられる。図9(a)では9行目と10行目に対応する増幅器901のみが図示され、他の行については省略されている。増幅器901は、垂直走査回路110の出力段に設けられており、画素101に制御信号TXを供給するバッファ回路としての機能を有する。増幅器901の電源端子には電源電圧V_{TX}が入力される。増幅器901の2つの入力端子のうち一方の入力端子には、例えば、図5に示すような論理回路の出力端子が接続される。増幅器901の他方の入力端子には、基準電圧線902が接続される。この基準電圧線902は各行の増幅器901に共通に接続される。

【0065】

図9(b)は、時刻T54の前後の期間におけるタイミング図である。時刻T54の前の期間では第2000行目の読み出し動作と第9行目のシャッタ動作が行われる。時刻T54の前の期間では第0行目の読み出し動作と第10行目のシャッタ動作が行われる。上述のように、時刻T54にFD容量大からFD容量小への切り替えが行われているため、制御信号TX[9]が入力される時点と、制御信号TX[10]が入力される時点とでは

10

20

30

40

50

フローティングディフュージョンFDの容量が異なっている。

【0066】

図9(b)の V_{TX} のグラフは、増幅器901の電源端子に供給される電源電圧 V_{TX} の時間変動を示す。転送トランジスタM1に制御信号TX[9]、TX[10]が入力される際には、これらの制御信号の電圧変動により、電源電圧 V_{TX} も変動する。ここで、制御信号TX[9]が入力される際の電源電圧 V_{TX} の変動量と、制御信号TX[10]が入力される際の電源電圧 V_{TX} の変動量とは異なる値となる。これは、フローティングディフュージョンFDの容量が異なることによる影響によるものである。電源電圧 V_{TX} の変動は、基準電圧線902等を経由して隣接する行の増幅器901の動作に影響し、隣接行の制御信号TXに対して波形変動等の影響を与えることがある。電源電圧 V_{TX} の変動量がある行の付近で急激に変化すると、その付近の行において上述の波形変動の量が急激に変化するため、画質に影響を与えることがある。そのため、時刻T54の前後の期間にシャッタ動作が行われる行の付近、すなわち、第9行目、第10行目付近において、画質劣化が生じ得る。また、第9行目、第10行目付近が後述するOB(Optical Black)画素領域である場合には、基準レベルがずれることによる画質劣化が生じ得る。

10

【0067】

これに対し、第1実施形態では、図3に示すように、シャッタ走査の開始に同期してフローティングディフュージョンFDの容量が変化するように第2容量制御部170が第2出力許可信号の出力を遅延させている。そのため、シャッタ走査の途中でフローティングディフュージョンFDの容量の設定が変化しないように制御可能であるため、第1実施形態によれば、上述の比較例において生じうる画質劣化を低減し得る。

20

【0068】

(第2実施形態)

図10は、第2実施形態に係る画素アレイの配列図である。画素アレイ1000は、NULL画素(ダミー画素)が配列されたNULL画素領域1000aと、OB画素(遮光画素)が配列されたOB画素領域1000bと、第1実施形態で述べた画素101(有効画素)が配列された有効画素領域1000cとを有する。これらの画素領域は、画素アレイ1000の先頭行から順に、NULL画素領域1000a、OB画素領域1000b、有効画素領域1000cの順に並んでいる。NULL画素とは、光電変換部PDを有しない画素であり、暗電流の影響を含まない基準信号を取得可能な画素である。OB画素とは、光電変換部PDが可視光を透過しない金属等の遮光膜で覆われている画素であり、暗電流の影響を含む基準信号を得ることができる。これらの基準信号を用いて有効画素領域1000cから得られた信号を補正することにより、高精度な撮像が可能となる。

30

【0069】

図11は、第2実施形態に係る撮像装置の駆動方法を模式的に示す図である。本実施形態の駆動方法が第1実施形態の駆動方法と異なる点は、NULL画素領域1000a、OB画素領域1000bを考慮した垂直走査が行われる点と、第2容量制御部の構成及び動作が異なる点である。

【0070】

まず、本実施形態の垂直走査方法について説明する。なお、第1実施形態と重複する部分についての説明は省略する。時刻T12において、内部VDのパルスに応じて読み出し走査が開始される。読み出し走査の先頭行はNULL画素領域1000aであるため、時刻T12から時刻T61までの期間においては、NULL画素領域1000aの読み出し走査が行われる。なお、NULL画素領域1000aの読み出し走査は2回行われる。この回数は1回であってもよく、3回以上であってもよい。なお、NULL画素領域1000aを複数回読み出し走査する理由は、複数回の走査により得られた信号を平均化して精度を高めるためである。

40

【0071】

時刻T61において、NULL画素領域1000aの読み出し走査が終了し、OB画素領域の読み出し走査が開始される。OB画素領域の全行の読み出し走査が終了すると、継

50

続いて有効画素領域の読み出し走査が開始される。時刻T13において、シャッタ走査が開始される。シャッタ走査は、NULL画素領域1000aに対しては行われず、OB画素領域1000bから開始される。NULL画素領域1000aは光電変換部PDを有しないためである。

【0072】

次に、本実施形態の第2容量制御部1270の構成を説明する。図12は、第2実施形態に係る第2容量制御部1270の構成を示すブロック図である。第2容量制御部1270は、デコーダ403とDラッチ回路1201、1202、402とを含む。すなわち、第2容量制御部1270には、内部VDのパルス信号がクロック端子に入力されるDラッチ回路1201と、OB画素領域1000bの先頭行のトリガとなるパルス信号がクロック端子に入力されるDラッチ回路1202とが追加されている。

10

【0073】

図11の第2容量制御部に関する動作及び図12を参照しつつ、本実施形態のシャッタ走査に係る第2容量制御部1270の動作を説明する。時刻T11において、第1実施形態の場合と同様に、デコーダ403からDラッチ回路1201のデータ端子Dに、FD容量大を示すハイレベルの信号が入力される。時刻T12において、内部VDのパルス信号がDラッチ回路1201のクロック端子に入力され、Dラッチ回路1201の出力端子QからDラッチ回路1202のデータ端子DにFD容量大を示すハイレベルの信号が出力される。時刻T61において、OB先頭行を示すパルス信号がDラッチ回路1202のクロック端子に入力され、Dラッチ回路1202の出力端子QからDラッチ回路402のデータ端子DにFD容量大を示すハイレベルの信号が出力される。その後、T13において、第1実施形態の場合と同様にシャッタスタートのパルスに基づきDラッチ回路402から第2出力許可信号が出力される。

20

【0074】

以上のように、本実施形態の第2容量制御部1270は、読み出し走査の開始、OB画素領域1000bの先頭行の読み出し開始、シャッタスタート信号に順次同期するDラッチ回路を有する。言い換えると、第2出力許可信号の出力タイミングに対しNULL画素領域1000aの読み出し走査の開始、OB画素領域1000bの読み出し走査の開始が行われた後のシャッタ走査の開始に同期するように遅延が与えられる。FD容量を変更する通信は非同期であるため、その直後にシャッタスタートの信号が入力されることがある。この間隔が短すぎるとFD容量変更等に関する処理が困難になる場合がある。本実施形態では、読み出し走査の開始、OB先頭行の読み出し開始を待った後のシャッタスタート信号に同期してFD容量の変更に係る第2出力許可信号の出力が行われるので、FD容量を変更する通信を受けてからの時間が確保できる。そのため、上述の問題の影響が低減され得る。

30

【0075】

なお、第2容量制御部1270のラッチ回路の配置、トリガとする信号の種類は画素構成に併せて適宜変更可能である。例えば、NULL画素領域1000aとOB画素領域1000bの配置が逆の場合は、Dラッチ回路1202のクロック端子に入力される信号はNULL画素の先頭行を示すパルス信号とすることができる。

40

【0076】

(第3実施形態)

図13は、第3実施形態に係る撮像装置の構成を示すブロック図である。本実施形態では、第2容量制御部1370及び垂直走査回路1310の構成が第1、第2実施形態と異なる。第2容量制御部1370は、第2出力許可信号Aと第2出力許可信号Bの2つの信号を垂直走査回路1310に出力する。

【0077】

図14は、第3実施形態に係る撮像装置の駆動方法を模式的に示す図である。本実施形態に係る撮像装置は、内部VDの1パルスごと(すなわち1フレームごと)に第2出力許可信号Aと第2出力許可信号Bとが交互に有効になる構成となっている。時刻T71に開

50

始されるシャッタ走査に対しては、第2出力許可信号Bに基づいてFD容量の制御がなされる(図中の「シャッタ同期ラッチB」)。その次のフレームのシャッタ走査である、時刻T72に開始されるシャッタ走査に対しては、第2出力許可信号Aに基づいてFD容量の制御がなされる(図中の「シャッタ同期ラッチA」)。以下、この動作を実現する第2容量制御部1370及び垂直走査回路1310の構成を説明する。

【0078】

図15は、第3実施形態に係る第2容量制御部1370の構成を示すブロック図である。第2容量制御部1370は、第2実施形態の第2容量制御部1270のDラッチ回路402に代えて、Dラッチ回路1501、1502、NOT回路1503及びAND回路1504、1505を有する。以下、第2実施形態の第2容量制御部1270と異なる部分について説明する。

10

【0079】

Dラッチ回路1202の出力端子Qから出力される信号は、AND回路1504の2つの入力端子のうち的一方、及びAND回路1505の2つの入力端子のうち的一方に入力される。AND回路1505の他方の入力端子には、タイミング制御部180から入力されるシャッタ同期B有効信号が入力される。このシャッタ同期B有効信号は、内部VDの1パルスごとにハイレベルとローレベルを交互に繰り返す信号である。AND回路1504の他方の入力端子には、シャッタ同期B有効信号が、NOT回路1503を介して入力される。AND回路1504からの出力信号はDラッチ回路1501のデータ端子Dに入力される。AND回路1505からの出力信号はDラッチ回路1502のデータ端子Dに入力される。Dラッチ回路1501、1502のクロック端子にはシャッタスタートのパルス信号が入力される。Dラッチ回路1501の出力端子Qからは第2出力許可信号Aが出力され、Dラッチ回路1502の出力端子Qからは第2出力許可信号Bが出力される。

20

【0080】

第3実施形態に係る第2容量制御部1370では、シャッタ同期B有効信号がハイレベルのときは、AND回路1504の出力が常にローレベルであるため、Dラッチ回路1502のみが有効となる。また、シャッタ同期B有効信号がローレベルのときは、AND回路1505の出力が常にローレベルであるため、Dラッチ回路1501のみが有効となる。そのため、第2出力許可信号Aによる制御と第2出力許可信号Bによる制御を内部VDの1パルスごとに交互に行う制御が実現される。

30

【0081】

図16は、第3実施形態に係る垂直走査回路1310の構成を示す回路図である。垂直走査回路1310は、第1、第2実施形態の垂直走査回路110のAND回路507に代えて、Dラッチ回路1601、AND回路1602、1603及びOR回路1604を有する。以下、第1、第2実施形態の垂直走査回路110と異なる部分について説明する。

【0082】

Dラッチ回路1601のデータ端子Dには、アドレス信号ADDR[0]が入力される。Dラッチ回路1601のゲート端子Gには信号P__LAT__SHBが入力される。アドレス信号ADDR[0]がハイレベルとなった場合、Dラッチ回路1601の出力端子Qから出力される信号は、信号P__LAT__SHBとしてパルスが入力された時刻からハイレベルになる。

40

【0083】

Dラッチ回路1601の出力端子Qから出力される信号は、AND回路1602の2つの入力端子のうち的一方に入力される。AND回路1602の他方の入力端子には、第2出力許可信号Bが入力される。AND回路1602は、Dラッチ回路1601の出力と第2出力許可信号Bの論理積をOR回路1604の2つの入力端子のうち的一方に出力する。AND回路1603の2つの入力端子には、第2出力許可信号A及びDラッチ回路502の出力信号が入力され、AND回路1603はこれらの論理積をOR回路1604の他方の入力端子に出力する。OR回路1604は、AND回路1602、1603からの信号の論理和をOR回路510の2つの入力端子のうち的一方に出力する。

50

【 0 0 8 4 】

図 1 7 は、第 3 実施形態に係る撮像装置の動作タイミング図である。図 1 7 では、タイミング制御部 1 8 0 からの出力信号に関連する部分のみが示されている。図 6 と同じ時刻が付されている箇所の動作は第 1 実施形態と同様であるため説明を省略する。信号 P _ L A T _ S H のパルスが出力される時刻 T 2 4 の後の時刻 T 8 1 において、タイミング制御部 1 8 0 は、信号 P _ L A T _ S H B のパルスを垂直走査回路 1 3 1 0 に出力する。上述のように、第 2 出力許可信号 A による制御と第 2 出力許可信号 B による制御が交互に有効となっているため、時刻 T 2 0 から時刻 T 2 8 の期間の駆動において、シャッタアドレスは 1 0 8 行目又は 9 2 行目のいずれかとなる。このように、本実施形態では、第 2 容量制御部 1 3 7 0 は第 2 出力許可信号 A と第 2 出力許可信号 B の 2 つの信号を出力可能であるため、シャッタ走査において 2 つの行に対し互いに異なる F D 容量の設定が可能となる。

10

【 0 0 8 5 】

以上のような回路構成及び動作タイミングに基づき、図 1 4 に示す撮像装置の駆動が実現される。本実施形態では、シャッタ走査における F D 容量の制御が、1 フレームごとに交互に第 2 出力許可信号 A と第 2 出力許可信号 B に基づき行われる。また、シャッタ走査において 2 つの行に対し互いに異なる F D 容量の設定が可能である。

【 0 0 8 6 】

第 3 実施形態がこのような構成を有することによる効果を比較例と対比して説明する。撮像装置により動画を撮影する際に、撮影条件に応じて蓄積時間を変更する場合がある。この蓄積時間の変更はシャッタスタートのタイミングを変更することにより行われる。第 3 実施形態の比較例では、このようなシャッタスタートのタイミング変更が行われた場合以下の問題点が生じ得る。

20

【 0 0 8 7 】

図 1 8 は、比較例に係る撮像装置の駆動方法を模式的に示す図である。図 1 8 は、第 2 実施形態において時刻 T 1 3 に開始されるシャッタ走査が、シャッタスタートのタイミング変更により、時刻 T 9 1 に遅れた場合の動作を示している。これにより、時刻 T 9 1 から開始するシャッタ走査と時刻 T 1 6 から開始する読み出し走査との間の蓄積時間が短くなっている。同様に、第 2 実施形態において時刻 T 1 7 に開始されるシャッタ走査が、時刻 T 9 2 に早められている。これにより、時刻 T 9 2 から開始するシャッタ走査と時刻 T 1 9 から開始する読み出し走査との間の蓄積時間が長くなっている。このような場合、シャッタ走査の間隔が短くなり、時刻 T 9 1 から開始されるシャッタ走査が終了する前に、次のフレームのシャッタ走査（時刻 T 9 2 から開始されるシャッタ走査）が開始し、一部が重複することがある。時刻 T 9 1 からのシャッタ走査は F D 容量大の設定になっており、時刻 T 9 2 からのシャッタ走査は F D 容量小の設定になっているため、シャッタ走査の途中で F D 容量の設定が変化し、第 1 実施形態の比較例で述べた理由と同様の理由による画質劣化が生じ得る。

30

【 0 0 8 8 】

これに対し、第 3 実施形態では、比較例のようにシャッタ走査の期間が一部重複したとしても、シャッタ走査の途中で F D 容量の設定を変更しない動作が可能である。よって、本実施形態の撮像装置によれば、上述の要因による画質劣化が低減され得る。

40

【 0 0 8 9 】

(第 4 実施形態)

図 1 9 は、第 4 実施形態に係る撮像装置の駆動方法を模式的に示す図である。本実施形態は第 3 実施形態の駆動方法に、撮像装置のリセット時のデフォルト設定（初期設定）を F D 容量大としたものである。以下、撮像装置の電源がオンになった直後の駆動について説明する。

【 0 0 9 0 】

時刻 T 1 0 0 において、撮像装置の電源がオンになる。時刻 T 1 0 1 において、非同期リセット（ R E S E T _ X ）のローレベルのパルスが入力される。図 1 9 の例ではこのリセットは電源をオンしたことに基づくものであるが、例えば、ユーザ操作に基づくリセッ

50

ト等であってもよい。このとき、第1容量制御部160及び第2容量制御部1370は、デフォルト設定としてFD容量大を示すハイレベルの信号を出力する。これに基づき、トランジスタM5がオンになり、フローティングディフュージョンFDと付加容量Cincが接続される。

【0091】

時刻T102において、タイミング制御部180は、FD容量小によりシャッタ動作(S)を行う指示を示す信号を受信する。この指示に基づき時刻T105からのシャッタ走査がFD容量小で行われる。この動作については第3実施形態と同様である。時刻T103において、FD容量大による読み出し走査が行われる。これは、上述のように非同期リセットによるデフォルト設定がFD容量大であるためである。その後、時刻T106において、タイミング制御部180が、FD容量小により読み出し走査(R)を行う指示を示す信号を受信すると、第3実施形態と同様の動作により、時刻T107からの読み出し走査がFD容量小で行われる。

10

【0092】

以上のように、本実施形態では、リセット後の初期動作において、デフォルト設定をFD容量大とすることにより、FD容量を指定する指示を受ける前のフレームにおいてはFD容量大で読み出し走査又はシャッタ走査を行うことができる。初期動作時にFD容量が小であると、初期の数フレームの読み出し走査又はリセット走査において、付加容量Cincがフローティング状態になる。これにより、付加容量Cincの電位が不定になり、ノイズの要因等となり得る。本実施形態では、デフォルト設定をフローティングディフュージョンFDと付加容量Cincを接続するFD容量大としているので、付加容量Cincがフローティング状態にならず、上述の問題の影響が低減され得る。

20

【0093】

(第5実施形態)

図20は、第5実施形態に係る撮像装置の駆動方法を模式的に示す図である。本実施形態の撮像装置は、第4実施形態の撮像装置において、さらに、メカニカルシャッタ(メカシャッタ)を備え、かつメカシャッタにより蓄積時間を制御する静止画撮影が可能となっている。メカシャッタによる露光時間制御が行われるため、本実施形態では、第1から第4の形態で述べたようなシャッタ走査は行われない。

【0094】

以下、静止画撮影の動作を説明する。メカニカルシャッタを用いた静止画撮影時において、第4実施形態のリセット時と同様に、第2容量制御部は、常にデフォルト設定であるFD容量大とする制御を行うように設定される。時刻T110から時刻T111の期間において、画素アレイ1000の全ての行の画素101に対して光電変換部PDのリセットが行われる(全行フォトダイオードリセット)。この動作については後述する。なお、この時点において、メカシャッタは閉状態となっている。

30

【0095】

時刻T112において、メカシャッタの開動作が開始し、画素アレイ1000先頭行から順次露光され始める。時刻T113において、タイミング制御部180は、FD容量小により読み出し走査(R)を行う指示を示す信号を受信する。時刻T114において、メカシャッタの開動作が開始し、画素アレイ1000の露光が先頭行から順次終了する。メカシャッタが開いてから閉じるまでの時間、すなわち、時刻T112から時刻T114までの時間が蓄積時間となる。例えば、メカニカルシャッタが先幕と後幕を有するシャッタであるものとする、時刻T112は先幕の走行開始時刻に相当し、時刻T114は後幕の走行開始時刻に相当する。時刻T115において、FD容量小による読み出し走査が順次行われる。以下、この動作を実現する垂直走査回路2110及びその動作を説明する。

40

【0096】

図21は、第5実施形態に係る垂直走査回路2110の構成を示す回路図である。本実施形態の垂直走査回路2110は、Dラッチ回路501のデータ端子Dの前段にOR回路2101をさらに有する点で第3、第4実施形態に係る図17の回路と異なる。OR回路

50

2101の2つの入力端子のうち的一方には、アドレス信号ADDR[0]~[n]が入力され、他方の入力端子には信号P__LAT__RDALLが入力される。信号P__LAT__RDALLは各行のOR回路2101に共通に入力されているため、信号P__LAT__RDALLがハイレベルのとき、全ての行のOR回路2101の出力がハイレベルになる。言い換えると全ての行が選択された状態となる。信号P__LAT__RDALLがローレベルのときは、OR回路2101の出力はアドレス信号ADDR[0]~[n]のレベルと一致する。

【0097】

図22は、第5実施形態に係る撮像装置の全行フォトダイオードリセットの期間における動作タイミング図である。時刻T120において、内部HDのパルスを受けて信号P__LAT__RDALLは一時的にローレベルになり、その後T121に再びハイレベルになる。これにより、各行のOR回路2101の出力がハイレベルになり、これらが、各行のDラッチ回路501のデータ端子Dに入力される。時刻T122において、信号P__LAT__RDALLのパルスが各行のDラッチ回路501のゲート端子Gに入力され、Dラッチ回路501の出力端子Qからの出力がハイレベルになる。

【0098】

時刻T123において、信号P__RES、P__TXがハイレベルになる。これにより、制御信号RES[0]~[n]と制御信号TX[0]~[n]が全てハイレベルになる。すなわち、全行の転送トランジスタM1とリセットトランジスタM2が全てオンになり、全行の光電変換部PDに蓄積されている電荷がリセットされる。その後、時刻T124において、信号P__RES、P__TXがローレベルになり、全行の転送トランジスタM1とリセットトランジスタM2が全てオフになる。これらの動作は、全行フォトダイオードリセットの期間が終了するまで繰り返される。以上の動作により、メカシャッタの開閉による電荷蓄積の準備として、各光電変換部PDの電荷を全行一斉にリセットすることができる。なお、信号ROW__ADDRが示す行アドレスの値、すなわち、アドレス信号ADDR[0]~[n]は本動作に影響しないので任意である。

【0099】

以上のように、本実施形態によれば、第4実施形態の撮像装置に対して、メカシャッタにより蓄積時間を制御する静止画撮影の機能を追加することができる。メカシャッタを用いているため、各行の電荷蓄積タイミングの時間差が少なくなり、ローリングシャッタに起因する画像の歪みが低減され得る。また、全行フォトダイオードリセット時及び電荷蓄積時には、第2容量制御部により、デフォルト設定としてFD容量大、すなわちフローティングディフュージョンFDと付加容量Cincを接続するものとしている。そのため、付加容量Cincがフローティング状態にならず、第4実施形態で述べた問題の影響も低減され得る。

【0100】

(第6実施形態)

図23は、第6実施形態に係る画素の構成を示す回路図である。本実施形態は、画素2301の構成が、第1乃至第5実施形態の画素101と異なる。本実施形態の画素2301は、2つの光電変換部PD__A、PD__Bと2つの転送トランジスタM1A、M1Bを有する。画素2301は半導体基板上に形成される。光電変換部PD__A、PD__Bが形成されている部分の上部には、入射光を光電変換部PD__A、PD__Bに導くための1つのマイクロレンズMLが形成されている。言い換えると、光電変換部PD__A、PD__Bは1つのマイクロレンズMLに共有されている。

【0101】

光電変換部PD__A、PD__Bのアノードは接地される。光電変換部PD__Aのカソードは転送トランジスタM1Aのソースに接続される。光電変換部PD__Bのカソードは転送トランジスタM1Bのソースに接続される。転送トランジスタM1A、M1BのドレインはフローティングディフュージョンFDに接続される。転送トランジスタM1Aのゲートには制御信号TXAが入力され、転送トランジスタM1Bのゲートには制御信号TXB

10

20

30

40

50

が入力される。

【0102】

図24は、第6実施形態に係る撮像装置の動作タイミング図である。本実施形態の動作において、第1乃至第5実施形態と異なる点は、第1乃至第5実施形態の信号P__TXが、本実施形態では信号P__TXA、P__TXBの2つに分かれている点である。信号P__TXAは、制御信号TXA[0]～[n]のパルスを制御する信号であり、信号P__TXBは、制御信号TXB[0]～[n]のパルスを制御する信号である。これらの制御信号のパルスを生成する垂直走査回路内の構成及び動作は、上述の第1乃至第5実施形態とほぼ同様であるため説明を省略する。

【0103】

時刻T130において、信号P__TXAがハイレベルになる。これにより、制御信号TXA[8]、TXA[1999]がハイレベルになる。この動作により、第1実施形態と同様に、8行目の画素2301の光電変換部PD__A及びフローティングディフュージョンFDの電荷がリセットされ、かつ1999行目の画素2301の光電変換部PD__Aに基づく信号の読み出し動作が行われる。その後、時刻T131において、信号P__TXAがローレベルになる。

【0104】

時刻T132において、信号P__TXA、P__TXBがハイレベルになる。これにより、制御信号TXA[8]、TXA[1999]、TXB[8]、TXB[1999]がハイレベルになる。この動作により、8行目の画素2301の光電変換部PD__A、PD__B及びフローティングディフュージョンFDの電荷がリセットされる。さらに、1999行目の画素2301の光電変換部PD__A及びPD__Bに基づく信号の読み出し動作が行われる。その後、時刻T133において、信号P__TXA、P__TXBがローレベルになる。

【0105】

以上のように、本実施形態では、まず、時刻T130から時刻T131の期間において、光電変換部PD__Aで生成された電荷に基づく信号(A信号)が画素2301から読み出される。そして、信号PHが順次ハイレベルとなることにより、各列の信号保持部131からA信号が読み出される。その後、時刻T132から時刻T133の期間において、光電変換部PD__A及びPD__Bで生成された電荷の和に基づく信号(A+B信号)が画素2301から読み出される。そして、信号PHが順次ハイレベルとなることにより、各列の信号保持部131からA+B信号が読み出される。撮像装置内又は撮像装置の後段の信号処理部でA+B信号からA信号を減算することにより、光電変換部PD__Bで生成された電荷に基づく信号(B信号)が算出され得る。A信号及びB信号は、例えば撮像装置の位相差オートフォーカスに用いることができる。A+B信号は、画像の生成に用いることができる。すなわち、本実施形態によれば、第1乃至第5実施形態の撮像装置を1つの画素が複数の光電変換部を有する画素構成の撮像装置に適用可能である。これにより得られた複数の信号を画像の生成だけでなく、例えば位相差オートフォーカス等にも用いることができる。

【0106】

なお、本実施形態では、画素2301は2つの光電変換部PD__A、PD__Bを有しているものとしたが、光電変換部の個数は3個以上であってもよい。

【0107】

(第7実施形態)

第7実施形態に係る撮像システムについて説明する。撮像システムの例としては、デジタルスチルカメラ、デジタルカムコーダ、複写機、ファクシミリ、携帯電話、車載カメラ、観測衛星などがあげられる。また、レンズなどの光学系と撮像装置とを備えるカメラモジュールも、撮像システムに含まれる。図25に、撮像システムの一例としてデジタルスチルカメラのブロック図を示す。

【0108】

10

20

30

40

50

撮像システム 2500 は、光学系及び撮像部として、バリア 2506、レンズ 2502、絞り 2504 及び撮像装置 2501 を備える。バリア 2506 はレンズ 2502 を保護する部材である。レンズ 2502 は被写体の光学像を撮像装置 2501 の画素アレイ 100 に結像させる。絞り 2504 はレンズ 2502 を通る光量を可変する。撮像装置 2501 には、上述の各実施形態で説明した撮像装置が用いられる。撮像装置 2501 は、レンズ 2502 により画素アレイ 100 に結像された光学像を画像データに変換する。ここで、撮像装置 2501 は A/D 変換部を含んでいてもよく、撮像装置 2501 の後段にさらに不図示の A/D 変換部が追加されていてもよい。

【0109】

撮像システム 2500 は、制御、信号処理等を行う部分として、信号処理部 2508、
10 タイミング供給部 2520、全体制御・演算部 2518 をさらに含む。撮像システム 2500 は、データの記録、インターフェース (I/F) 等のための部分として、バッファメモリ部 2510、記録媒体制御 I/F 部 2516、記録媒体 2514、外部 I/F 部 2512 をさらに含む。

【0110】

信号処理部 2508 は、撮像装置 2501 から出力された画像データに各種の補正、データ圧縮等の処理を行う。この処理には相関二重サンプリング処理及びデジタルゲイン補正処理が含まれ得る。タイミング供給部 2520 は、撮像装置 2501 及び信号処理部 2508 に、各種タイミング信号を出力する。全体制御・演算部 2518 は、デジタルスチルカメラ全体を制御する。バッファメモリ部 2510 は、画像データを一時的に記憶する
20 フレームメモリである。記録媒体制御 I/F 部 2516 は、記録媒体 2514 に対しデータの記録又は読み出しを行うためのインターフェース部である。記録媒体 2514 は、例えば、画像データを記録する半導体メモリ等の不揮発性の記録媒体である。記録媒体 2514 は、撮像システム 2500 に内蔵されていてもよく、着脱可能であってもよい。外部 I/F 部 2512 は、撮像システム 2500 と外部コンピュータ等との間で通信を行うためのインターフェース部である。ここで、タイミング信号などの制御信号は撮像システム 2500 の外部から入力されてもよい。撮像システム 2500 は、少なくとも撮像装置 2501 と、撮像装置 2501 から出力される信号を処理する信号処理部 2508 とを有すればよい。

【0111】

以上のように、本実施形態の撮像システムは、上述の実施形態のいずれかの撮像装置 2501 を適用して撮像動作を行うことが可能である。

【0112】

本発明を適用し得る実施形態は、上述の実施形態のみに限定されない。例えば、いずれかの実施形態の一部の構成を、他の実施形態に追加した実施形態、あるいは他の実施形態の一部の構成と置換した実施形態も本発明を適用し得る実施形態であると理解されるべきである。

【0113】

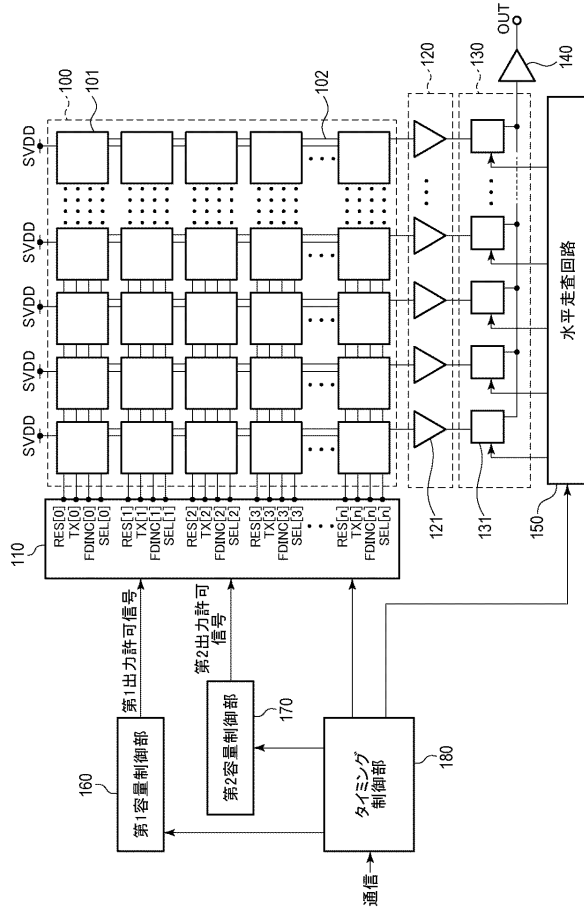
また、第 7 実施形態に示した撮像システムは、本発明の撮像装置を適用しうる撮像システムの一例を示したものであり、本発明の撮像装置を適用可能な撮像システムは図 25 に
40 示した構成に限定されるものではない。

【符号の説明】

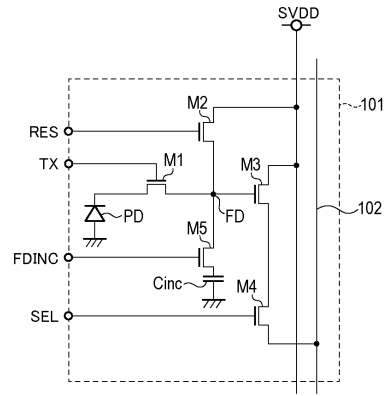
【0114】

- 100 画素アレイ
- 101 画素
- 110 垂直走査回路
- 160 第 1 容量制御部
- 170 第 2 容量制御部

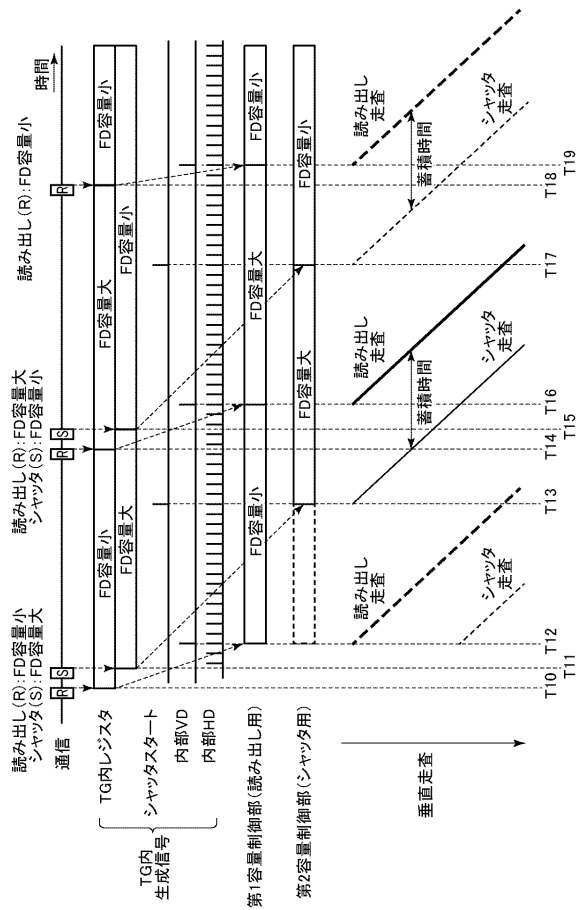
【図1】



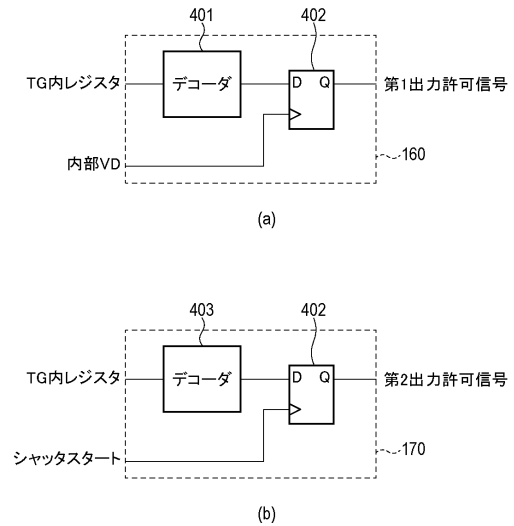
【図2】



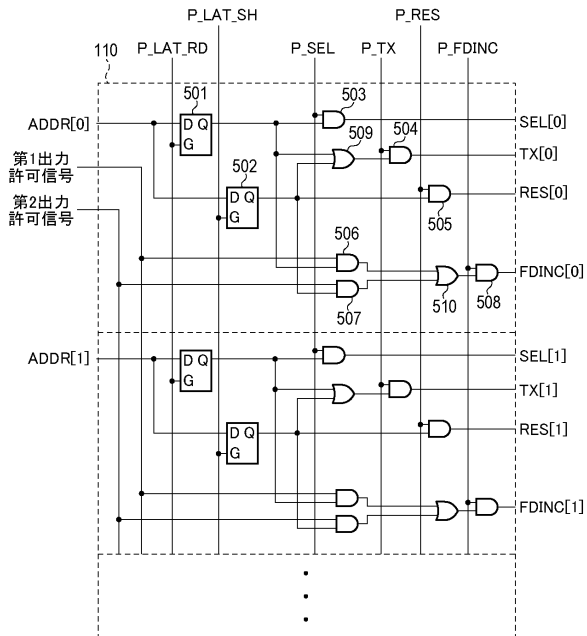
【図3】



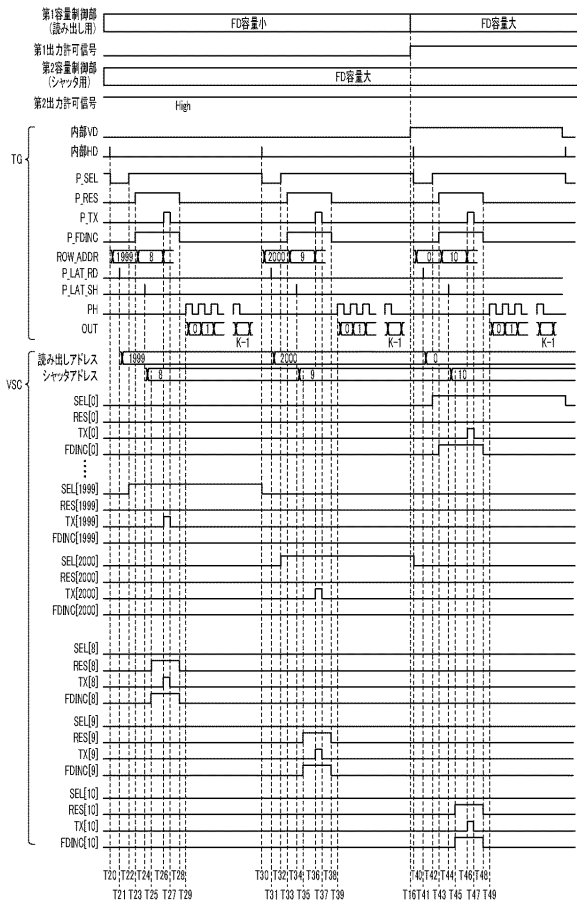
【図4】



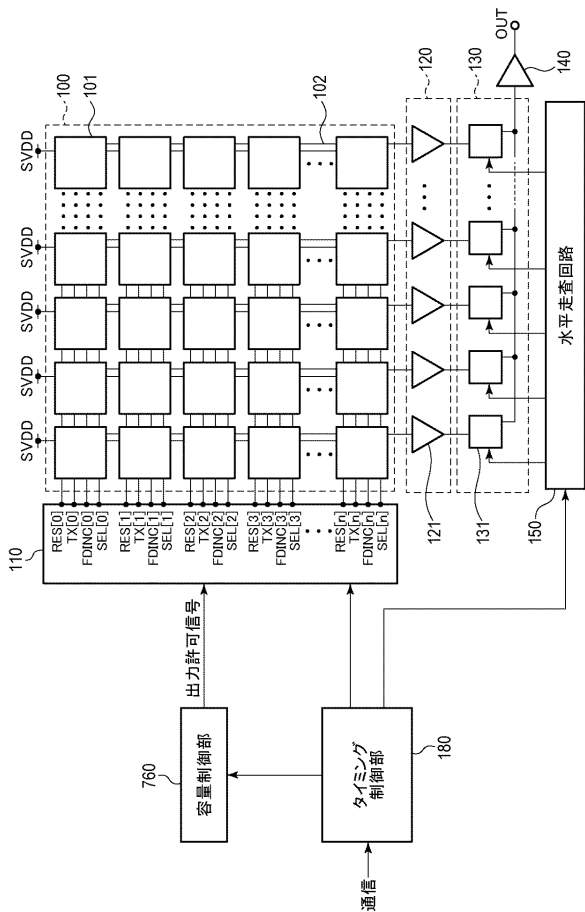
【図5】



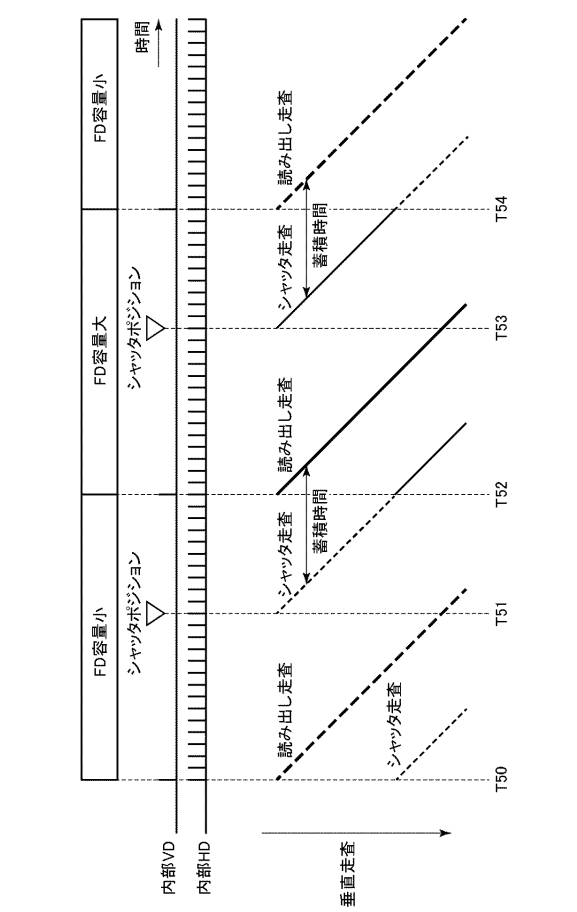
【図6】



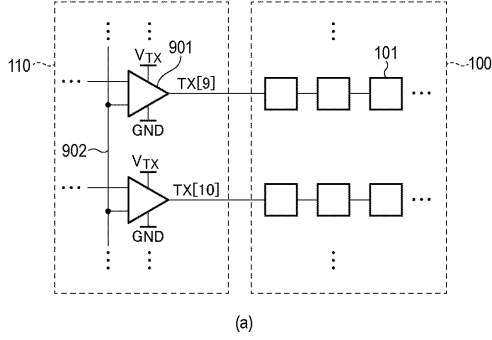
【図7】



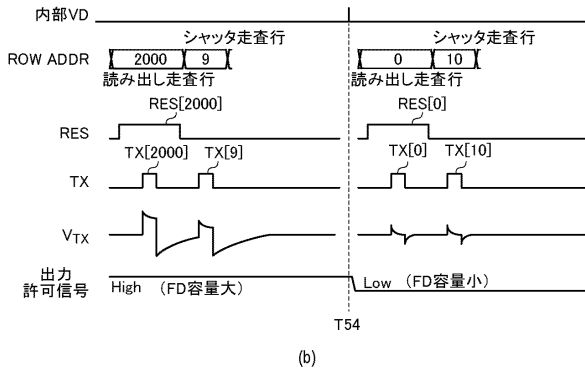
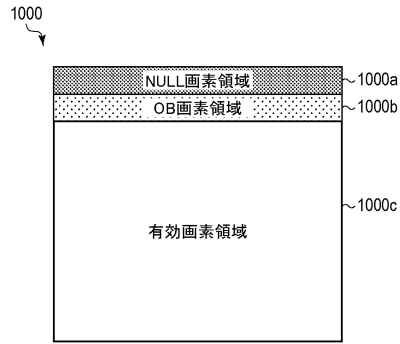
【図8】



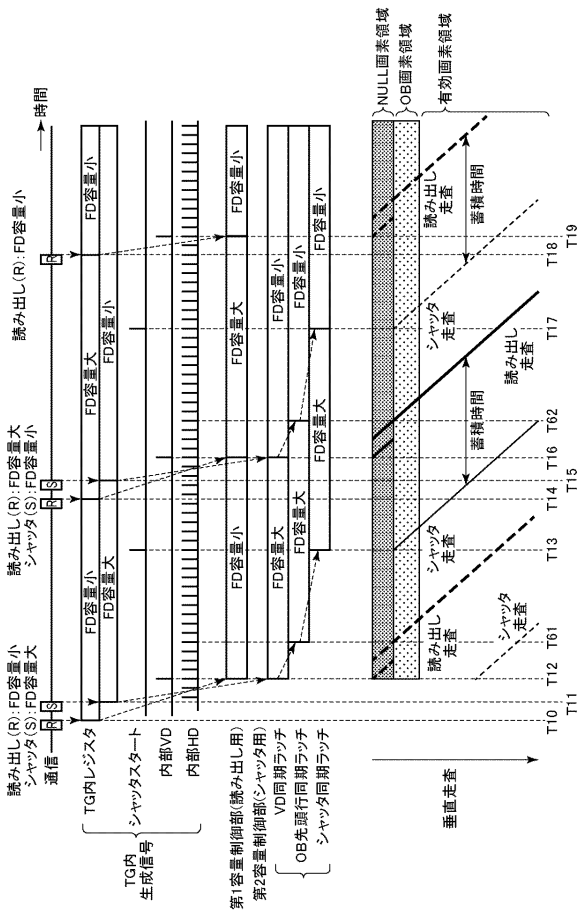
【図9】



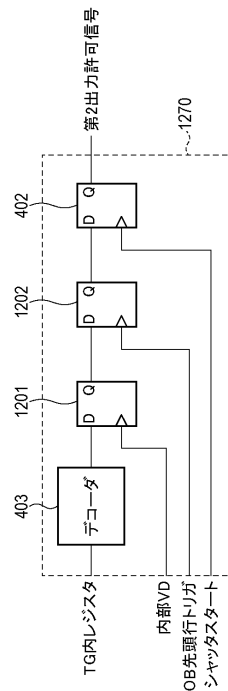
【図10】



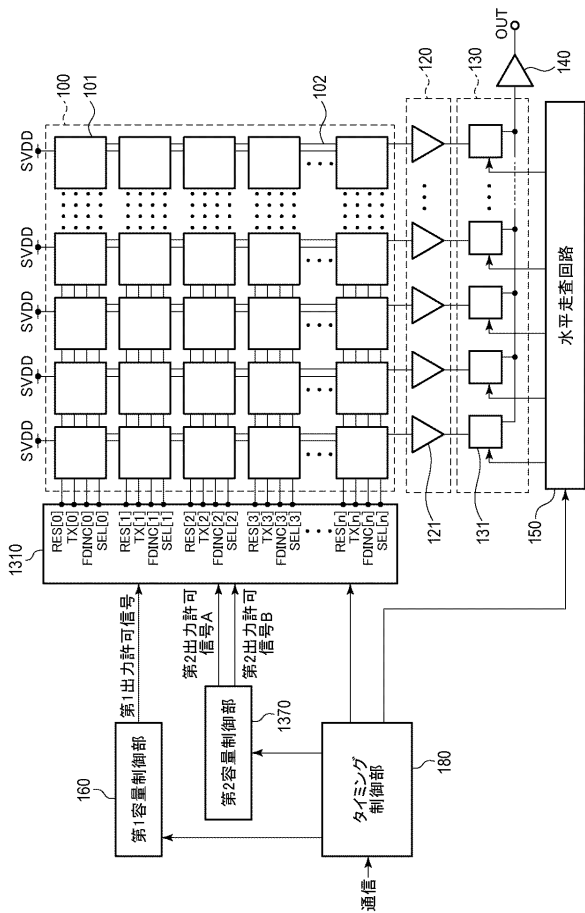
【図11】



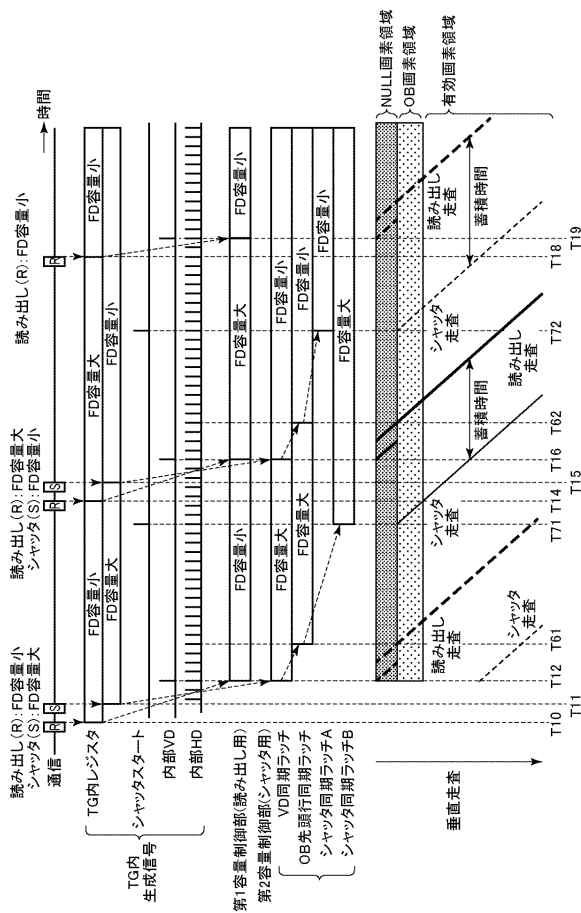
【図12】



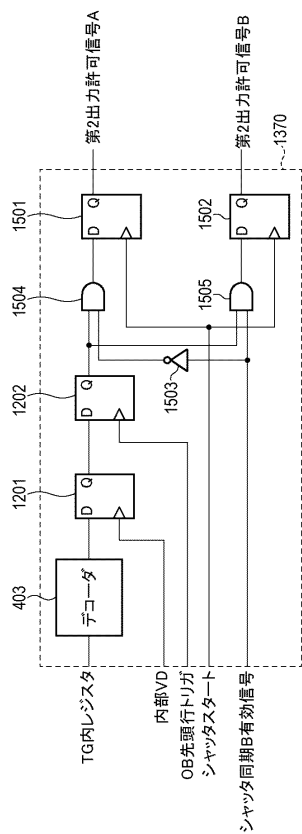
【図13】



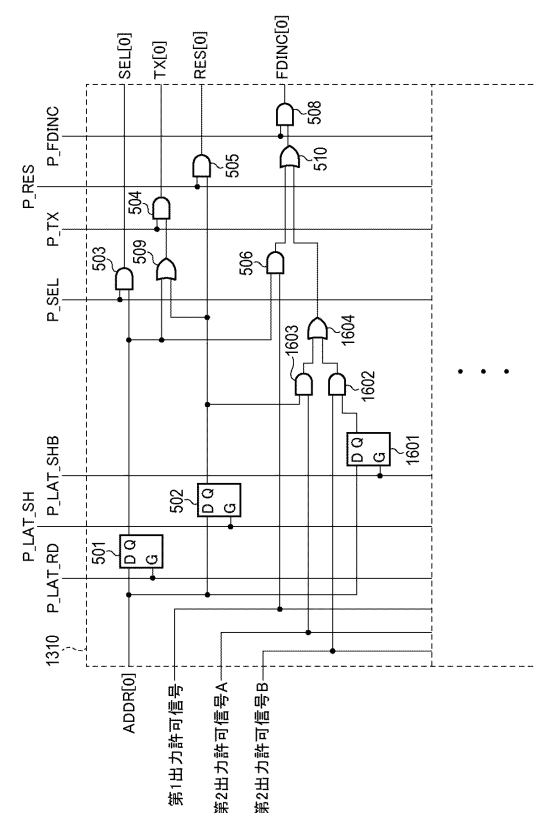
【図14】



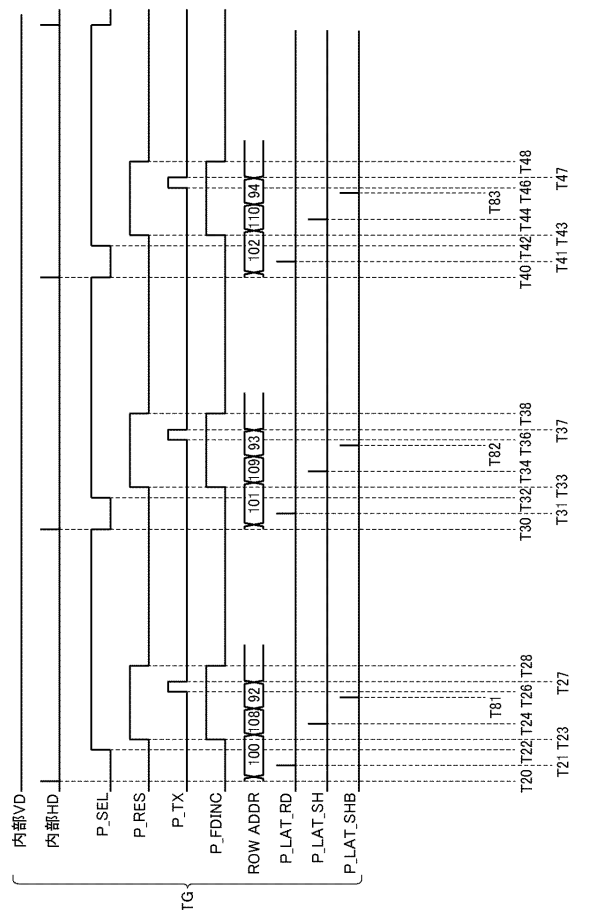
【図15】



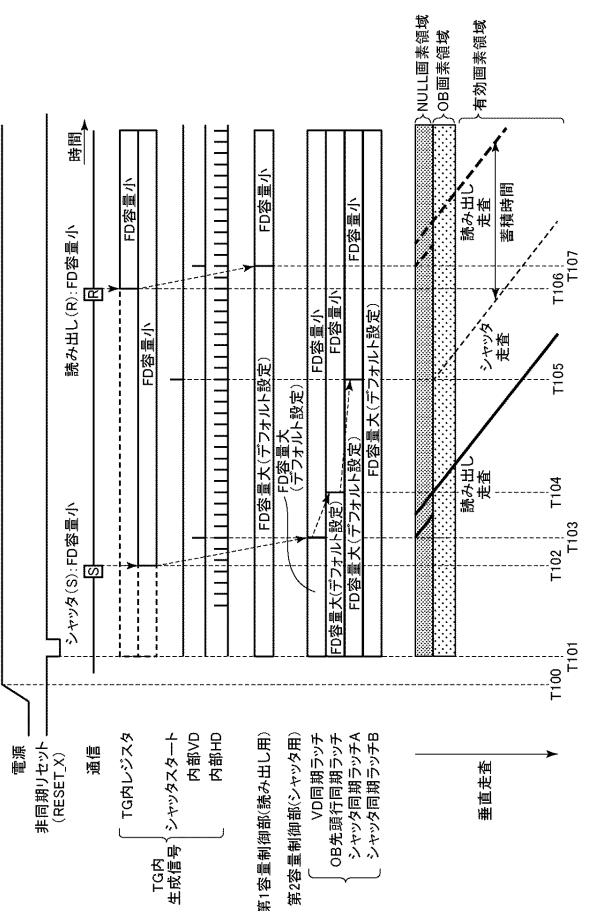
【図16】



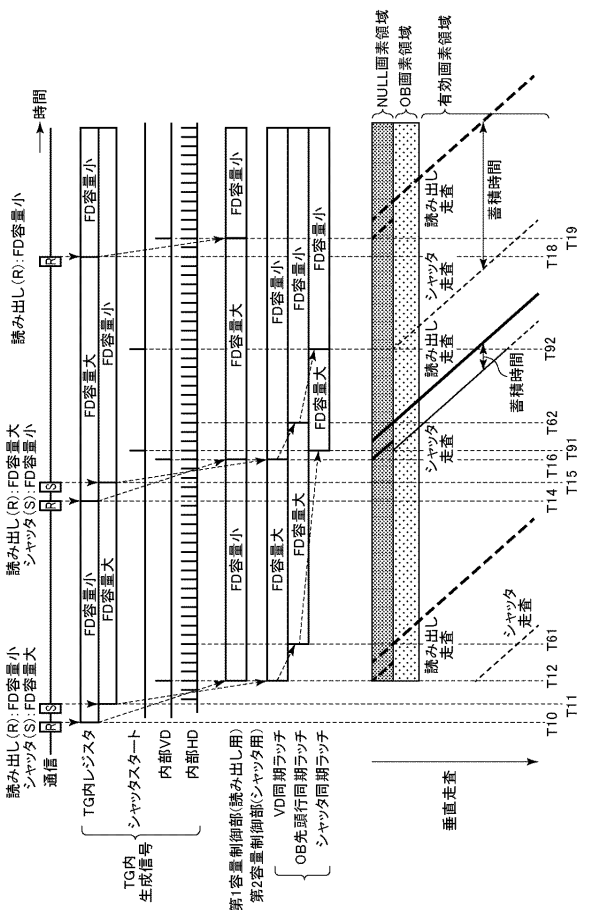
【図 17】



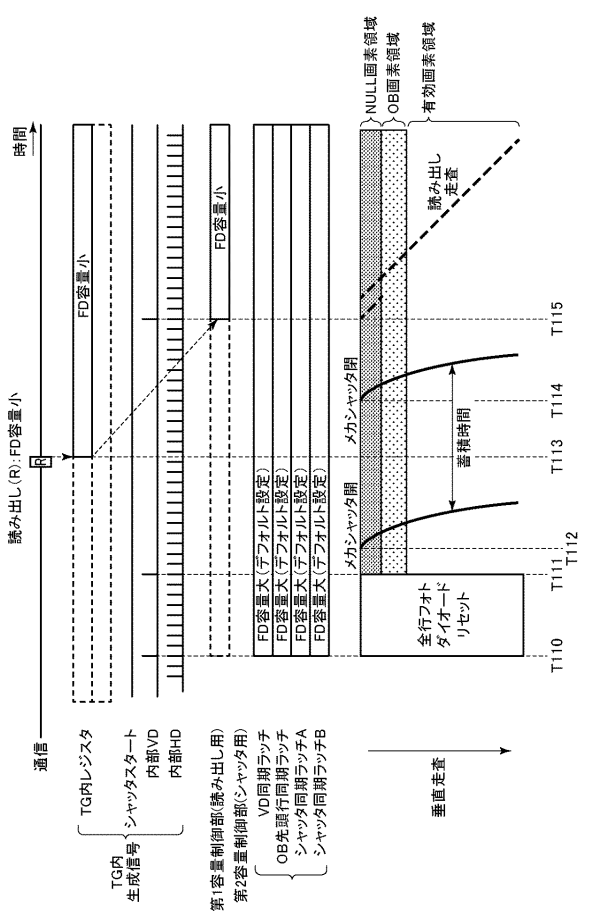
【図 19】



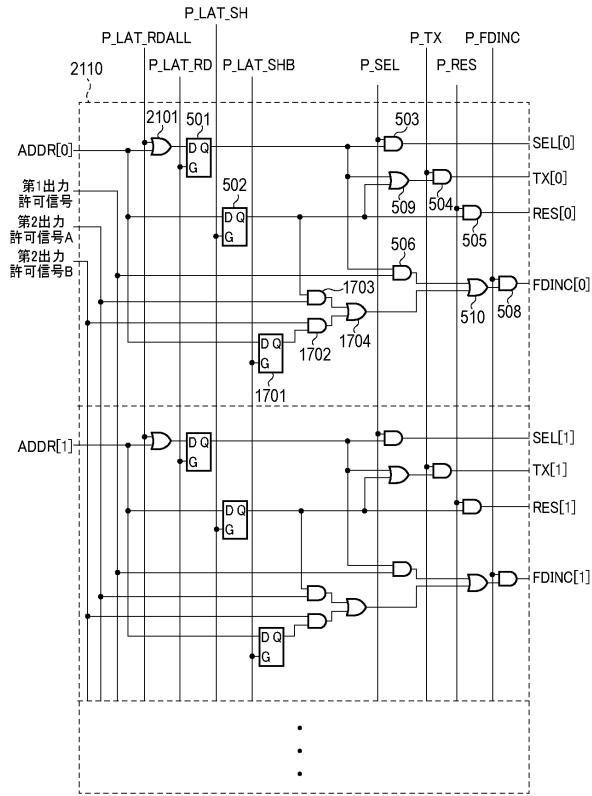
【図 18】



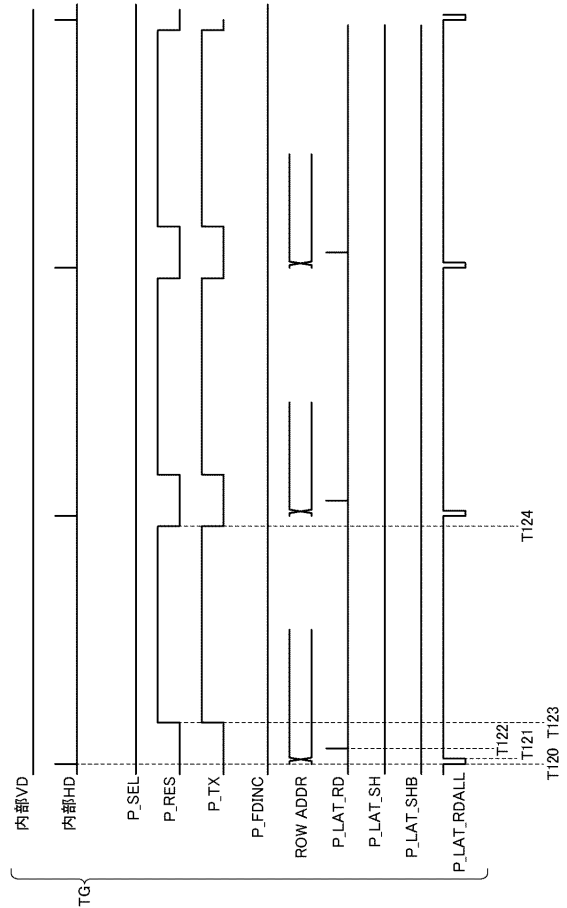
【図 20】



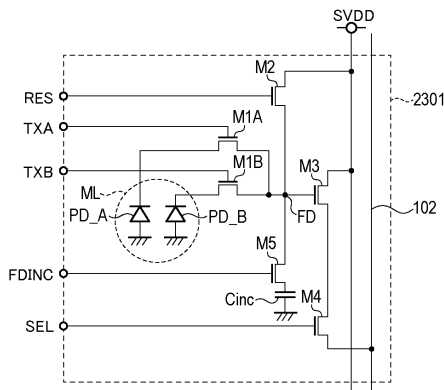
【図 2 1】



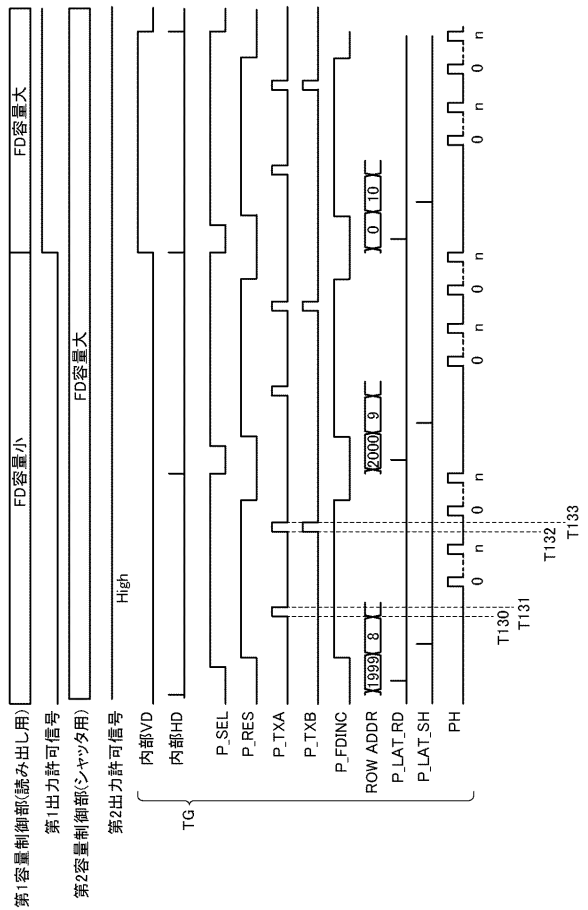
【図 2 2】



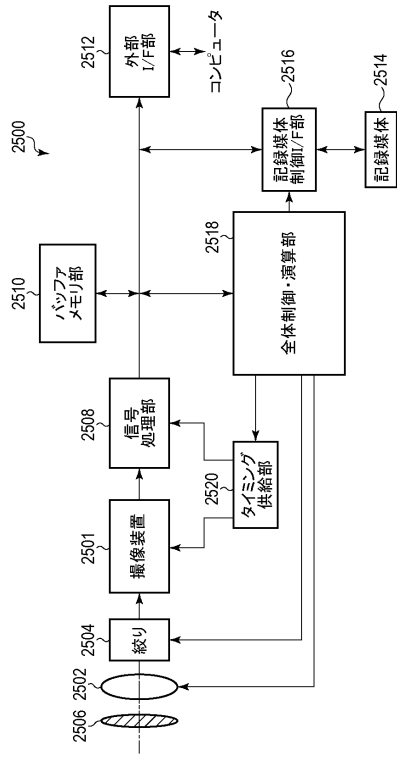
【図 2 3】



【図 2 4】



【図 25】



フロントページの続き

(72)発明者 竹中 真太郎
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 橘 高志

(56)参考文献 米国特許出願公開第2011/0309232(US, A1)
特開2009-017218(JP, A)
米国特許出願公開第2015/0054973(US, A1)
特開2013-243783(JP, A)
特開2015-177429(JP, A)

(58)調査した分野(Int.Cl., DB名)

| | |
|------|--------|
| H04N | 5/3745 |
| H04N | 5/353 |
| H04N | 5/376 |