

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-56278

(P2010-56278A)

(43) 公開日 平成22年3月11日(2010.3.11)

(51) Int.Cl.
H01L 21/66 (2006.01)F I
H01L 21/66テーマコード (参考)
4M106

審査請求 未請求 請求項の数 5 O L (全 8 頁)

(21) 出願番号 特願2008-219412 (P2008-219412)
(22) 出願日 平成20年8月28日 (2008.8.28)(71) 出願人 000002369
セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号
(74) 代理人 100066980
弁理士 森 哲也
(74) 代理人 100075579
弁理士 内藤 嘉昭
(74) 代理人 100127384
弁理士 坊野 康博
(72) 発明者 溝口 利幸
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
Fターム(参考) 4M106 AA01 AA11 BA01 BA14 CA04
CA16 DH07 DH16 DH60

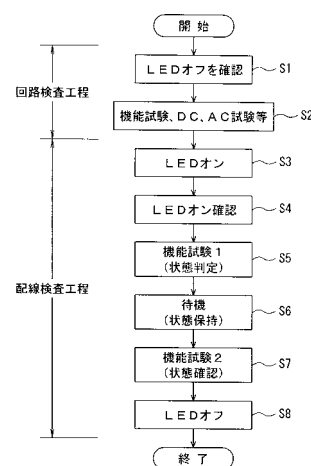
(54) 【発明の名称】 半導体装置の検査方法

(57) 【要約】

【課題】ICチップの良、不良をより高精度に判定することができるようにした半導体装置の検査方法を提供する。

【解決手段】ICチップ内の配線について断線不良を検出する配線検査工程、を含み、この配線検査工程は、被検査部を含む回路について機能試験を開始して、被検査部を電荷が供給される状態に設定する工程と、電荷が供給された被検査部に光を照射する工程と、被検査部に光を一定時間照射した後で、機能試験の結果を出力させる工程と、を有する(ステップ(S)3~7)。このような方法によれば、被検査部に光を照射しない場合と比べて、断線に起因した動作不良を起こし易くすることができ、断線不良の検出感度を高めることができる。

【選択図】図2



【特許請求の範囲】**【請求項 1】**

ＩＣチップ内の配線について断線不良を検出する配線検査工程、を含み、
前記配線検査工程は、
前記配線のうちの被検査部を含む回路について機能試験を開始して、前記被検査部を電荷が供給される状態に設定する工程と、
電荷が供給された前記被検査部に光を照射する工程と、
前記被検査部に光を一定時間照射した後で、前記機能試験の結果を出力させる工程と、
を有することを特徴とする半導体装置の検査方法。

【請求項 2】

前記機能試験の結果を出力させる工程は、前記被検査部に光を照射しながら行うことを特徴とする請求項 1 に記載の半導体装置の検査方法。

【請求項 3】

前記ＩＣチップが誤作動しないように前記光の照度を調整することを特徴とする請求項 1 又は請求項 2 に記載の半導体装置の検査方法。

【請求項 4】

前記ＩＣチップ内の回路について電氣的試験を行う回路検査工程、をさらに含み、
前記回路検査工程では、前記ＩＣチップに光を照射しないことを特徴とする請求項 1 から請求項 3 の何れか一項に記載の半導体装置の検査方法。

【請求項 5】

ＩＣチップ内のトランジスタを含む回路についてリーク電流不良を検出する検査工程、を含み、
前記検査工程では、前記トランジスタに光を照射しながらリーク電流値を測定することを特徴とする半導体装置の検査方法。

【発明の詳細な説明】**【技術分野】****【０００１】**

本発明は、半導体装置の検査方法に関し、特に、ＩＣチップの良、不良をより高精度に判定することを可能とした技術に関する。

【背景技術】**【０００２】**

ＩＣ（Integrated Circuit）の製造プロセスにおいて、多数のＩＣチップが形成されたウエーハに対し、個々のＩＣチップについて電氣的特性の検査を行い、不良品をスクリーニングすることが行われている。このような検査は、プローブ検査とも呼ばれており、通常、ＩＣチップに対して光を遮断した状態で行われる。

一方で、メモリ、サーマルドライバ等を備えたＩＣチップの電氣的特性は、外部からの光の照射によって変化するものがあり、この種の電氣的特性の検査に関しては、ＩＣチップに光を照射した状態で行う場合がある。その場合は、特許文献 1、2 に開示されているように、光源内臓プローブカードや、光源ガイド付きプローブカード等を使用することができる。

【特許文献 1】特開 2 0 0 1 - 4 6 6 1 号公報

【特許文献 2】特開 2 0 0 1 - 7 1 6 6 号公報

【発明の開示】**【発明が解決しようとする課題】****【０００３】**

ところで、ＩＣチップ内にはトランジスタ等の素子同士を繋ぐアルミニウム（Ａ１）配線が多数形成されている。ＩＣチップ内において、Ａ１配線が断線している場合は、プローブ検査において不良品と判定される。しかしながら、Ａ１配線の断線部又はその近傍に寄生容量が生じている場合は、この寄生容量に電荷がチャージされることがあり、チャージされた電荷等がＡ１配線に影響を及ぼして、ＩＣチップを正常に動作させてしまうこと

10

20

30

40

50

があった。このような場合、ＩＣチップを誤って良品と判定してしまう可能性があった。

そこで、本発明はこのような事情に鑑みてなされたものであって、ＩＣチップの良、不良をより高精度に判定することができるようにした半導体装置の検査方法の提供を目的とする。

【課題を解決するための手段】

【０００４】

〔発明１～４〕 上記目的を達成するために、発明１の半導体装置の検査方法は、ＩＣチップ内の配線について断線不良を検出する配線検査工程、を含み、前記配線検査工程は、前記配線のうちの被検査部を含む回路について機能試験を開始して、前記被検査部を電荷が供給される状態に設定する工程と、電荷が供給された前記被検査部に光を照射する工程と、前記被検査部に光を一定時間照射した後で、前記機能試験の結果を出力させる工程と、を有することを特徴とするものである。ここで、「光」としては、可視光や紫外線、赤外線などを使用することができる。

10

【０００５】

発明２の半導体装置の検査方法は、発明１の半導体装置の検査方法において、前記機能試験の結果を出力させる工程は、前記被検査部に光を照射しながら行うことを特徴とするものである。

発明３の半導体装置の検査方法は、発明１又は発明２の半導体装置の検査方法において、前記ＩＣチップが誤作動しないように前記光の照度を調整することを特徴とするものである。

20

発明４の半導体装置の検査方法は、発明１から発明３の何れか一の半導体装置の検査方法において、前記ＩＣチップ内の回路について電氣的試験を行う回路検査工程、をさらに含み、前記回路検査工程では、前記ＩＣチップに光を照射しないことを特徴とするものである。ここで、「電氣的試験」とは、例えば、機能試験、回路の直流（ＤＣ）特性を調べるＤＣ試験、又は、回路の交流（ＡＣ）特性を調べるＡＣ試験等である。

【０００６】

発明１～４の半導体装置の検査方法によれば、被検査部に光を照射しない場合と比べて、断線に起因した動作不良を起こし易くすることができ、断線不良の検出感度を高めることができる。これにより、ＩＣチップの良、不良をより高精度に判定することができる。

また、特に、発明４の半導体装置の製造方法によれば、ＩＣチップを遮光することにより、ＩＣチップの電氣的な状態を安定化させることができる。従って、回路検査工程において、各試験の精度を高めることができる。

30

【０００７】

〔発明５〕 発明５の半導体装置の検査方法は、ＩＣチップ内のトランジスタを含む回路についてリーク電流不良を検出する検査工程、を含み、前記検査工程では、前記トランジスタに光を照射しながらリーク電流値を測定することを特徴とするものである。

このような検査方法によれば、トランジスタに光を照射しない場合と比べて、リーク電流値を大きくすることができ、リーク電流不良の検出感度を高めることができる。これにより、ＩＣチップの良、不良をより高精度に判定することができる。

【発明を実施するための最良の形態】

40

【０００８】

以下、本発明の実施形態について図面を参照しながら説明する。なお、以下に説明する各図において、同一の構成を有する部分には同一の符号を付し、その重複する説明は省略する。

（１）第１実施形態

図１は、本発明の実施形態に係る検査装置１０の構成例を示す概念図である。ここでは、まず始めに、検査装置１０の概要について説明し、次に、この検査装置１０を用いてＩＣチップを検査する方法について説明する。

図１に示すように、この検査装置１０は、ウエーハＷ上に形成されたＩＣチップのパッド電極に探針（以下、プローブ針ともいう。）を接触させて、ＩＣチップの電氣的特性や

50

機能等を試験するための装置である。この検査装置 10 は、例えば、ステージ 1 と、プローブカード 3 と、パフォーマンスボード 5 と、ヘッド 7 と、テスタ 9 と、を含んで構成されている。これらの中で、ステージ 1 は、ウエーハ W を支持すると共に、支持したウエーハ W を水平方向（即ち、X 軸方向、Y 軸方向）と、垂直方向（即ち、Z 軸方向）に移動させるものである。

【0009】

また、プローブカード 3 は、平面視で円盤形状の基板を有し、この基板の中央部には平面視で円形の貫通穴が設けられている。ここで、プローブカード 3 が有する基板の貫通穴の周囲には複数のプローブ針が取付けられており、これらプローブ針の先端は貫通穴の下方（即ち、ステージ 1 の方向）に向かって延びている。また、基板の上面には例えば発光ダイオードが取付けられている。この発光ダイオードは、そのリード（足）が基板に半田付けされており、その発光部は上記貫通穴の周囲に配置されている。そして、この発光部が発光することにより、貫通穴の下方を均一な照度の光で照らすことができるようになっている。このようなプローブカード 3 は、例えばパフォーマンスボード 5 を介してヘッド 7 に装着されている。

【0010】

ヘッド 7 は、例えば、テスタ 9 からの制御信号を受けて、プローブカード 3 に電氣的試験を行うための信号を入出力させたり、電源電圧等を供給したりするための装置である。また、このヘッド 7 は、例えば、IC チップとプローブ針との位置合わせを行うための装置でもある。一方、テスタ 9 は、例えばコンピュータを内蔵している。このコンピュータがプログラムを実行することにより、テスタ 9 からヘッド 7 に制御信号が送信され、IC チップの電氣的特性（例えば、直流（DC）、交流（AC）特性など）や機能等が測定される。次に、この検査装置 10 を用いて IC チップを検査する方法について説明する。

【0011】

図 2 は、本発明の第 1 実施形態に係る IC チップの検査方法を示すフローチャートである。ここでは、図 2 のステップ（S）1、2 で、IC チップについて通常の検査（即ち、回路検査工程）を行い、その後、図 2 のステップ（S）3～8 で、IC チップ内に含まれる配線の検査（即ち、配線検査工程）を行う。

まず始めに、図 2 のステップ（S）1 では、検査装置 10 のステージ 1 上にウエーハ W を固定した状態で、発光ダイオード（LED）が発光していないことを確認する。

次に、図 2 のステップ（S）2 では、例えば、IC チップに含まれる順序論理回路（sequential logic）等の機能を調べる機能試験や、IC チップに含まれるアナログ回路等の DC 特性を調べる DC 試験、AC 特性を調べる AC 試験を行う。ここでは、IC チップを遮光することにより、IC チップの電氣的な状態を安定化させることができるので、IC チップ内の回路について、各試験の精度を高めることができる。

【0012】

次に、図 2 のステップ（S）3 では、発光ダイオードに電源を供給して発光させ、プローブカード 3 下の IC チップに光を照射する。ここでは、IC チップの回路形成面（即ち、主面）の全域に光を均一に照射する。また、光の照射により IC チップが誤作動しないように、光の照度を調整しておく。

次に、図 2 のステップ（S）4 では、発光ダイオード（LED）が発光していることを確認する。そして、図 2 のステップ（S）5 では、機能試験 1（状態設定）を行う。ここで、機能試験 1（状態設定）の一例について、具体的に説明する。

【0013】

即ち、IC チップ内には通常、配線が複数の層に亘って多数形成されている。その中には、平面視で一方向に真っ直ぐに伸びている直線状の配線もあれば、折れ曲がっている配線もあり、さらに、凹凸の激しい下地絶縁膜上に形成されている配線もある。このような配線の全てについて断線検査を行うことは、技術的には可能であるが、量産ラインにおいてコスト等を考えると現実的ではない。そこで、この実施形態では、IC チップに形成された多数の配線の中でも、配線の形状や下地の凹凸、又は過去に得られた知見等から、特

10

20

30

40

50

に断線し易い箇所を 1 箇所、又は複数箇所想定し、この想定した箇所について、断線不良の検出を行う。

【 0 0 1 4 】

例えば、図 3 に示すように、IC チップ 2 0 内で断線し易い箇所（即ち、寄生容量が生じ易い箇所）を想定し、この想定した箇所を被検査部 2 1 とする。そして、この被検査部を含む回路 2 3 を動作させて、断線不良を検出できるような状態に移行させる。例えば、被検査部 2 1 を含む回路 2 3 が順序論理回路である場合は、この順序論理回路 2 3 について機能試験を開始して、被検査部 2 1 に電荷が供給される状態（例えば、電源電圧に接続される状態）に設定する。このとき、被検査部 2 1 に寄生容量が生じていれば、寄生容量に電荷がチャージされることになる。

10

【 0 0 1 5 】

次に、図 2 のステップ（S）6 では、被検査部 2 1 に光が照射されている状態を一定時間保持する。ここで、一定時間とは例えば 1 0 m s e c である。このように、被検査部 2 1 に光を照射した状態を一定時間保持することにより、被検査部 2 1 に寄生容量が生じて電荷がチャージされている場合でも、これらの電荷を短時間の間にディスチャージすることができる。なお、このステップ（S）6 では、被検査部 2 1 に光を照射すると共に、被検査部 2 1 に印加される電圧条件（例えば、電圧値や周波数）、温度条件等を変更しても良い。これにより、電荷のディスチャージをさらに促すことも可能である。

次に、図 2 のステップ（S）7 では、例えば IC チップ 2 0 の入力端子 2 5、2 7 に信号を入力して、機能試験 2（状態確認）を行う。これにより、機能試験の結果が IC チップ 2 0 の出力端子 2 9 に伝えられる。その後、図 2 のステップ（S）8 で発光ダイオードによる発光を止め、検査工程を終了する。

20

【 0 0 1 6 】

図 4 は、被検査部を含む回路の動作例を示すタイミングチャートである。図 4 において、「入力 1」は例えば図 3 の入力端子 2 5 に入力される信号を示し、「入力 2」は例えば図 3 の入力端子 2 7 に入力される信号を示し、「出力 1」は例えば図 3 の出力端子 2 9 から出力される信号を示す。

図 4 に示すように、機能試験 1（状態設定）は、例えば試験を開始してから「入力 1 が H（High）、入力 2 が H」となるまでの間に行われる。また、待機（状態保持）は、例えば「入力 1 が H、入力 2 が H」となってから「入力 1 が L（Low）、入力 2 が H」となるまでの間、連続して行われる。そして、この後で、機能試験 2（状態確認）が行われ、出力 1 が出力される。この出力 1 は、例えば図 3 の出力端子 2 9 を介してプローブ針に伝えられ、この出力 1 の値に基づいて断線不良の有無を判定する。この判定は、例えば図 1 に示したテスト 9 が行う。

30

【 0 0 1 7 】

なお、図 4 に示す出力 1 の波形は、例えば配線不良が検出されなかった場合を示している。配線不良が検出された場合は、機能試験 2（状態確認）で出力 1 の波形が L のままとなる。これは、光の照射によって寄生容量がディスチャージされているため、断線箇所から先に信号が伝わらないからである。

このように、本発明の第 1 実施形態によれば、被検査部 2 1 に断線不良が存在し、寄生容量が生じている場合であっても、被検査部 2 1 に光を照射することにより、寄生容量から電荷を効率良くディスチャージすることができる。従って、断線不良の検出感度が高い。

40

【 0 0 1 8 】

即ち、被検査部 2 1 に光を照射しなくても電荷のディスチャージは可能であるが、その場合は、ディスチャージの効率が悪い。例えば、光を照射しない場合は、電圧条件や温度条件を変えても電荷のディスチャージに 1 0 0 m s e c 程度は要する。このため、プローブ検査において、ディスチャージが不十分となり易く、断線不良の検出感度が低い。

これに対して、本発明の第 1 実施形態によれば、電荷のディスチャージを例えば 1 0 m s e c 程度で完了させることができる。つまり、光を照射しない場合と比べて、待機（状

50

態保持)の所要時間が1/10である。従って、断線に起因した動作不良を起こし易くすることができ、断線不良の検出感度を高めることができる。これにより、ICチップ20の良、不良をより高精度に判定することができる。

【0019】

(2)第2実施形態

上記の第1実施形態では、ICチップ20に光を照射しながら機能試験をすることで、断線不良を検出する場合について説明した。しかしながら、本発明はこれに限られることは無い。例えば、図1に示した検査装置10を用いて、ICチップに光を照射しながら、IDDQ試験(即ち、静止状態の電源電流を測定する試験)を行っても良い。これにより、例えば、図5に示すようなCMOS回路30において、nMOSトランジスタ31のリーク不良を感度良く検出することができる。

10

【0020】

図6は、本発明の第2実施形態に係るICチップの検査方法を示すフローチャートである。まず始めに、図6のステップ(S')1では、検査装置10のステージ1上にウエーハWを固定する。また、この状態で、発光ダイオード(LED)に電源を供給して発光させ、プローブカード3下のICチップに光を照射する。ここでは、ICチップの回路形成面(即ち、主面)の全域に光を均一に照射する。また、光の照射によりICチップが誤作動しないように、光の照度を調整しておく。次に、図6のステップ(S')2では、発光ダイオード(LED)が発光していることを確認する。

20

【0021】

そして、図6のステップ(S')3では、機能試験(状態設定)を行う。ここでは、例えば、図5に示すpMOSトランジスタ33をオンすると共に、nMOSトランジスタ31をオフさせる。次に、図6のステップ(S')4では、LEDオンしたまま、IDDQ測定(状態保持)を行う。即ち、nMOSトランジスタ31をオフさせた状態で、電源端子35と、接地端子37との間を流れる電流値Iを測定する。nMOSトランジスタ31に光を照射することにより、電流値Iを増大させることができるので、本来であれば、リーク電流値が数nA程度で検出できないような不良も、電流成分を大きくなることにより検出することができる。その後、図6のステップ(S')5で発光ダイオードによる発光を止め、検査工程を終了する。

30

このように、本発明の第2実施形態によれば、光を照射しない場合と比べて、リーク電流値を大きくすることができ、リーク電流不良の検出感度を高めることができる。これにより、ICチップの良、不良をより高精度に判定することができる

【図面の簡単な説明】

【0022】

【図1】本発明の実施形態に係る検査装置10の構成例を示す図。

【図2】本発明の第1実施形態に係るICチップの検査方法を示すフローチャート。

【図3】ICチップ20の構成例を示す図。

【図4】被検査部を含む回路の動作例を示すタイミングチャート。

【図5】CMOS回路30の構成例を示す図。

【図6】本発明の第2実施形態に係るICチップの検査方法を示すフローチャート。

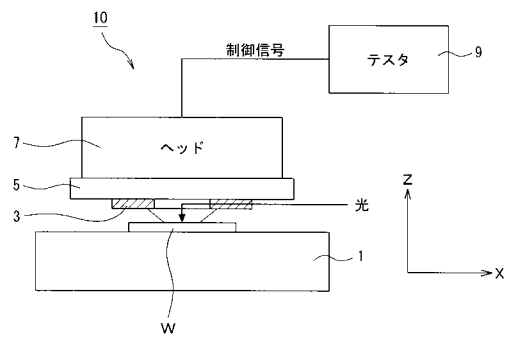
40

【符号の説明】

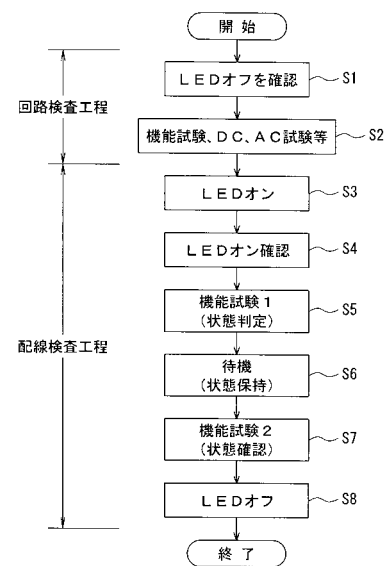
【0023】

1 ステージ、3 プローブカード、5 パフォーマンスボード、7 ヘッド、9 テスタ、10 検査装置、20 チップ、21 被検査部、23 (被検査部を含む)回路、25、27 入力端子、29 出力端子、30 CMOS回路、31 nMOSトランジスタ、33 pMOSトランジスタ、35 電源端子、37 接地端子、W ウエーハ

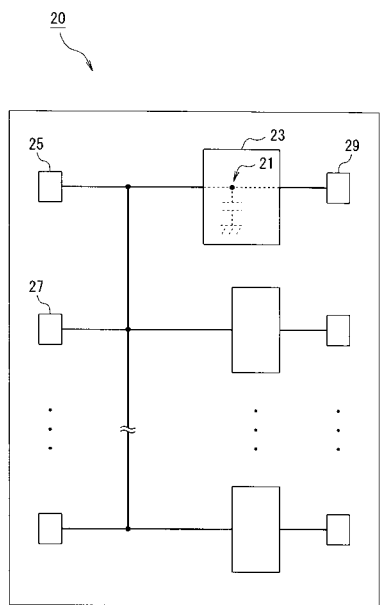
【 図 1 】



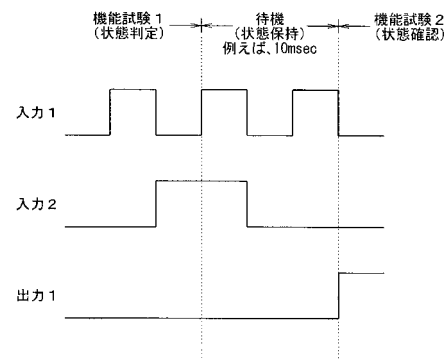
【 図 2 】



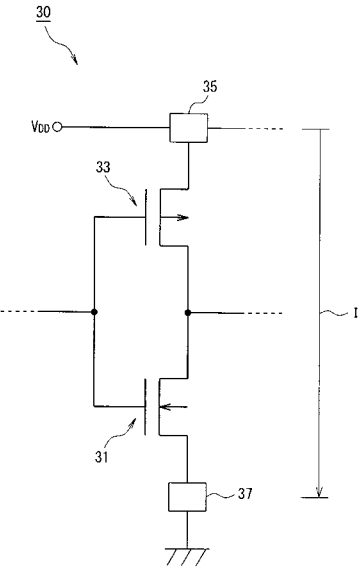
【 図 3 】



【 図 4 】



【図 5】



【図 6】

