

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成26年2月6日 (2014.2.6)

【公表番号】特表2013-517738(P2013-517738A)

【公表日】平成25年5月16日 (2013.5.16)

【年通号数】公開・登録公報2013-024

【出願番号】特願2012-549993(P2012-549993)

【国際特許分類】

H 0 3 K 17/16 (2006.01)

H 0 4 L 25/02 (2006.01)

H 0 3 K 17/687 (2006.01)

【 F I 】

H 0 3 K 17/16 H

H 0 4 L 25/02 S

H 0 4 L 25/02 V

H 0 3 K 17/687 F

【手続補正書】

【提出日】平成25年12月13日 (2013.12.13)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

回路であって、

入力に
応答して第 1 の出力に第 1 の正の遷移を生成する第 1 の正のドライバと、
前記第 1 の正のドライバに結合され、電流の生成を可能にする第 1 の電流要素と、
前記第 1 の電流要素に結合され、前記第 1 の電流要素に起因して、前記入力と前記電流
とに
応答して、前記第 1 の正の遷移の速度に類似する速度で、第 2 の出力に第 1 の負の遷
移を生成する、第 1 の負のドライバと、

第 2 の正のドライバと前記第 1 の負のドライバとに結合される第 2 の電流要素と、
を含み、

前記第 1 の電流要素が第 2 の負のドライバに結合される、回路。

【請求項 2】

請求項 1 に記載の回路であって、

前記回路が U S B (u n i v e r s a l s e r i a l b u s) に含まれる、回路。

【請求項 3】

回路であって、

入力に
応答して第 1 の出力に第 1 の正の遷移を生成する第 1 の正のドライバと、
前記第 1 の正のドライバに結合され、電流の生成を可能にする第 1 の電流要素と、
前記第 1 の電流要素に結合され、前記第 1 の電流要素に起因して、前記入力と前記電流
とに
応答して、前記第 1 の正の遷移の速度に類似する速度で、第 2 の出力に第 1 の負の遷
移を生成する、第 1 の負のドライバと、

別の入力に
応答して前記第 2 の出力に第 2 の正の遷移を生成することが可能な第 2 の正
のドライバと、

前記第 2 の正のドライバに結合され、前記電流の生成を可能にさせ得る第 2 の電流要素
と、

前記第 2 の電流要素に結合され、前記第 2 の電流要素に起因して、前記別の入力と前記電流とに
応答して、前記第 2 の正の遷移の速度に類似する速度で、前記第 1 の出力に第 2 の負の遷移を生成する、第 2 の負のドライバと、
を含む、回路。

【請求項 4】

請求項 3 に記載の回路であって、
前記第 1 の電流要素が抵抗と電流源との 1 つであり、前記第 2 の電流要素が前記抵抗と前記電流源との 1 つである、回路。

【請求項 5】

請求項 3 に記載の回路であって、
各ドライバが、
負荷に結合されるフィードバック・キャパシタと、
前記フィードバック・キャパシタに結合され、第 1 の既定の電圧にプリバイアスされるドライバ・トランジスタと、
カスコード接続で前記ドライバ・トランジスタに結合され、第 2 の既定の電圧にバイアスされて、前記フィードバック・キャパシタに起因して、前記ドライバ・トランジスタのフィードバック容量を前記ドライバ・トランジスタのゲート・ドレイン容量から分離する、トランジスタと、
を含む、回路。

【請求項 6】

請求項 5 に記載の回路であって、
各ドライバが、前記ドライバ・トランジスタに結合され、かつ、制御信号に応答して前記ドライバ・トランジスタに出力に遷移を生成させる、スイッチを更に含む、回路。

【請求項 7】

請求項 6 に記載の回路であって、
前記ドライバ・トランジスタと電源とに結合され、前記第 1 の既定の電圧に前記ドライバ・トランジスタをプリバイアスする、バイアス回路を更に含む、回路。

【請求項 8】

請求項 7 に記載の回路であって、
前記バイアス回路が、前記ドライバ・トランジスタに結合されるダイオードと、前記ダイオードに結合されて、前記ドライバ・トランジスタのゲートを前記第 1 の既定の電圧までチャージする、スイッチとを含む、回路。

【請求項 9】

請求項 6 に記載の回路であって、
前記トランジスタが厚いゲート酸化膜トランジスタであり、前記ドライバ・トランジスタと前記スイッチとが薄いゲート酸化膜トランジスタである、回路。

【請求項 10】

請求項 3 に記載の回路であって、
前記第 1 の正のドライバと前記第 2 の負のドライバとに結合され、前記第 1 の正の遷移と前記第 1 の負の遷移との完了に応答して、前記第 1 の正のドライバのゲートと前記第 1 の負のドライバのゲートとの電圧をそれぞれの既定の範囲内に維持する、クランプ回路を更に有する、回路。

【請求項 11】

請求項 3 に記載の回路であって、
前記回路が U S B (u n i v e r s a l s e r i a l b u s) に含まれる、回路。

【請求項 12】

回路であって、
入力に応答して第 1 の出力に第 1 の正の遷移を生成する第 1 の正のドライバと、
前記第 1 の正のドライバに結合され、電流の生成を可能にする第 1 の電流要素と、
前記第 1 の電流要素に結合され、前記第 1 の電流要素に起因して、前記入力と前記電流

とに 応答して、前記第 1 の正の遷移の速度に類似する速度で、第 2 の出力に第 1 の負の遷移を生成する、第 1 の負のドライバと、

前記第 1 の正のドライバと前記第 1 の負のドライバとに結合され、前記第 1 の正の遷移と前記第 1 の負の遷移との終了に 応答して、前記第 1 の正のドライバのゲートと前記第 1 の負のドライバのゲートとの電圧をそれぞれの既定の範囲内に維持する、クランプ回路と

を含む、回路。

【請求項 13】

回路であって、

入力に 応答して第 1 の出力に第 1 の正の遷移を生成する第 1 の正のドライバと、

前記第 1 の正のドライバに結合され、電流の生成を可能にする第 1 の電流要素と、

前記第 1 の電流要素に結合され、前記第 1 の電流要素に起因して、前記入力と前記電流とに 応答して、前記第 1 の正の遷移の速度に類似する速度で、第 2 の出力に第 1 の負の遷移を生成する、第 1 の負のドライバと、

レベルシフト回路と、

前記レベルシフト回路に結合されて、前記レベルシフト回路に関連して前記第 1 の正のドライバと前記第 1 の負のドライバとの少なくとも 1 つを駆動する信号を生成する、ブリドライバ回路と、

を含む、回路。

【請求項 14】

出力で遷移を生成するためのドライバ回路であって、

負荷に結合される第 1 のフィードバック・キャパシタと、

前記第 1 のフィードバック・キャパシタに結合されるゲートを有し、第 1 の既定の電圧にプリバイアスされて、第 1 の入力に 応答して第 1 の遷移の開始時に前記出力でのスルーレートを制御する、第 1 のドライバ・トランジスタと、

前記第 1 のフィードバック・キャパシタと前記第 1 のドライバ・トランジスタのドレインとの間にカスコード接続で結合され、第 2 の既定の電圧にバイアスされて、前記第 1 のフィードバック・キャパシタに起因して、前記第 1 のドライバ・トランジスタの第 1 のフィードバック容量を前記第 1 のドライバ・トランジスタのゲート・ドレイン容量から分離させ、かつ、前記第 1 のドライバ・トランジスタのドレインの電圧が第 1 の既定の値を超えないようにする、第 1 のトランジスタと、

前記第 1 のドライバ・トランジスタのソースに結合され、第 1 の制御信号に 応答して、前記第 1 のドライバ・トランジスタに前記出力に前記第 1 の遷移を生成させる、第 1 のスイッチと、

前記負荷に結合される第 2 のフィードバック・キャパシタと、

前記第 2 のフィードバック・キャパシタに結合されるゲートを有し、第 3 の既定の電圧でプリバイアスされて、第 2 の入力に 応答して第 2 の遷移の開始時に前記出力でのスルーレートを制御する、第 2 のドライバ・トランジスタと、

前記第 2 のフィードバック・キャパシタと前記第 2 のドライバ・トランジスタのドレインとの間にカスコード接続で結合され、第 4 の既定の電圧にバイアスされて、前記第 2 のフィードバック・キャパシタに起因して、前記第 2 のドライバ・トランジスタの第 2 のフィードバック容量を前記第 2 のドライバ・トランジスタのゲート・ドレイン容量から分離させ、かつ、前記第 2 のドライバ・トランジスタのドレインの電圧が第 2 の既定の値を超えないようにする、第 2 のトランジスタと、

前記第 2 のドライバ・トランジスタのソースに結合され、第 2 の制御信号に 応答して、前記第 2 のドライバ・トランジスタに前記出力に前記第 2 の遷移を生成させる、第 2 のスイッチと、

を含む、前記ドライバ回路。

【請求項 15】

請求項 14 に記載のドライバ回路であって、

各ドライバ・トランジスタと各トランジスタと各スイッチとが、正の金属酸化膜半導体（PMOS）タイプのトランジスタと負の金属酸化膜半導体（NMOS）タイプのトランジスタとの１つである、ドライバ回路。

【請求項 16】

請求項 14 に記載の回路であって、

前記第 1 の遷移が正の遷移と負の遷移との一方を含み、前記第 2 の遷移が前記正の遷移と前記負の遷移との一方を含み、前記第 1 の遷移と前記第 2 の遷移とが互いに反対である、回路。

【請求項 17】

請求項 14 に記載の回路であって、

前記第 1 のドライバ・トランジスタに結合され、前記第 1 のドライバ・トランジスタを前記第 1 の既定の電圧にバイアスする第 1 のバイアス回路と、

前記第 1 のバイアス回路に結合されて前記第 1 のフィードバック・キャパシタを介して流れる第 1 の電流の生成を可能にする、第 1 の電流要素と、

を更に含む、回路。

【請求項 18】

請求項 17 に記載のドライバ回路であって、

前記第 2 のドライバ・トランジスタに結合され、前記第 2 のドライバ・トランジスタを前記第 2 の既定の電圧にバイアスすることが可能な第 2 のバイアス回路と、

前記第 2 のバイアス回路に結合されて前記第 2 のフィードバック・キャパシタを介して流れる第 2 の電流の生成を可能にする、第 2 の電流要素と、

を更に含む、回路。

【請求項 19】

請求項 14 に記載のドライバ回路であって、

1 つのインスタンスが正の遷移を生成し、別のインスタンスが負の遷移を生成する、前記ドライバ回路の 2 つのインスタンスが、同時に擬似差動ドライバを形成する、回路。

【請求項 20】

ドライバ回路内のスルーレートを制御するための方法であって、

第 1 のドライバを第 1 の既定の電圧に、第 2 のドライバを第 2 の既定の電圧にプリチャージすることであって、前記第 1 のドライバと前記第 2 のドライバとが電流要素を介してクロスカップルされている、前記プリチャージすることと、

前記第 1 のドライバと前記第 2 のドライバとを介して電流を駆動することと、

入力に応答して、前記第 1 のドライバにより第 1 の出力を、前記第 2 のドライバにより第 2 の出力を生成することであって、前記第 2 の出力が前記第 1 の出力のスルーレートと同等のスルーレートを有する、前記生成することと、

を含む、方法。

【請求項 21】

請求項 20 に記載の方法であって、

前記第 1 のドライバのゲートと前記第 2 のドライバのゲートとの電圧をそれぞれの既定の範囲内に維持することを更に含む、方法。