

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成26年2月6日(2014.2.6)

【公表番号】特表2013-517738(P2013-517738A)

【公表日】平成25年5月16日(2013.5.16)

【年通号数】公開・登録公報2013-024

【出願番号】特願2012-549993(P2012-549993)

【国際特許分類】

H 03 K 17/16 (2006.01)

H 04 L 25/02 (2006.01)

H 03 K 17/687 (2006.01)

【F I】

H 03 K 17/16 H

H 04 L 25/02 S

H 04 L 25/02 V

H 03 K 17/687 F

【手続補正書】

【提出日】平成25年12月13日(2013.12.13)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

回路であって、

入力に応答して第1の出力に第1の正の遷移を生成する第1の正のドライバと、

前記第1の正のドライバに結合され、電流の生成を可能にする第1の電流要素と、

前記第1の電流要素に結合され、前記第1の電流要素に起因して、前記入力と前記電流とに応答して、前記第1の正の遷移の速度に類似する速度で、第2の出力に第1の負の遷移を生成する、第1の負のドライバと、

第2の正のドライバと前記第1の負のドライバとに結合される第2の電流要素と、

を含み、

前記第1の電流要素が第2の負のドライバに結合される、回路。

【請求項2】

請求項1に記載の回路であって、

前記回路がUSB(universal serial bus)に含まれる、回路。

【請求項3】

回路であって、

入力に応答して第1の出力に第1の正の遷移を生成する第1の正のドライバと、

前記第1の正のドライバに結合され、電流の生成を可能にする第1の電流要素と、

前記第1の電流要素に結合され、前記第1の電流要素に起因して、前記入力と前記電流とに応答して、前記第1の正の遷移の速度に類似する速度で、第2の出力に第1の負の遷移を生成する、第1の負のドライバと、

別の入力に応答して前記第2の出力に第2の正の遷移を生成することが可能な第2の正のドライバと、

前記第2の正のドライバに結合され、前記電流の生成を可能にさせ得る第2の電流要素と、

前記第2の電流要素に結合され、前記第2の電流要素に起因して、前記別の入力と前記電流とに応答して、前記第2の正の遷移の速度に類似する速度で、前記第1の出力に第2の負の遷移を生成する、第2の負のドライバと、

を含む、回路。

【請求項4】

請求項3に記載の回路であって、  
前記第1の電流要素が抵抗と電流源との1つであり、前記第2の電流要素が前記抵抗と前記電流源との1つである、回路。

【請求項5】

請求項3に記載の回路であって、  
各ドライバが、  
負荷に結合されるフィードバック・キャパシタと、  
前記フィードバック・キャパシタに結合され、第1の既定の電圧にプリバイアスされるドライバ・トランジスタと、  
カスコード接続で前記ドライバ・トランジスタに結合され、第2の既定の電圧にバイアスされて、前記フィードバック・キャパシタに起因して、前記ドライバ・トランジスタのフィードバック容量を前記ドライバ・トランジスタのゲート・ドレイン容量から分離する、トランジスタと、  
を含む、回路。

【請求項6】

請求項5に記載の回路であって、  
各ドライバが、前記ドライバ・トランジスタに結合され、かつ、制御信号に応答して前記ドライバ・トランジスタに出力に遷移を生成させる、スイッチを更に含む、回路。

【請求項7】

請求項6に記載の回路であって、  
前記ドライバ・トランジスタと電源とに結合され、前記第1の既定の電圧に前記ドライバ・トランジスタをプリバイアスする、バイアス回路を更に含む、回路。

【請求項8】

請求項7に記載の回路であって、  
前記バイアス回路が、前記ドライバ・トランジスタに結合されるダイオードと、前記ダイオードに結合されて、前記ドライバ・トランジスタのゲートを前記第1の既定の電圧までチャージする、スイッチとを含む、回路。

【請求項9】

請求項6に記載の回路であって、  
前記トランジスタが厚いゲート酸化膜トランジスタであり、前記ドライバ・トランジスタと前記スイッチとが薄いゲート酸化膜トランジスタである、回路。

【請求項10】

請求項3に記載の回路であって、  
前記第1の正のドライバと前記第2の負のドライバとに結合され、前記第1の正の遷移と前記第1の負の遷移との完了に応答して、前記第1の正のドライバのゲートと前記第1の負のドライバのゲートとの電圧をそれぞれの既定の範囲内に維持する、クランプ回路を更に有する、回路。

【請求項11】

請求項3に記載の回路であって、  
前記回路がUSB(universal serial bus)に含まれる、回路。

【請求項12】

回路であって、  
入力に応答して第1の出力に第1の正の遷移を生成する第1の正のドライバと、  
前記第1の正のドライバに結合され、電流の生成を可能にする第1の電流要素と、  
前記第1の電流要素に結合され、前記第1の電流要素に起因して、前記入力と前記電流

とに応答して、前記第1の正の遷移の速度に類似する速度で、第2の出力に第1の負の遷移を生成する、第1の負のドライバと、

前記第1の正のドライバと前記第1の負のドライバとに結合され、前記第1の正の遷移と前記第1の負の遷移との終了に応答して、前記第1の正のドライバのゲートと前記第1の負のドライバのゲートとの電圧をそれぞれの既定の範囲内に維持する、クランプ回路と

を含む、回路。

【請求項13】

回路であって、

入力に応答して第1の出力に第1の正の遷移を生成する第1の正のドライバと、  
前記第1の正のドライバに結合され、電流の生成を可能にする第1の電流要素と、  
前記第1の電流要素に結合され、前記第1の電流要素に起因して、前記入力と前記電流とに応答して、前記第1の正の遷移の速度に類似する速度で、第2の出力に第1の負の遷移を生成する、第1の負のドライバと、

レベルシフタ回路と、

前記レベルシフタ回路に結合されて、前記レベルシフタ回路に関連して前記第1の正のドライバと前記第1の負のドライバとの少なくとも1つを駆動する信号を生成する、プリドライバ回路と、

を含む、回路。

【請求項14】

出力で遷移を生成するためのドライバ回路であって、

負荷に結合される第1のフィードバック・キャパシタと、

前記第1のフィードバック・キャパシタに結合されるゲートを有し、第1の既定の電圧にプリバイアスされて、第1の入力に応答して第1の遷移の開始時に前記出力でのスルーレートを制御する、第1のドライバ・トランジスタと、

前記第1のフィードバック・キャパシタと前記第1のドライバ・トランジスタのドレインとの間にカスコード接続で結合され、第2の既定の電圧にバイアスされて、前記第1のフィードバック・キャパシタに起因して、前記第1のドライバ・トランジスタの第1のフィードバック容量を前記第1のドライバ・トランジスタのゲート・ドレイン容量から分離させ、かつ、前記第1のドライバ・トランジスタのドレインの電圧が第1の既定の値を超えないようにする、第1のトランジスタと、

前記第1のドライバ・トランジスタのソースに結合され、第1の制御信号に応答して、前記第1のドライバ・トランジスタに前記出力に前記第1の遷移を生成させる、第1のスイッチと、

前記負荷に結合される第2のフィードバック・キャパシタと、

前記第2のフィードバック・キャパシタに結合されるゲートを有し、第3の既定の電圧でプリバイアスされて、第2の入力に応答して第2の遷移の開始時に前記出力でのスルーレートを制御する、第2のドライバ・トランジスタと、

前記第2のフィードバック・キャパシタと前記第2のドライバ・トランジスタのドレインとの間にカスコード接続で結合され、第4の既定の電圧にバイアスされて、前記第2のフィードバック・キャパシタに起因して、前記第2のドライバ・トランジスタの第2のフィードバック容量を前記第2のドライバ・トランジスタのゲート・ドレイン容量から分離させ、かつ、前記第2のドライバ・トランジスタのドレインの電圧が第2の既定の値を超えないようにする、第2のトランジスタと、

前記第2のドライバ・トランジスタのソースに結合され、第2の制御信号に応答して、前記第2のドライバ・トランジスタに前記出力に前記第2の遷移を生成させる、第2のスイッチと、

を含む、前記ドライバ回路。

【請求項15】

請求項14に記載のドライバ回路であって、

各ドライバ・トランジスタと各トランジスタと各スイッチとが、正の金属酸化膜半導体（P M O S）タイプのトランジスタと負の金属酸化膜半導体（N M O S）タイプのトランジスタとの1つである、ドライバ回路。

【請求項16】

請求項14に記載の回路であって、  
前記第1の遷移が正の遷移と負の遷移との一方を含み、前記第2の遷移が前記正の遷移と前記負の遷移との一方を含み、前記第1の遷移と前記第2の遷移とが互いに反対である、回路。

【請求項17】

請求項14に記載の回路であって、  
前記第1のドライバ・トランジスタに結合され、前記第1のドライバ・トランジスタを前記第1の既定の電圧にバイアスする第1のバイアス回路と、  
前記第1のバイアス回路に結合されて前記第1のフィードバック・キャパシタを介して流れる第1の電流の生成を可能にする、第1の電流要素と、  
を更に含む、回路。

【請求項18】

請求項17に記載のドライバ回路であって、  
前記第2のドライバ・トランジスタに結合され、前記第2のドライバ・トランジスタを前記第2の既定の電圧にバイアスすることが可能な第2のバイアス回路と、  
前記第2のバイアス回路に結合されて前記第2のフィードバック・キャパシタを介して流れる第2の電流の生成を可能にする、第2の電流要素と、  
を更に含む、回路。

【請求項19】

請求項14に記載のドライバ回路であって、  
1つのインスタンスが正の遷移を生成し、別のインスタンスが負の遷移を生成する、前記ドライバ回路の2つのインスタンスが、同時に擬似差動ドライバを形成する、回路。

【請求項20】

ドライバ回路内のスルーレートを制御するための方法であって、  
第1のドライバを第1の既定の電圧に、第2のドライバを第2の既定の電圧にプリチャージすることであって、前記第1のドライバと前記第2のドライバとが電流要素を介してクロスカップルされている、前記プリチャージすることと、  
前記第1のドライバと前記第2のドライバとを介して電流を駆動することと、  
入力に応答して、前記第1のドライバにより第1の出力を、前記第2のドライバにより第2の出力を生成することであって、前記第2の出力が前記第1の出力のスルーレートと同等のスルーレートを有する、前記生成することと、  
を含む、方法。

【請求項21】

請求項20に記載の方法であって、  
前記第1のドライバのゲートと前記第2のドライバのゲートとの電圧をそれぞれの既定の範囲内に維持することを更に含む、方法。