



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2025년05월16일

(11) 등록번호 10-2808552

(24) 등록일자 2025년05월12일

(51) 국제특허분류(Int. Cl.)

H01L 21/027 (2006.01) G03F 7/20 (2006.01)

H01L 21/02 (2006.01) H01L 21/311 (2006.01)

H01L 21/66 (2006.01) H01L 21/76 (2006.01)

(52) CPC특허분류

H01L 21/027 (2013.01)

G03F 7/2004 (2013.01)

(21) 출원번호 10-2019-0121726

(22) 출원일자 2019년10월01일

심사청구일자 2022년08월24일

(65) 공개번호 10-2021-0039194

(43) 공개일자 2021년04월09일

(56) 선행기술조사문헌

KR1020070090622 A*

(뒷면에 계속)

전체 청구항 수 : 총 19 항

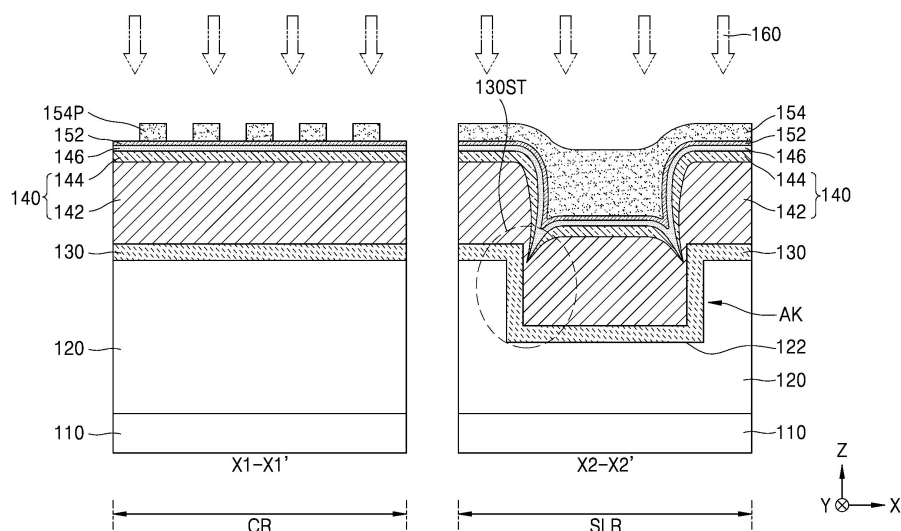
심사관 : 김대선

(54) 발명의 명칭 집적회로 소자의 제조 방법

(57) 요약

집적회로 소자를 제조하기 위하여, 복수의 칩을 형성하기 위한 제1 영역과, 상기 제1 영역을 포위하는 제2 영역에서 기판 상에 피처층을 형성한다. 상기 피처층은 상기 제2 영역에서 단차부를 가진다. 상기 피처층 상에 복수의 하드마스크층을 포함하는 하드마스크 구조물을 형성한다. 상기 제1 영역 및 상기 제2 영역에서 상기 하드마스크 구조물을 덮는 보호막을 형성한다. 상기 보호막 상에 포토레지스트막을 형성한다. 상기 제2 영역에 있는 상기 단차부를 얼라인 키로 이용하여 상기 제1 영역에서 상기 포토레지스트막을 노광 및 현상하여 포토레지스트 패턴을 형성한다.

대표도



(52) CPC특허분류

G03F 7/70033 (2023.05)

G03F 7/70616 (2023.05)

H01L 21/02271 (2013.01)

H01L 21/31144 (2013.01)

H01L 21/76 (2013.01)

H01L 22/10 (2013.01)

(72) 발명자

김중희

경기도 안양시 동안구 시민대로327번길 55, 106동
2303호(관양동, 평촌더샵센트럴시티)

김지희

경기도 용인시 수지구 진산로 90, 501동 504호(풍
덕천동, 진산마을삼성래미안5차아파트)

박용신

서울특별시 동작구 장승배기로16길 134, 103동 90
5호(노량진동, 쌍용예가아파트)

황정현

대전광역시 서구 둔산로 155, 117동 1407호(
둔산동, 크로바아파트)

(56) 선행기술조사문헌

KR1020170058714 A*

CN108538712 A*

US9941125 B2

KR100728976 B1

US20200350257 A1

US20170062222 A1*

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

복수의 비트 라인과, 상기 복수의 비트 라인 각각의 사이에 하나씩 개재된 복수의 도전성 플러그를 포함하는 제1 영역과, 상기 제1 영역을 포위하는 제2 영역을 가지는 기판 상에 피쳐층을 형성하되, 상기 제1 영역에서는 평탄한 상면을 가지고, 상기 제2 영역에서는 상기 제2 영역에 배치된 하부 구조물에 형성된 트렌치에 의해 단차부를 가지도록 상기 피쳐층을 형성하는 단계와,

상기 제1 영역 및 상기 제2 영역에서 상기 피쳐층 상에 순차적으로 적층된 제1 하드마스크층 및 제2 하드마스크층을 포함하는 하드마스크 구조물을 형성하는 단계와,

상기 제1 영역 및 상기 제2 영역에서 상기 하드마스크 구조물이 노출되지 않도록 상기 제2 하드마스크층을 덮으며 상기 제2 하드마스크층에 접하는 보호막을 형성하는 단계와,

상기 제1 영역 및 상기 제2 영역에서 상기 보호막 상에 포토레지스트막을 형성하는 단계와,

상기 제2 영역에 있는 상기 단차부를 얼라인 키로 이용하여 상기 제1 영역 및 상기 제2 영역 중 상기 제1 영역에서만 상기 포토레지스트막을 노광 및 현상하여 상기 제1 영역에 포토레지스트 패턴을 형성하는 단계와,

상기 제1 영역 및 상기 제2 영역 중 상기 제1 영역에서만 상기 포토레지스트 패턴을 식각 마스크로 이용하여 상기 보호막 및 상기 하드마스크 구조물을 식각하는 단계와,

상기 보호막 및 상기 하드마스크 구조물을 식각하는 단계를 수행한 후, 상기 제1 영역에서 상기 포토레지스트 패턴을 식각 마스크로 이용하여 상기 피쳐층을 식각하여 상기 복수의 도전성 플러그 위에 복수의 랜딩 패드를 형성하는 단계를 포함하고,

상기 복수의 랜딩 패드는 평면에서 볼 때 복수의 아일랜드형 패턴 형상을 가지고, 상기 복수의 랜딩 패드는 각각 상기 복수의 도전성 플러그 중에서 선택되는 하나의 도전성 플러그 및 상기 복수의 비트 라인 중에서 선택되는 하나의 비트 라인과 수직 방향으로 오버랩되고,

상기 하드마스크 구조물을 형성하는 단계에서, 상기 제1 하드마스크층의 두께는 상기 제2 하드마스크층의 두께보다 크고,

상기 제2 영역에서 상기 피쳐층은 상기 하부 구조물의 상면을 덮는 고레벨 부분과, 상기 트렌치의 바닥면을 덮는 저레벨 부분을 포함하고, 상기 단차부는 상기 저레벨 부분과 상기 고레벨 부분과의 사이에서 상기 수직 방향으로 연장되는 부분을 포함하고,

상기 수직 방향에서 상기 복수의 도전성 플러그 각각의 바닥면은 상기 저레벨 부분보다 낮은 레벨에 위치되고, 상기 복수의 비트 라인은 상기 고레벨 부분보다 낮은 레벨에 위치되는 집적회로 소자의 제조 방법.

청구항 2

제1항에 있어서,

상기 하드마스크 구조물을 형성하는 단계에서 상기 복수의 하드마스크층은 각각 상기 단차부 및 그 주변의 위에서 불균일한 두께를 가지는 제1 부분을 포함하도록 형성되고,

상기 보호막을 형성하는 단계에서 상기 보호막은 상기 제1 부분이 외부로 노출되지 않도록 상기 하드마스크 구조물을 덮는 집적회로 소자의 제조 방법.

청구항 3

제1항에 있어서,

상기 제1 하드마스크층은 ACL(amorphous carbon layer)이고, 상기 제2 하드마스크층은 비정질 실리콘층이고,

상기 보호막을 형성하는 단계는 상기 비정질 실리콘층의 상면에 접하며 산소 원자, 질소 원자, 또는 이들이 조

합을 포함하는 실리콘 함유막을 형성하는 단계를 포함하는 집적회로 소자의 제조 방법.

청구항 4

제1항에 있어서,

상기 포토레지스트 패턴을 형성하는 단계는 EUV(extreme ultraviolet)를 이용하여 상기 포토레지스트막을 노광하는 단계를 포함하는 집적회로 소자의 제조 방법.

청구항 5

제1항에 있어서,

상기 포토레지스트 패턴은 서로 이격되고 규칙적인 배열을 이루는 복수의 아일랜드 패턴으로 이루어지는 집적회로 소자의 제조 방법.

청구항 6

제1항에 있어서,

상기 복수의 랜딩 패드를 형성하는 단계에서, 상기 복수의 랜딩 패드는 서로 이격되고 규칙적인 배열을 이루는 복수의 아일랜드 패턴으로 이루어지는 집적회로 소자의 제조 방법.

청구항 7

제1항에 있어서,

상기 하드마스크 구조물을 형성하는 단계는 CVD(chemical vapor deposition) 공정에 의해 수행되고,

상기 보호막을 형성하는 단계는 ALD(atomic layer deposition) 공정에 의해 수행되는 집적회로 소자의 제조 방법.

청구항 8

제1항에 있어서,

상기 포토레지스트 패턴을 형성하는 단계 후 상기 보호막 및 상기 하드마스크 구조물을 식각하는 단계 전에 상기 포토레지스트 패턴을 검사하는 단계와,

상기 포토레지스트 패턴을 검사하는 단계에서 상기 포토레지스트 패턴이 불량으로 판단되면 재작업(rework)을 수행하는 단계를 포함하고,

상기 재작업을 수행하는 단계는

상기 제1 영역 및 상기 제2 영역에서 상기 포토레지스트 패턴을 제거하여 상기 보호막을 노출시키는 제1 단계와,

상기 제1 영역 및 상기 제2 영역에서 상기 보호막 위에 새로운 포토레지스트막을 형성하는 제2 단계와,

상기 제2 영역에 있는 상기 단차부를 얼라인 키로 이용하여 상기 제1 영역에서 상기 새로운 포토레지스트막을 노광 및 현상하여 새로운 포토레지스트 패턴을 형성하는 제3 단계를 포함하는 집적회로 소자의 제조 방법.

청구항 9

제8항에 있어서,

상기 제1 단계는 상기 보호막이 상기 하드마스크 구조물을 덮고 있는 상태에서 산소 함유 분위기 하에서 애싱(ashing) 공정으로 상기 포토레지스트 패턴을 제거하는 단계를 포함하는 집적회로 소자의 제조 방법.

청구항 10

제1항에 있어서,

상기 포토레지스트 패턴을 형성하는 단계 후 상기 보호막 및 상기 하드마스크 구조물을 식각하는 단계 전에 상

기 포토레지스트 패턴을 검사하는 제1 단계와,

상기 포토레지스트 패턴을 검사하는 단계에서 상기 포토레지스트 패턴이 불량으로 판단되면 상기 보호막이 상기 하드마스크 구조물을 덮고 있는 상태에서 상기 포토레지스트 패턴을 산소 함유 분위기 하에서 제거하고 상기 포토레지스트막을 형성하는 단계와 상기 포토레지스트 패턴을 형성하는 단계를 다시 수행하는 제2 단계를 더 포함하는 집적회로 소자의 제조 방법.

청구항 11

셀 어레이 영역과, 상기 셀 어레이 영역을 포위하는 스크라이브 레인 영역을 포함하는 기판 상에, 상기 셀 어레이 영역에서 상기 기판을 덮는 복수의 비트 라인과 상기 복수의 비트 라인 각각의 사이에 하나씩 개재된 복수의 도전성 플러그를 포함하는 제1 하부 구조물과, 상기 스크라이브 레인 영역에서 상기 기판을 덮는 제2 하부 구조물을 형성하는 단계와,

상기 제1 하부 구조물 및 상기 제2 하부 구조물을 덮으며 상기 스크라이브 레인 영역에서 상기 제2 하부 구조물에 형성된 트렌치에 의해 단차부를 가지는 도전층을 형성하는 단계와,

상기 셀 어레이 영역 및 상기 스크라이브 레인 영역에서 상기 도전층 상에 순차적으로 적층된 제1 하드마스크층 및 제2 하드마스크층을 포함하는 하드마스크 구조물을 형성하는 단계와,

상기 셀 어레이 영역 및 상기 스크라이브 레인 영역에서 상기 하드마스크 구조물이 노출되지 않도록 상기 제2 하드마스크층을 덮으며 상기 제2 하드마스크층에 접하는 보호막을 형성하는 단계와,

상기 셀 어레이 영역 및 상기 스크라이브 레인 영역에서 상기 보호막 상에 포토레지스트막을 형성하는 단계와,

상기 스크라이브 레인 영역에 있는 상기 단차부를 얼라인 키로 이용하여 상기 셀 어레이 영역 및 상기 스크라이브 레인 영역 중 상기 셀 어레이 영역에서만 상기 포토레지스트막을 노광 및 현상하여 상기 셀 어레이 영역에 포토레지스트 패턴을 형성하는 단계와,

상기 셀 어레이 영역 및 상기 스크라이브 레인 영역 중 상기 셀 어레이 영역에서만 상기 포토레지스트 패턴을 식각 마스크로 이용하여 상기 보호막 및 상기 하드마스크 구조물을 식각하는 단계와,

상기 보호막 및 상기 하드마스크 구조물을 식각하는 단계를 수행한 후, 상기 셀 어레이 영역에서 상기 포토레지스트 패턴을 식각 마스크로 이용하여 상기 도전층을 식각하여 상기 복수의 도전성 플러그 위에 복수의 랜딩 패드를 형성하는 단계를 포함하고,

상기 복수의 랜딩 패드는 평면에서 볼 때 복수의 아일랜드형 패턴 형상을 가지고, 상기 복수의 랜딩 패드는 각각 상기 복수의 도전성 플러그 중에서 선택되는 하나의 도전성 플러그 및 상기 복수의 비트 라인 중에서 선택되는 하나의 비트 라인과 수직 방향으로 오버랩되고,

상기 하드마스크 구조물을 형성하는 단계에서, 상기 제1 하드마스크층의 두께는 상기 제2 하드마스크층의 두께보다 크고,

상기 스크라이브 레인 영역에서 상기 도전층은 상기 제2 하부 구조물의 상면을 덮는 고레벨 부분과, 상기 트렌치의 바닥면을 덮는 저레벨 부분을 포함하고, 상기 단차부는 상기 저레벨 부분과 상기 고레벨 부분과의 사이에서 상기 수직 방향으로 연장되는 부분을 포함하고,

상기 수직 방향에서 상기 복수의 도전성 플러그 각각의 바닥면은 상기 저레벨 부분보다 낮은 레벨에 위치되고, 상기 복수의 비트 라인은 상기 고레벨 부분보다 낮은 레벨에 위치되는 집적회로 소자의 제조 방법.

청구항 12

삭제

청구항 13

제11항에 있어서,

상기 포토레지스트 패턴을 형성하는 단계는 EUV를 이용하여 상기 포토레지스트막을 노광하는 단계를 포함하는 집적회로 소자의 제조 방법.

청구항 14

제11항에 있어서,

상기 도전층은 W 층을 포함하고,

상기 제1 하드마스크층은 상기 W 층의 상면에 접하는 저면을 가지는 ACL을 포함하고, 상기 제2 하드마스크층은 상기 ACL의 상면에 접하는 저면을 가지는 비정질 실리콘층을 포함하고,

상기 보호막은 상기 비정질 실리콘층의 상면에 접하는 저면을 가지는 실리콘 함유막으로 이루어지고, 상기 실리콘 함유막은 산소 원자, 질소 원자, 또는 이들이 조합을 포함하는 실리콘 함유막으로 이루어지는 집적회로 소자의 제조 방법.

청구항 15

제11항에 있어서,

상기 복수의 하드마스크 구조물을 형성하는 단계는 CVD 공정에 의해 수행되고,

상기 보호막을 형성하는 단계는 ALD 공정에 의해 수행되고,

상기 보호막은 실리콘 산화막, 실리콘 질화막, 실리콘 산질화막, 또는 이들의 조합으로 이루어지는 집적회로 소자의 제조 방법.

청구항 16

제11항에 있어서,

상기 제1 하드마스크층은 CVD 공정을 이용하여 형성된 ACL로 이루어지고,

상기 제2 하드마스크층은 CVD 공정을 이용하여 형성된 비정질 실리콘층으로 이루어지고,

상기 보호막을 형성하는 단계는 ALD 공정을 이용하여 상기 제2 하드마스크층 위에 산소 원자, 질소 원자, 또는 이들이 조합을 포함하는 실리콘 함유막을 형성하는 단계를 포함하고,

상기 보호막의 두께는 상기 제2 하드마스크층의 두께보다 더 작은 집적회로 소자의 제조 방법.

청구항 17

제11항에 있어서,

상기 제1 하부 구조물에서 상기 복수의 비트 라인은 각각 상기 기판 상의 제1 레벨에 위치하는 W 층을 포함하고,

상기 스크라이브 라인 영역에서 상기 도전층의 상기 고레벨 부분은 상기 제1 레벨보다 높은 제2 레벨에서 상기 제2 하부 구조물의 상기 상면을 덮고, 상기 도전층의 상기 저레벨 부분은 상기 제1 레벨에서 수평 방향으로 연장되는 집적회로 소자의 제조 방법.

청구항 18

제11항에 있어서,

상기 포토레지스트 패턴을 형성하는 단계 후 상기 보호막 및 상기 하드마스크 구조물을 식각하는 단계 전에 상기 포토레지스트 패턴을 검사하는 제1 단계와,

상기 포토레지스트 패턴을 검사하는 단계에서 상기 포토레지스트 패턴이 불량으로 판단되면 상기 보호막이 상기 하드마스크 구조물을 덮고 있는 상태에서 상기 포토레지스트 패턴을 산소 함유 분위기 하에서 제거하고 상기 포토레지스트막을 형성하는 단계를 다시 수행하는 제2 단계를 더 포함하는 집적회로 소자의 제조 방법.

청구항 19

셀 어레이 영역과, 상기 셀 어레이 영역을 포위하는 스크라이브 라인 영역을 포함하는 기판 상에, 상기 셀 어레이 영역에서는 각각 금속층을 포함하는 복수의 비트 라인과 상기 복수의 비트 라인 각각의 사이에 하나씩 개재

된 복수의 도전성 플러그를 포함하는 제1 하부 구조물을 형성하고, 상기 스크라이브 레인 영역에서는 상면에 트렌치를 포함하는 제2 하부 구조물을 형성하는 단계와,

상기 제1 하부 구조물 및 상기 제2 하부 구조물을 덮으며 상기 스크라이브 레인 영역에서 상기 트렌치 주변에 단차부를 가지는 도전층을 형성하는 단계와,

상기 셀 어레이 영역 및 상기 스크라이브 레인 영역에서 상기 도전층 상에 ACL을 포함하는 제1 하드마스크층과 비정질 실리콘층을 포함하는 및 제2 하드마스크층을 순차적으로 적층하여 하드마스크 구조물을 형성하는 단계와,

상기 셀 어레이 영역 및 상기 스크라이브 레인 영역에서 상기 비정질 실리콘층이 노출되지 않도록 상기 하드마스크 구조물을 덮는 보호막을 형성하는 단계와,

상기 셀 어레이 영역 및 상기 스크라이브 레인 영역에서 상기 보호막 상에 포토레지스트막을 형성하는 단계와,

상기 스크라이브 레인 영역에 있는 상기 단차부를 얼라인 키로 이용하여 상기 셀 어레이 영역 및 상기 스크라이브 레인 영역 중 상기 셀 어레이 영역에서만 상기 포토레지스트막을 노광 및 현상하여 상기 셀 어레이 영역에 포토레지스트 패턴을 형성하는 단계와,

상기 포토레지스트 패턴을 검사하는 단계와,

상기 포토레지스트 패턴을 검사하는 단계에서 상기 포토레지스트 패턴이 불량으로 판단되면 상기 보호막이 상기 하드마스크 구조물을 덮고 있는 상태에서 상기 포토레지스트 패턴을 산소 함유 분위기 하에서 제거하고, 상기 포토레지스트막을 형성하는 단계와 상기 포토레지스트 패턴을 형성하는 단계를 다시 수행하는 단계와,

상기 셀 어레이 영역에서 상기 포토레지스트 패턴의 형상을 상기 도전층에 전사하여 상기 복수의 도전성 플러그 위에 상기 도전층으로부터 서로 이격되고 규칙적인 배열을 이루는 복수의 아일랜드 패턴으로 이루어지는 복수의 랜딩 패드를 형성하는 단계를 포함하고,

상기 복수의 랜딩 패드는 각각 상기 복수의 도전성 플러그 중에서 선택되는 하나의 도전성 플러그 및 상기 복수의 비트 라인 중에서 선택되는 하나의 비트 라인과 수직 방향으로 오버랩되고,

상기 하드마스크 구조물을 형성하는 단계에서, 상기 제1 하드마스크층의 두께는 상기 제2 하드마스크층의 두께보다 크고,

상기 스크라이브 레인 영역에서 상기 도전층은 상기 제2 하부 구조물의 상면을 덮는 고레벨 부분과, 상기 트렌치의 바닥면을 덮는 저레벨 부분을 포함하고, 상기 단차부는 상기 저레벨 부분과 상기 고레벨 부분과의 사이에서 상기 수직 방향으로 연장되는 부분을 포함하고,

상기 수직 방향에서 상기 복수의 도전성 플러그 각각의 바닥면은 상기 저레벨 부분보다 낮은 레벨에 위치되고, 상기 복수의 비트 라인은 상기 고레벨 부분보다 낮은 레벨에 위치되는 집적회로 소자의 제조 방법.

청구항 20

제19항에 있어서,

상기 포토레지스트 패턴을 형성하는 단계는 EUV를 이용하여 상기 포토레지스트막을 노광하는 단계를 포함하고,

상기 보호막을 형성하는 단계는 ALD 공정을 이용하여 실리콘 산화막, 실리콘 질화막, 또는 실리콘 산질화막을 형성하는 단계를 포함하는 집적회로 소자의 제조 방법.

발명의 설명

기술 분야

본 발명의 기술적 사상은 집적회로 소자의 제조 방법에 관한 것으로, 특히 집적회로 소자의 제조 공정 중 포토 리소그래피 공정의 재작업(rework)으로 인한 공정 불량을 억제할 수 있는 집적회로 소자의 제조 방법에 관한 것이다.

[0001]

배경 기술

- [0002] 최근 집적회로 소자의 다운-스케일링(down-scaling)이 급속도로 진행됨에 따라 집적회로 소자의 피쳐 사이즈(feature size)가 미세화되고 집적회로 소자를 구성하는 패턴들의 선폴이 점점 감소되고 있다. 이에 따라, 집적회로 소자에 필요한 다양한 형상, 다양한 크기, 및 다양한 밀도를 가지는 패턴들을 동시에 형성할 때 공정 난이도가 높아지고 있다. 특히, 집적회로 소자의 제조를 위한 포토리소그래피 공정을 수행한 후 얻어진 포토레지스트 패턴에 불량 발생되어 상기 포토레지스트 패턴을 제거하고 새로운 포토레지스트 패턴을 형성하기 위한 재작업(rework)을 수행할 때, 기판 상에 남아 있는 하부 구조물들, 피식각막, 또는 하드마스크층들이 재작업 분위기에 의해 손상 받지 않고 재작업을 안정적으로 수행할 수 있는 공정 개발이 필요하다.

발명의 내용

해결하려는 과제

- [0003] 본 발명의 기술적 사상이 이루고자 하는 기술적 과제는 집적회로 소자의 제조를 위한 포토리소그래피 공정을 수행한 후 얻어진 포토레지스트 패턴에 불량 발생되어 상기 포토레지스트 패턴을 제거하고 새로운 포토레지스트 패턴을 형성하기 위한 재작업을 수행하는 경우에도 기판 상에 남아 있는 하부 구조물들, 피식각막, 또는 하드마스크층들이 재작업 분위기에 의해 손상 받지 않고 재작업을 안정적으로 수행함으로써, 형성하고자 하는 집적회로 소자의 신뢰성을 향상시킬 수 있는 집적회로 소자의 제조 방법을 제공하는 것이다.

과제의 해결 수단

- [0004] 본 발명의 기술적 사상에 의한 일 양태에 따른 집적회로 소자의 제조 방법에서는 복수의 칩을 형성하기 위한 제1 영역과, 상기 제1 영역을 포위하는 제2 영역을 가지는 기판 상에 피쳐층을 형성하되, 상기 제1 영역에서는 평탄한 상면을 가지고 상기 제2 영역에서 단차부를 가지도록 상기 피쳐층을 형성한다. 상기 제1 영역 및 상기 제2 영역에서 상기 피쳐층 상에 복수의 하드마스크층을 포함하는 하드마스크 구조물을 형성한다. 상기 제1 영역 및 상기 제2 영역에서 상기 하드마스크 구조물이 노출되지 않도록 상기 하드마스크 구조물을 덮는 보호막을 형성한다. 상기 제1 영역 및 상기 제2 영역에서 상기 보호막 상에 포토레지스트막을 형성한다. 상기 제2 영역에 있는 상기 단차부를 얼라인 키로 이용하여 상기 제1 영역에서 상기 포토레지스트막을 노광 및 현상하여 포토레지스트 패턴을 형성한다. 상기 제1 영역에서 상기 포토레지스트 패턴을 식각 마스크로 이용하여 상기 보호막 및 상기 하드마스크 구조물을 식각한다.
- [0005] 본 발명의 기술적 사상에 의한 다른 양태에 따른 집적회로 소자의 제조 방법에서는 셀 어레이 영역과 스크라이브 라인 영역을 포함하는 기판 상에 상기 셀 어레이 영역에서 상기 기판을 덮는 제1 하부 구조물과, 상기 스크라이브 라인 영역에서 상기 기판을 덮는 제2 하부 구조물을 형성한다. 상기 제1 하부 구조물 및 상기 제2 하부 구조물을 덮으며 상기 스크라이브 라인 영역에서 단차부를 가지는 도전층을 형성한다. 상기 셀 어레이 영역 및 상기 스크라이브 라인 영역에서 상기 도전층 상에 복수의 하드마스크층을 포함하는 하드마스크 구조물을 형성한다. 상기 셀 어레이 영역 및 상기 스크라이브 라인 영역에서 상기 하드마스크 구조물이 노출되지 않도록 상기 하드마스크 구조물을 덮는 보호막을 형성한다. 상기 셀 어레이 영역 및 상기 스크라이브 라인 영역에서 상기 보호막 상에 포토레지스트막을 형성한다. 상기 스크라이브 라인 영역에 있는 상기 단차부를 얼라인 키로 이용하여 상기 셀 어레이 영역에서 상기 포토레지스트막을 노광 및 현상하여 포토레지스트 패턴을 형성한다. 상기 셀 어레이 영역에서 상기 포토레지스트 패턴을 식각 마스크로 이용하여 상기 보호막 및 상기 하드마스크 구조물을 식각한다.
- [0006] 본 발명의 기술적 사상에 의한 또 다른 양태에 따른 집적회로 소자의 제조 방법에서는 셀 어레이 영역과 스크라이브 라인 영역을 포함하는 기판 상에 상기 셀 어레이 영역에서는 각각 금속층을 포함하는 복수의 비트 라인을 포함하는 제1 하부 구조물을 형성하고, 상기 스크라이브 라인 영역에서는 상면에 트렌치를 포함하는 제2 하부 구조물을 형성한다. 상기 제1 하부 구조물 및 상기 제2 하부 구조물을 덮으며 상기 스크라이브 라인 영역에서 상기 트렌치 주변에 단차부를 가지는 도전층을 형성한다. 상기 셀 어레이 영역 및 상기 스크라이브 라인 영역에서 상기 도전층 상에 비정질 실리콘층을 포함하는 하드마스크 구조물을 형성한다. 상기 셀 어레이 영역 및 상기 스크라이브 라인 영역에서 상기 비정질 실리콘층이 노출되지 않도록 상기 하드마스크 구조물을 덮는 보호막을 형성한다. 상기 셀 어레이 영역에서 상기 보호막 상에 포토레지스트막을 형성한다. 상기 스크라이브 라인 영역에 있는 상기 단차부를 얼라인 키로 이용하여 상기 셀 어레이 영역에서 상기 포토레지스트막을 노광 및 현상하여 포토레지스트 패턴을 형성한다. 상기 포토레지스트 패턴을 검사한다. 상기 포토레지스트 패턴을 검사하는 단

계에서 상기 포토레지스트 패턴이 불량으로 판단되면 상기 보호막이 상기 하드마스크 구조물을 덮고 있는 상태에서 상기 포토레지스트 패턴을 산소 함유 분위기 하에서 제거하고, 상기 포토레지스트막을 형성하는 단계와 상기 포토레지스트 패턴을 형성하는 단계를 다시 수행한다. 상기 셀 어레이 영역에서 상기 포토레지스트 패턴의 형상을 상기 도전층에 전사하여 상기 도전층으로부터 서로 이격되고 규칙적인 배열을 이루는 복수의 아일랜드 패턴으로 이루어지는 복수의 랜딩 패드를 형성한다.

발명의 효과

[0007] 본 발명의 기술적 사상에 의한 집적회로 소자의 제조 방법에 의하면, 포토리소그래피 공정을 수행하기 위하여 포토레지스트막을 형성하기 전에 하드마스크 구조물 상에 하드마스크 구조물을 보호하기 위한 보호막을 형성하고, 상기 보호막 위에 포토레지스트막을 형성한 후 포토리소그래피 공정을 수행한다. 따라서, 포토리소그래피 공정에 의해 얻어진 포토레지스트 패턴에 불량이 발생하여 재작업이 필요한 경우, 하드마스크 구조물의 일부 영역이 열화된 스텝 커버리지로 인해 재작업 분위기에 취약한 부분을 포함하는 경우에도 상기 하드마스크 구조물이 보호막으로 덮여 있는 상태에서 재작업을 수행할 수 있으므로, 재작업을 수행하는 동안 하부 구조물들, 피식 각막, 또는 하드마스크 구조물이 손상되거나 변형될 염려가 없다. 따라서, 후속 공정에서 보호막 위에 새로운 포토레지스트 패턴을 형성하기 위한 포토리소그래피 공정을 수행할 때 정밀한 제어를 원활하게 수행할 수 있으며, 집적회로 소자의 제조 공정 중 재작업으로 인한 공정 불량을 억제하고, 형성하고자 하는 집적회로 소자의 신뢰성을 향상시킬 수 있다.

도면의 간단한 설명

[0008] 도 1은 본 발명의 기술적 사상에 의한 실시예들에 따른 집적회로 소자의 제조 방법에 따라 얻어질 수 있는 집적회로 소자의 예시적인 구성을 설명하기 위한 개략적인 평면도이다.

도 2a는 본 발명의 기술적 사상에 의한 실시예들에 따른 집적회로 소자의 제조 방법에 따라 얻어질 수 있는 집적회로 소자의 복수의 칩 영역에 구현될 수 있는 복수의 아일랜드 패턴을 예시한 도면들로서, 도 2a에서 (a)는 복수의 칩 영역의 일부를 보여주는 사시도이고, (b)는 (a)에 예시한 복수의 아일랜드 패턴의 평면 배치를 보여주는 평면도이다.

도 3a 내지 도 3h는 본 발명의 기술적 사상에 의한 실시예들에 따른 집적회로 소자의 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.

도 4a 내지 도 4c는 본 발명의 기술적 사상에 의한 다른 실시예들에 따른 집적회로 소자의 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.

도 5는 본 발명의 기술적 사상에 의한 실시예들에 따른 집적회로 소자의 제조 방법에 따라 얻어질 수 있는 집적회로 소자의 다른 예시적인 구성을 설명하기 위한 블록도이다.

도 6은 도 5에 예시한 집적회로 소자의 예시적인 배치 구성을 설명하기 위한 평면도이다.

도 7은 도 6에 예시한 셀 어레이 영역의 주요 구성들을 설명하기 위한 개략적인 평면 레이아웃이다.

도 8a 및 도 8b는 본 발명의 기술적 사상에 의한 실시예들에 따른 집적회로 소자의 제조 방법에 따라 얻어질 수 있는 집적회로 소자에 포함되는 셀 어레이 영역의 일부 영역의 단면 구성을 예시한 단면도들이다.

도 9a 내지 도 9e는 본 발명의 기술적 사상에 의한 실시예들에 따른 집적회로 소자의 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.

도 10a 내지 도 10j는 본 발명의 기술적 사상에 의한 실시예들에 따른 집적회로 소자의 제조 방법에서 셀 어레이 영역에 제1 하부 구조물 및 도전층을 형성하는 공정들을 보다 상세히 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.

발명을 실시하기 위한 구체적인 내용

[0009] 이하, 첨부 도면을 참조하여 본 발명의 실시예들을 상세히 설명한다. 도면상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고, 이들에 대한 중복된 설명은 생략한다.

[0010] 도 1은 본 발명의 기술적 사상에 의한 실시예들에 따른 집적회로 소자의 제조 방법에 따라 얻어질 수 있는 집적회로 소자(100)의 개략적인 평면도이다.

- [0011] 도 1을 참조하면, 집적회로 소자(100)는 복수의 칩 영역(CR)과 이들 각각을 포위하는 스크라이브 레인 영역(SLR)을 가지는 기판(110)을 포함한다. 기판(110) 상에서 복수의 칩 영역(CR)은 매트릭스 형태로 배열될 수 있다. 스크라이브 레인 영역(SLR)은 복수의 칩 영역(CR)을 개별화하기 위한 절단 영역을 포함할 수 있다.
- [0012] 복수의 칩 영역(CR)은 각각 패턴 밀도가 비교적 높은 고밀도 영역이고, 스크라이브 레인 영역(SLR)은 패턴 밀도가 비교적 낮은 저밀도 영역일 수 있다. 복수의 칩 영역(CR)에는 반도체 메모리 소자의 셀 어레이 영역과, 상기 셀 어레이 영역에 포함된 셀 어레이들에 전기적으로 연결 가능하도록 구성된 회로들을 포함하는 주변 회로 영역 및 코어 영역을 포함할 수 있다. 예시적인 실시예들에서, 상기 셀 어레이 영역에는 DRAM(dynamic random access memory)과 같은 휘발성 메모리 셀 어레이, 또는 플래시 메모리와 같은 비휘발성 메모리 셀 어레이가 형성될 수 있다. 상기 셀 어레이 영역에는 비교적 작은 치수의 폭을 가지는 복수의 패턴들이 서로 이격되어 규칙적인 배열을 이루고, 비교적 작은 피치로 반복 형성될 수 있다.
- [0013] 도 2a는 도 1에 예시한 집적회로 소자(100)의 복수의 칩 영역(CR)에 구현될 수 있는 복수의 아일랜드 패턴(PA)을 예시한 도면들로서, 도 2a에서 (a)는 복수의 칩 영역(CR)의 일부를 보여주는 사시도이고, (b)는 (a)에 예시한 복수의 아일랜드 패턴(PA)의 평면 배치를 보여주는 평면도이다.
- [0014] 도 2a를 참조하면, 집적회로 소자(100)에서 칩 영역(CR)에는 기판(110) 상에 형성된 하부 구조물(120)과, 하부 구조물(120) 상에 형성된 복수의 아일랜드 패턴(PA)을 포함할 수 있다.
- [0015] 기판(110)은 Si, Ge과 같은 반도체 원소, 또는 SiC, GaAs, InAs, 및 InP와 같은 화합물 반도체를 포함할 수 있다. 하부 구조물(120)은 절연층, 도전층, 또는 이들의 조합을 포함할 수 있다. 예를 들면, 하부 구조물(120)은 적어도 하나의 도전 영역을 포함하는 구조물들을 포함할 수 있다. 상기 도전 영역은 도핑된 구조물, 도핑된 반도체층, 금속층, 또는 이들의 조합으로 이루어질 수 있다. 하부 구조물(120)은 도전 영역들, 예를 들면 배선층, 콘택 플러그, 트랜지스터 등과, 이들을 상호 절연시키는 절연막들을 포함할 수 있다.
- [0016] 복수의 아일랜드 패턴(PA)은 칩 영역(CR)에서 하부 구조물(120) 상에 수평 방향, 예를 들면 X 방향을 따라 제1 피치(P1)로 반복 배치된 복수의 아일랜드 패턴(PA)을 포함할 수 있다. 복수의 아일랜드 패턴(PA)은 각각 실린더형 단면 형상을 가질 수 있다.
- [0017] 복수의 아일랜드 패턴(PA)은 절연 패턴, 도전 패턴, 또는 이들의 조합으로 이루어질 수 있다. 예시적인 실시예들에서, 복수의 아일랜드 패턴(PA)은 도핑된 반도체, 금속, 도전성 금속 질화물, 또는 이들의 조합으로 이루어질 수 있다. 복수의 아일랜드 패턴(PA)은 단일층 구조 또는 다중층 구조를 가질 수 있다.
- [0018] 도 2a에서 복수의 아일랜드 패턴(PA)이 평면에서 볼 때 허니콤(honeycomb) 구조를 이루도록 서로 이격되고 규칙적인 배열을 이루는 것으로 예시되었으나, 본 발명의 기술적 사상은 이에 한정되지 않는다. 예를 들면, 복수의 아일랜드 패턴(PA)은 평면에서 볼 때 매트릭스(matrix) 구조로 배열될 수도 있다.
- [0019] 도 2b는 도 1에 예시한 집적회로 소자(100)의 스크라이브 레인 영역(SLR)의 일부 구성을 예시한 평면도이다.
- [0020] 도 2b를 참조하면, 스크라이브 레인 영역(SLR)에는 복수의 얼라인먼트 키(AK)가 형성될 수 있다. 복수의 얼라인먼트 키(AK)는 각각 복수의 리세스 영역(RR)을 한정하는 복수의 단차부(ST)를 가질 수 있다.
- [0021] 도 3a 내지 도 3h는 본 발명의 기술적 사상에 의한 실시예들에 따른 집적회로 소자의 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다. 도 3a 내지 도 3h를 참조하여, 도 2a 및 도 2b에 예시한 집적회로 소자(100)에 포함되는 복수의 아일랜드 패턴(PA) 및 얼라인먼트 키(AK)의 형성 방법을 설명한다. 도 3a 내지 도 3h에는 각각 도 2a의 (b)의 X1 - X1' 선 단면과 도 2b의 X2 - X2' 선 단면에 대응하는 영역의 공정 순서에 따른 단면 구성이 예시되어 있다.
- [0022] 도 3a를 참조하면, 기판(110) 상에 하부 구조물(120)을 형성하고, 하부 구조물(120) 위에 피쳐층(feature layer)(130)을 형성한다.
- [0023] 칩 영역(CR)에서 피쳐층(130)의 상면은 평탄하게 연장될 수 있다.
- [0024] 스크라이브 레인 영역(SLR)에서 하부 구조물(120)의 상면에는 복수의 얼라인먼트 키(AK)(도 2b 참조)를 형성하는 데 필요한 트렌치(122)가 형성될 수 있다. 스크라이브 레인 영역(SLR)에서 피쳐층(130)은 하부 구조물(120)의 상면 및 트렌치(122)의 내벽을 콘포멀하게 덮도록 형성될 수 있다. 이에 따라, 스크라이브 레인 영역(SLR)에서 피쳐층(130)에는 도 3a에서 점선 영역으로 표시한 바와 같이 트렌치(122)의 주변에 비교적 큰 높이(SH)의 단차부(130ST)가 존재할 수 있다. 하부 구조물(120)의 트렌치(122)와, 그 위에 형성된 피쳐층(130)의 단차부

(130ST)는 얼라인먼트 키(AK)를 구성할 수 있다. 피처층(130)은 복수의 아일랜드 패턴(PA)(도 2a 참조)의 구성 물질과 동일한 물질로 이루어질 수 있다.

- [0025] 도 3b를 참조하면, 칩 영역(CR) 및 스크라이브 레인 영역(SLR)에서 피처층(130) 상에 제1 하드마스크층(142)을 형성한다.
- [0026] 예시적인 실시예들에서, 제1 하드마스크층(142)은 ACL(amorphous carbon layer)로 이루어질 수 있다. 제1 하드마스크층(142)을 형성하기 위하여 CVD(chemical vapor deposition) 공정을 이용할 수 있다. 제1 하드마스크층(142)은 약 1000 Å 내지 약 2000 Å의 두께를 가질 수 있다.
- [0027] 칩 영역(CR)에서, 제1 하드마스크층(142)은 위치에 따른 두께 편차가 거의 없이 실질적으로 일정한 두께를 가질 수 있다. 스크라이브 레인 영역(SLR)에서, 제1 하드마스크층(142)의 두께는 일정하지 않을 수 있다. 특히, 피처층(130)의 단차부(130ST) 및 그 주변 위에서는 제1 하드마스크층(142)의 스텝 커버리지(step coverage)가 열화되어, 단차부(130ST) 및 그 주변 위에서 제1 하드마스크층(142)의 일부가 다른 부분에 비해 현저히 작은 두께를 가질 수 있다.
- [0028] 도 3c를 참조하면, 칩 영역(CR) 및 스크라이브 레인 영역(SLR)에서 제1 하드마스크층(142) 상에 제2 하드마스크층(144)을 형성한다.
- [0029] 예시적인 실시예들에서, 제2 하드마스크층(144)은 비정질 실리콘층으로 이루어질 수 있다. 제2 하드마스크층(144)을 형성하기 위하여 CVD 공정을 이용할 수 있다. 제2 하드마스크층(144)은 약 100 Å 내지 약 800 Å의 두께를 가질 수 있다. 제1 하드마스크층(142) 및 제2 하드마스크층(144)은 하드마스크 구조물(140)을 구성할 수 있다.
- [0030] 칩 영역(CR)에서, 제2 하드마스크층(144)은 위치에 따른 두께 편차가 거의 없이 실질적으로 일정한 두께를 가질 수 있다. 스크라이브 레인 영역(SLR)에서, 제2 하드마스크층(144)의 두께는 일정하지 않을 수 있다. 특히, 피처층(130)의 단차부(130ST) 및 그 주변 위에서 제1 하드마스크층(142)을 덮는 제2 하드마스크층(144)의 일부는 스텝 커버리지가 열화되어, 단차부(130ST) 및 그 주변 위에서 제1 하드마스크층(142)을 덮는 제2 하드마스크층(144)의 일부가 다른 부분에 비해 현저히 작은 두께를 가질 수 있다.
- [0031] 도 3d를 참조하면, 칩 영역(CR) 및 스크라이브 레인 영역(SLR)에서 하드마스크 구조물(140) 상에 보호막(146)을 형성한다.
- [0032] 보호막(146)은 칩 영역(CR) 및 스크라이브 레인 영역(SLR)에서 각각 실질적으로 균일한 두께를 가질 수 있다. 보호막(146) 중 피처층(130)의 단차부(130ST) 및 그 주변 위에서 제2 하드마스크층(144)을 덮는 부분은 보호막(146)의 다른 부분들보다 더 작은 두께를 가지지 않는다. 보호막(146)은 칩 영역(CR) 및 스크라이브 레인 영역(SLR)에서 하드마스크 구조물(140)이 외부로 노출되지 않도록 하드마스크 구조물(140)을 덮으며, 칩 영역(CR) 및 스크라이브 레인 영역(SLR)에서 하드마스크 구조물(140)의 보호에 필요한 최소한의 두께를 유지할 수 있다.
- [0033] 보호막(146)은 피처층(130) 및 하드마스크 구조물(140)을 주변 분위기로부터 보호하는 역할을 할 수 있다. 예시적인 실시예들에서, 보호막(146)은 제2 하드마스크층(144)의 상면에 접하도록 형성되고 제2 하드마스크층(144)의 산화를 방지하는 역할을 할 수 있다. 보호막(146)은 제2 하드마스크층(144)의 구성 물질과 다른 구성 물질로 이루어질 수 있다. 예시적인 실시예들에서, 보호막(146)은 산소 원자, 질소 원자, 또는 이들이 조합을 포함하는 실리콘 함유막으로 이루어질 수 있다. 예를 들면, 보호막(146)은 실리콘 산화막, 실리콘 질화막, 실리콘 산질화막, 또는 이들의 조합으로 이루어질 수 있다.
- [0034] 보호막(146)을 형성하기 위하여 ALD(atomic layer deposition) 공정을 이용할 수 있다. 보호막(146)은 약 10 Å 내지 약 500 Å의 두께를 가질 수 있다. 예시적인 실시예들에서, 보호막(146)은 제2 하드마스크층(144)의 두께보다 더 작은 두께를 가질 수 있다. 예를 들면, 제2 하드마스크층(144)은 약 150 Å 내지 약 250 Å의 두께를 가지고, 보호막(146)은 약 20 Å 내지 약 80 Å의 두께를 가질 수 있으나, 제2 하드마스크층(144) 및 보호막(146) 각각의 두께가 상기 예시한 바에 한정되는 것은 아니다.
- [0035] 도 3e를 참조하면, 보호막(146) 상에 레지스트 하부막(underlayer)(152) 및 포토레지스트막(154)을 차례로 형성한다.
- [0036] 예시적인 실시예들에서, 레지스트 하부막(152)은 폴리머로 이루어질 수 있다. 예를 들면, 레지스트 하부막(152)은 폴리실록산으로 이루어질 수 있다. 상기 폴리실록산은 실록산 결합을 갖는 중합체로서, 모노실록산(monosiloxane), 디실록산(disiloxane), 트리실록산(trisiloxane), 및/또는 시클로테트라실록산

(cyclotetrasiloxane)으로 이루어지는 반복 단위를 포함할 수 있다.

- [0037] 레지스트 하부막(152)은 광산발생제(photoacid generator), 가교제, 및 계면 접착 강화제 중 적어도 하나를 포함할 수 있다. 상기 광산발생제는 빛에 의하여 산을 발생시킬 수 있는 화합물로서, 예를 들면 트리페닐설포늄 트리플루오르메탄설포네이트(triphenylsulfonium trifluoromethanesulfonate)를 포함하는 옴염(onium salt), 방향족 디아조늄염(aromatic diazonium salt), 술포늄염(sulfonium salt), 트리아릴설포늄염(triarylsulfonium salt), 디아릴설포늄염(diarylsulfonium salt), 모노아릴설포늄염(monoarylsulfonium salt), 요오드염(iodonium salt), 디아릴요오드염(diaryliodonium salt), 니트로벤질 에스테르(nitrobenzyl ester), 디설포늄(disulfone), 디아조-디설포늄(diazo-disulfone), 술포네이트(sulfonate), 트리클로로메틸 트리아진(trichloromethyl triazine) 및 N-히드록시숙신이미드 트리플레이트(N-hydroxysuccinimide triflate) 등을 포함할 수 있다. 상기 가교제는 상기 폴리실록산의 반복 단위를 가교하기 위한 것으로서 예를 들어, 멜라민, 우레아, 다가 알콜(polyhydric alcohol) 등을 포함할 수 있다. 상기 계면 접착 강화제는 후속의 포토레지스트막(154) 현상 공정에서 발생할 수 있는 패턴의 무너짐 또는 박리를 방지하기 위하여 레지스트 하부막(152)과 포토레지스트막(154)과의 사이의 밀착성을 향상시키기 위한 것으로서 히드록실기를 포함하는 모노머 유닛을 가지는 폴리머로 이루어질 수 있다.
- [0038] 다른 예시적인 실시예들에서, 레지스트 하부막(152)은 반사방지막(Bottom Anti-Reflective Coating: BARC)으로 이루어질 수 있다. 상기 반사방지막은 유기 화합물, 무기 화합물, 또는 이들의 조합으로 이루어질 수 있다. 예를 들면, 상기 반사방지막은 실리콘 질화물, 실리콘 산화물, 비정질 실리콘, 티탄, 이산화티탄, 질화티탄, 산화크롬, 카본, 유기 ARC(anti-reflective coating) 재료, 또는 이들의 조합으로 이루어질 수 있다. 상기 유기 ARC(anti-reflective coating) 재료는 가교 반응기인 히드록실기와 흡광기를 동일 분자내에 갖는 아크릴 수지, 또는 가교 반응기인 히드록실기와 흡광기를 동일 분자내에 갖는 노볼락 수지로 이루어질 수 있으나, 이들에 한정되는 것은 아니다.
- [0039] 레지스트 하부막(152)을 형성하기 위하여, 스핀 코팅, CVD, 또는 ALD 공정을 이용할 수 있다. 레지스트 하부막(152)은 약 10 Å 내지 약 400 Å의 두께를 가질 수 있다.
- [0040] 포토레지스트막(154)은 EUV(extreme ultraviolet)(13.5 nm)용 레지스트, KrF 엑시머 레이저(248 nm)용 레지스트, ArF 엑시머 레이저(193 nm)용 레지스트, 또는 F₂ 엑시머 레이저(157 nm)용 레지스트로 이루어질 수 있다. 포토레지스트막(154)은 약 100 Å 내지 약 800 Å의 두께를 가질 수 있다.
- [0041] 도 3f를 참조하면, 칩 영역(CR)에서 포토레지스트막(154)을 노광 및 현상하여, 포토레지스트막(154)으로부터 포토레지스트 패턴(154P)을 형성한다. 스크라이브 레인 영역(SLR)에서는 포토레지스트막(154)의 노광 및 현상 공정이 이루어지지 않을 수 있다. 포토레지스트막(154)을 노광하는 데 있어서, 광원으로서 EUV(13.5 nm), KrF 엑시머 레이저(248 nm), ArF 엑시머 레이저, 또는 F₂ 엑시머 레이저(157 nm)를 이용할 수 있다. 칩 영역(CR)에서, 포토레지스트 패턴(150P)은 칩 영역(CR)에 형성될 복수의 아일랜드 패턴(PA)(도 2a 참조)의 평면 형상과 동일한 평면 형상을 가질 수 있다. 포토레지스트 패턴(150P)은 서로 이격되고 규칙적인 배열을 이루는 복수의 아일랜드 패턴으로 이루어질 수 있다.
- [0042] 도 3g를 참조하면, 도 3f의 결과물에서 포토레지스트 패턴(154P)의 형상을 피쳐층(130)에 전사하여 피쳐 패턴(130P)을 형성한다.
- [0043] 보다 상세히 설명하면, 도 3f의 결과물에서 포토레지스트 패턴(154P)을 식각 마스크로 이용하여, 칩 영역(CR)에서 레지스트 하부막(152), 보호막(146), 및 하드마스크 구조물(140)을 차례로 이방성 식각할 수 있다. 그 결과, 하드마스크 구조물(140)의 식각에 의해 칩 영역(CR)에 하드마스크 구조물 패턴(140P)이 얻어질 수 있다. 칩 영역(CR)에 있는 하드마스크 구조물 패턴(140P)과 스크라이브 레인 영역(SLR)에 있는 하드마스크 구조물(140)을 식각 마스크로 이용하여 피쳐층(130)을 이방성 식각하여 칩 영역(CR)에 피쳐 패턴(130P)을 형성할 수 있다. 피쳐 패턴(130P)은 도 2a에 예시한 복수의 아일랜드 패턴(PA)을 구성할 수 있다.
- [0044] 피쳐 패턴(130P)을 형성하기 위한 식각 공정 중에 하드마스크 구조물(140) 위에 있던 포토레지스트 패턴(154P), 하부막(152), 및 보호막(146) 중 적어도 일부가 식각 분위기에 의해 소모될 수 있다. 도 3g에는 칩 영역(CR)에서 피쳐 패턴(130P) 상에 하드마스크 구조물 패턴(140P)을 구성하는 제1 하드마스크층(142) 및 제2 하드마스크층(144)이 남아 있는 경우를 예시하였으나, 상기 식각 분위기에 의해 제2 하드마스크층(144)도 소모될 수 있으며, 피쳐 패턴(130P) 상에는 제1 하드마스크층(142)의 일부만 남게 될 수도 있다.

- [0045] 예시적인 실시예들에서, 피쳐 패턴(130P)이 형성된 후 과도 식각에 의해 하부 구조물(120)의 일부가 식각되어 칩 영역(CR)에서 하부 구조물(120)의 상면 중 피쳐 패턴(130P)을 통해 노출되는 일부 영역에 리세스 영역(도시 생략)이 형성될 수 있다. 다른 예시적인 실시예들에서, 칩 영역(CR)에서 하부 구조물(120)의 상면에는 위에서 설명한 바와 같은 리세스 영역이 형성되지 않을 수도 있다.
- [0046] 도 3h를 참조하면, 피쳐 패턴(130P) 상에 남아 있는 불필요한 물질들을 제거하여 피쳐 패턴(130P)의 상면을 노출시킨다. 이를 위하여, 애싱 및 스트립 공정을 이용할 수 있다. 스크라이브 레인 영역(SLR)에서는 얼라인먼트 키(AK)를 구성하는 피쳐층(130)의 상면이 다시 노출될 수 있다.
- [0047] 도 4a 내지 도 4c는 본 발명의 기술적 사상에 의한 다른 실시예들에 따른 집적회로 소자의 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다. 도 4a 내지 도 4c를 참조하여, 도 2a 및 도 2b에 예시한 집적회로 소자(100)에 포함되는 복수의 아일랜드 패턴(PA) 및 얼라인먼트 키(AK)의 다른 형성 방법을 설명한다. 도 4a 및 도 4b에는 각각 도 2a의 (b)의 X1 - X1' 선 단면과 도 2b의 X2 - X2' 선 단면에 대응하는 영역의 공정 순서에 따른 단면 구성이 예시되어 있다.
- [0048] 도 4a를 참조하면, 도 3a 및 도 3f를 참조하여 설명한 바와 같은 방법으로 기판(110) 상에 포토레지스트 패턴(154P)을 형성하는 공정까지 수행한다. 그 후, 포토레지스트 패턴(154P)을 검사하여 포토레지스트 패턴(154P)의 정렬 상태 및 불량 여부를 확인한다. 포토레지스트 패턴(154P)의 검사 결과 포토레지스트 패턴(154P)이 불량으로 판단되면, 후속의 식각 공정에서 포토레지스트 패턴(154P)을 식각 마스크로 사용하기 어려우며, 포토레지스트 패턴(154P)을 제거하고 새로운 포토레지스트 패턴을 형성하기 위한 재작업(rework) 공정을 수행할 필요가 있다. 예를 들면, 포토레지스트 패턴(154P)의 검사 결과, 포토레지스트 패턴(154P)이 구불구불하게 휘어진 형상을 가지는 위글링(wiggling) 현상, 포토레지스트 패턴(154P)의 표면이 거칠게 되는 스트리레이션(striation) 현상, 포토레지스트 패턴(154P)의 쓰러짐 현상, 또는 포토레지스트 패턴(154P)의 정렬 상태가 허용 오차 한계를 벗어나는 현상이 발생된 경우 포토레지스트 패턴(154P)이 불량이라고 판단할 수 있다.
- [0049] 상기 재작업을 위하여, 칩 영역(CR)에 있는 포토레지스트 패턴(154P)과 스크라이브 레인 영역(SLR)에 있는 포토레지스트막(154)을 재작업 분위기(160)에 노출시킬 수 있다.
- [0050] 예시적인 실시예들에서, 재작업 분위기(160)는 산소 함유 분위기를 포함할 수 있다. 예를 들면, 칩 영역(CR)에 있는 포토레지스트 패턴(154P)과 스크라이브 레인 영역(SLR)에 있는 포토레지스트막(154)을 산소 함유 분위기 하에서 플라즈마 애싱(ashing) 공정으로 제거할 수 있다. 다른 예에서 포토레지스트 패턴(154P) 및 포토레지스트막(154)을 제거하기 위하여 산소 함유 분위기 하에서 자외선을 조사하여 오존(O₃) 및/또는 산소 라디칼(oxygen radical)을 발생시키고 이들을 이용하여 포토레지스트 패턴(154P) 및 포토레지스트막(154)을 CO₂와 H₂O로 분해시킬 수 있다. 레지스트 하부막(152)이 폴리머 또는 유기 화합물로 이루어진 경우, 칩 영역(CR)에 있는 포토레지스트 패턴(154P) 및 스크라이브 레인 영역(SLR)에 있는 포토레지스트막(154)의 제거시 레지스트 하부막(152)도 함께 제거될 수 있다.
- [0051] 다른 예시적인 실시예들에서, 재작업 분위기(160)는 씨너(thinner) 조성물을 포함하는 습식 분위기일 수 있다. 상기 씨너 조성물은 에틸 락테이트(ethyl lactate), 에틸-3-에톡시 프로피오네이트(ethyl-3-ethoxy propionate), 감마부티로 락톤(gamma-butyro lactone), 아세톤, 에스테르 화합물, 프로필렌글리콜 알킬 에테르 아세테이트, 시클로케톤, 및 메틸 2-히드록시 이소부티레이트 중에서 선택되는 적어도 하나의 화합물을 포함할 수 있으나, 상기 씨너 조성물에 포함될 수 있는 화합물의 종류가 상기 예시한 바에 한정되는 것은 아니다.
- [0052] 도 4b를 참조하면, 도 4a를 참조하여 설명한 바와 같은 방법으로 칩 영역(CR)에 있는 포토레지스트 패턴(154P)과 스크라이브 레인 영역(SLR)에 있는 포토레지스트막(154)을 제거한 후, 칩 영역(CR) 및 스크라이브 레인 영역(SLR)에서 각각 보호막(146)이 노출될 수 있다.
- [0053] 도 4a를 참조하여 설명한 재작업을 수행하는 동안 보호막(146)은 하부의 하드마스크 구조물(140)을 재작업 분위기(160)로부터 보호하는 역할을 할 수 있다.
- [0054] 예를 들면, 보호막(146)이 생략된 경우, 도 4a를 참조하여 설명한 바와 같은 방법으로 포토레지스트 패턴(154P) 및 포토레지스트막(154)을 제거하는 동안 하드마스크 구조물(140)이 재작업 분위기(160)에 노출될 수 있다. 이 경우, 스크라이브 레인 영역(SLR)에서 제1 하드마스크층(142) 및 제2 하드마스크층(144)은 각각 피쳐층(130)의 단차부(130ST) 주변에서 열화된 스텝 커버리지로 인해 다른 부분보다 현저히 작은 두께를 가지는 취약 부분들을 포함하게 되고, 상기 취약 부분들을 통해 재작업 분위기(160)에 포함된 산소 원자 또는 씨너 조성물이 침투하여

단차부(130ST) 주변에서 피처층(130), 제1 하드마스크층(142), 및/또는 제2 하드마스크층(144)이 일부 제거되거나 손상될 수 있다. 이와 같은 결과가 발생하면, 스크라이브 레인 영역(SLR)에 있는 얼라인먼트 키(AK)가 정상적인 얼라인 키 역할을 수행할 수 없게 된다.

[0055] 본 발명의 기술적 사상에 의하면, 하드마스크 구조물(140)의 최상층인 제2 하드마스크층(144)이 보호막(146)으로 덮여 있고, 특히 피처층(130)의 단차부(130ST)의 주변에서 제2 하드마스크층(144)이 노출되지 않도록 보호막(146)이 제2 하드마스크층(144)을 덮고 있으므로, 도 4a를 참조하여 설명한 바와 같은 방법으로 포토레지스트 패턴(154P) 및 포토레지스트막(154)을 제거하는 동안 스크라이브 레인 영역(SLR)에서 피처층(130) 및 하드마스크 구조물(140)이 손상되거나 변형될 염려가 없다. 따라서, 후속 공정에서 보호막(146) 위에 새로운 포토레지스트 패턴을 형성하기 위한 포토리소그래피 공정을 수행할 때 스크라이브 레인 영역(SLR)에 있는 얼라인먼트 키(AK)를 이용하여 정밀한 제어를 원활하게 수행할 수 있다.

[0056] 도 4c를 참조하면, 도 4b의 결과물의 칩 영역(CR) 및 스크라이브 레인 영역(SLR)에서 도 3e를 참조하여 설명한 바와 유사한 방법으로 보호막(146)을 덮는 레지스트 하부막(172) 및 포토레지스트막(174)을 차례로 형성한 후, 도 3f를 참조하여 설명한 바와 유사한 방법으로 스크라이브 레인 영역(SLR)에 있는 얼라인먼트 키(AK)를 이용하여 칩 영역(CR)에서 포토레지스트막(174)을 노광 및 현상하여, 포토레지스트막(174)으로부터 포토레지스트 패턴(174P)을 형성한다.

[0057] 예시적인 실시예들에서, 포토레지스트 패턴(174P)이 형성된 후, 도 4a 내지 도 4c를 참조하여 설명한 바와 유사한 방법으로 포토레지스트 패턴(174P)의 검사 공정, 제작업 공정, 및 새로운 포토레지스트 패턴 형성 공정을 적어도 1 회 더 수행할 수 있다. 그 후, 도 3g 및 도 3h를 참조하여 설명한 공정들을 수행하여, 칩 영역(CR)에는 하부 구조물(120) 상에 피쳐 패턴(130P)을 형성하고, 스크라이브 레인 영역(SLR)에서는 얼라인먼트 키(AK)를 구성하는 피처층(130)의 상면을 다시 노출시킬 수 있다.

[0058] 도 4a 내지 도 4c를 참조하여 설명한 본 발명의 기술적 사상에 의한 실시예들에 따른 집적회로 소자의 제조 방법에 의하면, 칩 영역(CR)에서 피처층(130)을 패턴닝하기 위하여 포토리소그래피 공정을 수행할 때 하드마스크 구조물(140) 상에 하드마스크 구조물(140)을 보호하기 위한 보호막(146)을 형성하고, 보호막(146) 위에 포토레지스트막(154)을 형성하기 위한 포토리소그래피 공정을 수행한다. 따라서, 포토레지스트막(154)을 형성한 후 이를 다시 제거하고 새로운 포토레지스트막(174)을 형성하기 위한 제작업을 수행할 때, 스크라이브 레인 영역(SLR)에 있는 피처층(130)의 단차부(130ST)의 주변에서 하드마스크 구조물(140)의 열화된 스텝 커버리지로 인해 하드마스크 구조물(140)의 일부 영역이 재작업 분위기(160)에 취약한 부분을 포함하는 경우에도, 하드마스크 구조물(140)이 보호막(146)으로 덮여 있으므로 재작업을 수행하는 동안 스크라이브 레인 영역(SLR)에서 피처층(130) 및/또는 하드마스크 구조물(140)이 손상되거나 변형될 염려가 없다. 따라서, 후속 공정에서 보호막(146) 위에 새로운 포토레지스트 패턴(174P)을 형성하기 위한 포토리소그래피 공정을 수행할 때 스크라이브 레인 영역(SLR)에 있는 얼라인먼트 키(AK)를 이용하는 정밀한 제어를 원활하게 수행할 수 있다.

[0059] 도 5는 본 발명의 기술적 사상에 의한 다른 실시예들에 따른 집적회로 소자(200)의 예시적인 구성을 설명하기 위한 블록도이다.

[0060] 도 5를 참조하면, 집적회로 소자(200)는 도 1에 예시한 집적회로 소자(100)의 복수의 칩 영역(CR) 중 일부를 구성할 수 있다. 집적회로 소자(200)의 칩 영역(CR)은 제1 영역(22) 및 제2 영역(24)을 포함할 수 있다. 제1 영역(22)은 DRAM 소자의 메모리 셀 영역이고, 제2 영역(24)은 DRAM 소자의 주변 회로 영역일 수 있다. 제1 영역(22)은 메모리 셀 어레이(22A)를 포함할 수 있다. 제2 영역(24)은 로우 디코더(52), 센스 앰프(54), 칼럼 디코더(56), 셀프 리프레시 제어 회로(58), 커맨드 디코더(60), MRS/EMRS(Mode Register Set/Extended Mode Register Set) 회로(62), 어드레스 버퍼(64), 및 데이터 입출력 회로(66)를 구비할 수 있다.

[0061] 도 6은 도 5에 예시한 집적회로 소자(200)의 예시적인 배치 구성을 설명하기 위한 평면도이다.

[0062] 도 6을 참조하면, 집적회로 소자(200)의 칩 영역(CR)은 스크라이브 레인 영역(SLR)으로 포위될 수 있다. 집적회로 소자(200)의 칩 영역(CR)은 복수의 제1 영역(22)을 포함하고, 복수의 제1 영역(22)은 각각 제2 영역(24)으로 포위될 수 있다. 제1 영역(22)은 각각 DRAM 소자의 셀 어레이 영역(MCA)이고, 제2 영역(24)은 DRAM 소자의 주변 회로들이 형성되는 주변회로 영역 및 코어 영역일 수 있다.

[0063] 제1 영역(22)에서 셀 어레이 영역(MCA)은 도 5를 참조하여 설명한 메모리 셀 어레이(22A)를 포함할 수 있다. 제2 영역(24)은 서브 워드 라인 드라이버(sub-word line driver) 블록(SWD), 센스앰프 블록(S/A), 및 컨정션 블록(CJT)을 포함할 수 있다. 센스앰프 블록(S/A)에는 복수의 비트 라인 센스 앰프가 배치될 수 있다. 컨정션 블

록(CJT)은 서브 워드 라인 드라이버 블록(SWD)과 센스앰프 블록(S/A)이 교차하는 지점에 배치될 수 있다. 컨정션 블록(CJT)에는 비트 라인 센스앰프를 구동하기 위한 전원 드라이버들 및 접지 드라이버들이 교대로 배치될 수 있다. 제2 영역(24)에는 인버터 체인(inverter chain), 입출력 회로 등과 같은 주변 회로가 더 형성될 수 있다.

[0064] 도 7은 도 6에 예시한 셀 어레이 영역(MCA)의 주요 구성들을 설명하기 위한 개략적인 평면 레이아웃이다.

[0065] 도 7을 참조하면, 셀 어레이 영역(MCA)은 복수의 활성 영역(AC)을 포함할 수 있다. 복수의 활성 영역(AC)은 각각 X 방향 및 Y 방향에 대하여 사선 방향으로 장축을 가지도록 배치될 수 있다. 복수의 워드 라인(WL)이 복수의 활성 영역(AC)을 가로질러 X 방향을 따라 상호 평행하게 연장될 수 있다. 복수의 워드 라인(WL) 위에는 복수의 비트 라인(BL)이 Y 방향을 따라 상호 평행하게 연장될 수 있다. 복수의 비트 라인(BL)은 다이렉트 콘택(DC)을 통해 복수의 활성 영역(AC)에 연결될 수 있다. 복수의 비트 라인(BL) 중 상호 인접한 2 개의 비트 라인(BL) 사이에 복수의 베리드 콘택(BC)이 형성될 수 있다. 복수의 베리드 콘택(BC)은 X 방향 및 Y 방향을 따라 일렬로 배열될 수 있다. 복수의 베리드 콘택(BC) 위에는 복수의 도전성 랜딩 패드(LP)가 형성될 수 있다. 복수의 베리드 콘택(BC) 및 복수의 도전성 랜딩 패드(LP)는 복수의 비트 라인(BL)의 상부에 형성되는 커패시터의 하부 전극(도시 생략)을 활성 영역(AC)에 연결시키는 역할을 할 수 있다. 복수의 도전성 랜딩 패드(LP)는 각각 베리드 콘택(BC)과 일부 오버랩되도록 배치될 수 있다.

[0066] 도 8a 및 도 8b는 도 5 내지 도 7에 예시한 집적회로 소자(200)에 포함되는 셀 어레이 영역(MCA)의 일부 영역의 단면 구성을 예시한 단면도들이다. 도 8a에는 도 7의 A - A' 선 단면을 따르는 일부 영역의 단면 구성이 예시되어 있고, 도 8b에는 도 7의 B - B' 선 단면을 따르는 일부 영역의 단면 구성이 예시되어 있다.

[0067] 도 8a 및 도 8b를 참조하면, 집적회로 소자(200)의 셀 어레이 영역(MCA)에서는 기관(210)에 소자 분리용 트렌치(T1)가 형성되어 있고, 소자 분리용 트렌치(T1) 내에는 소자분리막(212)이 형성되어 있다. 셀 어레이 영역(MCA)에서 소자분리막(212)에 의해 기관(210)에 복수의 활성 영역(AC)이 정의될 수 있다.

[0068] 기관(210)은 실리콘, 예를 들면 단결정 실리콘, 다결정 실리콘, 또는 비정질 실리콘을 포함할 수 있다. 다른 일부 실시예들에서, 기관(210)은 Ge, SiGe, SiC, GaAs, InAs, 및 InP 중에서 선택되는 적어도 하나를 포함할 수 있다. 일부 실시예들에서, 기관(210)은 도전 영역, 예를 들면 불순물이 도핑된 웰(well), 또는 불순물이 도핑된 구조물을 포함할 수 있다. 소자분리막(212)은 산화막, 질화막, 또는 이들의 조합으로 이루어질 수 있다.

[0069] 셀 어레이 영역(MCA)에서, 기관(210)에는 제1 수평 방향(X 방향)으로 연장되는 복수의 워드 라인 트렌치(T2)가 형성되어 있고, 복수의 워드 라인 트렌치(T2) 내에는 복수의 게이트 유전막(216), 복수의 워드 라인(218), 및 복수의 매몰 절연막(220)이 형성되어 있다. 복수의 워드 라인(218)은 도 7에 예시한 복수의 워드 라인(WL)에 대응할 수 있다. 매몰 절연막(220)의 상면에 복수의 리세스 공간(220R)이 형성될 수 있다. 복수의 게이트 유전막(216)은 실리콘 산화막, 실리콘 질화막, 실리콘 산화질화막, ONO(oxide/nitride/oxide) 막, 또는 실리콘 산화막보다 높은 유전 상수를 가지는 고유전막(high-k dielectric film)으로 이루어질 수 있다. 예를 들면, 복수의 게이트 유전막(216)은 HfO_2 , Al_2O_3 , HfAlO_3 , Ta_2O_5 , 또는 TiO_2 를 포함할 수 있다. 복수의 워드 라인(218)은 Ti, TiN, Ta, TaN, W, WN, TiSiN, WSiN, 또는 이들의 조합으로 이루어질 수 있다. 복수의 매몰 절연막(220)은 실리콘 산화막, 실리콘 질화막, 실리콘 산화질화막, 또는 이들의 조합으로 이루어질 수 있다.

[0070] 셀 어레이 영역(MCA)에서 기관(210) 상에 버퍼막(222)이 형성될 수 있다. 버퍼막(222)은 제1 절연막(222A) 및 제2 절연막(222B)을 포함할 수 있다. 제1 절연막(222A) 및 제2 절연막(222B)은 각각 산화막, 질화막, 또는 이들의 조합으로 이루어질 수 있다. 기관(210) 상의 복수의 다이렉트 콘택홀(DCH) 내에 복수의 다이렉트 콘택(DC)이 형성될 수 있다. 복수의 다이렉트 콘택(DC)은 복수의 활성 영역(AC)에 연결될 수 있다. 복수의 다이렉트 콘택(DC)은 Si, Ge, W, WN, Co, Ni, Al, Mo, Ru, Ti, TiN, Ta, TaN, Cu, 또는 이들의 조합으로 이루어질 수 있다.

[0071] 기관(210) 및 복수의 다이렉트 콘택(DC) 위에 복수의 비트 라인(BL)이 제2 수평 방향(Y 방향)을 따라 길게 연장될 수 있다. 복수의 비트 라인(BL)은 각각 다이렉트 콘택(DC)을 통해 활성 영역(AC)에 연결될 수 있다. 복수의 비트 라인(BL)은 각각 기관(210) 상에 차례로 적층된 하부 도전 패턴(230B), 중간 도전 패턴(232B), 및 상부 도전 패턴(234B)을 포함할 수 있다. 하부 도전 패턴(230B)은 도핑된 폴리실리콘으로 이루어질 수 있다. 중간 도전 패턴(232B) 및 상부 도전 패턴(234B)은 각각 TiN, TiSiN, W, 텅스텐 실리사이드, 또는 이들의 조합으로 이루어질 수 있다. 예시적인 실시예들에서, 중간 도전 패턴(232B)은 TiN, TiSiN, 또는 이들의 조합으로 이루어지고, 상부 도전 패턴(234B)은 W으로 이루어질 수 있다. 복수의 비트 라인(BL)은 각각 절연 캡핑 라인(CL)으로 덮일 수 있다. 상기 절연 캡핑 라인(CL)은 하부 절연 캡핑 패턴(236A), 절연 박막 패턴(244A), 및 상부 절연 캡핑 패

턴(250A)을 포함할 수 있다. 하부 절연 캡핑 패턴(236A), 절연 박막 패턴(244A), 및 상부 절연 캡핑 패턴(250A)은 각각 실리콘 질화막으로 이루어질 수 있다.

[0072] 복수의 비트 라인(BL) 및 상기 절연 캡핑 라인(CL)의 측벽들은 복수의 절연 스페이서(252)로 덮일 수 있다. 복수의 절연 스페이서(252)는 복수의 비트 라인(BL)과 평행하게 Y 방향으로 길게 연장될 수 있다. 복수의 절연 스페이서(252)는 산화막, 질화막, 에어 스페이서(air spacer), 또는 이들의 조합으로 이루어질 수 있다. 본 명세서에서 용어 "에어"는 대기 또는 제조 공정 중에 존재할 수 있는 다른 가스들을 포함하는 공간을 의미할 수 있다.

[0073] 복수의 비트 라인(BL) 각각의 사이에는 복수의 도전성 플러그(256) 및 복수의 절연 펜스(254)가 Y 방향을 따라 일렬로 배치될 수 있다. 복수의 도전성 플러그(256)는 기판(210)에 형성된 리세스 공간(RS)으로부터 수직 방향(Z 방향)을 따라 길게 연장될 수 있다. 복수의 절연 펜스(254)는 매몰 절연막(220)의 상면에 형성된 복수의 리세스 공간(220R)을 채우고 복수의 도전성 플러그(256) 각각의 사이에 하나씩 배치될 수 있다. Y 방향에서 복수의 도전성 플러그(256) 각각의 양 측벽은 복수의 절연 펜스(254)로 덮일 수 있다. Y 방향을 따라 일렬로 배열된 복수의 도전성 플러그(256)는 복수의 절연 펜스(254)에 의해 상호 절연될 수 있다. 복수의 절연 펜스(254)는 실리콘 질화막으로 이루어질 수 있다. 복수의 도전성 플러그(256)는 도 7에 예시한 복수의 베리드 콘택(BC)을 구성할 수 있다.

[0074] 복수의 도전성 플러그(256) 위에는 복수의 금속 실리사이드막(258) 및 복수의 도전성 랜딩 패드(LP)가 형성될 수 있다. 금속 실리사이드막(258) 및 도전성 랜딩 패드(LP)는 도전성 플러그(256)와 수직으로 오버랩되도록 배치될 수 있다. 금속 실리사이드막(258)은 코발트 실리사이드, 니켈 실리사이드, 또는 망간 실리사이드로 이루어질 수 있다. 복수의 도전성 랜딩 패드(LP)는 각각 금속 실리사이드막(258)을 통해 도전성 플러그(256)에 연결될 수 있다. 복수의 도전성 랜딩 패드(LP)는 복수의 비트 라인(BL)의 일부와 수직으로 오버랩되도록 상부 절연 캡핑 패턴(250A)의 상면의 적어도 일부를 덮을 수 있다. 복수의 도전성 랜딩 패드(LP)는 각각 도전성 배리어막(262) 및 메인 도전층(264)을 포함할 수 있다. 도전성 배리어막(262)은 Ti, TiN, 또는 이들의 조합으로 이루어질 수 있다. 메인 도전층(264)은 금속, 금속 질화물, 도전성 폴리실리콘, 또는 이들의 조합으로 이루어질 수 있다. 예를 들면, 메인 도전층(264)은 W를 포함할 수 있다. 복수의 도전성 랜딩 패드(LP)는 평면에서 볼 때 복수의 아일랜드형 패턴 형상을 가질 수 있다. 복수의 도전성 랜딩 패드(LP)는 복수의 도전성 랜딩 패드(LP) 주변의 절연 공간(270S)을 채우는 절연막(270)에 의해 상호 전기적으로 절연될 수 있다. 절연막(270)은 실리콘 질화막, 실리콘 산화막, 또는 이들의 조합으로 이루어질 수 있다.

[0075] 도 9a 내지 도 9e는 본 발명의 기술적 사상에 의한 실시예들에 따른 집적회로 소자의 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다. 도 9a 내지 도 9e에는 각각 칩 영역(CR)에 포함된 셀 어레이 영역(MCA)의 일부 구성들과, 스크라이브 레인 영역(SLR)의 일부 구성들이 공정 순서에 따라 예시되어 있다.

[0076] 도 9a를 참조하면, 셀 어레이 영역(MCA)에는 기판(210) 상에 복수의 비트 라인(BL)과, 복수의 비트 라인(BL) 각각의 사이에 개재된 복수의 도전성 플러그(256)와, 복수의 도전성 플러그(256)의 상면을 덮는 복수의 금속 실리사이드막(258)을 포함하는 제1 하부 구조물(BS1)을 형성하고, 스크라이브 레인 영역(SLR)에는 기판(210) 상에 트렌치(227)가 형성된 제2 하부 구조물(BS2)을 형성한다. 제2 하부 구조물(BS2)은 절연막으로 이루어질 수 있다.

[0077] 그 후, 셀 어레이 영역(MCA)의 제1 하부 구조물(BS1)과 스크라이브 레인 영역(SLR)의 제2 하부 구조물(BS2)을 덮는 도전층(260)을 형성한다.

[0078] 도 10a 내지 도 10j는 셀 어레이 영역(MCA)에서 도 9a에 예시한 제1 하부 구조물(BS1)과, 제1 하부 구조물(BS1)을 덮는 도전층(260)을 형성하는 공정들을 보다 상세히 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.

[0079] 도 10a를 참조하면, 셀 어레이 영역(MCA)에서 기판(210)에 복수의 소자 분리용 트렌치(T1)와 복수의 소자분리막(212)을 형성하여, 기판(210)에 복수의 활성 영역(AC)을 정의한다. 그 후, 기판(210)에 도 8b에 예시한 바와 같은 워드 라인 트렌치(T2)를 복수 개 형성할 수 있다. 복수의 워드 라인 트렌치(T2)가 형성된 결과물을 세정한 후, 복수의 워드 라인 트렌치(T2) 내에 복수의 게이트 유전막(216), 복수의 워드 라인(218), 및 복수의 매몰 절연막(220)을 차례로 형성할 수 있다. 복수의 활성 영역(AC)에서 복수의 워드 라인(218) 각각의 양측 부분들에 불순물 이온을 주입하여 복수의 활성 영역(AC)의 상부에 복수의 소스/드레인 영역을 형성할 수 있다. 예시적인 실시예들에서, 복수의 소스/드레인 영역은 복수의 워드 라인(218)을 형성하기 전에 형성될 수도 있다. 그 후,

기관(210) 상에 버퍼막(222)을 형성한다.

- [0080] 도 10b를 참조하면, 셀 어레이 영역(MCA)에서 버퍼막(222) 위에 하부 도전층(230)을 형성한다.
- [0081] 도 10c를 참조하면, 하부 도전층(230) 위에 마스크 패턴(M21)을 형성한 후, 셀 어레이 영역(MCA)에서 마스크 패턴(M21)의 개구(M210)를 통해 노출되는 하부 도전층(230)을 식각하고 그 결과 노출되는 기관(210)의 일부 및 소자분리막(212)의 일부를 식각하여 기관(210)의 활성 영역(AC)을 노출시키는 다이렉트 콘택홀(DCH)을 형성한다. 마스크 패턴(M21)은 산화막, 질화막, 또는 이들의 조합으로 이루어질 수 있다.
- [0082] 도 10d를 참조하면, 도 10c의 결과물에서 마스크 패턴(M21)을 제거하고, 다이렉트 콘택홀(DCH) 내에 다이렉트 콘택(DC)을 형성한다. 다이렉트 콘택(DC)을 형성하기 위한 예시적인 공정에서, 다이렉트 콘택홀(DCH)의 내부 및 하부 도전층(230)의 상부에 다이렉트 콘택홀(DCH)을 채우기에 충분한 두께의 도전층을 형성하고, 상기 도전층이 다이렉트 콘택홀(DCH) 내에만 남도록 상기 도전층을 에치백 할 수 있다. 상기 도전층은 Si, Ge, W, WN, Co, Ni, Al, Mo, Ru, Ti, TiN, Ta, TaN, Cu, 또는 이들의 조합으로 이루어질 수 있다.
- [0083] 도 10e를 참조하면, 셀 어레이 영역(MCA)에서 하부 도전층(230) 및 다이렉트 콘택(DC)의 상부에 중간 도전층(232) 및 상부 도전층(234)을 형성하고, 상부 도전층(234) 위에 하부 절연 캡핑층(236), 절연 박막(244), 및 상부 절연 캡핑층(250)을 차례로 형성한다.
- [0084] 중간 도전층(232) 및 상부 도전층(234)은 각각 TiN, TiSiN, W, 텅스텐 실리사이드, 또는 이들의 조합으로 이루어질 수 있다. 하부 절연 캡핑층(236), 절연 박막(244), 및 상부 절연 캡핑층(250)은 실리콘 질화막으로 이루어질 수 있다.
- [0085] 도 10f를 참조하면, 도 10e의 결과물에서 포토리소그래피 공정을 이용하여 셀 어레이 영역(MCA)에서 상부 절연 캡핑층(250), 절연 박막(244), 및 하부 절연 캡핑층(236)을 패터닝하여, 상부 도전층(234) 위에 차례로 적층된 하부 절연 캡핑 패턴(236A), 절연 박막 패턴(244A), 및 상부 절연 캡핑 패턴(250A)을 포함하는 절연 캡핑 라인(CL)을 형성한다.
- [0086] 도 10g를 참조하면, 도 10f의 결과물에서 하부 절연 캡핑 패턴(236A), 절연 박막 패턴(244A), 및 상부 절연 캡핑 패턴(250A)을 식각 마스크로 이용하여 상부 도전층(234), 중간 도전층(232), 및 하부 도전층(230)을 식각하여, 하부 도전 패턴(230B), 중간 도전 패턴(232B), 및 상부 도전 패턴(234B)으로 이루어지는 복수의 비트 라인(BL)을 형성하고, 복수의 절연 스페이서(252)를 형성한다. 복수의 절연 스페이서(252)는 다이렉트 콘택(DC) 주변에서 다이렉트 콘택홀(DCH)을 채우도록 형성될 수 있다. 복수의 절연 스페이서(252)가 형성된 후, 복수의 비트 라인(BL) 각각의 사이에 라인 공간(LS)이 남을 수 있다. 복수의 비트 라인(BL) 및 복수의 절연 스페이서(252)를 형성하는 동안 수반되는 식각 공정들에 의해 상부 절연 캡핑 패턴(250A)의 높이가 낮아질 수 있다.
- [0087] 도 10h를 참조하면, 셀 어레이 영역(MCA)에서 복수의 비트 라인(BL) 각각의 사이에 복수의 절연 펜스(254)(도 8b 참조)를 형성하여 라인 공간(LS)을 복수의 콘택 공간(CS1)으로 분리한다. 복수의 절연 펜스(254)(도 8b 참조)는 각각 워드 라인(218)과 수직으로 오버랩될 수 있다. 복수의 절연 펜스(254)에 의해 하나의 라인 공간(LS)이 기둥 형상의 복수의 콘택 공간(CS1)으로 분리될 수 있다. 복수의 절연 펜스(254)를 형성하는 동안 수반되는 식각 분위기에 상부 절연 캡핑 패턴(250A) 및 절연 스페이서(252)가 노출되어 이들의 높이가 낮아질 수 있다. 그 후, 복수의 콘택 공간(CS1)을 통해 노출되는 구조물들의 일부를 제거하여, 복수의 비트 라인(BL) 각각의 사이에서 기관(210)의 활성 영역(AC)을 노출시키는 복수의 리세스 공간(RS)을 형성한다.
- [0088] 도 10i를 참조하면, 셀 어레이 영역(MCA)에서 복수의 비트 라인(BL) 각각의 사이에서 복수의 리세스 공간(RS)을 채우면서 복수의 비트 라인(BL) 각각의 사이의 콘택 공간(CS1)의 일부를 채우는 복수의 도전성 플러그(256)를 형성한다. 그 후, 복수의 콘택 공간(CS1)을 통해 노출되는 도전성 플러그(256) 위에 금속 실리사이드막(258)을 형성한다.
- [0089] 도 10j를 참조하면, 도 10i의 결과물 상에 노출된 표면을 덮는 도전층(260)을 형성한다.
- [0090] 다시 도 9a를 참조하면, 셀 어레이 영역(MCA) 및 스크라이브 레인 영역(SLR)에서 도전층(260)이 동시에 형성될 수 있다.
- [0091] 도전층(260)은 도전성 배리어막(262) 및 메인 도전층(264)을 포함할 수 있다. 도전성 배리어막(262)은 Ti, TiN, 또는 이들의 조합으로 이루어질 수 있다. 메인 도전층(264)은 금속, 금속 질화물, 도전성 폴리실리콘, 또는 이들의 조합으로 이루어질 수 있다. 예를 들면, 메인 도전층(264)은 W 층을 포함할 수 있다.

- [0092] 스크라이브 레인 영역(SLR)에서 도전층(260)에는, 도 9a에서 점선 영역으로 표시한 바와 같이 단차부(260ST)가 존재할 수 있다. 제2 하부 구조물(BS2)의 트렌치(227)와, 그 위에 형성된 도전층(260)의 단차부(260ST)는 얼라인먼트 키(AK2)를 구성할 수 있다.
- [0093] 셀 어레이 영역(MCA)에서 도전층(260)은 비트 라인(BL)과 수직 방향(Z 방향)으로 오버랩되도록 절연 캡핑 라인(CL)을 덮는 도전막 상부(260H1)를 포함할 수 있다. 스크라이브 레인 영역(SLR)에서 얼라인먼트 키(AK2)를 구성하는 도전층(260)은 제2 하부 구조물(BS2)의 상면을 덮는 고레벨 부분(260H)과, 제2 하부 구조물(BS2)에 형성된 트렌치(227)의 바닥면을 덮는 저레벨 부분(260L)을 포함할 수 있다. 저레벨 부분(260L)은 셀 어레이 영역(MCA)에 있는 비트 라인(BL)의 상부 도전 패턴(234B)의 레벨과 대략 동일한 레벨에서 X-Y 평면을 따라 수평 방향으로 연장될 수 있다. 고레벨 부분(260H)은 비트 라인(BL)의 상부 도전 패턴(234B)의 레벨보다 더 높은 레벨에서 제2 하부 구조물(BS2)의 상면을 덮으며 상기 수평 방향으로 연장될 수 있다. 도전층(260)의 단차부(260ST)는 고레벨 부분(260H)과 저레벨 부분(260L)과의 사이에서 수직 방향(Z 방향)으로 연장되는 부분을 포함할 수 있다. 도전층(260) 중 스크라이브 레인 영역(SLR)에 있는 고레벨 부분(260H)과 셀 어레이 영역(MCA)에 있는 도전막 상부(260H1)는 대략 동일한 레벨에서 상기 수평 방향으로 연장될 수 있다. 여기서, 용어 "레벨"은 기판(210)의 상면으로부터의 수직 방향 높이를 의미한다. 비트 라인(BL)의 상부 도전 패턴(234B)과 도전층(260)은 각각 동일한 물질로 이루어지는 금속층, 예를 들면 W 층을 포함할 수 있다.
- [0094] 도전층(260)이 형성된 후, 도전층(260)은 스크라이브 레인 영역(SLR)에서 제2 하부 구조물(BS2)에 형성된 트렌치(227) 공간의 일부만 채울 수 있다. 따라서, 도전층(260)이 형성된 후, 도전층(260) 상에 남아 있는 트렌치(227) 공간에서 단차부(260ST)가 노출될 수 있다.
- [0095] 도 9b를 참조하면, 도 3b 내지 도 3e를 참조하여 설명한 바와 유사한 방법으로 셀 어레이 영역(MCA) 및 스크라이브 레인 영역(SLR)에서 도전층(260) 위에 제1 하드마스크층(142), 제2 하드마스크층(144), 보호막(146), 레지스트 하부막(152), 및 포토레지스트막(154)을 차례로 형성한다.
- [0096] 제1 하드마스크층(142)은 셀 어레이 영역(MCA)에서는 위치에 따른 두께 편차가 거의 없이 실질적으로 일정한 두께를 가지고, 스크라이브 레인 영역(SLR)에서는 위치에 따라 그 두께가 일정하지 않을 수 있다. 특히, 도전층(260)의 단차부(260ST) 및 그 주변 위에서는 제1 하드마스크층(142)의 스텝 커버리지가 열화되어, 단차부(260ST) 주변에서 제1 하드마스크층(142)의 일부가 다른 부분에 비해 현저히 작은 두께를 가질 수 있다.
- [0097] 제2 하드마스크층(144)은 셀 어레이 영역(MCA)에서는 위치에 따른 두께 편차가 거의 없이 실질적으로 일정한 두께를 가지고, 스크라이브 레인 영역(SLR)에서는 위치에 따라 그 두께가 일정하지 않을 수 있다. 특히, 도전층(260)의 단차부(260ST) 및 그 주변 위에서 제1 하드마스크층(142)을 덮는 제2 하드마스크층(144)의 일부는 스텝 커버리지가 열화되어 단차부(260ST) 주변에서 제2 하드마스크층(144)의 일부가 다른 부분에 비해 현저히 작은 두께를 가질 수 있다.
- [0098] 보호막(146)은 셀 어레이 영역(MCA) 및 스크라이브 레인 영역(SLR)에서 각각 실질적으로 균일한 두께를 가질 수 있다. 보호막(146) 중 도전층(260)의 단차부(260ST)의 주변에서 제2 하드마스크층(144)을 덮는 부분은 보호막(146)의 다른 부분들보다 더 작은 두께를 가지지 않는다. 보호막(146)은 셀 어레이 영역(MCA) 및 스크라이브 레인 영역(SLR)에서 하드마스크 구조물(140)이 외부로 노출되지 않도록 하드마스크 구조물(140)을 덮으며, 하드마스크 구조물(140)의 보호에 필요한 최소한의 두께를 유지할 수 있다. 레지스트 하부막(152) 및 포토레지스트막(154)에 대한 상세한 구성은 도 3e를 참조하여 설명한 바와 같다.
- [0099] 도 9c를 참조하면, 도 3f를 참조하여 설명한 바와 같은 방법으로, 셀 어레이 영역(MCA)에서 포토레지스트막(154)을 노광 및 현상하여, 포토레지스트막(154)으로부터 포토레지스트 패턴(154Q)을 형성한다. 스크라이브 레인 영역(SLR)에서는 포토레지스트막(154)의 노광 및 현상 공정이 이루어지지 않을 수 있다.
- [0100] 포토레지스트 패턴(154Q)의 평면 형상은 도 8a에 예시한 복수의 도전성 랜딩 패드(LP)의 평면 형상에 대응할 수 있다. 포토레지스트 패턴(154Q)은 서로 이격되고 규칙적인 배열을 이루는 복수의 아일랜드 패턴으로 이루어질 수 있다.
- [0101] 도 9d를 참조하면, 도 9c의 결과물에서 셀 어레이 영역(MCA)에 있는 포토레지스트 패턴(154Q)과 스크라이브 레인 영역(SLR)에 있는 포토레지스트막(154)을 식각 마스크로 이용하여, 도 3g를 참조하여 설명한 바와 같은 방법으로 하부막(152), 보호막(146), 및 하드마스크 구조물(140)을 차례로 이방성 식각하고, 셀 어레이 영역(MCA)에 있는 도전층(260)을 이방성 식각하여 셀 어레이 영역(MCA)에 복수의 도전성 랜딩 패드(LP)를 형성한다.

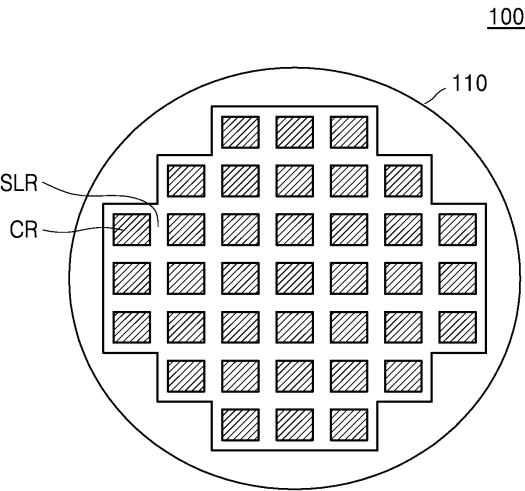
- [0102] 그 후, 도 3h를 참조하여 설명한 바와 유사한 방법으로, 복수의 도전성 랜딩 패드(LP) 상에 남아 있는 불필요한 물질들을 제거하여 복수의 도전성 랜딩 패드(LP)의 상면을 노출시킨다. 스크라이브 레인 영역(SLR)에서는 얼라인먼트 키(AK2)를 구성하는 도전층(260)의 상면이 다시 노출될 수 있다.
- [0103] 복수의 도전성 랜딩 패드(LP)는 도 7에 예시한 바와 같이 평면에서 볼 때 복수의 아일랜드형 패턴 형상을 가질 수 있다. 복수의 도전성 랜딩 패드(LP)는 금속 실리사이드막(258) 위에서 복수의 비트 라인(BL)의 일부와 수직으로 오버랩되도록 형성될 수 있다. 셀 어레이 영역(MCA)에서 복수의 도전성 랜딩 패드(LP)를 형성하기 위한 식각 공정이 수행되는 동안, 셀 어레이 영역(MCA)에서 복수의 도전성 랜딩 패드(LP) 각각의 주변에 복수의 절연 스페이서(252)를 노출시키는 절연 공간(270S)이 형성될 수 있다.
- [0104] 도 9e를 참조하면, 도 9d의 결과물에서 셀 어레이 영역(MCA)에 있는 절연 공간(270S)과, 스크라이브 레인 영역(SLR)에서 도전층(260) 위에 남아 있는 트렌치(227) 공간을 채우는 절연막(270)을 형성한다.
- [0105] 예시적인 실시예들에서, 셀 어레이 영역(MCA)에서 절연 공간(270S)을 절연막(270)으로 채우기 전에, 절연 공간(270S)을 통해 복수의 절연 스페이서(252)의 일부를 변형시켜 복수의 절연 스페이서(252) 내에 에어 스페이서(air spacer)를 형성할 수 있다. 절연막(270)을 형성한 후, 셀 어레이 영역(MCA)에서 복수의 도전성 랜딩 패드(LP) 위에 커패시터 하부 전극을 형성할 수 있다.
- [0106] 도 9a 내지 도 9e를 참조하여 설명한 집적회로 소자(200)의 예시적인 제조 방법에 의하면, 셀 어레이 영역(MCA)에 배치되고 패턴 밀도가 비교적 큰 복수의 도전성 랜딩 패드(LP)와, 스크라이브 레인 영역(SLR)에 배치되는 얼라인먼트 키(AK2)를 동시에 형성하기 위하여 포토리소그래피 공정을 수행할 때 하드마스크 구조물(140) 상에 하드마스크 구조물(140)을 보호하기 위한 보호막(146)을 형성하고, 보호막(146) 위에 포토레지스트막(154)을 형성하여 포토리소그래피 공정을 수행한다. 따라서, 포토레지스트막(154)을 형성한 후 이를 다시 제거하기 위한 재작업 공정시, 스크라이브 레인 영역(SLR)에 있는 도전층(260)의 단차부(260ST)의 주변에서 하드마스크 구조물(140)의 열화된 스텝 커버리지로 인해 하드마스크 구조물(140)의 일부 영역이 재작업 분위기에 취약한 부분을 포함하는 경우에도 하드마스크 구조물(140)이 보호막(146)에 의해 덮여 보호될 수 있으므로, 도 4a 내지 도 4c를 참조하여 설명한 바와 유사한 재작업을 수행하는 동안 스크라이브 레인 영역(SLR)에서 도전층(260) 및 하드마스크 구조물(140)이 손상되거나 변형될 염려가 없다. 따라서, 후속 공정에서 보호막(146) 위에 새로운 포토레지스트 패턴을 형성하기 위한 포토리소그래피 공정을 수행할 때 스크라이브 레인 영역(SLR)에 있는 얼라인먼트 키(AK2)를 이용하는 정밀한 제어를 원활하게 수행할 수 있다. 또한, 상기와 같은 재작업을 복수 회 수행하더라도 하드마스크 구조물(140)이 보호막(146)에 의해 보호되어 복수 회의 재작업을 수행하는 동안 도전층(260) 및 하드마스크 구조물(140)이 손상되거나 변형될 염려가 없다. 따라서, 셀 어레이 영역(MCA)에서 포토레지스트 패턴(154P)의 정렬 상태 및 불량 여부를 정밀하게 확인하고 보정하여 원하는 형상, 크기, 및 정렬 상태를 가지는 복수의 도전성 랜딩 패드(LP)를 형성할 수 있다.
- [0107] 또한, 셀 어레이 영역(MCA)에서는 패턴 밀도가 비교적 큰 복수의 도전성 랜딩 패드(LP)를 형성하는 데 있어서 양각 패터닝을 이용한다. 이를 위하여, 다중층 구조의 하드마스크 구조물(140)과 이를 보호하기 위한 보호막(146)을 포함하는 마스크 구조물을 이용하며, 단 1 회의 노광 공정만 이용하여 셀 어레이 영역(MCA)에서 패턴 밀도가 비교적 큰 복수의 도전성 랜딩 패드(LP)를 형성할 수 있다. 예를 들면, 복수의 랜딩 패드(LP)를 형성하기 위하여 더블 패터닝 공정을 이용하는 경우, 더블 패터닝 공정으로 인해 수반되는 문제들로 인해 복수의 도전성 랜딩 패드(LP) 각각의 평면 형상이 불균일해지는 등의 문제가 발생할 수 있다. 그러나, 본 발명의 기술적 사상에 의한 실시예들에 따르면, 더블 패터닝 공정을 이용하는 방법에서와 달리, 각각 균일한 평면 형상을 가지는 복수의 도전성 랜딩 패드(LP)가 얻어질 수 있다. 따라서, 복수의 도전성 랜딩 패드(LP)에서 원하지 않는 산포 열화가 발생하거나, 공정 불량이 발생될 염려가 없으며, 설계 자유도가 향상되고 공정 마진을 극대화할 수 있다.
- [0108] 이상, 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않고, 본 발명의 기술적 사상 및 범위 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러가지 변형 및 변경이 가능하다.

부호의 설명

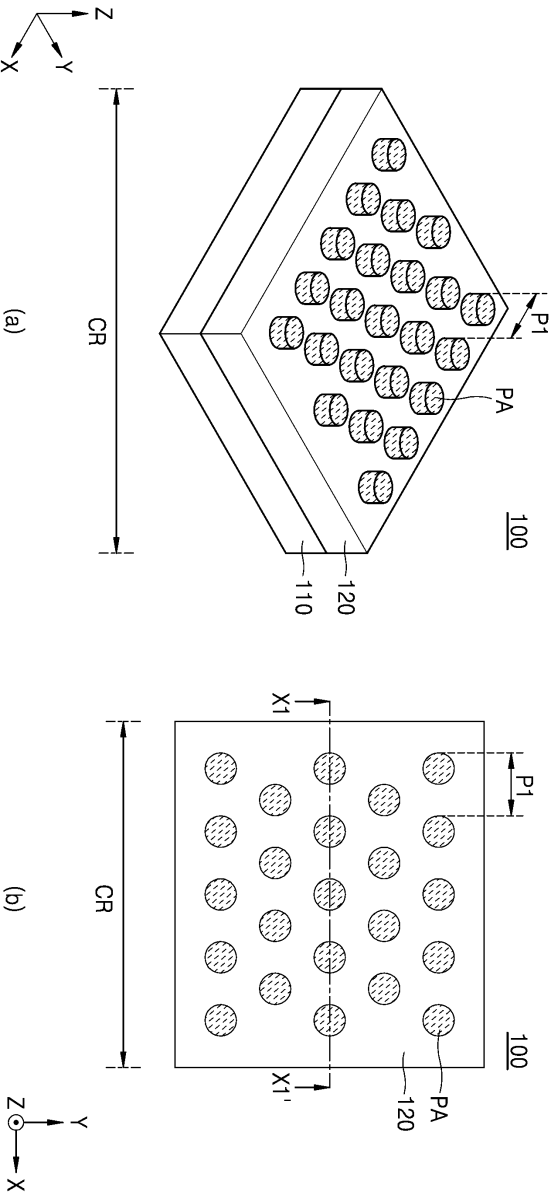
- [0109] 120: 하부 구조물, 140: 하드마스크 구조물, 142: 제1 하드마스크층, 144: 제2 하드마스크층, 146: 보호막, 152: 레지스트 하부막, 154: 포토레지스트막, 260: 도전층.

도면

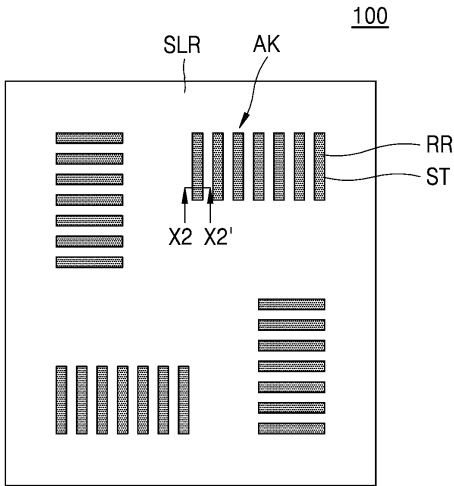
도면1



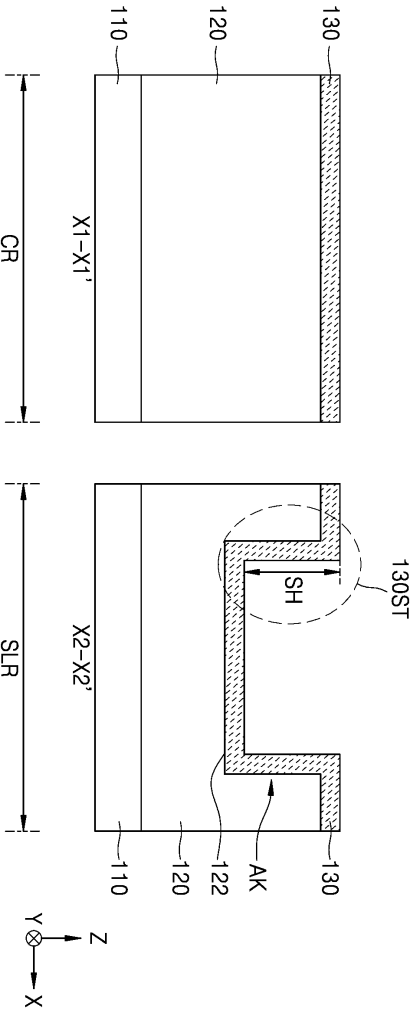
도면2a



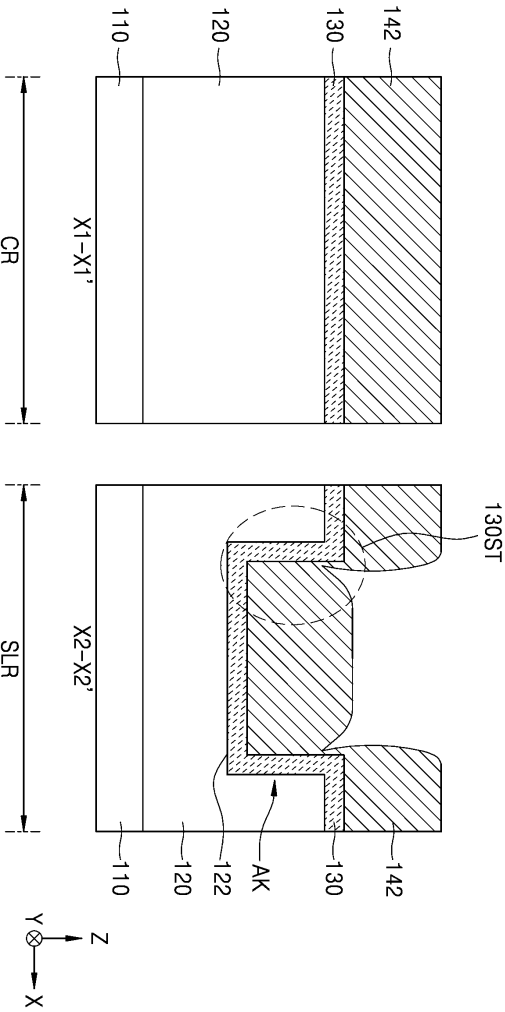
도면2b



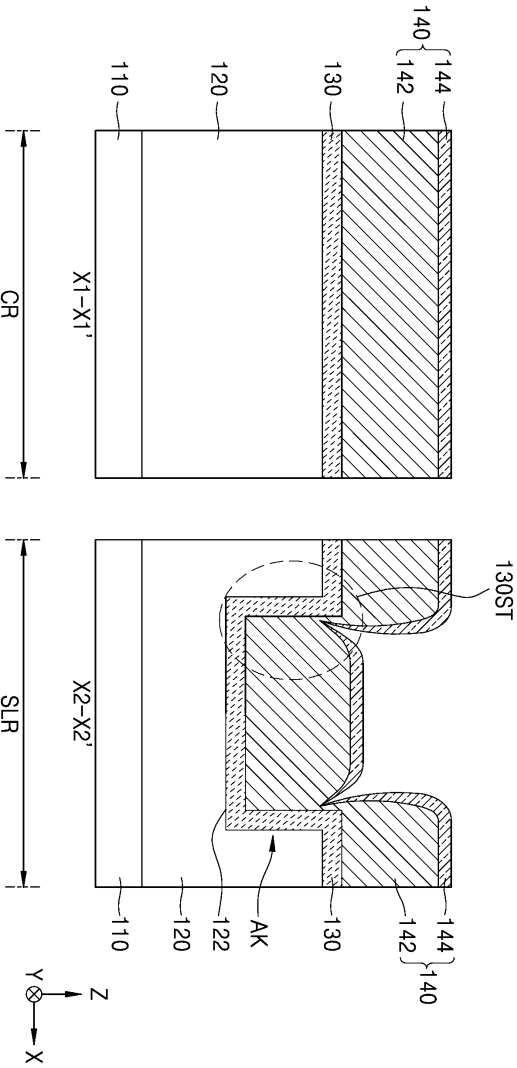
도면3a



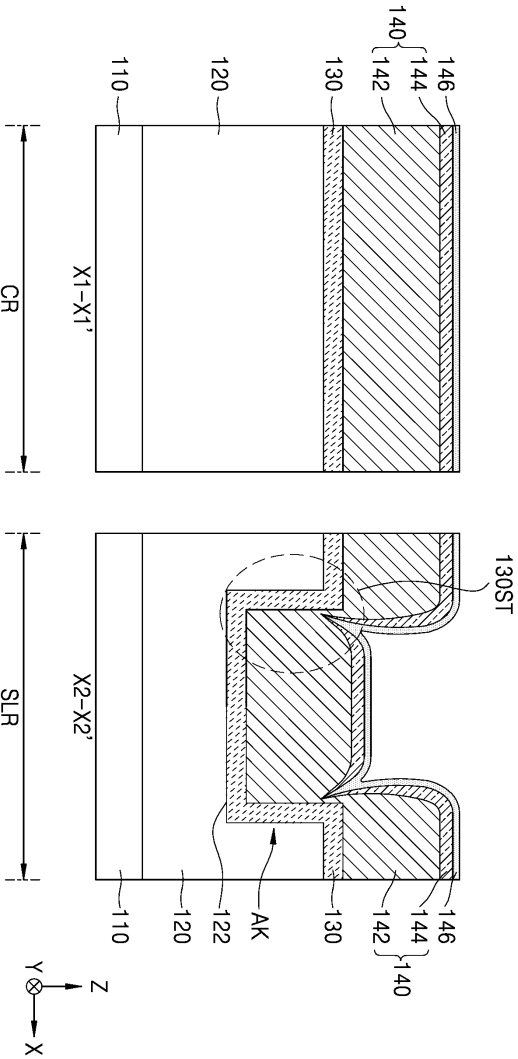
도면3b



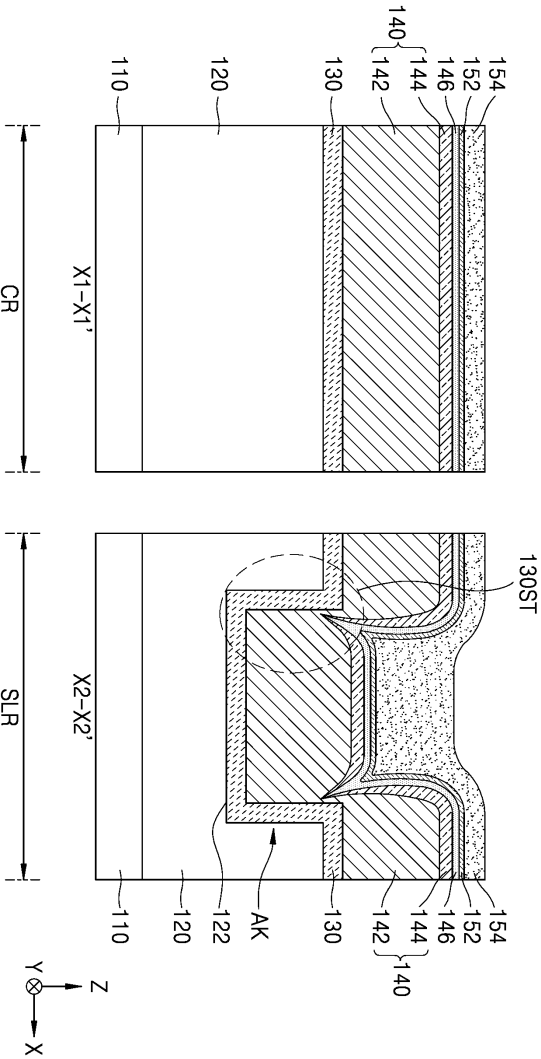
도면3c



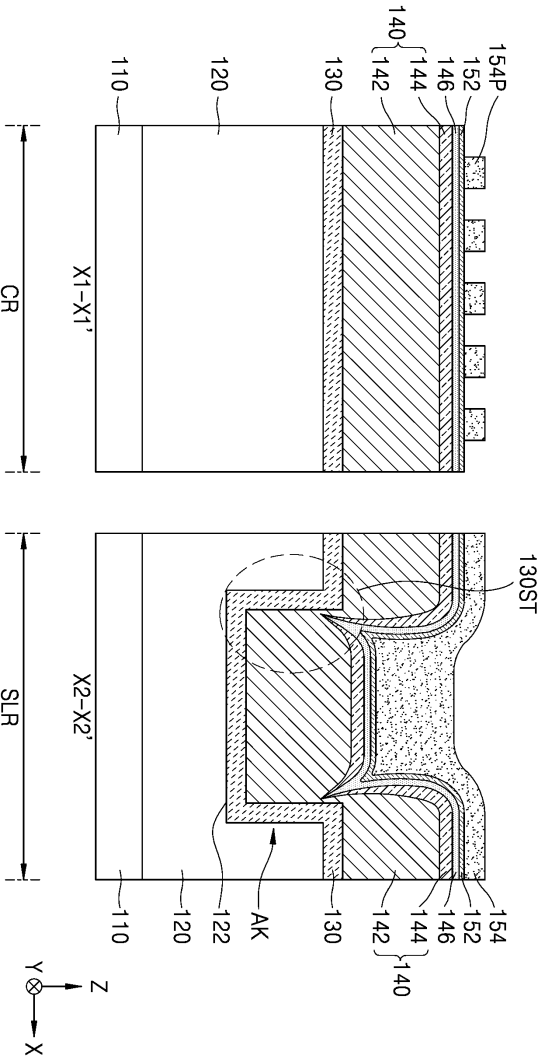
도면3d



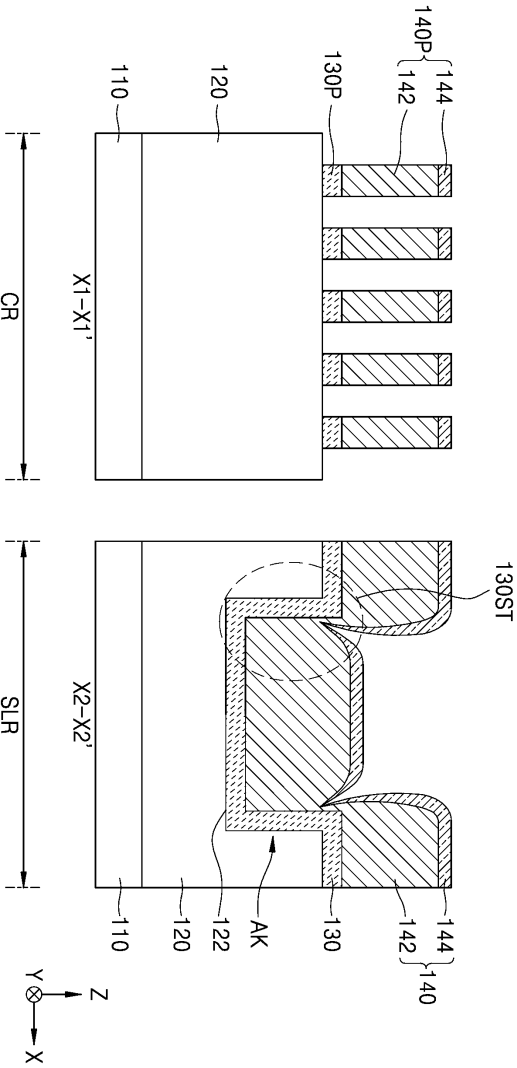
도면3e



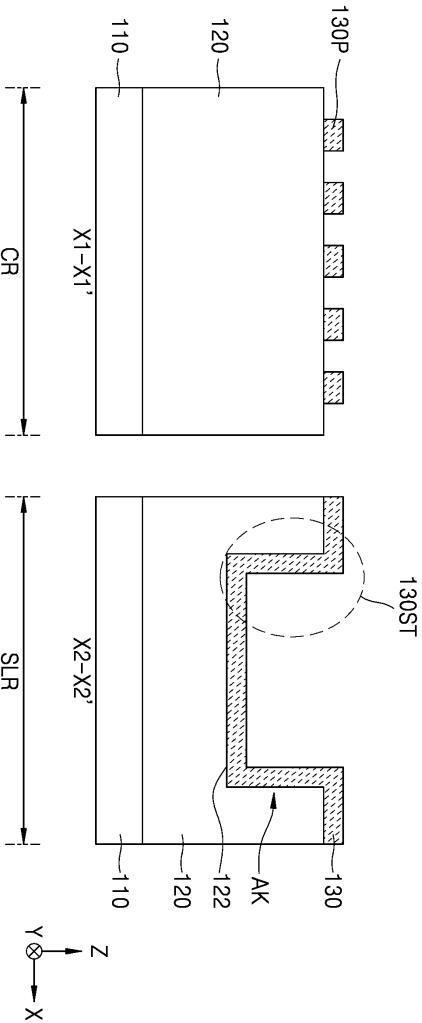
도면3f



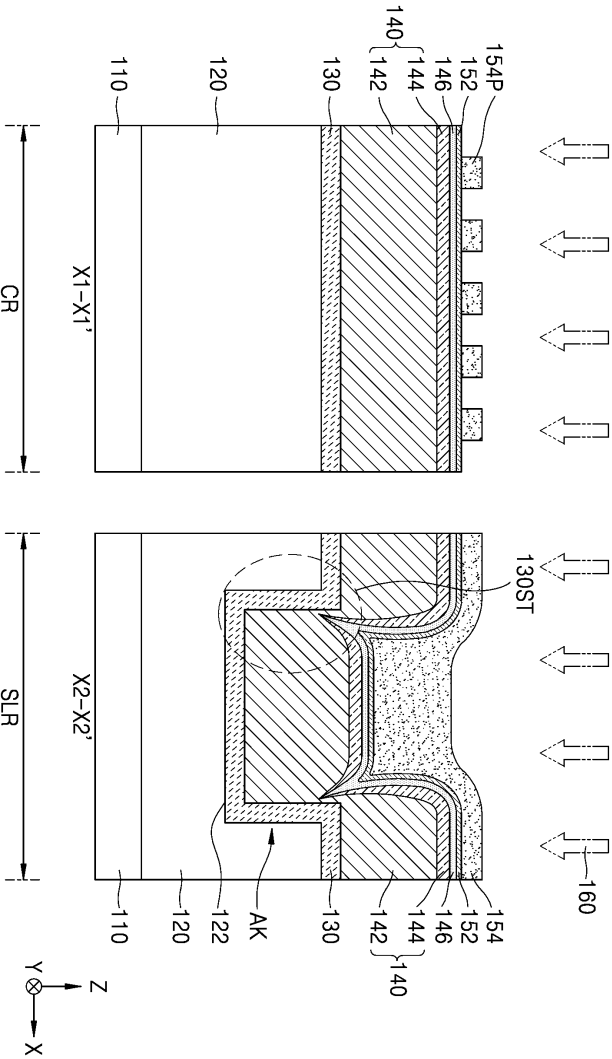
도면3g



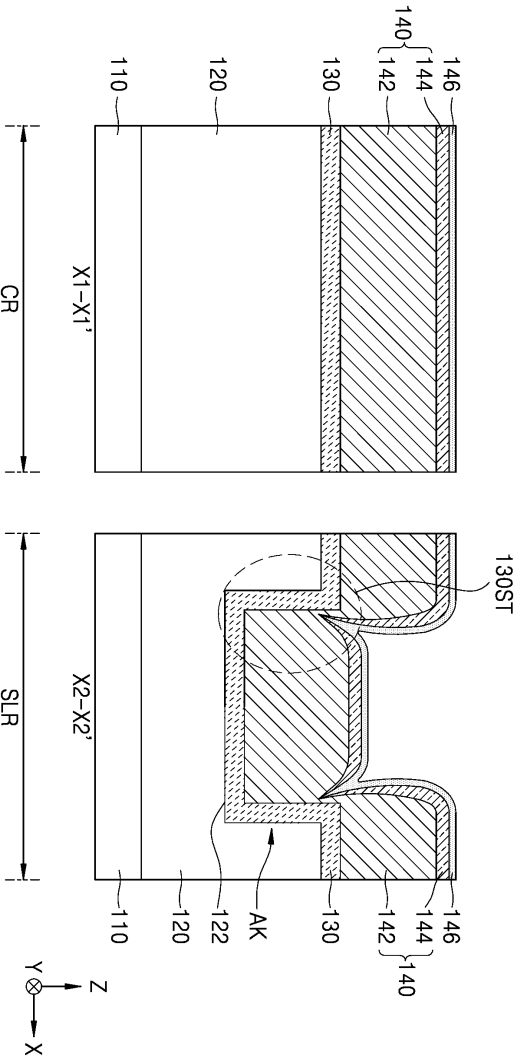
도면3h



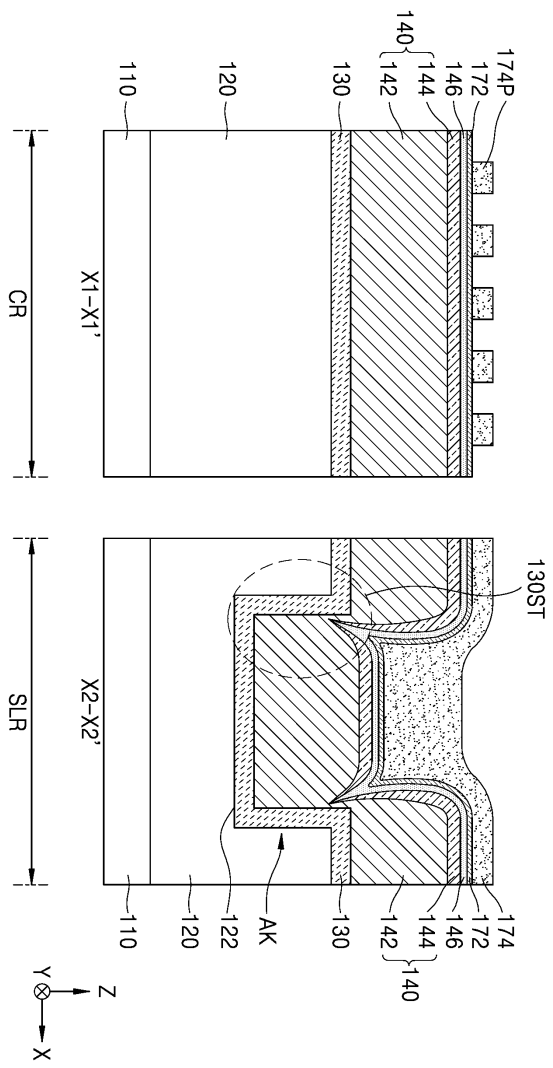
도면4a



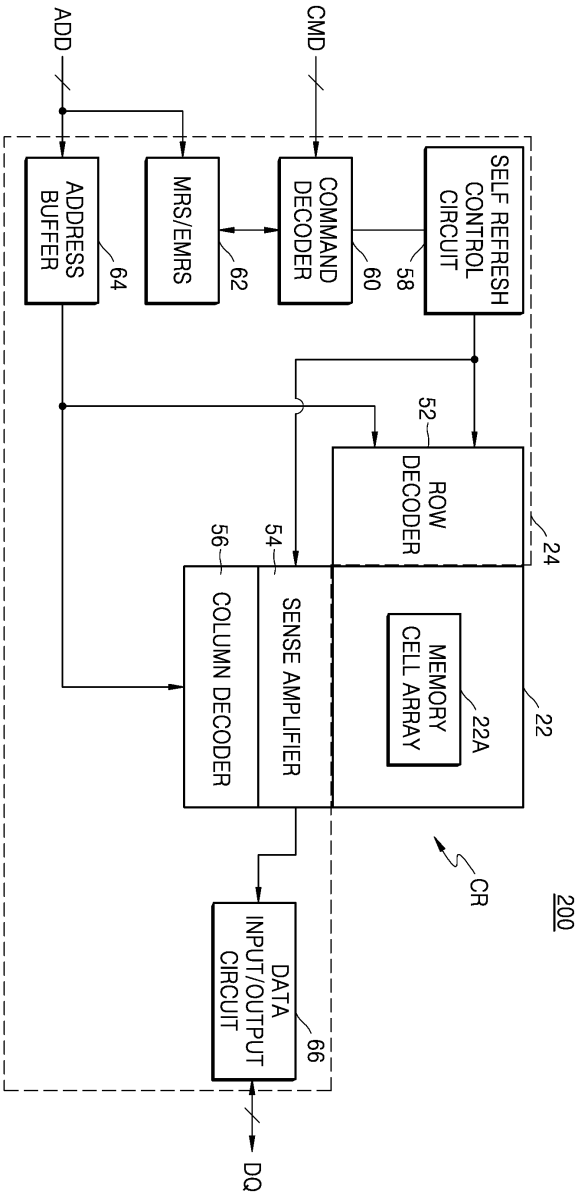
도면4b



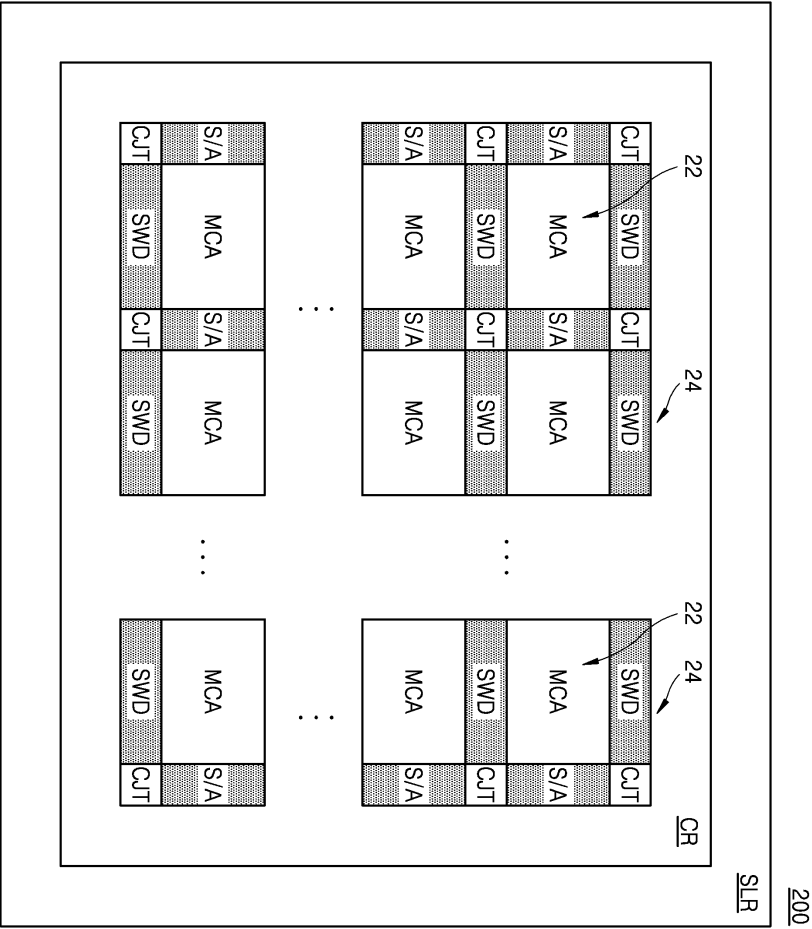
도면4c



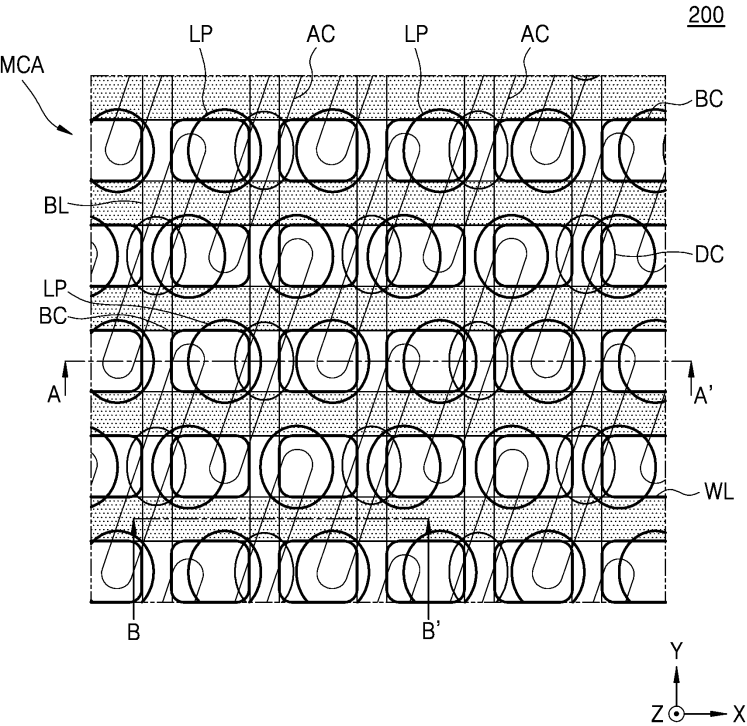
도면5



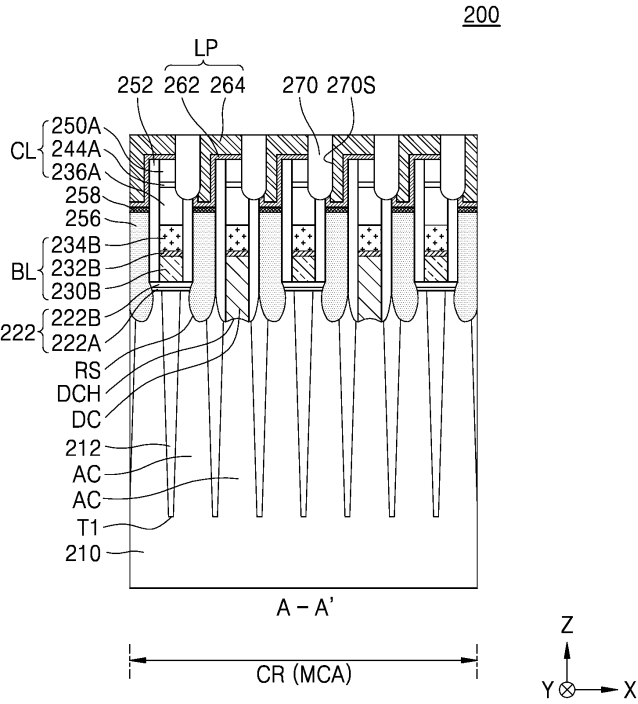
도면6



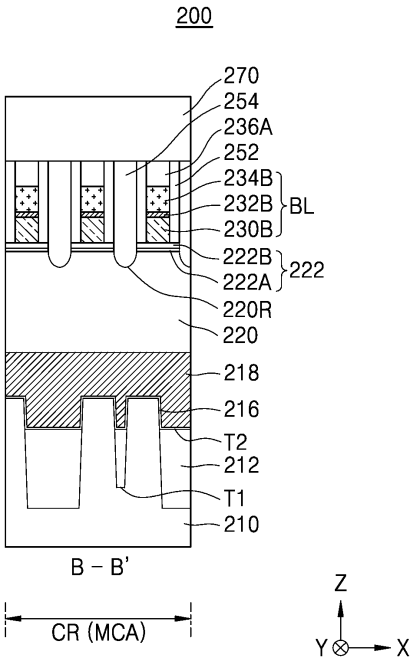
도면7



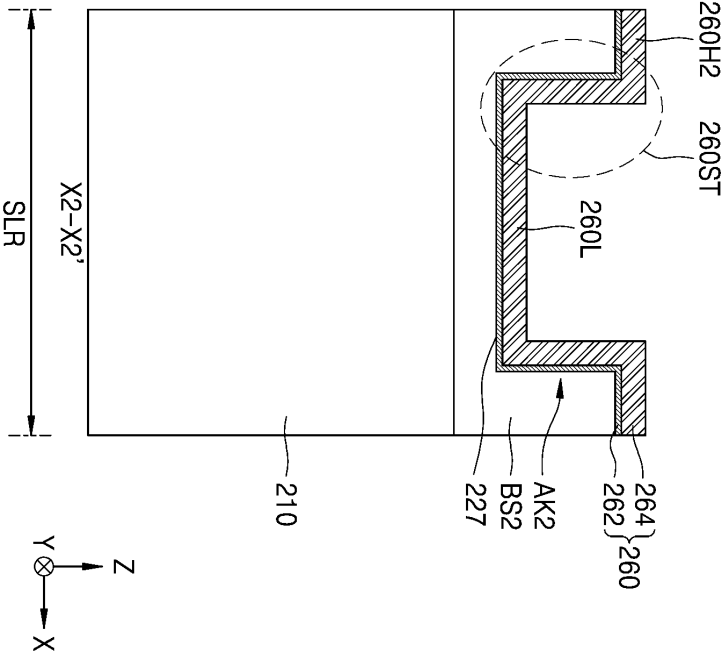
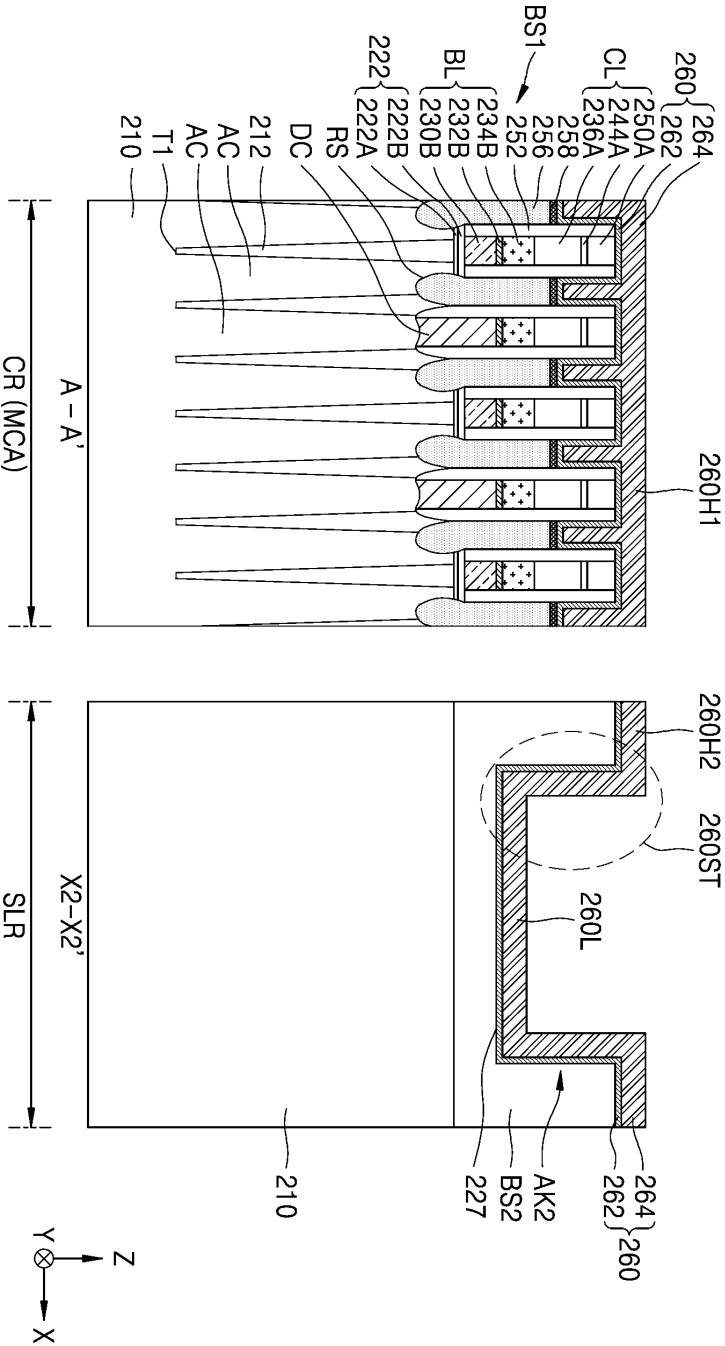
도면8a



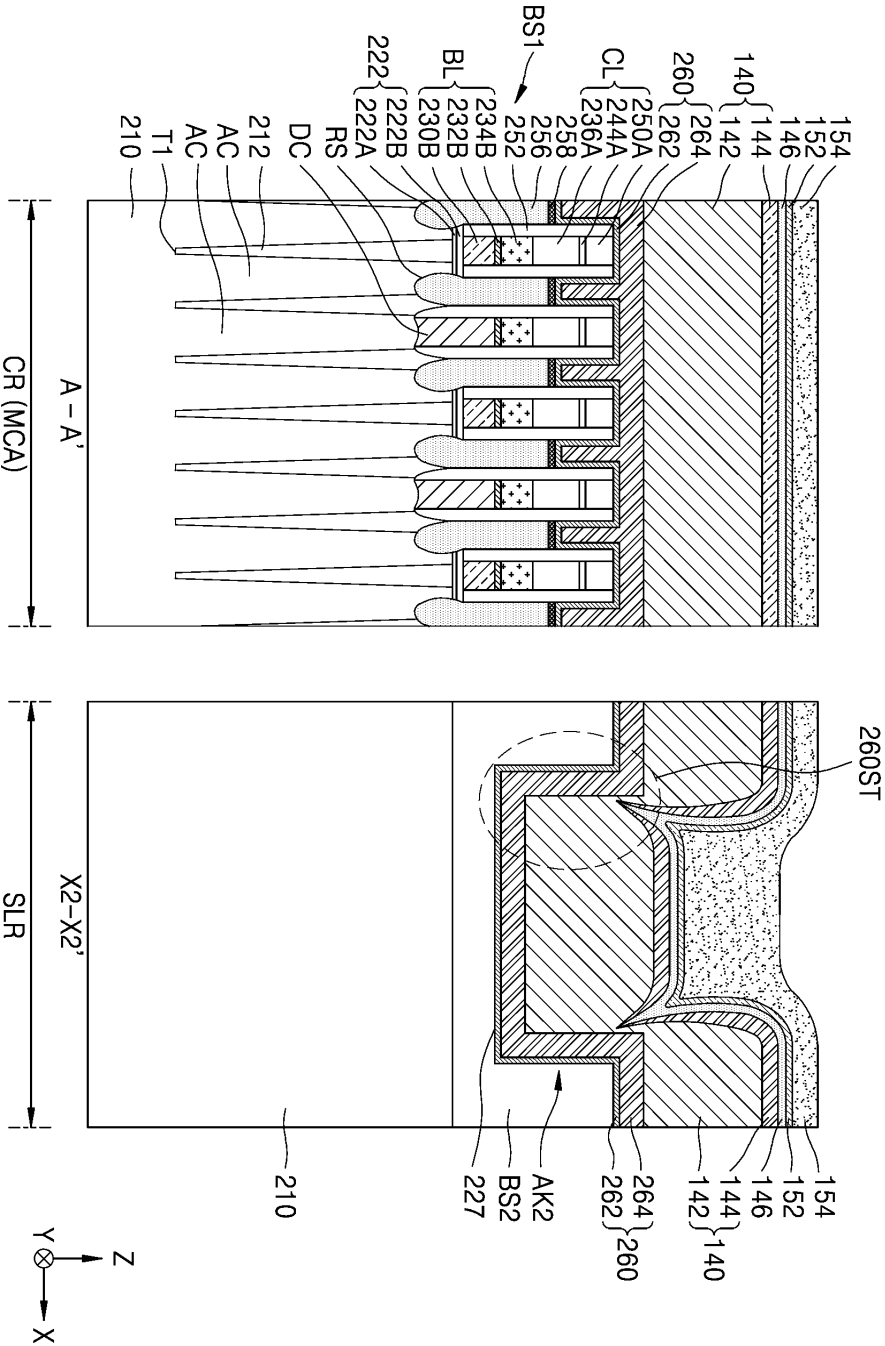
도면8b



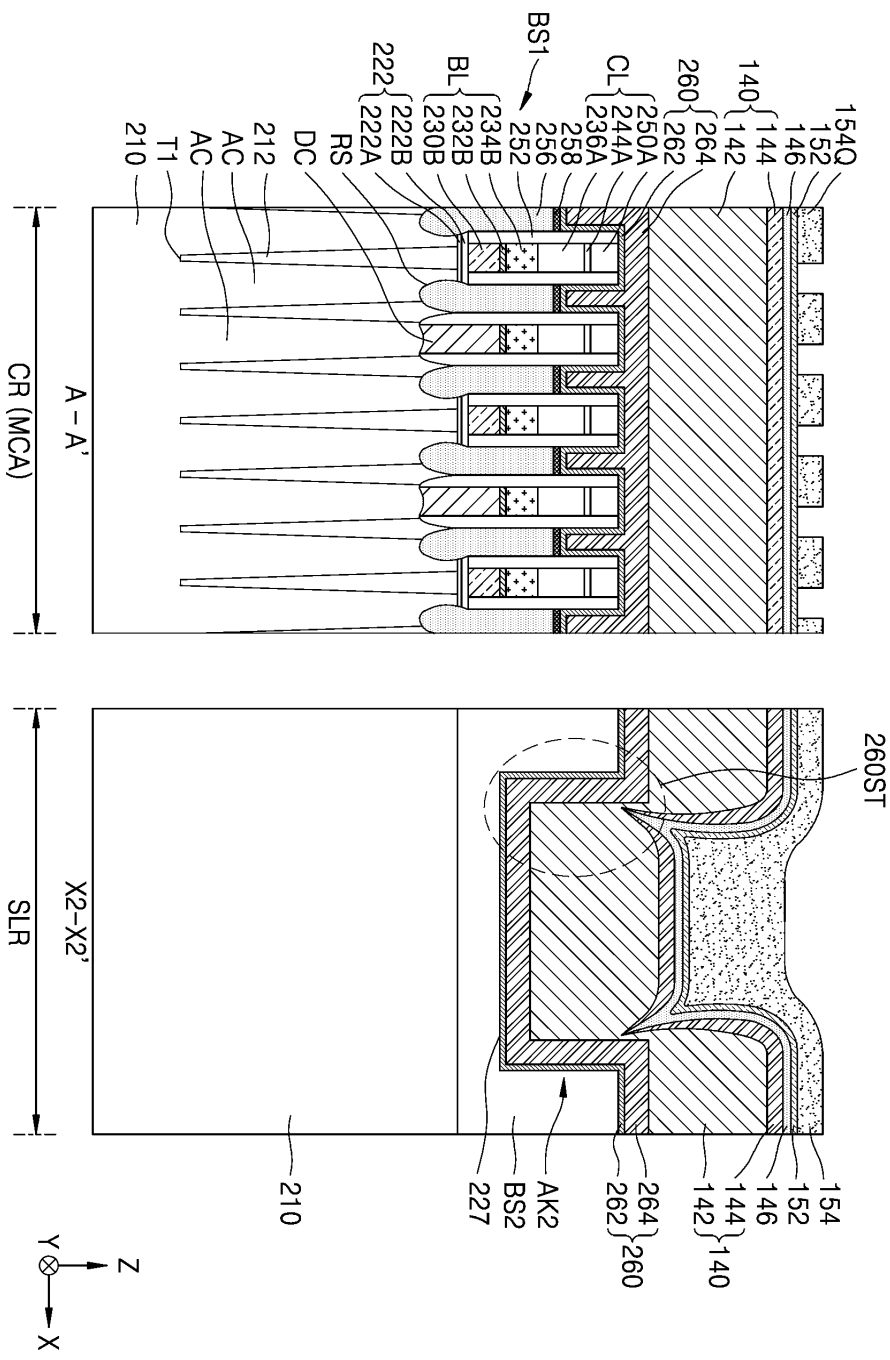
도면9a

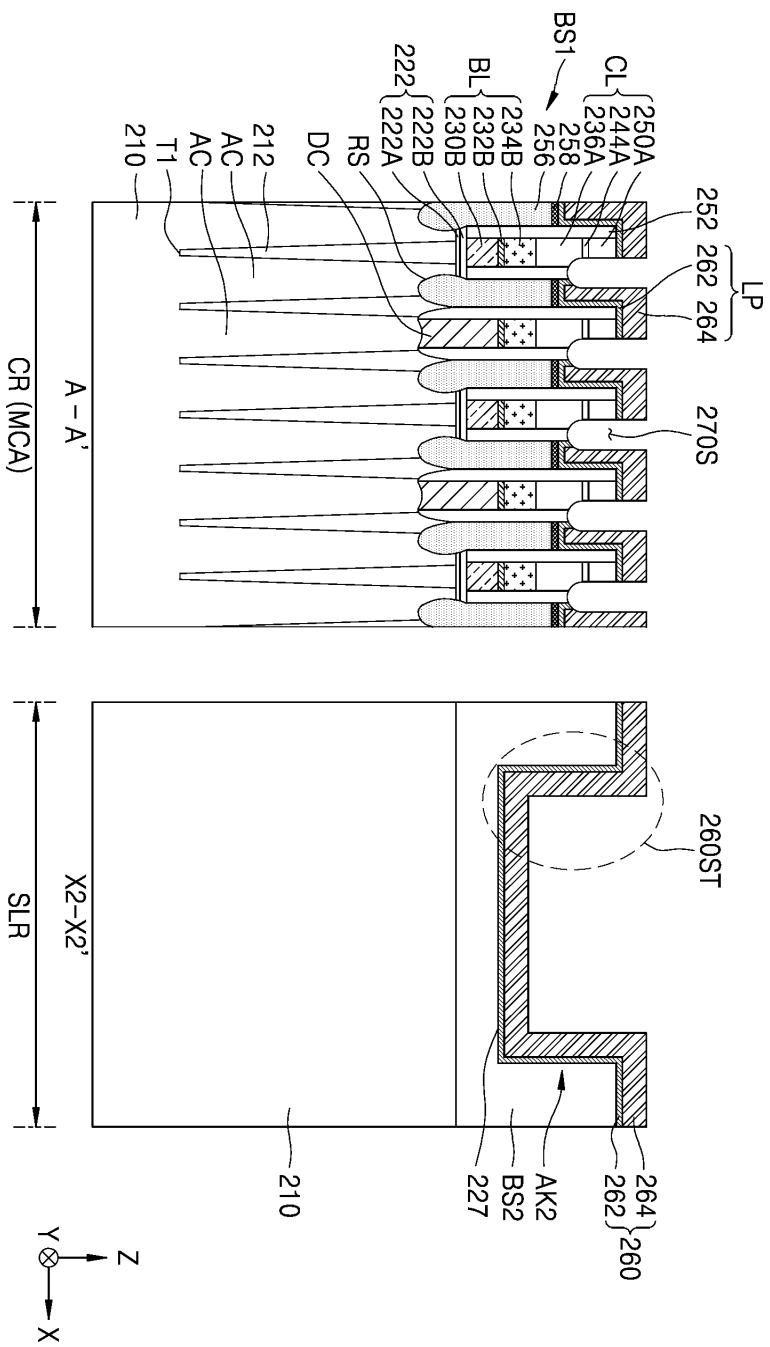


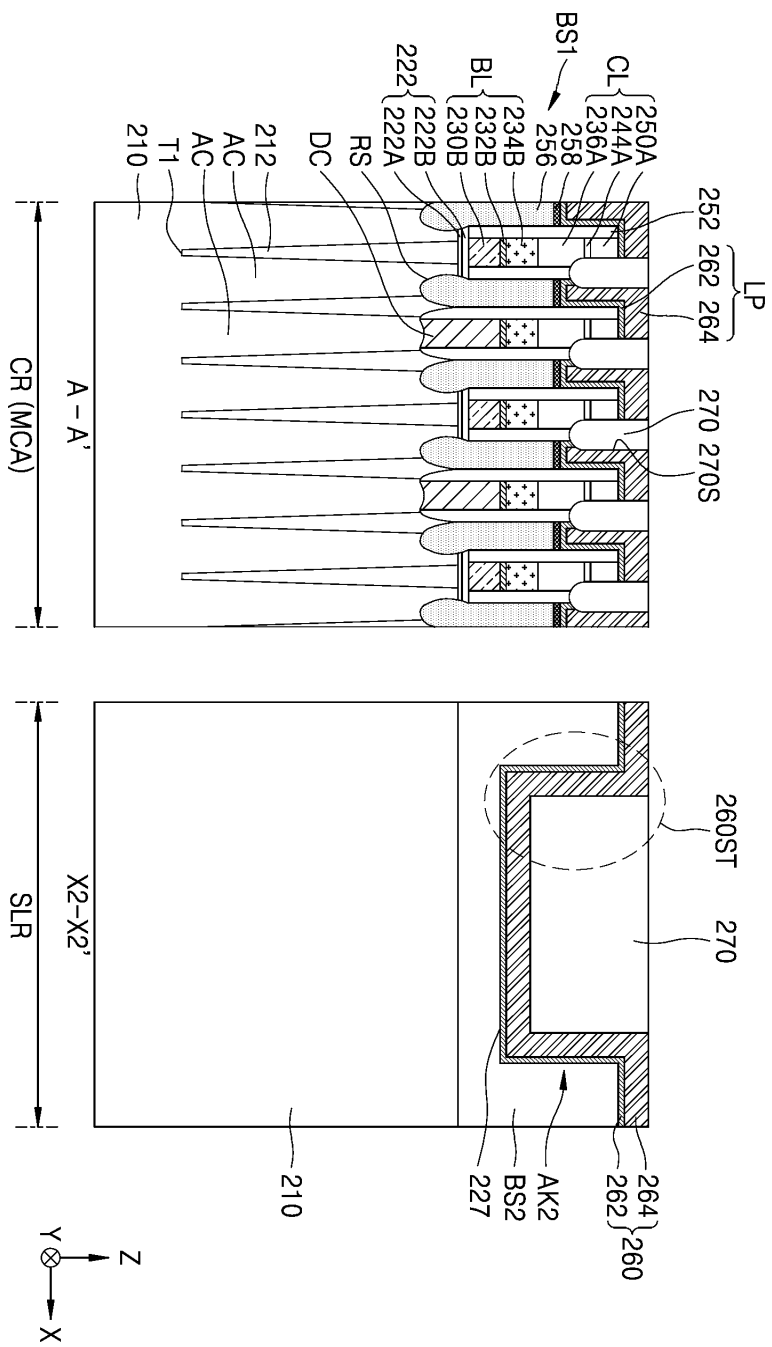
도면9b



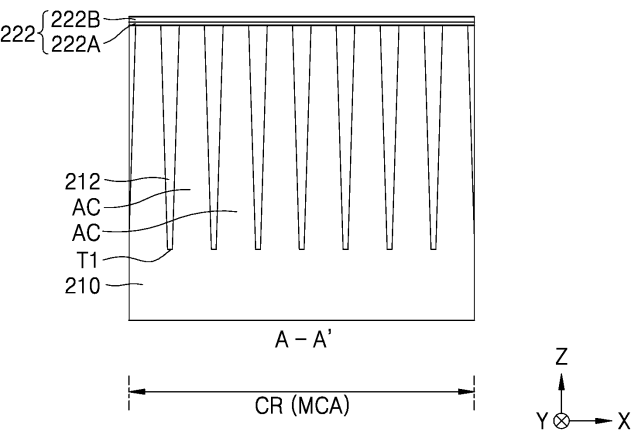
도면9c



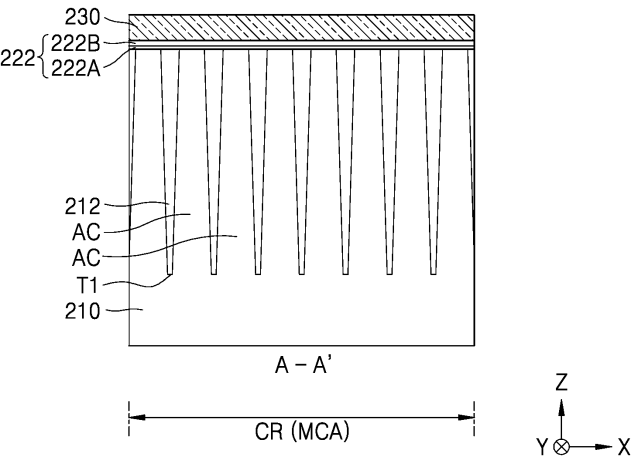




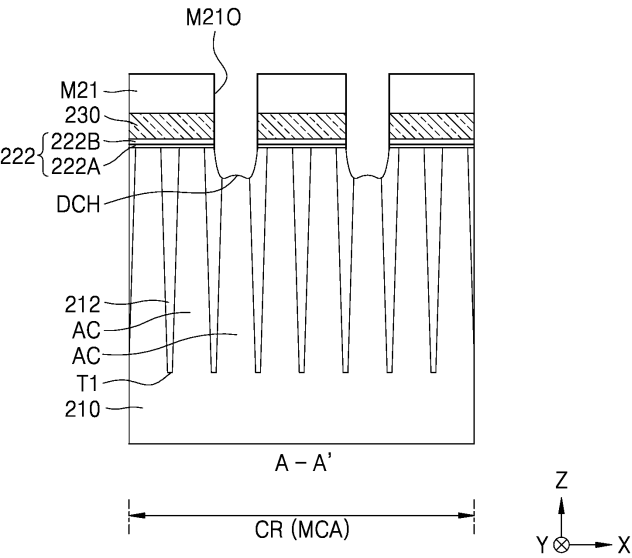
도면10a



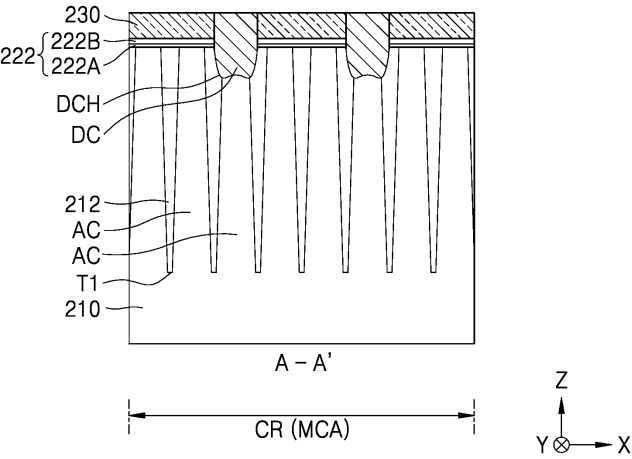
도면10b



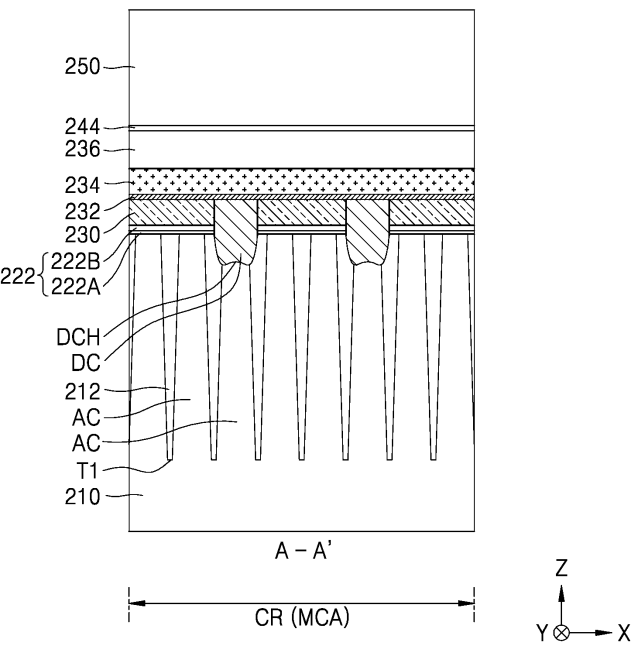
도면10c



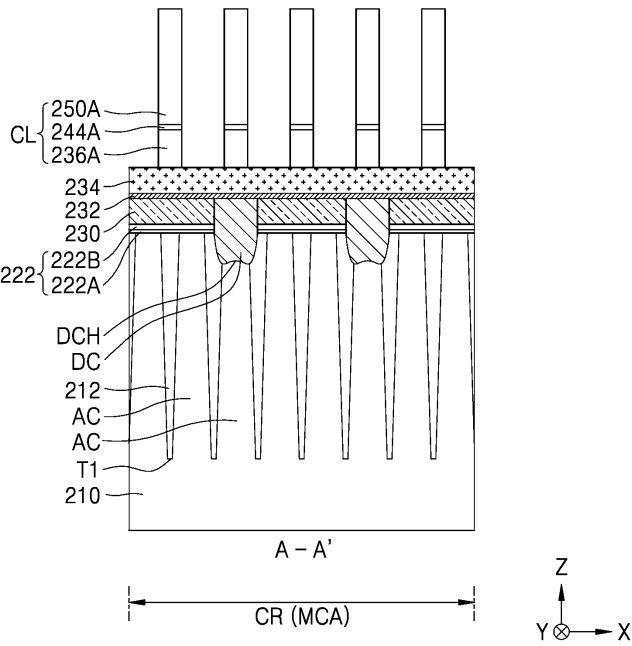
도면10d



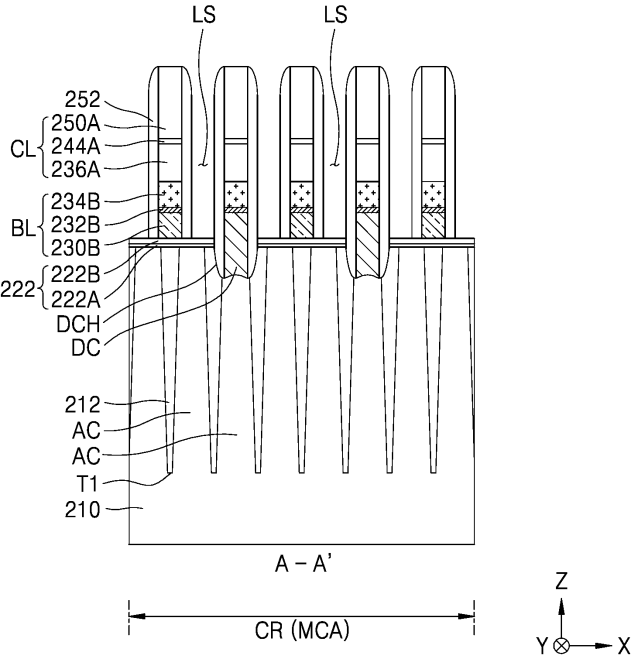
도면10e



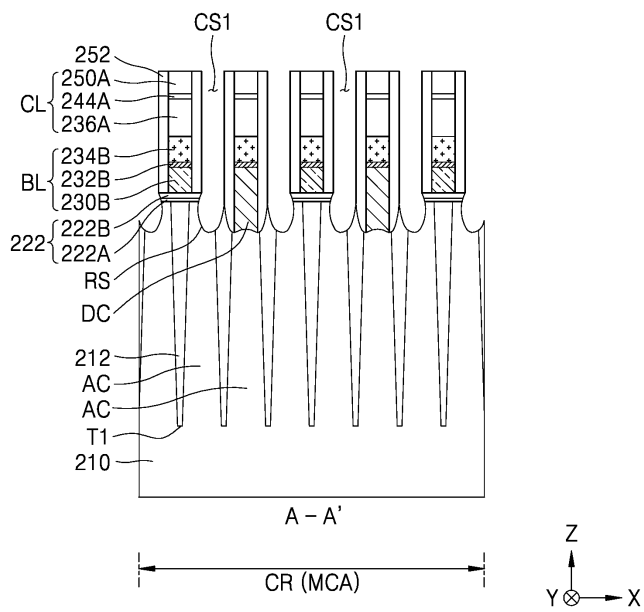
도면10f



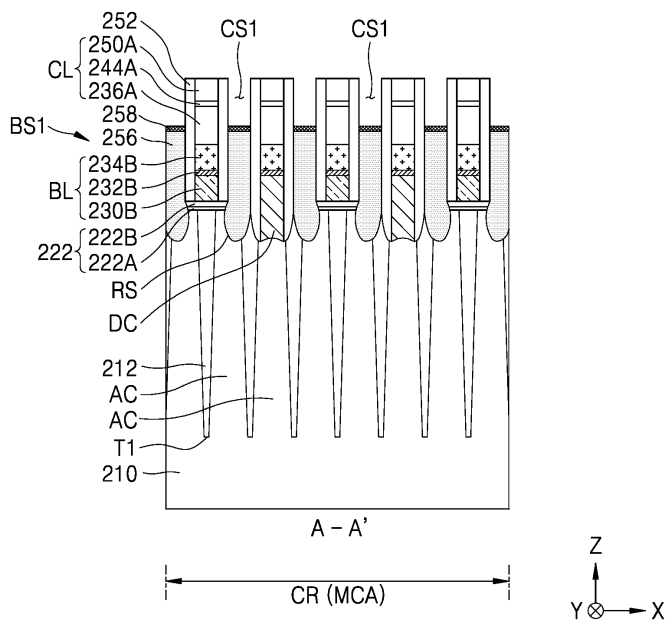
도면10g



도면10h



도면10i



도면10j

