

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2022 年 1 月 20 日 (20.01.2022)



(10) 国际公布号
WO 2022/011983 A1

- (51) 国际专利分类号:
H01L 29/872 (2006.01) *H01L 29/16* (2006.01)
H01L 29/06 (2006.01) *H01L 21/329* (2006.01)
- (21) 国际申请号: PCT/CN2020/140015
- (22) 国际申请日: 2020 年 12 月 28 日 (28.12.2020)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
202010668498.4 2020 年 7 月 13 日 (13.07.2020) CN
- (71) 申请人: 珠海格力电器股份有限公司 (GREE ELECTRIC APPLIANCES, INC. OF ZHUHAI) [CN/CN]; 中国广东省珠海市前山金鸡西路, Guangdong 519070 (CN)。 珠海零边界集成

电路有限公司 (EDGELESS SEMICONDUCTOR CO., LTD. OF ZHUHAI) [CN/CN]; 中国广东省珠海市香洲区吉大景山路莲山巷 8 号 1001 室, Guangdong 519015 (CN)。

- (72) 发明人: 陈道坤 (CHEN, Daokun); 中国广东省珠海市前山金鸡西路, Guangdong 519070 (CN)。 林苡任 (LIN, Yiren); 中国广东省珠海市前山金鸡西路, Guangdong 519070 (CN)。 史波 (SHI, Bo); 中国广东省珠海市前山金鸡西路, Guangdong 519070 (CN)。 曾丹 (ZENG, Dan); 中国广东省珠海市前山金鸡西路, Guangdong 519070 (CN)。
- (74) 代理人: 北京煦润律师事务所 (BEIJING XURUN LAW FIRM); 中国北京市海淀区中关村东路 18 号财智国际大厦 B 座 1605 室, Beijing 100083 (CN)。

(54) Title: SILICON CARBIDE JUNCTION BARRIER SCHOTTKY SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING SAME

(54) 发明名称: 碳化硅结势垒肖特基半导体器件及其制造方法

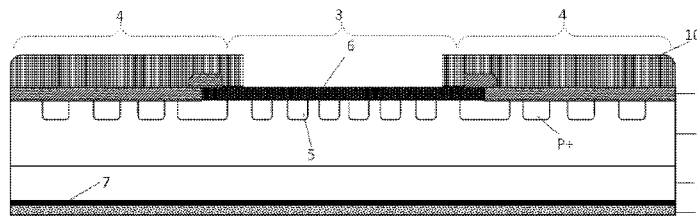


图 5

(57) Abstract: The present disclosure relates to the technical field of semiconductor devices, and in particular to a silicon carbide junction barrier Schottky semiconductor device and a method for manufacturing the same. The silicon carbide junction barrier Schottky semiconductor device comprises a substrate and an epitaxial layer which are stacked. An active region and a terminal region positioned around the active region are arranged on the upper surface of the epitaxial layer. The active region comprises several junction barrier regions arranged at intervals, wherein the spacing between the junction barrier regions increases in increments in a direction from the middle part of the active region to the edge of the active region. The current density in the center of the active region is slightly lower than the current density at the edge of the active region, making heat distribution more uniform when the silicon carbide junction barrier Schottky semiconductor device is in a positive operating mode. Thus the heat distribution of the device is optimized, and degradation or reliability problems of the performance of the silicon carbide device due to local heat accumulation is prevented.

(57) 摘要: 本公开涉及半导体器件技术领域, 具体而言, 涉及一种碳化硅结势垒肖特基半导体器件及其制造方法。碳化硅结势垒肖特基半导体器件包括层叠设置的衬底和外延层, 所述外延层上表面设置有源区和位于所述有源区周围的终端区, 所述有源区包括若干间隔设置的结势垒区, 其中, 沿所述有源区的中部至边缘的方向, 所述结势垒区的间距逐渐增加。有源区中心的电流密度比有源区边缘区域的电流密度稍低, 使得碳化硅结势垒肖特基半导体器件在正向工作时的热分布更均匀, 以此达到优化器件热分布的目的, 避免热量局部积累导致碳化硅器件性能的退化或可靠性问题。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

碳化硅结势垒肖特基半导体器件及其制造方法

本公开要求于 2020 年 07 月 13 日提交中国专利局、申请号为 202010668498.4、发明名称为“碳化硅结势垒肖特基半导体器件及其
5 制造方法”的中国专利申请的优先权，其全部内容通过引用结合在本公开中。

技术领域

本公开涉及半导体器件技术领域，具体而言，涉及一种碳化硅结势垒肖特基半导体器件及其制造方法。

10 背景技术

碳化硅 (SiC) 是第三代宽禁带半导体之一，具有宽带隙、高击穿电场、高热导率、耐高温、耐高压、抗辐射等优异物理特性，所以 SiC 功率器件非常适合于高温、高电压、高功率等电力电子应用系统，在电动汽车、光伏逆变、轨道交通、风能发电、电机驱动等应用领域具
15 有广阔应用前景。

得益于碳化硅优异的材料特性，相比于硅基功率器件，碳化硅功率器件的芯片面积更小，电流密度更大，故其工作损耗产生的热量更加集中。因此，对碳化硅功率器件而言，优化芯片热分布，尽可能使热量均匀分布，避免热局域积累导致碳化硅器件性能的退化或可靠性
20 问题，显得尤为重要。

发明内容

为了解决碳化硅功率器件热量局域积累导致的碳化硅器件性能的退化或可靠性降低的技术问题，本公开提供了一种碳化硅结势垒肖特基半导体器件及其制造方法。

25 为了实现上述目的，根据本技术方案的一个方面，本技术方案提

供了一种碳化硅结势垒肖特基半导体器件。

根据本公开实施例的碳化硅结势垒肖特基半导体器件，其包括层叠设置的衬底和外延层，所述外延层上表面设置有源区和位于所述有源区周围的终端区，所述有源区包括若干间隔设置的结势垒区，其中，
5 沿所述有源区的中部至边缘的方向，所述结势垒区的间距逐渐增加。

在一些实施方式中，沿所述有源区的中部至边缘的方向，所述结势垒区的宽度逐渐增加。

在一些实施方式中，所述结势垒区的宽度为 $2\ \mu\text{m}$ ，沿所述有源区的中部至边缘的方向，所述结势垒区的间距由 $1\ \mu\text{m}$ 逐渐增加到 $4\ \mu\text{m}$ 。

10 在一些实施方式中，所述有源区还包括设置在所述外延层上表面的阳极金属层，所述衬底的背面依次设置有欧姆接触金属层和阴极金属层。

在一些实施方式中，所述结势垒区为长条形或环形。

15 在一些实施方式中，碳化硅结势垒肖特基半导体器件还包括依次设置在所述外延层上表面的介质钝化层和保护层。

在一些实施方式中，所述衬底为 N 型碳化硅，电阻率为 $0.01\text{-}0.03\ \Omega \cdot \text{cm}$ ，厚度为 $100\ \mu\text{m}\text{-}180\ \mu\text{m}$ 。

在一些实施方式中，所述阳极金属层包括叠层设置的第一金属层及第二金属层，所述第一金属层可以和 N 型 SiC 形成肖特基接触势垒。

20 为了实现上述目的，根据本技术方案的第二个方面，本技术方案还提供了一种碳化硅结势垒肖特基半导体器件的制造方法，被设置为制备本公开技术方案提供的上述碳化硅结势垒肖特基半导体器件。

根据本公开实施例的碳化硅结势垒肖特基半导体器件的制造方法，其包括以下步骤：

于一衬底上形成外延层；

向所述外延层注入 P 型杂质离子并激活，同时形成有源区和终端区的 P 型离子注入区，有源区的 P 型离子注入区即为所述势垒区；

在外延层的上表面依次形成阳极金属层、介质钝化层和保护层。

5 在一些实施方式中，在外延层的上表面依次形成阳极金属层、介质钝化层和保护层之后还包括：所述衬底经减薄处理后依次在所述衬底的背面形成欧姆接触金属层和阴极金属层。

10 在一些实施方式中，所述介质钝化层为SiO、SiO₂、SiN和SiON中的一种或多种的组合，形成方法为PECVD、LPCVD或ALD，所述介质钝化层的厚度为 50-2000nm。

15 本公开技术方案提出了一种新的有源区结构，相比于相关技术，使得有源区中心的电流密度比有源区边缘区域的电流密度稍低，使得碳化硅结势垒肖特基半导体器件在正向工作时的热分布更均匀，以此达到优化器件热分布的目的，避免热量局部积累导致碳化硅器件性能的退化或可靠性问题。

附图说明

20 构成本公开的一部分的附图用来提供对本公开的进一步理解，使得本公开的其它特征、目的和优点变得更明显。本公开的示意性实施例附图及其说明用于解释本公开，并不构成对本公开的不当限定。在附图中：

图 1 为相关技术中碳化硅肖特基二极管的原理说明图；

图 2 为相关技术中碳化硅肖特基二极管的平面结构参考图；

图 3 为相关技术中碳化硅肖特基二极管的剖面结构参考图；

图 4 为本公开实施例提供的一种碳化硅结势垒肖特基半导体器件

的平面示意图；

图 5 为本公开实施例提供的一种碳化硅结势垒肖特基半导体器件的剖面示意图；

图 6 为本公开实施例提供的另一种碳化硅结势垒肖特基半导体器件的平面示意图；

图 7-15 为本公开实施例提供的碳化硅结势垒肖特基半导体器件的制造方法各步骤对应的结构示意图。

图中：

1、衬底；2、外延层；3、有源区；4、终端区；5、结势垒区；6、
10 阳极金属层；7、欧姆接触金属层；8、阴极金属层；9、介质钝化层；
10、保护层；11、掩膜层。

具体实施方式

为了使本技术领域的人员更好地理解本公开方案，下面将结合本公开实施例中的附图，对本公开实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本公开一部分的实施例，而不是全部的实施例。基于本公开中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都应当属于本公开保护的范围。

需要说明的是，本公开的说明书和权利要求书及上述附图中的术语“第一”、“第二”等是用于区别类似的对象，而不必用于描述特定的顺序或先后次序。应该理解这样使用的数据在适当情况下可以互换，以便这里描述的本公开的实施例。此外，术语“包括”和“具有”以及他们的任何变形，意图在于覆盖不排他的包含，例如，包含了一系列步骤或单元的过程、方法、系统、产品或设备不必限于清楚地列出的那些步骤或单元，而是可包括没有清楚地列出的或对于这些过程、

方法、产品或设备固有的其它步骤或单元。

在本公开中，术语“上”、“下”、“内”、“中”、“外”、“前”、“后”等指示的方位或位置关系为基于附图所示的方位或位置关系。这些术语主要是为了更好地描述本公开及其实施例，并非用于限定所指示的装置、元件或组成部分必须具有特定方位，或以特定方位进行构造和
5 操作。

并且，上述部分术语除了可以用于表示方位或位置关系以外，还可能用于表示其他含义，例如术语“上”在某些情况下也可能用于表示某种依附关系或连接关系。对于本领域普通技术人员而言，可以根据
10 具体情况理解这些术语在本公开中的具体含义。

此外，术语“设置”、“连接”、“固定”应做广义理解。例如，“连接”可以是固定连接，可拆卸连接，或整体式构造；可以是机械连接，或电连接；可以是直接相连，或者是通过中间媒介间接相连，又或者是两个装置、元件或组成部分之间内部的连通。对于本领域普通技术
15 人员而言，可以根据具体情况理解上述术语在本公开中的具体含义。

需要说明的是，在不冲突的情况下，本公开中的实施例及实施例中的特征可以相互组合。下面将参考附图并结合实施例来详细说明本公开。

由于碳化硅属于宽禁带半导体，碳化硅二极管如果采用 PN 结构，开启电场大（3V 左右），会使得导通损耗非常高。通常碳化硅二极管采用肖特基结结构，开启电场低（小于 1V），导通损耗小。但碳化硅肖特基二极管（SBD）在反向偏置时，由于肖特基势垒会受镜像力的影响而降低，导致反向漏电偏大。为了解决该问题，如图 1 所示，碳化硅肖特基二极管一般采用结势垒肖特基（JBS）结构，即在外延层
20 表面间隔分布 P 型离子注入区，使碳化硅结势垒肖特基二极管兼具 SBD 二极管正向特性和 PN 二极管反向特性，正向导通电压低，反向
25

漏电小。

如图 1 所示，碳化硅 JBS 二极管正向导通时，由于碳化硅 PN 结导通电压大，肖特基结会先导通，电流从依次流过阳极肖特基接触、碳化硅外延层、碳化硅衬底和阴极。相关技术方案中，如图 2 和 3 所示，碳化硅 JBS 二极管有源区的肖特基接触的宽度（即 P 型离子注入区间距）不变，因此，碳化硅 JBS 二极管正向工作时电流会均匀流过芯片有源区。但由于芯片的边缘散热快，中心散热慢，所以芯片中心的温度会偏高，可能带来性能退化和可靠性问题。为了解决这一技术问题，本公开提出了一种碳化硅半导体器件，在相关技术的基础上进一步优化碳化硅半导体器件的结构，优化其热分布，提高其工作稳定性。

下面将参照附图对本公开的示例性实施方式作详细说明。在图中，为了方便说明，放大了层和区域的厚度，所示大小并不代表实际尺寸。尽管这些图并不是完全准确的反映出器件的实际尺寸，但是它们还是完整的反映了区域和组成结构之间的相互位置，特别是组成结构之间的上下和相邻关系。参考图是本公开的理想化实施例的示意图，本公开所示的实施例不应该被认为仅限于图中所示区域的特定形状，而是包括所得到的形状，比如制造引起的偏差。

如图 4 和 5 所示，本公开实施例提供的碳化硅结势垒肖特基半导体器件包括依次层叠设置的阴极金属层 8、欧姆接触金属层 7、衬底 1 和外延层 2，所述外延层 2 上表面设置有源区 3 和位于所述有源区 3 周围的终端区 4，所述有源区 3 包括若干间隔设置的结势垒区 5 以及设置在所述外延层 2 上表面的阳极金属层 6。碳化硅结势垒肖特基半导体器件还包括依次设置在所述外延层上表面的介质钝化层 9 和保护层 10。

其中，衬底 1 和外延层 2 具有第一导电类型，衬底 1 选择为 N 型

碳化硅。终端场限环和结势垒区 5 具有第二导电类型，结势垒区 5 通过 P 型杂质离子的注入形成。结势垒区 5 可以为如图 4 所示的长条形，也可以为环形，本公开不做具体的限定，具体根据碳化硅结势垒肖特基半导体器件的具有应用场景和设计需求来确定。

5 阳极金属层 6 作为碳化硅结势垒肖特基半导体器件的阳极发挥作用，阴极金属层 8 作为碳化硅结势垒肖特基半导体器件的阴极发挥作用。介质钝化层 9 起到器件及布线之间的电气隔离作用，作为绝缘层发挥作用，保护层 10 被设置为保护其覆盖的结构受到表面污染及物理损坏。

10 在一些实施例中，如图 4 和 5 所示，沿所述有源区 3 的中部至边缘的方向，所述结势垒区 5 的间距逐渐增加。通过这一结构改进，可以使得芯片中心的电流密度比芯片边缘区域的电流密度稍低，以此达到优化芯片热分布的目的，避免热局域积累导致碳化硅器件性能的退化或可靠性问题。

15 在一些实施方式中，一种具体的有源区结构方案可以是结势垒区宽度为 $2\ \mu\text{m}$ ，从有源区中心到边缘，结势垒区间距可以按 $1.0\ \mu\text{m}$ 、 $1.2\ \mu\text{m}$ 、 $1.4\ \mu\text{m}$ 、 $1.6\ \mu\text{m}$ 、 $2.0\ \mu\text{m}$ 、 $2.4\ \mu\text{m}$ 、 $2.7\ \mu\text{m}$ 、 $3.0\ \mu\text{m}$ 、 $3.5\ \mu\text{m}$ 、 $4.0\ \mu\text{m}$ 的规律逐渐增大。需要说明的是，从有源区中心到边缘，结势垒区的间距的变化趋势为逐渐增大，但是某一特定宽度的间距可以为一个，也可以为多个，例如从有源区的中心往边缘，长条形的结势垒区有 10 条，它们从中心往边缘排布时，结势垒区的间距可以为 $1.0\ \mu\text{m}$ ， $1.0\ \mu\text{m}$ ， $1.5\ \mu\text{m}$ ， $1.5\ \mu\text{m}$ ， $1.5\ \mu\text{m}$ ， $1.8\ \mu\text{m}$ ， $1.8\ \mu\text{m}$ ， $1.8\ \mu\text{m}$ ， $2.0\ \mu\text{m}$ ， $2.0\ \mu\text{m}$ ，其中 $1.0\ \mu\text{m}$ 和 $2.0\ \mu\text{m}$ 的间距分别存在有两个， $1.5\ \mu\text{m}$ 和 $1.8\ \mu\text{m}$ 的间距分别存在有三个。

25 在一些实施例中，如图 6 所示，沿所述有源区 3 的中部至边缘的方向，结势垒区 5 的间距逐渐增加，并且结势垒区 5 的宽度逐渐增加，

通过这一结构改进，同样可以使得芯片中心的电流密度比芯片边缘区域的电流密度稍低，以此达到优化芯片热分布的目的，避免热局域积累导致碳化硅器件性能的退化或可靠性问题。

通过实验发现，沿所述有源区的中部至边缘的方向，结势垒区的间距保持不变，结势垒区的宽度逐渐增加，其也有一定的优化热分布的效果，但效果远没有图 4-图 6 的方案好，因为结势垒区宽度的增加对正向电流没有贡献，反而会增加更多的芯片面积。

根据上述实施例的碳化硅结势垒肖特基半导体器件还可以包括其他的必要组件或结构，并且对应的布置位置和连接关系均可参考相关技术中的碳化硅半导体器件，各未述及结构的连接关系、操作及工作原理对于本领域的普通技术人员来说是可知的，在此不再详细描述。

本实施例还公开了上述实施例提供的碳化硅结势垒肖特基半导体器件的加工方法，其包括以下步骤：

步骤 1：如图 7 所示，提供一个衬底 1，并在衬底 1 上形成外延层 2。

具体的，衬底 1 选择为 N 型碳化硅，其电阻率为 $0.01 \sim 0.03 \Omega \text{ cm}$ ，厚度为 $320 \sim 380 \mu \text{ m}$ ，外延层 2 的厚度为 $5 \sim 100 \mu \text{ m}$ ，N 型离子掺杂浓度为 $1 \times 10^{14} \sim 5 \times 10^{16} \text{ ions/cm}^3$ ，可以形成合适的 N 漂移层。 $320 \sim 380 \mu \text{ m}$ 的厚度便于正面结构的加工和成型，而且为后期的衬底减薄工艺预留了加工空间。

步骤 2：如图 8 所示，在外延层 2 的上表面沉积形成掩膜层 11，然后通过干法刻蚀去除部分掩膜层，暴露出离子注入区域，然后将 P 型杂质离子注入到掩膜层 11 没有覆盖的离子注入区域，该步骤中可以同时形成有源区和终端区的 P 型离子注入区，其中有源区部分的 P 型离子注入区即为结势垒区 5。

该步骤中所采用的掩膜层 11 可以为SiO₂、多晶硅或者二者的组合，掩膜层的厚度为 0.2-4 μm ；P型离子注入的工艺可以为单步离子注入工艺或多步离子注入工艺，所采用的离子为Al离子、B离子或者二者的组合。

5 步骤 3：如图 9 所示，去除注入剩余的掩膜层，在结构的表面制备碳膜作为高温激活的保护层，然后通过高温来激活注入的 P 型杂质离子，激活后去除碳膜。其中碳膜的制备方法为光刻胶碳化或射频溅镀，碳膜的厚度为 0.05-2 μm ，激活温度为 1500-1900℃。

10 步骤 4：如图 10 所示，制备阳极金属层 6，其中阳极金属层 6 为叠层金属，包括层叠设置的第一金属层和第二金属层。其中第一金属层与外延层的上表面连接，其可以和 N 型碳化硅形成肖特基接触势垒，第一金属层的材料包括但不限于 Ti、Mo、W、Pd、Ni、Au 或其组合；第二金属层包括但不限于 Al、Ti/Al 金属叠层、Ni/Al 金属叠层或 Ti/Ni/Al 金属叠层，阳极金属层的总厚度为 2-5 μm 。阳极金属层与碳化硅半导
15 体材料的交界处形成空间电荷区和自建电场，在外加电压为零时，载流子的扩散运动与反向的漂移运动达到动态平衡，这时阳极金属层与 SiC 半导体交界处形成一个接触势垒，这就是肖特基势垒。

20 步骤 5：如图 11 所示，制备介质钝化层 9。介质钝化层 9 包括但不限于SiO、SiO₂、SiN、SiON或它们的组合，具体可以通过沉积方法来制备，可以采用的沉积方法包括但不限于PECVD、LPCVD、ALD，介质钝化层的厚度为 50-2000nm。

步骤 6：如图 12 所示，制备顶层的保护层 10，其中保护层 10 为聚酰亚胺（PI）钝化层，聚酰亚胺（PI）钝化层固化后的厚度为 1-5 μm 。

25 步骤 7：如图 13 所示，衬底减薄。通过研磨或其他减薄工艺将碳化硅衬底 1 减薄至 100-180 μm 。

步骤 8: 如图 14 所示, 在衬底 1 的背面进行欧姆金属的沉积, 经过激光退火后形成欧姆接触金属层 7, 欧姆接触金属层 7 可以为 Ni、Ti/Ni 金属叠层、Ti/Al 金属叠层、Ti/Ni/Al 金属叠层中的至少一种, 其厚度为 10-500 nm。

5 步骤 9: 如图 15 所示, 在欧姆接触金属层 7 的基础上进行阴极金属层 8 的沉积。采用的阴极金属层为 Ti/Ni/Ag 金属叠层或 Ti/Al/Ni/Ag 金属叠层, 阴极金属层的总厚度为 0.5-4.0 μm 。

10 根据上述实施例的碳化硅结势垒肖特基半导体器件的加工方法还可以包括其他的必要步骤, 并且对应的步骤实现方式和顺序均可参考相关技术, 对于本领域的普通技术人员来说是可知的, 在此不再详细描述。

本说明书中部分实施例采用递进或并列的方式描述, 每个实施例重点说明的都是与其他实施例的不同之处, 各个实施例之间相同相似部分互相参见即可。

15 以上仅是本公开的具体实施方式, 使本领域技术人员能够理解或实现本公开。对这些实施例的多种修改对本领域的技术人员来说将是显而易见的, 本文中所定义的一般原理可以在不脱离本公开的精神或范围的情况下, 在其它实施例中实现。因此, 本公开不会被限制于本文所示的这些实施例, 而是要符合与本文所申请的原理和新颖特点相一致的、最宽的范围。

20

权 利 要 求 书

1. 一种碳化硅结势垒肖特基半导体器件，包括层叠设置的衬底和外延层，所述外延层上表面设置有源区和位于所述有源区周围的终端区，所述有源区包括若干间隔设置的结势垒区，沿所述有源区的中部至边缘的方向，所述结势垒区的间距逐渐增加。

2. 根据权利要求 1 所述的碳化硅结势垒肖特基半导体器件，其中，沿所述有源区的中部至边缘的方向，所述结势垒区的宽度逐渐增加。

3. 根据权利要求 1 所述的碳化硅结势垒肖特基半导体器件，其中，所述结势垒区的宽度为 $2\ \mu\text{m}$ ，沿所述有源区的中部至边缘的方向，所述结势垒区的间距由 $1\ \mu\text{m}$ 逐渐增加到 $4\ \mu\text{m}$ 。

4. 根据权利要求 1 所述的碳化硅结势垒肖特基半导体器件，其中，所述有源区还包括设置在所述外延层上表面的阳极金属层，所述衬底的背面依次设置有欧姆接触金属层和阴极金属层。

5. 根据权利要求 4 所述的碳化硅结势垒肖特基半导体器件，其中，所述阳极金属层包括叠层设置的第一金属层及第二金属层，所述第一金属层可以和 N 型 SiC 形成肖特基接触势垒。

6. 根据权利要求 1 所述的碳化硅结势垒肖特基半导体器件，其中，所述结势垒区为长条形或环形。

7. 根据权利要求 1 所述的碳化硅结势垒肖特基半导体器件，其中，还包括设置在所述外延层上表面的介质钝化层。

8. 根据权利要求 7 所述的碳化硅结势垒肖特基半导体器件，其中，还包括设置在所述介质钝化层上表面的保护层。

9. 一种碳化硅结势垒肖特基半导体器件的制造方法，用于制备权利要求 1-8 任一项所述的碳化硅结势垒肖特基半导体器件，包括以下步骤：

于一衬底上形成外延层；

向所述外延层注入 P 型杂质离子并激活，同时形成有源区和终端区的 P 型离子注入区，有源区的 P 型离子注入区即为所述势垒区；

在外延层的上表面依次形成阳极金属层、介质钝化层和保护层。

- 5 10. 根据权利要求 9 所述的制造方法，其中，在外延层的上表面依次形成阳极金属层、介质钝化层和保护层之后还包括：所述衬底经减薄处理后依次在所述衬底的背面形成欧姆接触金属层和阴极金属层。

1/5

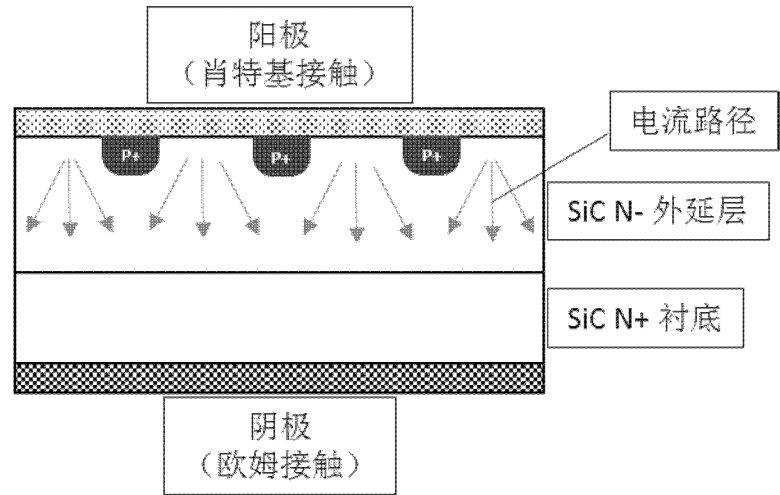


图 1

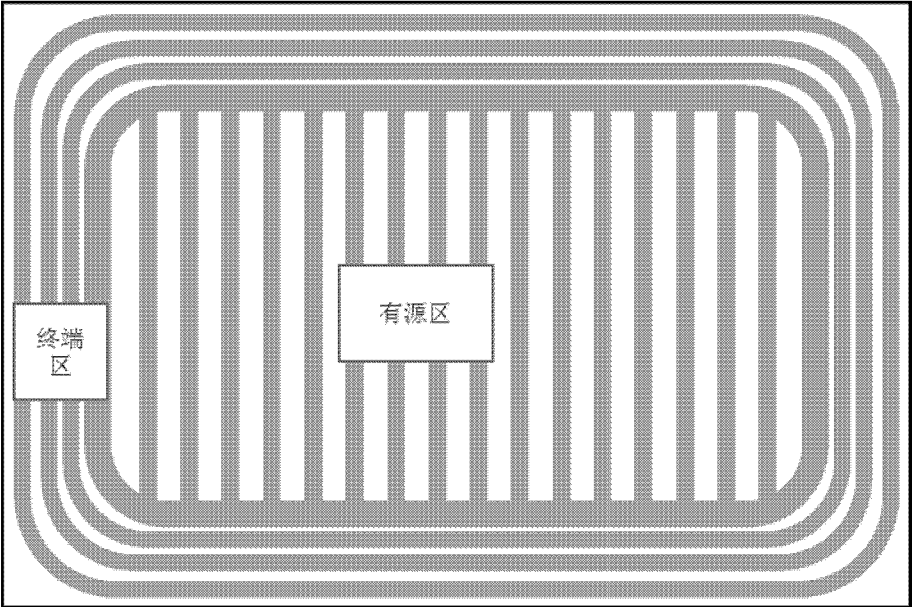


图 2

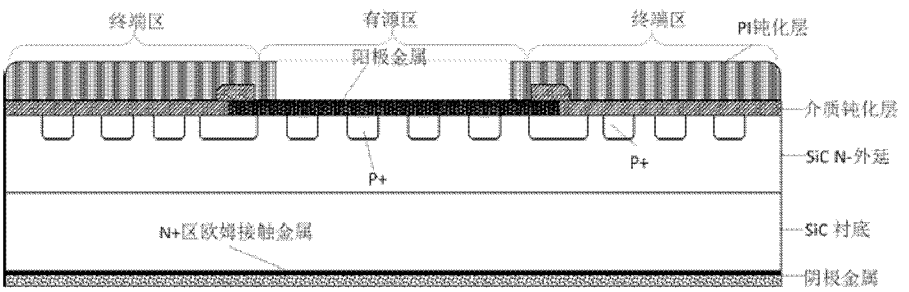


图 3

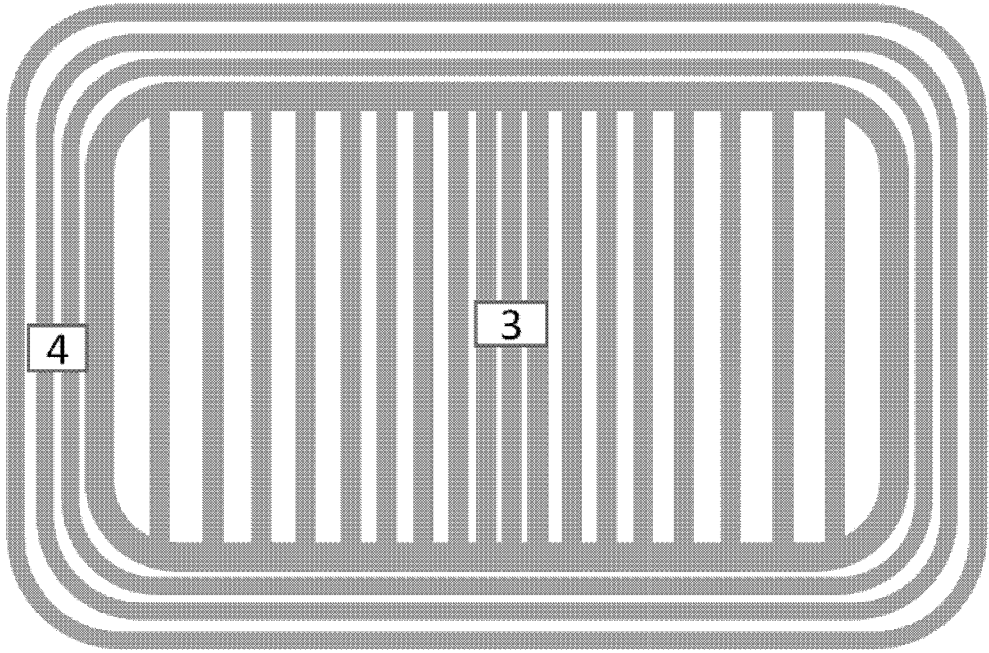


图 4

5

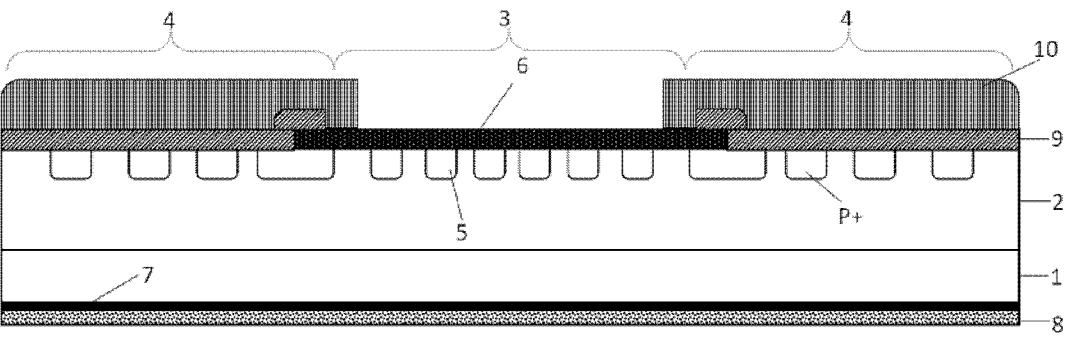


图 5

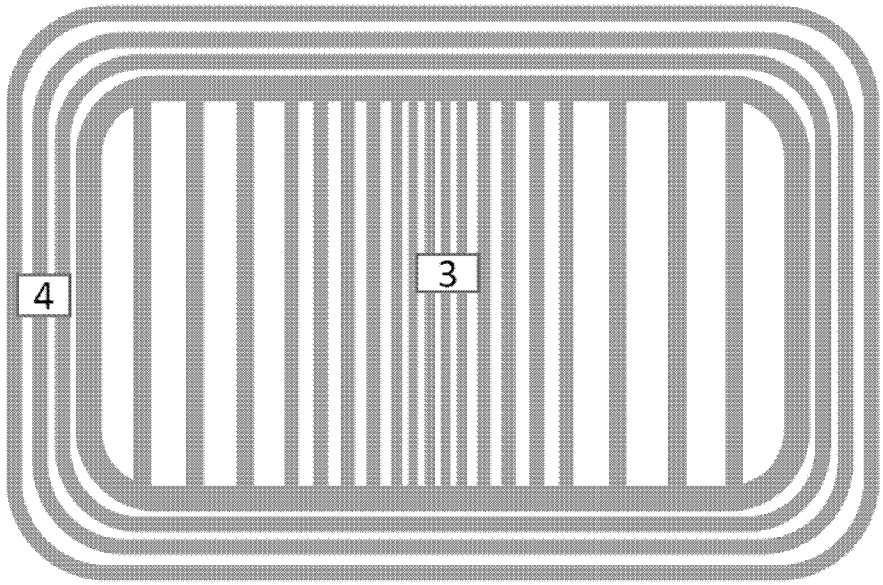


图 6



图 7

5

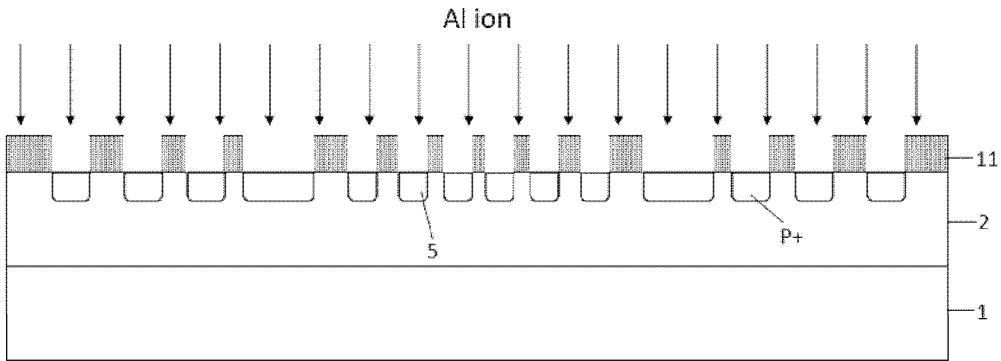


图 8

4/5

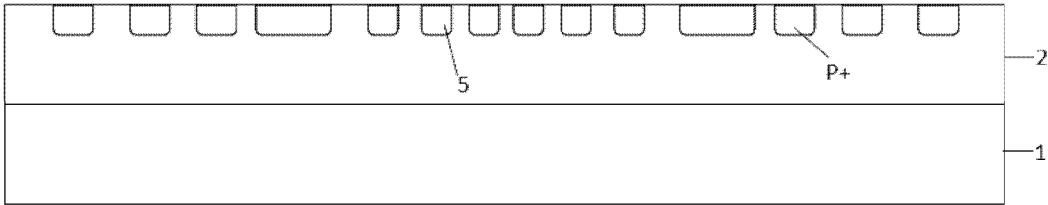


图 9

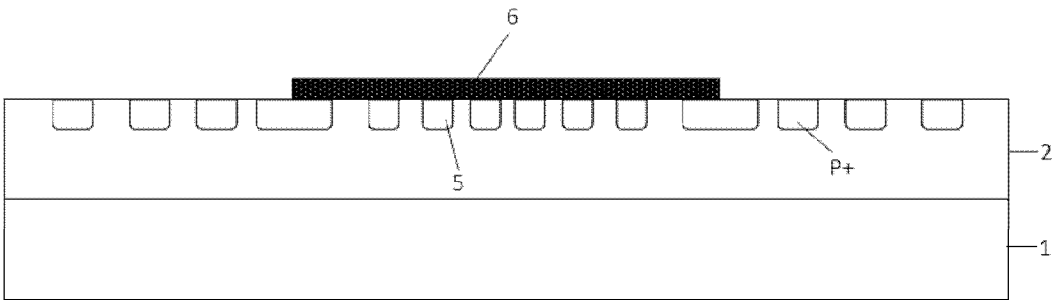


图 10

5

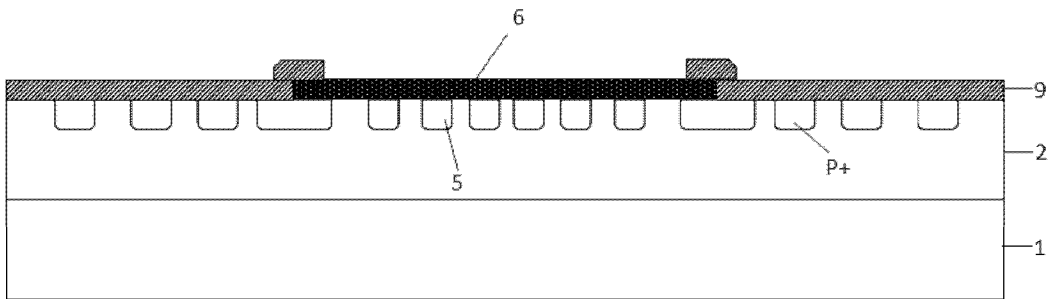


图 11

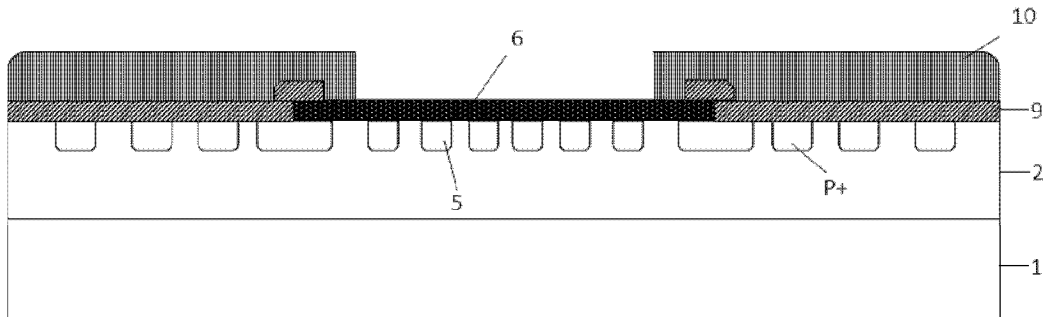


图 12

5/5

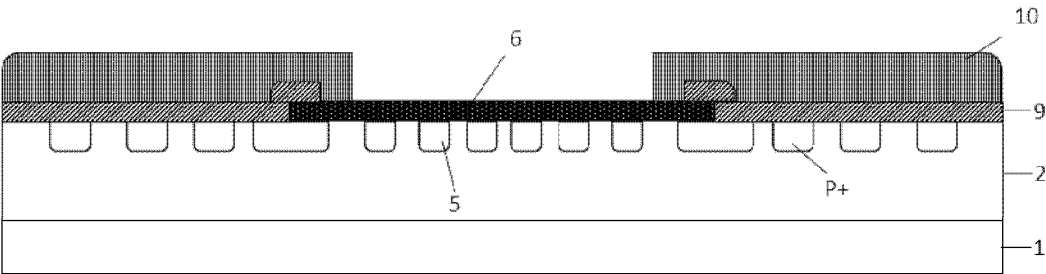


图 13

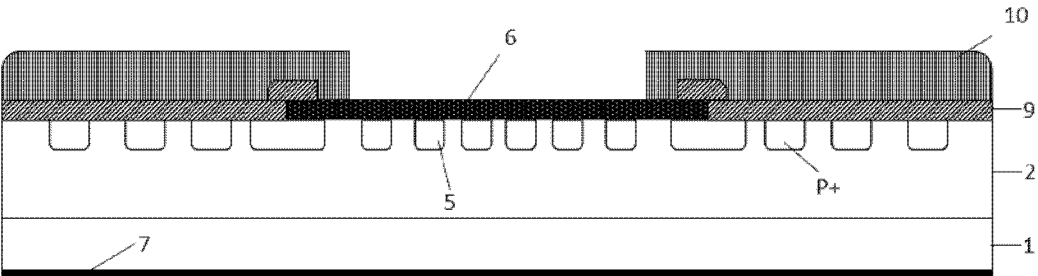


图 14

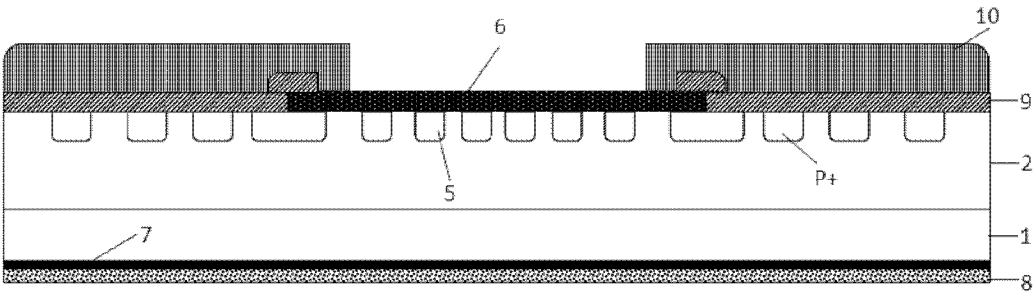


图 15

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2020/140015

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/872(2006.01)i; H01L 29/06(2006.01)i; H01L 29/16(2006.01)i; H01L 21/329(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; CNTXT; CNKI; SIPOABS; DWPI; USTXT; WOTXT; EPTXT: 碳化硅, 硅碳化合物, 结势垒, 结型势垒, 肖特基, 间距, 间隔, 间隙, 增加, 减小, 递增, 递减, SiC, silicon carbide, junction barrier, JBS, schottky, space?, interval?, increas+, decreas+, reduc+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 110112221 A (XIDIAN UNIVERSITY) 09 August 2019 (2019-08-09) description, paragraphs [0025]-[0055], and figures 1 and 2	1-10
X	JP H02137368 A (TOSHIBA CORP.) 25 May 1990 (1990-05-25) description page 350 right-hand column last paragraph - page 351 right-hand column last paragraph, figure 5	1-10
X	JP 2010003841 A (TOYOTA MOTOR CORP. et al.) 07 January 2010 (2010-01-07) description paragraphs [0020]-[0063], figures 1, 2, 4-7	1-10
X	CN 109244146 A (WUXI NCE POWER CO., LTD.) 18 January 2019 (2019-01-18) description, paragraphs [0024]-[0034], and figures 4-6	1-10
A	CN 109560142 A (XIAMEN SAN'AN INTEGRATED CIRCUIT CO., LTD.) 02 April 2019 (2019-04-02) entire document	1-10



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

22 February 2021

Date of mailing of the international search report

02 April 2021

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2020/140015

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	110112221	A	09 August 2019	None			
JP	H02137368	A	25 May 1990	None			
JP	2010003841	A	07 January 2010	None			
CN	109244146	A	18 January 2019	CN	208819891	U	03 May 2019
CN	109560142	A	02 April 2019	None			

国际检索报告

国际申请号

PCT/CN2020/140015

A. 主题的分类

H01L 29/872(2006.01)i; H01L 29/06(2006.01)i; H01L 29/16(2006.01)i; H01L 21/329(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS;CNTXT;CNKI;SIPOABS;DWPI;USTXT;WOTXT;EPTXT: 碳化硅, 硅碳化合物, 结势垒, 结型势垒, 肖特基, 间距, 间隔, 间隙, 增加, 减小, 递增, 递减, SiC, silicon carbide, junction barrier, JBS, schottky, space?, interval?, increas+, decreas+, reduc+

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 110112221 A (西安电子科技大学) 2019年 8月 9日 (2019 - 08 - 09) 说明书第[0025]-[0055]段, 附图1、2	1-10
X	JP H02137368 A (TOSHIBA CORP) 1990年 5月 25日 (1990 - 05 - 25) 说明书第350页右栏倒数第1段-第351页右栏倒数第1段, 附图5	1-10
X	JP 2010003841 A (TOYOTA MOTOR CORP 等) 2010年 1月 7日 (2010 - 01 - 07) 说明书第[0020]-[0063]段, 附图1、2、4-7	1-10
X	CN 109244146 A (无锡新洁能股份有限公司) 2019年 1月 18日 (2019 - 01 - 18) 说明书第[0024]-[0034]段, 附图4-6	1-10
A	CN 109560142 A (厦门市三安集成电路有限公司) 2019年 4月 2日 (2019 - 04 - 02) 全文	1-10

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2021年 2月 22日

国际检索报告邮寄日期

2021年 4月 2日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

授权官员

卢振宇

电话号码 (86-512) 88995893

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2020/140015

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	110112221	A	2019年 8月 9日	无	
JP	H02137368	A	1990年 5月 25日	无	
JP	2010003841	A	2010年 1月 7日	无	
CN	109244146	A	2019年 1月 18日	CN 208819891 U	2019年 5月 3日
CN	109560142	A	2019年 4月 2日	无	