



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 202343678 A

(43)公開日：中華民國 112 (2023) 年 11 月 01 日

(21)申請案號：112106215

(22)申請日：中華民國 112 (2023) 年 02 月 21 日

(51)Int. Cl. : H01L21/822 (2006.01)

H01L21/8234(2006.01)

H01L27/115 (2017.01)

(30)優先權：2022/03/04 日本

2022-033341

2022/03/04 日本

2022-033342

(71)申請人：日商半導體能源研究所股份有限公司(日本) SEMICONDUCTOR ENERGY LABORATORY CO., LTD. (JP)

日本

(72)發明人：大貫達也 ONUKI, TATSUYA (JP)；國武寬司 KUNITAKE, HITOSHI (JP)；山崎舜平 YAMAZAKI, SHUNPEI (JP)

(74)代理人：林志剛

申請實體審查：無 申請專利範圍項數：13 項 圖式數：24 共 152 頁

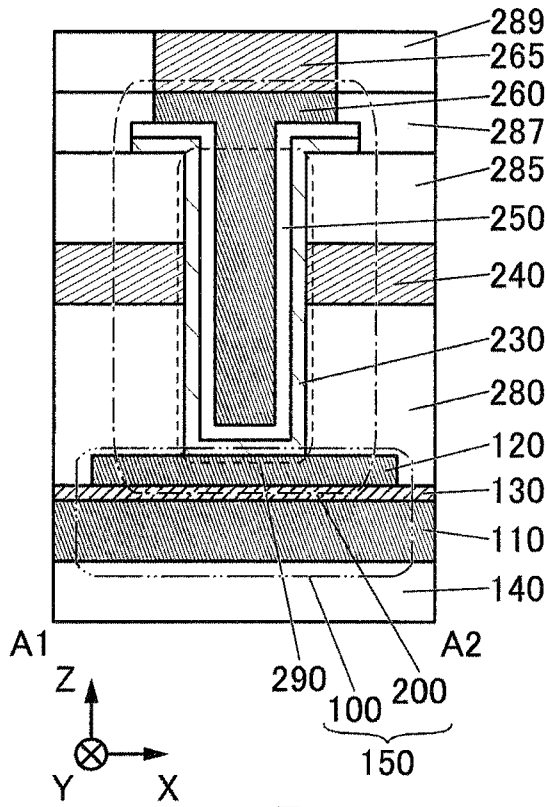
(54)名稱

記憶體裝置

(57)摘要

提供一種能夠實現微型化或高積體化的記憶體裝置，包括：包括電容器及電容器上的電晶體的記憶單元；電容器上的第一絕緣體；以及第一絕緣體上的第二絕緣體，電晶體包括：第一絕緣體下的第一導電體；接觸於第一導電體的頂面的氧化物半導體；配置在第一絕緣體與第二絕緣體間且接觸於氧化物半導體的第二導電體；氧化物半導體上的第三絕緣體；以及第三絕緣體上的第三導電體，第一絕緣體、第二導電體及第二絕緣體中形成有到達第一導電體的第一開口，氧化物半導體的至少一部分、第三絕緣體的至少一部分及第三導電體的至少一部分配置在第一開口內，電容器包括：第四導電體；第四導電體上的第四絕緣體；以及第四絕緣體上的第一導電體。

指定代表圖：



【圖1B】

符號簡單說明：

- 100:電容器
- 110:導電體
- 120:導電體
- 130:絕緣體
- 140:絕緣體
- 150:記憶單元
- 200:電晶體
- 230:氧化物半導體
- 240:導電體
- 250:絕緣體
- 260:導電體
- 265:導電體
- 280:絕緣體
- 285:絕緣體
- 287:絕緣體
- 289:絕緣體
- 290:開口

【發明摘要】

【中文發明名稱】

記憶體裝置

【中文】

提供一種能夠實現微型化或高積體化的記憶體裝置，包括：包括電容器及電容器上的電晶體的記憶單元；電容器上的第一絕緣體；以及第一絕緣體上的第二絕緣體，電晶體包括：第一絕緣體下的第一導電體；接觸於第一導電體的頂面的氧化物半導體；配置在第一絕緣體與第二絕緣體間且接觸於氧化物半導體的第二導電體；氧化物半導體上的第三絕緣體；以及第三絕緣體上的第三導電體，第一絕緣體、第二導電體及第二絕緣體中形成有到達第一導電體的第一開口，氧化物半導體的至少一部分、第三絕緣體的至少一部分及第三導電體的至少一部分配置在第一開口內，電容器包括：第四導電體；第四導電體上的第四絕緣體；以及第四絕緣體上的第一導電體。

【指定代表圖】圖 1B

【代表圖之符號簡單說明】

100:電容器

110:導電體

120:導電體

130:絕緣體

140:絕緣體

150:記憶單元

200:電晶體

230:氧化物半導體

240:導電體

250:絕緣體

260:導電體

265:導電體

280:絕緣體

285:絕緣體

287:絕緣體

289:絕緣體

290:開口

【特徵化學式】無

【發明說明書】

【中文發明名稱】

記憶體裝置

【技術領域】

【0001】本發明的一個實施方式係關於一種電晶體、半導體裝置、記憶體裝置以及電子裝置。此外，本發明的一個實施方式係關於一種半導體裝置的製造方法。此外，本發明的一個實施方式係關於一種半導體晶圓及模組。

【0002】注意，在本說明書等中，半導體裝置是指能夠藉由利用半導體特性而工作的所有裝置。除了電晶體等的半導體元件之外，半導體電路、運算裝置、記憶體裝置也是半導體裝置的一個實施方式。顯示裝置(液晶顯示裝置、發光顯示裝置等)、投影裝置、照明設備、電光裝置、蓄電裝置、記憶體裝置、半導體電路、攝像裝置、電子裝置等有時包括半導體裝置。

【0003】注意，本發明的一個實施方式不侷限於上述技術領域。本說明書等所公開的發明的一個實施方式係關於一種物體、方法或製造方法。另外，本發明的一個實施方式係關於一種製程(process)、機器(machine)、產品(manufacture)或者組合物(composition of matter)。

【先前技術】

【0004】近年來，已對半導體裝置進行開發，LSI、

CPU、記憶體等主要用於半導體裝置。CPU是包括將半導體晶圓加工來形成晶片而成的半導體積體電路(至少包括電晶體及記憶體)且形成有作為連接端子的電極的半導體元件的集合體。

【0005】LSI、CPU、記憶體等的半導體電路(IC晶片)被安裝在電路板上，例如安裝在印刷線路板上，並被用作各種電子裝置的構件之一。

【0006】此外，藉由使用形成在具有絕緣表面的基板上的半導體薄膜構成電晶體的技術受到注目。該電晶體被廣泛地應用於積體電路(IC)、影像顯示裝置(簡單地記載為顯示裝置)等電子裝置。作為可以應用於電晶體的半導體薄膜，矽類半導體材料被廣泛地周知。作為其他材料，氧化物半導體受到關注。

【0007】另外，已知使用氧化物半導體的電晶體的洩漏電流在非導通狀態下極小。例如，專利文獻1公開了應用使用氧化物半導體的電晶體的洩漏電流小的特性的低功耗CPU等。另外，例如，專利文獻2公開了利用使用氧化物半導體的電晶體的洩漏電流小的特性實現存儲內容的長期保持的記憶體裝置等。

【0008】近年來，隨著電子裝置的小型化和輕量化，對積體電路的進一步高密度化的要求提高。此外，有提高包括積體電路的半導體裝置的生產率的需求。例如，專利文獻3及非專利文獻1公開了一種技術，其中藉由層疊使用氧化物半導體膜的第一電晶體和使用氧化物半導體膜的第

二電晶體，重疊地設置多個記憶單元，由此提高積體電路的密度。

【0009】

[專利文獻1]日本專利申請公開第2012-257187號公報

[專利文獻2]日本專利申請公開第2011-151383號公報

[專利文獻3]國際專利申請公開第2021/053473號

【0010】

[非專利文獻1]M.Oota et.al, “3D-Stacked CAAC-In-Ga-Zn Oxide FETs with Gate Length of 72nm”, IEDM Tech. Dig., 2019, pp.50-53

【發明內容】

【0011】 本發明的一個實施方式的目的是提供一種可以實現微型化或高積體化的記憶體裝置。另外，本發明的一個實施方式的目的是提供一種工作速度高的記憶體裝置。另外，本發明的一個實施方式的目的是提供一種具有良好的電特性的記憶體裝置。另外，本發明的一個實施方式的目的是提供一種電晶體的電特性不均勻小的記憶體裝置。另外，本發明的一個實施方式的目的是提供一種可靠性高的記憶體裝置。另外，本發明的一個實施方式的目的是提供一種通態電流大的記憶體裝置。另外，本發明的一個實施方式的目的是提供一種功耗低的記憶體裝置。另外，本發明的一個實施方式的目的是提供一種新穎記憶體裝置。另外，本發明的一

個實施方式的目的之一是提供一種新穎記憶體裝置的製造方法。

【0012】 注意，這些目的的記載並不妨礙其他目的的存在。注意，本發明的一個實施方式並不需要實現所有上述目的。注意，可以從說明書、圖式、申請專利範圍等的記載得知並衍生上述以外的目的。

【0013】 本發明的一個實施方式是一種記憶體裝置，包括：電容器；電容器上的電晶體；電容器上的第一絕緣體；以及第一絕緣體上的第二絕緣體，其中，電晶體包括：第一絕緣體下的第一導電體；接觸於第一導電體的頂面的氧化物半導體；配置在第一絕緣體與第二絕緣體間且接觸於氧化物半導體的第二導電體；氧化物半導體上的第三絕緣體；以及第三絕緣體上的第三導電體，第一絕緣體、第二導電體及第二絕緣體中形成有到達第一導電體的第一開口，氧化物半導體的至少一部分、第三絕緣體的至少一部分及第三導電體的至少一部分配置在第一開口內，並且，電容器包括：第四導電體；第四導電體上的第四絕緣體；以及第四絕緣體上的第一導電體。

【0014】 本發明的另一個實施方式是一種包括第一層及第二層的記憶體裝置，第一層及第二層各自包括：電容器；電容器上的電晶體；電容器上的第一絕緣體；以及第一絕緣體上的第二絕緣體，其中，第二層層疊於第一層上，電晶體包括：第一絕緣體下的第一導電體；接觸於第一導電體的頂面的氧化物半導體；配置在第一絕緣體與第

二絕緣體間且接觸於氧化物半導體的第二導電體；氧化物半導體上的第三絕緣體；以及第三絕緣體上的第三導電體，第一絕緣體、第二導電體及第二絕緣體中形成有到達第一導電體的第一開口，氧化物半導體的至少一部分、第三絕緣體的至少一部分及第三導電體的至少一部分配置在第一開口內，並且，電容器包括：第四導電體；第四導電體上的第四絕緣體；以及第四絕緣體上的第一導電體，第一層的第二絕緣體及第二層的第一絕緣體中形成有第二開口，第二開口內包括第五導電體，並且，第五導電體接觸於第一層的第二導電體的頂面且接觸於第二層的第二導電體的底面。

【0015】上述記憶體裝置較佳為還包括與第三導電體的頂面接觸的第六導電體，並且較佳的是，第二導電體延伸在第一方向上，第六導電體延伸在第二方向上，第一方向與第二方向彼此交叉。

【0016】另外，在上述記憶體裝置中，較佳的是，第一導電體被用作源極電極和汲極電極中的一個，第二導電體被用作源極電極和汲極電極中的另一個，並且第三導電體被用作閘極電極。

【0017】另外，在上述記憶體裝置中，較佳的是，氧化物半導體的一部分、第三絕緣體的一部分及第三導電體的一部分位於第二絕緣體上。

【0018】另外，在上述記憶體裝置中，較佳的是，在俯視時氧化物半導體的側端部與第三絕緣體的側端部大致

對齊。

【0019】另外，在上述記憶體裝置中，較佳的是，在俯視時第三導電體的側端部位於氧化物半導體的側端部及第三絕緣體的側端部的內側。

【0020】另外，上述記憶體裝置較佳為還包括第三絕緣體與第三導電體間的第五絕緣體，並且第五絕緣體較佳為覆蓋氧化物半導體的側端部及第三絕緣體的側端部。另外，在上述記憶體裝置中，第五絕緣體較佳為氮化矽。

【0021】另外，在上述記憶體裝置中，氧化物半導體較佳為包含選自In、Ga和Zn中的任一個或多個。另外，在上述記憶體裝置中，氧化物半導體較佳為具有大致平行於第一開口的側壁的層狀結晶。另外，在上述記憶體裝置中，氧化物半導體的碳濃度較佳為低於 $1 \times 10^{20} \text{ atoms/cm}^3$ 。

【0022】根據本發明的一個實施方式可以提供一種可以實現微型化或高積體化的記憶體裝置。另外，可以提供一種工作速度高的記憶體裝置。另外，可以提供一種可靠性高的記憶體裝置。另外，可以提供一種電晶體的電特性不均勻小的記憶體裝置。另外，可以提供一種具有良好的電特性的記憶體裝置。另外，可以提供一種通態電流大的記憶體裝置。另外，可以提供一種功耗低的記憶體裝置。另外，可以提供一種新穎記憶體裝置。另外，可以提供一種新穎記憶體裝置的製造方法。

【0023】注意，這些效果的記載並不妨礙其他效果的存在。注意，本發明的一個實施方式並不需要具有所有上

述效果。注意，可以從說明書、圖式、申請專利範圍等的記載得知並衍生上述以外的效果。

【圖式簡單說明】

【0024】

[圖1A]是本發明的一個實施方式的記憶體裝置的平面圖。[圖1B]至[圖1D]是本發明的一個實施方式的記憶體裝置的剖面圖。[圖1E]是用來說明根據本發明的一個實施方式的記憶體裝置的結構的電路圖。

[圖2A]是示出本發明的一個實施方式的記憶體裝置的製造方法的平面圖。[圖2B]及[圖2C]是示出本發明的一個實施方式的記憶體裝置的製造方法的剖面圖。

[圖3A]是示出本發明的一個實施方式的記憶體裝置的製造方法的平面圖。[圖3B]及[圖3C]是示出本發明的一個實施方式的記憶體裝置的製造方法的剖面圖。

[圖4A]是示出本發明的一個實施方式的記憶體裝置的製造方法的平面圖。[圖4B]及[圖4C]是示出本發明的一個實施方式的記憶體裝置的製造方法的剖面圖。

[圖5A]是示出本發明的一個實施方式的記憶體裝置的製造方法的平面圖。[圖5B]及[圖5C]是示出本發明的一個實施方式的記憶體裝置的製造方法的剖面圖。

[圖6A]是示出本發明的一個實施方式的記憶體裝置的製造方法的平面圖。[圖6B]及[圖6C]是示出本發明的一個實施方式的記憶體裝置的製造方法的剖面圖。

[圖 7A]是示出本發明的一個實施方式的記憶體裝置的製造方法的平面圖。[圖 7B]及[圖 7C]是示出本發明的一個實施方式的記憶體裝置的製造方法的剖面圖。

[圖 8A]是示出本發明的一個實施方式的記憶體裝置的製造方法的平面圖。[圖 8B]及[圖 8C]是示出本發明的一個實施方式的記憶體裝置的製造方法的剖面圖。

[圖 9A]至[圖 9C]是本發明的一個實施方式的記憶體裝置的剖面圖。

[圖 10A]是本發明的一個實施方式的記憶體裝置的平面圖。[圖 10B]是本發明的一個實施方式的記憶體裝置的剖面圖。

[圖 11A]是本發明的一個實施方式的記憶體裝置的平面圖。[圖 11B]是本發明的一個實施方式的記憶體裝置的剖面圖。

[圖 12A]至[圖 12E]是說明根據本發明的一個實施方式的金屬氧化物的沉積方法的剖面圖。

[圖 13A]至[圖 13D]是根據本發明的一個實施方式的金屬氧化物的剖面圖。

[圖 14A]至[圖 14D]是說明根據本發明的一個實施方式的金屬氧化物的沉積方法的剖面圖。

[圖 15A]至[圖 15C]是說明根據本發明的一個實施方式的金屬氧化物的沉積方法的剖面圖。

[圖 16]是說明記憶體裝置的結構例子的方塊圖。

[圖 17A]及[圖 17B]是說明記憶體裝置的結構例子的示

意圖及電路圖。

[圖 18A]及[圖 18B]是說明記憶體裝置的結構例子的示意圖。

[圖 19]是說明記憶體裝置的結構例子的電路圖。

[圖 20A]及[圖 20B]是根據本發明的一個實施方式的半導體裝置的示意圖。

[圖 21A]及[圖 21B]是說明電子構件的一個例子的圖。

[圖 22A]至[圖 22E]是根據本發明的一個實施方式的記憶體裝置的示意圖。

[圖 23A]至[圖 23H]是示出根據本發明的一個實施方式的電子裝置的圖。

[圖 24]是示出太空設備的一個例子的圖。

【實施方式】

【0025】下面，參照圖式對實施方式進行說明。注意，所屬技術領域的通常知識者可以很容易地理解一個事實，就是實施方式可以以多個不同形式來實施，其方式和詳細內容可以在不脫離本發明的精神及其範圍的條件下被變換為各種各樣的形式。因此，本發明不應該被解釋為僅限定在下面所示的實施方式所記載的內容中。

【0026】在圖式中，為顯而易見，有時誇大表示大小、層的厚度或區域。因此，本發明並不侷限於圖式中的尺寸。此外，在圖式中，示意性地示出理想的例子，因此本發明不侷限於圖式所示的形狀或數值等。例如，在實際

的製程中，有時由於蝕刻等處理而層或光阻遮罩等被非意圖性地減薄，但是為了便於理解有時不反映於圖式中。另外，在圖式中，有時在不同的圖式之間共同使用相同的符號來表示相同的部分或具有相同功能的部分，而省略其重複說明。此外，當表示具有相同功能的部分時有時使用相同的陰影線，而不特別附加符號。

【0027】 另外，尤其在俯視圖(也稱為平面圖)或立體圖等中，為了便於對發明的理解，有時省略部分組件的記載。另外，有時省略部分隱藏線的記載。

【0028】 此外，在本說明書等中，為了方便起見，附加了第一、第二等序數詞，而其並不表示製程順序或疊層順序。因此，例如可以將“第一”適當地替換為“第二”或“第三”等來進行說明。此外，本說明書等所記載的序數詞與用於指定本發明的一個實施方式的序數詞有時不一致。

【0029】 在本說明書等中，為方便起見，使用了“上”、“下”等表示配置的詞句，以參照圖式說明組件的位置關係。此外，組件的位置關係根據描述各組件的方向適當地改變。因此，不侷限於說明書中所說明的詞句，根據情況可以適當地換詞句。

【0030】 例如，在本說明書等中，X與Y連接是指X與Y電連接。在此，X與Y電連接是指在X和Y之間存在對象物(開關、電晶體元件或二極體等的元件或者包含該元件及佈線的電路等)時可以在X和Y之間傳送電信號的連接。注意，X與Y電連接的情況包括X與Y直接連接的情況。在

此，X與Y直接連接是指X和Y能夠不經過上述對象物而在其間藉由佈線(或者電極)等傳送電信號的連接。換言之，直接連接是指在使用等效電路表示時可以看作相同的電路圖的連接。

【0031】 在本說明書等中，電晶體是指至少包括閘極、汲極以及源極這三個端子的元件。電晶體在汲極(汲極端子、汲極區域或汲極電極)與源極(源極端子、源極區域或源極電極)之間具有形成通道的區域(以下也稱為通道形成區域)，並且透過通道形成區域電流能夠流過源極和汲極之間。注意，在本說明書等中，通道形成區域是指電流主要流過的區域。

【0032】 另外，在使用極性不同的電晶體的情況或電路工作中的電流方向變化的情況等下，源極或汲極的功能有時互相調換。因此，在本說明書等中，有時源極或汲極可以相互調換。

【0033】 注意，半導體的雜質例如是指構成半導體的主要成分之外的元素。例如，濃度低於0.1原子%的元素可以說是雜質。在包含雜質時，例如有時發生半導體的缺陷態密度的增高、結晶性的降低等。當半導體是氧化物半導體時，作為改變半導體的特性的雜質，例如有第1族元素、第2族元素、第13族元素、第14族元素、第15族元素以及除氧化物半導體的主要成分外的過渡金屬等。例如，有氫、鋰、鈉、矽、硼、磷、碳、氮等。此外，有時水也作為雜質起作用。此外，例如有時雜質的混入導致氧化物

半導體中的氧空位(也稱為 V_O : oxygen vacancy)的形成。

【0034】注意，在本說明書等中，氧氮化矽是指在組成中氧含量大於氮含量的物質。此外，氮氧化矽是指在組成中氮含量大於氧含量的物質。另外，氧氮化鋁是指在組成中氧含量大於氮含量的物質。另外，氮氧化鋁是指在組成中氮含量大於氧含量的物質。另外，氧氮化鉛是指在組成中氮含量大於氧含量的物質。另外，氮氧化鉛是指在組成中氮含量大於氧含量的物質。

【0035】注意，在本說明書等中，可以將“絕緣體”換稱為“絕緣膜”或“絕緣層”。另外，可以將“導電體”換稱為“導電膜”或“導電層”。另外，可以將“半導體”換稱為“半導體膜”或“半導體層”。

【0036】在本說明書等中，“平行”是指兩條直線形成的角度為 -10° 以上且 10° 以下的狀態。因此，也包括該角度為 -5° 以上且 5° 以下的狀態。“大致平行”是指兩條直線形成的角度為 -30° 以上且 30° 以下的狀態。另外，“垂直”是指兩條直線形成的角度為 80° 以上且 100° 以下的狀態。因此，也包括該角度為 85° 以上且 95° 以下的狀態。“大致垂直”是指兩條直線形成的角度為 60° 以上且 120° 以下的狀態。

【0037】此外，在本說明書等中，可以適當地調換“電壓”和“電位”。“電壓”是指與參考電位之間的電位差，例如在參考電位為地電位(接地電位)時，也可以將“電壓”稱為“電位”。地電位不一定意味著0V。此外，電位是相對性的，根據參考電位的變化而供應到佈線的電位、施加到

電路等的電位、從電路等輸出的電位等也產生變化。

【0038】在本說明書等中，在多個組件使用同一符號並且需要區分它們時，有時對符號附加“_1”、“[n]”或“[m,n]”等用於識別的符號。

【0039】注意，在本說明書等中，“高度一致或大致一致”是指在剖面中距作為基準的面(例如，基板表面等平坦的面)的高度相等的結構。例如，在記憶體裝置的製造程序中，有時進行平坦化處理(典型的是CMP處理)使單層或多個層的表面露出。在這種情況下，CMP處理的被處理面距作為基準的面的高度相等。注意，根據進行CMP處理時的處理裝置、處理方法或被處理面的材料，有時多個層的高度不同。在本說明書等中，“高度一致或大致一致”也包括上述情況。例如，在包括對基準面具有兩個高度的層(在此稱為第一層和第二層)的情況下，當第一層的頂面的高度與第二層的頂面的高度之差為20nm以下時，也將其稱為“高度一致或大致一致”。

【0040】注意，在本說明書等中，“端部對齊或大致對齊”是指俯視時層疊的層與層之間輪廓的至少一部分重疊。例如，包括上層及下層藉由同一的遮罩圖案或其一部分同一的遮罩圖案被加工的情況。但是，嚴格地說，有時輪廓不重疊且上層的輪廓位於下層的輪廓的內側或者上層的輪廓位於下層的輪廓的外側，這些情況也包括在“端部對齊或大致對齊”。

【0041】

實施方式 1

在本實施方式中，參照圖 1 至圖 11 說明本發明的一個實施方式的記憶體裝置的一個例子及其製造方法。本發明的一個實施方式的記憶體裝置包括電晶體及電容器。

【0042】

<記憶體裝置的結構例子>

參照圖 1 說明包括電晶體及電容器的記憶體裝置的結構。圖 1A 至圖 1D 是包括電晶體 200 及電容器 100 的記憶體裝置的平面圖及剖面圖。圖 1A 是該記憶體裝置的平面圖。圖 1B 至圖 1D 是該記憶體裝置的剖面圖。在此，圖 1B 是沿著圖 1A 中的點劃線 A1-A2 的部分的剖面圖。此外，圖 1C 是沿著圖 1A 中的點劃線 A3-A4 的部分的剖面圖。另外，圖 1D 是電晶體 200 的一部分的剖面圖。注意，在圖 1A 的平面圖中，為了明確起見，省略一部分組件。

【0043】另外，圖 1A 所示的 Z 方向與電晶體 200 的通道長度方向平行，Y 方向與 Z 方向垂直，並且 X 方向與 Z 方向及 Y 方向垂直。在圖 1B 至圖 1D 中也示出圖 1A 所示的 X 方向、Y 方向及 Z 方向。

【0044】本發明的一個實施方式的記憶體裝置包括基板(未圖示)上的絕緣體 140、絕緣體 140 上的電容器 100、電容器 100 上的電晶體 200、絕緣體 140 及電容器 100 上的絕緣體 280、絕緣體 280 上的絕緣體 281 及導電體 240、絕緣體 281 及導電體 240 上的絕緣體 285、絕緣體 285 上的絕緣體 287 以及絕緣體 287 上的絕緣體 289 及導電體 265。絕緣體

140、絕緣體 280、絕緣體 281、絕緣體 285、絕緣體 287及絕緣體 289被用作層間膜。

【0045】電晶體 200包括絕緣體 280下的導電體 120、接觸於導電體 120的頂面的氧化物半導體 230、接觸於氧化物半導體的一部分的導電體 240、氧化物半導體 230上的絕緣體 250以及絕緣體 250上的導電體 260。在此，氧化物半導體 230被用作半導體層，導電體 260被用作閘極電極，導電體 120被用作源極電極和汲極電極中的一個，導電體 240被用作源極電極和汲極電極中的另一個，絕緣體 250被用作閘極絕緣體。

【0046】如圖 1B及圖 1C所示，絕緣體 280、導電體 240及絕緣體 285中形成有到達導電體 120的開口 290。氧化物半導體 230的至少一部分、絕緣體 250的至少一部分及導電體 260的至少一部分配置在開口 290內。

【0047】電容器 100包括絕緣體 140上的導電體 110、導電體 110上的絕緣體 130以及絕緣體 130上的導電體 120。導電體 110被用作下部電極，導電體 120被用作上部電極，絕緣體 130被用作介電質。換言之，電容器 100構成 MIM (Metal-Insulator-Metal：金屬-絕緣體-金屬)電容器。

【0048】本實施方式所示的電晶體 200及電容器 100可以用於記憶體裝置的記憶單元(以下，有時被稱為記憶單元 150)。在此，如圖 1B及圖 1C所示，電晶體 200重疊於電容器 100。尤其是，導電體 120被用作電晶體 200的源極電極和汲極電極中的一個且被用作電容器 100的上部電極，

所以電晶體 200 及電容器 100 共用部分結構。藉由採用這種結構，在俯視時可以以不大幅度地增大佔有面積的方式設置電晶體 200 及電容器 100。由此，可以減小記憶單元 150 的面積，所以可以以高密度配置記憶單元 150 而增大記憶體裝置的記憶容量。換言之，可以實現記憶體裝置的高積體化。

【0049】圖 1E 示出本實施方式所示的記憶體裝置的電路圖。如圖 1E 所示，圖 1A 至圖 1C 所示的結構被用作記憶體裝置的記憶單元。記憶單元包括電晶體 Tr 及電容器 C。在此，電晶體 Tr 對應於電晶體 200，電容器 C 對應於電容器 100。

【0050】在記憶單元中，電晶體 Tr 的源極和汲極中的一個與電容器 C 的一個電極連接。電晶體 Tr 的源極和汲極中的另一個與佈線 BL 連接。電晶體 Tr 的閘極與佈線 WL 連接。電容器 C 的另一個電極與佈線 PL 連接。

【0051】在此，佈線 BL 對應於導電體 240，佈線 WL 對應於導電體 265，佈線 PL 對應於導電體 110。如圖 1A 至圖 1C 所示，較佳的是，導電體 265 延伸在 Y 方向上，導電體 240 延伸在 X 方向上。藉由採用這種結構，佈線 BL 與佈線 WL 彼此交叉。另外，在圖 1E 中佈線 PL 平行於佈線 WL，但是本發明不侷限於此。例如，佈線 PL (導電體 110) 可以平行於佈線 BL，佈線 PL (導電體 110) 也可以以平面狀設置。

【0052】注意，將在後面的實施方式中詳細地說明記憶單元。

【 0053 】**[電晶體 200]**

如圖 1A 至圖 1C 所示，電晶體 200 可以包括：接觸於絕緣體 130 上的導電體 120；接觸於導電體 120 的頂面、絕緣體 280 的側面、導電體 240 的側面、絕緣體 285 的側面及頂面的氧化物半導體 230；接觸於氧化物半導體 230 的頂面的絕緣體 250；嵌入絕緣體 281 的導電體 240；接觸於絕緣體 250 的頂面的導電體 260；以及接觸於導電體 260 的頂面且嵌入絕緣體 289 的導電體 265。

【 0054 】 電晶體 200 的至少一部分配置在開口 290 內。如圖 1A 至圖 1D 所示，開口 290 可以以圓柱狀設置。在此情況下，開口 290 的俯視時的形狀為圓形，開口 290 的從剖面看時的形狀為長方形。在此，開口 290 的底面為導電體 120 的頂面，開口 290 的側壁為絕緣體 280 的側面、導電體 240 的側面及絕緣體 285 的側面。

【 0055 】 注意，在本實施方式中以開口 290 的側壁大致垂直於導電體 120 的頂面的方式設置開口 290，但是本發明不侷限於此。例如，開口 290 的側壁也可以具有錐形形狀。藉由使開口 290 的側壁具有錐形形狀，氧化物半導體 230 或絕緣體 250 等的覆蓋性得到提高且可以減少空洞等缺陷。

【 0056 】 注意，在本說明書等中，錐形形狀是指組件的側面的至少一部分相對於基板面或被形成面傾斜地設置的形狀。例如，具有傾斜的側面和基板面所形成的角度

(以下，有時稱為錐角)小於 90° 的區域。注意，組件的側面及基板面不一定必須完全平坦，也可以是具有微小曲率的近似平面狀或具有微細凹凸的近似平面狀。

【0057】注意，本實施方式示出開口290的俯視時的形狀為圓形的例子，但是本發明不侷限於此。例如，開口290的俯視時的形狀也可以為橢圓等大致圓形形狀、四角形等多角形形狀、使四角形等多角形的角部帶弧形的形狀。

【0058】配置在氧化物半導體230、絕緣體250及導電體260的開口290內的部分反映了開口290的形狀。因此，以覆蓋開口290的底面及側壁的方式設置氧化物半導體230，以覆蓋氧化物半導體230的方式設置絕緣體250，並且以嵌入反映了開口290的形狀的絕緣體250的凹部的方式設置導電體260。在此，氧化物半導體230在開口290的底部接觸於導電體120的頂面且在開口290的側壁接觸於導電體240的側面。

【0059】如上所述，導電體260被用作電晶體200的閘極電極，導電體120被用作電晶體200的源極電極和汲極電極中的一個，導電體240被用作電晶體200的源極電極和汲極電極中的另一個。因此，氧化物半導體230的接觸於導電體120的區域及其附近的至少一部分被用作源極區域和汲極區域中的一方，氧化物半導體230的接觸於導電體240的區域及其附近的至少一部分被用作源極區域和汲極區域中的另一方。在此，圖1D是包括導電體240的XY平面的剖

面圖。如圖 1D 所示，導電體 240 接觸於氧化物半導體 230 的外周整體。因此，電晶體 200 的源極區域和汲極區域中的另一方有可能形成在氧化物半導體 230 的形成在與導電體 240 相同層中的部分的外周整體。

【0060】氧化物半導體 230 的用作源極區域和汲極區域中的一方的區域與用作源極區域和汲極區域中的另一方的區域間的區域的至少一部分被用作通道形成區域。

【0061】在此，電晶體 200 的通道形成區域位於氧化物半導體 230 的導電體 120 與導電體 240 間的區域。另外，也可以說電晶體 200 的通道形成區域位於氧化物半導體 230 的接觸於絕緣體 280 的區域或其附近的區域。換言之，可以說電晶體 200 的通道長度根據導電體 120 上的絕緣體 280 的厚度決定。

【0062】在習知的電晶體中，根據光微影法的曝光極限設定通道長度，但是在本發明中，可以根據絕緣體 280 的膜厚度設定通道長度。因此，可以將電晶體 200 的通道長度設定為光微影法的曝光極限以下的非常微細的結構（例如，60nm 以下、50nm 以下、40nm 以下、30nm 以下、20nm 以下或 10nm 以下且 1nm 以上或 5nm 以上）。因此，電晶體 200 的通態電流變大，從而可以提高頻率特性。由此，可以提高記憶單元 150 的讀出速度及寫入速度，所以可以提供一種工作速度高的記憶體裝置。

【0063】再者，如上所述，可以在開口 290 內形成通道形成區域、源極區域及汲極區域。因此，與在 XY 平面

上分別設置通道形成區域、源極區域及汲極區域的習知的電晶體相比，可以減小電晶體 200 的佔有面積。由此，可以使記憶體裝置高積體化，所以可以增大單位面積的記憶容量。

【0064】另外，與圖 1D 同樣，在包括氧化物半導體 230 的通道形成區域的 XY 平面上，氧化物半導體 230、絕緣體 250 及導電體 260 也以同心圓狀設置。因此，設置在中心的導電體 260 的側面隔著絕緣體 250 與氧化物半導體 230 的側面對。換言之，在俯視時氧化物半導體 230 的圈整體成為通道形成區域。此時，例如，根據氧化物半導體 230 的外周的長度決定電晶體 200 的通道寬度。如此，藉由設置氧化物半導體 230、絕緣體 250 及導電體 260，可以增大單位面積的通道寬度而增大通態電流。

【0065】另外，藉由以在俯視時具有圓形形狀的方式形成開口 290，氧化物半導體 230、絕緣體 250 及導電體 260 以同心圓狀設置。由此，導電體 260 與氧化物半導體 230 間的距離大致相同，所以可以對氧化物半導體 230 大致均勻地施加閘極電場。

【0066】較佳的是，與源極區域及汲極區域相比，電晶體 200 的通道形成區域中的氧空位少或者氫、氮、金屬元素等雜質濃度低。另外，氧空位附近的氫有時形成氫進入氧空位的缺陷(以下，有時被稱為 V_oH)而生成成為載子的電子，所以在通道形成區域中較佳為還減少 V_oH 。如此，電晶體 200 的通道形成區域是載子濃度低的高電阻區

域。由此，電晶體 200 的通道形成區域可以說是 i 型(本質)或實質上 i 型。

【0067】另外，電晶體 200 的源極區域及汲極區域是如下區域：由於與通道形成區域相比氧空位多、 V_{OH} 多或者氫、氮、金屬元素等雜質濃度高而載子濃度增加，由此被低電阻化。就是說，與通道形成區域相比，電晶體 200 的源極區域及汲極區域是載子濃度更高且電阻更低的 n 型區域。

【0068】另外，氧化物半導體 230 的一部分、絕緣體 250 的一部分及導電體 260 的一部分位於開口 290 的外部，即絕緣體 285 上。在此，氧化物半導體 230 的一部分可以接觸於絕緣體 285 的頂面。另外，如圖 1B 及圖 1C 所示，氧化物半導體 230 的側端部與絕緣體 250 的側端部也可以大致對齊。藉由採用這種結構，可以使用相同遮罩形成氧化物半導體 230 及絕緣體 250，由此可以簡化記憶體裝置的製程。

【0069】或者，絕緣體 250 也可以覆蓋氧化物半導體 230 的側端部。由此，可以防止導電體 260 及氧化物半導體 230 短路。

【0070】另外，如圖 1B、圖 1C 所示，導電體 260 的側端部較佳為位於氧化物半導體 230 的側端部及絕緣體 250 的側端部的內側。由此，可以防止導電體 260 及氧化物半導體 230 短路。

【0071】用作氧化物半導體 230 的金屬氧化物的能帶間隙較佳為 $2eV$ 以上，更佳為 $2.5eV$ 以上。藉由使用能帶間

用適當地層疊選自上述金屬氧化物中的多種的結構。

【0075】另外，作為氧化物半導體230，可以使用如下組成的金屬氧化物： $\text{In} : \text{M} : \text{Zn} = 1 : 3 : 4$ [原子個數比]或其附近的組成、 $\text{In} : \text{M} : \text{Zn} = 1 : 1 : 0.5$ [原子個數比]或其附近的組成、 $\text{In} : \text{M} : \text{Zn} = 1 : 1 : 1$ [原子個數比]或其附近的組成、 $\text{In} : \text{M} : \text{Zn} = 1 : 1 : 1.2$ [原子個數比]或其附近的組成、 $\text{In} : \text{M} : \text{Zn} = 1 : 1 : 2$ [原子個數比]或其附近的組成或者 $\text{In} : \text{M} : \text{Zn} = 4 : 2 : 3$ [原子個數比]或其附近的組成。注意，附近的組成包括所希望的原子個數比的 $\pm 30\%$ 的範圍。另外，作為元素M較佳為使用鎵。

【0076】另外，在藉由濺射法沉積金屬氧化物時，上述原子個數比不侷限於所沉積的金屬氧化物的原子個數比，而也可以是用於金屬氧化物的沉積的濺射靶材的原子個數比。

【0077】另外，氧化物半導體230較佳為具有結晶性。尤其是，較佳為使用CAAC-OS(c-axis aligned crystalline oxide semiconductor：c軸配向結晶氧化物半導體)作為氧化物半導體230。

【0078】CAAC-OS較佳為具有多個層狀結晶區域且其c軸在被形成面的法線方向上配向。例如，氧化物半導體230較佳為具有大致平行於開口290的側壁的層狀結晶，尤其是大致平行於絕緣體280的側面的層狀結晶。藉由採用這種結構，氧化物半導體230的層狀結晶大致平行於電晶體200的通道長度方向，所以可以增大電晶體的通態電

流。

【0079】CAAC-OS具有結晶性高的緻密結構且是雜質及缺陷(例如，氧空位等)少的金屬氧化物。尤其是，藉由在形成金屬氧化物後以金屬氧化物不被多晶化的溫度(例如，400℃以上且600℃以下)進行熱處理，可以使CAAC-OS具有結晶性更高的緻密結構。如此，藉由進一步提高CAAC-OS的密度，可以進一步降低該CAAC-OS中的雜質或氧的擴散。

【0080】此外，在CAAC-OS中不容易觀察明確的晶界，因此不容易發生起因於晶界的電子移動率的下降。因此，包含CAAC-OS的金屬氧化物的物理性質穩定。因此，具有CAAC-OS的金屬氧化物具有耐熱性及高可靠性。

【0081】此外，當作為氧化物半導體230使用CAAC-OS等具有結晶性的氧化物時，可以抑制源極電極或汲極電極從氧化物半導體230抽出氧。因此，即使進行熱處理也可以抑制氧從氧化物半導體230抽出。所以，電晶體200對製程中的高溫度(所謂熱積存：thermal budget)也很穩定。

【0082】絕緣體250被用作閘極絕緣體。作為絕緣體250，可以使用將在後面說明的<<絕緣體>>中記載的絕緣體的單層或疊層。作為絕緣體250，例如可以使用氧化矽或氧氮化矽。氧化矽及氧氮化矽具有熱穩定性，所以是較佳的。

【0083】另外，作為絕緣體250，也可以使用將在後

面說明的<<絕緣體>>中記載的相對介電常數高的絕緣體，即所謂的high-k材料。例如，也可以使用氧化鈣或氧化鋁等。

【0084】絕緣體250的膜厚度較佳為1nm以上且20nm以下，更佳為0.5nm以上且15nm以下，進一步較佳為0.5nm以上且10nm以下。絕緣體250的至少一部分為上述膜厚度的區域即可。

【0085】絕緣體250中的水、氫等雜質濃度較佳為得到降低。由此，可以抑制水、氫等雜質混入氧化物半導體230的通道形成區域中。

【0086】導電體260被用作閘極電極。作為導電體260，可以使用將在後面說明的<<導電體>>中記載的導電體的單層或疊層。作為導電體260，例如可以使用鎢等導電性高的導電材料。

【0087】另外，作為導電體260，較佳為使用不容易氧化的導電材料或者具有抑制氧擴散的功能的導電材料等。作為該導電材料，可以舉出包含氮的導電材料(例如，氮化鈦或氮化鉭等)及包含氧的導電材料(例如，氧化鈦等)等。由此，可以抑制導電體260的導電率的下降。另外，導電體260也可以具有疊層結構，例如也可以具有氮化鈦上層疊有鎢的結構。

【0088】導電體260較佳為以嵌入絕緣體287的方式設置。此時，導電體260的頂面的高度和絕緣體287的頂面的高度較佳為一致或大致一致。

【0089】注意，在圖1B及圖1C中導電體260以嵌入開口290的方式設置，但是本發明不侷限於此。例如，導電體260的中央部有時形成有反映了開口290的形狀的凹部。另外，也可以用無機絕緣材料等填充該凹部。

【0090】導電體120兼用作源極電極和汲極電極中的一個和電容器100的上部電極。作為導電體120，可以使用將在後面說明的<<導電體>>中記載的導電體的單層或疊層。

【0091】與導電體260同樣，導電體120也較佳為使用不容易氧化的導電材料或者具有抑制氧擴散的功能的導電材料等。例如，可以使用氮化鈦或氮化鉭等。另外，例如，也可以具有氮化鈦上層疊有氮化鉭的結構。在此情況下，氮化鈦接觸於絕緣體130且氮化鉭接觸於氧化物半導體230。

【0092】藉由使導電體120具有上述結構，可以抑制因氧化物半導體230而導電體120被過度氧化。另外，可以抑制在作為絕緣體130使用氧化物絕緣體時因絕緣體130而導電體120被過度氧化。

【0093】注意，圖1B及圖1C示出導電體120的頂面被平坦化的結構，但是本發明不侷限於此，也可以採用導電體120的頂面形成有重疊於開口290的凹部的結構。藉由採用以嵌入該凹部的方式形成氧化物半導體230、絕緣體250及導電體260的至少一部分的結構，可以容易將導電體260的閘極電場施加到氧化物半導體230的導電體120附近。

【0094】導電體240被用作源極電極和汲極電極中的另一個。作為導電體240，可以使用將在後面說明的<<導電體>>中記載的導電體的單層或疊層。作為導電體240，例如可以使用鎢等導電性高的導電材料。

【0095】與導電體260同樣，導電體240也較佳為使用不容易氧化的導電材料或者具有抑制氧擴散的功能的導電材料等。例如，可以使用氮化鈦或氮化鉭等。藉由採用這種結構，可以抑制因氧化物半導體230而導電體240被過度氧化。

【0096】另外，例如，也可以具有氮化鈦上層疊有鎢的結構。藉由如此層疊鎢，可以提高導電體240的導電性而使導電體240充分發揮作為佈線BL的功能。

【0097】導電體240較佳為以嵌入絕緣體281的方式設置。此時，導電體240的頂面的高度和絕緣體281的頂面的高度較佳為一致或大致一致。

【0098】導電體265被用作與電晶體200的閘極電連接的佈線WL。作為導電體265，可以使用將在後面說明的<<導電體>>中記載的導電體的單層或疊層。作為導電體265，例如可以使用鎢等導電性高的導電材料。

【0099】導電體265較佳為以嵌入絕緣體289的方式設置。此時，導電體265的頂面的高度和絕緣體289的頂面的高度較佳為一致或大致一致。

【0100】在圖1B中導電體265的側端部與導電體260的側端部大致對齊，但是本發明不侷限於此。例如，導電體

265的側端部可以位於導電體260的側端部的外側，也可以位於導電體260的側端部的內側。

【0101】絕緣體140、絕緣體280、絕緣體281、絕緣體285、絕緣體287及絕緣體289被用作層間膜，所以其介電常數較佳為低。藉由將介電常數低的材料用於層間膜，可以減少產生在佈線之間的寄生電容。作為絕緣體140、絕緣體280、絕緣體281、絕緣體285、絕緣體287及絕緣體289，可以使用將在後面說明的<<絕緣體>>中記載的相對介電常數低的絕緣體的單層或疊層。例如，可以使用氧化矽、氧氮化矽、添加有氟的氧化矽、添加有碳的氧化矽、添加有碳及氮的氧化矽、具有空孔的氧化矽等。尤其是，由於氧化矽及氧氮化矽具有熱穩定性，所以是較佳的。

【0102】另外，較佳為降低絕緣體140、絕緣體280、絕緣體281、絕緣體285、絕緣體287及絕緣體289中的水、氫等雜質濃度。由此，可以抑制水、氫等雜質混入氧化物半導體230的通道形成區域中。

【0103】另外，作為配置在通道形成區域附近的絕緣體280，較佳為使用包含藉由加熱脫離的氧(以下，有時被稱為過量氧)的絕緣體。藉由對包含過量氧的絕緣體280進行熱處理，可以從絕緣體280向氧化物半導體230的通道形成區域供應氧而可以減少氧空位及 V_{oH} 。由此，可以使電晶體200的電特性穩定而提高可靠性。

【0104】

[電容器100]

電容器 100 包括導電體 110、絕緣體 130、導電體 120。導電體 110 被用作電容器 100 的一對電極中的一個(也稱為下部電極)，導電體 120 被用作電容器 100 的一對電極中的另一個(也稱為上部電極)，絕緣體 130 被用作電容器 100 的介電質。

【0105】導電體 110 設置在絕緣體 140 上。導電體 110 被用作佈線 PL，例如可以延伸在 Y 方向上。作為導電體 110，可以使用將在後面說明的 <<導電體>> 中記載的導電體的單層或疊層。作為導電體 110，例如可以使用鎢等導電性高的導電材料。藉由如此使用導電性高的導電材料，可以提高導電體 110 的導電性而使導電體 110 充分發揮作為佈線 PL 的功能。

【0106】另外，作為導電體 110，較佳為層疊不容易氧化的導電材料或者具有抑制氧擴散的功能的導電材料等而使用。例如，也可以具有氮化鈦上層疊有氮化鈮的結構。藉由採用這種結構，可以抑制因絕緣體 130 而導電體 110 被過度氧化。

【0107】絕緣體 130 設置在導電體 110 上。作為絕緣體 130 較佳為使用高介電常數 (high-k) 材料 (高相對介電常數的材料)。

【0108】另外，作為高介電常數 (high-k) 材料的絕緣體，可以使用包含選自鋁、鉛、銦和鎵等中的一種以上的金屬元素的氧化物、氧氮化物、氮氧化物或氮化物。另外，上述氧化物、氧氮化物、氮氧化物或氮化物也可以包

含矽。另外，也可以層疊由上述的材料構成的絕緣層而使用。

【0109】例如，作為高介電常數(**high-k**)材料的絕緣體，可以使用氧化鋁、氧化鉛、氧化鋇、包含鋁及鉛的氧化物、包含鋁及鉛的氧氮化物、包含矽及鉛的氧化物、包含矽及鉛的氧氮化物、包含矽及鋇的氧化物、包含矽及鋇的氧氮化物、包含鉛及鋇的氧化物、包含鉛及鋇的氧氮化物等。藉由使用這種 **high-k** 材料，可以將絕緣體 130 形成為厚到能夠抑制洩漏電流的程度且可以充分確保電容器 100 的靜電電容。

【0110】另外，較佳為層疊由上述材料構成的絕緣層而使用，較佳為使用高介電常數(**high-k**)材料與介電強度大於該高介電常數(**high-k**)材料的材料的疊層結構。例如，作為絕緣體 130，可以使用依次層疊有氧化鋇、氧化鋁及氧化鋇的絕緣膜。另外，例如，可以使用依次層疊有氧化鋇、氧化鋁、氧化鋇及氧化鋁的絕緣膜。另外，例如，可以使用依次層疊有鉛鋇氧化物、氧化鋁、鉛鋇氧化物、氧化鋁的絕緣膜。藉由層疊氧化鋁等介電強度較大的絕緣體而使用，可以提高介電強度而可以抑制電容器 100 的靜電破壞。

【0111】另外，也可以採用導電體 110 的側端部與絕緣體 130 的側端部大致對齊的結構。藉由採用這種結構，可以使用相同遮罩形成導電體 110 及絕緣體 130，由此可以簡化記憶體裝置的製程。

【0112】或者，絕緣體130也可以覆蓋導電體110的側端部。由此，可以防止導電體110及導電體120短路。

【0113】導電體120可以根據在[電晶體200]中說明的方式設置。在此，電容器100的靜電電容依賴於導電體120的面積，所以根據電容器100的設計值適當地設定島狀的導電體120的面積即可。例如，藉由增大島狀的導電體120的面積，可以增大電容器100的靜電電容。藉由如此增大電容器100的單位面積的靜電電容，可以使記憶體裝置的讀出工作穩定。

【0114】

<記憶體裝置的構成材料>

以下，說明可用於記憶體裝置的構成材料。

【0115】

<<基板>>

作為形成電晶體200及電容器100的基板例如可以使用絕緣體基板、半導體基板或導電體基板。作為絕緣體基板，例如可以舉出玻璃基板、石英基板、藍寶石基板、穩定氧化鋯基板(鈮安定氧化鋯基板等)、樹脂基板等。此外，作為半導體基板，例如可以舉出以矽、鍺為材料的半導體基板、或者由碳化矽、矽鍺、砷化鎵、磷化銮、氧化鋅或氧化鎵構成的化合物半導體基板等。並且，還可以舉出在上述半導體基板內部具有絕緣體區域的半導體基板，例如SOI(Silicon On Insulator：絕緣層上覆矽)基板等。作為導電體基板，可以舉出石墨基板、金屬基板、合金基

板、導電樹脂基板等。或者，可以舉出包含金屬氮化物的基板、包含金屬氧化物的基板等。此外，還可以舉出設置有導電體或半導體的絕緣體基板、設置有導電體或絕緣體的半導體基板、設置有半導體或絕緣體的導電體基板等。或者，也可以使用在這些基板上設置有元件的基板。作為設置在基板上的元件，可以舉出電容器、電阻器、切換元件、發光元件、記憶元件等。

【0116】

<<絕緣體>>

作為絕緣體，有具有絕緣性的氧化物、氮化物、氧氮化物、氮氧化物、金屬氧化物、金屬氧氮化物、金屬氮氧化物等。

【0117】例如，當進行電晶體的微型化及高積體化時，由於閘極絕緣體的薄膜化，有時發生洩漏電流等的問題。藉由作為用作閘極絕緣體的絕緣體使用high-k材料，可以在保持物理厚度的同時實現電晶體工作時的低電壓化。另一方面，藉由將相對介電常數較低的材料用於用作層間膜的絕緣體，可以減少產生在佈線之間的寄生電容。因此，較佳為根據絕緣體的功能選擇材料。

【0118】作為相對介電常數較高的絕緣體，可以舉出氧化鎵、氧化鉛、氧化鋯、含有鋁及鉛的氧化物、含有鋁及鉛的氧氮化物、含有矽及鉛的氧化物、含有矽及鉛的氧氮化物或者含有矽及鉛的氮化物等。

【0119】作為相對介電常數較低的絕緣體，可以舉出

氧化矽、氧氮化矽、氮氧化矽、氮化矽、添加有氟的氧化矽、添加有碳的氧化矽、添加有碳及氮的氧化矽、具有空孔的氧化矽或樹脂等。

【0120】此外，被用作閘極絕緣體的絕緣體較佳為具有包含藉由加熱脫離的氧的區域的絕緣體。例如，藉由採用具有包含藉由加熱脫離的氧的區域的氧化矽或者氧氮化矽接觸於氧化物半導體230的結構，可以填補氧化物半導體230所包含的氧空位。

【0121】

<<導電體>>

作為導電體，較佳為使用選自鋁、鉻、銅、銀、金、鉑、鉭、鎳、鈦、鉬、鎢、鉛、釩、鈮、錳、鎂、銻、銻、銻、銻和鏷等中的金屬元素、以上述金屬元素為成分的合金或者組合上述金屬元素的合金等。例如，較佳為使用氮化鉭、氮化鈦、鎢、包含鈦和鋁的氮化物、包含鉭和鋁的氮化物、氧化鈦、氮化鈦、包含銻和鈦的氧化物、包含鏷和鎳的氧化物等。此外，氮化鉭、氮化鈦、包含鈦和鋁的氮化物、包含鉭和鋁的氮化物、氧化鈦、氮化鈦、包含銻和鈦的氧化物、包含鏷和鎳的氧化物是不容易氧化的導電材料或者吸收氧也維持導電性的材料，所以是較佳的。此外，也可以使用以包含磷等雜質元素的多晶矽為代表的導電率高的半導體以及鎳矽化物等矽化物。

【0122】此外，也可以層疊多個由上述材料形成的導電層。例如，也可以採用組合包含上述金屬元素的材料和

包含氧的導電材料的疊層結構。此外，也可以採用組合包含上述金屬元素的材料和包含氮的導電材料的疊層結構。此外，也可以採用組合包含上述金屬元素的材料、包含氧的導電材料和包含氮的導電材料的疊層結構。

【0123】

<<金屬氧化物>>

作為氧化物半導體230，較佳為使用用作半導體的金屬氧化物(氧化物半導體)。關於可用於根據本發明的氧化物半導體230的金屬氧化物，可以參照上面的說明。

【0124】此外，在本說明書等中，有時將包含氮的金屬氧化物也稱為金屬氧化物(metal oxide)。此外，也可以將包含氮的金屬氧化物稱為金屬氧氮化物(metal oxynitride)。

【0125】以下，作為金屬氧化物的一個例子說明包含銦(In)、鎵(Ga)及鋅(Zn)的氧化物。注意，有時將包含銦(In)、鎵(Ga)及鋅(Zn)的氧化物稱為In-Ga-Zn氧化物。

【0126】

<結晶結構的分類>

作為氧化物半導體的結晶結構，可以舉出非晶(包括completely amorphous)、CAAC(c-axis-aligned crystalline)、nc(nanocrystalline)、單晶(single crystal)及多晶(poly crystal)等。

【0127】可以使用X射線繞射(XRD：X-Ray Diffraction)光譜對膜或基板的結晶結構進行評價。例如，

可以使用GIXD(Grazing-Incidence XRD)測量測得的XRD光譜進行評價。此外，將GIXD法也稱為薄膜法或Seemann-Bohlin法。以下，有時將使用GIXD測量測得的XRD光譜簡單地記作XRD光譜。

【0128】例如，石英玻璃基板的XRD光譜的峰形狀大致為左右對稱。另一方面，具有結晶結構的In-Ga-Zn氧化物膜的XRD光譜的峰形狀不是左右對稱。XRD光譜的峰的形狀是左右不對稱說明膜中或基板中存在結晶。換言之，除非XRD光譜峰形狀為左右對稱，否則不能說膜或基板處於非晶態。

【0129】此外，可以使用藉由奈米束電子繞射法(NBED：Nano Beam Electron Diffraction)觀察的繞射圖案(也稱為奈米束電子繞射圖案)對膜或基板的結晶結構進行評價。例如，在石英玻璃基板的繞射圖案中觀察到光暈圖案，可以確認石英玻璃處於非晶態。此外，以室溫沉積的In-Ga-Zn氧化物膜的繞射圖案中觀察到斑點狀的圖案而沒有觀察到光暈圖案。因此可以推測，以室溫沉積的In-Ga-Zn氧化物處於既不是單晶或多晶也不是非晶態的中間態，不能得出該In-Ga-Zn氧化物是非晶態的結論。

【0130】

<<氧化物半導體的結構>>

此外，在著眼於氧化物半導體的結構的情況下，有時氧化物半導體的分類與上述不同。例如，氧化物半導體可以分為單晶氧化物半導體和除此之外的非單晶氧化物半導

體。作為非單晶氧化物半導體，例如可以舉出上述CAAC-OS及nc-OS。此外，在非單晶氧化物半導體中包含多晶氧化物半導體、a-like OS(amorphous-like oxide semiconductor)及非晶氧化物半導體等。

【0131】在此，對上述CAAC-OS、nc-OS及a-like OS的詳細內容進行說明。

【0132】

[CAAC-OS]

CAAC-OS是具有多個結晶區域的氧化物半導體，該多個結晶區域的c軸配向於特定的方向。此外，特定的方向是指CAAC-OS膜的厚度方向、CAAC-OS膜的被形成面的法線方向、或者CAAC-OS膜的表面的法線方向。此外，結晶區域是具有原子排列的週期性的區域。注意，在將原子排列看作晶格排列時結晶區域也是晶格排列一致的區域。再者，CAAC-OS具有在a-b面方向上多個結晶區域連接的區域，有時該區域具有畸變。此外，畸變是指在多個結晶區域連接的區域中，晶格排列一致的區域和其他晶格排列一致的區域之間的晶格排列的方向變化的部分。換言之，CAAC-OS是指c軸配向並在a-b面方向上沒有明顯的配向的氧化物半導體。

【0133】此外，上述多個結晶區域的每一個由一個或多個微小結晶(最大徑小於10nm的結晶)構成。在結晶區域由一個微小結晶構成的情況下，該結晶區域的最大徑小於10nm。此外，在結晶區域由多個微小結晶構成的情況

下，有時該結晶區域的最大徑為幾十nm左右。

【0134】此外，在In-Ga-Zn氧化物中，有CAAC-OS具有層疊有含有銦(In)及氧的層(以下，In層)和含有鎵(Ga)、鋅(Zn)及氧的層(以下，(Ga, Zn)層)的層狀結晶結構(也稱為層狀結構)的趨勢。此外，銦和鎵可以彼此置換。因此，有時(Ga, Zn)層包含銦。此外，有時In層包含鎵。注意，有時In層包含鋅。該層狀結構例如在高解析度TEM(Transmission Electron Microscope)影像中被觀察作為晶格影像。

【0135】例如，當對CAAC-OS膜使用XRD裝置進行結構分析時，在使用 $\theta/2\theta$ 掃描的Out-of-plane XRD測量中，在 $2\theta=31^\circ$ 或其附近檢測出表示c軸配向的峰。注意，表示c軸配向的峰的位置(2θ 值)有時根據構成CAAC-OS的金屬元素的種類、組成等變動。

【0136】此外，例如，在CAAC-OS膜的電子繞射圖案中觀察到多個亮點(斑點)。此外，在以透過樣本的人射電子束的斑點(也稱為直接斑點)為對稱中心時，某一個斑點和其他斑點被觀察在點對稱的位置。

【0137】在從上述特定的方向觀察結晶區域的情況下，雖然該結晶區域中的晶格排列基本上是六方晶格，但是單位晶格並不侷限於正六角形，有是非正六角形的情況。此外，在上述畸變中，有時具有五角形、七角形等晶格排列。此外，在CAAC-OS的畸變附近觀察不到明確的晶界(grain boundary)。也就是說，晶格排列的畸變抑制晶界

的形成。這可能是由於CAAC-OS因為a-b面方向上的氧原子的排列的低密度或因金屬原子被取代而使原子間的鍵合距離產生變化等而能夠包容畸變。

【0138】此外，確認到明確的晶界的結晶結構被稱為所謂的多晶。晶界成為再結合中心而載子被俘獲，因而有可能導致電晶體的通態電流的降低、場效移動率的降低等。因此，確認不到明確的晶界的CAAC-OS是使電晶體的半導體層具有優異的結晶結構的結晶性氧化物之一。注意，為了構成CAAC-OS，較佳為包含Zn的結構。例如，與In氧化物相比，In-Zn氧化物及In-Ga-Zn氧化物能夠進一步地抑制晶界的發生，所以是較佳的。

【0139】CAAC-OS是結晶性高且確認不到明確的晶界的氧化物半導體。因此，可以說在CAAC-OS中，不容易發生起因於晶界的電子移動率的降低。此外，氧化物半導體的結晶性有時因雜質的混入、缺陷的生成等而降低，因此可以說CAAC-OS是雜質及缺陷(氧空位等)少的氧化物半導體。因此，包含CAAC-OS的氧化物半導體的物理性質穩定。因此，包含CAAC-OS的氧化物半導體具有高耐熱性及高可靠性。此外，CAAC-OS對製程中的高溫度(所謂熱積存)也很穩定。由此，藉由將CAAC-OS用於在通道形成區域中包含金屬氧化物的電晶體(有時將其稱為OS電晶體)，可以擴大製程的彈性。

【0140】

[nc-OS]

在 nc-OS 中，微小的區域(例如 1nm 以上且 10nm 以下的區域，特別是 1nm 以上且 3nm 以下的區域)中的原子排列具有週期性。換言之，nc-OS 具有微小的結晶。此外，例如，該微小的結晶的尺寸為 1nm 以上且 10nm 以下，尤其為 1nm 以上且 3nm 以下，將該微小的結晶也稱為奈米晶。此外，nc-OS 在不同的奈米晶之間觀察不到結晶定向的規律性。因此，在膜整體中觀察不到配向性。所以，有時 nc-OS 在某些分析方法中與 a-like OS 或非晶氧化物半導體沒有差別。例如，在對 nc-OS 膜使用 XRD 裝置進行結構分析時，在使用 $\theta/2\theta$ 掃描的 Out-of-plane XRD 測量中，檢測不出表示結晶性的峰。此外，在對 nc-OS 膜進行使用其束徑比奈米晶大(例如，50nm 以上)的電子束的電子繞射(也稱為選區電子繞射)時，觀察到類似光暈圖案的繞射圖案。另一方面，在對 nc-OS 膜進行使用其束徑近於或小於奈米晶的尺寸(例如 1nm 以上且 30nm 以下)的電子束的電子繞射(也稱為奈米束電子繞射)的情況下，有時得到在以直接斑點為中心的環狀區域內觀察到多個斑點的電子繞射圖案。

【0141】

[a-like OS]

a-like OS 是具有介於 nc-OS 與非晶氧化物半導體之間的結構的氧化物半導體。a-like OS 包含空洞或低密度區域。也就是說，a-like OS 的結晶性比 nc-OS 及 CAAC-OS 的結晶性低。此外，a-like OS 的膜中的氫濃度比 nc-OS 及 CAAC-OS 的膜中的氫濃度高。

【0142】氧化物半導體具有各種結構及各種特性。本發明的一個實施方式的氧化物半導體也可以包含非晶氧化物半導體、多晶氧化物半導體、a-like OS、nc-OS、CAAC-OS中的兩種以上。

【0143】

<包含氧化物半導體的電晶體>

藉由將上述氧化物半導體用於電晶體，可以實現場效移動率高的電晶體。此外，可以實現可靠性高的電晶體。

【0144】較佳為將載子濃度低的氧化物半導體用於電晶體的通道形成區域。例如，氧化物半導體的載子濃度可以為 $1 \times 10^{17} \text{cm}^{-3}$ 以下，較佳為 $1 \times 10^{15} \text{cm}^{-3}$ 以下，更佳為 $1 \times 10^{13} \text{cm}^{-3}$ 以下，進一步較佳為 $1 \times 10^{11} \text{cm}^{-3}$ 以下，更進一步較佳為低於 $1 \times 10^{10} \text{cm}^{-3}$ ，且為 $1 \times 10^{-9} \text{cm}^{-3}$ 以上。在以降低氧化物半導體膜的載子濃度為目的的情況下，降低氧化物半導體膜中的雜質濃度以降低缺陷態密度即可。

【0145】因為高純度本質或實質上高純度本質的氧化物半導體膜具有較低的缺陷態密度，所以有可能具有較低的陷阱態密度。

【0146】此外，被氧化物半導體的陷阱態俘獲的電荷到消失需要較長的時間，有時像固定電荷那樣動作。因此，有時在陷阱態密度高的氧化物半導體中形成通道形成區域的電晶體的電特性不穩定。

【0147】因此，為了使電晶體的電特性穩定，降低氧化物半導體中的雜質濃度是有效的。為了降低氧化物半導

體中的雜質濃度，較佳為還降低附近膜中的雜質濃度。作為雜質有氫、氮、鹼金屬、鹼土金屬、鐵、鎳、矽等。注意，氧化物半導體中的雜質例如是指構成氧化物半導體的主要成分之外的元素。例如，濃度低於0.1原子%的元素可以說是雜質。

【0148】

<雜質>

在此，說明氧化物半導體中的各雜質的影響。

【0149】在氧化物半導體包含第14族元素之一的矽或碳時，在氧化物半導體中形成缺陷態。因此，將氧化物半導體中的矽或碳的濃度(藉由二次離子質譜分析(SIMS: Secondary Ion Mass Spectrometry)法測得的濃度)設定為 2×10^{18} atoms/cm³以下，較佳為 2×10^{17} atoms/cm³以下。

【0150】此外，當氧化物半導體包含鹼金屬或鹼土金屬時，有時形成缺陷態而形成載子。因此，使用包含鹼金屬或鹼土金屬的氧化物半導體的電晶體容易具有常開啟特性。由此，將利用SIMS測得的氧化物半導體中的鹼金屬或鹼土金屬的濃度設定為 1×10^{18} atoms/cm³以下，較佳為 2×10^{16} atoms/cm³以下。

【0151】當氧化物半導體包含氮時，產生作為載子的電子，使載子濃度增高，而容易被n型化。其結果是，將含有氮的氧化物半導體用於半導體的電晶體容易具有常開啟特性。或者，在氧化物半導體包含氮時，有時形成陷阱態。其結果是，有時電晶體的電特性不穩定。因此，將利

用 SIMS 測得的氧化物半導體中的氫濃度設定為低於 $5 \times 10^{19} \text{atoms/cm}^3$ ，較佳為 $5 \times 10^{18} \text{atoms/cm}^3$ 以下，更佳為 $1 \times 10^{18} \text{atoms/cm}^3$ 以下，進一步較佳為 $5 \times 10^{17} \text{atoms/cm}^3$ 以下。

【0152】包含在氧化物半導體中的氫與鍵合於金屬原子的氧起反應生成水，因此有時形成氧空位。當氫進入該氧空位時，有時產生作為載子的電子。此外，有時由於氫的一部分與鍵合於金屬原子的氧鍵合，產生作為載子的電子。因此，使用含有氫的氧化物半導體的電晶體容易具有常開啟特性。由此，較佳為儘可能減少氧化物半導體中的氫。明確而言，將利用 SIMS 測得的氧化物半導體中的氫濃度設定為低於 $1 \times 10^{20} \text{atoms/cm}^3$ ，較佳為低於 $1 \times 10^{19} \text{atoms/cm}^3$ ，更佳為低於 $5 \times 10^{18} \text{atoms/cm}^3$ ，進一步較佳為低於 $1 \times 10^{18} \text{atoms/cm}^3$ 。

【0153】藉由將雜質被充分降低的氧化物半導體用於電晶體的通道形成區域，可以使電晶體具有穩定的電特性。

【0154】

<<其他半導體材料>>

能夠用於氧化物半導體 230 的半導體材料不侷限於上述金屬氧化物。作為氧化物半導體 230，也可以使用具有能帶間隙的半導體材料(不是零能帶間隙半導體的半導體材料)。例如，較佳為將矽等單個元素的半導體、砷化鎵等化合物半導體、用作半導體的層狀物質(也稱為原子層物質、二維材料等)等用於半導體材料。特別是，較佳為

將用作半導體的層狀物質用於半導體材料。

【0155】 在此，在本說明書等中，層狀物質是具有層狀結晶結構的材料群的總稱。層狀結晶結構是由共價鍵或離子鍵形成的層藉由如凡得瓦力那樣的比共價鍵及離子鍵弱的鍵合層疊的結構。層狀物質在單位層中具有高導電性，亦即，具有高二維導電性。藉由將用作半導體並具有高二維導電性的材料用於通道形成區域，可以提供通態電流大的電晶體。

【0156】 作為層狀物質，有石墨烯、矽烯、硫族化物等。硫族化物是包含氧族元素的化合物。此外，氧族元素是屬於第16族的元素的總稱，其中包括氧、硫、硒、碲、鉬、鉍。此外，作為硫族化物，可以舉出過渡金屬硫族化物、第13族硫族化物等。

【0157】 作為氧化物半導體230，例如較佳為使用用作半導體的過渡金屬硫族化物。作為能夠用作氧化物半導體230的過渡金屬硫族化物，具體地可以舉出硫化鉬(典型的是 MoS_2)、硒化鉬(典型的是 MoSe_2)、碲化鉬(典型的是 MoTe_2)、硫化鎢(典型的是 WS_2)、硒化鎢(典型的是 WSe_2)、碲化鎢(典型的是 WTe_2)、硫化鈦(典型的是 HfS_2)、硒化鈦(典型的是 HfSe_2)、硫化鋯(典型的是 ZrS_2)、硒化鋯(典型的是 ZrSe_2)等。藉由將上述過渡金屬硫族化物用於氧化物半導體230，可以提供一種通態電流大的記憶體裝置。

【0158】

<記憶體裝置的製造方法的例子>

接著，使用圖2A至圖8C說明圖1A至圖1D所示的本發明的一個實施方式的記憶體裝置的製造方法。

【0159】各圖式中的A是平面圖。另外，各圖式中的B是沿著A中的點劃線A1-A2的部分的剖面圖。各圖式中的C是沿著A中的點劃線A3-A4的部分的剖面圖。為了明確起見，在各圖式中的A的平面圖中省略部分組件。

【0160】以下，用來形成絕緣體的絕緣材料、用來形成導電體的導電材料或用來形成半導體的半導體材料可以適當地使用濺射法、CVD法、MBE法、PLD法、ALD (Atomic Layer Deposition：原子層沉積)法等沉積。

【0161】作為濺射法，可以舉出將高頻電源用於濺射用電源的RF濺射法、利用直流電源的DC濺射法、以脈衝方式改變施加到電極的電壓的脈衝DC濺射法。RF濺射法主要在沉積絕緣膜時使用，DC濺射法主要在沉積金屬導電膜時使用。此外，脈衝DC濺射法主要在利用反應性濺射法沉積氧化物、氮化物、碳化物等化合物時使用。

【0162】注意，CVD法可以分為利用電漿的電漿CVD (PECVD)法、利用熱的熱CVD(TCVD：Thermal CVD)法、利用光的光CVD(Photo CVD)法等。再者，可以根據使用的源氣體分為金屬CVD(MCVD：Metal CVD)法、有機金屬CVD(MOCVD：Metal Organic CVD)法。

【0163】藉由利用電漿CVD法，可以以較低的溫度得到高品質的膜。此外，因為在熱CVD法中不使用電漿，所

以能夠減少對被處理物造成的電漿損傷。例如，包括在記憶體裝置中的佈線、電極、元件(電晶體、電容器等)等有時因從電漿接收電荷而會產生電荷積聚(charge up)。此時，有時由於所累積的電荷而使包括在記憶體裝置中的佈線、電極、元件等受損傷。另一方面，因為在利用不使用電漿的熱CVD法的情況下不產生上述電漿損傷，所以能夠提高記憶體裝置的良率。此外，在利用熱CVD法的情況下不產生沉積時的電漿損傷，因此能夠得到缺陷較少的膜。

【0164】作為ALD法，可以採用只利用熱能使前驅物及反應物起反應的熱ALD(thermal ALD)法、使用收到電漿激發的反應物的PEALD(PEALD：Plasma Enhanced ALD)法等。

【0165】CVD法及ALD法不同於從靶材等中釋放的粒子沉積的濺射法。因此，藉由CVD法及ALD法沉積的膜不易受被處理物的形狀的影響而具有良好的步階覆蓋性。尤其是，藉由ALD法沉積的膜具有良好的步階覆蓋性和厚度均勻性，所以ALD法適合用於沉積覆蓋縱橫比高的開口部的表面的膜等。但是，ALD法的沉積速率比較慢，所以有時較佳為與沉積速率高的CVD法等其他沉積方法組合而使用。

【0166】此外，當使用CVD法時，可以藉由調整源氣體的流量比沉積任意組成的膜。例如，當使用CVD法時，可以藉由在進行沉積的同時改變源氣體的流量比來沉積其組成連續變化的膜。當在改變源氣體的流量比的同時進行

沉積時，因為不需要傳送或調整壓力所需的時間，所以與使用多個沉積室進行沉積的情況相比可以縮短沉積時間。因此，有時可以提高記憶體裝置的生產率。

【0167】 當使用ALD法時，藉由同時引入不同的多種前驅物，可以沉積任意組成的膜。或者，在引入不同的多種前驅物時，藉由控制各前驅物的循環次數可以沉積任意組成的膜。

【0168】 首先，準備基板(未圖示)而在該基板上形成絕緣體140(參照圖2A至圖2C)。作為絕緣體140可以適當地使用上述絕緣材料。在沉積絕緣體140時，可以適當地使用濺射法、CVD法、MBE法、PLD法、ALD法等。

【0169】 接著，在絕緣體140上形成導電體110。作為導電體110，可以適當地使用上述導電材料。在沉積導電體110時，可以適當地使用濺射法、CVD法、MBE法、PLD法、ALD法等。例如，作為導電體110可以利用CVD法形成依次沉積鎢、氮化鈦的疊層膜。

【0170】 另外，也可以將導電體110加工為延伸在X方向或Y方向上的形狀。導電體110的加工可以使用光微影法進行。此外，作為上述加工可以利用乾蝕刻法或濕蝕刻法。利用乾蝕刻法的加工適合於微細加工。

【0171】 接著，在導電體110上形成絕緣體130。作為絕緣體130，可以適當地使用上述High-k材料。在沉積絕緣體130時，可以適當地使用濺射法、CVD法、MBE法、PLD法、ALD法等。例如，作為絕緣體130，可以利用ALD

法形成依次沉積氧化銦、氧化鋁、氧化銦的疊層膜。

【0172】接著，在絕緣體130上形成將成為導電體120的導電膜。作為將成為導電體120的導電膜，可以適當地使用上述導電材料。在沉積將成為導電體120的導電膜時，可以適當地使用濺射法、CVD法、MBE法、PLD法、ALD法等。例如，作為將成為導電體120的導電膜可以利用CVD法形成依次沉積氮化鈦、氮化鉭的疊層膜。

【0173】接著，加工將成為導電體120的導電膜而形成導電體120(參照圖2A至圖2C)。導電體120的形成可以使用光微影法進行。此外，作為上述加工可以利用乾蝕刻法或濕蝕刻法。利用乾蝕刻法的加工適合於微細加工。在此，導電體120可以形成為島狀。電容器100的靜電電容依賴於導電體120的面積，所以根據電容器100的設計值適當地設定島狀的導電體120的面積即可。

【0174】藉由上述製程，可以形成包括導電體110、絕緣體130及導電體120的電容器100。

【0175】注意，在光微影法中，首先藉由遮罩對光阻劑進行曝光。接著，使用顯影液去除或留下所曝光的區域而形成光阻遮罩。接著，藉由該光阻遮罩進行蝕刻處理來將導電體、半導體或絕緣體等加工為所希望的形狀。例如，使用KrF準分子雷射、ArF準分子雷射、EUV(Extreme Ultraviolet：極紫外)光等對光阻劑進行曝光來形成光阻遮罩，即可。此外，也可以利用在基板和投影透鏡之間填滿液體(例如，水)的狀態下進行曝光的液浸技術。此外，也

可以使用電子束或離子束代替上述光。注意，當使用電子束或離子束時，不需要遮罩。另外，藉由進行灰化處理等乾蝕刻處理或濕蝕刻處理、在進行乾蝕刻處理之後進行濕蝕刻處理或者在進行濕蝕刻處理之後進行乾蝕刻處理，可以去除光阻遮罩。

【0176】另外，作為乾蝕刻裝置，可以使用包括平行平板型電極的電容耦合電漿 (CCP：Capacitively Coupled Plasma) 蝕刻裝置。包括平行平板型電極的電容耦合電漿蝕刻裝置也可以採用對平行平板型電極中的一個施加高頻電壓的結構。或者，也可以採用對平行平板型電極中的一個施加不同的多個高頻電壓的結構。或者，也可以採用對平行平板型電極的各個施加頻率相同的高頻電壓的結構。或者，也可以採用對平行平板型電極的各個施加頻率不同的高頻電壓的結構。或者，也可以利用具有高密度電漿源的乾蝕刻裝置。例如，作為具有高密度電漿源的乾蝕刻裝置，可以使用電感耦合電漿 (ICP：Inductively Coupled Plasma) 蝕刻裝置等。

【0177】接著，在絕緣體 130 及導電體 120 上形成絕緣體 280 (參照圖 3A 至圖 3C)。作為絕緣體 280 可以適當地使用上述絕緣材料。在沉積絕緣體 280 時，可以適當地使用濺射法、CVD 法、MBE 法、PLD 法、ALD 法等。例如，作為絕緣體 280 可以利用濺射法沉積氧化矽膜。另外，絕緣體 280 較佳為在沉積之後進行 CMP (Chemical Mechanical Polishing：化學機械拋光) 處理而使其頂面平坦化。

【0178】在此，導電體120上的絕緣體280的膜厚度對應於電晶體200的通道長度，所以根據電晶體200的通道長度的設計值適當地設定絕緣體280的膜厚度即可。

【0179】藉由在含氧氛圍下使用濺射法沉積絕緣體280，可以形成包含過量氧的絕緣體280。另外，藉由使用不需要利用包含氫的分子作為沉積氣體的濺射法，可以降低絕緣體280中的氫濃度。如此，藉由沉積絕緣體280，可以從絕緣體280向氧化物半導體230的通道形成區域供應氧而可以減少氧空位及 V_{oH} 。

【0180】接著，在絕緣體280上形成絕緣體281。與絕緣體280同樣，作為絕緣體281可以適當地使用上述絕緣材料。在沉積絕緣體281時，可以適當地使用濺射法、CVD法、MBE法、PLD法、ALD法等。例如，作為絕緣體281可以利用濺射法沉積氧化矽膜。另外，絕緣體281較佳為在沉積之後進行CMP處理而使其頂面平坦化。

【0181】接著，在絕緣體281中形成到達絕緣體280的槽狀的開口(參照圖3A至圖3C)。該開口內形成有用作佈線的導電體240，所以該開口可以延伸在X方向上。在形成該開口時，可以利用光微影法。另外，在蝕刻該開口時可以使用乾蝕刻法或濕蝕刻法。利用乾蝕刻法的加工適合於微細加工。

【0182】另外，也可以採用絕緣體280具有疊層結構且在絕緣體280的最頂面設置用作蝕刻停止膜的絕緣體的結構。例如，在作為形成槽的絕緣體281使用氧化矽或氧

氮化矽的情況下，作為蝕刻停止膜較佳為使用氮化矽、氧化鋁或氧化鉛等。

【0183】接著，以嵌入絕緣體281的開口的方式沉積將成為導電體240的導電膜。作為將成為導電體240的導電膜，可以適當地使用上述導電材料。在沉積將成為導電體240的導電膜時，可以適當地使用濺射法、CVD法、MBE法、PLD法、ALD法等。例如，作為將成為導電體240的導電膜可以利用濺射法形成依次沉積氮化鈮、鎢的疊層膜。

【0184】接著，去除絕緣體281上的將成為導電體240的導電膜的一部分而在絕緣體281的開口內形成導電體240(參照圖3A至圖3C)。在形成導電體240時，直到絕緣體281的頂面露出為止對將成為導電體240的導電膜進行CMP處理即可。

【0185】接著，在導電體240及絕緣體281上形成絕緣體285。與絕緣體280同樣，作為絕緣體285可以適當地使用上述絕緣材料。在沉積絕緣體285時，可以適當地使用濺射法、CVD法、MBE法、PLD法、ALD法等。例如，作為絕緣體285可以利用濺射法沉積氧化矽膜。另外，絕緣體285較佳為在沉積之後進行CMP處理而使其頂面平坦化。

【0186】接著，加工絕緣體285的一部分、導電體240的一部分及絕緣體280的一部分而形成到達導電體120的開口290(參照圖4A至圖4C)。開口290的形成可以使用光微影

法進行。注意，在圖4A中開口290的俯視時的形狀為圓形，但是不侷限於此。例如，該開口的俯視時的形狀也可以為橢圓等大致圓形形狀、四角形等多角形形狀、使四角形等多角形的角部帶弧形的形狀。

【0187】開口290的寬度較佳為微小。例如，開口290的寬度較佳為60nm以下、50nm以下、40nm以下、30nm以下或20nm以下，且為1nm以上或5nm以上。如此，為了對開口290進行微小加工，較佳為使用利用EUV光等波長短的光或電子束的光微影法。

【0188】開口290的縱橫比高，所以較佳為使用各向異性蝕刻加工絕緣體285的一部分、導電體240的一部分及絕緣體280的一部分。尤其是，利用乾蝕刻法的加工適合於微細加工，所以是較佳的。此外，該加工也可以以互不相同的條件進行。

【0189】接著，也可以進行熱處理。熱處理以250°C以上且650°C以下，較佳為以300°C以上且500°C以下，更佳為以320°C以上且450°C以下進行即可。另外，在氮氣體或惰性氣體的氛圍或包含10ppm以上、1%以上或10%以上的氧化性氣體的氛圍下進行熱處理。例如，當在氮氣體和氧氣體的混合氛圍下進行熱處理時，氧氣體的比率設為20%左右即可。熱處理也可以在減壓狀態下進行。或者，熱處理也可以在氮氣體或惰性氣體氛圍下進行熱處理，然後為了填補脫離了的氧在包含10ppm以上、1%以上或10%以上的氧化性氣體的氛圍下進行熱處理。藉由進行上述熱

處理，可以在將在後面說明的氧化物半導體膜230A的沉積之前減少包含在絕緣體280等中的水等雜質。

【0190】另外，在上述熱處理中使用的氣體較佳為被高度純化。例如，在上述熱處理中使用的氣體所包含的水分量為1ppb以下，較佳為0.1ppb以下，更佳為0.05ppb以下即可。藉由使用高度純化了的氣體進行熱處理，可以儘可能地防止水分等被絕緣體280等吸收。

【0191】接著，以接觸於開口290的底面及內壁的方式沉積氧化物半導體膜230A(參照圖5A至圖5C)。作為氧化物半導體膜230A可以適當地使用上述可用於氧化物半導體230的金屬氧化物。在沉積氧化物半導體膜230A時，可以適當地使用濺射法、CVD法、MBE法、PLD法、ALD法等。在此，氧化物半導體膜230A較佳為接觸於縱橫比高的開口290的底面及內壁。因此，在沉積氧化物半導體膜230A時較佳為使用覆蓋性良好的沉積方法，更佳為使用CVD法或ALD法等。例如，作為氧化物半導體膜230A可以利用ALD法沉積In-Ga-Zn氧化物。利用ALD法金屬氧化物的沉積方法將在後面的實施方式中詳細地說明。

【0192】在此，氧化物半導體膜230A較佳為接觸於導電體120的頂面、絕緣體280的側面、導電體240的側面、絕緣體285的側面及絕緣體285的頂面。在以接觸於導電體120的方式形成氧化物半導體膜230A時，導電體120被用作電晶體200的源極電極和汲極電極中的一個。另外，在以接觸於導電體240的方式形成氧化物半導體膜230A時，導

電體 240 被用作電晶體 200 的源極電極和汲極電極中的另一個。

【0193】接著，以接觸於氧化物半導體膜 230A 的頂面的方式沉積絕緣膜 250A (參照圖 5A 至圖 5C)。作為絕緣膜 250A 可以適當地使用上述絕緣材料。在沉積絕緣膜 250A 時，可以適當地使用濺射法、CVD 法、MBE 法、PLD 法、ALD 法等。在此，絕緣膜 250A 較佳為以與設置在縱橫比高的開口 290 的內側的氧化物半導體膜 230A 接觸的方式形成。因此，在沉積絕緣膜 250A 時較佳為使用覆蓋性良好的沉積方法，更佳為使用 CVD 法或 ALD 法等。例如，作為絕緣膜 250A，可以利用 ALD 法沉積氧化矽。

【0194】在此，絕緣膜 250A 的沉積較佳為以不暴露於大氣的方式從氧化物半導體膜 230A 的沉積連續地進行。例如，使用多腔室沉積裝置即可。由此，可以抑制在各沉積製程之間氫等雜質混入氧化物半導體膜 230A 及絕緣膜 250A 中。

【0195】接著，較佳為進行熱處理。熱處理在氧化物半導體膜 230A 不發生多晶化的溫度範圍內進行即可，可以在 250°C 以上且 650°C 以下，較佳為在 400°C 以上且 600°C 以下進行。另外，在氮氣體或惰性氣體的氛圍或包含 10ppm 以上，1% 以上或 10% 以上的氧化性氣體的氛圍下進行熱處理。例如，當在氮氣體和氧氣體的混合氛圍下進行熱處理時，氧氣體的比率設為 20% 左右即可。熱處理也可以在減壓狀態下進行。或者，熱處理也可以在氮氣體或惰性氣體

氛圍下進行熱處理，然後為了填補脫離了的氧在包含10ppm以上、1%以上或10%以上的氧化性氣體的氛圍下進行熱處理。

【0196】另外，在上述熱處理中使用的氣體較佳為被高度純化。例如，在上述熱處理中使用的氣體所包含的水分量為1ppb以下，較佳為0.1ppb以下，更佳為0.05ppb以下即可。藉由使用高度純化了的氣體進行熱處理，可以儘可能地防止水分等被氧化物半導體膜230A等吸收。

【0197】在此，較佳為在使包含過量氧的絕緣體280接觸於氧化物半導體膜230A的狀態下進行上述熱處理。藉由如此進行熱處理，可以從絕緣體280向氧化物半導體230的通道形成區域供應氧而可以減少氧空位及VoH。

【0198】注意，在上述中，在沉積絕緣膜250A之後進行熱處理，但是本發明不侷限於此，也可以在其之後的製程中進行熱處理。

【0199】接著，藉由光微影法加工氧化物半導體膜230A及絕緣膜250A而形成氧化物半導體230及絕緣體250(參照圖6A至圖6C)。由此，氧化物半導體230的一部分形成在開口290上且接觸於絕緣體285的頂面的一部分。另外，絕緣體250的一部分形成在開口290上。如此，藉由一次性地形成氧化物半導體230及絕緣體250，如圖6A所示，在俯視時氧化物半導體230的側端部與絕緣體250的側端部大致對齊。藉由採用這種結構，可以使用相同遮罩形成氧化物半導體230及絕緣體250，由此可以簡化記憶體裝置的

製程。

【0200】注意，在上述中，在沉積氧化物半導體膜230A及絕緣膜250A之後一次性地形成氧化物半導體230及絕緣體250，但是本發明不侷限於此。例如，也可以採用在形成氧化物半導體230之後沉積絕緣膜250A的結構。在此情況下，氧化物半導體230的側端部被絕緣膜250A覆蓋，所以可以防止氧化物半導體230及導電體260短路。

【0201】接著，以填充絕緣體250的凹部的方式沉積將成為導電體260的導電膜。作為將成為導電體260的導電膜，可以適當地使用上述導電材料。在沉積將成為導電體260的導電膜時，可以適當地使用濺射法、CVD法、MBE法、PLD法、ALD法等。在此，將成為導電體260的導電膜較佳為接觸於設置在縱橫比高的開口290的內側的絕緣體250。因此，在沉積將成為導電體260的導電膜時較佳為使用覆蓋性或嵌入性良好的沉積方法，更佳為使用CVD法或ALD法等。例如，作為將成為導電體260的導電膜可以利用CVD法或ALD法沉積氮化鈦。

【0202】另外，在利用CVD法沉積將成為導電體260的導電膜時，將成為導電體260的導電膜的頂面的平均表面粗糙度有時變大。在此情況下，較佳為利用CMP法使將成為導電體260的導電膜平坦化。此時，也可以在進行CMP處理之前在將成為導電體260的導電膜上沉積氧化矽膜或氧氮化矽膜且直到去除該氧化矽膜或氧氮化矽膜為止進行CMP處理。

【0203】注意，在上述中，將成為導電體260的導電膜以嵌入開口290的方式設置，但是本發明不侷限於此。例如，將成為導電體260的導電膜的中央部有時形成有反映了開口290的形狀的凹部。另外，也可以用無機絕緣材料等填充該凹部。

【0204】接著，加工將成為導電體260的導電膜而形成導電體260(參照圖7A至圖7C)。導電體260的形成可以使用光微影法進行。此外，作為上述加工可以利用乾蝕刻法或濕蝕刻法。利用乾蝕刻法的加工適合於微細加工。

【0205】另外，如圖7A所示，在俯視時導電體260的側端部較佳為位於氧化物半導體230的側端部及絕緣體250的側端部的內側。由此，可以防止導電體260及氧化物半導體230短路。

【0206】藉由上述製程，可以形成包括導電體120、導電體240、氧化物半導體230、絕緣體250及導電體260的電晶體200。

【0207】注意，在上述中，在沉積氧化物半導體膜230A及絕緣膜250A之後形成氧化物半導體230及絕緣體250，然後沉積將成為導電體260的導電膜，但是本發明不侷限於此。例如，也可以採用連續沉積氧化物半導體膜230A、絕緣膜250A及將成為導電體260的導電膜而形成氧化物半導體230、絕緣體250及導電體260的圖案的結構。在此情況下，較佳的是，藉由光微影法形成氧化物半導體230、絕緣體250及導電體260，然後再進行光微影製程而

加工導電體 260 以使導電體 260 的側端部位於氧化物半導體 230 及絕緣體 250 的內側。

【0208】接著，以覆蓋導電體 260、絕緣體 250、氧化物半導體 230 及絕緣體 285 的方式沉積將成為絕緣體 287 的絕緣膜。與絕緣體 280 同樣，作為將成為絕緣體 287 的絕緣膜可以適當地使用上述絕緣材料。在沉積將成為絕緣體 287 的絕緣膜時，可以適當地使用濺射法、CVD 法、MBE 法、PLD 法、ALD 法等。例如，作為將成為絕緣體 287 的絕緣膜可以利用濺射法沉積氧化矽膜。

【0209】接著，對將成為絕緣體 287 的絕緣膜進行 CMP 處理而形成絕緣體 287 (參照圖 8A 至圖 8C)。直到導電體 260 的頂面露出為止進行該 CMP 處理即可。此時，導電體 260 的頂面的高度和絕緣體 287 的頂面的高度較佳為一致或大致一致。

【0210】接著，在絕緣體 287 及導電體 260 上形成絕緣體 289。與絕緣體 280 同樣，作為絕緣體 289 可以適當地使用上述絕緣材料。在沉積絕緣體 289 時，可以適當地使用濺射法、CVD 法、MBE 法、PLD 法、ALD 法等。例如，作為絕緣體 289 可以利用濺射法沉積氧化矽膜。另外，絕緣體 289 較佳為在沉積之後進行 CMP 處理而使其頂面平坦化。

【0211】接著，在絕緣體 289 中形成到達導電體 260 及絕緣體 287 的槽狀的開口 (參照圖 1A 至圖 1C)。該開口內形成有用作佈線的導電體 265，所以該開口可以延伸在 Y 方向

上。在形成該開口時，可以利用光微影法。另外，在蝕刻該開口時可以使用乾蝕刻法或濕蝕刻法。利用乾蝕刻法的加工適合於微細加工。

【0212】接著，以嵌入絕緣體289的開口的方式沉積將成為導電體265的導電膜。作為將成為導電體265的導電膜，可以適當地使用上述導電材料。在沉積將成為導電體265的導電膜時，可以適當地使用濺射法、CVD法、MBE法、PLD法、ALD法等。例如，作為將成為導電體265的導電膜可以利用CVD法形成依次沉積氮化鈦、鎢的疊層膜。

【0213】接著，去除絕緣體289上的將成為導電體265的導電膜的一部分而在絕緣體289的開口內形成導電體265(參照圖1A至圖1C)。在形成導電體265時，直到絕緣體289的頂面露出為止對將成為導電體265的導電膜進行CMP處理即可。

【0214】藉由上述製程，可以製造包括圖1A至圖1D所示的電晶體200及電容器100的記憶體裝置。

【0215】

<記憶體裝置的變形例子>

下面參照圖9說明本發明的一個實施方式的記憶體裝置的一個例子。

【0216】圖9A至圖9C所示的記憶體裝置是圖1A至圖1D所示的記憶體裝置的變形例子。圖9A至圖9C對應於圖1B至圖1D，對圖9所示的記憶體裝置中的與構成圖1所示

的記憶體裝置的組件具有相同功能的組件附上相同符號。另外，在本節中，記憶體裝置的構成材料也可以使用在〈記憶體裝置的結構例子〉中詳細地說明的材料。

【0217】圖9A至圖9C所示的記憶體裝置與圖1A至圖1D所示的記憶體裝置不同之處在於前者包括絕緣體254。絕緣體254和絕緣體250都被用作閘極絕緣體。

【0218】絕緣體254設置於絕緣體250與導電體260之間。另外，絕緣體254較佳為覆蓋氧化物半導體230的側端部及絕緣體250的側端部。在此情況下，絕緣體254較佳為接觸於絕緣體250的頂面及側面、氧化物半導體230的側面、絕緣體285的頂面、導電體260的底面以及絕緣體287的底面。

【0219】絕緣體254較佳為具有氧阻擋性。另外，絕緣體254更佳為具有氫阻擋性。作為這種絕緣體，例如可以使用包含硼、碳、氮、氧、氟、鎂、鋁、矽、磷、氯、氫、銻、鍺、鈮、銩、鉛或鉍的絕緣體的單層或疊層。明確而言，可以使用氧化鋁、氧化鎂、氧化銻、氧化鍺、氧化鈮、氧化銩、氧化鉛、氧化鉍、銻鎵鋅氧化物、包含鋁及鉛的氧化物(鋁酸鉛)、包含鉛及矽的氧化物(矽酸鉛)等金屬氧化物、氮化鋁、氮氧化矽、氮化矽等金屬氮化物。

【0220】注意，在本說明書等中，阻擋性是指抑制所對應的物質的擴散的功能(也可以說透過性低)。或者，是指俘獲並固定所對應的物質(也稱為吸雜)的功能。

【0221】藉由使絕緣體254具有氧阻擋性，可以抑制包含在絕緣體250及氧化物半導體230的通道形成區域中的氧擴散到導電體260而在氧化物半導體230的通道形成區域中形成氧空位。另外，可以抑制因包含在絕緣體250及氧化物半導體230的通道形成區域中的氧擴散到導電體260而導電體260被氧化。在此，絕緣體254至少比絕緣體280不容易使氧透過即可。例如，作為絕緣體254，較佳為使用利用PEALD法沉積的氮化矽。

【0222】另外，藉由使絕緣體254具有氫阻擋性，可以抑制氫等雜質從絕緣體254的上方的層向氧化物半導體230的通道形成區域擴散。因此，可以減少氧化物半導體230的通道形成區域中的氧空位及 V_{OH} 。由此，可以使電晶體200的電特性穩定而提高可靠性。

【0223】另外，上述那樣的對氧和氫中的至少一方具有阻擋性的絕緣體(以下，有時被稱為阻擋絕緣膜)也可以層疊在用作層間膜的絕緣體140、絕緣體280、絕緣體281、絕緣體285、絕緣體287和絕緣體289中的任一個或多個。例如，阻擋絕緣膜也可以設置在絕緣體280的底面，此時接觸於絕緣體130的頂面、導電體120的頂面及導電體120的側面。另外，例如阻擋絕緣膜也可以設置在絕緣體140的頂面，此時接觸於導電體110的底面。藉由如此設置阻擋絕緣膜，可以抑制氫等雜質從絕緣體140的下方的層向氧化物半導體230的通道形成區域擴散。

【0224】根據本發明的一個實施方式，可以提供一種

新穎的電晶體、新穎的半導體裝置及新穎的記憶體裝置。另外，根據本發明的一個實施方式，可以提供一種能夠實現微型化或高積體化的記憶體裝置。另外，根據本發明的一個實施方式，可以提供一種頻率特性良好的記憶體裝置。另外，根據本發明的一個實施方式，可以提供一種工作速度高的記憶體裝置。另外，根據本發明的一個實施方式，可以提供一種可靠性高的記憶體裝置。另外，根據本發明的一個實施方式，可以提供一種功耗低的記憶體裝置。另外，根據本發明的一個實施方式，可以提供一種包括通態電流大的電晶體的記憶體裝置。另外，根據本發明的一個實施方式，可以提供一種電晶體特性的不均勻小的記憶體裝置。另外，根據本發明的一個實施方式，可以提供一種具有良好電特性的記憶體裝置。

【0225】可以將本實施方式所示的包括電晶體200及電容器100的記憶單元150用作記憶體裝置的記憶單元。電晶體200是其通道形成在包含氧化物半導體的半導體層中的電晶體。因為電晶體200的關態電流小，所以藉由將該電晶體用於記憶單元，可以長期保持存儲內容。換言之，由於不需要更新工作或更新工作的頻率極低，所以可以充分降低記憶體裝置的功耗。另外，由於電晶體200的頻率特性高，所以可以進行高速的記憶體裝置的讀出及寫入。

【0226】另外，使用圖10A及圖10B說明使兩個記憶單元150(以下，稱為記憶單元150a及記憶單元150b)連接於相同佈線的記憶體裝置的例子。圖10A是記憶體裝置的平

面圖。另外，圖 10B 是沿著圖 10A 中的點劃線 A1-A2 所示的部分的剖面圖。另外，為了明確起見，在圖 10A 的平面圖中省略部分組件。

【0227】在此，圖 10A 及圖 10B 所示的記憶單元 150a 及記憶單元 150b 具有與記憶單元 150 同樣的結構。記憶單元 150a 包括電容器 100a 及電晶體 200a，記憶單元 150b 包括電容器 100b 及電晶體 200b。因此，在圖 10A 及圖 10B 所示的記憶體裝置中，對與構成圖 1 所示的記憶體裝置的組件具有相同功能的組件附上相同符號。另外，在本節中，記憶體裝置的構成材料也可以使用在〈記憶體裝置的結構例子〉中詳細地說明的材料。

【0228】如圖 10A 及圖 10B 所示，用作佈線 WL 的導電體 265 分別設置在記憶單元 150a 及記憶單元 150b 中。另外，用作佈線 BL 的一部分的導電體 240 共同設置在記憶單元 150a 及記憶單元 150b 中。換言之，導電體 240 接觸於記憶單元 150a 的氧化物半導體 230 及記憶單元 150b 的氧化物半導體 230。

【0229】在此，圖 10A 及圖 10B 所示的記憶體裝置包括電連接於記憶單元 150a 及記憶單元 150b 而用作插頭(也可以被稱為連接電極)的導電體 245 及導電體 246。導電體 245 配置在形成在絕緣體 280 及絕緣體 140 中的開口內且接觸於導電體 240 的底面。另外，導電體 246 配置在形成在絕緣體 289、絕緣體 287 及絕緣體 285 中的開口內且接觸於導電體 240 的頂面。另外，作為導電體 245 及導電體 246 可以

使用可用於導電體 240 的導電材料等。

【0230】在此，導電體 245 及導電體 246 被用作電連接開關、電晶體、電容器、電感器、電阻器及二極體等電路元件、佈線、電極或端子與記憶單元 150a 及記憶單元 150b 的插頭或佈線。例如，可以採用如下結構：導電體 245 與設置在圖 10 所示的記憶體裝置下的感測放大器電連接，並且導電體 246 與設置在圖 10 所示的記憶體裝置上的同樣的記憶體裝置電連接。在此情況下，導電體 245 及導電體 246 被用作佈線 BL 的一部分。如此，藉由在圖 10 所示的記憶體裝置之上或下設置記憶體裝置等，可以增大單位面積的記憶容量。

【0231】另外，記憶單元 150a 和記憶單元 150b 以點劃線 A1-A2 的垂直平分線為對稱軸呈軸對稱。因此，電晶體 200a 和電晶體 200b 也夾著導電體 245 及導電體 246 配置為軸對稱。在此，導電體 240 兼作電晶體 200a 的源極電極和汲極電極中的一個以及電晶體 200b 的源極電極和汲極電極中的一個。另外，電晶體 200a 及電晶體 200b 共同使用用作插頭的導電體 245 及導電體 246。如此，藉由作為兩個電晶體以及插頭的連接關係採用上述結構，可以提供一種可以實現微型化或高積體化的記憶體裝置。

【0232】另外，用作佈線 PL 的導電體 110 既可以分別設置在記憶單元 150a 及記憶單元 150b 中，也可以共同設置在記憶單元 150a 及記憶單元 150b 中。注意，如圖 10B 所示，導電體 110 以與導電體 245 分離的方式設置免得導電體

110及導電體245短路。

【0233】另外，藉由將記憶單元150以矩陣狀且三維方式配置，可以構成記憶單元陣列。作為記憶單元陣列的一個例子，圖11A及圖11B示出在X方向、Y方向及Z方向上配置四個×兩個×兩個記憶單元150的記憶體裝置的例子。圖11A是記憶體裝置的平面圖。另外，圖11B是沿著圖11A中的點劃線A1-A2所示的部分的剖面圖。另外，為了明確起見，在圖11A的平面圖中省略部分組件。

【0234】在此，圖11A及圖11B所示的記憶單元150a至記憶單元150d具有與記憶單元150同樣的結構。記憶單元150a包括電容器100a及電晶體200a，記憶單元150b包括電容器100b及電晶體200b，記憶單元150c包括電容器100c及電晶體200c，記憶單元150d包括電容器100d及電晶體200d。因此，在圖11A及圖11B所示的記憶體裝置中，對與構成圖1所示的記憶體裝置的組件具有相同功能的組件附上相同符號。另外，在本節中，記憶體裝置的構成材料也可以使用在〈記憶體裝置的結構例子〉中詳細地說明的材料。

【0235】以下，將由記憶單元150a至記憶單元150d構成的記憶體裝置稱為記憶體單元。圖11A及圖11B所示的記憶體裝置包括記憶體單元160a至記憶體單元160d。另外，以下有時將記憶體單元160a至記憶體單元160d總稱為記憶體單元160。記憶體單元160b設置在記憶體單元160a上。記憶體單元160c與記憶體單元160a在y軸方向上相

鄰。記憶體單元160d設置在記憶體單元160c上。

【0236】如圖11B所示，在記憶體單元160中，以導體245為中心記憶單元150a的外側配置有記憶單元150c且記憶單元150b的外側配置有記憶單元150d。換言之，也可以說記憶體單元160是在圖10所示的記憶體裝置中與記憶單元150a相鄰地設置記憶單元150c且與記憶單元150b相鄰地設置記憶單元150d的記憶體裝置。

【0237】如圖11A及圖11B所示，在Y方向上相鄰的記憶單元150共同使用用作佈線WL的導體265。另外，在同一記憶體單元內共同使用用作佈線BL的一部分的導體240。導體240共同設置在記憶單元150a至記憶單元150d中。換言之，導體240接觸於記憶單元150a至記憶單元150d各自中的氧化物半導體230。

【0238】導體245設置在Z軸方向上相鄰的記憶體單元所包括的導體240間。例如，如圖11B所示，導體245接觸於記憶體單元160a中的導體240的頂面及記憶體單元160b中的導體240的底面。如此，由設置在各記憶體單元160中的導體240及導體245形成佈線BL。導體245電連接於設置在圖11所示的記憶體裝置下的感測放大器。如此，藉由在圖11所示的記憶體裝置中層疊多個記憶體單元，可以增大單位面積的記憶容量。

【0239】另外，記憶單元150a及記憶單元150c和記憶單元150b及記憶單元150d以點劃線A1-A2的垂直平分線為對稱軸呈軸對稱。因此，電晶體200a及電晶體200c和電晶

體 200b 及電晶體 200d 也夾著導電體 245 配置為軸對稱。在此，導電體 240 兼作電晶體 200a 至電晶體 200d 的源極電極和汲極電極中的一個。另外，電晶體 200a 至電晶體 200d 共同使用用作插頭的導電體 245。如此，藉由作為四個電晶體以及插頭的連接關係採用上述結構，可以提供一種可以實現微型化或高積體化的記憶體裝置。

【0240】 如圖 11 所示，藉由層疊多個記憶單元，可以集成地配置單元而無需增大記憶單元陣列的佔有面積。就是說，可以構成 3D 記憶單元陣列。

【0241】 將在後面的實施方式中詳細地說明包括 3D 記憶單元陣列的記憶體裝置。

【0242】 以上，本實施方式所示的結構、方法等的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

【0243】

實施方式 2

在本實施方式中，使用圖 12 至圖 15 說明能夠用於上述實施方式所示的記憶體裝置的電晶體的半導體層的金屬氧化物(以下，有時被稱為氧化物半導體或氧化物)及其沉積方法。

【0244】 在本發明的一個實施方式的半導體裝置中，較佳為作為具有通道形成區域的金屬氧化物採用結晶性高的金屬氧化物。再者，該結晶較佳為具有層疊有多個層(例如，第一層、第二層和第三層)的結晶結構。換言之，

該結晶具有層狀結晶結構(也稱為層狀結晶、層狀結構)。此時，該結晶的c軸方向為層疊有多個層的方向。

【0245】為了形成上述具有層狀結晶結構的金屬氧化物，較佳為一層一層沉積原子。例如，作為金屬氧化物的沉積方法可以使用ALD法。

【0246】ALD法可以利用前驅物分子或前驅物中的原子的自調節性來一層一層沉積原子，從而具有能夠沉積得極薄、能夠對縱橫比高的結構進行沉積、能夠以針孔等的缺陷少的方式進行沉積、能夠進行覆蓋性優良的沉積及在低溫下能夠進行沉積等的效果。此外，ALD法還包括利用熱的沉積方法的熱ALD法及利用電漿的沉積方法，即電漿ALD法。藉由利用電漿，可以在更低溫下進行沉積，所以有時是較佳的。ALD法中使用的前驅物有時包含碳或氯等元素。因此，利用ALD法形成的膜有時與利用其他的沉積方法形成的膜相比包含更多的碳或氯等元素。另外，上述元素的定量可以利用X射線光電子能譜(XPS：X-ray Photoelectron Spectroscopy)或二次離子質譜分析法進行。

【0247】不同於從靶材等中被釋放的粒子沉積的沉積方法，ALD法是因被處理物表面的反應而形成膜的沉積方法。因此，藉由ALD法沉積的膜不易受被處理物的形狀的影響而具有良好的步階覆蓋性。尤其是，ALD法具有良好的步階覆蓋性和厚度均勻性，所以ALD法適合用於要覆蓋縱橫比高的開口部的表面的情況等。

【0248】

<利用ALD法的金屬氧化物的沉積方法>

在此，說明可用於本發明的一個實施方式的利用ALD法的金屬氧化物的沉積方法。

【0249】在此，使用圖12A至圖12E說明利用ALD法沉積三層的層狀結晶結構的金屬氧化物的方法的一個例子。首先，將前驅物611a引入腔室內，使前驅物611a吸附到基板610的表面上(參照圖12A。以下，有時將該製程稱為第一步驟)。在此，如圖12A所示，由於前驅物611a吸附到基板610的表面上，表面化學反應的自停止機構起作用在基板610上的前驅物611a的層上不再吸附前驅物611a。注意，還將使表面化學反應的自停止機構起作用的基板溫度的適當範圍稱為ALD窗(ALD-Window)。ALD窗根據前驅物的溫度特性、蒸氣壓、分解溫度等決定，例如有時設定為100℃以上且600℃以下，較佳為200℃以上且400℃以下。

【0250】接著，藉由將惰性氣體(氬、氮或氦等)等引入腔室內，將剩餘的前驅物611a及反應生成物等從腔室中排出去(以下，有時將該製程稱為第二步驟)。另外，也可以藉由真空排氣將剩餘的前驅物及反應生成物等從腔室中排出去代替將惰性氣體引入腔室內。第二步驟也被稱為吹掃。

【0251】接著，將反應物612a(例如，氧化劑(臭氧(O₃)、氧(O₂)、水(H₂O)及它們的電漿、自由基、離子等))引入腔室內，使其與吸附到基板610的表面的前驅物

611a起反應，以前驅物 611a 的構成分子吸附到基板 610 上的狀態使前驅物 611a 中的成分的一部分脫離(參照圖 12B)。以下，有時將該製程稱為第三步驟)。由此，前驅物 611a 的一部分被氧化而成的氧化物 613a 的層形成在基板 610 的表面上。

【0252】接著，藉由引入惰性氣體或進行真空排氣，將剩餘的反應物 612a 或反應生成物等從腔室中排出去(以下，有時將該製程稱為第四步驟)。

【0253】接著，引入包含不同於前驅物 611a 的金屬元素的前驅物 611b，進行與第一步驟同樣的製程，使前驅物 611b 吸附到氧化物 613a 的層的表面上(參照圖 12C)。在此，如圖 12C 所示，由於前驅物 611b 吸附到氧化物 613a 的層上，表面化學反應的自停止機構起作用在基板 610 上的前驅物 611b 的層上不再吸附前驅物 611b。

【0254】接著，與第二步驟同樣，藉由引入惰性氣體或進行真空排氣，將剩餘的前驅物 611b 及反應生成物等從腔室中排出去。

【0255】接著，與第三步驟同樣，將反應物 612b 引入腔室內。在此，作為反應物 612b 可以使用與反應物 612a 相同或不同的反應物(參照圖 12D)。由此，前驅物 611b 的一部分被氧化而成的氧化物 613b 的層形成在氧化物 613a 的層上。

【0256】接著，與第四步驟同樣，藉由引入惰性氣體或進行真空排氣，將剩餘的反應物 612b 及反應生成物等從

腔室中排出去。

【0257】並且，藉由同樣地進行第一至第四步驟，可以在氧化物613b的層上形成氧化物613c的層。如此，藉由反復進行形成氧化物613a至氧化物613c的製程，可以形成具有氧化物613a至氧化物613c的疊層結構反復的層狀結晶結構的金屬氧化物(參照圖12E)。就是說，可以以第一至第四步驟為一組形成氧化物的層，藉由反復進行該組，可以形成層疊有多個氧化物的層的層狀結晶結構。

【0258】層狀結晶結構的金屬氧化物的厚度可以為1nm以上且小於100nm，較佳為3nm以上且小於20nm。

【0259】另外，在形成具有層狀結晶結構的金屬氧化物時，較佳為在加熱基板的同時進行圖12所示的製程。例如，將基板溫度設定為200°C以上且600°C以下，較佳為300°C以上且前驅物的分解溫度以下即可。注意，當使用不同種類多個前驅物且利用ALD法進行沉積時，較佳為將基板溫度設定為在多個前驅物中最低的前驅物的分解溫度以下。由此，在利用ALD法的沉積中，可以在所使用的多個前驅物都不分解的狀態下使它們吸附到對象物(例如，基板等)上。

【0260】藉由在上述溫度範圍內加熱基板的同時進行上述沉積，在步驟1至步驟4的各過程中可以從金屬氧化物去除包含在前驅物及反應物等中的氫或碳等雜質。例如，可以將金屬氧化物中的碳釋放為CO₂及CO，可以將金屬氧化物中的氫釋放為H₂O。並且，在去除上述雜質的同時金

屬原子及氧原子被重新排列，因此可以以高秩序性排列各氧化物的層。由此，可以形成結晶性高的層狀結晶結構的金屬氧化物。

【0261】 為了在上述溫度範圍內加熱基板的同時進行沉積，用於上述沉積的前驅物的分解溫度較佳為高。例如，前驅物的分解溫度較佳為 200°C 以上且 700°C 以下，更佳為 300°C 以上且 600°C 以下。作為這樣分解溫度高的前驅物，較佳為使用由無機物形成的前驅物(以下，被稱為無機前驅物)。無機前驅物一般傾向於具有比由有機物形成的前驅物(以下，被稱為有機前驅物)高的分解溫度，有時其ALD窗位於上述溫度範圍內。另外，因為無機前驅物不包含氫或碳等雜質，所以可以防止沉積的金屬氧化物中的氫或碳等雜質濃度增加。

【0262】 並且，較佳為在上述金屬氧化物的沉積之後進行熱處理。尤其是，較佳為在利用上述ALD法的沉積之後以不暴露於外部空氣的方式連續地進行熱處理。該熱處理以 100°C 以上且 1200°C 以下，較佳為以 200°C 以上且 1000°C 以下，更佳為以 250°C 以上且 650°C 以下，還較佳為以 300°C 以上且 600°C 以下，進一步較佳為以 400°C 以上且 550°C 以下，更進一步較佳為以 420°C 以上且 480°C 以下進行即可。熱處理在氮氣體或惰性氣體氛圍或者包含 10ppm 以上、 1% 以上或 10% 以上的氧化性氣體的氛圍下進行。熱處理也可以在減壓狀態下進行。熱處理也可以在氮氣體或惰性氣體氛圍下進行熱處理，然後為了填補脫離了的氧在包

含 10ppm 以上、1% 以上或 10% 以上的氧化性氣體的氛圍下進行熱處理。

【0263】藉由如此進行熱處理，可以去除包含在金屬氧化物中的氫或碳等雜質。例如，可以將金屬氧化物中的碳釋放為 CO_2 及 CO ，可以將金屬氧化物中的氫釋放為 H_2O 。並且，在去除上述雜質的同時金屬原子及氧原子被重新排列，因此可以提高結晶性。由此，可以形成結晶性高的層狀結晶結構的金屬氧化物。

【0264】另外，較佳的是，在上述金屬氧化物的沉積之後在含氧氛圍下進行微波處理，來進行降低該金屬氧化物中的雜質濃度的處理。作為雜質，尤其可以舉出氫及碳。在此，微波處理例如是指使用包括利用微波生成高密度電漿的電源的裝置的處理。

【0265】藉由在含氧氛圍下進行微波處理，可以使用微波或 RF 等高頻使氧氣體電漿化而使該氧電漿作用。另外，作為作用於金屬氧化物的氧，有氧原子、氧分子、氧離子及氧自由基(也被稱為 O 自由基的具有不成對電子的原子、分子或離子)等各種形態。另外，作用於金屬氧化物的氧可以為上述形態中的任一個或多個，尤其較佳為氧自由基。

【0266】另外，藉由在上述的在含氧氛圍下進行微波處理時加熱基板，可以進一步降低金屬氧化物中的雜質濃度，所以是較佳的。上述基板的加熱以 100°C 以上且 650°C 以下，較佳為以 200°C 以上且 600°C 以下，更佳為以 300°C

以上且450°C以下進行即可。

【0267】藉由在上述的在含氧氛圍下進行微波處理時加熱基板，可以使藉由SIMS測得的金屬氧化物中的碳濃度低於 $1 \times 10^{20} \text{ atoms/cm}^3$ ，較佳為低於 $1 \times 10^{19} \text{ atoms/cm}^3$ ，進一步較佳為低於 $1 \times 10^{18} \text{ atoms/cm}^3$ 。

【0268】注意，以上示出在含氧氛圍下對金屬氧化物進行微波處理的結構例子，但是不侷限於此。例如，也可以在含氧氛圍下對位於金屬氧化物附近的絕緣膜，明確而言對氧化矽膜進行微波處理。例如，在根據上述實施方式的圖5所示的製程中也可以在沉積絕緣膜250A之後進行微波處理。藉由在含氧氛圍下對氧化矽膜進行微波處理，可以使包含在該氧化矽膜中的氫作為 H_2O 釋放到外部。藉由從位於金屬氧化物附近的氧化矽膜釋放氫，可以提供一種可靠性高的半導體裝置。

【0269】注意，在圖12中，說明氧化物613a至氧化物613c的疊層結構反復的結構，但是本發明不侷限於此。例如，也可以使用反復形成有單層、兩層或四層以上的氧化物的層的金屬氧化物。

【0270】另外，在本說明書等的記載中，在沒有特別的限定的情況下，在作為反應物或氧化劑使用臭氧、氧、水時，該元素包括電漿狀態、自由基狀態及離子狀態的元素而不侷限於氣體或分子狀態的元素。在使用電漿狀態、自由基狀態或離子狀態的氧化劑進行沉積時，使用後述的自由基ALD裝置或電漿ALD裝置即可。

【0271】為了去除包含在前驅物中的碳或氫等雜質，較佳為使該前驅物與氧化劑充分反應。例如，設定較長的引入氧化劑的脈衝時間即可。或者，多次引入氧化劑即可。當多次引入氧化劑時，既可以引入相同種類的氧化劑，又可以引入不同種類的氧化劑。例如，也可以在作為第一氧化劑將水引入腔室內之後進行真空排氣，在作為第二氧化劑將不包含氫的臭氧或氧引入腔室內，進行真空排氣。

【0272】如此，藉由在腔室中短時間內反復多次地進行氧化劑的引入及惰性氣體的引入(或真空排氣)，可以進一步確實地從吸附到基板表面上的前驅物去除剩餘的氫原子、碳原子、氯原子等並將其排出腔室外部。另外，藉由引入兩種氧化劑，可以從吸附到基板表面上的前驅物去除更多的剩餘的氫原子等。如此，藉由防止在沉積時氫原子被引入到膜中，可以減少包含在所形成的膜中的水、氫等。

【0273】ALD法是利用熱能使前驅物及反應物起反應而進行的沉積方法。前驅物及反應物的反應所需的溫度根據其溫度特性、蒸氣壓、分解溫度等決定，設定為 100°C 以上且 600°C 以下，較佳為 200°C 以上且 600°C 以下，更佳為 300°C 以上且 600°C 以下。

【0274】再者，有時將藉由進行上述前驅物及反應物的反應並作為第三源氣體將被電漿激發的反應物引入腔室而進行處理的ALD法稱為電漿ALD法。此時，第三源氣體

的引入部設置有電漿產生裝置。在產生電漿時，可以使用電感耦合電漿。另一方面，有時將利用熱能進行前驅物及反應物的反應的ALD法稱為熱ALD法。

【0275】 在電漿ALD法中，引入第三步驟中被電漿激發的反應物來進行沉積。或者，藉由反復進行第一步驟至第四步驟的同時引入被電漿激發的反應物(第二反應物)來進行沉積。在此情況下，將在第三步驟中引入的反應物稱為第一反應物。在電漿ALD法中，用於第三源氣體的第三反應物可以使用與上述氧化劑同樣的材料。就是說，作為第二反應物可以使用被電漿激發的臭氧、氧及水。另外，作為第二反應物除了氧化劑以外還可以使用氮化劑。作為氮化劑可以使用氮(N_2)或氨(NH_3)。另外，可以將氮(N_2)和氫(H_2)的混合氣體用作氮化劑。例如，可以將氮(N_2)5%和氫(H_2)95%的混合氣體用作氮化劑。藉由在引入被電漿激發的氮或氨的同時進行沉積，可以形成金屬氮化膜等氮化膜。

【0276】 另外，作為第二反應物的載氣，可以使用氬(Ar)、氦(He)或氮(N_2)。藉由使用氬、氦或氮等載氣，容易進行電漿的放電而生成被電漿激發的第二反應物，所以是較佳的。注意，在使用電漿ALD法形成金屬氧化膜等氧化膜且作為載氣使用氮的情況下，有時氮混入膜中而不能得到所希望的膜質。此時，較佳為作為載氣使用氬或氦。

【0277】 藉由利用ALD法，可以以均勻的膜厚度沉積極薄的膜。另外，對具有凹凸的表面具有高覆蓋率。

【0278】在此，參照圖13A至圖13D說明層狀結晶結構的金屬氧化物為In-M-Zn氧化物時的結晶中的原子排列。在圖13B及圖13D中，以球形(圓形)表示原子，以線表示金屬原子和氧原子的鍵合。在圖13B及圖13D中，用圖式中的箭頭表示In-M-Zn氧化物的結晶結構中的c軸(c-axis)方向。另外，In-M-Zn氧化物的結晶結構中的a-b面方向為與在圖13B及圖13D中用箭頭表示的c軸方向垂直的方向。

【0279】圖13A是示出形成在結構體650上的包含In-M-Zn氧化物的氧化物660的圖。在此，結構體是指構成電晶體等半導體裝置的組件。結構體650包括基板、閘極電極、源極電極及汲極電極等的導電體；閘極絕緣膜、層間絕緣膜、基底絕緣膜等的絕緣體；金屬氧化物及矽等的半導體等。圖13A示出結構體650的被沉積面與基板(或基體，未圖示)平行地配置的情況。

【0280】圖13B是示出圖13A的氧化物660的一部分的區域653的結晶中的原子排列的放大圖。在此，圖13A及圖13B所示的氧化物660的組成為In:M:Zn=1:1:1[原子個數比]，結晶結構為 YbFe_2O_4 型結構。另外，元素M為+3價金屬元素。

【0281】如圖13B所示，氧化物660所包括的結晶依次反復層疊有包含銦(In)及氧的層621、包含元素M及氧的層631和包含鋅(Zn)及氧的層641。層621、層631及層641以大致平行於結構體650的被沉積面的方式配置。換言之，

氧化物 660 的 a-b 面大致平行於結構體 650 的被沉積面，氧化物 660 的 c 軸大致平行於結構體 650 的被沉積面的法線方向。

【0282】如圖 13B 所示，藉由上述結晶所具有的層 621、層 631 及層 641 都由一個金屬元素及氧構成，可以以高結晶性進行排列而提高該金屬氧化物的移動率。

【0283】注意， $\text{In} : \text{M} : \text{Zn} = 1 : 1 : 1$ [原子個數比] 的 In-M-Zn 氧化物的結構不侷限於圖 13B 所示的結構。層 621、層 631、層 641 的疊層順序也可以改變。例如，也可以依次反復層疊層 621、層 641、層 631。或者，也可以依次反復層疊層 621、層 631、層 641、層 621、層 641、層 631。另外，也可以用鋅取代層 631 的元素 M 的一部分，用元素 M 取代層 641 的鋅的一部分。

【0284】以上，示出形成其組成為 $\text{In} : \text{M} : \text{Zn} = 1 : 1 : 1$ [原子個數比] 的 In-M-Zn 氧化物的例子，但是其組成式以 $\text{In}_{(1+\alpha)}\text{M}_{(1-\alpha)}\text{O}_3(\text{ZnO})_m$ (α 為大於 0 且小於 1 的實數， m 為正數) 表示的結晶性 In-M-Zn 氧化物同樣可以具有層狀結晶結構。作為一個例子，參照圖 13C 及圖 13D 示出其組成為 $\text{In} : \text{M} : \text{Zn} = 1 : 3 : 4$ [原子個數比] 的 In-M-Zn 氧化物。

【0285】圖 13C 是示出形成在結構體 650 上的包含 In-M-Zn 氧化物的氧化物 662 的圖。圖 13D 是示出圖 13C 所示的氧化物 662 的一部分的區域 654 的結晶中的原子排列的放大圖。

【0286】如圖 13D 所示，氧化物 662 所包括的結晶具有

包含銦(In)、元素M及氧的層622、包含鋅(Zn)及氧的層641以及包含元素M及氧的層631。在氧化物662中，作為多個層，依次反復層疊有層622、層641、層631、層641。層622、層631及層641以大致平行於結構體650的被沉積面的方式配置。換言之，氧化物662的a-b面大致平行於結構體650的被沉積面，氧化物662的c軸大致平行於結構體650的被沉積面的法線方向。

【0287】注意，In：M：Zn=1：3：4[原子個數比]的In-M-Zn氧化物的結構不侷限於圖13D所示的結構，也可以在保持In：M：Zn=1：3：4[原子個數比]的範圍內改變結構。層622、層631、層641的疊層順序也可以改變。另外，也可以用鋅取代層631的元素M的一部分，用元素M取代層641的鋅的一部分。另外，也可以形成有層621或層631代替層622。

【0288】接著，參照圖14A至圖15C示出圖13A及圖13B所示的包含In-M-Zn氧化物的氧化物660的詳細形成方法。

【0289】首先，將包括包含銦的前驅物的源氣體引入腔室內而使該前驅物吸附到結構體650的表面上(參照圖14A)。在此，源氣體除了前驅物以外還包括氫、氮或氬等載氣。作為包含銦的前驅物，可以使用三甲基銦、三乙基銦、三(2,2,6,6-四甲基-3,5-庚二酮酸)銦、環戊二烯基銦、銻(III)乙醯丙酮、(3-(二甲基胺基)丙基)二甲基銦等。

【0290】另外，作為包含銦的前驅物，也可以使用不

包含烴的無機前驅物。作為包含銮的無機前驅物，可以使用三氯化銮、三溴化銮、三碘化銮等鹵素類銮化合物。三氯化銮的分解溫度為 500°C 以上且 700°C 以下左右。因此，藉由使用三氯化銮，可以以 400°C 以上且 600°C 以下左右，例如以 500°C 加熱基板，同時利用ALD法進行沉積。

【0291】接著，停止引入上述源氣體，對腔室內進行吹掃而從腔室排出剩餘的前驅物及反應生成物等。

【0292】接著，作為反應物將氧化劑引入腔室內，使該氧化劑與被吸附的前驅物起反應，在銮吸附到基板的狀態下使銮以外的成分脫離，由此形成銮和氧鍵合而成的層621(參照圖14B)。作為氧化劑，可以使用臭氧、氧、水等。接著，停止引入上述氧化劑，對腔室內進行吹掃而從腔室排出剩餘的反應物及反應生成物等。

【0293】接著，將包括包含元素M的前驅物的源氣體引入腔室內而使該前驅物吸附到層621上(參照圖14C)。源氣體除了前驅物以外還包括氫、氮或氬等載氣。在作為元素M使用鎵時，作為包含鎵的前驅物，可以使用三甲基鎵、三乙基鎵、三(二甲基醯胺)鎵、鎵(III)乙醯丙酮、三(2,2,6,6-四甲基-3,5-庚二酮酸)鎵、二甲基氫鎵、二乙基氫鎵、二甲基異丙醇鎵等。

【0294】另外，作為包含鎵的前驅物，也可以使用不包含烴的無機前驅物。作為包含鎵的無機前驅物，可以使用三氯化鎵、三溴化鎵、三碘化鎵等鹵素類鎵化合物。三氯化鎵的分解溫度為 550°C 以上且 700°C 以下左右。因此，

藉由使用三氯化鎂，可以以 450°C 以上且 650°C 以下左右，例如以 550°C 加熱基板，同時利用ALD法進行沉積。

【0295】接著，停止引入上述源氣體，對腔室內進行吹掃而從腔室排出剩餘的前驅物及反應生成物等。

【0296】接著，作為反應物將氧化劑引入腔室內，使氧化劑與被吸附的前驅物起反應，在元素M吸附到基板的狀態下使元素M以外的成分脫離，由此形成元素M和氧鍵合而成的層631(參照圖14D)。此時，有時構成層641的氧的一部分吸附到層631上。接著，停止引入上述源氣體，對腔室內進行吹掃而從腔室排出剩餘的反應物及反應生成物等。

【0297】接著，將包括包含鋅的前驅物的源氣體引入腔室內而使該前驅物吸附到層631上(參照圖15A)。此時，有時形成鋅和氧鍵合而成的層641的一部分。源氣體除了前驅物以外還包括氫、氮或氬等載氣。作為包含鋅的前驅物，可以使用二甲基鋅、二乙基鋅、雙(2,2,6,6-四甲基-3,5-庚二酮酸)鋅、乙酸鋅等。

【0298】另外，作為包含鋅的前驅物，也可以使用不包含氫的無機前驅物。作為包含鋅的無機前驅物，可以使用二氯化鋅、二溴化鋅、二碘化鋅等鹵素類鋅化合物。二氯化鋅的分解溫度為 450°C 以上且 700°C 以下左右。因此，藉由使用二氯化鋅，可以以 350°C 以上且 550°C 以下左右，例如以 450°C 加熱基板，同時利用ALD法進行沉積。

【0299】接著，停止引入上述源氣體，對腔室內進行

吹掃而從腔室排出剩餘的前驅物及反應生成物等。

【0300】接著，作為反應物將氧化劑引入腔室內，使氧化劑與被吸附的前驅物起反應，在鋅吸附到基板的狀態下使鋅以外的成分脫離，由此形成鋅和氧鍵合而成的層641(參照圖15B)。接著，停止引入上述源氣體，對腔室內進行吹掃而從腔室排出剩餘的反應物及反應生成物等。

【0301】接著，在層641上以上述方法再次形成層621(參照圖15C)。藉由反復進行上述方法，可以在基板或結構體上形成氧化物660。

【0302】注意，上述前驅物有時除了金屬元素以外還包含碳和氯中的一者或兩者。使用包含碳的前驅物形成的膜有時包含碳。另外，使用包含氯等鹵素的前驅物形成的膜有時包含氯等鹵素。

【0303】如上所述，藉由使用ALD法形成氧化物660，可以形成其c軸與被沉積面的法線方向大致平行地配向的金屬氧化物。例如，在根據上述實施方式的圖1B及圖1C所示的氧化物半導體230中，可以形成大致平行於開口290的側壁的層狀結晶，尤其是大致平行於絕緣體280的側面的層狀結晶。藉由採用這種結構，氧化物半導體230的層狀結晶大致平行於電晶體200的通道長度方向，所以可以增大電晶體的通態電流。

【0304】較佳為在加熱基板的同時進行圖14A至圖15C所示的製程。例如，將基板溫度設定為200°C以上且600°C以下，較佳為300°C以上且前驅物的分解溫度以下即

可。

【0305】 為了在上述溫度範圍內加熱基板的同时進行沉積，用於上述沉積的前驅物的分解溫度較佳為高。例如，前驅物的分解溫度較佳為 200°C 以上且 700°C 以下，更佳為 300°C 以上且 600°C 以下。作為這樣的分解溫度高的前驅物，較佳為使用無機前驅物。無機前驅物一般傾向於具有比有機前驅物高的分解溫度，因此即使在如上所述地加熱基板的同时進行沉積，前驅物也不容易被分解。

【0306】 作為無機前驅物，例如可以使用上述的三氯化銻、三氯化鎵、二氯化鋅。如上所述，這些前驅物的分解溫度為 350°C 以上且 700°C 以下左右，比一般的有機前驅物的分解溫度高得多。但是，如上所述，三氯化銻、三氯化鎵和二氯化鋅的分解溫度互不相同。當使用如此不同種類的前驅物並利用ALD法進行沉積時，較佳為將基板溫度設定為在多個前驅物的分解溫度中最低的分解溫度以下。在以上例子中，在前驅物的分解溫度最低的二氯化鋅不會分解的範圍內設定基板溫度即可。由此，在其他的三氯化銻、三氯化鎵也不分解的狀態下，可以使它們吸附到對象物(例如，基板等)上。

【0307】 注意，圖14A至圖15C示出作為包含銻的層形成層621，在其上作為包含元素M的層形成層631，並且在其上作為包含鋅的層形成層641的例子，但是本實施方式不侷限於此，也可以形成層631和層641中的一方，在其上形成層621，並且在其上形成層631和層641中的另一

方。或者，也可以形成層631和層641中的一方，在其上形成層631和層641中的另一方，並且在其上形成層621。

【0308】 另外，當形成原子個數比不同於 $In : M : Zn=1 : 1 : 1$ [原子個數比] 的金屬氧化物時，根據原子個數比適當地形成上述層621、層631、層641即可。例如，藉由在圖15A所示的層631的形成前後反復多次地進行層641的形成，在兩個層621之間形成具有所希望的原子個數、層數及厚度的層631和層641的疊層即可。

【0309】

實施方式3

在本實施方式中，說明將上述實施方式中說明的記憶單元用於記憶體裝置的結構例子。在本實施方式中說明記憶體裝置的結構例子，其中包括層疊的記憶單元的層之間設置有包括具有放大保持在記憶單元中的資料電位並將其輸出的功能的功能電路的層。

【0310】

[記憶體裝置的結構例子]

圖16是示出根據本發明的一個實施方式的記憶體裝置300的結構例子的方塊圖。圖16所示的記憶體裝置300包括驅動電路21及記憶體陣列20。記憶體陣列20包括具有多個記憶單元10及多個功能電路51的功能層50。

【0311】 圖16示出記憶體陣列20包括配置為 m 行 n 列 (m 及 n 為 2 以上的整數) 的矩陣狀的多個記憶單元10的例子。此外，作為一個例子按每個用作位元線的佈線BL設

置功能電路 51。圖 16 示出包括對應 n 個佈線 BL 設置的多個功能電路 51 的例子。

【0312】在圖 16 中，將第 1 行第 1 列記憶單元 10 表示為記憶單元 $10[1,1]$ ，將第 m 行第 n 列記憶單元 10 表示為記憶單元 $10[m,n]$ 。另外，在本實施方式等中，有時記作“ i 行”來表示任意行。另外，有時記作“ j 列”來表示任意列。因此， i 為 1 以上且 m 以下的整數， j 為 1 以上且 n 以下的整數。另外，在本實施方式等中，將第 i 行第 j 列記憶單元 10 表示為記憶單元 $10[i,j]$ 。在本實施方式等中，當表示為“ $i+\alpha$ ”(α 為正整數或負整數)時，“ $i+\alpha$ ”不小於 1 且不大於 m 。同樣，當表示為“ $j+\alpha$ ”時，“ $j+\alpha$ ”不小於 1 且不大於 n 。

【0313】另外，記憶體陣列 20 包括延伸在行方向上的 m 個佈線 WL、延伸在行方向上的 m 個佈線 PL 以及延伸在列方向上的 n 個佈線 BL。在本實施方式等中，將第一個(第 1 行)設置的佈線 WL 表示為佈線 $WL[1]$ ，將第 m 個(第 m 行)設置的佈線 WL 表示為佈線 $WL[m]$ 。同樣地，將第一個(第 1 行)設置的佈線 PL 表示為佈線 $PL[1]$ ，將第 m 個(第 m 行)設置的佈線 PL 表示為佈線 $PL[m]$ 。同樣地，將第一個(第 1 列)設置的佈線 BL 表示為佈線 $BL[1]$ ，將第 n 個(第 n 列)設置的佈線 BL 表示為佈線 $BL[n]$ 。

【0314】設置在第 i 行的多個記憶單元 10 與第 i 行佈線 WL(佈線 $WL[i]$)和第 i 行佈線 PL(佈線 $PL[i]$)電連接。設置在第 j 列的多個記憶單元 10 與第 j 列佈線 BL(佈線 $BL[j]$)電連接。

【0315】記憶體陣列20可以使用DOSRAM(註冊商標)(Dynamic Oxide Semiconductor Random Access Memory)。DOSRAM是包括1T(電晶體)1C(電容器)型記憶體單元的RAM，且是存取電晶體為OS電晶體的記憶體。OS電晶體在關閉狀態下流過源極和汲極之間的電流，即洩漏電流極小。在DOSRAM中，藉由關閉存取電晶體(使其處於非導通狀態)，可以長時間保持根據保持在電容器中的資料的電荷。因此，與使用在通道形成區域中包含矽的電晶體(以下，也被稱為“Si電晶體”)構成的DRAM相比，DOSRAM的更新工作的頻率可以更低。其結果是，可以實現低功耗化。

【0316】記憶體單元10如實施方式1等所說明那樣藉由層疊配置OS電晶體，可以層疊設置記憶體單元10。例如在圖16所示的記憶體陣列20中可以層疊設置多個記憶體陣列20[1]至20[m]。藉由將記憶體陣列20所包括的記憶體陣列20[1]至20[m]配置在垂直於設置有驅動電路21的基板表面的方向上，可以提高記憶體單元10的記憶體密度。此外，記憶體陣列20可以在垂直方向上反復使用相同的製程製造。記憶體裝置300可以降低記憶體陣列20的製造成本。

【0317】佈線BL被用作進行資料的寫入及讀出的位元線。佈線WL被用作控制用作開關的存取電晶體的開啟或關閉(導通狀態或非導通狀態)的字線。佈線PL具有作為連接到電容器的恆電位線的功能。

【0318】記憶體陣列20[1]至20[m]分別包括的記憶單

元 10 透過佈線 BL 與功能電路 51 連接。佈線 BL 可以配置在垂直於設置有驅動電路 21 的基板表面的方向上。藉由將從記憶體陣列 20[1] 至 20[m] 所包括的記憶單元 10 延伸設置的佈線 BL 設置在垂直於基板表面的方向上，可以縮短記憶體陣列 20 與功能電路 51 之間的佈線的長度。因此，由於可以縮短連接於位元線的兩個電路之間的信號傳輸距離且可以大幅度降低位元線的電阻及寄生電容，所以可以降低功耗及信號延遲。此外，即使降低記憶單元 10 所包括的電容器的電容也可以進行工作。

【0319】功能電路 51 具有放大保持在記憶單元 10 中的資料電位並將其藉由後述的佈線 GBL (未圖示) 輸出到驅動電路 21 所包括的感測放大器 46 的功能。藉由採用該結構，可以在讀出資料時將佈線 BL 的微小的電位差放大。佈線 GBL 與佈線 BL 同樣地可以配置在垂直於設置有驅動電路 21 的基板表面的方向上。藉由將從記憶體陣列 20[1] 至 20[m] 所包括的記憶單元 10 延伸設置的佈線 BL 及佈線 GBL 設置在垂直於基板表面的方向上，可以縮短功能電路 51 與感測放大器 46 之間的佈線的長度。因此，由於可以縮短連接於佈線 GBL 的兩個電路之間的信號傳輸距離且大幅度降低佈線 GBL 的電阻及寄生電容，所以可以降低功耗及信號延遲。

【0320】佈線 BL 以與記憶單元 10 所包括的電晶體的半導體層接觸的方式設置。或者佈線 BL 以與記憶單元 10 所包括的電晶體的半導體層的用作源極或汲極的區域接觸的方式設置。或者佈線 BL 以與接觸於記憶單元 10 所包括

的電晶體的半導體層的用作源極或汲極的區域的導電體接觸的方式設置。也就是說，佈線BL可以說是使記憶體陣列20的各層中的記憶單元10所包括的電晶體的源極和汲極中的一個與功能電路51在垂直方向上電連接的佈線。

【0321】記憶體陣列20可以重疊設置在驅動電路21上。藉由重疊設置驅動電路21和記憶體陣列20，可以縮短驅動電路21和記憶體陣列20之間的信號傳輸距離。因此，驅動電路21和記憶體陣列20之間的電阻及寄生電容得到降低，可以實現功耗及信號延遲的降低。另外，可以實現記憶體裝置300的小型化。

【0322】藉由與DOSRAM的記憶單元10所包括的電晶體同樣地由OS電晶體構成功能電路51，可以與記憶體陣列20[1]至20[m]同樣地將功能電路51自由地配置在使用Si電晶體的電路上等，由此可以容易地進行集成化。藉由採用由功能電路51放大信號的結構可以使後級的電路的感測放大器46等的電路小型化，從而可以實現記憶體裝置300的小型化。

【0323】驅動電路21包括PSW22(功率開關)、PSW23及週邊電路31。週邊電路31包括週邊電路41、控制電路32(Control Circuit)及電壓生成電路33。

【0324】在記憶體裝置300中，根據需要可以適當地取捨上述各電路、各信號及各電壓。或者，也可以增加其它電路或其它信號。信號BW、信號CE、信號GW、信號CLK、信號WAKE、信號ADDR、信號WDA、信號PON1、

信號 PON2 為從外部輸入的信號，信號 RDA 為輸出到外部的信號。信號 CLK 為時脈信號。

【0325】此外，信號 BW、信號 CE 及信號 GW 為控制信號。信號 CE 為晶片賦能信號，信號 GW 為全局寫入賦能信號，信號 BW 為位元組寫入賦能信號。信號 ADDR 為位址信號。信號 WDA 為寫入資料，信號 RDA 為讀出資料。信號 PON1、信號 PON2 為電源閘控控制用信號。此外，信號 PON1、信號 PON2 也可以在控制電路 32 中生成。

【0326】控制電路 32 為具有控制記憶體裝置 300 的整體工作的功能的邏輯電路。例如，控制電路對信號 CE、信號 GW 及信號 BW 進行邏輯運算來決定記憶體裝置 300 的工作模式(例如，寫入工作、讀出工作)。或者，控制電路 32 生成週邊電路 41 的控制信號，以執行上述工作模式。

【0327】電壓生成電路 33 具有生成負電壓的功能。信號 WAKE 具有控制對電壓生成電路 33 輸入信號 CLK 的功能。例如，當信號 WAKE 被施加 H 位準的信號時，信號 CLK 被輸入到電壓生成電路 33，電壓生成電路 33 生成負電壓。

【0328】週邊電路 41 是用來對記憶單元 10 進行資料的寫入及讀出的電路。此外，週邊電路 41 是輸出用來控制功能電路 51 的各種信號的電路。週邊電路 41 包括行解碼器 42 (Row Decoder)、列解碼器 44 (Column Decoder)、行驅動器 43 (Row Driver)、列驅動器 45 (Column Driver)、輸入電路 47 (Input Cir.)、輸出電路 48 (Output Cir.) 及感測放大器

46(Sense Amplifier)。

【0329】行解碼器42及列解碼器44具有對信號ADDR進行解碼的功能。行解碼器42是用來指定要訪問行的電路，列解碼器44是用來指定要訪問列的電路。行驅動器43具有選擇由行解碼器42指定的佈線WL的功能。列驅動器45具有如下功能：將資料寫入到記憶單元10的功能；從記憶單元10讀出資料的功能；保持所讀出的資料的功能等。

【0330】輸入電路47具有保持信號WDA的功能。輸入電路47中保持的資料輸出到列驅動器45。輸入電路47的輸出資料是寫入到記憶單元10的資料(Din)。由列驅動器45從記憶單元10讀出的資料(Dout)被輸出至輸出電路48。輸出電路48具有保持Dout的功能。此外，輸出電路48具有將Dout輸出到記憶體裝置300的外部的功能。從輸出電路48輸出的資料為信號RDA。

【0331】PSW22具有控制向週邊電路31供給VDD的功能。PSW23具有控制向行驅動器43供給VHM的功能。在此，記憶體裝置300的高電源電壓為VDD，低電源電壓為GND(接地電位)。此外，VHM是用來使字線成為高位準的高電源電壓，其高於VDD。利用信號PON1控制PSW22的開啟/關閉，利用信號PON2控制PSW23的開啟/關閉。在圖16中，週邊電路31中被供應VDD的電源域的個數為1，但是也可以為多個。此時，可以對各電源域設置功率開關。

【0332】記憶體陣列20包括記憶體陣列20[1]至20[m](m為2以上的整數)及功能層50，可以在驅動電路21上重疊

設置多個層的記憶體陣列 20。藉由重疊設置多個層的記憶體陣列 20，可以提高記憶單元 10 的記憶體密度。圖 17A 是示出在驅動電路 21 上重疊設置 5 層 ($m=5$) 的記憶體陣列 20[1] 至 20[5] 及功能層 50 的情況的記憶體裝置 300 的立體圖。

【0333】在圖 17A 中，將設置在第一層中的記憶體陣列 20 記作記憶體陣列 20[1]，將設置在第二層中的記憶體陣列 20 記作記憶體陣列 20[2]，將設置在第五層中的記憶體陣列 20 記作記憶體陣列 20[5]。圖 17A 示出延伸設置在 X 方向上的佈線 WL 及佈線 PL 以及延伸設置在 Z 方向(垂直於設置有驅動電路的基板表面的方向)上的佈線 BL。注意，為了使圖式更易懂，省略記憶體陣列 20 的每一個所包括的佈線 WL 及佈線 PL 的一部分的記載。注意，圖 17A 示出佈線 PL 延伸在 X 方向上的結構，但是本發明不侷限於此。例如，佈線 PL 可以延伸在 Y 方向上，也可以延伸在 X 方向及 Y 方向上，例如佈線 PL 也可以以平面狀設置。

【0334】圖 17B 是說明圖 17A 所示的連接於佈線 BL 的功能電路 51 及連接於佈線 BL 的記憶體陣列 20[1] 至 20[5] 所包括的記憶單元 10 的結構例子的示意圖。此外，圖 17B 示出設置在功能電路 51 與驅動電路 21 之間的佈線 GBL。另外，將一個佈線 BL 與多個記憶單元(記憶單元 10)電連接的結構也稱為“記憶體串(memory string)”。注意，在圖式中，為了提高易見度，有時用粗線示出佈線 GBL。

【0335】圖 17B 示出連接於佈線 BL 的記憶單元 10 的電

路結構的一個例子。記憶單元 10 包括電晶體 11 及電容器 12。關於電晶體 11、電容器 12 及各佈線 (BL 及 WL 等)，例如有時將佈線 BL[1] 及佈線 WL[1] 稱為佈線 BL 及佈線 WL 等。

【0336】在記憶單元 10 中，電晶體 11 的源極和汲極中的一個與佈線 BL 連接。電晶體 11 的源極和汲極中的另一個與電容器 12 的一個電極連接。電容器 12 的另一個電極與佈線 PL 連接。電晶體 11 的閘極與佈線 WL 連接。

【0337】例如，在相同層中連接於相同佈線 BL 的兩個記憶單元 10 可以採用根據實施方式 1 的圖 10 所示的結構。

【0338】另外，圖 17B 等示出兩個記憶單元 10 在相同層中連接於相同佈線 BL 的結構，但是本發明不侷限於此。例如，既可以採用四個記憶單元 10 在相同層中連接於相同佈線 BL 的結構，又可以採用八個記憶單元 10 在相同層中連接於相同佈線 BL 的結構。例如，當設置在相同層中連接於相同佈線 BL 的四個記憶單元 10 時，可以採用根據實施方式 1 的圖 11 所示的結構。

【0339】佈線 PL 是供應用來儲存電容器 12 的電位的恆電位的佈線。

【0340】圖 17B 所示的佈線 GBL 以電連接驅動電路 21 與功能層 50 之間的方式設置。圖 18A 示出以功能電路 51 以及記憶體陣列 20[1] 至 20[m] 為重複單位 70 的記憶體裝置 300 的示意圖。雖然圖 18A 中示出一個佈線 GBL，但也可以根

據功能層50中的功能電路51的數量適當地設置佈線GBL。

【0341】佈線GBL以與功能電路51所包括的電晶體的半導體層接觸的方式設置。或者，佈線GBL以與功能電路51所包括的電晶體的半導體層的用作源極或汲極的區域接觸的方式設置。或者，佈線GBL以與接觸於功能電路51所包括的電晶體的半導體層的用作源極或汲極的區域的導體接觸的方式設置。也就是說，佈線GBL可以說是使功能層50的功能電路51所包括的電晶體的源極和汲極中的一個與驅動電路21在垂直方向上電連接的佈線。

【0342】此外，也可以具有層疊包括功能電路51及記憶體陣列20[1]至20[m]的重複單位70的結構。本發明的一個實施方式的記憶體裝置300A如圖18B所示可以包括重複單位70[1]至70[p](p為2以上的整數)。佈線GBL與重複單位70所包括的功能層50連接。根據功能電路51的個數適當地設置佈線GBL即可。

【0343】在本發明的一個實施方式中，在層疊設置OS電晶體的同時將用作位元線的佈線配置在垂直於設置有驅動電路21的基板表面的方向上。藉由在垂直於基板表面的方向上設置從記憶體陣列20延伸設置的用作位元線的佈線，可以縮短記憶體陣列20與驅動電路21之間的佈線的長度。因此，可以大幅度降低位元線的寄生電容。

【0344】本發明的一個實施方式在設置有記憶體陣列20的層中包括功能層50，該功能層50包括具有放大保持在記憶單元10中的資料電位並將其輸出的功能的功能電路

51。藉由採用該結構，可以將讀出資料時用作位元線的佈線BL的微小的電位差放大而可以驅動驅動電路21所包括的感測放大器46。由於可以使感測放大器等的電路小型化，所以可以實現記憶體裝置300的小型化。此外，即使降低記憶單元10所包括的電容器12的電容也可以進行工作。

【0345】

[記憶體陣列20及功能電路51的結構例子]

參照圖19說明圖16至圖18所說明的功能電路51的結構例子以及記憶體陣列20及驅動電路21所包括的感測放大器46的結構例子。圖19示出驅動電路21，該驅動電路21連接於佈線GBL(GBL_A、GBL_B)，該佈線GBL(GBL_A、GBL_B)連接於功能電路51(51_A、51_B)，且該功能電路51(51_A、51_B)連接於與不同的佈線BL(BL_A、BL_B)連接的記憶單元10(10_A、10_B)。作為圖19所示的驅動電路21，除了感測放大器46以外還示出預充電電路71_A、預充電電路71_B、開關電路72_A、開關電路72_B及寫入讀出電路73。

【0346】作為功能電路51_A、51_B示出電晶體52_a、52_b、53_a、53_b、54_a、54_b、55_a、55_b。圖19所示的電晶體52_a、52_b、53_a、53_b、54_a、54_b、55_a、55_b與記憶單元10所包括的電晶體11同樣地是OS電晶體。包括功能電路51的功能層50可以與記憶體陣列20[1]至20[m]同樣地層疊設置。

【0347】佈線 BL_A 及 BL_B 與電晶體 52_a、52_b 的閘極連接。佈線 GBL_A 及 GBL_B 與電晶體 53_a、53_b、54_a、54_b 的源極和汲極中的一個連接。與佈線 BL_A 及 BL_B 同樣地，佈線 GBL_A 及 GBL_B 設置在垂直方向上並與驅動電路 21 所包括的電晶體連接。如圖 19 所示，電晶體 53_a、53_b、54_a、54_b、55_a、55_b 的閘極被供應控制信號 WE、RE、MUX。

【0348】構成圖 19 所示的感測放大器 46、預充電電路 71_A 及預充電電路 71_B 的電晶體 81_1 至 81_6 及 82_1 至 82_4 由 Si 電晶體構成。構成開關電路 72_A 及開關電路 72_B 的開關 83_A 至 83_D 也可以由 Si 電晶體構成。電晶體 53_a、53_b、54_a、54_b 的源極和汲極中的一個與構成預充電電路 71_A、預充電電路 71_B、感測放大器 46、開關電路 72_A 的電晶體或開關連接。

【0349】預充電電路 71_A 包括 n 通道型的電晶體 81_1 至 81_3。預充電電路 71_A 是根據供應給預充電線 PCL1 的預充電信號將佈線 BL_A 及 BL_B 預充電至相當於 VDD 與 VSS 之間的電位 $VDD/2$ 的中間電位 VPC 的電路。

【0350】預充電電路 71_B 包括 n 通道型的電晶體 81_4 至 81_6。預充電電路 71_B 是根據供應給預充電線 PCL2 的預充電信號將佈線 GBL_A 及佈線 GBL_B 預充電至相當於 VDD 與 VSS 之間的電位 $VDD/2$ 的中間電位 VPC 的電路。

【0351】感測放大器 46 包括連接於佈線 VHH 或佈線 VLL 的 p 通道型的電晶體 82_1、82_2 及 n 通道型的電晶體

82_3、82_4。佈線 VHH 或佈線 VLL 是具有供應 VDD 或 VSS 的功能的佈線。電晶體 82_1 至 82_4 是構成反相器環路 (inverter loop) 的電晶體。藉由選擇記憶單元 10_A、10_B 而佈線 BL_A 及佈線 BL_B 被預充電的電位變化，根據該變化將佈線 GBL_A 及佈線 GBL_B 的電位設定為高電源電位 VDD 或低電源電位 VSS。佈線 GBL_A 及佈線 GBL_B 的電位可以經過開關 83_C 及開關 83_D 及寫入讀出電路 73 輸出到外部。佈線 BL_A 及佈線 BL_B 以及佈線 GBL_A 及佈線 GBL_B 相當於位元線對。寫入讀出電路 73 根據信號 EN_data 被控制資料信號的寫入。

【0352】開關電路 72_A 是控制感測放大器 46 與佈線 GBL_A 及佈線 GBL_B 之間的導通狀態的電路。開關電路 72_A 藉由控制切換信號 CSEL1 可以切換開啟或關閉。在開關 83_A 及 83_B 為 n 通道電晶體的情況下，在切換信號 CSEL1 為高位準時開啟，而在切換信號 CSEL1 為低位準時關閉。開關電路 72_B 是控制寫入讀出電路 73 與連接於感測放大器 46 的位元線對之間的導通狀態的電路。開關電路 72_B 藉由控制切換信號 CSEL2 可以切換開啟或關閉。開關 83_C 及 83_D 可以具有與開關 83_A 及 83_B 同樣的結構。

【0353】如圖 19 所示，記憶體裝置 300 可以具有藉由設置在最短距離的垂直方向上的佈線 BL 及佈線 GBL 使記憶單元 10、功能電路 51 與感測放大器 46 連接的結構。包括構成功能電路 51 的電晶體的功能層 50 增加，但藉由降低佈線 BL 的負載，可以縮短寫入時間且可以易於讀出資料。

【0354】如圖19所示，功能電路51_A、51_B所包括的各電晶體根據控制信號WE、RE及選擇信號MUX控制。各電晶體可以根據控制信號及選擇信號將佈線BL的電位經過佈線GBL輸出到驅動電路21。功能電路51_A、51_B可以被用作由OS電晶體構成的感測放大器。藉由採用該結構，可以在讀出時將佈線BL的微小的電位差放大，可以驅動使用Si電晶體的感測放大器46。

【0355】如上所述，藉由層疊設置多個記憶單元陣列與驅動電路，可以實現記憶體裝置的高積體化及記憶容量的大容量化。

【0356】本實施方式可以與本說明書所示的其他實施方式等適當地組合。

【0357】

實施方式4

在本實施方式中，參照圖20A和圖20B說明安裝有本發明的記憶體裝置的晶片1200的一個例子。在晶片1200上安裝有多個電路(系統)。如此，在一個晶片上集成有多個電路(系統)的技術有時被稱為系統晶片(System on Chip: SoC)。

【0358】如圖20A所示，晶片1200包括CPU1211、GPU1212、一個或多個類比運算部1213、一個或多個記憶體控制器1214、一個或多個介面1215、一個或多個網路電路1216等。

【0359】在晶片1200上設置有凸塊(未圖示)，該凸塊

如圖 20B 所示那樣與封裝基板 1201 的第一面連接。此外，在封裝基板 1201 的第一面的背面設置有多個凸塊 1202，該凸塊 1202 與主機板 1203 連接。

【0360】此外，也可以在主機板 1203 上設置有 DRAM1221、快閃記憶體 1222 等的記憶體裝置。例如，可以將上述實施方式所示的 DOSRAM 應用於 DRAM1221。由此，可以實現 DRAM1221 的低功耗化、高速化及大容量化。

【0361】CPU1211 較佳為具有多個 CPU 核心。此外，GPU1212 較佳為具有多個 GPU 核心。此外，CPU1211 和 GPU1212 可以分別具有暫時儲存資料的記憶體。或者，也可以在晶片 1200 上設置有 CPU1211 和 GPU1212 共同使用的記憶體。可以將上述 DOSRAM 應用於該記憶體。此外，GPU1212 適合用於多個資料的平行計算，其可以用於影像處理或積和運算。藉由作為 GPU1212 設置使用本發明的氧化物半導體的影像處理電路或積和運算電路，可以以低功耗執行影像處理及積和運算。

【0362】此外，因為在同一晶片上設置有 CPU1211 和 GPU1212，所以可以縮短 CPU1211 和 GPU1212 之間的佈線，並可以以高速進行從 CPU1211 到 GPU1212 的資料傳送、CPU1211 及 GPU1212 所具有的記憶體之間的資料傳送以及 GPU1212 中的運算結束之後的從 GPU1212 到 CPU1211 的運算結果傳送。

【0363】類比運算部 1213 具有 A/D(類比/數位)轉換電

路和D/A(數位/類比)轉換電路中的一者或兩者。此外，也可以在類比運算部1213中設置上述積和運算電路。

【0364】記憶體控制器1214具有用作DRAM1221的控制器的電路及用作快閃記憶體1222的介面的電路。

【0365】介面1215具有與如顯示裝置、揚聲器、麥克風、影像拍攝裝置、控制器等外部連接設備之間的介面電路。控制器包括滑鼠、鍵盤、遊戲機用控制器等。作為上述介面，可以使用USB(Universal Serial Bus：通用序列匯流排)、HDMI(High-Definition Multimedia Interface：高清晰度多媒體介面)(註冊商標)等。

【0366】網路電路1216具有LAN(Local Area Network：區域網路)等網路電路。此外，還可以具有網路安全用電路。

【0367】上述電路(系統)可以經同一製造程序形成在晶片1200上。由此，即使晶片1200所需的電路個數增多，也不需要增加製造程序，可以以低成本製造晶片1200。

【0368】可以將包括設置有具有GPU1212的晶片1200的封裝基板1201、DRAM1221以及快閃記憶體1222的主機板1203稱為GPU模組1204。

【0369】GPU模組1204因具有使用SoC技術的晶片1200而可以減少其尺寸。此外，GPU模組1204因具有高影像處理能力而適合用於智慧手機、平板終端、膝上型個人電腦、可攜式(可攜帶)遊戲機等可攜式電子裝置。此外，藉由利用使用GPU1212的積和運算電路，可以執行深度神

經網路 (DNN)、卷積神經網路 (CNN)、遞迴神經網路 (RNN)、自編碼器、深度波茲曼機 (DBM)、深度置信網路 (DBN) 等方法，由此可以將晶片 1200 用作 AI 晶片，或者，可以將 GPU 模組 1204 用作 AI 系統模組。

【0370】 以上，本實施方式所示的結構、方法等的至少一部分可以與本說明書所記載的其他實施方式等適當地組合而實施。

【0371】

實施方式 5

本實施方式示出組裝有上述實施方式所示的記憶體裝置等的電子構件及電子裝置的一個例子。藉由將上述實施方式所示的記憶體裝置用於以下電子構件及電子裝置，可以實現電子構件及電子裝置的低功耗化及高速化。

【0372】

<電子構件>

首先，參照圖 21A 和圖 21B 對組裝有記憶體裝置 720 的電子構件的例子進行說明。

【0373】 圖 21A 示出電子構件 700 及安裝有電子構件 700 的基板 (電路板 704) 的立體圖。圖 21A 所示的電子構件 700 在模子 711 內包括記憶體裝置 720。在圖 21A 中，省略電子構件 700 的一部分以表示其內部。電子構件 700 在模子 711 的外側包括連接盤 (land) 712。連接盤 712 電連接於電極焊盤 713，電極焊盤 713 藉由引線 714 電連接於記憶體裝置 720。電子構件 700 例如安裝於印刷電路板 702 上。藉由組

合多個該電子構件並使其分別在印刷電路板702上電連接，由此完成電路板704。

【0374】記憶體裝置720包括驅動電路層721及記憶體電路層722。

【0375】圖21B示出電子構件730的立體圖。電子構件730是SiP(System in package：系統封裝)或MCM(Multi Chip Module：多晶片模組)的一個例子。在電子構件730中，封裝基板732(印刷電路板)上設置有插板(interposer)731，插板731上設置有半導體裝置735及多個記憶體裝置720。藉由作為記憶體裝置720使用上述實施方式所示的記憶體裝置，可以實現低功耗化及高速化。

【0376】半導體裝置735可以使用CPU、GPU、FPGA等積體電路(半導體裝置)。

【0377】封裝基板732可以使用陶瓷基板、塑膠基板、玻璃環氧基板等。插板731可以使用矽插板、樹脂插板等。

【0378】插板731具有多個佈線並具有電連接端子間距不同的多個積體電路的功能。多個佈線由單層或多層構成。此外，插板731具有使設置於插板731上的積體電路與設置於封裝基板732上的電極電連接的功能。因此，有時將插板也稱為“再分佈基板(redistribution substrate)”或“中間基板”。此外，有時在插板731中設置貫通電極且使用該貫通電極使積體電路與封裝基板732電連接。此外，在使用矽插板的情況下，也可以使用TSV(Through Silicon

Via：矽通孔)作為貫通電極。

【0379】作為插板731較佳為使用矽插板。由於矽插板不需要設置主動元件，所以可以以比積體電路更低的成本製造。另一方面，矽插板的佈線形成可以在半導體製程中進行，因此很容易形成在使用樹脂插板時很難形成的微細佈線。

【0380】此外，在使用矽插板的SiP、MCM等中，不容易發生因積體電路與插板間的膨脹係數的不同而導致的可靠性下降。此外，由於矽插板的表面平坦性高，所以設置在矽插板上的積體電路與矽插板間不容易產生連接不良。尤其較佳為將矽插板用於2.5D封裝(2.5D安裝)，其中多個積體電路橫著排放並配置於插板上。

【0381】此外，也可以與電子構件730重疊地設置散熱器(散熱板)。在設置散熱器的情況下，較佳為使設置於插板731上的積體電路的高度一致。例如，在本實施方式所示的電子構件730中，較佳為使記憶體裝置720與半導體裝置735的高度一致。

【0382】為了將電子構件730安裝在其他基板上，也可以在封裝基板732的底部設置電極733。圖21B示出用焊球形成電極733的例子。藉由在封裝基板732的底部以矩陣狀設置焊球，可以實現BGA(Ball Grid Array：球柵陣列)的安裝。此外，電極733也可以使用導電針形成。藉由在封裝基板732的底部以矩陣狀設置導電針，可以實現PGA(Pin Grid Array：針柵陣列)的安裝。

【0383】電子構件730可以藉由各種安裝方法安裝在其他基板上，而不侷限於BGA及PGA。例如，可以採用SPGA(Staggered Pin Grid Array：交錯針柵陣列)、LGA(Land Grid Array：地柵陣列)、QFP(Quad Flat Package：四面扁平封裝)、QFJ(Quad Flat J-leaded package：四側J形引腳扁平封裝)或QFN(Quad Flat Non-leaded package：四側無引腳扁平封裝)等安裝方法。

【0384】以上，本實施方式所示的結構、方法等可以與本實施方式所示的其他結構、方法、其他實施方式所示的結構、方法等適當地組合而使用。

【0385】

實施方式6

在本實施方式中，說明使用上述實施方式所示的記憶體裝置的記憶體裝置的應用例子。上述實施方式所示的記憶體裝置例如可以應用於各種電子裝置(例如，資訊終端、電腦、智慧手機、電子書閱讀器、數位相機(也包括攝影機)、錄影再現裝置、導航系統等)的記憶體裝置。藉由將上述實施方式所示的記憶體裝置用於上述電子裝置的記憶體裝置，可以實現電子裝置的低功耗化及高速化。注意，在此，電腦包括平板電腦、筆記型電腦、桌上型電腦以及大型電腦諸如同伺服器系統。或者，上述實施方式所示的記憶體裝置應用於記憶卡(例如，SD卡)、USB記憶體、SSD(固態硬碟)等各種卸除式存放裝置。圖22A至圖22E示意性地示出卸除式存放裝置的幾個結構例子。例如，上述

實施方式所示的記憶體裝置加工為被封裝的記憶體晶片並用於各種記憶體裝置、卸除式記憶體。

【0386】圖 22A 是 USB 記憶體的示意圖。USB 記憶體 1100 包括外殼 1101、蓋子 1102、USB 連接器 1103 及基板 1104。基板 1104 被容納在外殼 1101 中。例如，基板 1104 上安裝有記憶體晶片 1105 及控制器晶片 1106。可以將上述實施方式所示的記憶體裝置組裝於記憶體晶片 1105 等。

【0387】圖 22B 是 SD 卡的外觀示意圖，圖 22C 是 SD 卡的內部結構的示意圖。SD 卡 1110 包括外殼 1111、連接器 1112 及基板 1113。基板 1113 被容納在外殼 1111 中。例如，基板 1113 上安裝有記憶體晶片 1114 及控制器晶片 1115。藉由在基板 1113 的背面一側也設置記憶體晶片 1114，可以增大 SD 卡 1110 的容量。此外，也可以將具有無線通訊功能的無線晶片設置於基板 1113。由此，藉由主機裝置與 SD 卡 1110 之間的無線通訊，可以進行記憶體晶片 1114 的資料的讀出及寫入。可以將上述實施方式所示的記憶體裝置組裝於記憶體晶片 1114 等。

【0388】圖 22D 是 SSD 的外觀示意圖，圖 22E 是 SSD 的內部結構的示意圖。SSD 1150 包括外殼 1151、連接器 1152 及基板 1153。基板 1153 被容納在外殼 1151 中。例如，基板 1153 上安裝有記憶體晶片 1154、記憶體晶片 1155 及控制器晶片 1156。記憶體晶片 1155 為控制器晶片 1156 的工作記憶體，例如，可以使用 DOSRAM 晶片。藉由在基板 1153 的背面一側也設置記憶體晶片 1154，可以增大 SSD 1150 的容

量。可以將上述實施方式所示的記憶體裝置組裝於記憶體晶片 1154 等。

【0389】 以上，本實施方式所示的結構、方法等的至少一部分可以與本說明書所記載的其他實施方式等適當地組合而實施。

【0390】

實施方式 7

根據本發明的一個實施方式的記憶體裝置可以用於 CPU、GPU 等處理器或晶片。藉由將這種 CPU、GPU 等處理器或晶片用於電子裝置，可以實現電子裝置的低功耗化及高速化。圖 23A 至圖 23H 示出具備使用該記憶體裝置的 CPU、GPU 等處理器或晶片的電子裝置的具體例子。

【0391】

<電子裝置及系統>

根據本發明的一個實施方式的 GPU 或晶片可以安裝在各種各樣的電子裝置。作為電子裝置的例子，例如除了電視機、用於桌上型或筆記本式資訊終端等的顯示器、數位看板(Digital Signage)、彈珠機等大型遊戲機等具有較大的螢幕的電子裝置以外，還可以舉出數位相機、數位攝影機、數位相框、電子書閱讀器、行動電話機、可攜式遊戲機、可攜式資訊終端、音頻再生裝置等。此外，藉由將根據本發明的一個實施方式的 GPU 或晶片設置在電子裝置中，可以使電子裝置具備人工智慧。

【0392】 本發明的一個實施方式的電子裝置也可以包

括天線。藉由使用天線接收信號，可以在顯示部上顯示影像、資訊等。此外，在電子裝置包括天線及二次電池時，可以將天線用於非接觸電力傳送。

【0393】 本發明的一個實施方式的電子裝置也可以包括感測器(該感測器具有感測、檢測或測量如下因素的功能：力、位移、位置、速度、加速度、角速度、轉速、距離、光、液、磁、溫度、化學物質、聲音、時間、硬度、電場、電流、電壓、電力、輻射線、流量、濕度、傾斜度、振動、氣味或紅外線)。

【0394】 本發明的一個實施方式的電子裝置可以具有各種功能。例如，可以具有如下功能：將各種資訊(靜態影像、動態圖片、文字影像等)顯示在顯示部上的功能；觸控面板的功能；顯示日曆、日期或時間等的功能；執行各種軟體(程式)的功能；進行無線通訊的功能；讀出儲存在存儲介質中的程式或資料的功能；等。圖 23A 至圖 23H 示出電子裝置的例子。

【0395】

[資訊終端]

圖 23A 示出資訊終端之一的行動電話機(智慧手機)。資訊終端 5100 包括外殼 5101 及顯示部 5102，作為輸入介面在顯示部 5102 中具備觸控面板，並且在外殼 5101 上設置有按鈕。

【0396】 資訊終端 5100 藉由採用本發明的一個實施方式的晶片而可以實現低功耗化及高速化。

【0397】圖23B示出筆記本式資訊終端5200。筆記本式資訊終端5200包括資訊終端主體5201、顯示部5202及鍵盤5203。

【0398】與上述資訊終端5100同樣，筆記本式資訊終端5200藉由採用本發明的一個實施方式的晶片而可以實現低功耗化及高速化。

【0399】注意，在上述例子中，圖23A及圖23B分別示出智慧手機及筆記本式資訊終端作為電子裝置的例子，但是也可以應用智慧手機及筆記本式資訊終端以外的資訊終端。作為智慧手機及筆記本式資訊終端以外的資訊終端，例如可以舉出PDA(Personal Digital Assistant：個人數位助理)、桌上型資訊終端、工作站等。

【0400】

[遊戲機]

圖23C示出作為遊戲機的一個例子的可攜式遊戲機5300。可攜式遊戲機5300包括外殼5301、外殼5302、外殼5303、顯示部5304、連接部5305及操作鍵5306等。可以將外殼5302及外殼5303從外殼5301拆卸。藉由將設在外殼5301中的連接部5305安裝到其他外殼(未圖示)，可以將輸出到顯示部5304的影像輸出到其他視頻顯示裝置(未圖示)。此時，外殼5302及外殼5303分別可以被用作操作部。由此，多個遊戲玩者可以同時玩遊戲。可以將上述實施方式所示的晶片嵌入到設置在外殼5301、外殼5302及外殼5303的基板的晶片等。

【0401】另外，圖23D示出遊戲機之一的固定式遊戲機5400。固定式遊戲機5400以無線或有線連接有控制器5402。

【0402】藉由將本發明的一個實施方式的GPU或晶片應用於可攜式遊戲機5300及固定式遊戲機5400等遊戲機，可以實現低功耗的遊戲機。此外，借助於低功耗，可以降低來自電路的發熱，由此可以減少因發熱而給電路本身、週邊電路以及模組帶來的負面影響。

【0403】再者，藉由將本發明的一個實施方式的GPU或晶片應用於可攜式遊戲機5300，可以實現低功耗化及高速化。

【0404】雖然圖23C及圖23D示出可攜式遊戲機及固定式遊戲機作為遊戲機的一個例子，但是應用本發明的一個實施方式的GPU或晶片的遊戲機不侷限於此。作為應用本發明的一個實施方式的GPU或晶片的遊戲機，例如可以舉出設置在娛樂設施(遊戲中心，遊樂園等)的街機遊戲機、設置在體育設施的擊球練習用投球機等。

【0405】

[大型電腦]

可以將本發明的一個實施方式的GPU或晶片應用於大型電腦。

【0406】圖23E示出作為大型電腦的一個例子的超級電腦5500。圖23F示出超級電腦5500所包括的機架(rack-mount)式電腦5502。

【0407】超級電腦5500包括機架5501及多個機架式電腦5502。注意，多個電腦5502容納在機架5501中。另外，電腦5502設有多個基板5504，在該基板上可以安裝上述實施方式所說明的GPU或晶片。

【0408】超級電腦5500主要是適合於科學計算的大型電腦。科學計算需要以高速進行龐大的運算，因此功耗大且晶片的發熱高。藉由將本發明的一個實施方式的GPU或晶片應用於超級電腦5500，可以實現低功耗的超級電腦。此外，借助於低功耗，可以降低來自電路的發熱，由此可以減少因發熱而給電路本身、週邊電路及模組帶來的負面影響。

【0409】在圖23E及圖23F中，作為大型電腦的一個例子示出超級電腦，然而應用本發明的一個實施方式的GPU或晶片的大型電腦不侷限於此。作為應用本發明的一個實施方式的GPU或晶片的大型電腦，例如可以舉出提供服務的電腦(伺服器)、大型通用電腦(主機)等。

【0410】

[移動體]

本發明的一個實施方式的GPU或晶片可以應用於作為移動體的汽車及汽車的駕駛席周邊。

【0411】圖23G是示出移動體的一個例子的汽車內部的前擋風玻璃周邊的圖。圖23G示出安裝在儀表板的顯示面板5701、顯示面板5702、顯示面板5703以及安裝在支柱的顯示面板5704。

【0412】藉由顯示速度表、轉速計、行駛距離、燃料表、排檔狀態、空調的設定等，顯示面板5701至顯示面板5703可以提供各種資訊。此外，使用者可以根據喜好適當地改變顯示面板所顯示的顯示內容及佈局等，可以提高設計性。顯示面板5701至顯示面板5703還可以用作照明設備。

【0413】藉由將由設置在汽車的攝像裝置(未圖示)拍攝的影像顯示在顯示面板5704上，可以彌補被支柱遮擋的視野(死角)。也就是說，藉由顯示由設置在汽車外側的攝像裝置拍攝的影像，可以彌補死角，從而可以提高安全性。此外，藉由顯示彌補看不到的部分的影像，可以更自然、更舒適地確認安全。顯示面板5704還可以用作照明設備。

【0414】因為可以將本發明的一個實施方式的GPU或晶片用作人工智慧的組件，例如可以將該晶片用於汽車的自動駕駛系統。該晶片可以用於進行導航、危險預測等的系統。此外，也可以在顯示面板5701至顯示面板5704上顯示導航、危險預測等資訊。

【0415】雖然在上述例子中作為移動體的一個例子說明了汽車，但是移動體不侷限於汽車。例如，作為移動體，也可以舉出電車、單軌鐵路、船舶、飛行物(直升機、無人駕駛飛機(無人機)、飛機、火箭)等，可以對這些移動體應用本發明的一個實施方式的晶片，以提供利用人工智慧的系統。

【0416】

[電器產品]

圖 23H 示出電器產品的一個例子的電冷藏冷凍箱 5800。電冷藏冷凍箱 5800 包括外殼 5801、冷藏室門 5802 及冷凍室門 5803 等。

【0417】 藉由將本發明的一個實施方式的晶片應用於電冷藏冷凍箱 5800，可以實現具備人工智慧的電冷藏冷凍箱 5800。藉由利用人工智慧，可以使電冷藏冷凍箱 5800 具有基於儲存在電冷藏冷凍箱 5800 中的食品或該食品的消費期限等自動生成功能表的功能、根據所儲存的食物自動調整電冷藏冷凍箱 5800 的溫度的功能。

【0418】 作為電器產品的一個例子說明了電冷藏冷凍箱，但是作為其他電器產品，例如可以舉出吸塵器、微波爐、電烤箱、電鍋、熱水器、IH 炊具、飲水機、包括空氣調節器的冷暖空調機、洗衣機、乾衣機、視聽設備等。

【0419】 在本實施方式中說明的電子裝置、該電子裝置的功能、人工智慧的應用例子以及其效果等可以與其他的電子裝置的記載適當地組合。

【0420】 以上，本實施方式所示的結構、方法等的至少一部分可以與本說明書所記載的其他實施方式等適當地組合而實施。

【0421】

實施方式 8

本發明的一個實施方式的記憶體裝置包括 OS 電晶

體。該 OS 電晶體的因被照射輻射線而導致的電特性變動小。換言之，對於輻射線的耐性高，所以在有可能入射輻射線的環境下也可以適當地使用。例如，可以在宇宙空間中使用的情況下適當地使用 OS 電晶體。在本實施方式中，使用圖 24 說明將本發明的一個實施方式的記憶體裝置應用於太空設備的情況的具體例子。

【0422】在圖 24 中，作為太空設備的一個例子示出人造衛星 6800。人造衛星 6800 包括主體 6801、太陽能電池板 6802、天線 6803、二次電池 6805 以及控制裝置 6807。另外，圖 24 示出在宇宙空間有行星 6804 的例子。注意，宇宙空間例如是指高度 100km 以上，但是本說明書所示的宇宙空間也可以包括熱層、中間層及平流層。

【0423】另外，宇宙空間是其輻射劑量為地面的 100 倍以上的環境。作為輻射線，例如可以舉出：以 X 射線及 γ 射線為代表的電磁波（電磁輻射線）；以及以 α 射線、 β 射線、中子射線、質子射線、重離子射線、介子射線等為代表的粒子輻射線。

【0424】在陽光照射到太陽能電池板 6802 時生成人造衛星 6800 進行工作所需的電力。然而，例如在陽光不照射到太陽能電池板的情況或者在照射到太陽能電池板的陽光量較少的情況下，所產生的電力量減少。因此，有可能不會產生人造衛星 6800 進行工作所需的電力。為了在所產生的電力較少的情況下也使人造衛星 6800 工作，較佳為在人造衛星 6800 中設置二次電池 6805。另外，有時將太陽能電

池板稱為太陽能電池模組。

【0425】人造衛星6800可以生成信號。該信號藉由天線6803傳送，例如地面上的接收機或其他人造衛星可以接收該信號。藉由接收人造衛星6800所傳送的信號，可以測量接收該信號的接收機的位置。由此，人造衛星6800可以構成衛星定位系統。

【0426】另外，控制裝置6807具有控制人造衛星6800的功能。控制裝置6807例如使用選自CPU、GPU和記憶體裝置中的任一個或多個構成。另外，作為控制裝置6807較佳為使用包括本發明的一個實施方式的OS電晶體的記憶體裝置。與Si電晶體相比，OS電晶體的因被照射輻射線而導致的電特性變動小。因此，OS電晶體在有可能入射輻射線的環境下也可靠性高且可以適當地使用。

【0427】另外，人造衛星6800可以包括感測器。例如，藉由包括可見光感測器，人造衛星6800可以具有檢測地面上的物體反射的陽光的功能。或者，藉由包括熱紅外線感測器，人造衛星6800可以具有檢測從地表釋放的熱紅外線的功能。由此，人造衛星6800例如可以被用作地球觀測衛星。

【0428】注意，在本實施方式中，作為太空設備的一個例子示出人造衛星，但是不侷限於此。例如，本發明的一個實施方式的記憶體裝置可以適當地應用於太空船、太空艙、太空探測器等太空設備。

【符號說明】

【0429】

ADDR:信號

BL[1]:佈線

BL[j]:佈線

BL[n]:佈線

BL_A:佈線

BL_B:佈線

BL:佈線

BW:信號

CE:信號

CLK:信號

EN_data:信號

GBL_A:佈線

GBL_B:佈線

GBL:佈線

GW:信號

MUX:選擇信號

PL[1]:佈線

PL[i]:佈線

PL[m]:佈線

PL:佈線

RDA:信號

RE:控制信號

Tr:電晶體
VDD:高電源電位
VHH:佈線
VLL:佈線
VPC:中間電位
VSS:低電源電位
WAKE:信號
WDA:信號
WE:控制信號
WL[1]:佈線
WL[i]:佈線
WL[m]:佈線
WL:佈線
10_A:記憶單元
10_B:記憶單元
10:記憶單元
11:電晶體
12:電容器
20:記憶體陣列
21:驅動電路
22:PSW
23:PSW
31:週邊電路
32:控制電路

33:電壓生成電路
41:週邊電路
42:行解碼器
43:行驅動器
44:列解碼器
45:列驅動器
46:感測放大器
47:輸入電路
48:輸出電路
50:功能層
51_A:功能電路
51_B:功能電路
51:功能電路
52_a:電晶體
52_b:電晶體
53_a:電晶體
53_b:電晶體
54_a:電晶體
54_b:電晶體
55_a:電晶體
55_b:電晶體
70:重複單位
71_A:預充電電路
71_B:預充電電路

72_A:開關電路
72_B:開關電路
73:寫入讀出電路
81_1:電晶體
81_3:電晶體
81_4:電晶體
81_6:電晶體
82_1:電晶體
82_2:電晶體
82_3:電晶體
82_4:電晶體
83_A:開關
83_B:開關
83_C:開關
83_D:開關
100a:電容器
100b:電容器
100c:電容器
100d:電容器
100:電容器
110:導電體
120:導電體
130:絕緣體
140:絕緣體

150a:記憶單元

150b:記憶單元

150c:記憶單元

150d:記憶單元

150:記憶單元

160a:記憶體單元

160b:記憶體單元

160c:記憶體單元

160d:記憶體單元

160:記憶體單元

200a:電晶體

200b:電晶體

200c:電晶體

200d:電晶體

200:電晶體

230A:氧化物半導體膜

230:氧化物半導體

240:導電體

245:導電體

246:導電體

250A:絕緣膜

250:絕緣體

254:絕緣體

260:導電體

265:導電體

280:絕緣體

281:絕緣體

285:絕緣體

287:絕緣體

289:絕緣體

290:開口

300A:記憶體裝置

300:記憶體裝置

610:基板

611a:前驅物

611b:前驅物

612a:反應物

612b:反應物

613a:氧化物

613b:氧化物

613c:氧化物

621:層

622:層

631:層

641:層

650:結構體

653:區域

654:區域

660:氧化物
662:氧化物
700:電子構件
702:印刷電路板
704:電路板
711:模子
712:連接盤
713:電極焊盤
714:引線
720:記憶體裝置
721:驅動電路層
722:記憶體電路層
730:電子構件
731:插板
732:封裝基板
733:電極
735:半導體裝置
1100:USB記憶體
1101:外殼
1102:蓋子
1103:USB連接器
1104:基板
1105:記憶體晶片
1106:控制器晶片

- 1110:SD卡
- 1111:外殼
- 1112:連接器
- 1113:基板
- 1114:記憶體晶片
- 1115:控制器晶片
- 1150:SSD
- 1151:外殼
- 1152:連接器
- 1153:基板
- 1154:記憶體晶片
- 1155:記憶體晶片
- 1156:控制器晶片
- 1200:晶片
- 1201:封裝基板
- 1202:凸塊
- 1203:主機板
- 1204:GPU模組
- 1211:CPU
- 1212:GPU
- 1213:類比運算部
- 1214:記憶體控制器
- 1215:介面
- 1216:網路電路

1221:DRAM
1222:快閃記憶體
5100:資訊終端
5101:外殼
5102:顯示部
5200:筆記本式資訊終端
5201:主體
5202:顯示部
5203:鍵盤
5300:可攜式遊戲機
5301:外殼
5302:外殼
5303:外殼
5304:顯示部
5305:連接部
5306:操作鍵
5400:固定式遊戲機
5402:控制器
5500:超級電腦
5501:機架
5502:電腦
5504:基板
5701:顯示面板
5702:顯示面板

5703:顯示面板

5704:顯示面板

5800:電冷藏冷凍箱

5801:外殼

5802:冷藏室門

5803:冷凍室門

6800:人造衛星

6801:主體

6802:太陽能電池板

6803:天線

6804:行星

6805:二次電池

6807:控制裝置

【發明申請專利範圍】

【請求項1】一種記憶體裝置，包括：

電容器；

該電容器上的電晶體；

該電容器上的第一絕緣體；以及

該第一絕緣體上的第二絕緣體，

其中，該電晶體包括：

該第一絕緣體下的第一導電體；

接觸於該第一導電體的頂面的氧化物半導體；

配置在該第一絕緣體與該第二絕緣體間且接觸於該氧化物半導體的第二導電體；

該氧化物半導體上的第三絕緣體；以及

該第三絕緣體上的第三導電體，

該第一絕緣體、該第二導電體及該第二絕緣體中形成有到達該第一導電體的第一開口，

該氧化物半導體的至少一部分、該第三絕緣體的至少一部分及該第三導電體的至少一部分配置在該第一開口內，

並且，該電容器包括：

第四導電體；

該第四導電體上的第四絕緣體；以及

該第四絕緣體上的該第一導電體。

【請求項2】一種包括第一層及第二層的記憶體裝置，該第一層及該第二層各自包括：

電容器；

該電容器上的電晶體；

該電容器上的第一絕緣體；以及

該第一絕緣體上的第二絕緣體，

其中，該第二層層疊於該第一層上，

該電晶體包括：

該第一絕緣體下的第一導電體；

接觸於該第一導電體的頂面的氧化物半導體；

配置在該第一絕緣體與該第二絕緣體間且接觸於該氧化物半導體的第二導電體；

該氧化物半導體上的第三絕緣體；以及

該第三絕緣體上的第三導電體，

該第一絕緣體、該第二導電體及該第二絕緣體中形成有到達該第一導電體的第一開口，

該氧化物半導體的至少一部分、該第三絕緣體的至少一部分及該第三導電體的至少一部分配置在該第一開口內，

該電容器包括：

第四導電體；

該第四導電體上的第四絕緣體；以及

該第四絕緣體上的該第一導電體，

該第一層的該第二絕緣體及該第二層的該第一絕緣體中形成有第二開口，

該第二開口內包括第五導電體，

並且，該第五導電體接觸於該第一層的該第二導電體的頂面且接觸於該第二層的該第二導電體的底面。

【請求項3】如請求項1或2之記憶體裝置，還包括與該第三導電體的頂面接觸的第六導電體，

其中該第二導電體延伸在第一方向上，

該第六導電體延伸在第二方向上，

並且該第一方向與該第二方向彼此交叉。

【請求項4】如請求項1至3中任一項之記憶體裝置，其中該第一導電體被用作源極電極和汲極電極中的一個，

該第二導電體被用作源極電極和汲極電極中的另一個，

並且該第三導電體被用作閘極電極。

【請求項5】如請求項1至4中任一項之記憶體裝置，其中該氧化物半導體的一部分、該第三絕緣體的一部分及該第三導電體的一部分位於該第二絕緣體上。

【請求項6】如請求項1至5中任一項之記憶體裝置，其中在俯視時該氧化物半導體的側端部與該第三絕緣體的側端部大致對齊。

【請求項7】如請求項1至6中任一項之記憶體裝置，其中在俯視時該第三導電體的側端部位於該氧化物半導體的側端部及該第三絕緣體的側端部的內側。

【請求項8】如請求項1至7中任一項之記憶體裝置，其中該第一開口的俯視時的形狀為圓形或大致圓形。

【請求項9】如請求項1至8中任一項之記憶體裝置，還包括該第三絕緣體與該第三導電體間的第五絕緣體，

其中該第五絕緣體覆蓋該氧化物半導體的側端部及該第三絕緣體的側端部。

【請求項10】如請求項9之記憶體裝置，

其中該第五絕緣體為氮化矽。

【請求項11】如請求項1至10中任一項之記憶體裝置，

其中該氧化物半導體包含選自In、Ga和Zn中的任一個或多個。

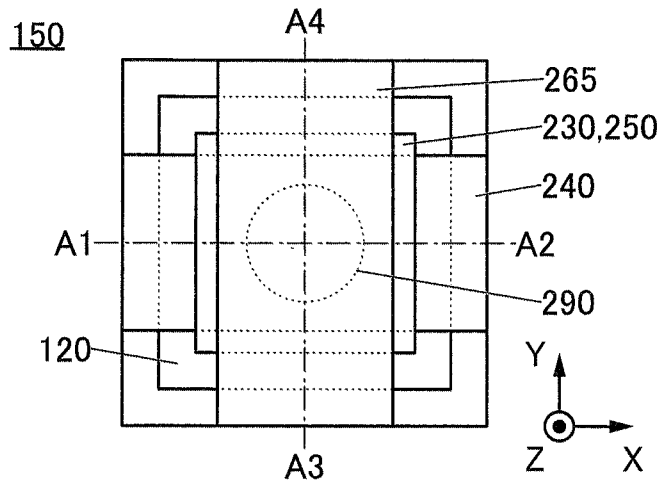
【請求項12】如請求項1至11中任一項之記憶體裝置，

其中該氧化物半導體具有大致平行於該第一開口的側壁的層狀結晶。

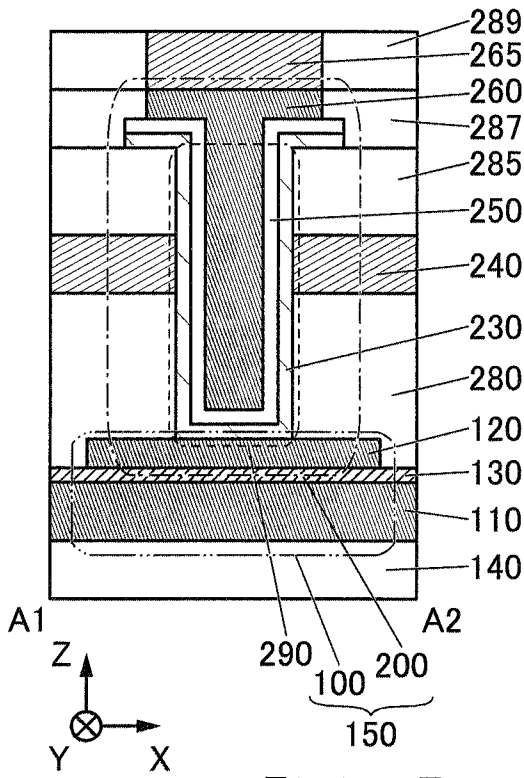
【請求項13】如請求項1至12中任一項之記憶體裝置，

其中該氧化物半導體的碳濃度低於 $1 \times 10^{20} \text{ atoms/cm}^3$ 。

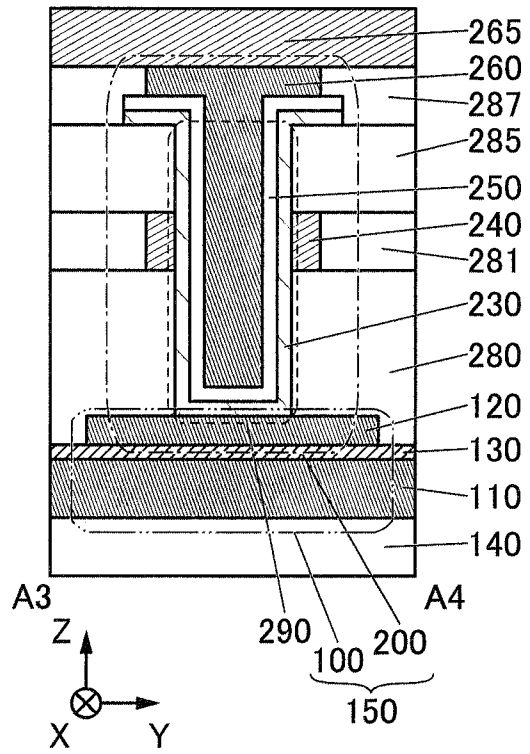
【發明圖式】



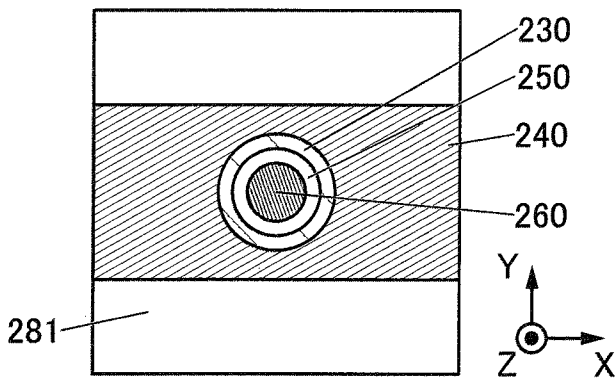
【圖1A】



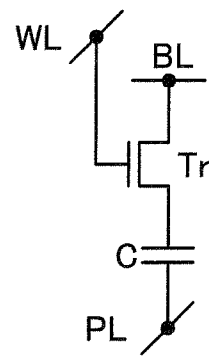
【圖1B】



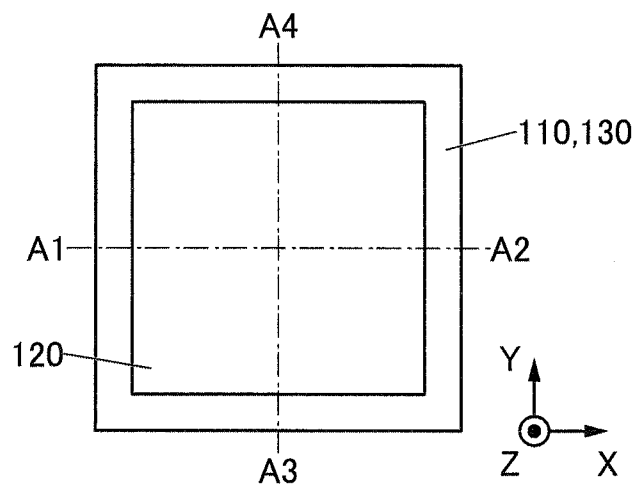
【圖1C】



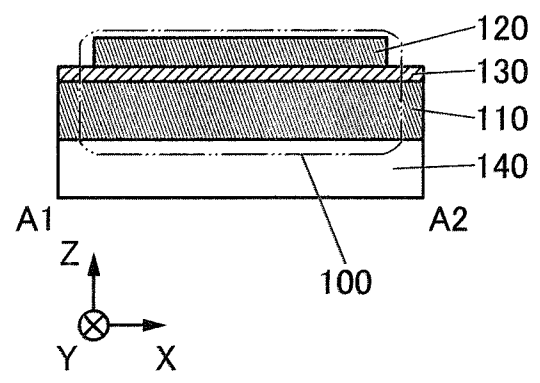
【圖1D】



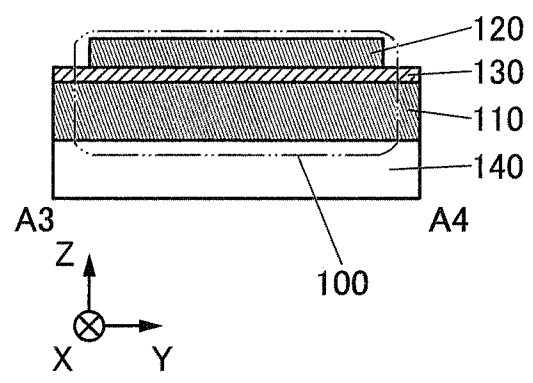
【圖1E】



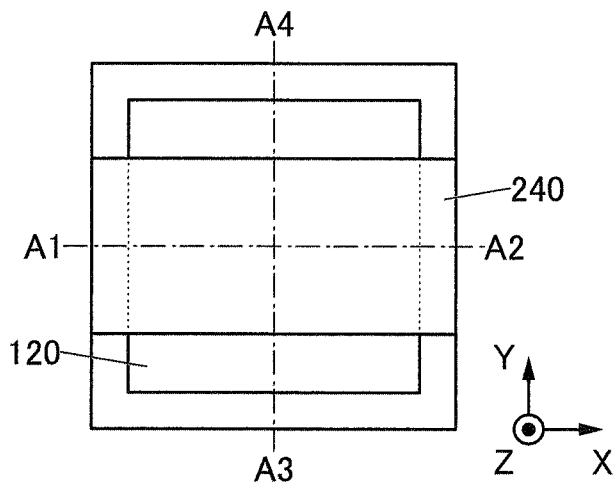
【圖2A】



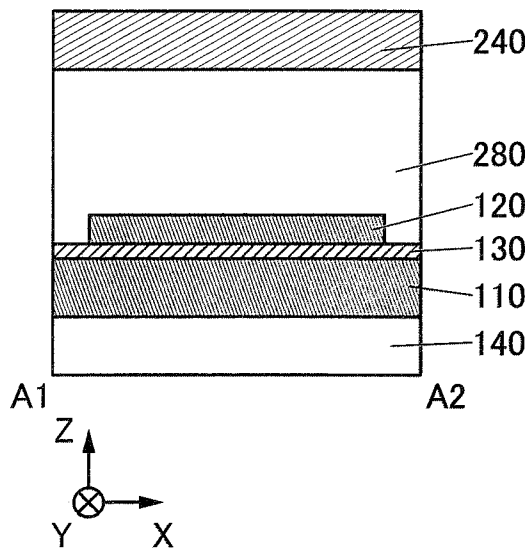
【圖2B】



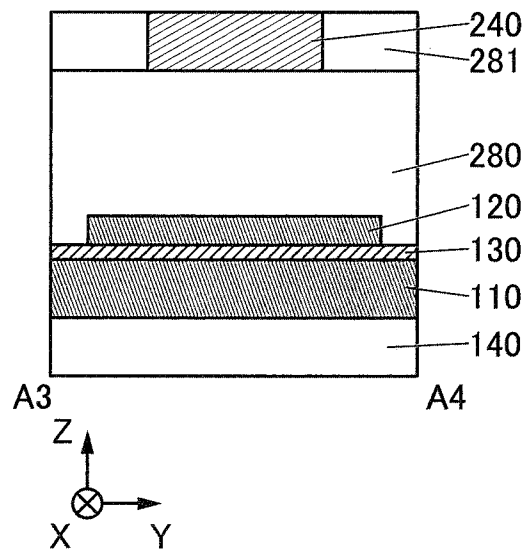
【圖2C】



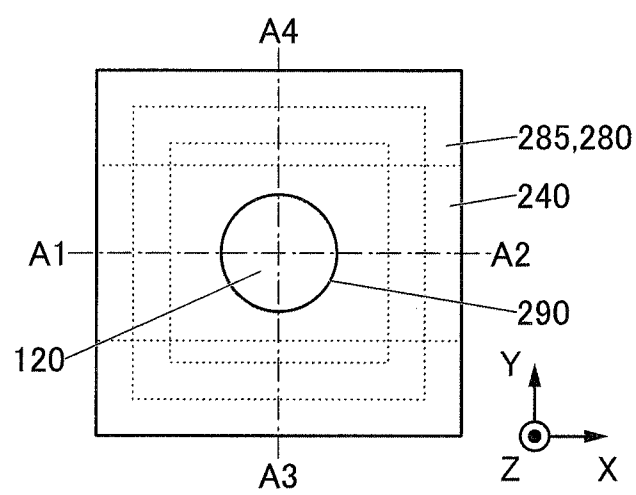
【圖3A】



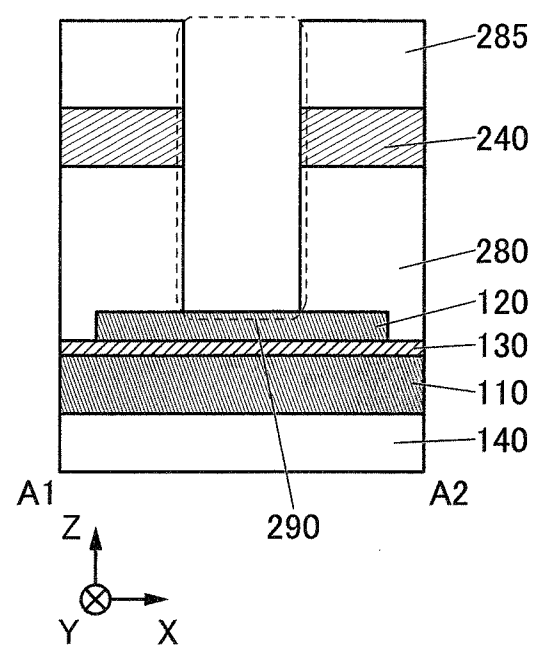
【圖3B】



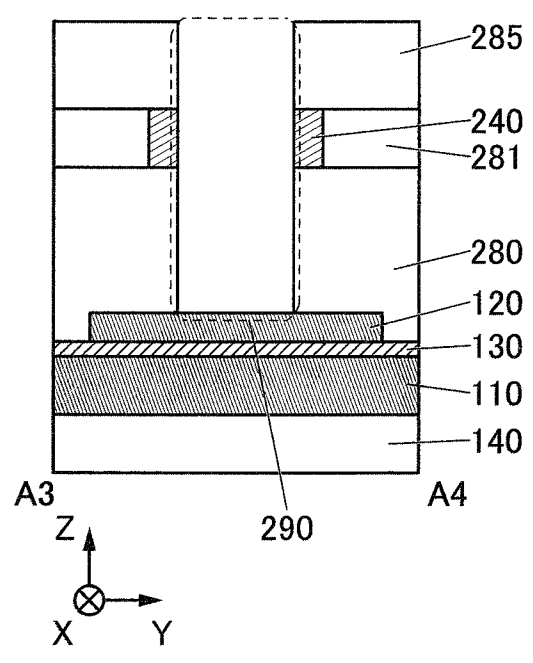
【圖3C】



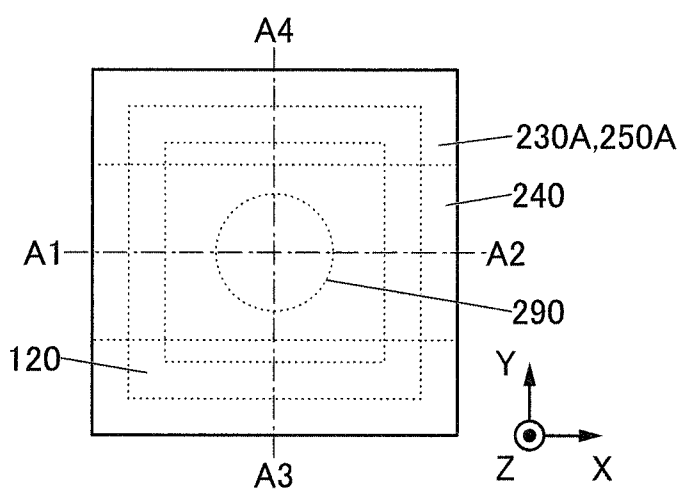
【圖4A】



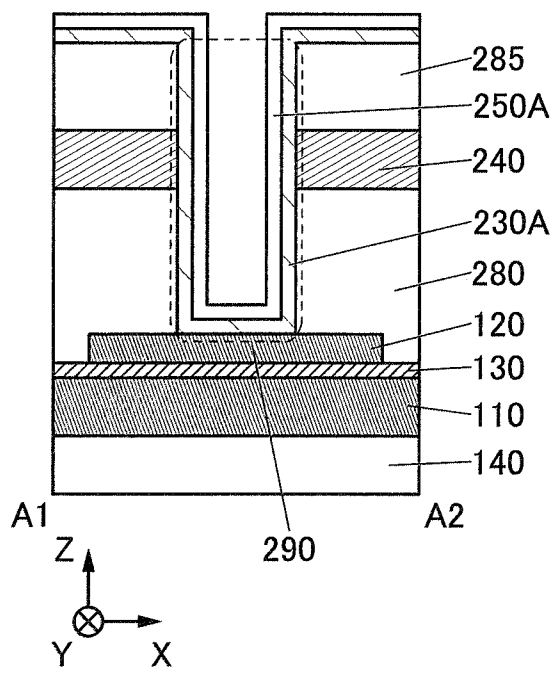
【圖4B】



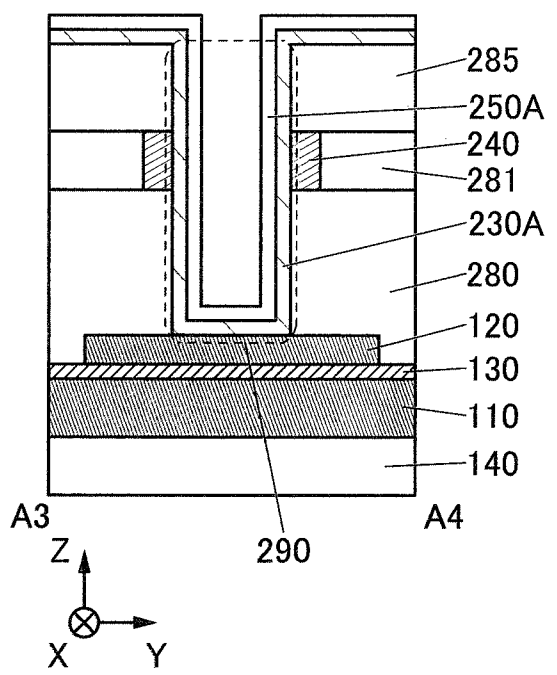
【圖4C】



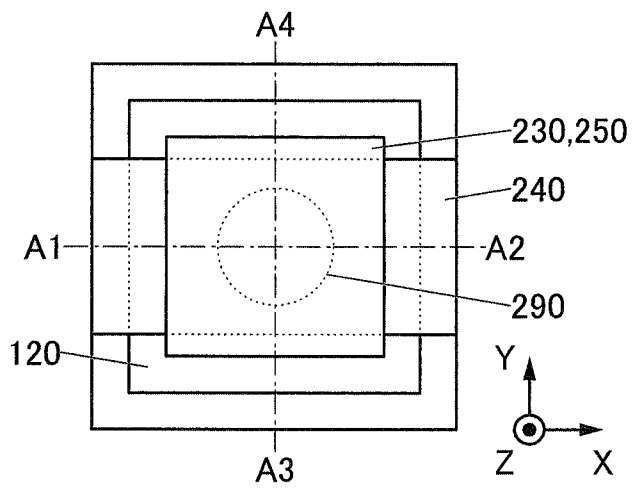
【圖5A】



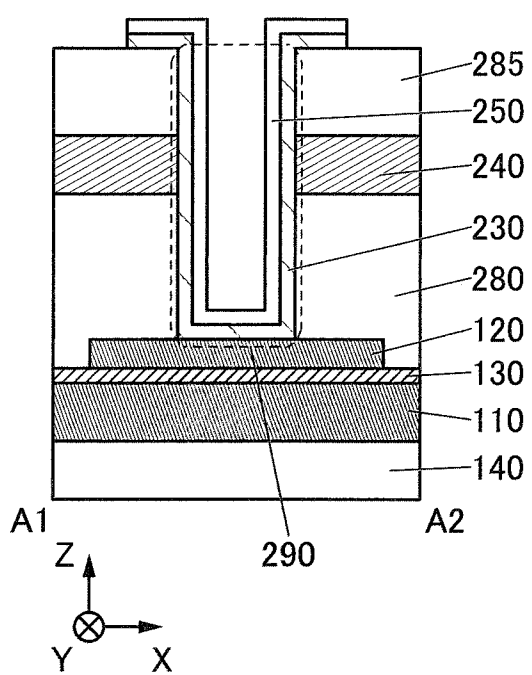
【圖5B】



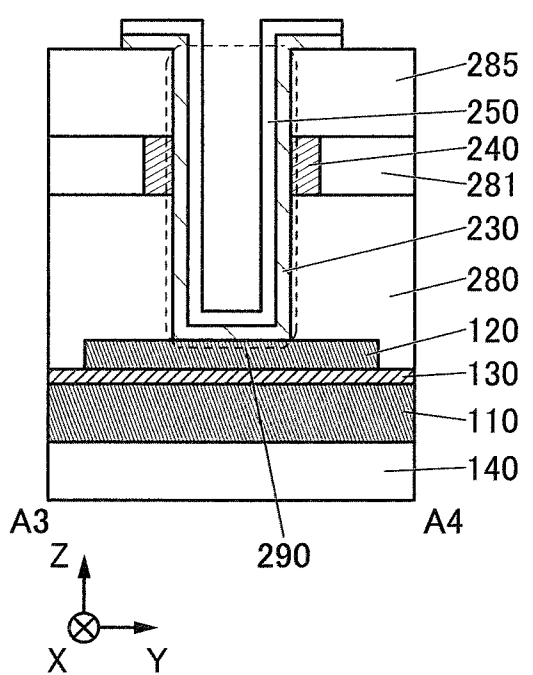
【圖5C】



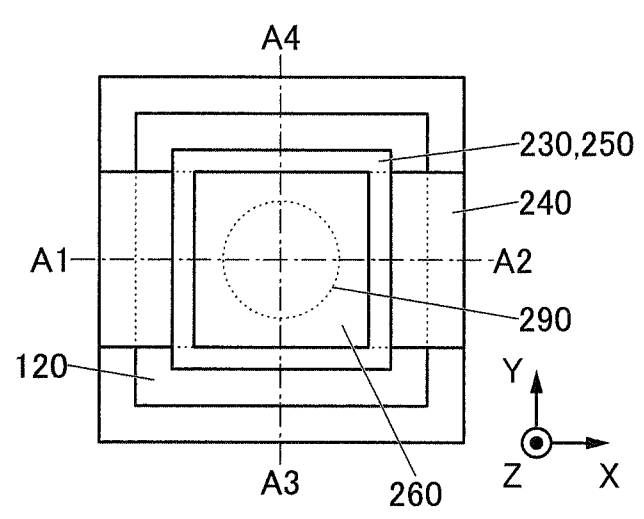
【圖6A】



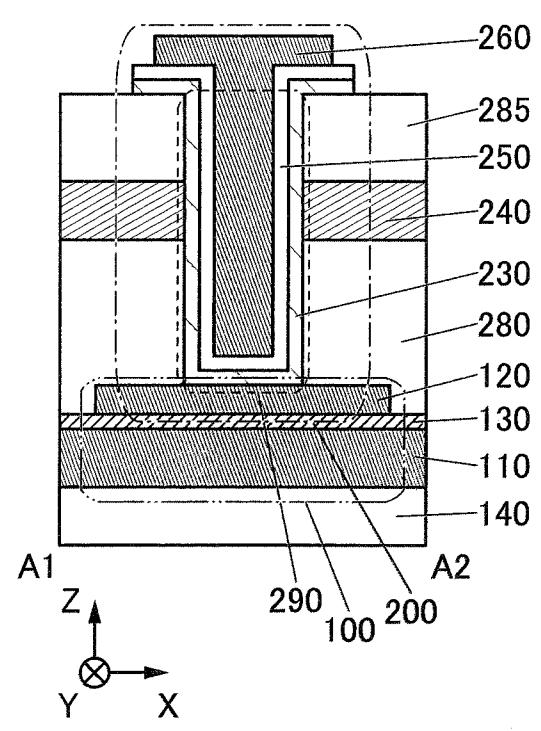
【圖6B】



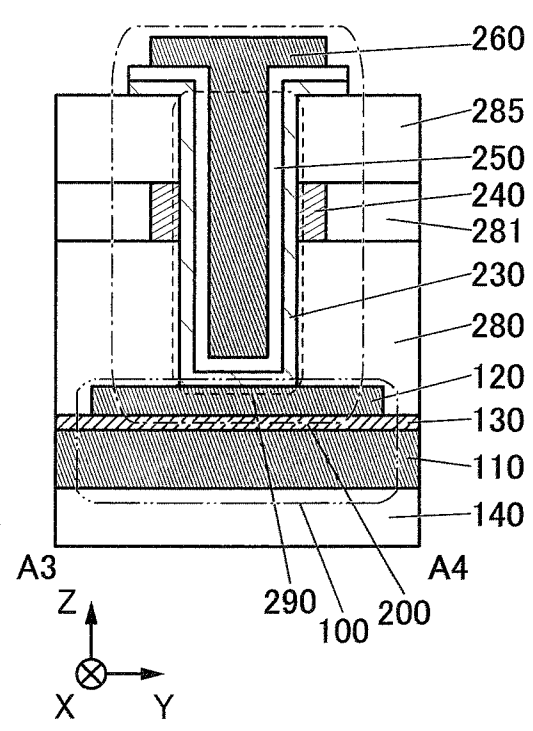
【圖6C】



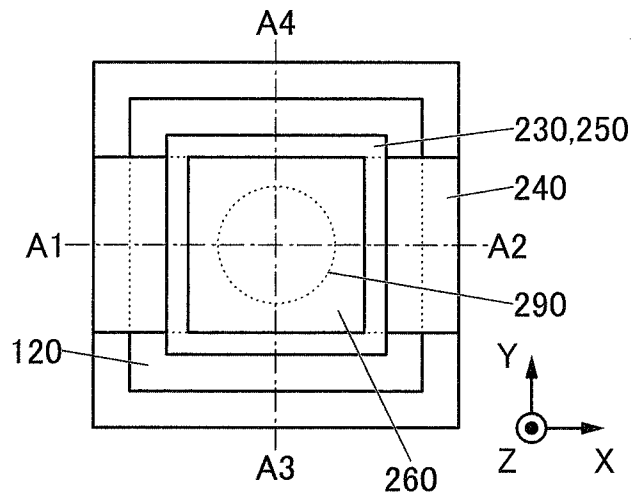
【圖7A】



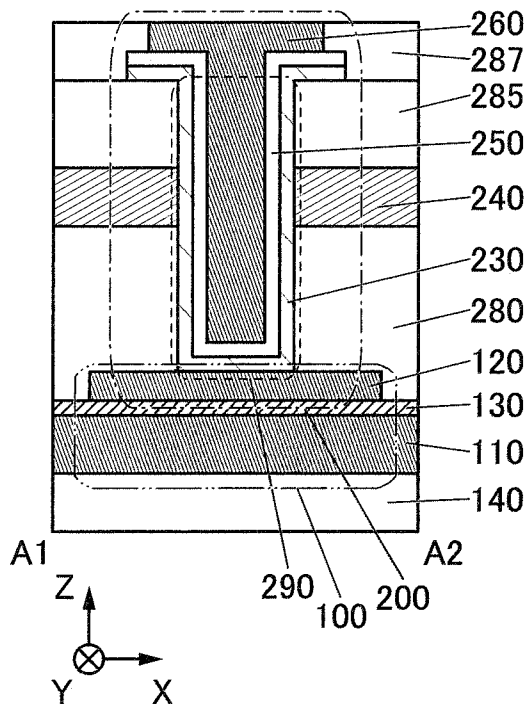
【圖7B】



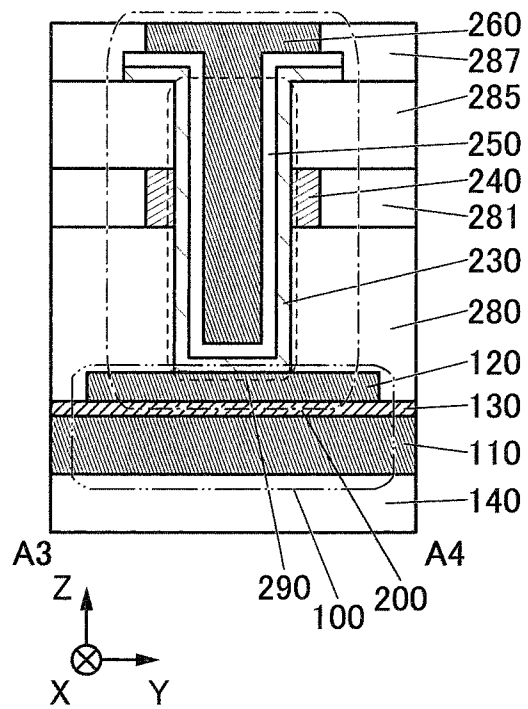
【圖7C】



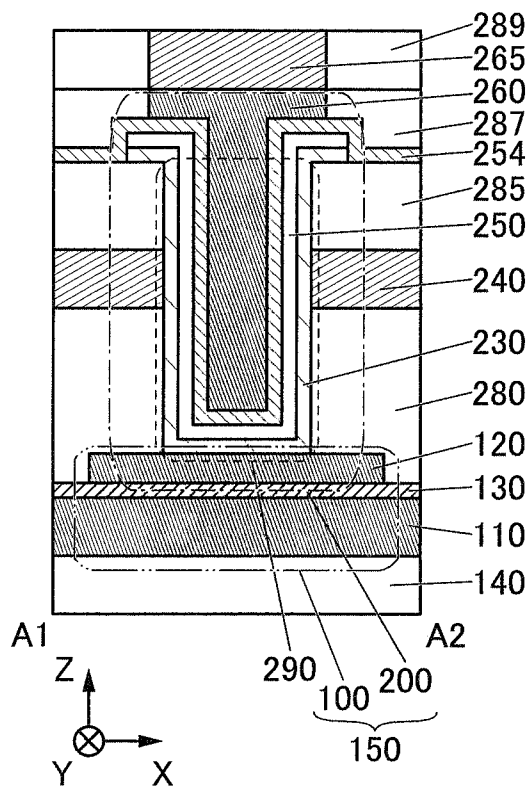
【圖8A】



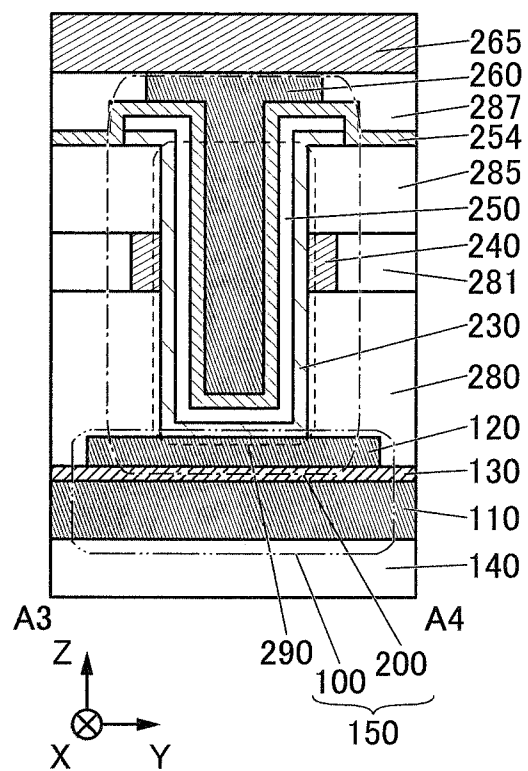
【圖8B】



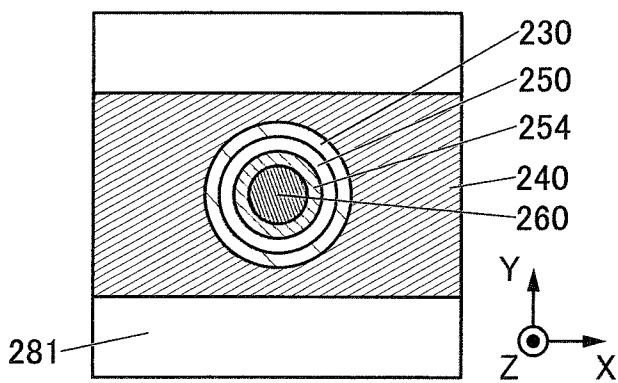
【圖8C】



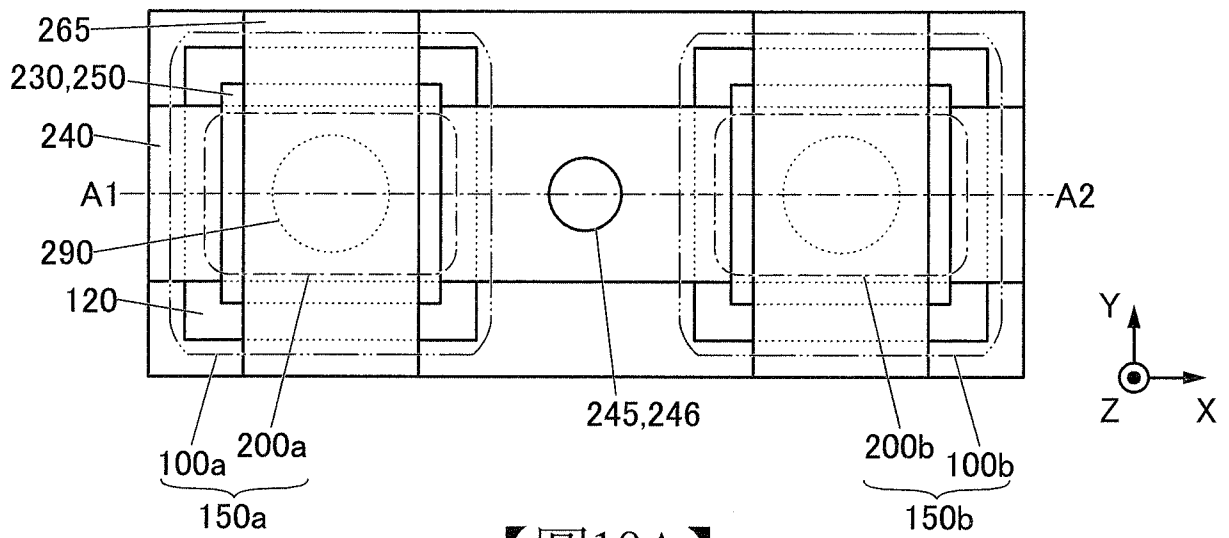
【圖9A】



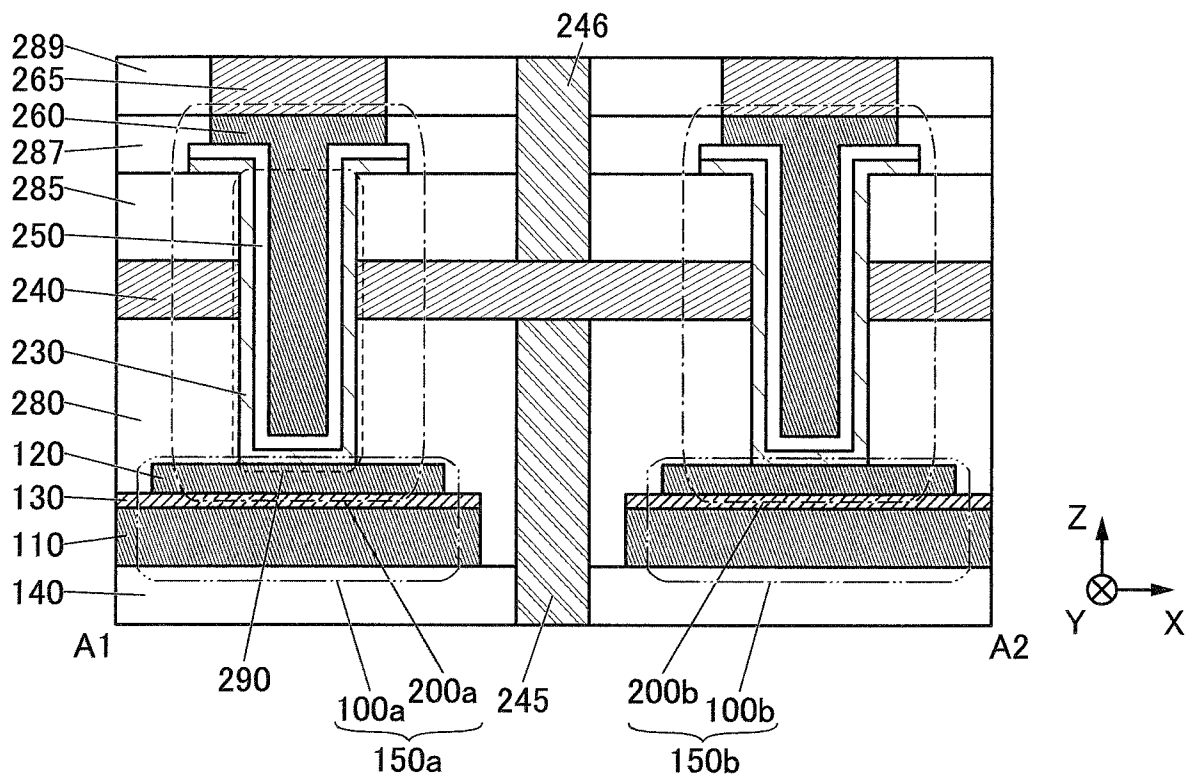
【圖9B】



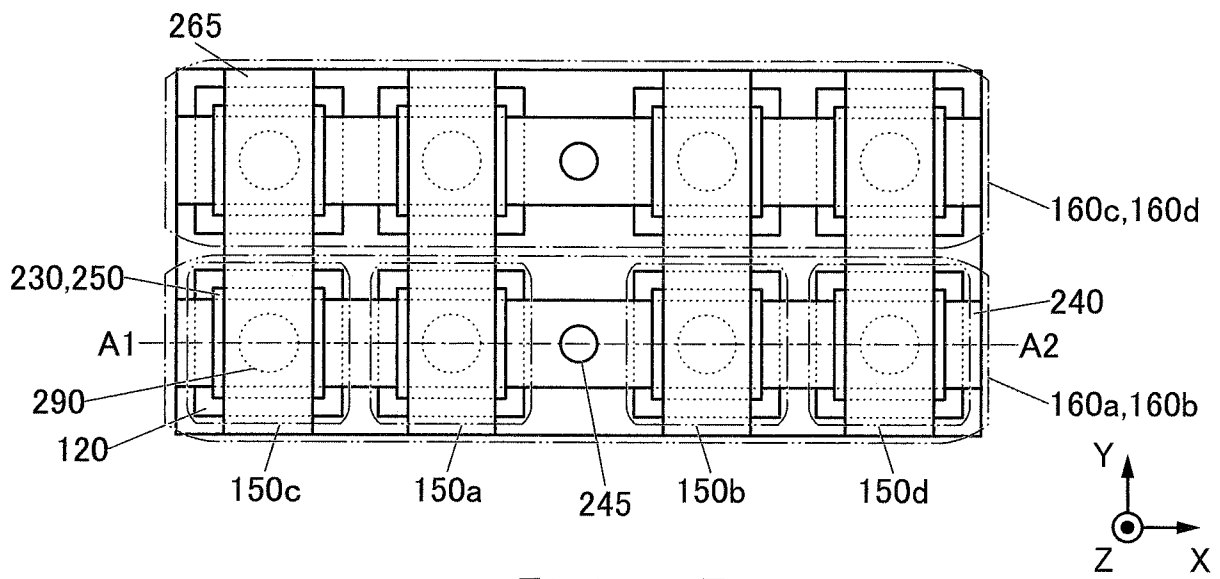
【圖9C】



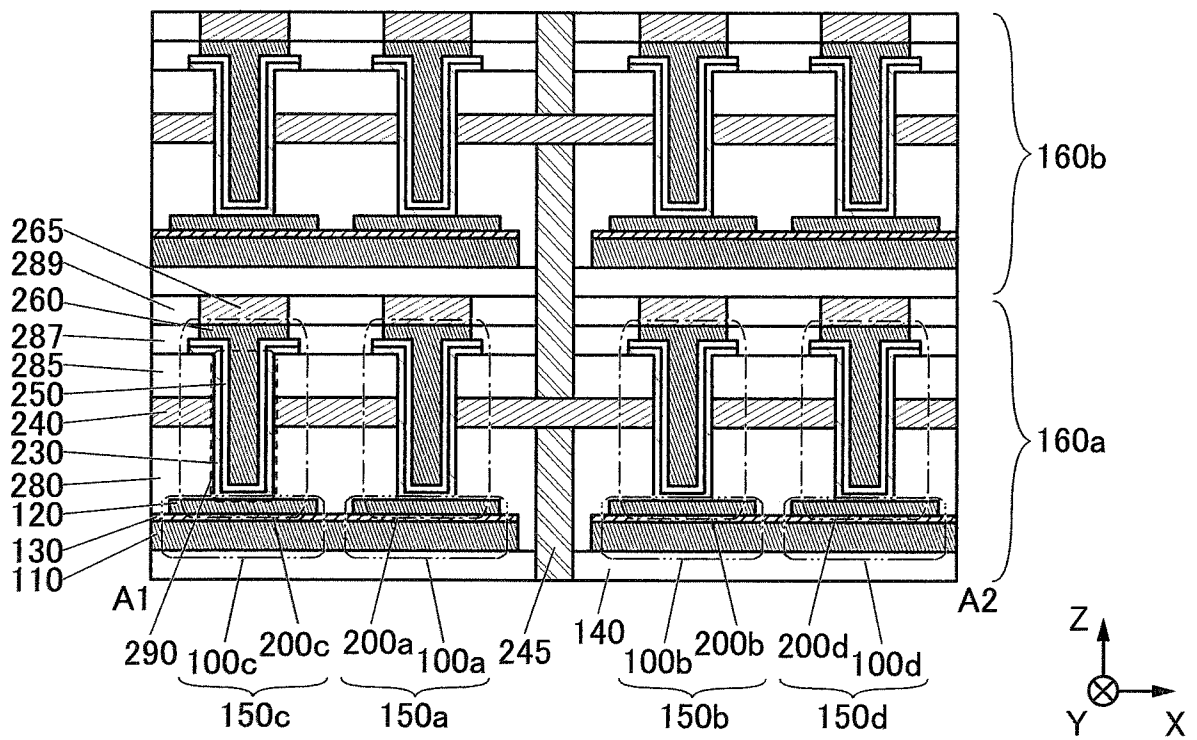
【圖10A】



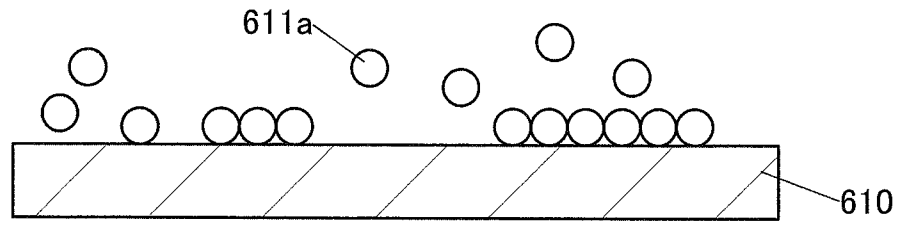
【圖10B】



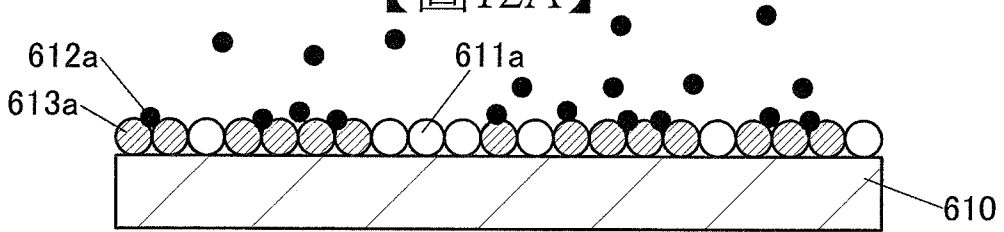
【圖11A】



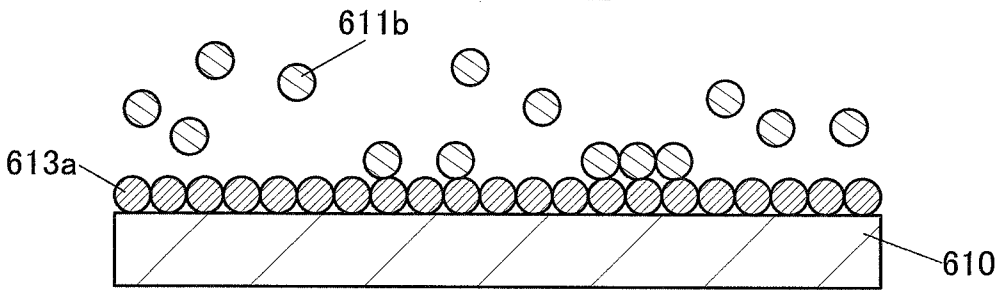
【圖11B】



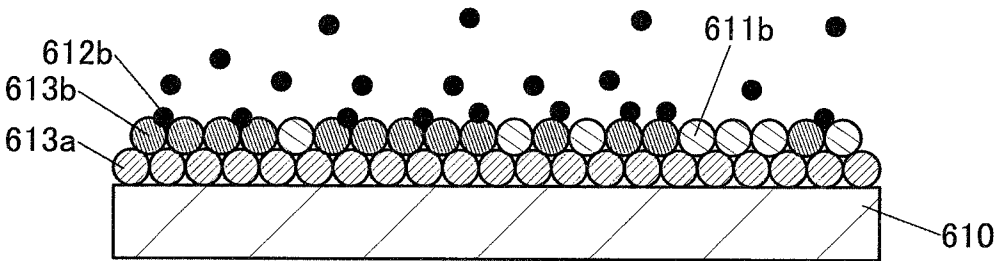
【圖12A】



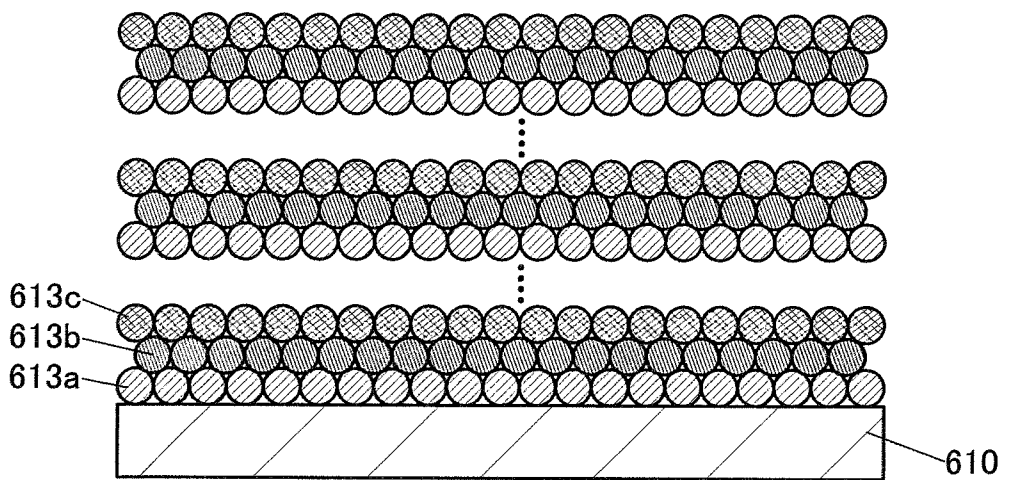
【圖12B】



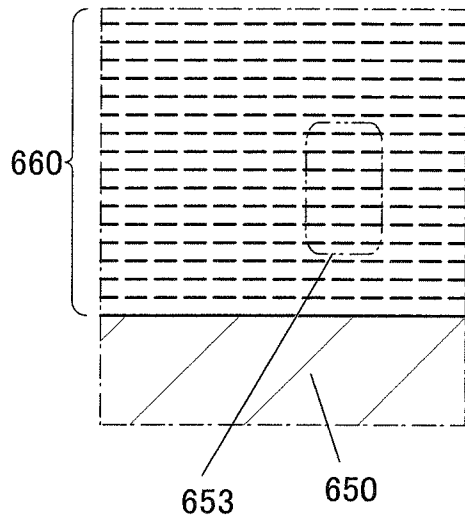
【圖12C】



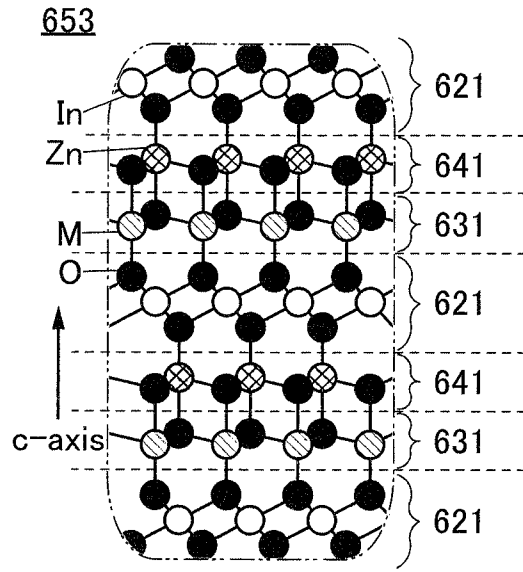
【圖12D】



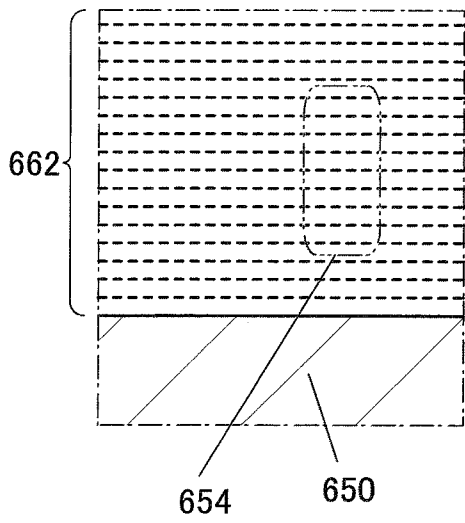
【圖12E】



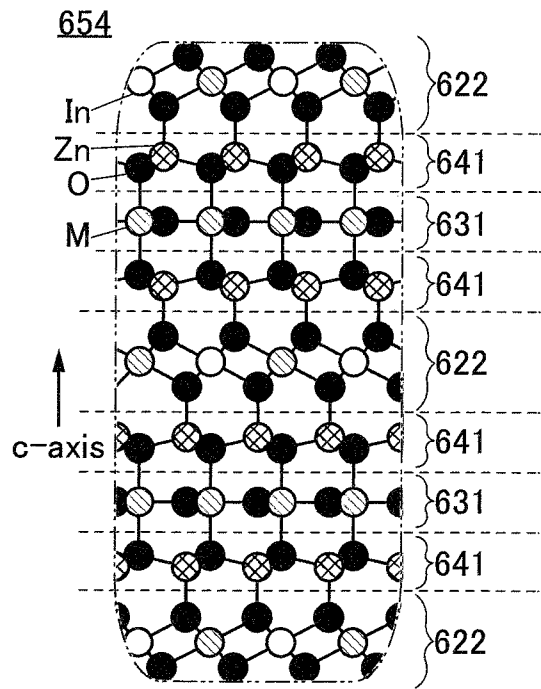
【圖13A】



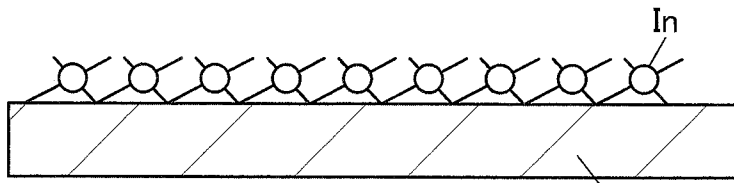
【圖13B】



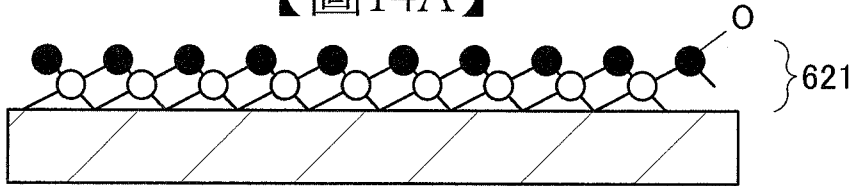
【圖13C】



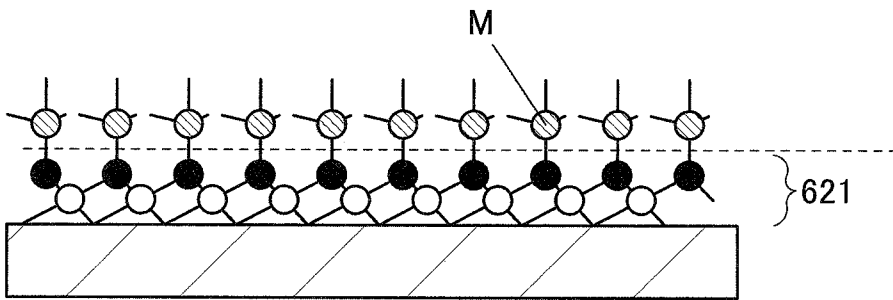
【圖13D】



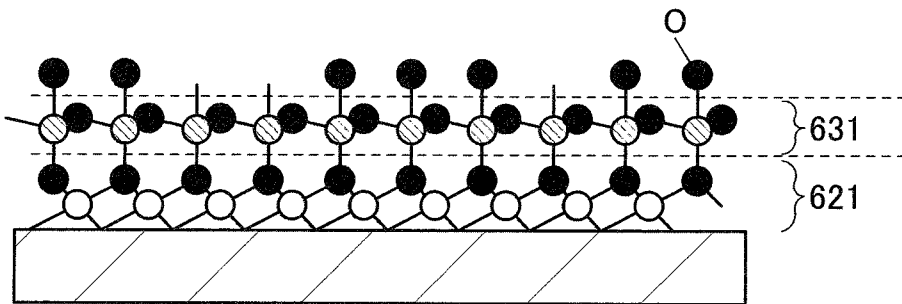
【圖14A】



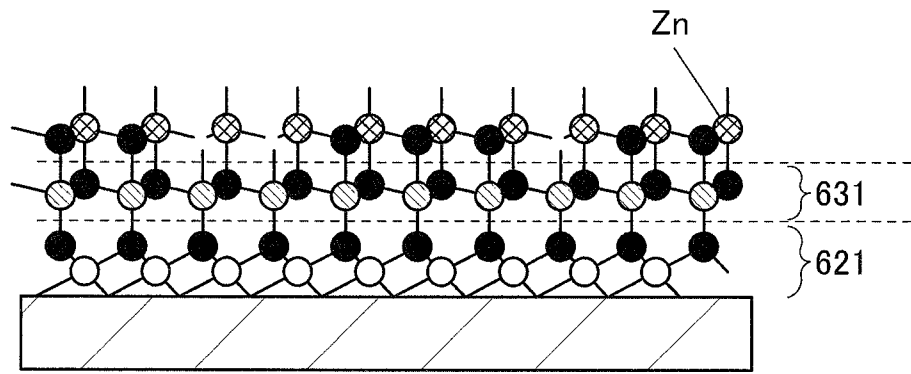
【圖14B】



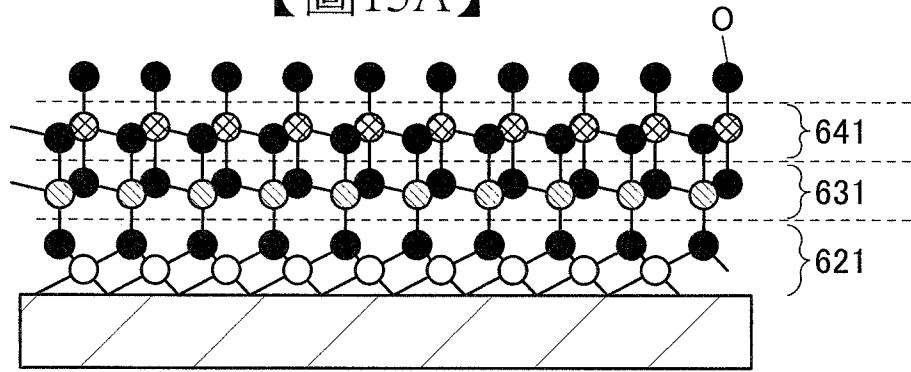
【圖14C】



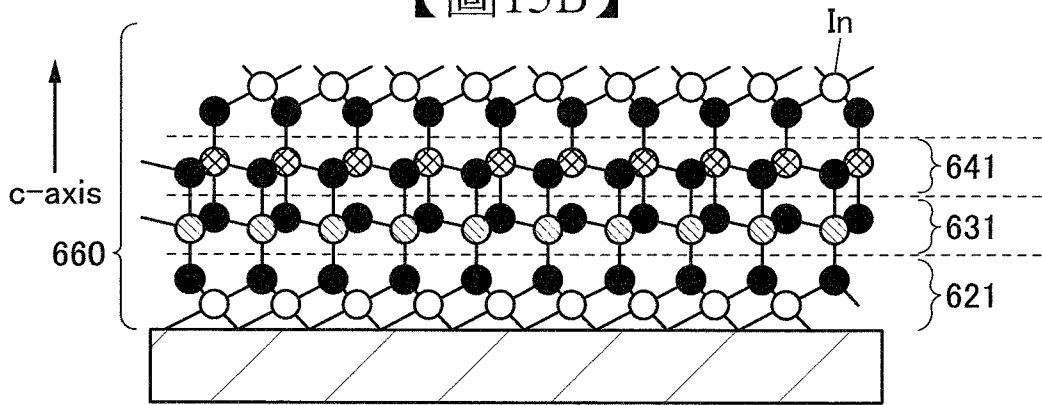
【圖14D】



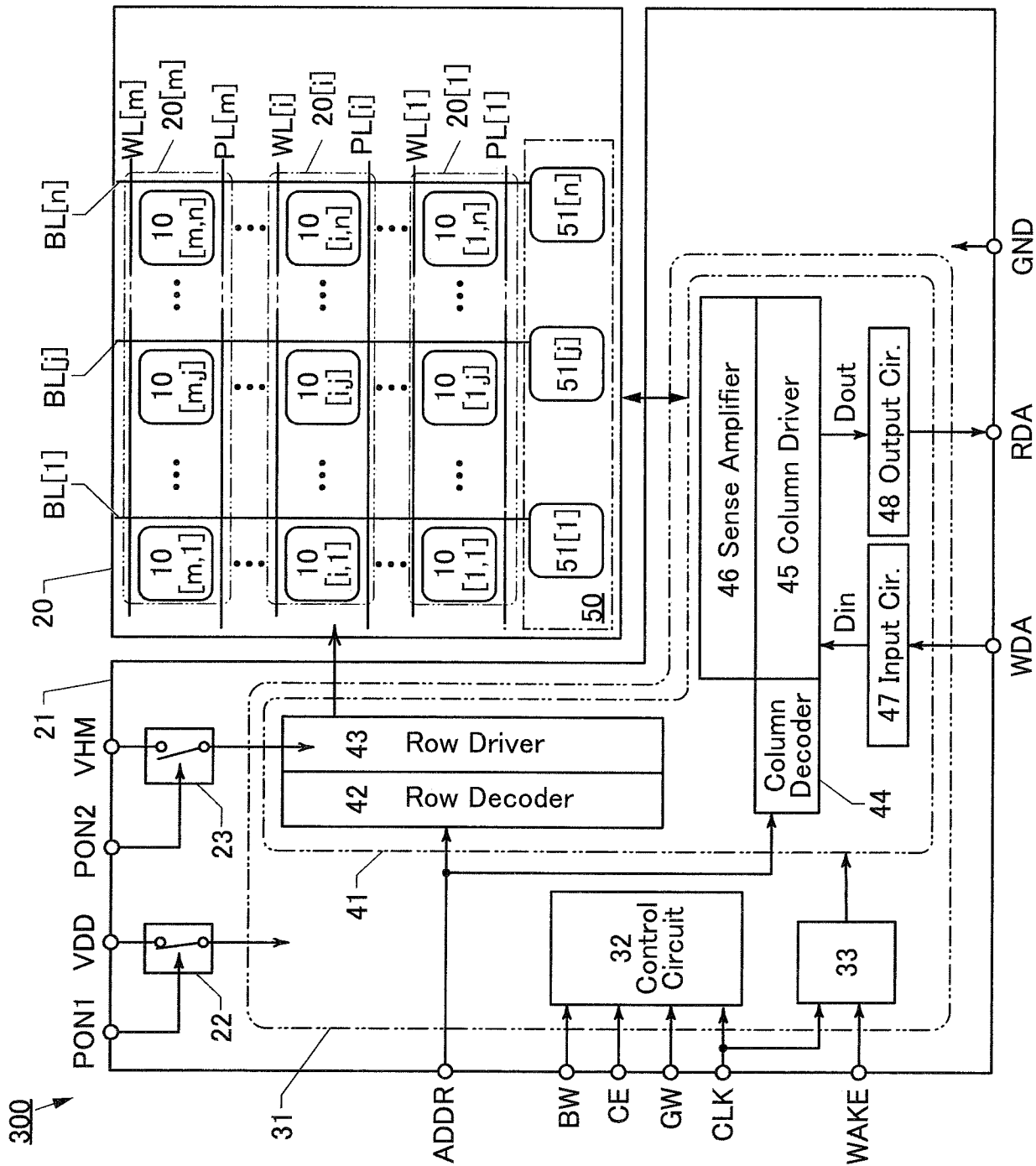
【圖15A】



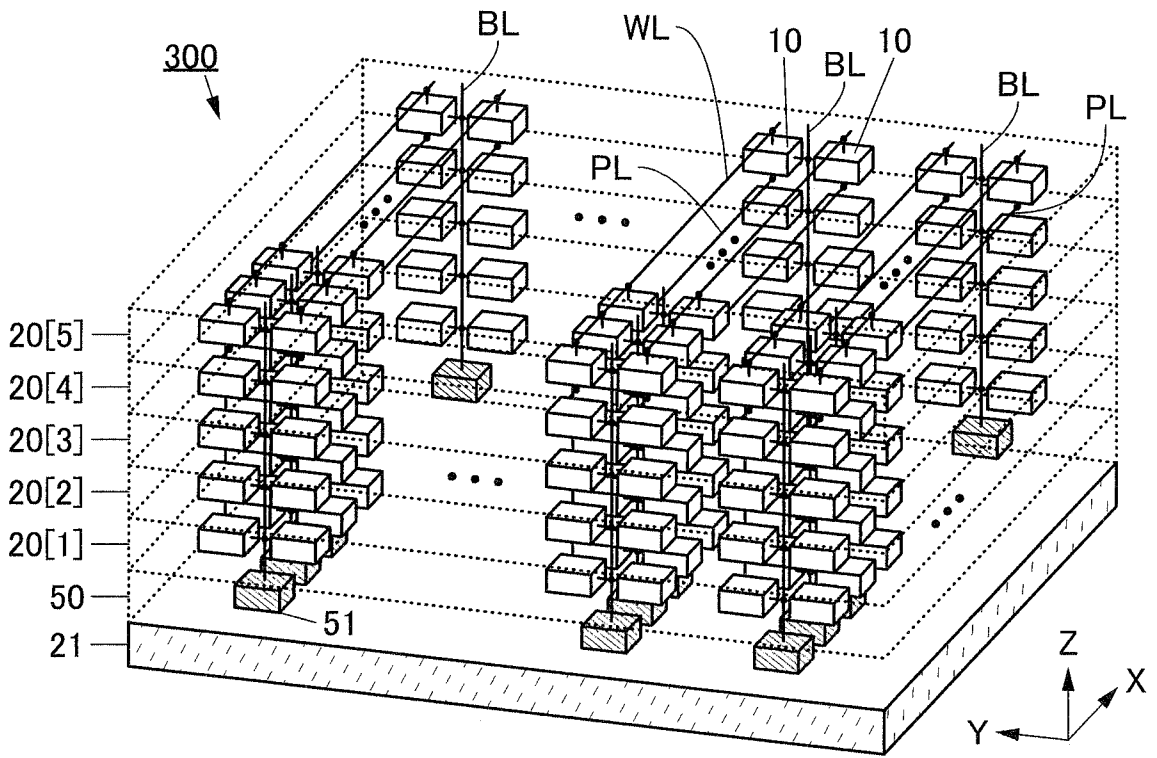
【圖15B】



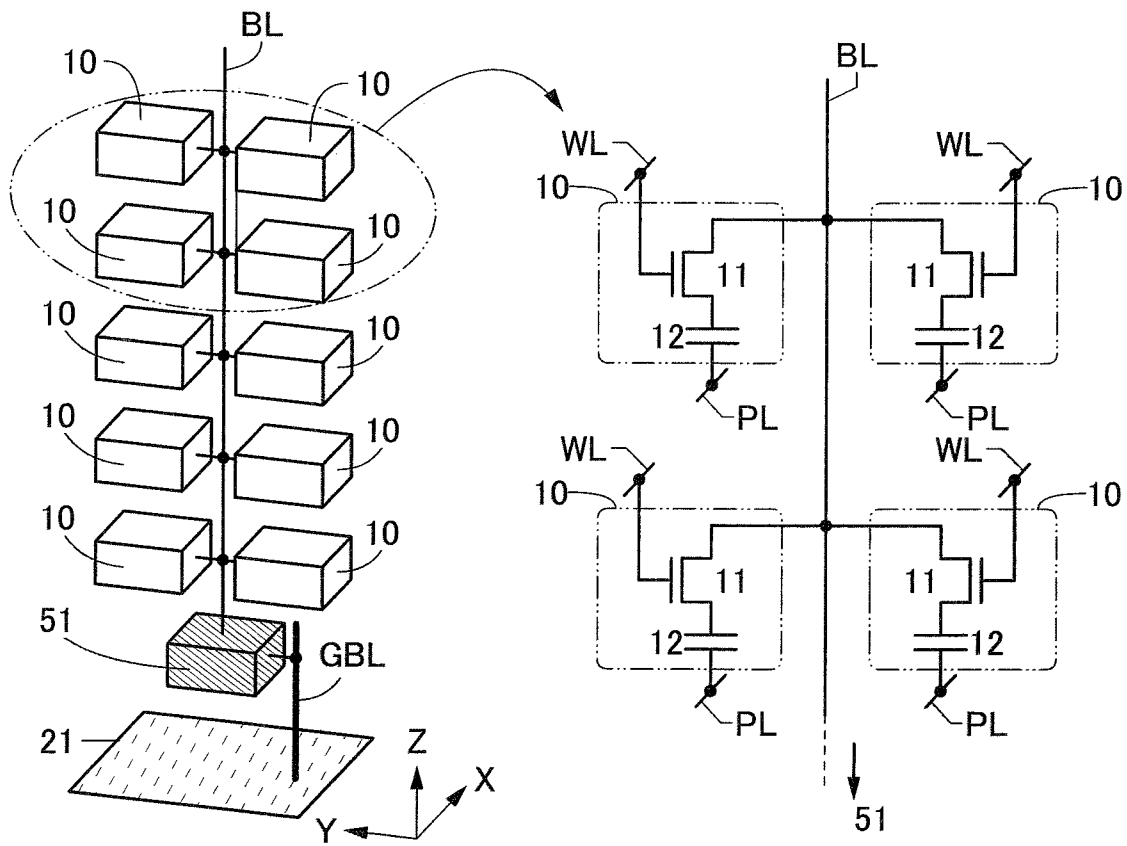
【圖15C】



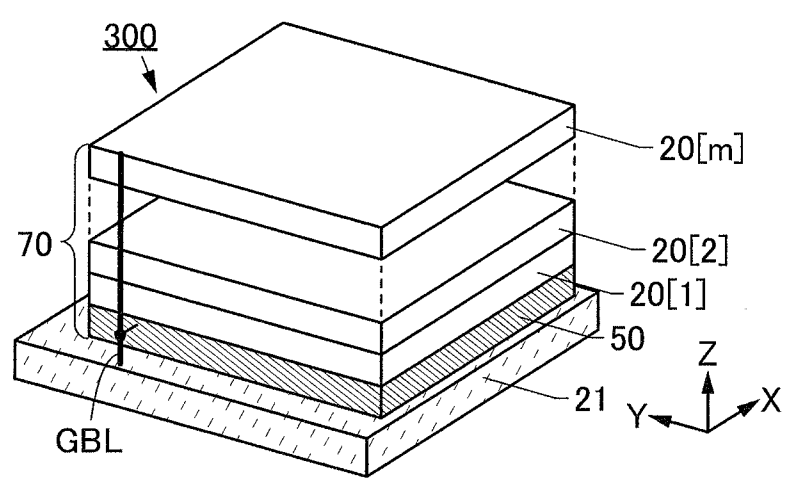
【圖16】



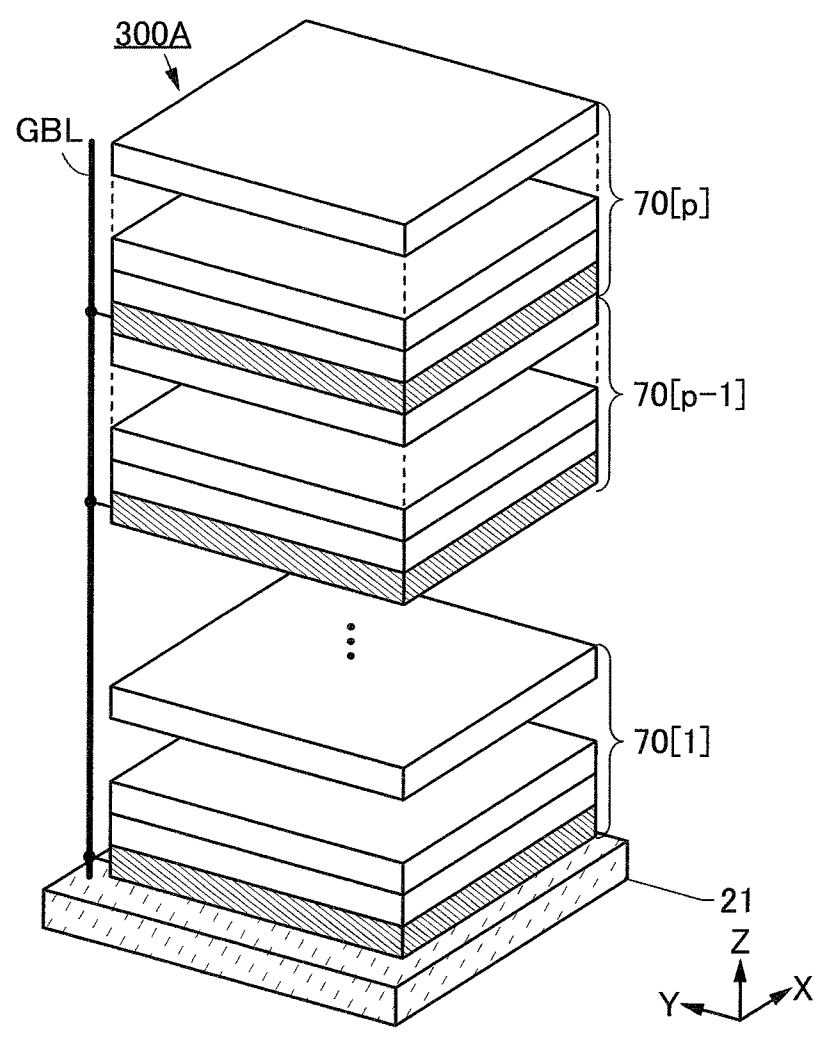
【圖17A】



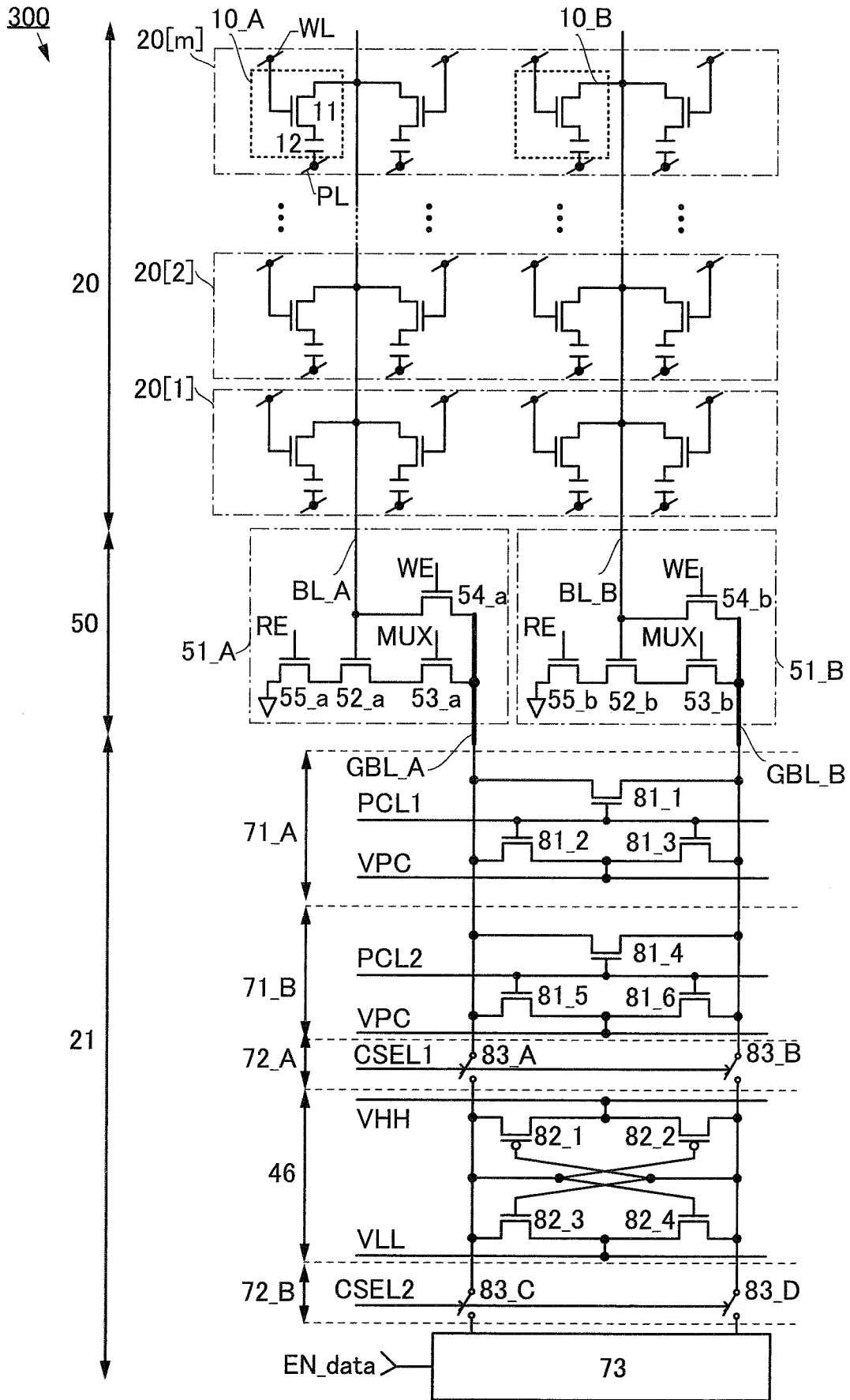
【圖17B】



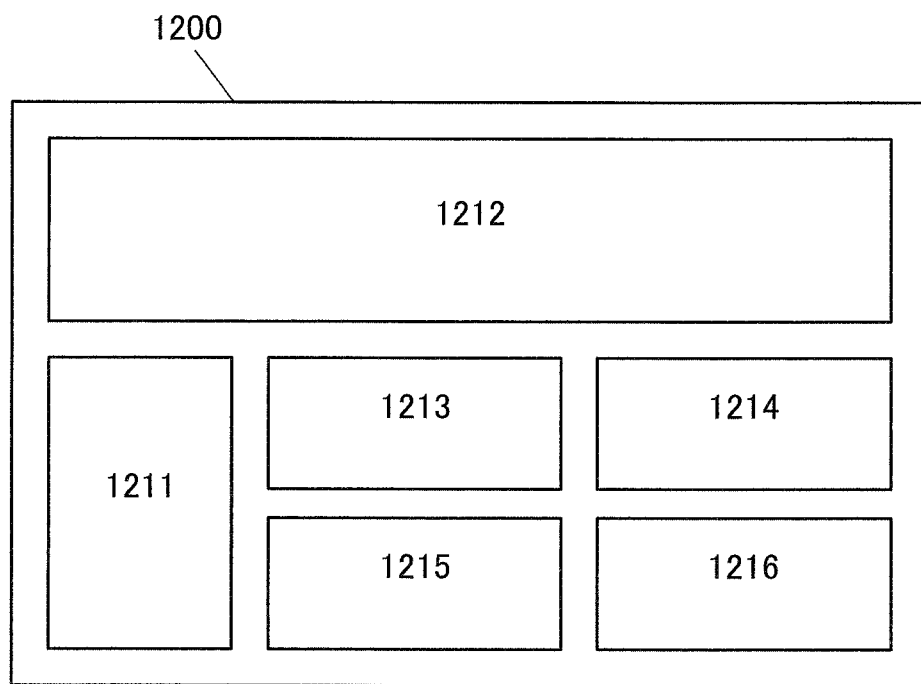
【圖18A】



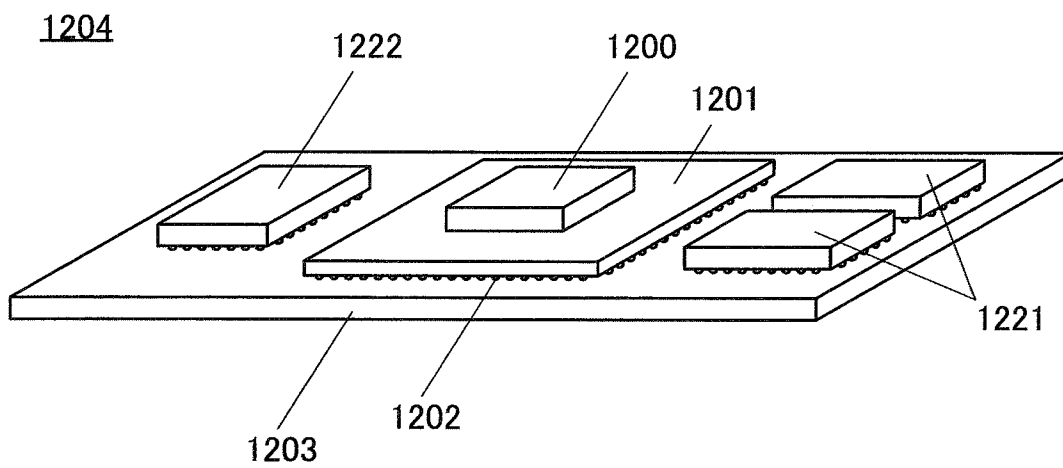
【圖18B】



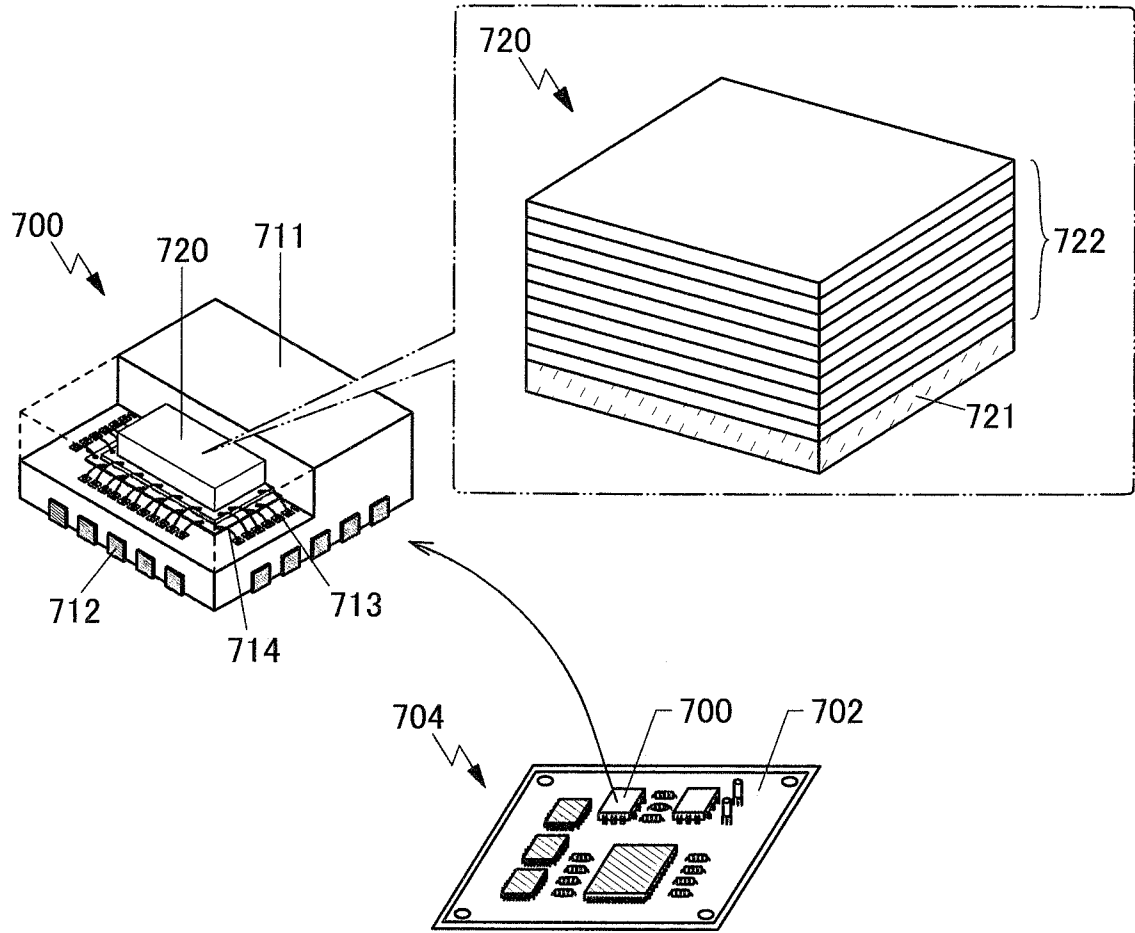
【圖19】



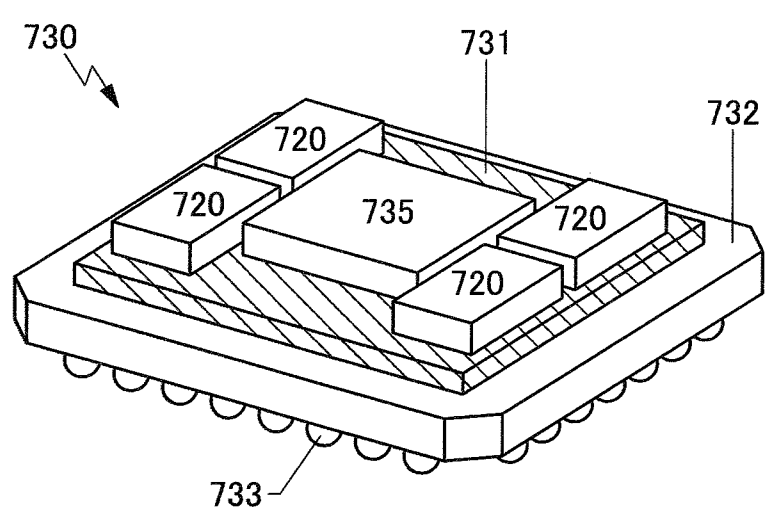
【圖20A】



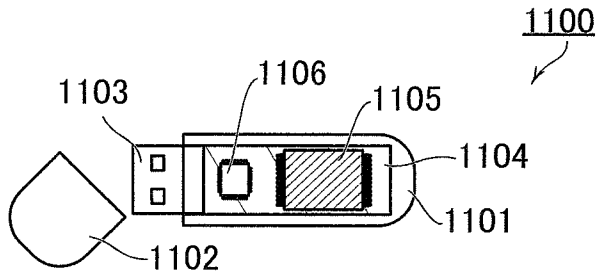
【圖20B】



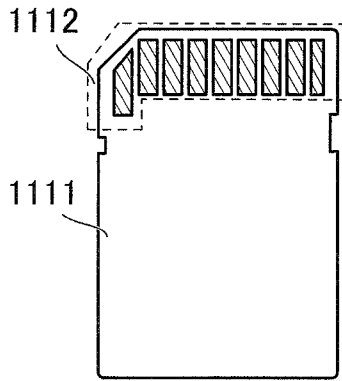
【圖21A】



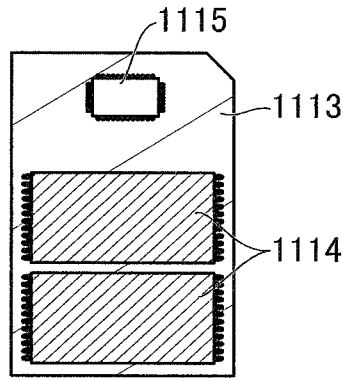
【圖21B】



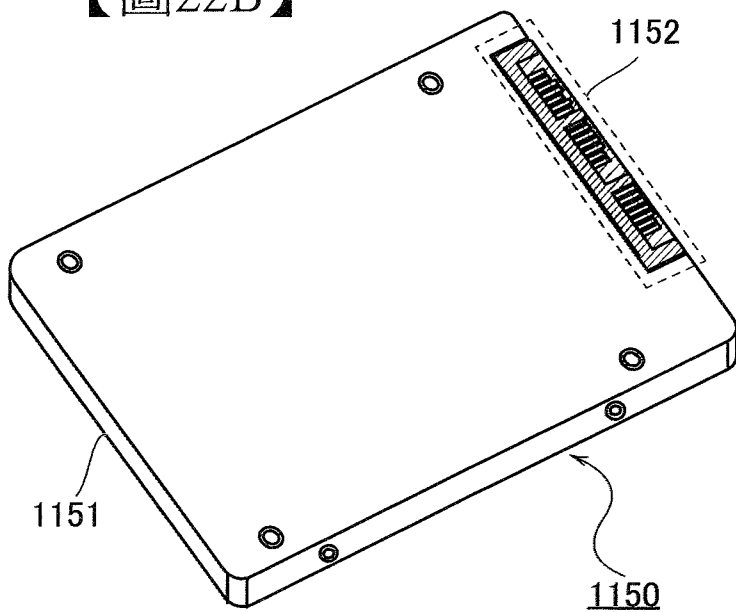
【圖22A】



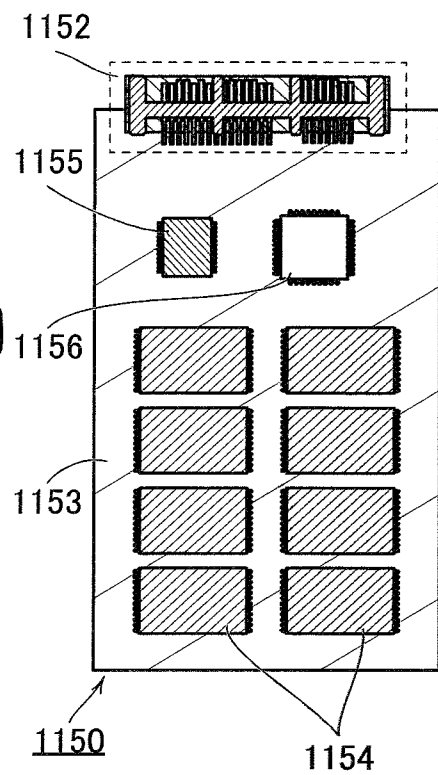
【圖22B】



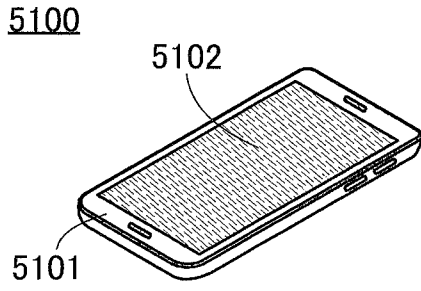
【圖22C】



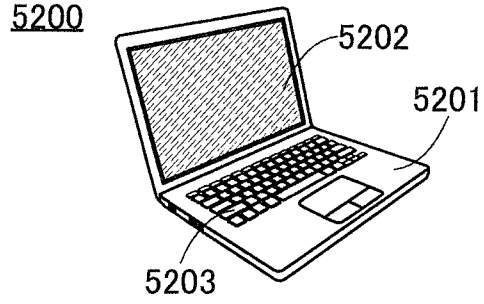
【圖22D】



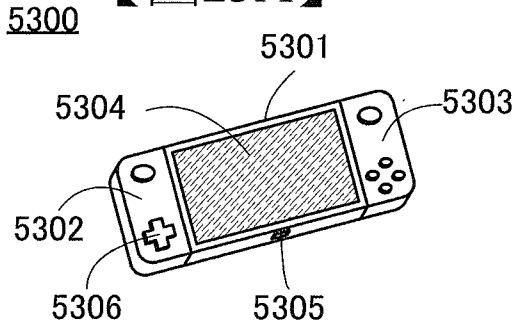
【圖22E】



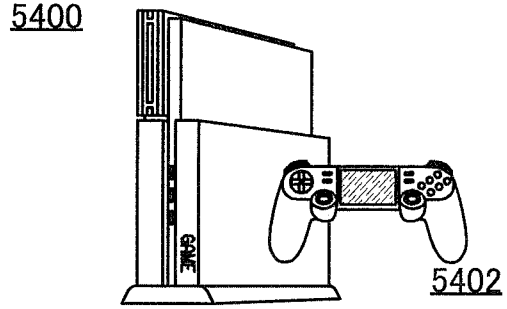
【圖23A】



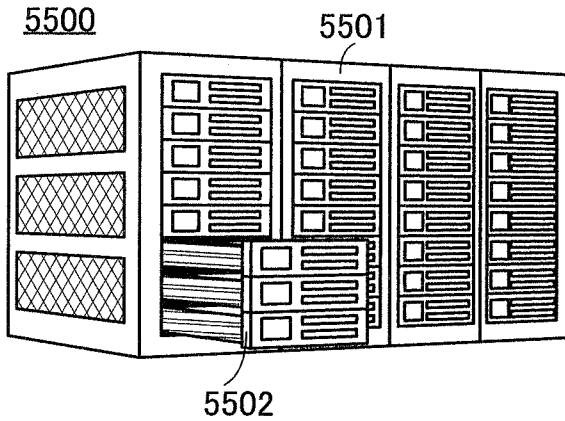
【圖23B】



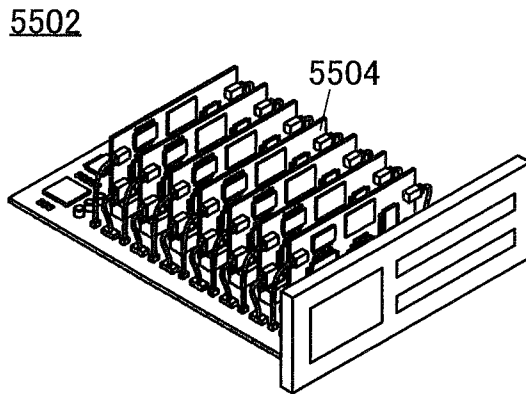
【圖23C】



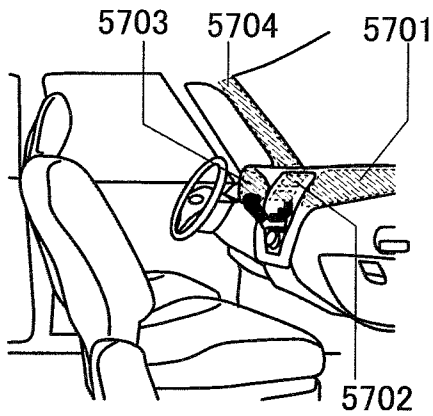
【圖23D】



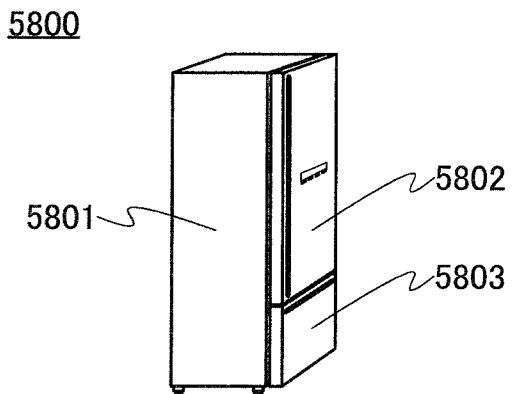
【圖23E】



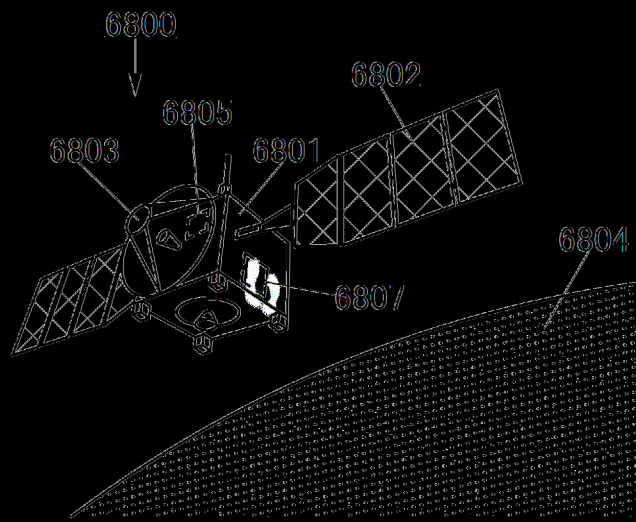
【圖23F】



【圖23G】



【圖23H】



(Fig. 24)