(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013 年 11 月 28 日(28.11.2013)

WIPO | PCT

(10) 国際公開番号
WO 2013/176077 A1

(51) 国際特許分類:
G06F 17/50 (2006.01)

(21) 国際出願番号: PCT/JP2013/063914

(22) 国際出願日: 2013 年 5 月 20 日(20.05.2013)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2012-115508 2012 年 5 月 21 日(21.05.2012) JP

(71) 出願人: 三菱電機株式会社(**MITSUBISHI ELECTRIC CORPORATION**) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目７番３号 Tokyo (JP).

(72) 発明者: 遠山 治(**TOYAMA, Osamu**); 〒1008310 東京都千代田区丸の内二丁目７番３号 三菱電機株式会社内 Tokyo (JP). 小川 吉大(**OGAWA, Yoshihiro**); 〒1008310 東京都千代田区丸の内二丁目７番３号 三菱電機株式会社内 Tokyo (JP). 峯岸 孝行(**MINEGISHI, Noriyuki**); 〒1008310 東京都千代田区丸の内二丁目７番３号 三菱電機株式会社内 Tokyo (JP).

(74) 代理人: 溝井 章司, 外(**MIZOI, Shoji** et al.); 〒2470056 神奈川県鎌倉市大船二丁目１７番１０号 ＮＴＡ大船ビル３階 溝井国際特許事務所 Kanagawa (JP).

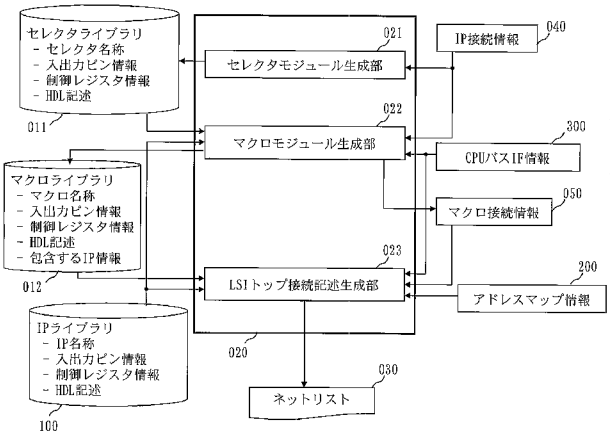
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ

[続葉有]

(54) **Title**: LSI DESIGNING APPARATUS, LSI DESIGNING METHOD, AND PROGRAM

(54) 発明の名称 : ＬＳＩ設計装置及びＬＳＩ設計方法及びプログラム



011 Selector library
- Selector name
- Input/output pin information
- Control register information
- HDL description
012 Macro library
- Macro name
- Input/output pin information
- Control register information
- HDL description
- IP information contained therein
021 Selector module generating unit
022 Macro module generating unit
023 LSI top connection description generating unit
030 Net list
040 IP connection information
050 Macro connection information
100 IP library
- IP name
- Input/output pin information
- Control register information
- HDL description
200 Address map information
300 CPU bus interface information

(57) **Abstract**: The purpose of the present invention is to improve design efficiency when designing an LSI. A selector module generating unit (021) inputs IP connection information (040) describing input/output flows of signals between IPs contained within an LSI to be designed, analyzes the inputted IP connection information (040), and generates a selector module for a selector that matches the input/output flows of signals between IPs described in the IP connection information (040). A macro module generating unit (022) generates a macro module wherein relationships between the selector and function blocks are indicated, using the selector module generated by the selector module generating unit (021).

(57) 要約: ＬＳＩを設計する際の設計効率を向上させる。セレクタモジュール生成部０２１が、設計対象のＬＳＩに含まれるＩＰ間の信号の入出力フローが記述されるＩＰ接続情報０４０を入力し、入力したＩＰ接続情報０４０を解析し、ＩＰ接続情報０４０に記述されているＩＰ間の信号の入出力フローに合致するセレクタのセレクタモジュールを生成する。マクロモジュール生成部０２２は、セレクタと機能ブロックとの関係が表されるマクロモジュールを、セレクタモジュール生成部０２１により生成されたセレクタモジュールを用いて生成する。

WO 2013/176077 A1

ア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

明　細　書

発明の名称 ： ＬＳＩ設計装置及びＬＳＩ設計方法及びプログラム

技術分野

[0001] 本発明は、ＬＳＩ（Ｌａｒｇｅ　Ｓｃａｌｅ　Ｉｎｔｅｇｒａｔｅｄ　Ｃｉｒｃｕｉｔ）の設計に関する。

背景技術

[0002] ＬＳＩの大規模化に伴い、いわゆるＩＰ（Ｉｎｔｅｌｌｅｃｔｕａｌ　Ｐｒｏｐｅｒｔｙ）ベースの設計手法が提案されている。

ＩＰベースの設計では、ＩＰや既に動作実績のある回路モジュールなど、複数の機能ブロックを流用し、これらを組み合わせてシステムＬＳＩを構成することで開発効率を向上させる。

また、ＩＰベース設計では、基本的にＩＰや既存モジュールを流用し、周辺回路の修正や機能ブロック間の結線変更を行うだけでシステムＬＳＩを構成することができ、設計効率を大幅に向上することができる。

先行技術文献

特許文献

[0003] 特許文献1：特開２００６－２４４２７４号公報

特許文献2：特開２００７－１９３８４２号公報

発明の概要

発明が解決しようとする課題

[0004] しかしながら、ＬＳＩの大規模化、およびシステムＬＳＩに要求される機能の多様化が進むことで、システムＬＳＩを構築するために必要なＩＰ数は増大し、ＩＰ同士の接続関係も複雑化する。

このため、周辺回路の修正や機能ブロック間の結線変更量の増大、接続関係を実現するために必要なグルーロジックの設計工数の増大が、設計効率向上の阻害要因となっている。

[0005] 例えば、映像信号処理向けのシステムＬＳＩを例とする。

ワンチップで複数の解像度や画像フォーマットの異なる２系統の入出力に対応したいという要求があった場合、各系統に全く同じ映像信号処理機能を持たせ、２系統が独立して動くＬＳＩを構成すれば要求機能は満足できる。

しかし、このような実装は回路規模が膨大になるので、実際はこのような実装はしない。

実際の運用では、ＬＳＩのユースケースを制限事項として定義し、ＬＳＩのユースケースを動作モードとして定義する。

そして、あるモードで同時に動かない複数の機能があれば、当該複数の機能をマージして必要最低限のＩＰ数で当該複数の機能を実現できるよう最適化を行う。

このように必要最低限のＩＰ数で機能を実現できるように最適化を行う場合、機能のマージを実現するために、同じＩＰであっても動作モードによって異なる入力データを与えられるようにする必要がある。

このため、入力データを制御するためセレクタ（グルーロジック）が必要となる。

必要となるセレクタは、実現しようとするシステムによって異なるためＩＰの標準機能として組み込むことはでない。

このため、システムを構築するごとにセレクタを設計し直す必要がある。

また、設計し直しとなったセレクタをシステム内で制御する必要がある。

一般的にシステムの制御はＣＰＵ（Ｃｅｎｔｒａｌ　Ｐｒｏｃｅｓｓｉｎｇ　Ｕｎｉｔ）によって行われるため、セレクタを制御するレジスタにアクセスするためのＣＰＵバスＩＦ（インタフェース）もシステムごとに設計変更が必要となる。

以上のように、単にセレクタを挿入するだけでも複数箇所の設計変更が必要であり、挿入箇所が増大すると設計効率が低下する。

[0006] この発明は、上記のような点に鑑みたものであり、ＬＳＩを設計する際の設計効率を向上させることを主な目的とする。

課題を解決するための手段

[0007] 本発明に係るＬＳＩ設計装置は、

設計対象のＬＳＩ（Ｌａｒｇｅ Ｓｃａｌｅ Ｉｎｔｅｇｒａｔｅｄ Ｃｉｒｃｕｉｔ）に含まれる機能ブロック間の信号の入出力フローが記述される入出力フロー情報を入力し、入力した入出力フロー情報を解析し、入出力フロー情報に記述されている機能ブロック間の信号の入出力フローに合致するセレクタのセレクタモジュールを生成するセレクタモジュール生成部と、

セレクタと機能ブロックとの関係が表されるマクロモジュールを、前記セレクタモジュール生成部により生成されたセレクタモジュールを用いて生成するマクロモジュール生成部とを有することを特徴とする。

発明の効果

[0008] 本発明によれば、入出力フロー情報を解析し、入出力フロー情報に記述されている機能ブロック間の信号の入出力フローに合致するセレクタのセレクタモジュールと前記セレクタモジュールを含むマクロブロック、ならびにセレクタモジュールを制御するためのＣＰＵバスＩＦを自動生成するため、ＬＳＩを設計する際の設計効率を向上させることができる。

図面の簡単な説明

[0009] [図1]実施の形態１に係るＬＳＩ設計プラットフォームの構成例を示す図。

[図2]実施の形態１に係るシステムＬＳＩ組み上げ装置の構成例を示す図。

[図3]実施の形態１に係るＩＰ接続情報の例を示す図。

[図4]実施の形態１に係るＩＰ接続情報の例を示す図。

[図5]実施の形態１に係るセレクタモジュールの例を示す図。

[図6]実施の形態１に係るマクロモジュールの例を示す図。

[図7]実施の形態１に係る制御レジスタ情報の例を示す図。

[図8]実施の形態１に係るマクロ接続情報の生成例を示す図。

[図9]実施の形態１に係るアドレスマップ情報の例を示す図。

[図10]実施の形態１に係るネットリストの例を示す図。

[図11]実施の形態１に係るシステムＬＳＩ組み上げ装置のハードウェア構成例を示す図。

発明を実施するための形態

[0010] 実施の形態１．

本実施の形態では、ＩＰを含む複数の機能ブロックを相互接続する事によりシステムＬＳＩを構成するシステムＬＳＩ設計プラットフォームを説明する。

本実施の形態に係るシステムＬＳＩ設計プラットフォームには、セレクタモジュール生成部と、マクロモジュール生成部と、ＬＳＩトップ接続記述生成部が含まれる。

セレクタモジュール生成部は、ＩＰを含む複数の機能ブロック間の接続関係を構成するために必要なセレクタモジュールを生成する。

マクロモジュール生成部は、前記セレクタモジュール生成部が生成するセレクタモジュールとセレクタモジュールがつながるＩＰとを含むマクロモジュールを生成する。

ＬＳＩトップ接続記述生成部は、前記マクロモジュール生成部が生成するマクロモジュールとＩＰとを相互接続してＬＳＩのトップ記述を生成する。

本実施の形態に係るシステムＬＳＩ設計プラットフォームを用いれば、システムＬＳＩの設計ごとに必要であったセレクタの新規設計と、ＣＰＵバスＩＦの設計変更が自動化されるため設計効率が改善される。

[0011] 図１は、本実施の形態に係るシステムＬＳＩ設計プラットフォームの構成例を示すブロック図である。

[0012] ＬＳＩ設計プラットフォーム０００は、ＩＰライブラリ１００とシステムＬＳＩ組み上げ装置０２０によって構成される。

システムＬＳＩ組み上げ装置０２０は、ＩＰ接続情報０４０、アドレスマップ情報２００及びＣＰＵバスＩＦ情報３００を入力し、ネットリスト０３０を出力する。

なお、ネットリスト０３０とはＨＤＬ（Ｈａｒｄｗａｒｅ Ｄｅｓｃｒｉｐｔｉｏｎ Ｌａｎｇｕａｇｅ）で記述されたシステムＬＳＩトップの接続記述である。

ＩＰ接続情報０４０、アドレスマップ情報２００及びＣＰＵバスＩＦ情報３００の詳細は後述する。

ＩＰライブラリ１００は、ライブラリに含まれる個々のＩＰに関するＩＰ情報１０１を含み、ＩＰ情報１０１は例えば、ＩＰ名称、入出力ピン情報、制御レジスタ情報、ＨＤＬ記述を含んでいる。

ＩＰライブラリ１００には、設計対象のシステムＬＳＩに含まれるＩＰに関するＩＰ情報１０１が含まれている。

なお、システムＬＳＩ組み上げ装置０２０はＬＳＩ設計装置の例に相当する。

[0013] 図２を用いてシステムＬＳＩ組み上げ装置０２０の詳細について説明する。

システムＬＳＩ組み上げ装置０２０は、内部にセレクタモジュール生成部０２１とマクロモジュール生成部０２２とＬＳＩトップ接続記述生成部０２３を含む。

[0014] セレクタモジュール生成部０２１は、ＩＰ接続情報０４０を入力し、セレクタライブラリ０１１を生成する。

セレクタライブラリ０１１には、セレクタモジュール生成部０２１が生成するセレクタモジュールの情報が記載されている。

セレクタライブラリ０１１には、ＩＰライブラリ０１０と同じく、例えばＩＰ名称（セレクタ名称）、入出力ピン情報、制御レジスタ情報、ＨＤＬ記述が含まれる。

[0015] セレクタモジュールは、後述する図５に示すように、セレクタ０６４と、入力ピン０６１、０６２と、出力ピン０６３と、セレクタ制御信号入力インタフェース０６５が相互に関連付けられた機能ブロック０６０である。

入力ピン０６１、０６２は、セレクタ０６４がＩＰから信号を入力するためのピンである。

出力ピン０６３は、セレクタ０６４がＩＰに信号を出力するためのピンである。

セレクタ制御信号入力インタフェース０６５は、制御信号の入力のためのインタフェースである。

なお、「セレクタモジュールを生成する」とは、図５に示すようなセレクタモジュール０６０のテンプレートを生成するという意味である。

テンプレートの詳細情報は、セレクタライブラリ０１１の情報（ＩＰ名称（セレクタ名称）、入出力ピン情報、制御レジスタ情報、ＨＤＬ記述）である。

セレクタモジュール生成部０２１は、例えば、２ｔｏ１のセレクタが必要な場合は、図５に示すような２ｔｏ１セレクタのセレクタモジュールのテンプレートを生成する。

また、３ｔｏ１のセレクタが必要な場合は、セレクタモジュール生成部０２１は、図５の構成に相当する３ｔｏ１セレクタのセレクタモジュールのテンプレートを生成する。

セレクタモジュール生成部０２１は、生成したテンプレートの詳細情報をセレクタライブラリ０１１に登録する。

そして、後述するマクロモジュール生成部０２２が、セレクタライブラリ０１１の情報を用いて、例えば、２ｔｏ１セレクタのセレクタモジュールのインスタンスを生成し、また、３ｔｏ１セレクタのセレクタモジュールのインスタンスを生成する。

[0016] ＩＰ接続情報０４０は、例えば図３のＩＰ接続情報例０４１に示すように、特定のフォーマットでＩＰ間の接続関係（但し、ＣＰＵバスＩＦは除く）を表したものである。

図３のＩＰ接続情報例０４１は、ＩＰ　Ａ、Ｂ、Ｃの３つについて接続関係を表している。

ＩＰ接続情報例０４１中、Ａ＿ｏｕｔやＢ＿ｏｕｔ、Ｃ＿ｉｎはそれぞれ　ＩＰ　Ａの出力信号、ＩＰ　Ｂの出力信号、ＩＰ　Ｃの入力信号を表すキーワードである。

また、「．」以降はＩＰの信号線名であり、Ａ＿ｏｕｔ．ＰＸＲは、ＩＰ

ＡのＰＸＲ信号（出力）を表す。

記号「＝＞」は信号線の向かう方向を示しており、Ａ＿ｏｕｔ．ＰＸＲ＝＞Ｃ＿ｉｎ．ＰＸＲはＩＰ　ＡのＰＸＲ信号（出力）がＩＰ　ＣのＰＸＲ信号（入力）につながることを表している。

ＩＰ接続情報例０４１内で表される接続関係、および各信号線の意味は図４に示す通りである。

なお、図３では、接続関係を表現するためにＡ＿ｏｕｔやＣ＿ｉｎ、および「．」や「＝＞」という記号を用いるフォーマットを示したが、これは説明を簡単にするために用いたのであって、ＩＰ接続情報０４０の記述フォーマットを限定するものではない。

図３に示すように、ＩＰ接続情報０４０は、設計対象のＬＳＩに含まれる機能ブロック間の信号の入出力フローが記述される情報であり、入出力フロー情報の例に相当する。

[0017] セレクタモジュール生成部０２１は、ＩＰ接続情報０４０をスキャンして入力信号ごとにセレクタの挿入が必要かどうかをチェックする。

セレクタの挿入が必要である場合には、セレクタモジュール生成部０２１は、セレクタモジュールを生成する。

セレクタ挿入が必要かどうかは、一つの入力信号に対して、複数の出力信号が接続されているかどうかを調べる。

例えば、ＩＰ接続情報例０４１（図３）の例では、入力信号Ｃ＿ｉｎ．ＰＸＲに対して、出力信号Ａ＿ｏｕｔ．ＰＸＲと出力信号Ｂ＿ｏｕｔ．ＰＸＲが接続されている。

このため、入力信号Ｃ＿ｉｎ．ＰＸＲの入力の前に２ｔｏ１のセレクタ挿入が必要である。

従って、セレクタモジュール生成部０２１は、２ｔｏ１セレクタのセレクタモジュールを生成する。

このように、セレクタモジュール生成部０２１は、ＩＰ接続情報０４０を解析し、ＩＰ接続情報０４０に記述されているＩＰ間の信号の入出力フロー

に合致するセレクタのセレクタモジュールを生成する。

[0018] 図５は、セレクタモジュール生成部０２１により生成されるセレクタモジュール０６０の例を示す。

セレクタモジュール０６０には、入力ピン０６１、０６２と、出力ピン０６３と、セレクタ制御信号インタフェース０６５が含まれる。

入力ピン０６１、０６２は、２ｔｏ１セレクタ０６４がＩＰ Ａおよび ＩＰ Ｂからの信号を入力するためのピンである。

出力ピン０６３は、２ｔｏ１セレクタ０６４がＩＰ Ｃに信号を出力するためのピンである。

セレクタ制御信号入力インタフェース０６５は、２ｔｏ１セレクタ０６４を制御するためのインタフェースである。

なお、ここまでの説明では２ｔｏ１セレクタの場合について説明したが、必要となるセレクタがＮｔｏＭ（Ｎ、Ｍは自然数かつＮ≧Ｍ）の場合も同様の構成のセレクタを生成する。

つまり、セレクタモジュール生成部０２１は、ＩＰ接続情報０４０を解析し、各々が同じ種類の信号（ＰＸＲ信号、ＰＸＧ信号等）を入出力する２つ以上のＩＰを対応付ける。

そして、セレクタモジュール生成部０２１は、対応付けたＩＰのうち信号を出力するＩＰの個数（Ｎ個）分の入力ピンを持ち、対応付けたＩＰのうち信号を入力するＩＰの個数（Ｍ個）分の出力ピンを持つＮｔｏＭセレクタのセレクタモジュールを生成する。

以上のような生成を繰り返し行い、必要なセレクタモジュールを全て生成した後、生成したセレクタモジュールの情報をセレクタライブラリ０１１として出力する。

ただし、セレクタライブラリ０１１内に既に同じ機能、例えば２ｔｏ１セレクタを持つセレクタモジュールが含まれる場合には重複して生成しない。

[0019] マクロモジュール生成部０２２は、ＩＰライブラリ１００のＩＰ情報１０１とＣＰＵバスＩＦ情報３００、セレクタモジュール生成部０２１が出力し

たセレクタライブラリ０１１およびＩＰ接続情報０４０を入力としてマクロモジュールを生成する。

そして、マクロモジュール生成部０２２は、生成したマクロモジュールをマクロライブラリ０１２として出力する。

ここで生成されるマクロモジュールとは、セレクタモジュール生成部０２１が生成したセレクタモジュールと、セレクタモジュールの出力がつながるＩＰとを含むラッパーモジュールのことである。

マクロライブラリ０１２には、例えばマクロ名称、入出力ピン情報、制御レジスタ情報、ＨＤＬ記述、包含するＩＰ情報が含まれる。

[0020] 図６に、図３で示したＩＰ接続情報０４１の場合において生成されるマクロモジュール７００を示す。

マクロモジュール生成部０２２は、ＩＰ接続情報０４０（０４１）をスキャンして、セレクタが挿入されるＩＰの入力信号をチェックする。

セレクタの挿入が必要な入力信号がある場合には、マクロモジュール生成部０２２は、セレクタライブラリ０１１から接続関係を構成するために必要な機能を持つセレクタモジュールを選ぶ。

この場合は、マクロモジュール生成部０２２は、２ｔｏ１のセレクタモジュール０６０（図５）を選ぶ。

そして、マクロモジュール生成部０２２は、セレクタモジュール０６０のインスタンスであるセレクタモジュール６００とＩＰ　Ｃとをマクロモジュール７００の中で接続する。

この時、マクロモジュール生成部０２２は、セレクタの入力につながる新しいマクロモジュールの入力ポート７０１、７０２を生成し、同時にセレクタの制御レジスタ７０３を生成する。

また、マクロモジュール生成部０２２は、ＣＰＵバスＩＦ情報３００に基づき、ＣＰＵバスＩＦ７５０からリード／ライトが行えるよう、制御レジスタ７０３にレジスタセレクタ７５１を加える。

更に、マクロモジュール生成部０２２は、マクロモジュールに含まれるＩ

Ｐ　Ｃの制御レジスタ情報をＩＰライブラリ１００から読み出す。

マクロモジュール生成部０２２は、読み出したＩＰ　Ｃの制御レジスタ情報に制御レジスタ７０３の情報を付け加え、マクロモジュールの制御レジスタ情報を生成する。

[0021] ここでＣＰＵバスＩＦ情報３００とは、ＣＰＵバスＩＦの信号名とその信号の意味を対応付けた情報である。

図６の場合では、ＣＰＵバスＩＦ情報３００は、チップセレクト信号（ＢＵＳ　ＣＳ）、リードライト制御信号（ＢＵＳ　ＲＷ）、アドレス信号（ＢＵＳ　ＡＤＲ）、ライトデータ信号（ＢＵＳ　ＷＤＡＴ）、リードデータ信号（ＢＵＳ　ＲＤＡＴ）を実際のＣＰＵバスＩＦと対応させた情報である。

また、制御レジスタ情報とは、特定のフォーマットにて、ＩＰに含まれる制御レジスタとバスアドレスとの対応付けが記載された情報である。

制御レジスタ情報は、例えば図７の符号６０１に示すように、アドレス（００００等）と制御レジスタ名（制御レジスタ０等）とを空白を挟む形で対応付けた情報である。

図７の１行目は、バスＩＦのチップセレクト（図６　ＢＵＣ　ＣＳ信号）が有効な場合にバスアドレス（図６　ＢＵＳ　ＡＤＲ）０００００ｈが入力されると、ＩＰ内の制御レジスタ０にアクセスできることを表している。

２行目以降についても、同様の記述内容となっている。

[0022] また、マクロモジュール生成部０２２は、マクロモジュール内でＩＰを接続した箇所は、ＩＰ接続情報０４０（０４１）の該当箇所をマクロモジュールとの接続が示される情報に書き換え、マクロ接続情報０５０（０５１）を生成する（図８）。

図８の例では、信号ＰＸＲについてセレクタモジュールとＩＰを接続した際に、ＩＰ接続情報０４１内の符号４０２の行が符号５０２の行のように書き換えられる。

また、符号４０３の行が符号５０３の行のように書き換えられる。

このようにして、マクロ接続情報０５１が生成される。

他の信号についても、セレクタモジュールとＩＰを接続した際に、ＩＰ接続情報０４１内の該当する行が図８に示す形式で書き換えられる。

[0023] 図３のＩＰ接続情報０４１では、ＰＸＧ、ＰＸＢ等の他の種類の信号にも２ｔｏ１のセレクタの挿入が必要である。

このため、マクロモジュール生成部０２２は、各信号に対して、２ｔｏ１のセレクタモジュール（図５）のインスタンスを生成する。

そして、マクロモジュール生成部０２２は、各セレクタモジュールとＩＰＣとをマクロモジュール７００の中で接続する。

更に、マクロモジュール生成部０２２は、各信号に対して、マクロモジュールの入力ポートの生成、ＩＰ接続情報０４０の書き換えを行う。

マクロモジュール生成部０２２は、これらの処理を、マクロモジュールの生成が不要となるまで続けて、全てのマクロモジュールを生成し、マクロライブラリ０１２を出力する。

図６では、信号ＰＸＲについてのセレクタモジュール６００、入力ポート７０１、７０２、制御レジスタ７０３と、信号ＰＸＧについてのセレクタモジュール６１０、入力ポート７０４、７０５、制御レジスタ７０６のみを図示している。

実際の処理では、図３のＩＰ接続情報０４１の各信号に対して同様の構成が生成される。

[0024] なお、図７で示した制御レジスタ情報のフォーマットは説明を簡単にするために用いたものであり、制御レジスタ情報を表現するフォーマットを制限するものではない。

[0025] 次に、ＬＳＩトップ接続記述生成部０２３が、マクロモジュール生成部０２２が生成したマクロライブラリ０１２、マクロ接続情報０５０及びアドレスマップ情報２００を入力し、最終的なネットリスト０３０を生成する。

ここで、アドレスマップ情報２００とは、特定のフォーマットで記述されたファイルである。

アドレスマップ情報２００には、システム上のどのアドレスに、どのＩＰ

の制御レジスタの先頭をマッピングするかが表される。

アドレスマップ情報２００では、例えば図９の符号８０１に示すように、システム上のアドレスと、ＩＰ名とが対になって示される。

図９の符号８０１の例では、ＩＰ　Ａの制御レジスタをシステムアドレス１５００＿００００ｈ以降にマッピングすることが表されている。

同様にＩＰ　Ｂの制御レジスタをシステムアドレス１５００＿０１００ｈ以降にマッピングすることが表されている。

更に、ＩＰ　Ｃの制御レジスタをシステムアドレス１５００＿０２００以降にマッピングすることが表されている。

なお、図９では、アドレスとＩＰ名との対を１行ごと、空白を挟んで記述するフォーマットとなっているが、これは説明を簡単にするために用いた一例であって、記述のフォーマットを制限するものではない。

[0026] ＬＳＩトップ接続記述生成部０２３は、マクロ接続情報０５０に従って、ＩＰとマクロモジュールの接続記述を生成する。

次に、ＬＳＩトップ接続記述生成部０２３は、アドレスマップ情報２００に従って、ＣＰＵバスＩＦのうちチップセレクト信号（図６　ＢＵＳ　ＣＳ信号）を出力するアドレスデコーダ３１０を生成する（図１０）。

ＬＳＩトップ接続記述生成部０２３は、生成したアドレスデコーダ３１０のチップセレクト信号を、アドレスマップ情報２００に記載されるＩＰのチップセレクト信号と接続する。

ただし、マクロモジュール内に包含されるＩＰのＩＰ名は、マクロ接続情報０５０の中には存在しない。

このような場合は、ＬＳＩトップ接続記述生成部０２３はマクロライブラリ０１２に包含されるＩＰ情報を調べ、該当するＩＰが含まれるマクロモジュールのチップセレクト入力にアドレスデコーダ３１０のチップセレクト信号を接続する。

最後に、ＬＳＩトップ接続記述生成部０２３は、ＣＰＵバスＩＦ情報３００に基づき、ＣＰＵバスＩＦ部分同士を接続する。

[0027] 以上のような構成をとれば、ＩＰベース設計を用いてシステムＬＳＩを構築する際、ＩＰ接続情報とアドレスマップ情報を作るだけで、ＩＰ間を接続するために必要なグルーロジックおよびＣＰＵから各ＩＰを制御するために必要なＣＰＵバスＩＦが自動生成される。

そして、自動生成されたＣＰＵバスＩＦを用いて、ＬＳＩトップの接続記述を得ることができるため、ＩＰベース設計の設計効率を向上させることができる。

[0028] 本実施の形態では、

ＩＰ（Ｉｎｔｅｌｌｅｃｔｕａｌ Ｐｒｏｐｅｒｔｙ）を含む複数の機能ブロックを相互接続することによりシステムＬＳＩを構成するシステムＬＳＩ設計プラットフォームを説明した。

具体的には、

ＩＰを含む複数の機能ブロック間の接続関係を構成するために必要なセレクタモジュールを生成するセレクタモジュール生成部と、

前記セレクタモジュール生成部が生成するセレクタモジュールとセレクタモジュールがつながるＩＰとを含むマクロモジュールを生成するマクロモジュール生成部と、

前記マクロモジュールが生成するマクロモジュールとＩＰとを相互接続してＬＳＩのトップ記述を生成するＬＳＩトップ接続記述生成部を備えたシステムＬＳＩ設計プラットフォームを説明した。

[0029] また、本実施の形態では、

前記マクロモジュール生成部は、ＩＰを含む複数の機能ブロック間の接続関係を表すＩＰ接続情報から、セレクタモジュール生成部が生成したセレクタモジュールとセレクタモジュールの出力がつながるＩＰとを包含したマクロモジュールを生成することを説明した。

[0030] また、本実施の形態では、

前記マクロモジュール生成部は、ＣＰＵバスＩＦ情報に基づき、セレクタモジュール生成部が生成したセレクタモジュールおよびＩＰに含まれる制御

レジスタへアクセスするためのＣＰＵバスＩＦをマクロモジュールのＩＦに生成することを説明した。

[0031] また、本実施の形態では、

前記ＬＳＩトップ接続記述生成部は、アドレスマップ情報に基づき、ＩＰおよび前記マクロモジュール生成部が生成するマクロモジュールの内の制御レジスタにＣＰＵバスＩＦからアクセスするために必要なアドレスデコーダを生成し、アドレスデコーダとＩＰおよびマクロモジュールのＣＰＵバスＩＦを接続することを説明した。

[0032] 最後に、本実施の形態に示したシステムＬＳＩ組み上げ装置０２０のハードウェア構成例を図１１を参照して説明する。

システムＬＳＩ組み上げ装置０２０はコンピュータであり、システムＬＳＩ組み上げ装置０２０の各要素をプログラムで実現することができる。

システムＬＳＩ組み上げ装置０２０のハードウェア構成としては、バスに、演算装置９０１、外部記憶装置９０２、主記憶装置９０３、通信装置９０４、入出力装置９０５が接続されている。

[0033] 演算装置９０１は、プログラムを実行するＣＰＵである。

外部記憶装置９０２は、例えばＲＯＭ（Ｒｅａｄ Ｏｎｌｙ Ｍｅｍｏｒｙ）やフラッシュメモリ、ハードディスク装置である。

主記憶装置９０３は、ＲＡＭ（Ｒａｎｄｏｍ Ａｃｃｅｓｓ Ｍｅｍｏｒｙ）である。

通信装置９０４は、例えば通信カードである。

入出力装置９０５は、例えばマウス、キーボード、ディスプレイ装置等である。

入出力装置９０５は、例えば、ＩＰ接続情報０４０、アドレスマップ情報２００、ＣＰＵバスＩＦ情報３００を入力し、また、ネットリスト０３０を表示する。

[0034] プログラムは、通常は外部記憶装置９０２に記憶されており、主記憶装置９０３にロードされた状態で、順次演算装置９０１に読み込まれ、実行され

る。

プログラムは、図２に示す「～部」として説明している機能を実現するプログラムである。

更に、外部記憶装置９０２にはオペレーティングシステム（ＯＳ）も記憶されており、ＯＳの少なくとも一部が主記憶装置９０３にロードされ、演算装置９０１はＯＳを実行しながら、図２に示す「～部」の機能を実現するプログラムを実行する。

また、入力されたＩＰ接続情報０４０、アドレスマップ情報２００、ＣＰＵバスＩＦ情報３００も、順次主記憶装置９０３にロードされ、演算装置９０１により用いられる。

また、生成されたセレクタライブラリ０１１、マクロライブラリ０１２の情報も主記憶装置９０３に格納され、演算装置９０１により用いられる。

[0035] また、本実施の形態の説明において、「～の判断」、「～の判定」、「～の抽出」、「～の解析」、「～の生成」、「～の検知」、「～の設定」、「～の登録」、「～の選択」、「～の入力」、「～の出力」等として説明している処理の結果を示す情報やデータや信号値や変数値が主記憶装置９０３にファイルとして記憶されている。

また、暗号鍵・復号鍵や乱数値やパラメータが、主記憶装置９０３にファイルとして記憶されてもよい。

[0036] なお、図１１の構成は、あくまでもシステムＬＳＩ組み上げ装置０２０のハードウェア構成の一例を示すものであり、システムＬＳＩ組み上げ装置０２０のハードウェア構成は図１１に記載の構成に限らず、他の構成であってもよい。

[0037] また、本実施の形態に示す手順により、本発明に係るＬＳＩ設計方法を実現可能である。

符号の説明

[0038] ０００　ＬＳＩ設計プラットフォーム、０１１　セレクタライブラリ、０１２　マクロライブラリ、０２０　システムＬＳＩ組み上げ装置、０２１

セレクタモジュール生成部、０２２　マクロモジュール生成部、０２３　ＬＳＩトップ接続記述生成部、０３０　ネットリスト、０４０　ＩＰ接続情報、０５０　マクロ接続情報、１００　ＩＰライブラリ、１０１　ＩＰ情報、２００　アドレスマップ情報、３００　ＣＰＵバスＩＦ情報。

請求の範囲

［請求項1］ 設計対象のＬＳＩ（Ｌａｒｇｅ Ｓｃａｌｅ Ｉｎｔｅｇｒａｔｅｄ Ｃｉｒｃｕｉｔ）に含まれる機能ブロック間の信号の入出力フローが記述される入出力フロー情報を入力し、入力した入出力フロー情報を解析し、入出力フロー情報に記述されている機能ブロック間の信号の入出力フローに合致するセレクタのセレクタモジュールを生成するセレクタモジュール生成部と、

セレクタと機能ブロックとの関係が表されるマクロモジュールを、前記セレクタモジュール生成部により生成されたセレクタモジュールを用いて生成するマクロモジュール生成部とを有することを特徴とするＬＳＩ設計装置。

［請求項2］ 前記セレクタモジュール生成部は、

複数種類の信号に対して機能ブロック間の信号の入出力フローが記述される入出力フロー情報を入力し、

前記入出力フロー情報を解析し、各々が同じ種類の信号を入出力する２つ以上の機能ブロックを対応付け、

対応付けた機能ブロックのうち信号を出力する機能ブロックの個数分の入力ピンを持ち、対応付けた機能ブロックのうち信号を入力する機能ブロックの個数分の出力ピンを持つセレクタのセレクタモジュールを生成することを特徴とする請求項１に記載のＬＳＩ設計装置。

［請求項3］ 前記セレクタモジュール生成部は、

ＩＰ（Ｉｎｔｅｌｌｅｃｔｕａｌ Ｐｒｏｐｅｒｔｙ）を含む機能ブロック間の信号の入出力フローが記述される入出力フロー情報を入力することを特徴とする請求項１又は２に記載のＬＳＩ設計装置。

［請求項4］ 前記セレクタモジュール生成部は、

複数種類の信号に対して機能ブロック間の信号の入出力フローが記述される入出力フロー情報を入力し、

前記入出力フロー情報を解析し、各々が異なるセレクタに対応する

複数のセレクタモジュールを生成し、

前記マクロモジュール生成部は、

前記入出力フロー情報を解析し、各々が同じ種類の信号を入出力する２つ以上の機能ブロックを対応付け、

信号の種類ごとに、前記複数のセレクタモジュールの中から、対応付けた機能ブロック間の信号の入出力フローに合致するセレクタのセレクタモジュールを選択し、

信号の種類ごとに選択したセレクタモジュールを用いてマクロモジュールを生成することを特徴とする請求項１～３のいずれかに記載のＬＳＩ設計装置。

[請求項5] 前記マクロモジュール生成部は、

セレクタと機能ブロックとの関係が表されるとともに、セレクタの制御レジスタと、セレクタの制御レジスタにアクセスするためのＣＰＵ（Ｃｅｎｔｒａｌ Ｐｒｏｃｅｓｓｉｎｇ Ｕｎｉｔ）バスインタフェースとが表されるマクロモジュールを生成することを特徴とする請求項１～４のいずれかに記載のＬＳＩ設計装置。

[請求項6] コンピュータが、設計対象のＬＳＩ（Ｌａｒｇｅ Ｓｃａｌｅ Ｉｎｔｅｇｒａｔｅｄ

Ｃｉｒｃｕｉｔ）に含まれる機能ブロック間の信号の入出力フローが記述される入出力フロー情報を入力し、入力した入出力フロー情報を解析し、入出力フロー情報に記述されている機能ブロック間の信号の入出力フローに合致するセレクタのセレクタモジュールを生成するセレクタモジュール生成ステップと、

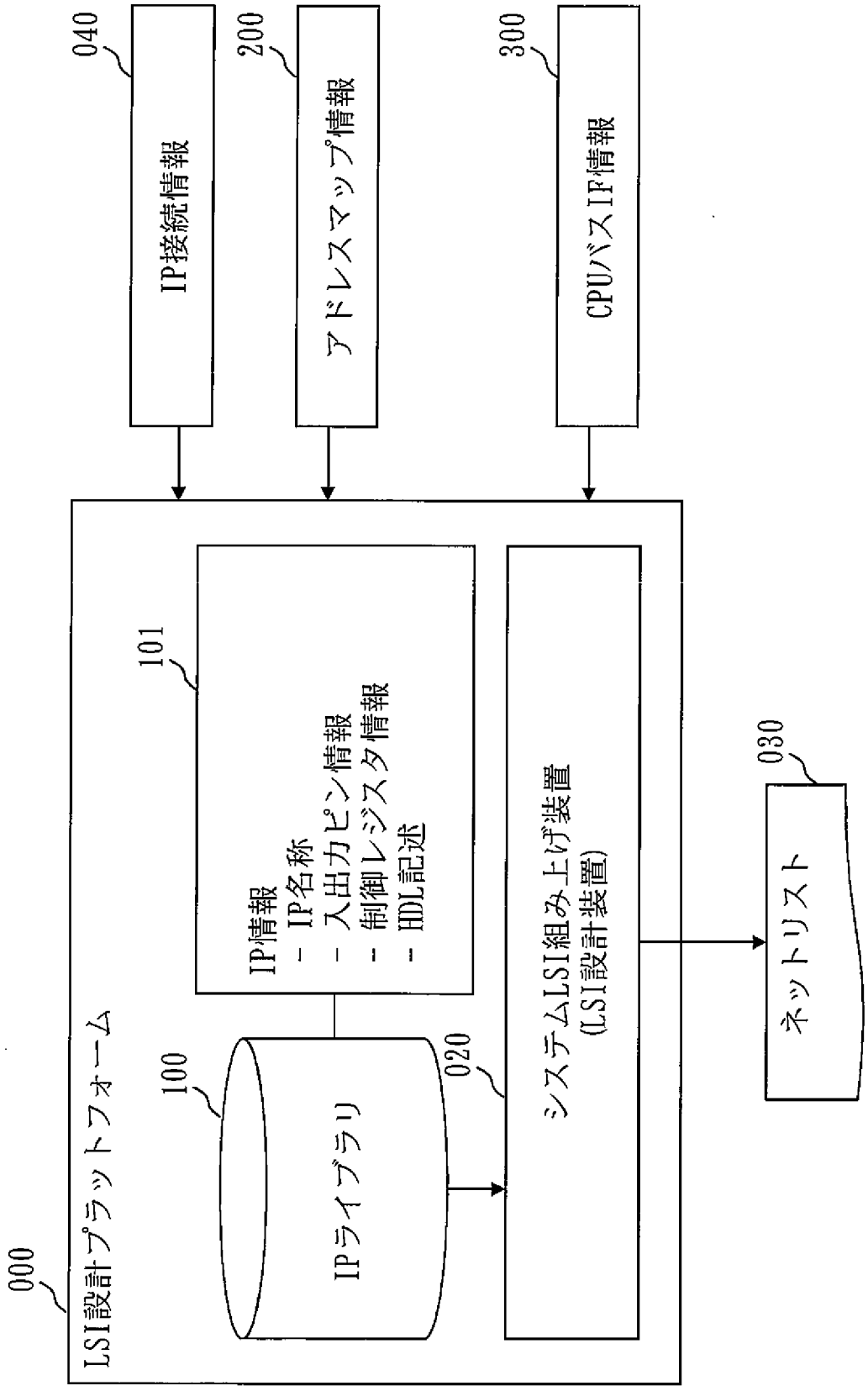
前記コンピュータが、セレクタと機能ブロックとの関係が表されるマクロモジュールを、前記セレクタモジュール生成ステップにより生成されたセレクタモジュールを用いて生成するマクロモジュール生成ステップとを有することを特徴とするＬＳＩ設計方法。

[請求項7] 設計対象のＬＳＩ（Ｌａｒｇｅ Ｓｃａｌｅ Ｉｎｔｅｇｒａｔｅ

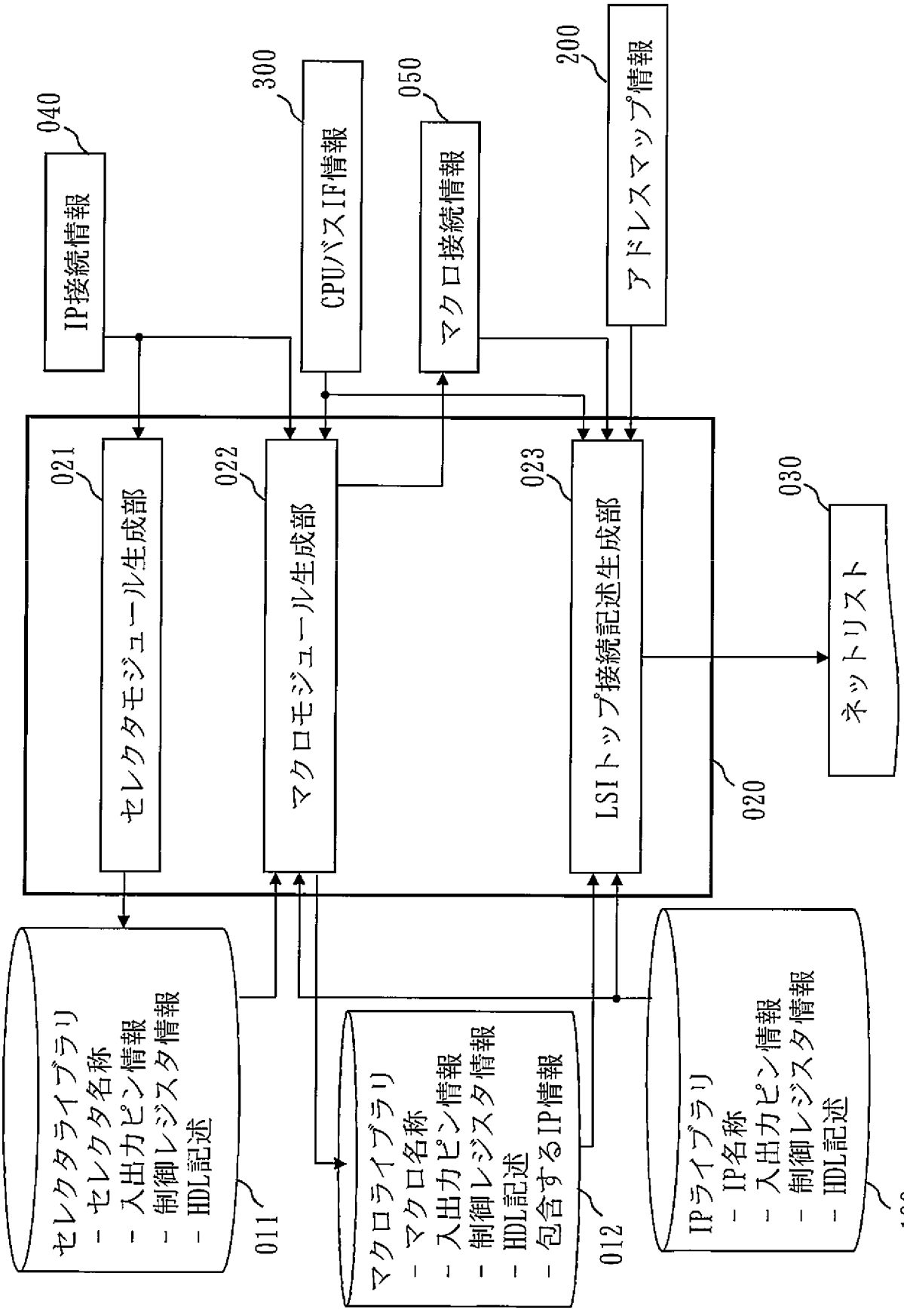
ｄ　Ｃｉｒｃｕｉｔ）に含まれる機能ブロック間の信号の入出力フローが記述される入出力フロー情報を入力し、入力した入出力フロー情報を解析し、入出力フロー情報に記述されている機能ブロック間の信号の入出力フローに合致するセレクタのセレクタモジュールを生成するセレクタモジュール生成ステップと、

セレクタと機能ブロックとの関係が表されるマクロモジュールを、前記セレクタモジュール生成ステップにより生成されたセレクタモジュールを用いて生成するマクロモジュール生成ステップとをコンピュータに実行させることを特徴とするプログラム。

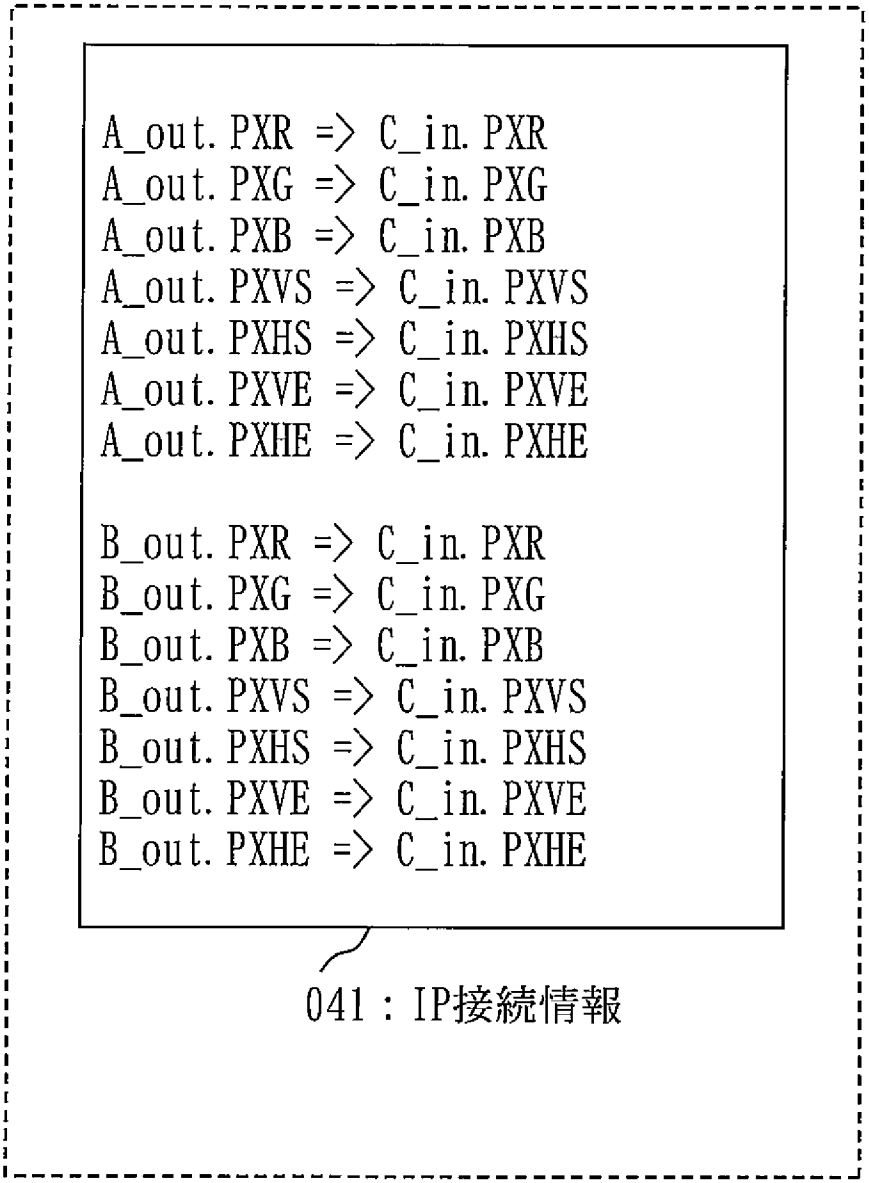
[図1]


040
IP接続情報
200
アドレスマップ情報
300
CPUバスIF情報
101
IP情報
- IP名称
- 入出力ピン情報
- 制御レジスタ情報
- HDL記述
100
IPライブラリ
020
システムLSI組み上げ装置
(LSI設計装置)
030
ネットリスト
000
LSI設計プラットフォーム

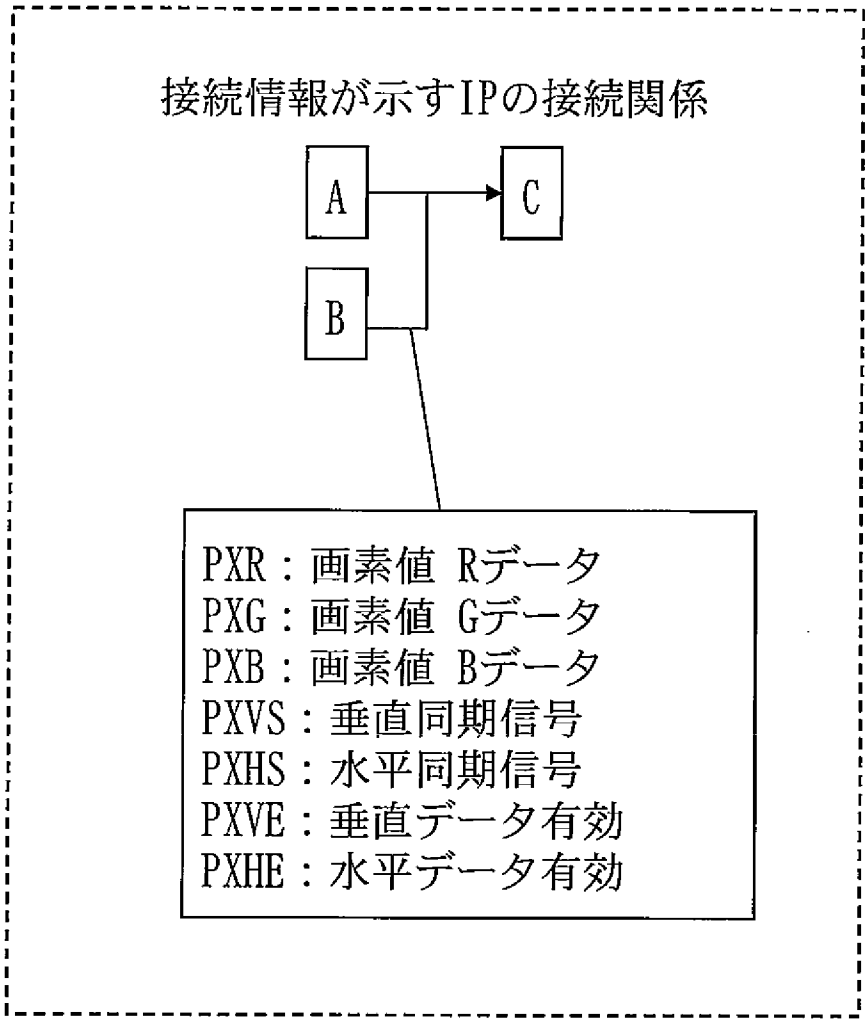
[図2]


040
IP接続情報
300
CPUバスIF情報
050
マクロ接続情報
200
アドレスマップ情報
021
セレクタモジュール生成部
022
マクロモジュール生成部
023
LSIトップ接続記述生成部
030
ネットリスト
020
セレクタライブラリ
- セレクタ名称
- 入出力ピン情報
- 制御レジスタ情報
- HDL記述
011
マクロライブラリ
- マクロ名称
- 入出力ピン情報
- 制御レジスタ情報
- HDL記述
- 包含するIP情報
012
IPライブラリ
- IP名称
- 入出力ピン情報
- 制御レジスタ情報
- HDL記述
100

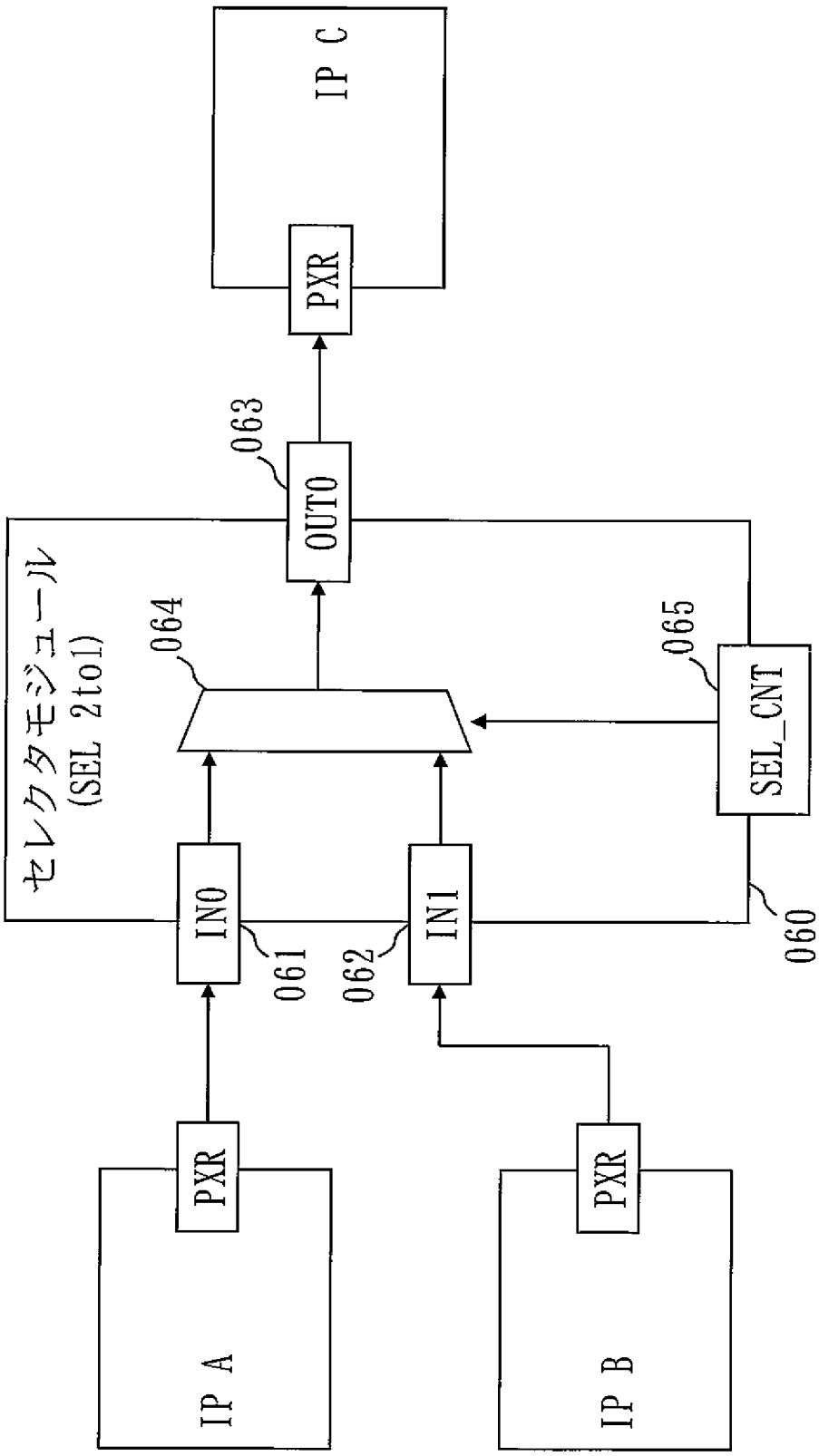
[図3]


A_out.PXR => C_in.PXR
A_out.PXG => C_in.PXG
A_out.PXB => C_in.PXB
A_out.PXVS => C_in.PXVS
A_out.PXHS => C_in.PXHS
A_out.PXVE => C_in.PXVE
A_out.PXHE => C_in.PXHE
B_out.PXR => C_in.PXR
B_out.PXG => C_in.PXG
B_out.PXB => C_in.PXB
B_out.PXVS => C_in.PXVS
B_out.PXHS => C_in.PXHS
B_out.PXVE => C_in.PXVE
B_out.PXHE => C_in.PXHE
041：IP接続情報

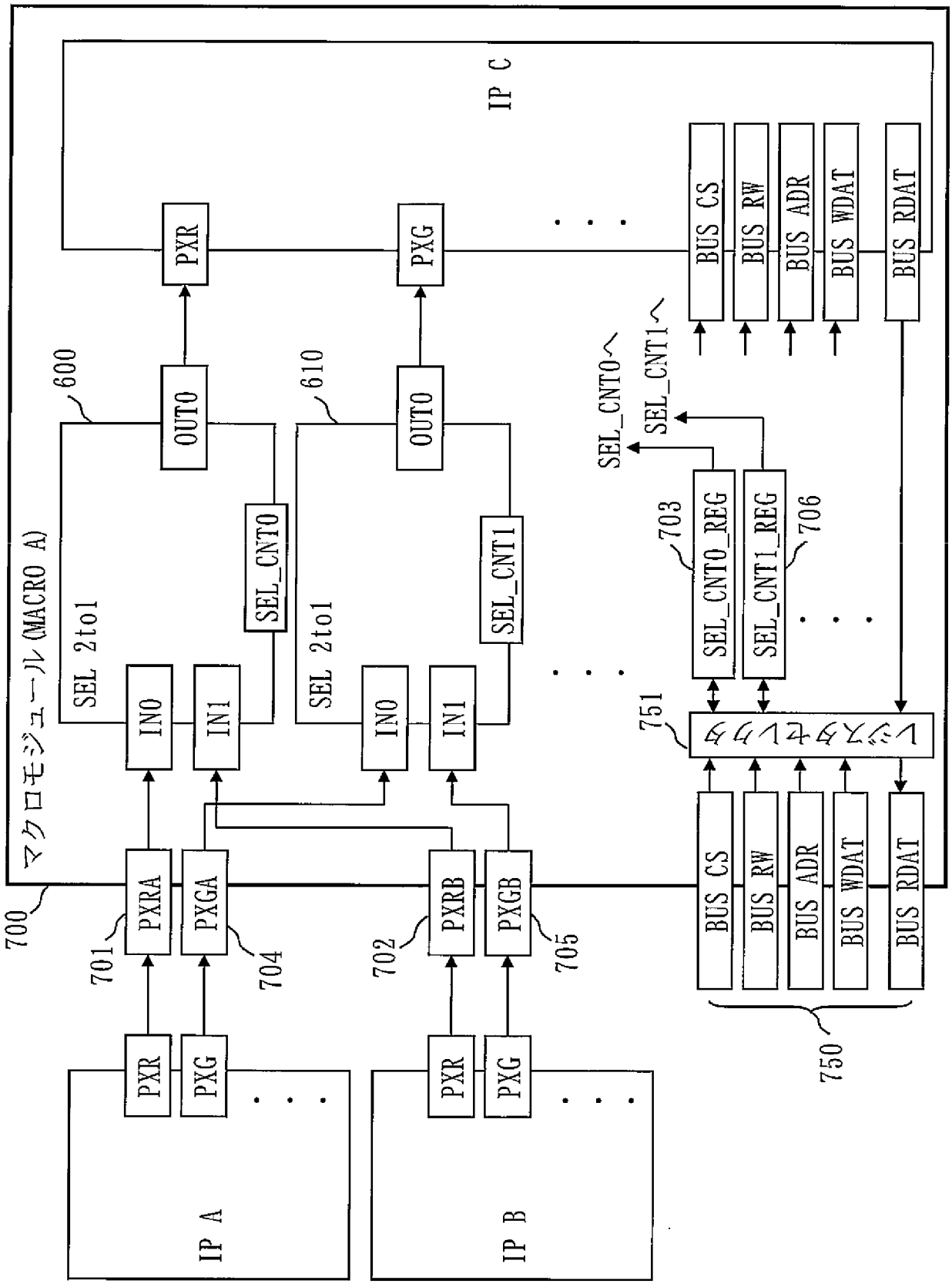
[図4]


接続情報が示すIPの接続関係
A
C
B
PXR：画素値 Rデータ
PXG：画素値 Gデータ
PXB：画素値 Bデータ
PXVS：垂直同期信号
PXHS：水平同期信号
PXVE：垂直データ有効
PXHE：水平データ有効

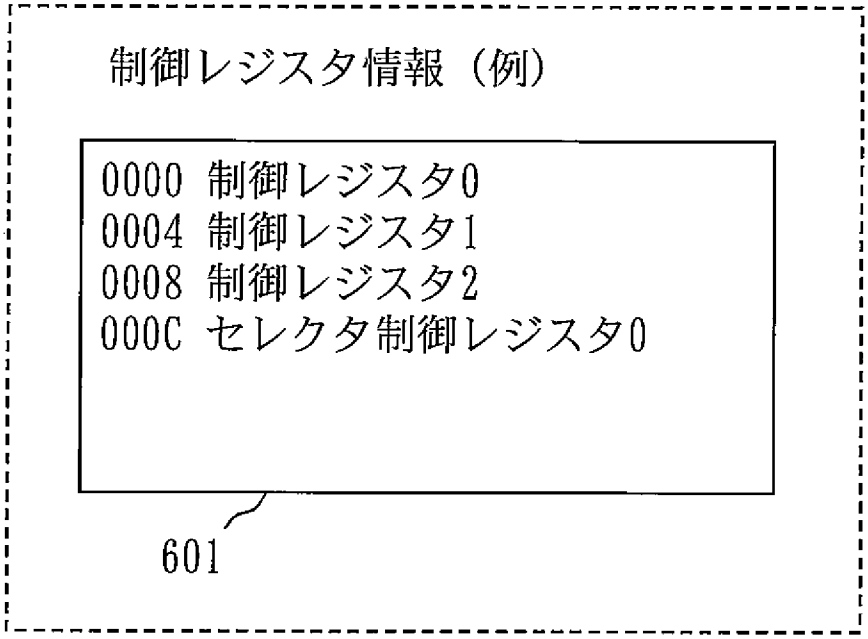
[図5]


IP C
PXR
063
OUT0
セレクタモジュール
(SEL 2to1)
064
065
SEL_CNT
IN0
IN1
061
062
060
PXR
PXR
IP A
IP B

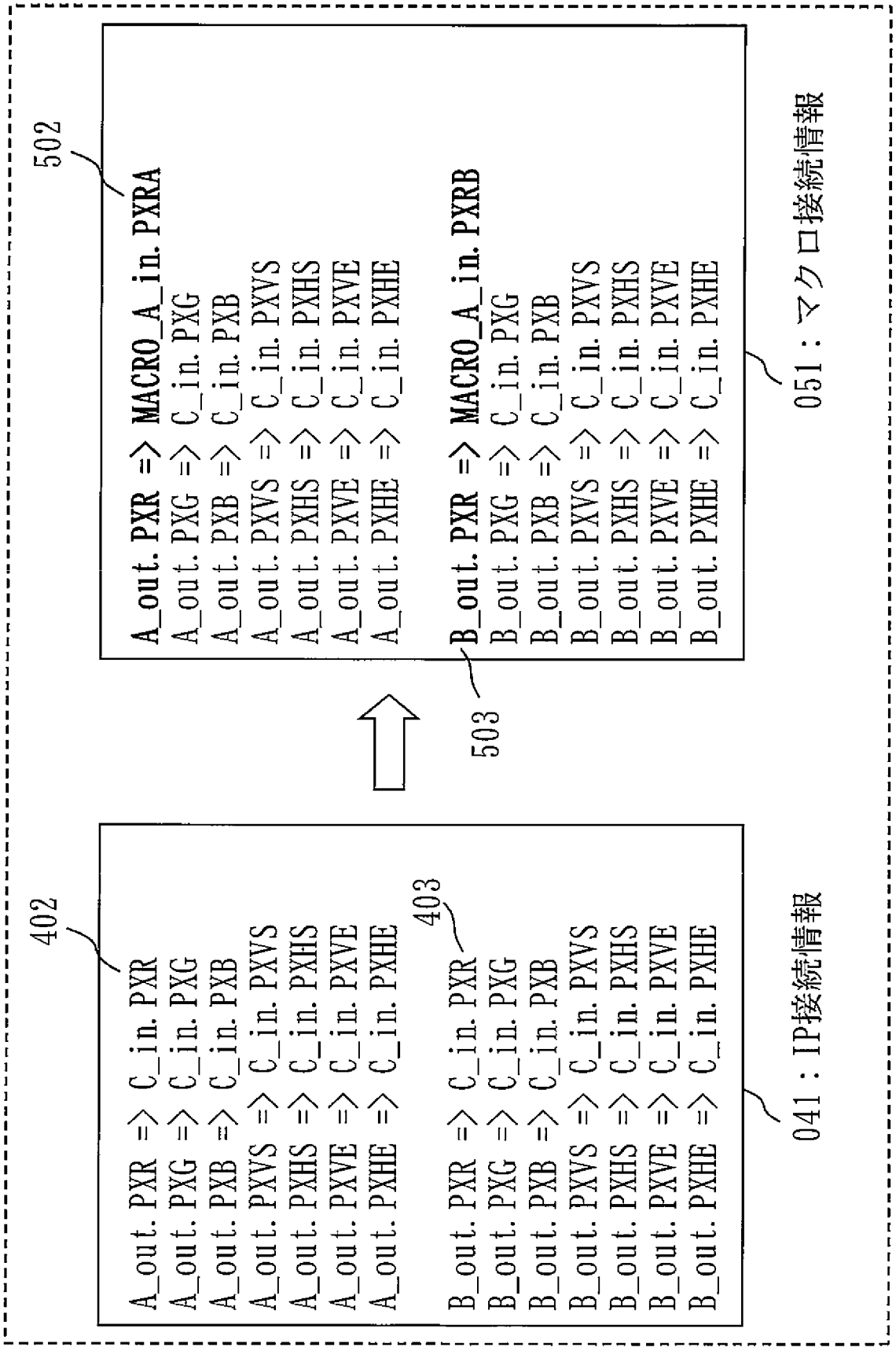
[図6]


マクロモジュール(MACRO A)
700
IP A
IP B
IP C
PXRA
PXGA
PXRB
PXGB
PXR
PXG
701
702
704
705
SEL 2to1
600
610
IN0
IN1
OUT0
SEL_CNT0
SEL_CNT1
SEL_CNT0_REG
SEL_CNT1_REG
703
706
751
750
BUS CS
BUS RW
BUS ADR
BUS WDAT
BUS RDAT

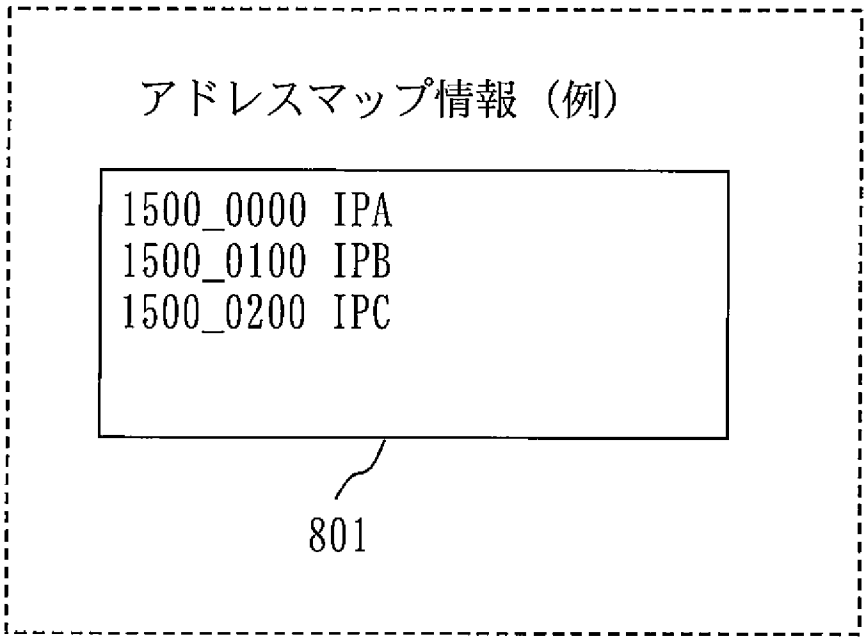
[図7]


制御レジスタ情報（例）
0000 制御レジスタ0
0004 制御レジスタ1
0008 制御レジスタ2
000C セレクタ制御レジスタ0
601

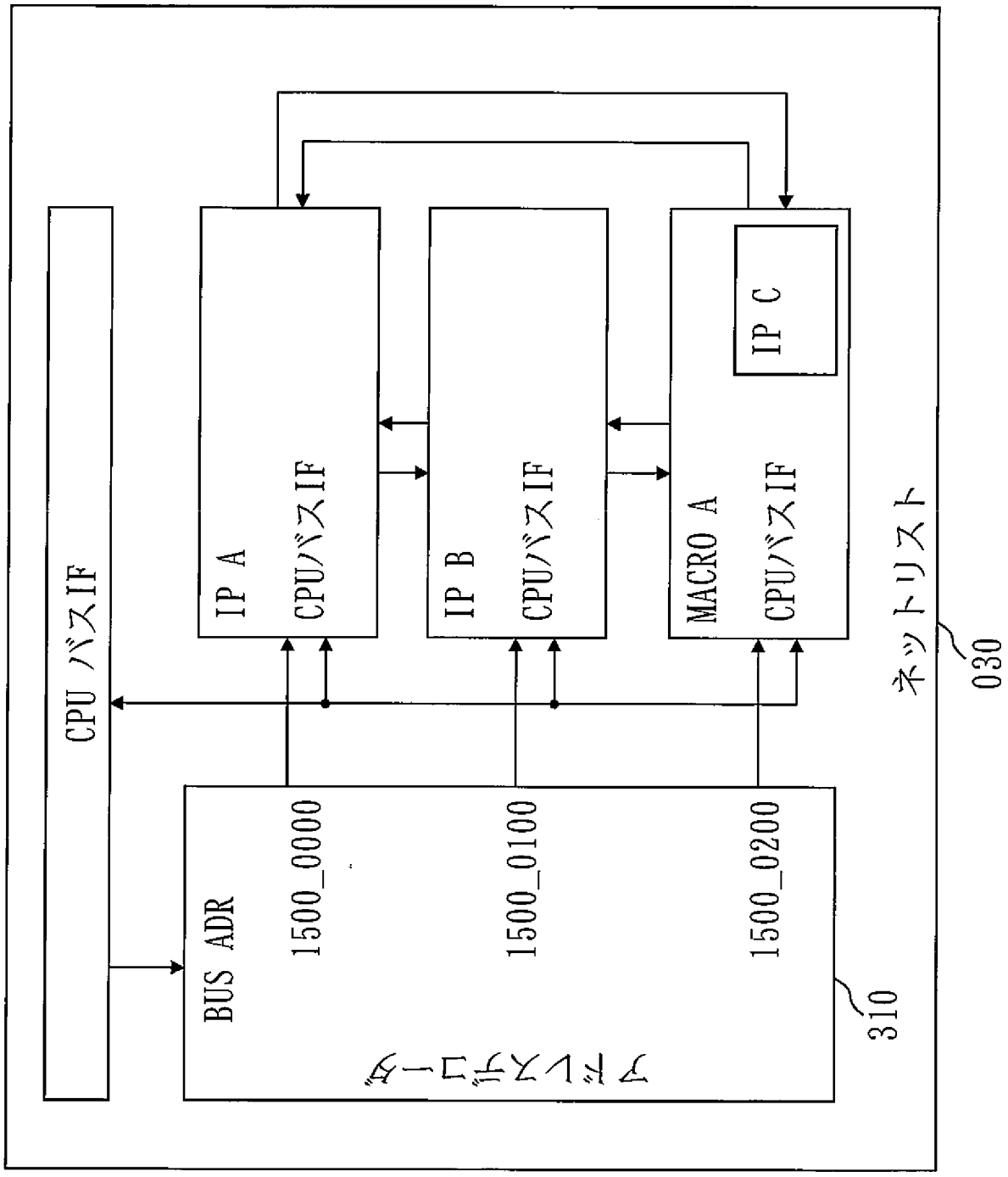
[図8]


502
A_out. PXR => MACRO_A_in. PXRA
A_out. PXG => C_in. PXG
A_out. PXB => C_in. PXB
A_out. PXVS => C_in. PXVS
A_out. PXHS => C_in. PXHS
A_out. PXVE => C_in. PXVE
A_out. PXHE => C_in. PXHE
B_out. PXR => MACRO_A_in. PXRB
B_out. PXG => C_in. PXG
B_out. PXB => C_in. PXB
B_out. PXVS => C_in. PXVS
B_out. PXHS => C_in. PXHS
B_out. PXVE => C_in. PXVE
B_out. PXHE => C_in. PXHE
051：マクロ接続情報
503
402
A_out. PXR => C_in. PXR
A_out. PXG => C_in. PXG
A_out. PXB => C_in. PXB
A_out. PXVS => C_in. PXVS
A_out. PXHS => C_in. PXHS
A_out. PXVE => C_in. PXVE
A_out. PXHE => C_in. PXHE
403
B_out. PXR => C_in. PXR
B_out. PXG => C_in. PXG
B_out. PXB => C_in. PXB
B_out. PXVS => C_in. PXVS
B_out. PXHS => C_in. PXHS
B_out. PXVE => C_in. PXVE
B_out. PXHE => C_in. PXHE
041：IP接続情報

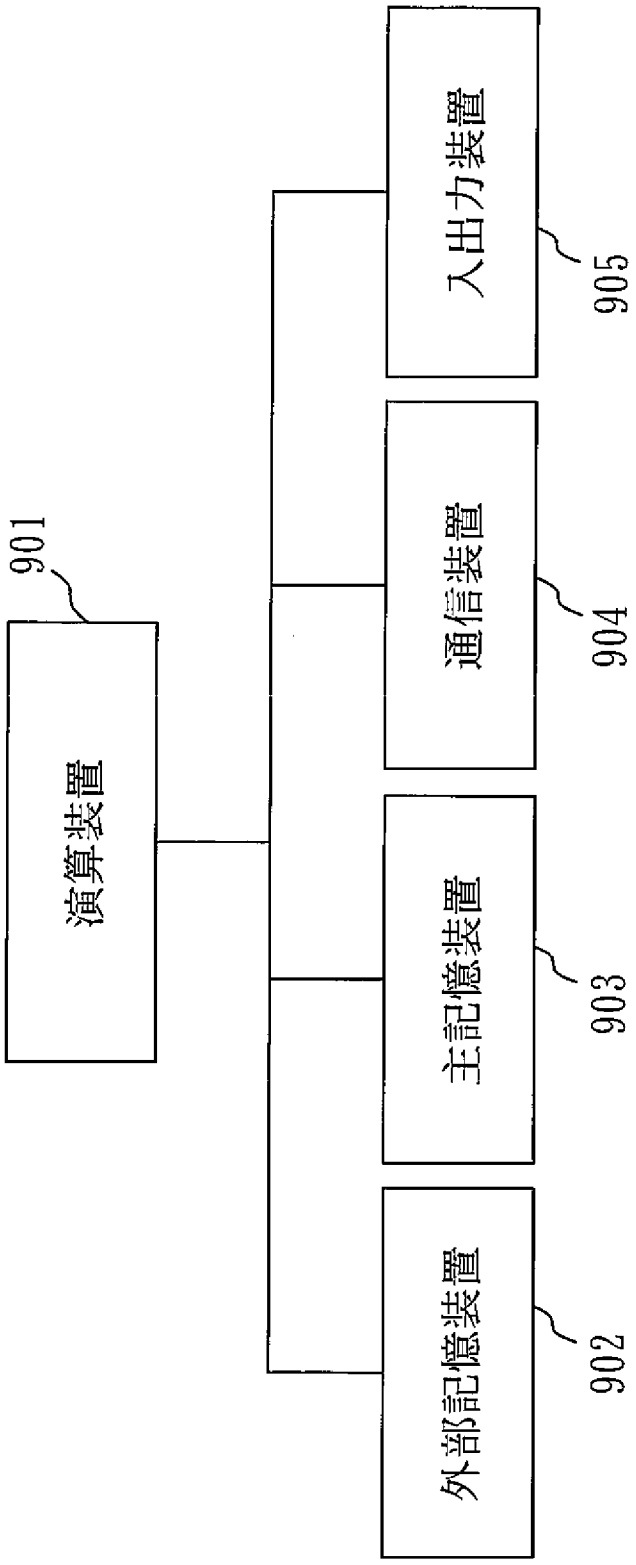
[図9]



[図10]


CPU バスIF
IP A
CPUバスIF
IP B
CPUバスIF
MACRO A
CPUバスIF
IP C
ネットリスト
030
BUS ADR
1500_0000
1500_0100
1500_0200
アドレスデコーダ
310

[図11]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2013/063914

A. CLASSIFICATION OF SUBJECT MATTER
G06F17/50(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G06F17/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2013
Kokai Jitsuyo Shinan Koho 1971-2013 Toroku Jitsuyo Shinan Koho 1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
IEEE Xplore, CiNii, JSTPlus(JDreamIII)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2004-213301 A (Renesas Technology Corp.), 29 July 2004 (29.07.2004), paragraphs [0008] to [0075]; fig. 2 & US 2004/0139409 A1	1-7
Y	JP 2006-244274 A (Matsushita Electric Industrial Co., Ltd.), 14 September 2006 (14.09.2006), paragraphs [0026] to [0028] (Family: none)	1-7
Y	JP 2007-193842 A (Matsushita Electric Industrial Co., Ltd.), 02 August 2007 (02.08.2007), paragraphs [0023] to [0038] (Family: none)	1-7

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
24 June, 2013 (24.06.13)	02 July, 2013 (02.07.13)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１３／０６３９１４

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　G06F17/50(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　G06F17/50

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１３年
日本国実用新案登録公報	１９９６－２０１３年
日本国登録実用新案公報	１９９４－２０１３年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

IEEE Xplore, CiNii, JSTPlus(JDreamIII)

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2004-213301 A (株式会社ルネサステクノロジ) 2004.07.29, 段落【0008】-【0075】, 第２図 & US 2004/0139409 A1	1-7
Y	JP 2006-244274 A (松下電器産業株式会社) 2006.09.14, 段落【0026】-【0028】 (ファミリーなし)	1-7

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー

「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの

「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「Ｏ」口頭による開示、使用、展示等に言及する文献

「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「＆」同一パテントファミリー文献

国際調査を完了した日 ２４．０６．２０１３	国際調査報告の発送日 ０２．０７．２０１３
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　５Ｍ　４６８９ 合田　幸裕 電話番号　０３－３５８１－１１０１　内線　３５９９

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2007-193842 A (松下電器産業株式会社) 2007.08.02, 段落【0023】-【0038】 (ファミリーなし)	1-7