

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 21/336 (2006.01)

H01L 21/20 (2006.01)

H01L 21/84 (2006.01)



[12] 发明专利说明书

专利号 ZL 200610100797.8

[45] 授权公告日 2009 年 3 月 18 日

[11] 授权公告号 CN 100470739C

[22] 申请日 1998.1.20

[21] 申请号 200610100797.8

分案原申请号 200410064254.6

[30] 优先权

[32] 1997.1.20 [33] JP [31] 22077/1997

[32] 1997.4.26 [33] JP [31] 123088/1997

[73] 专利权人 株式会社半导体能源研究所

地址 日本神奈川县厚木市

[72] 发明人 山崎舜平 大谷久

[56] 参考文献

US 4728617 1988.3.1

CN 1090426 A 1994.8.3

CN 1136707 A 1996.11.27

CN 1108004 A 1995.9.6

审查员 王 娜

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 梁 永

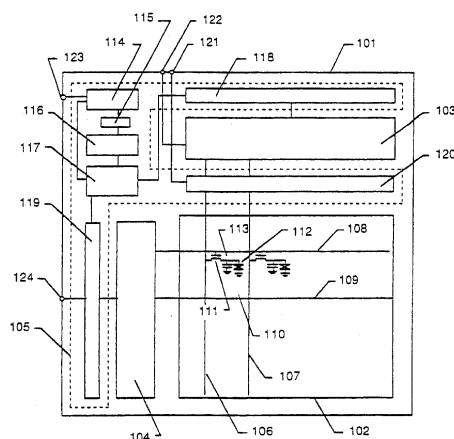
权利要求书 2 页 说明书 37 页 附图 23 页

[54] 发明名称

一种便携式信息终端和一种摄象机

[57] 摘要

本发明提供了含有一个显示器件的便携式信息终端或摄象机，所述显示器件包括包括在同一基片上的像素矩阵电路、驱动电路和逻辑电路，其中像素矩阵电路、驱动电路和逻辑电路包括多个薄膜晶体管，每个薄膜晶体管皆具有结晶硅膜的有源层，和 60 - 100mV/十位的亚阈值系数，及其中根据各电路所需的特性，包括在各电路中的多个薄膜晶体管的沟道形成区由生长距离彼此不同的各横向生长区制成。因此，形成于一个横向生长区中的 TFT 的特性能够尽可能的一致。



1. 一种制造半导体器件的方法，包括以下步骤：

在具有绝缘表面的衬底上形成非晶硅膜；

将用于促进硅膜结晶的催化元素选择性地添加到所述非晶硅膜中；

通过热处理使所述非晶硅膜从催化元素添加区域的起点结晶，形成晶体硅膜制造的多个横向生长区；

形成有源层，在每个有源层中至少沟道形成区域只由所述横向生长区形成；

在每个有源层上形成氧化硅膜；和

通过在含有卤素元素的气氛中进行热处理，除去每个有源层中的催化元素，和对所述有源层执行热氧化；

其中添加催化元素的步骤通过离子注入的方法或等离子体掺杂的方法执行，在同样的衬底上至少一个部分中添加的催化元素的浓度与另一个被添加催化元素的区域中催化元素的浓度不同。

2. 一种制造半导体器件的方法，包括以下步骤：

在具有绝缘表面的衬底上形成非晶硅膜；

将用于促进硅膜结晶的催化元素选择性地添加到所述非晶硅膜中；

通过热处理使所述非晶硅膜从催化元素添加区域的起点结晶，形成晶体硅膜制造的多个横向生长区；

形成有源层，在每个有源层中至少沟道形成区域只由所述横向生长区形成；

在每个有源层上形成氧化硅膜；和

通过在含有卤素元素的气氛中进行热处理，除去每个有源层中的催化元素，和对所述有源层执行热氧化；

其中添加催化元素的步骤通过离子注入的方法或等离子体掺杂的方法执行；且，根据有源层中沟道的长度在同样的衬底上添加不同浓度的催化元素。

3. 根据权利要求1或2的方法，其中每个添加催化元素的区域的短边的长度是0.01—1 μm 。

4. 根据权利要求1或2的方法，其中以下组中的一种或多种元素被选择为所述催化元素：Ni、Co、Fe、Sn、Pb、Pd、Pt、Cu、Au。

5. 根据权利要求 1 或 2 的方法, 其中以下组中的一种或多种含有卤素的物质被包含在所述含有卤素元素的气氛中: HCl 、 HF 、 NF_3 、 HBr 、 Cl_2 、 ClF_3 、 BCl_3 、 F_2 、 Br_2 。

一种便携式信息终端和一种摄象机

本申请是申请日为 1998 年 1 月 20 日、分案提交日为 2004 年 8 月 20 日、申请号为 200410064254.6、发明名称为“一种便携式信息终端和一种摄象机”的发明专利申请的分案申请。

技术领域

本发明涉及一种半导体器件，该半导体器件由形成于有绝缘表面的基片上的薄膜晶体管（TFT）构成。这种半导体器件包括 IC、LSI、电光器件等等，本发明应用于电光器件特别有效。

背景技术

近年来，对由多晶硅薄膜（多晶硅膜：P-Si 膜）TFT 代替非晶硅薄膜（非晶硅膜：a-Si）TFT 构成的半导体器件的研究已有了进展。特别是，由于对于作为 PC 监视器、视频摄象机、和投影仪等的显示器件的需求日益增长，对半导体器件集成于基片上的有源矩阵型显示器件的开发和研究成绩卓著。

关于这种有源矩阵型显示器件，已知有一种公开于 US 专利 5250931（Misawa 等人）。然而，近来需要附加值，已提出 SOP（屏板上系统）计划，其中常规通过外部配置的 IC 实现的逻辑电路（信号处理电路例如显示控制电路和运算电路）通过 TFT 安装在同一基片上。

另外，对于由 TFT 制造常规 IC 或 VLSI 自身的研究已取得进展。这是因为 TFT 形成于绝缘基片上，以使其具有寄生电容极小的特点，且可以说在高速工作时 TFT 比形成于单晶硅上的 FET 更有效。

然而，形成能够实现此计划的 TFT 的技术尚未确立。理由是使用目前采用的多晶硅膜（包括称作高温多晶硅和低温多晶硅膜）时，很难得到有足够性能的 TFT，无法构成需高频驱动的课程。

尽管可以通过减小 TFT 的尺寸暂时提高 TFT 的工作速度，但沟道长度（或栅长度）的减小引起了短沟道效应，所以导致了例如使漏极耐压降低等缺点。所以在利用常规硅薄膜的 TFT 中，利用比例律对工作速度的提高很有限，且从可靠性的角度出发很难进一步提高工作速度。而且，硅薄膜存在以下问题，即晶粒和晶界不规则，而晶界很大程度上影响着 TFT

的特性引起不规则。

发明内容

本发明的目的是克服上述问题，提供一种由形成于有绝缘表面的基片上的 TFT 构成的半导体器件。特别是，本发明的目的是提供一种带有由 TFT 构成的逻辑电路且功能上系统化的电光器件（此后称作系统显示器件）。

顺便提及，该半导体器件包括利用半导体功能的所有器件，所有 IGFET、TFT、IC、电光器件及其应用的产品皆包括在广泛意义上的半导体器件范畴内。

根据本发明的一个方案，提供了一种含有一个显示器件的便携式信息终端，所述显示器件包括包括在同一基片上的像素矩阵电路、驱动电路和逻辑电路，其中像素矩阵电路、驱动电路和逻辑电路包括多个薄膜晶体管，每个薄膜晶体管皆具有结晶硅膜的有源层，和 60—100mV/十位的亚阈值系数，及其中根据各电路所需的特性，包括在各电路中的多个薄膜晶体管的沟道形成区由生长距离彼此不同的各横向生长区制成。

本发明还提供了一种含有一个显示器件的摄象机，所述显示器件包括在同一基片上的像素矩阵电路、驱动电路和逻辑电路，其中所述像素矩阵电路、驱动电路和逻辑电路包括多个薄膜晶体管，每个薄膜晶体管皆具有结晶硅膜的有源层，和 60—100mV/十位的亚阈值系数，及其中包括在各电路中的多个薄膜晶体管的至少沟道形成区的每一个皆由多个条形晶体区制成，及其中在多个条形晶体区内部相邻晶体区的所有边界或基本所有边界处，多个晶体区中的各原子连续排列，没形成晶格缺陷，其中“基本所有”表示即使存在硅原子悬挂键，该部分也会被氢或卤族元素抵消，不会变成晶格缺陷。

本发明还提供了一种含有一个显示器件的摄象机，所述显示器件包括包括在同一基片上的像素矩阵电路、驱动电路和逻辑电路，其中像素矩阵电路、驱动电路和逻辑电路包括多个薄膜晶体管，每个薄膜晶体管皆具有结晶硅膜的有源层，和 60—100mV/十位的亚阈值系数，及其中根据各电路所需的特性，包括在各电路中的多个薄膜晶体管的沟道形成区由生长距离彼此不同的各横向生长区制成。

在所述便携式信息终端或所述摄象机中，一些横向生长区将变成构成逻辑电路和/或驱动电路的薄膜晶体管的沟道形成区，另一些横向生长区将变成构成像素矩阵电路的薄膜晶体管的沟道形成区，而且前者的生长距

离小于后者的生长距离。

其中所述多个薄膜晶体管的沟道长度与横向生长区的生长距离有关。

本发明还提供了一种含有一个显示器件的摄象机，所述显示器件包括在同一基片上的像素矩阵电路、驱动电路和逻辑电路，其中所述像素矩阵电路、驱动电路和逻辑电路包括多个薄膜晶体管，每个薄膜晶体管皆具有结晶硅膜的有源层，和 $60-100\text{mV}/\text{十位的亚阈值系数}$ ，及其中包括在各电路中的多个薄膜晶体管的至少沟道形成区的每一个皆由多个条形晶体区制成，及其中在多个条形晶体区内部相邻晶体区的所有边界或基本所有边界处，多个晶体区中的各原子连续排列，没形成晶格缺陷。

在所述便携式信息终端或所述摄象机中，所述晶体区包括氢或卤族元素，以抵消边界处不能连续排列的原子。

在所述便携式信息终端或所述摄象机中，所述多个薄膜晶体管的至少沟道形成区的每一个皆由多个条形晶体区制成。

在所述便携式信息终端或所述摄象机中，结晶硅膜由一种晶体结构体构成，所说晶体结构体中聚集了彼此平行生长的多个棒状或扁平棒状晶体。

在所述便携式信息终端或所述摄象机中，在构成结晶硅膜的棒状或扁平棒状晶体内，晶格彼此连续连接，以便内部被当作用于载流子的单晶。

在所述便携式信息终端或所述摄象机中，至少有源层的沟道形成区是本征的区或基本上是本征的区。

在所述便携式信息终端或所述摄象机中，所述有源层包括选自 Ni、Co、Fe、Sn、Pb、Pd、Pt、Cu、Au 中的一种或多种元素，用作催化元素，以促使硅膜的结晶，所述催化元素的浓度不大于 1×10^{17} 原子/ cm^3 。

在所述便携式信息终端或所述摄象机中，所述有源层包括选自 Cl、F 和 Br 中的一种或几种元素，这些元素的浓度为 $1 \times 10^{15}-1 \times 10^{20}$ 原子/ cm^3 。

在所述便携式信息终端或所述摄象机中，构成所述多个薄膜晶体管中每一个薄膜晶体管的有源层和栅绝缘膜之间的界面包括高浓度的选自 Cl、F 和 Br 中的一种或几种元素。

在所述便携式信息终端或所述摄象机中，在多个薄膜晶体管中，构成需不小于 0.1GHz 驱动频率的电路的薄膜晶体管的沟道长度为 $0.25-0.7\mu\text{m}$ ，构成需工作电压超过 10V 的电路的薄膜晶体管的沟道长度为 $2-20\mu\text{m}$ 。

在所述便携式信息终端或所述摄象机中，在多个薄膜晶体管中，构成需不小于 0.1GHz 驱动频率的驱动电路的薄膜晶体管的沟道长度为 0.25-0.7 μm ，构成需工作电压超过 10V 的象素矩阵电路的薄膜晶体管的沟道长度为 2-20 μm 。

在所述便携式信息终端或所述摄象机中，所述摄象机选自视频摄象机和静态摄象机组成的组。

附图说明

图 1 是展示系统显示器的顶视图。

图 2 是说明离子注入步骤的示图。

图 3 是说明本发明的第二结构的示图。

图 4A 和 4B 是展示运算放大器件结构和电路构形的示图。

图 5A-5E 是展示 CMOS 电路和象素 TFT 制造步骤的示图。

图 6A-6E 是展示 CMOS 电路和象素 TFT 制造步骤的示图。

图 7A-7D 是展示 CMOS 电路和象素 TFT 制造步骤的示图。

图 8 是说明独特结晶结构的照片。

图 9 是说明环形振荡器频率特性的示图。

图 10 是展示环形振荡器的输出波谱的照片。

图 11 是展示移位寄存器的输出脉冲的照片。

图 12 是展示频率和脉冲宽度间关系的示图。

图 13 是说明按比例律 (the scaling law) 的示图。

图 14A 和 4B 中说明象素区的构形和结构的示图。

图 15A 和 15B 是展示 CMOS 电路结构的示图。

图 16A-16E 是展示应用产品的示图。

图 17A-17D 是说明晶界的晶格情况的照片和示意图。

图 18A-18C 是展示半导体器件的制造方法的示图。

图 19A-19C 是展示半导体器件的制造方法的示图。

图 20A-20D 是展示半导体器件的制造方法的示图。

图 21A-21C 是展示半导体器件的制造方法的示图。

图 22A 和 22 B 是展示半导体器件的制造方法的示图。

图 23 是展示离子注入步骤的示图。

图 24A-24C 是展示半导体器件的制造方法的示图。

图 25 是展示象素区结构的示图。

图 26A 和 26B 是展示应用于反射型液晶显示器件的半导体器件的顶视图和剖面图。

具体实施方式

实施例 1

图 1 是作为本发明的半导体器件实例的系统显示器的方框图。本发明的系统显示器的构成如下，在基片 101 上集成像素矩阵电路 102、源线驱动电路 103、栅线驱动电路 104 和逻辑电路 105。此实施例中，以有源矩阵型液晶显示器件作为例子。

顺便提及，该实施例所示的电路结构仅是一个实例，本发明的电路结构并不限于此。本发明的要点是逻辑电路 105 装在同一基片上，包括像素矩阵电路 102、源线驱动电路 103、栅线驱动电路 104 和逻辑电路 105 等各种电路的结构根据电路设计的需要确定。

图 1 中，源线驱动电路 103 主要由移位寄存器、电平移位器、缓冲器、锁存电路等构成。栅线驱动电路 104 主要由移位寄存器、多路转换器、电平移位器、缓冲器等构成。自然移位寄存器可以由具有同样功能的电路例如计数器和译码器代替。尽管图 1 示出了数字工作的电路结构，但如果系统显示器设计成模拟工作，则源线驱动电路 103 包括采样和保持电路等。

源线驱动电路 103 中和栅线驱动电路 104 中的各电路作为基本电路，由 CMOS 结构的反相电路构成，其中 N 沟道 TFT 和 P 沟道 TFT 彼此互补结合。自然，尽管可以采用单极电路，但从降低电功耗的角度出发，合适的是静态型或动态型 CMOS 结构电路。

像素矩阵电路 102 由设置成矩阵的多个像素区 110 构成，由连接到源线驱动电路 103 的多条源线 106 和 107 及连接到栅线驱动电路 104 的多条栅线 108 和 109 包围着。

多个像素区 110 的每一个皆包括像素 TFT111、液晶单元 112、和附加电容 113。尽管未示出，液晶单元 112 由像素电极、相反电极和两者间的液晶构成。

逻辑电路 105 是指进行图象显示所必需的信号处理所需的所有电路，例如驱动源线驱动电路 103 和栅线驱动电路 104 的启动脉冲、时钟信号等的处理，使像素矩阵电路 102 进行图象显示的视频信号的处理。

在图 1 所示的实施例中，逻辑电路 105 包括相位比较器 114、LPF（低通滤波器）115、VCO（电压控制的振荡器）116、分频器 117、源线驱动

器的振荡器 118（用于水平扫描）、栅线驱动器的振荡器 119（用于垂直扫描）和 D/A 转换器（数字到模拟转换器）120。

本发明人认为，通过单片安装其它未示出的逻辑电路，例如输入和输出从图象传感器或 CCD 传输的信号用的 I/O 接口、放大电路（差分放大器，运算放大器，比较器等）、A/D 转换器、存储数据的存储器（RAM、ROM 等）和最后的辅助电路，可以实现具有 CPU（中央处理单元）功能的系统显示器。

参考数字 121 表示根据数字色调信号的模拟信号的输入端，122 表示选择数字色调信号的比特信号的输入端，123 表示水平扫描同步信号的输入端，124 表示垂直扫描同步信号的输入端。自然，如果产生模拟信号、比特信号和同步信号的振荡电路集成在基片上，则不再需要输入端。

由于这种系统显示器是由有绝缘表面的基片上的 TFT 制造的，所以其优点是寄生电容比制造于单晶硅上的常规 TFT 小。从提高 TFT 的工作速度来看这是最好不过的了。而且，由于利用硅薄膜的岛状半导体层用于构成有源层，所以，容易实现元件间的隔离，对掺入有源层的磷或硼浓度的控制也变简单。

[本发明的第一结构]

为了实现图 1 所示的系统显示器，必需用本发明人发明的独特晶体结构体的结晶硅膜 TFT。下面说明这种独特晶体结构体的特点和由其构成的 TFT 的特点。

[该独特晶体结构体的特点]

图 8 是该独特晶体结构体的结晶硅膜的 TEM 照片，其放大倍数为 250000。如图 8 所示，本发明人获得的结晶硅膜具有以下特点。

- (1) 晶格结构为晶格在几乎特定的方向上彼此连续连接。
- (2) 细棒状（或柱状）晶体或薄扁平棒状晶体生长。
- (3) 多个棒状或扁平棒状晶体彼此平行或基本平行地在一个方向上生长。

观察图 8 所示照片，可以证实例如约 $0.15\mu\text{m}$ 的窄宽度的棒状晶体在从左下方到右上方的斜方向上延伸，限定的边界（晶界）在晶体宽度方向的两端（照片中所见的阴影线等是由于晶面方向不同的缘故）。另外，可以证实，由于多个棒状晶体在基本彼此平行的方向生长，所以多个晶界也基本平行地延伸。由于这些晶界变为载流子（电子或空穴）的能量势垒，

所以载流子不可避免地只能在带有极性的棒状晶体内运动。

如以下的详细说明，由于在含卤素元素的气氛中，在超过 700℃ 的温度下进行热处理，晶体结构体的结晶度极大提高，且通过吸杂去掉了催化元素，所以催化元素未引起任何问题。这样，棒状晶体内的晶格彼此间必然连续相连，其内部变为对于载流子实为单晶的区。所以，还有一个特点，即几乎没有任何阻挡载流子运动的杂质散射。

在形成 TFT 的有源层时，通过设计成使载流子的运动方向与晶界的延伸方向一致，可以极大提高载流子的迁移率。这是因为载流子的运动被晶界调节到一个特定方向，从而由于载流子间的碰撞导致的散射显著减弱的缘故。与此类似，在单一结晶结构体构成的结晶硅膜形成有源层时，可以说有源层对于载流子的特性来说各向异性。

另外，可以给出单一结晶结构体的特点，即晶格在棒状或扁平棒状晶体的晶界处彼此间是连续连接的。下面将参照图 17A—17D 对此进行说明。

图 17A 是 HRTEM（高分辨率 TEM）照片，展示的是由单一结晶结构体构成的结晶硅膜中的棒状或扁平棒状晶体的放大晶界。用 HRTEM 分析观察晶体的晶象。本发明人通过观察晶界中晶象，获得了以下发现。

利用图 17A 所示的 HRTEM 照片，可以证实，在照片的中间从上到下可见的晶界（晶粒间界）处，相邻结晶区彼此适当且连续地连接。图 17B 示意地简化地展示了图 17A 所示结构。如图 17B 所示，尽管具有不同方向的晶象在晶界彼此间是一致的，但该图意味着由于构成不同结晶区的原子在晶界处彼此相应，所以未形成如未配对键（悬挂键）等晶格缺陷。

结晶硅膜由多组棒状或扁平棒状晶体构成，不可避免地在所有或基本所有晶界中形成如图 17 所示的结构。这里，“基本所有”一词是指即使存在硅原子悬挂键，该部分也会被氢或卤族元素抵消（终止），所以该部分不会变成晶格缺陷。

另一方面，作为参考，图 17C 中示出由另一晶体结构体构成的结晶硅膜（该膜称为高温多晶硅）的 TRTEM 照片。图 17D 是其示意图。在图 17C 中，可以证实，照片中心可见的晶界处，左侧晶体区的晶象与右侧晶体区无序连接。即，如图 17D 所示，由于原子彼此不相应，剩余键作为悬挂键 1701 和 1702 存在。所以，晶界处有许多载流子陷阱。

如上所述，由本发明的独特晶体结构体构成的结晶硅膜的连接结构与

常规结晶硅膜十分不同，该硅膜的特点是尽管具有晶界，但它们不会变成载流子的复合中心。

（利用独特晶体结构体的 TFT 的特点）

用可购得的晶体管特性测量装置（Hewlett Packard 制造的：型号为 4145B）测量具有由上述晶体结构体构成的结晶硅膜有源层的 TFT 的电特性。于是得到以下结果。

（1）亚阈值系数为展示 TFT 的开关性能（开/关操作变化的瞬间）的参数，对于 N 型 TFT 和 P 型 TFT 来说皆小至 60—100mV/十位（一般为 60—85mV/十位）。该数值几乎等于单晶硅制的绝缘栅场效应晶体管（IGFET）。

（2）场效应迁移率（ μ_{FE} ）是表示 TFT 工作速度的参数，对于 N 型 TFT 来说，它大至 200—650cm²/Vs（一般为 250—300 cm²/Vs），对于 P 型 TFT 来说，它为 100—300cm²/Vs（一般为 150—200 cm²/Vs）。这意味着本发明的 TFT 的工作速度比常规 TFT 大三倍。

（3）阈值电压（ V_{th} ）为表示 TFT 驱动电压标准的参数，对于 N 型 TFT 来说，它小至 -0.5—1.5V，对于 P 型 TFT 来说，为 -1.5—0.5V。这意味着本发明的 TFT 可以由小源电压驱动，所以电功耗可以很小。

如上所述，上述晶体结构体构成的 TFT 具有极佳的开关特性和极高的工作速度特性。另外，由于这种独特晶体结构体，该 TFT 具有几乎不受短沟道效应影响的特点。该特点将在以下说明。

通常，根据按比例律（the scaling law）减小了 IC 领域中器件的尺寸，实现了的电路和集成和元器件特性的提高。然而，在沟道长度（沟道形成区中载流子运动方向的距离）小于 1μm 的亚微米区，短沟道效应变明显，所以元件特性的提高达到极限。短沟道效应的具体情况可以参见“PHYSICS OF VLSI DEVICE; Mitsumasa Koyanai 等人; Maruzen; 1986 ”。

例如，短沟道效应发生时，漏极耐压降低，元件退化变得明显。所以，已提出用例如沟道掺杂法等方法抑制短沟道效应。但这种情况下，均匀掺入沟道形成区的杂质会阻碍载流子的运动，降低晶体管的工作速度。

另一方面，可以证实，甚至在沟道短至 0.6μm 时，独特晶体结构体制成的 TFT 也有极高的工作速度，同时具有高漏极耐压，通过加速实验进行评价，该 TFT 为高可靠性 TFT。

本发明人推定，由独特晶体结构体制成的 TFT，因为晶界的有效作用，

其漏极耐压较高。即，在沟道形成区中，由基本平行于沟道长度方向（定义为载流子从源到漏的运动方向）延伸的晶界产生的能量势垒有效地抑制了耗尽层从漏区的扩展，并抑制了由于击穿漏极耐压的降低。

即，可以想象，甚至在利用常规硅薄膜的 TFT 中短沟道效应的影响变明显的情况下，即甚至在亚微米（ $0.01-2\mu\text{m}$ ）区中独特晶体结构体也可以抑制耗尽层的扩展，因而可以有效地抑制短沟道效应。

另外，如上所述，由于不用人工方法（沟道掺杂法等）也可以抑制短沟道效应，所以可以利用本征或基本本征的半导体膜作沟道形成区。这是提高 TFT 工作速度的最重要因素。

顺便提及，该区为本征或基本为本征，意思是至少满足以下条件之一。

- （1）硅膜的激活能约为 $1/2$ （费米能级至少位于禁带的中央）。
- （2）该区的杂质浓度低于自旋密度（spin density）。
- （3）为未有意掺入杂质的非掺杂的区或本征区。

另外，如上所述，由于晶界有效抑制了耗尽层在漏侧的扩展，所以耗尽层电容大大减小。这里，上述亚阈值系数 S 由下式表示。

$$S = \ln 10 \cdot KT/q[1 + (C_d + C_{it})/C_{ox}]$$

这里， K 是波尔兹曼常数， T 是绝对温度， q 是电荷电量， C_d 是耗尽层电容， C_{it} 是界面态的等效电容， C_{ox} 是栅氧化膜电容。

可以想象，由独特晶体结构体制成的 TFT 的亚阈值系数如上所述极小且界面态极小（理由将在实施例中说明）的事实支持了关于耗尽电容 C_d 小的上述推断的正确性。

以上仅是联系由本发明人实际得到的独特晶体结构体制成的结晶硅膜，与用此实际实验制得的 TFT 的电特性，所得的推论。然而，实验数据是真实的，本发明的 TFT 具有十分不同于常规硅薄膜制的 TFT 的优异性能也是真的。

（由上述 TFT 构成的电路的特点）

利用由上述本发明人的独特晶体结构体制成的 TFT 制造环形振荡器，下面说明该振荡器的频率特性。环形振荡器是一种电路，其中每个皆由 CMOS 结构构成的奇数级反相电路连接成环形，用于实现一级反相电路的延时。实验用环形振荡器的结构如下。

级数：九级

TFT 的栅绝缘膜厚度：30nm 和 50nm

TFT 的栅长: $0.6\mu\text{m}$

图 9 展示了波谱分析仪测得的电源电压为 5V 时环形振荡器的振荡频率的测量结果。图 9 中, 水平轴表示电源电压 (V_{DD}), 垂直轴表示振荡频率 (f_{osc})。如图 9 所示, 在使用栅绝缘膜厚为 30nm 的 TFT 时, 实现了振荡频率不小于 1Ghz。

图 10 展示了得到 1.04GHz 的振荡频率时波谱分析仪的输出波谱情况。水平轴表示频率从 1GHz 到 1.1GHz, 垂直轴表示对数电压 (输出幅度)。从图 10 可知, 在 1.04Ghz 时, 输出波谱存在一个峰值。顺便提及, 由于该装置分辨率的缘故, 输出波谱有一拖尾, 不影响实验结果。

另外, 实际制造作为 LSI 电路的 TEG 之一的移位寄存器, 确定在 10—100MHz 的驱动频率下驱动移位寄存器时的输出脉冲, 由此检测移位寄存器的工作性能。图 11 所示的示波器的屏幕 (上部示出了时钟脉冲, 下部示出了输出脉冲) 表示了栅绝缘膜厚为 30nm 厚、栅长为 $0.6\mu\text{m}$ 、工作频率为 100MHz、电压电压为 5V、且级数为 50 时移位寄存器的输出脉冲。

关于本发明人得到的结果, 如图 12 所示, 输出脉冲宽度 “t” 的倒数 (垂直轴) 与工作频率 (水平轴) 成正比, 已确认移位寄存器具有极好的性能, 所以实际可由自身实现 100MHz 的高频驱动, 并可以得到比理想情况稍有变形的输出脉冲。顺便提及, 由于实验中在电路结构中使用了两种不同的移位寄存器, 所以各移位寄存器分别称为移位寄存器 1 和 2。

上述环形振荡器和移位寄存器的令人吃惊的数据表明, 由独特晶体结构体制成的 TFT 的性能可与由单晶硅制成的 IGFET 相比, 或比之更好。

以下的数字支持以上的论断。图 13 是曲线图, 水平轴为电源电压 (V_{DD}), 垂直轴表示一级 $F/O=1$ 的反相器的延时 (τ_{pd}) (扇出比为 1) (逻辑 LSI 技术的创新, Kenji Maeguchi 等人, 第 108 页, Science Forum 公司, 1995)。图中各曲线 (由点划线表示的) 表示根据不同设计规则制造单晶硅 FET 时的数据, 展示了所谓的比例律。

在利用上述环形振荡器得到的反相器的延时与电源电压间的关系应用于该图中时, 得到图 13 中实线所示的曲线。应注意, 用沟道长度为 $0.6\mu\text{m}$ 且栅绝缘膜厚度为 30nm 的 TFT 制造的反相器, 其性能优于用沟道长度为 $0.5\mu\text{m}$ 且栅绝缘膜厚度 (t_{ox}) 为 11nm 的 IGFET 制造的反相器。

显然, 这表明由本发明的独特晶体结构体制成的 TFT 的性能优于 IGFET。例如, 即使构成上述 TFT 的栅绝缘膜的厚度比 IGFET 大三倍,

但仍可以得到性能可与 IGFET 相比或优于其的 TFT。即，独特晶体结构体制成的 TFT 的介电强度好于一般的 IGFET。

同时，即使根据比例律减小独特晶体结构体制成的 TFT，也可以实现较高的性能。这可能是因为由于独特晶体结构体的缘故，TFT 几乎不受短沟道效应的影响。例如，如果按 $0.2\mu\text{m}$ 的规则制造图 13 所示的环形振荡器，则希望根据比例律可以实现 9GHz 的工作频率（由于工作频率“f”是沟道长度平方的倒数）。

另外，在低压侧，实线所示的曲线（利用第一实施例结构的反相器）的斜率（inclination）较点划线（正常 IGFET 制造的反相器）所示的曲线更平缓，所以可以说，本发明的反相器其低压侧的特性特别好。

如上所述，由本发明的独特晶体结构体制成的 TFT 具有极好的特性，由这种 TFT 构成的电路是一种能够实现大于 10GHz 的高工作速度的很新的元器件。通过得到上述的 TFT，首先可以实现包括逻辑电路的系统显示器。

[本发明的第二种结构]

本发明人发明了提高系统显示器的集成度、降低 TFT 的特性不一致性的器件。下面将说明本发明的结构。

（掺入催化元素的方法）

在非晶硅膜中掺入促使结晶的金属元素，由此形成由上述独特晶体结构体制成的结晶硅膜。本发明人在日本未审查特许公开平 8—78329 中公开了一种将非晶硅膜转变成结晶硅膜的技术。按所公开的此项技术，向非晶硅膜选择性地掺入促使结晶的催化元素（镍、钴等），非晶硅膜从基本上平行于基片表面的掺入部分的起点结晶，且只有横向上的结晶区（此后称作横向生长区）用作 TFT 的有源层。

上述独特晶体结构体（由一组棒状或扁平棒状晶体构成的结构）是这种横向生长区的结晶形态引起的。所以，可以说横向生长区是一组棒状或扁平棒状晶体或一组按条形排列的多个晶体区。

然而，在试图实现图 1 所示的系统显示器时，如果与此类似用公开于此文献中的技术，则由于催化元素掺入区所致的在电路设计方面的限制变明显。例如，在此文献中，由于溶液是旋涂的，所以掺入区宽度需制成至少 $20\mu\text{m}$ 。由于其中存在着高浓度的催化元素，所以掺入区不能用作有源层。这样一来掺入区所占空间变为电路设计中的死区。

而且, 由于 (1) 掺入区宽度有限, (2) 相同浓度的催化元素掺入到掺入区, 所以形成于同一基片上的所有横向生长区皆具有相同的生长距离, 且在 600°C 的热结晶下形成了约 $50-150\mu\text{m}$ 的横向生长区。即, 在具有精细电路结构的区中, 在一个横向生长区中可形成多个 TFT。

这变成实现图 1 所示显示器的最大障碍。希望需制成具有高工作速度的 TFT 和处理模拟信号的 TFT 特性尽可能地一致。然而, 由于甚至在同一横向生长区中的不同位置结晶度也稍有不同, 所以在在一个横向生长区中形成多个 TFT 时, TFT 的特性会因位置的不同而不同。

因此, 本发明人提出利用离子注入法 (离子射入法) 掺入催化元素, 作为解决实现本发明的系统显示器时变明显的问题的方法。这里, 下面将参照图 2 说明利用离子注入法掺入催化元素的方法和其优点。

图 2 中, 参考数字 201 为基片 (包括玻璃基片或石英基片), 202 为由氧化硅膜制成的底膜, 203 为非晶硅膜, 204 为将变成缓冲层的氧化硅膜。参考数字 205 为表示光刻胶掩模, 并且只去掉了将掺入催化元素的区域。关于对光刻胶掩模的曝光, 最好是利用准分子激光器的曝光法和电子束等曝光法。

由于这些曝光法能够形成极细微的图形, 所以可以形成具有 $0.01-1.0\mu\text{m}$ (一般为 $0.1-0.35\mu\text{m}$) 狭缝宽度 (slit width) 的催化元素掺入区。如果光刻胶图形直接由电子束等形成, 则掺入催化元素区的形状自由度极为增加。

如图 2 左部所示, 按以下方式掺入离子, 使离子分布 207 的峰值位于无定形硅膜 203 内。这样, 便可以在非晶硅膜 203 中形成已掺入了预定浓度 (最好是 $3 \times 10^{19}-1.5 \times 10^{21}$ 原子/ cm^3) 的催化元素的区 206。

除进行质量分离的离子注入法外, 可以通过不进行质量分离的等离子体掺杂法 (离子掺杂等) 掺入离子。然而, 由于仅可掺入催化元素, 所以离子注入法较好。

另外, 如图 2 所示结构, 缓冲层 204 覆盖非晶硅膜 203, 且只用已穿过缓冲层 204 的那些催化元素。这样的优点是因离子注入时离子的碰撞导致的损伤不会直接到达非晶硅膜 203。

另外, 由于仅用离子分布 207 峰值附近的值, 所以通过使离子注入条件最佳化, 可以控制催化元素的掺入量可控, 并具有良好的重复生产性。即, 由于横向生长区的生长距离随所掺入催化元素的浓度而改变, 所以利

用离子注入法可以容易地控制横向生长距离。

这意味着具有所需尺寸的横向生长区可以形成于所需位置。即，考虑 TFT 的尺寸，可以形成必需和足够尺寸的横向生长区（沟道形成区的长度）。

（第二结构的梗概）

根据上述方法，如图 3 所示，可以在同一基片上形成生长距离不同的横向生长区。图 3A 中，301 表示图 1 所示的系统显示器的示意图，302 表示像素矩阵电路，303 和 304 表示驱动电路，305 表示逻辑电路。

由于构成像素矩阵电路 302 的 TFT（像素 TFT）需要具有高耐压特性，所以使用使沟道长度(栅长)延长的方法。这样，如参考数字 306 所示，设计成使横向生长区的生长距离长于有源区 307 的长度，此时，在实验获得掺入浓度和生长量间的关系后，可以调节掺入到掺入区 308 中的催化元素的浓度 n_1 。

另一方面，由于构成逻辑电路 305 的 TFT（逻辑 TFT）需要具有高速工作特性，所以使用使沟道长度短（0.25-0.7 μm ）的方法。这样一来，如参考数字 309 所示，横向生长区的生长距离 X2 可以根据逻辑 TFT 有源层 310 的长度调整。此时，掺入区 311 中催化的浓度为 n_2 。

如上所述，在图 3 所示情况下，具有不同生长距离 X1 和 X2 的横向生长区存在于同一基片上。此时， $X1 > X2$ 。具有生长距离 X1 和 X2 的横向生长区是由不同浓度 n_1 和 n_2 的掺入区生长的。此时， $n_1 > n_2$ 。即，这种结构利用掺入区中催化元素的浓度越高，则横向生长区的生长距离越长的现象。

以此方式，即使掺入区形状相同，通过调节催化元素的浓度可以形成具有所需宽度的横向生长区。即，本发明第二结构的要点在于沟道长度根据电路所需特性变化时，形成具有根据沟道长度而有不同生长距离的横向生长区。

生长距离根据沟道长度的不同而不同，且沟道长度和横向生长区的生长距离间有一定关系。例如，可以想象，调节催化元素的浓度，使具有几微米的固定大小的沟道长度距离变成生长距离，以使沟道形成区完全包括在横向生长区中，或调节催化元素的浓度，使两倍于沟道长度的距离变为生长距离。尽管我们不能无条件地说由于因生长距离误差或在形成有源层时构图的精确性可以改变这种关系，但对于确定催化元素的掺入浓度来说

这种关系是重要的。

本发明第二结构的优点在于，横向生长区特别是将在其中制造微细 TFT 的区不必过分地大。

例如，在形成由 309 表示的逻辑 TFT 的有源层时，如果横向生长区的宽度过大，则横向生长区延伸到具有不同功能的电路，则会导致如上所述的 TFT 特性不一致。如果因此导致了 TFT 特性不一致，则在构成由极高频驱动电路，或包括特别需要 TFT 特性一致结构的电路例如差分放大器或运算放大器时，会产生不良影响。

下面将参照图 4A 和 4B 说明本发明的第二结构应用于运算放大器作为逻辑电路实例的实例。图 4A 示出了由八个 TFT Tr1—Tr8 构成的运算放大器的实例，图 4B 是该运算放大器的电路图。

图 4A 中，401 表示由上述独特晶体结构体构成的有源层，并构成 TFT Tr1—Tr8。参考数字 402 表示第一布线层，用作 TFT 的栅绝缘膜的引出线或用于输出（在该图中，有相同图形的所有引线在同一布线层中）。参考数字 403 表示第二布线层，用于连接 TFT 与输入端、电源端（ V_{DD} 端）、GND 端和偏置端。参考数字 404—407 表示已借助离子注入法掺入了催化元素的区。

此时，图 4A（或图 4B）所示的运算放大器由差分放大电路构成，作为一个由 TFT Tr4 和 Tr8（或 Tr6 和 Tr7）构成的单元。差分放大电路的特点是，即使温度或电压发生变化，由于这种变化同时作用于两个 TFT 上，所以输出不受影响。然而，为实现此特点，首要的是两个 TFT 特性的一致性。

为此，得出结论，为 TFT Tr4 设置掺入区 405，为 TFT Tr8 设置掺入区 407，以使构成 TFT Tr4 和 Tr8 的有源层设置在以相同的距离远离各催化元素掺入区。也对构成 TFT Tr6 和 Tr7 的有源层进行类似的测量。

由于由 TFT 构成的逻辑电路需要高工作速度，栅长要小至约 0.25-0.7 μm 。这样一来，图 4A 所示运算放大器电路的尺寸约为 5—20 μm 。

然而，根据日本未审查特许公开平 8—78329 所公开的技术，由于催化元素掺入区的宽度至少为 20 μm ，所以无法在两个 TFT 之间形成掺入区。而且，由于横向生长区变得大于其所必需的值，所以不能得到使 TFT 特性一致方法。即，可以通过本发明第二结构实现图 4A 所示结构。

在如图 4A 所示的精细电路时，如果横向生长区变得太大，则其影响

将波及到相邻的横向生长区，这样不好。用本发明的第二结构，通过调节催化元素的浓度，可以容易地控制横向生长区的生长距离。这样一来，甚至在掺入区有精细排列结构时，也可以将横向生长区间的彼此影响抑制到最小。

自然，在栅长象构成像素矩阵电路的像素 TFT 一样长时，可以通过增大催化元素的掺入量延长生长距离。在 TFT 特性一致性没问题的精细电路情况下，还可以通过增大催化元素的深度同时构成多个有源层，以形成宽横向生长区。

[第二实施例]

在实施例 1 的图 1 所示系统显示器中，构成逻辑电路 105、驱动电路 103 和 104 的电路的基本单元为 N 沟道 TFT 和 P 沟道 TFT 互补组合的 CMOS 电路（反相电路）。由于这些驱动电路有时需要 0.1—2GHz 有时超过 2GHz 极高的驱动频率，所以栅长小至 0.25—0.7 μm 。

另一方面，由于在液晶显示器件中像素矩阵电路 102 需要能承受超过 10V 的高电压，所以栅长为约 2—20 μm 。有些情况下，利用实际为串联 TFT 的多栅 TFT。

在该实施例中，展示了根据电路所需特性而具有不同器件尺寸的 TFT 形成于同一基片上的实施例，根据各器件尺寸形成有不同生长距离的横向生长区，利用该区制造由单一晶体构成的 TFT。下面参照图 5—7 举例说明在同一基片上制造 CMOS 电路和像素 TFT 的步骤。

图 5A 中，501 表示石英基片。但可以用其表面上有 0.5-5 μm 厚的绝缘膜的陶瓷基片、单晶硅晶片或多晶硅晶片代替石英基片。这里，关于硅晶片，用太阳能电池中所用的低品级晶片便已足够，这比石英基片更便宜。这样，在用于不需用透明基片的情况下，如反射型显示器件或 IC 芯片，可用硅晶片。

参考数字 502 表示非晶硅膜，调节其膜厚，以使最终厚度（考虑了热氧化后膜厚的减小）变为 10—75nm（最好是 15—45nm）。膜的形成可以用低压热 CVD 法或等离子体 CVD 法。参考数字 503 表示薄氧化膜，其厚约为 5—50nm，由氧化非晶硅膜 502 获得。

接着，形成选择催化掺入区的光刻胶掩模 504。光刻胶掩模 504 上有宽 0.01-1 μm 的接触孔，如图 2 所示。接触孔用于横向生长区，该区随后将变成构成 CMOD 电路的 TFT 的有源区。

用离子注入法掺入促使非晶硅膜结晶的催化元素镍（Ni）。至于催化元素可以用钴（Co）、铁（Fe）、锡（Sn）、铅（Pb）、钯（Pd）、铂（Pt）、铜（Cu）、金（Au）等代替镍。

此时，掺入到掺入区 505 中的镍浓度为 n_1 ，以形成生长距离为 X_1 的横向生长区。由于随后热结晶的条件不同， n_1 的值变得不同，所以该值由操作者实验确定（图 5A）。

接着，去掉光刻胶掩模 504，然后又形成光刻胶掩模 506。该光刻胶掩模 506 用于形成随后将变成像素 TFT 的有源区的横向生长区。然后又用离子注入法掺入镍。此时，掺入到掺入区 507 的镍浓度为 n_2 ，由此形成生长距离为 X_2 的横向生长区。该 n_2 值与以上类似，也可由操作者实验确定（图 5B）。

如上所述，同一基片上至少一部分掺入了各掺入区浓度互不相同的催化元素。

接着，结束掺入催化元素的步骤，在 500—700℃ 温度下，一般为 550℃—650℃ 的温度下，在含惰性气体或氢的气氛中，进行热处理，时间为 4—8 小时，从而使非晶硅膜结晶。结晶进行的同时膜内的镍（或硅化镍）变为成核中心（图 5C）。

非晶硅膜 502 的结晶首先从掺入了镍的掺入区 505 和 507 开始，由此形成基本平行于基片 501 的横向生长区 508 和 509。如上所述，掺入区 505 和 507 内的镍浓度分别为 n_1 和 n_2 ，横向生长区 508（生长距离 X_1 ）和 509（生长距离 X_2 ）间的关系满足 $X_1 > X_2$ 。即，至少同一基片上的一部分中，形成了生长距离与其它横向生长区不同的横向生长区。

按本发明，只有横向生长区 508 和 509 用作结晶硅膜。即，由于横向生长区形成的位置根据掺入区的设置随意地设计，所以，与常规多晶硅膜相反，晶界不会影响 TFT 的特性。

进行结晶的热处理后，进行构图，形成仅由横向生长区构成的岛状半导体层（有源层）510—512。这里参考数字 510 表示构成 CMOS 电路的 N 沟道 TFT 的有源层，511 表示构成 CMOS 电路的 P 沟道 TFT 的有源层，512 表示构成像素 TFT 的 N 沟道 TFT 的有源层（图 5D）。

即使在图 5D 所示的情况下，仍保留有一些表示横向生长区 508 和 509 存在的痕迹。例如，由于掺入区 505 和 507 使硅化物优先消失，在刚好在掺入区存在的部分之下的底层（此时为石英）中形成了凹槽。另外，由于

催化元素在横向生长区的端部（结晶的端点）发生分凝，所以在该区的底层形成了凹槽。另外，由于掺入区 505 和 507 中催化元素掺入的浓度不同，所以可以想象，棒状或扁平棒状晶体的结晶度和形状随掺入浓度而不同。

形成了由横向生长区构成的结晶硅膜形成的有源层 510—512 后，在有源层 510—512 上生长氧化硅膜构成的栅绝缘膜 513。此时，希望 MOCS 电路侧（由 514 表示）栅绝缘膜 513 的厚度不同于像素 TFT 侧（由 515 表示）的膜厚。

因为在 CMOS 电路中形成了用于高频驱动的短栅长 TFT，所以从低漏极耐压角度出发，只需工作电压较低。这样，最好是栅绝缘膜的厚度大于等于 2nm 小于 80nm（一般为 50nm），由此可以降低阈值电压和工作电压。另一方面，由于像素 TFT 有高工作电压，所以有效地是通过使栅绝缘膜的厚度不小于 80nm 不大于 250nm（一般为 120nm）导出提高漏极耐压的方法。

为了在同一基片上形成有不同膜厚的栅绝缘膜，可以用例如利用掩模选择地形成叠层的方法，或利用如 LOCOS 法等选择氧化法，在特定有源层上形成热氧化膜，从而使膜较厚。在栅绝缘膜的最终厚度为不大于 50nm 时，只能用后一种热氧化步骤得到的热氧化膜作为绝缘膜。

接着，如图 5E 所示，进行热处理，通过吸杂（吸杂工艺）去掉催化元素（镍）这种热处理利用了卤素对金属元素的吸杂效应。为了由卤素实现吸杂效应，最好进行温度超过 700℃ 的上述热处理。这样，在该实施例中，在超过 700℃ 的温度，最好在 800—1000℃（一般为 950℃），进行热处理，处理时间为 0.1-6 小时，一般为 0.5—1 小时。

这里，展示的实例热处理的温度为 950℃，时间为 30 分钟，在含 0.5-10vol%（此例为 3vol%）的氯化氢的氧（O₂）气氛中进行。在 HCL 的浓度高于上述浓度时，有源层 209 的表面上产生膜厚不均匀，所以不优选较高的浓度。

将高浓度的氮（N₂）混入上述氧化气氛构成气氛，可以降低结晶硅膜的氧化速度。这对于增加吸杂时间但不延长热氧化反应所需的时间为有效的方法。

尽管用 HCl 气作含卤素的化合物，但代替 HCl 气，可以用选自 HF、NF₃、HBr、Cl₂、ClF₃、BCl₃、F₂、Br₂ 等中的一种或多种物质。

可以想象，在该步，掺入到横向生长区 508 和 509 中的镍在氯的作用

下被吸走，并变成挥发性氯化镍，逃逸到空气中，从而去掉了镍。顺便提及，由于硅膜上的氧化膜 503 和吸杂工艺中形成热氧化膜都极薄，所以它们不会变成妨碍氯化镍逃逸的阻挡层。

这样一来，通过催化元素的吸杂工艺，横向生长区 508 和 509 中的镍浓度降低到 1×10^{17} 个原子/cm³ 或更小（最好是到自旋密度以下）。顺便提及，本发明中杂质深度定义为 SIMS 分析得到的最小测量值。通过类似的 SIMS 分析，可以证实，浓度为 $1 \times 10^{15} - 1 \times 10^{20}$ 个原子/cm³ 用于吸杂工艺的卤素残留于横向生长区 508 和 509 内。

通过上述热处理，有源层 510—512 和栅绝缘膜 513 间界面发生热氧化反应，栅绝缘膜 513 的总厚度因所形成的热氧化膜（未示出）而增加。由此使得有源层 510—512 较薄，与热氧化膜成比例。在有源层厚度变薄时，促进了例如 TFT 截止电流的减小或场效应迁移率提高等效应。此时，通过 SIMS 分析可以证实，上述高浓度的卤素分布于有源层 510—512 与热处理形成的热氧化膜之间。在卤素气氛中的热处理结束后，在氮气氛中，在 950℃ 的温度下进行约 1 小时热处理，从而提高栅绝缘膜 513 的质量，同时，可以获得极佳的半导体和绝缘膜界面。

通过上述步骤形成的结晶硅膜由如实施例中所所述的单一结晶结构体构成。即变得可以获得如实施例 1 所示的电特性极佳的 TFT。

接着，形成含 0.2wt% 的钨的铝膜（未示出），并形成将变成随后的栅极的原形的电极图形。阳极氧化该图形的表面，形成栅极 516—518，和阳极氧化膜 519—521（图 6A）。

此时，栅极 516—518 的线宽可以根据电路所需的特性确定。对于需要高频驱动的逻辑电路等，线宽可以定为 0.25—0.7μm，对于需要高耐压特性的像素电路等，线宽定为 2—20μm。

接着，利用栅极 516—518 作掩模，以自对准的方式腐蚀栅绝缘膜 513。腐蚀可以是利用 CHF₃ 的干法腐蚀。通过该步，仅在栅极之下留有栅绝缘膜 522—524。接着，形成覆盖将变成 P 沟道 TFT 区的光刻掩模 525，并掺入形成 N 型的杂质离子。杂质离子的掺入可以借助离子注入法或等离子体掺杂法。由于此时的浓度（由 n⁻ 表示）随后将变成 LDD 区的（浓度约 $1 \times 10^{18} - 1 \times 10^{19}$ 原子/cm³），所以必须预先得最佳经验值，并预先控制该浓度。以此方式形成 n⁻ 区 526—529（图 6B）。

n⁻ 区 526—529 形成后，去掉光刻胶掩模 525，然后形成覆盖 N 沟道

TFT 的光刻胶掩模 530。然后掺入形成 P 型的杂质离子, 形成 p^- 区 531 和 532。由于 p^- 区 531 和 532 的浓度也变成 LDD 区的浓度 (约 5×10^{18} – 5×10^{19} 原子/ cm^3), 必须预先控制该浓度 (图 6C)。

以此方式, 形成 n^- 区 526–529 和 p^- 区 531–532 后, 去掉光刻胶掩模 530。然后形成厚为 $0.5\text{--}2\mu\text{m}$ 的未示出氧化硅膜, 并通过深腐蚀法形成侧壁 533–535。

接着, 又形成覆盖 P 沟道 TFT 的光刻胶掩模 536, 并掺入形成 N 型的杂质离子。掺入的离子浓度 (由 n^+ 表示) 高于上述浓度 n^- 。调节该浓度, 使源/漏区的薄层电阻变为 500Ω 以下 (最好是 300Ω 以下)。

由此步骤, 形成构成 CMOS 电路的 N 沟道 TFT 的源区 537 和漏区 538。由于区 539 被侧壁隐蔽, 所以其浓度不再变化, 该区变成低浓度杂质区 (特别是漏区侧的该区称为 LDD 区)。刚好在栅极下的区变为本征或基本本征的沟道形成区 540。同时, 形成将变成像素 TFT 的 N 沟道 TFT 的有源区 541、漏区 542、低浓度杂质区 543 和沟道形成区 544 (图 6E)。

接着, 去掉光刻胶掩模 536, 并形成覆盖 N 沟道 TFT 的光刻胶掩模 545。掺入形成 P 型的杂质离子, 浓度 (由 P^+ 表示) 高于第一次掺入的浓度, 所以形成了构成 CMOS 电路的 P 沟道 TFT 的源区 546、漏区 547、低浓度杂质区 548 和沟道形成区 549 (图 7A)。

以上述方式形成了所有有源层。所有杂质离子掺入步骤结束后, 去掉光刻胶掩模 545, 然后进行例如炉退火、激光退火或灯退火等热处理, 从而激活杂质离子。顺便提及, 离子注入期间对有源层造成的损伤此时可以修复。

接着, 形成厚 $20\text{--}50\text{nm}$ 的钛 (Ti) 膜 550, 并进行灯退火热处理。此时, 已与钛膜 550 接触的硅膜变成硅化物, 所以在源/漏区中形成硅化钛膜 551–553。可以用钨 (W)、钽 (Ta)、钼 (Mo) 等代替钛。

形成硅化物后, 构图钛膜 550, 在源/漏区上形成岛状图形 554–556。岛状图形 554–556 用于防止硅化钛膜 551–553 在以后形成连接源/漏区与布线的接触孔时消失。自然, 如果硅化钛对将于其上形成接触孔的层间绝缘膜的选择率较大, 则可以省却岛状图形 554–556。

接着, 形成厚 $0.3\text{--}1\mu\text{m}$ 的氧化硅膜, 作为第一层间绝缘膜 557。然后形成接触孔、源布线 558–560 和漏布线 561 和 562。以此方式, 得到如图 7C 所示状态。至于第一层间绝缘膜 557, 可以采用有机树脂膜。

在得到了图 7C 所示状态后，形成厚 $0.5-3\mu\text{m}$ 且由有机树脂膜构成的第二层间绝缘膜。可以用聚酰亚胺、丙烯酸、聚酰胺、聚酰亚胺酰胺（polyimide amide）等作有机树脂膜。以下列举如有机树脂膜的优点，（1）膜形成方法简单，（2）膜厚容易作得厚，（3）相对介电常数低，可以减小寄生电容，（4）平坦性优异。

在层间绝缘膜 563 上的像素 TFT 上形成厚 100nm 且由有遮光性的膜制造的黑掩模 564。实际上，黑掩模设置于需遮光的部位，例如像素矩阵电路的布线上或 TFT 上。在该实施例中，尽管用钛膜作黑掩模，但可以用含黑色颜料的树脂膜。

形成黑掩模 564 后，以形成厚 $0.1-0.3\mu\text{m}$ 的有机树脂膜作第三层间绝缘膜 565。然后在第二和第三层间绝缘膜 563 和 565 中形成接触孔，形成厚 120nm 的像素电极 566（图 7D）。

在所制造的显示器件为透光型显示器件时，可以用透明导电膜（例如 ITO 膜）作像素电极 566，在为反射型显示器件时，可以用反射导电膜（如铝膜）作像素电极 566。

此时，在黑掩模 564 与像素电极 566 重叠的区域中，形成附加电容。该附加电容用作存储电容，保护加到像素电极上的电压为一恒定值。这样，在该实施例中，用第三绝缘膜 565 作构成附加电容的绝缘体。如果第三绝缘膜由相对介电常数较高的氧化硅膜或氮化硅膜构成，则可以增加附加电容的容量。

最后，在氢气气氛中，加热整个基片，氢化所有元素，以便补偿膜（特别是有源区）中的悬挂键（未配对键）。通过上述步骤，可以在同一基片上形成 CMOS 电路和像素 TFT。

[实施例 3]

在此实施例中，将描述构成图 1 所示系统显示器中像素矩阵电路的像素区的结构实例。14A 是展示该像素区的顶视图。

在图 14A 中，1401 和 1402 表示有源层，1403 和 1404 表示栅线，1405 和 1406 表示源线。实际上，多根源线和栅线彼此垂直交叉设置，多个由源线和栅线包围的区设置成矩阵，用作图 1 中的像素区 110。

栅线 1404 重叠于有源层 1402 上的三个部位。即，形成与彼此串联的三像素 TFT 相同结构的三栅 TFT。

栅布线 1404 和 1406 可以设置于低于有源层 1401 和 1402 的层中，以

形成颠倒参差型 TFT 结构。这种情况下,最好用高耐热材料,例如多晶硅膜,用作栅极,这样便可使栅极耐图 5E 所示的制造硅薄膜步骤中进行的热处理。

参考数字 1407 表示有源层 1402(源区)和源线 1405 的接触部分,1408 表示有源层 1402(漏区)和漏布线 1409 的接触部分,1410 表示漏布线 1409 与像素电极 1411 的接触部分。

斜线所示的区 1412 是黑掩模,形成此掩模为的是遮蔽有源层 1401 和 1402、栅布线 1403 和 1404、源线 1405 和 1406。黑掩模 1412 在区 1413 与漏布线 1409 重叠,于是在黑掩模和漏布线 1409 间形成附加电容。

像素电极 1411 通过第三层间绝缘膜设置于黑掩模 1412 上。像素电极 1411 构成时使其边缘部分没有失误地被黑掩模 1412 遮蔽,没与黑掩模 1412 重叠的区域 1414 变为形成图象的图象显示区。实际上,相对的基片、相对电极和液晶层设置于像素电极 1411 上,以构成液晶单元 112,如图 1 所示。

图 14B 是沿图 14A 中的线 A—A' 所取的剖面图。由于基本晶体管结构已在实施例 2 作了说明,所以下面只说明图 14B 与图 14A 的相应之处。

图 14B 中,1415 表示石英基片,1416 和 1417 分别表示图 14A 中的有源层 1402 的源区和漏区。参考数字 1418 表示对应于图 14A 中的栅布线 1404 的栅电极。尽管图中三个栅电极并排设置,但实际上它们由图 14A 所示的同一布线构成。

源布线 1420(对应于图 14A 中的 1405)和漏布线 1421(对应于图 14A 中的 1409)设置于第一层间绝缘膜 1419 上。参考数字 1422 表示邻近源线 1420 的源线。

形成由氧化硅膜、氮化硅膜或其层叠膜制成的第二层间绝缘膜 1423,其厚度为 50—200nm,以覆盖源布线 1420 和漏布线 1421。在其上形成由有机树脂制成的第三层间绝缘膜 1424。另外,在第三层间绝缘膜 1424 上设置黑掩模 1425(对应于图 14A 中的 1412)。

此时,在形成黑掩模 1425 之前,去掉区域 1426 上的第三层间绝缘膜 1424。这样,在区域 1426,形成了由漏布线 1421、第二层间绝缘膜 1423 和黑掩模 1425 的叠层结构形成的附加电容 1427。附加电容 1427 对应于图 14A 中附加电容 1411。

如果附加电容 1427 形成为图 14B 所示结构, 由于该附加电容的容量由第二层间绝缘膜 1423 决定, 所以可以通过用具有高相对介电常数的材料, 或通过减薄膜厚增大此容量。然而, 为了形成此附加电容, 由于必须去掉第三层间绝缘膜 1424, 同时只保留区域 1426 上的第二层间绝缘膜 1423, 所以必须选择性地腐蚀第二和第三层间绝缘膜。这种情况下, 关于第二层间绝缘膜 1423, 用氧化硅膜或氧化硅膜和氮化硅膜的层叠膜是有效的。

参考数字 1428 表示由有机树脂膜制成的第四层间绝缘膜, 像素电极 1429 形成于其上, 此时, 像素电极 1429 通过漏布线 1421 与漏区 1417 电连接。这样, 附加电容 1427 可以被当作串联于像素电极 1429 上的电容。

基片 1430 是其上形成了相对电极 1431 的相对基片。将有源矩阵基片 1415 粘合于相对基片 1430 上, 以形成图 1 中的液晶单元 112, 从而夹持液晶层 1432。

[实施例 4]

在该实施例中, 将参照图 15A 和 15B 说明构成结构与实施例 2 不同的 CMOS 电路的实施例。由于图 15A 和 15B 的基本结构与实施例 2 所示的 CMOS 电路相同, 所以适用与实施例 2 相同的参考数字。

图 15A 展示了一个实例, 其中实施例 2 所示的 CMOS 电路中, CMOS 电路由具有利用给定导电类型的硅薄膜(多晶硅膜)形成的栅电极 1501 和 1502 的硅栅型 TFT 构成。该 TFT 可以是双栅型 TFT, 其中栅电极的导电类型根据 N 沟道 TFT 和 P 沟道 TFT 而不同(N 型或 P 型)。

在形成这种硅栅结构时, 在形成硅化钛膜 551 和 552 的同时, 在栅电极 1501 和 1502 的上部形成硅化钛膜 1503 和 1504。这样, 会使栅电极和与栅电极相连的连接布线间的欧姆接触更好。

图 15B 展示了一个实例, 其中实施例 2 所示的 CMOS 结构中, 不形成由钛制成的侧壁 533 和 534 及岛图形 554 和 555。该结构中, 低浓度杂质区 539 和 548 的长度由栅绝缘膜 1505 和 1506 的端部(延伸到栅电极 516 和 517 外的部分)的宽度决定。而且, 这种结构中硅化钛膜 1507 和 1508 直接与源布线 558、559 和 561 接触。

实施例 2 中的侧壁 533 和 534 的主要作用是决定低浓度杂质区 539 和 548 的长度和掺杂浓度。然而, 图 15B 所示结构中, 由于采用了日本未审查特许公开平 7-135318 公开的技术, 所以可以不用侧壁形成此结构。

实施例 2 中的岛图形 554 和 555 的主要作用是确保形成于源/漏区和源/漏布线中的硅化钛膜 551 和 552 间的欧姆接触。这种情况下, 岛图形 554 和 555 也起到保护硅化钛膜 551 和 552 的作用, 以防止在层间绝缘膜 557 中形成接触孔时这些膜被去掉。

在该实施例中, 由于干法腐蚀法形成接触孔, 层间绝缘膜 557 和硅化钛膜 551 和 552 间的选择率提高, 所以形成这种结构不需要岛图形 554 和 555 作保护层。

以上述方式简化形成侧壁 533 和 544 及岛图形 554 和 555 的步骤, 可望到产量和成品率提高及制造成本降低。

[实施例 5]

已经说明, 本发明第一结构中所述的硅薄膜是实现本发明所必须的。在该实施例中, 将说明以不同于实施例 2 的方式结晶的硅薄膜用于本发明的实例。

图 5 中, 得到图 5C 所示状态(进行结晶化的热处理结束时)后, 除去结晶硅膜表面上的氧化膜 503。除去了氧化膜 503 后, 利用 KrF(波长 248nm)、XeCl(波长 308nm)等作为激励气体的准分子激光器进行退火。激光退火步骤在将硅薄膜加工成岛状图形之前或之后进行。

通过上述激光退火, 残留于结晶硅薄膜中的少量非晶成分结晶, 晶体硅的结晶度显著提高。本发明的系统显示器甚至可以利用这样获得的硅薄膜形成。该实施例的优点在于, 可以在便宜的玻璃基片上形成系统显示器, 即, 可以降低制造成本。

然而, 实施本发明最令人满意的模式是采用利用了实施例 1 中所述的硅薄膜的 TFT。最好是仅在必须用如玻璃基片等低耐热性基片的情况下利用本实施例。

实施例 1 中所述步骤可与本实施例的步骤结合。即, 可以采用这种结构, 即在激光退火之后, 进行催化元素的吸除工艺。这种情况下, 可以形成高结晶度的硅薄膜。

[实施例 6]

下面将参照图 18A—18C 说明利用本发明制造反射型液晶显示器件的有源矩阵基片(制造半导体元件的那一侧的基片)的实例。

首先, 关于具有绝缘表面的基片, 制备其上淀积有氧化硅膜底层的玻璃基片 3000。石英基片、硅基片、陶瓷基片等皆可代替玻璃基片 3000。

接着,利用等离子体 CVD 法或低压 CVD 法形成厚 10—75nm 的非晶硅膜 3001。可以用例如 $\text{Si}_x\text{Ge}_{1-x}$ ($0 < x < 1$) 等含硅的非晶半导体膜代替非晶硅膜。

接着,利用日本未审查特许公开平 8—78329 中公开的技术,使非晶硅膜 3001 结晶。该文献中公开的特征是获得通过选择地在非晶硅膜中掺入催化元素使晶体基本上平行于基片生长的区域(称作横向生长区)。

在该文献中,尽管用溶液涂敷作为掺入镍的方法,但本发明的特征是利用离子注入法掺入镍。

首先,在非晶硅膜 3001 上形成厚 50—150nm 的氧化硅膜制的掩蔽绝缘膜 3002。然后构图该掩蔽绝缘膜 3002,在将变成外围电路的区域提供开口部分 3003。尽管图中仅示出了一个开口部分,但实际上形成了数个开口部分。

接着,利用离子注入法(也称为离子入射法)掺入镍。此时,离子的剂量调节为 $1 \times 10^{12} - 1 \times 10^{15}$ 原子/ cm^2 (最好是 $2 \times 10^{13} - 2 \times 10^{14}$ 原子/ cm^2)(图 18A)。

在象本实施例那样利用离子注入法掺入镍时,掩蔽绝缘膜中提供的开口部分的宽度为约 0.25—2 μm 足以。即,甚至可以在形成精细图形的开口部分中掺入相当大量的镍。

在该实施例中,开口部分最小狭缝的宽度固定在 1.5 μm 。这样一来,在随后的离子注入步骤中,可以与剂量成正比改变引入镍的量。

通过该离子注入步骤,形成了镍掺入区 3004。在图 18A 所示该离子注入步骤中引入的镍的量表示为“a”。

接着,在去掉掩蔽绝缘膜 3002 后,提供掩蔽绝缘膜 3005,在将变成像素矩阵电路的区域形成开口部分 3006。这种情况下,利用离子注入法掺入镍,以形成镍掺入区 3007。图 18B 所示离子注入步骤中引入的镍的量表示为“b”。

实现了图 18B 所示状态后,在氮、氧或氢气气氛中,在 500—700 $^{\circ}\text{C}$ (一般为 550—650 $^{\circ}\text{C}$)进行 4—24 小时(一般为 8—15 小时)的热处理,以使非晶硅膜 3001 结晶。通过此热处理,获得了横向生长区 3008 和 3009(图 18C)。

此时,横向生长区 3008 的生长距离由“A”表示。即,图 18A 所示离子注入步骤中按可以实现生长距离为“A”的引入量“a”掺入镍。另

外，在横向和平共处区 3009，图 18B 所示离子注入步骤中按可以实现生长距离为“B”的引入量“b”掺入镍。

横向生长区 3008 和 3009 的晶体结构中，聚集了基本平行于基片生长的针状或柱状晶体。而且，还有一特征，各针状晶体基本彼此平行生长，且可见在同一方向生长（向着固定方向并排排列）。另外，利用 SIMS（二次离子质谱仪）可以证实，各晶体中含约 $5 \times 10^{18} - 1 \times 10^{19}$ 原子/cm³ 的镍。

掺有镍的区 3010 和 3011 变为结晶区，其中含有高浓度的镍。除区 3008—3011 之外的区仍残留有未结晶的非晶区（非晶区）。

接着，去掉掩蔽绝缘膜 3005，形成光刻胶掩模 3012。然后，构图形成开口 3013—3015。此时，开口部分 3013 和 3014 提供在邻近元件形成区（将变为该实施例中的 TFT 的有源层的区）的区上。用于以后续步骤中在开口部分 3013 和 3014 之下形成含磷元素的层（镍吸除区）。

在将在后续步骤中变为附加电容的下电极的区上形成开口部分 3015。在该实施例中，掺入磷以便导电的有源层的一部分用作附加电容的下电极。

顺便提及，也可以制造成通过构图掩蔽绝缘膜 3005 而不是新形成光刻胶掩模以形成必要的开口的结构。这种情况下，也可以用这种在以下 P 离子注入步骤中掺入镍的开口部分。

接着，在这种情况下，利用离子注入法或等离子体掺杂法掺入 P（磷）离子。在该实施例的掺杂步骤中，加速电压为 5—25KV，离子剂量为 $1 \times 10^{15} - 8 \times 10^{15}$ 原子/cm²（最好为 $5 \times 10^{13} - 1 \times 10^{15}$ 原子/cm²）。

由此，在 P 离子掺入区（此后称之为磷掺入区）3016—3018 中掺入了浓度为 $5 \times 10^{19} - 2 \times 10^{21}$ 原子/cm³ 的 P 离子。由此，磷离子掺入区 3016-3018 形成为非晶（图 19A）。

在该实施例的结构中，掺入到磷掺入区 3016 和 3017 中的 P 离子用于催化元素的吸除。掺入到磷离子掺入区 3018 中的 P 离子用于使硅膜具有 N 型导电类型，以便该膜形成附加电容的下电极。

与此类似，根据该实施例，形成由磷元素吸除镍的区域，同时可以形成将变成附加电容的下电极的 N 型导电层，从而简化了制造步骤。当然，磷掺入区 3018 也具有吸除催化元素的作用。

在 P 离子掺入步骤结束后，去掉光刻胶掩模 3012，并在氮气氛中，在 400—700℃（一般为 600℃）的温度下热处理 2—24 小时（一般为 8—15

小时)，使残留于横向生长区 3008 和 3009 中的镍迁移到磷掺入区 3019—3021 中。此时，磷掺入区 3019—3021 再结晶（图 19B）。

由此，残留于横向生长区 3008 和 3009 中的镍被磷掺入区 3019—3021 吸除掉，且获得了镍浓度降低了的横向生长区 3022 和 3023。顺便提及，磷元素的吸杂步骤公开于本发明人等于 1997 年 3 月 27 日申请的日本专利申请平 9—94607。

本发明人通过 SIMS（二次离子质谱仪）证实的结果是，图 19B 所示步骤后，横向生长区 3022 和 3023 中所含的镍浓度降低至最多 5×10^{17} 原子/cm³（比检测的下限还小的值，所以不能进行测量）。

此时，由于镍被吸入到磷掺入区 3019—3021 中，所以这些区变为含高浓度镍的区。根据 SIMS 的分析，可以证实，其中的镍浓度在 1×10^{18} — 1×10^{20} 原子/cm³。

然而，即使镍存在于随后将用作附加电容的下电极的磷掺入区 3021 中，该区用作下电极也没问题。磷掺入区 3019 和 3020 至少不用于沟道形成区（也不能用作源/漏区）。这样，由于在形成有源层时，磷掺入区 3019 和 3020 基本上被全除去，所以镍的存在不会引起问题。

以此方式获得图 19B 所示的状态后，构图硅膜，形成有源层 3024—3026。有源层 3024 和 3025 分别变为主要构成外围电路的 CMOS 电路的 N 型 TFT 和 P 型 TFT。有源层 3026 变为构成像素矩阵电路的像素 TFT（该实施例中为 N 型 TFT）。

构图时，要求去掉作为镍掺入区的部分和横向生长区的端部。这是因为，这些区在很窄的区域中含有相当高浓度的镍，所以首先在随后的腐蚀步骤中腐蚀这些区，并且存在着污染液态试剂等的可能性。

构图时，由于首先腐蚀镍掺入区和横向生长区的端部，所以在底层（底膜或石英基片表面）中形成一个台阶。特别是，由于镍掺入区中的此台阶倾向于变大，所以必须予以注意。

接着，去除形成于硅膜表面上的氧化物（未示出）。由于这种表面氧化物吸收了硅膜中的沾污等，所以通过去除此氧化物可以获得洁净的硅膜表面。

然后，利用等离子体 CVD 法，直接形成将变成栅绝缘膜的氧化硅膜 3027，厚 10—150nm。当然也可以用低压 CVD 法、溅射法等。另外 ECR 等离子体 CVD 法或高密度离子 CVD 法也是有效的（图 19C）。

接着,形成由铝或主要含铝的材料制成的电极图形 3028—3031。电极图形 3028—3030 分别为构成 CMOS 电路或像素 TFT 的栅电极的原形。电极图形 3031 为附加电容的上电极原形(图 20A)。

由于该实施例采用三栅 TFT 作像素 TFT,所以电极图形 3030 被分成所示的三个,但它们实际上是彼此相连的,为同一个电极。

以此方式获得了图 20A 所示的状态后,接着进行两步阳极氧化步骤。顺便提及,以下所述的从阳极氧化到离子(磷(P)或硼(B))注入的步骤源于由本发明人等的日本未审查特许公开平 7—135318 中公开的技术。所以,详细情况等请参见此文献。

形成电极图形 3028—3031 后,首先用 3%的草酸溶液进行阳极氧化,形成多孔的阳极氧化膜 3032—3035。接着,用含 3%酒石酸的 1,2—亚乙醇溶液进行阳极氧化,形成无孔阳极氧化膜 3036—3039。两次阳极氧化步骤后,限定栅电极 3040—3042 和附加电容的上电极 3043。

以此方式获得了图 20B 所示状态后,利用栅电极和多孔阳极氧化膜作掩模,进行栅绝缘膜 3027 的干法腐蚀。通过此步骤,形成栅绝缘膜 3044—3047,栅绝缘膜 3047 用作附加电容的电容绝缘膜(图 20C)。

接着,如图 20D,去除多孔阳极氧化膜 3032—3035,进行高加速度的 P 离子注入和低加速度的 P 离子注入。通过此步骤,形成 N 型 TFT 的源区 3048、漏区 3049、一对低浓度杂质区(也称为 LDD 区)3050 和沟道形成区 3051。

另外,由于像素 TFT 由 N 型 TFT 构成,所以形成了像素 TFT 的源区 3052、漏区 3053、一对低浓度杂质区 3054 和沟道形成区 3057-3059。

此时,P 离子也掺入到 P 型 TFT 的有源层中,这样一来,便形成了浓度可与以上源/漏区相比的含 P 离子的区 3060 和 3061,及浓度可与以上低浓度杂质区相比的含 P 离子的区 3062。P 离子未掺入到区 3063 中,所该区保持先前所加的 P 离子浓度。然而,该区实际上与像素 TFT 和漏区 3053 成一体。

接着,提供光刻胶掩模 3064,只暴露出 P 型 TFT,进行高加速度的 B 离子注入和低加速度的 B 离子注入。通过此步骤,图 20D 所示的含 P 离子 3060—3062 全部转换成 P 型,由此形成了 P 型 TFT 的源区 3065、漏区 3066、一对低浓度杂质区 3067 及沟道形成区 3068(图 21A)。

利用上述离子注入步骤,可以仅通过一步构图步骤形成 N 型 TFT 和 P

型 TFT 的源区/漏。

接着，去掉光刻胶掩模 3064，借助炉退火、激光退火和灯退火中的任一退火方法或这些方法结合，激活所注入的 P 离子和 B 离子。激活的同时，因离子注入导致的有源层结晶度无序被修复。

然后，形成氧化硅膜和氮化硅膜构成的层叠膜，作为第一层间绝缘膜 3069。形成接触孔后，形成源电极 3070—3072、漏电极 3073 和 3074（图 21B）。

然后，形成厚 $0.5\text{--}3\mu\text{m}$ （最好为 $1.5\text{--}2.5\mu\text{m}$ ）的有机树脂膜（聚酰亚胺、聚酰胺、聚酰亚胺氨化物（polyimide amide）、丙烯酸等）作为第二层间绝缘膜 3075。有机树脂膜的最显著特点是相对介电常数较低（约为 $2.0\text{--}3.4$ ）。由此，可以极大地减小布线间的寄生电容。即，在形成需要高频驱动电路如逻辑电路时，可以有效地抑制工作速度的降低。

然后，在第二层间绝缘膜 3075 中形成接触孔，并形成像素电极 3076。在该实施例，像素电极 3076 由铝或主要含铝的材料制成。

最后，在氢气氛中进行热处理，对所获得的整个 TFT 进行氢化作用，以减少有源层中的悬挂键。以此方式，完成如图 21C 所示的在同一基片集成 CMOS 电路和像素 TFT 的有源矩阵基片。

此后，利用公知的单元组装步骤，将液晶层夹持在上述有源矩阵基片和相对基片中间后，便形成了反射型液晶显示装置。

对例如液晶材料或单元间隙等的设计可以由操作者适当地确定。尽管该实施例在相对侧采用了黑掩模的结构，但可以修改该结构，使黑掩模设置于有源矩阵基片侧的需要部位处。

该实施例中，相当重要的一点是横向生长区的生长距离彼此不同。

例如，在横向生长区中，甚至在同一区域中根据位置的不同结晶度也稍有不同。这种情况下，如果多个 TFT 形成于一个横向生长区中，则两分开的 TFT 间的电特性会不同。

然而，这种特性上的细微差别对处理模拟信号的电路或高频驱动电路来说不成问题。这样一来，要求在需要的部位以需要的距离形成横向生长区，由此形成具有细微特性差别的一组 TFT。

本发明对于这种需求来说是一项极有效的技术。而且，由于可以利用离子注入法极大地减小催化元素掺入区所占面积，所以可以极大地提高电路设计的自由度。

所以,从未来半导体电路的发展趋势看,显然本发明对于由超精细加工形成且具有很高的工作速度的高频电路等来说极有效。

[实施例 7]

尽管实施例 1 或 6 用铝或主要由铝组成的材料作栅电极,但也可以用一种导电类型的结晶硅膜作栅电极。

另外,还可以用例如钛、钽、钨或钼等金属材料,金属材料与硅的化合物的金属硅化物等作栅电极。

[实施例 8]

该实施例中,将说明通过用不同于实施例的方法控制催化元素(镍)的掺入量来控制横向生长区的生长距离的实例。

图 22A 中,3100 表示玻璃基片,其上提供有底膜,3101 表示非晶硅膜。形成掩蔽绝缘膜 3102,然后形成开口部分 3103 和 3104。

此时,通过改变开口的最小狭缝的宽度控制掺入的镍的量。该实施例中,外围电路的最小狭缝宽度由“a”表示,像素矩阵电路的最小狭缝宽度由“b”表示。

此时,通过离子注入法注入镍。注入条件可以与实施例 1 相同。该实施例中,在加速电压为 10KV、剂量为 2×10^{14} 原子/cm² 的条件下进行镍离子注入(图 22A)。

此时,由于同时进行离子注入步骤,所以掺入到开口部分 3103 和 3104 中的镍浓度彼此相同。然而,通过该离子注入步骤形成的镍掺入区 3105 和 3106 中的镍掺入量随开口部分 3103 和 3104 的最小狭缝宽度的不同而不同。

在获得图 22A 所示状态后,在与实施例 1 相同的条件下进行热处理,使非晶硅膜 3102 结晶。该实施例中,在 570℃进行 14 小时(图 22B)热处理,进行结晶步骤。

通过此结晶步骤形成横向生长区 3107 和 3108。此时,横向生长区 3107 的生长距离由“A’”表示,而横向生长区 3108 的生长距离由“B’”表示。该实施例中,设计成满足关系 $B' > A'$ 。

该实施例中,最小狭缝宽度“a”确定成使结晶后的横向生长区 3107 的生长距离变为“A’”,而最小狭缝“b”确定成使横向生长区 3108 的生长距离为“B’”。为此,必需在该实施例的离子注入条件(10KV, 2×10^{14} 原子/cm²)下预先获得最小狭缝宽度与生长距离间的这种关系。

在象该实施例这样同时进行离子注入步骤的情况下，由于掺入的镍浓度在整个基片上是统一的，所以控制最小狭缝宽度便可以控制掺入镍的量，并进一步控制横向生长区的生长距离。随后的步骤可与实施例 1 相同。

另外，采用该实施例的这种结构的情况下，在随后进行如图 19A 所示的 P 离子注入步骤时，可以利用掩蔽绝缘膜 3102 作掩模掺入磷。这样，便不必再提供光刻胶掩模，并省去一个构图步骤，所以可以简化制造工艺。

[实施例 9]

尽管实施例 1—4 或实施例 6 展示了平面型 TFT 作为典型 TFT 结构的实例，但本发明可以采用如颠倒参差型 TFT 等底栅型 TFT。

因此，不管半导体元件（半导体器件）的结构如何皆可以应用本发明，本发明不限于特定结构的半导体元件。

[实施例 10]

该实施例中，将说明通过不同于实施例 6 的结构进行催化元素（镍）的离子注入步骤的实例。

图 23 中，3400 表示玻璃基片，3401 表示底膜，3402 表示非晶硅膜，3403 表示由氧化硅膜等制成的缓冲层，3404 表示具有开口部分的光刻胶掩模。缓冲层 3403 可以利用如等离子体 CVD 法等汽相法形成，在某些情况下，还可以利用例如热氧化或 UV 氧化等简单氧化法形成。

该实施例的特点是不直接在非晶硅膜 3402 中注入催化元素，而是通过缓冲层 3403 注入催化元素。这种情况下，无需说，可以将离子注入时离子的分布调节成使峰值位于非晶硅膜 3402 中。

甚至在该实施例的结构中，可以通过使离子注入条件最佳化，在非晶大膜 3402 中形成镍掺入区 3405 和 3406。根据该实施例的结构，由于离子注入时产生的损伤没有直接到达非晶硅膜 3402，所以可以避免由于损伤造成的不良影响。另外，可以防止除催化元素外的杂质元素（气氛中所含元素等）在离子注入时同时注入。

另外，有效的是利用等离子体 CVD 法连续形成非晶硅膜 3402 和缓冲层 3402 的结构。该结构中，不会发生杂质附着于非晶硅膜 3402 的表面，并在离子注入时被一同注入。

还可以进行该实施例的结构与实施例 1 或 6 的结构结合的离子注入步骤。

[实施例 11]

尽管实施例 1 或 6 用离子注入法作为掺入 P 离子的手段，但该实施例中将说明用汽相法的实例。

该实施例中，在非晶硅膜表面需要的部位提供绝缘膜，这种情况下，用等离子体 CVD 法形成含磷薄膜。该薄膜可以通过在膜形成气体中掺入磷化氢 (PH₃) 等形成。

由此，在用磷元素吸杂（热处理）时，形成有薄膜的区用作吸杂区。

[实施例 12]

该实施例中，将说明用液相法作掺入 P 离子方法的实例。具体地，通过溶液涂敷形成典型为 PSG（磷硅玻璃）的薄膜。

另外，这种情况下，在非晶硅膜的需要部位提供绝缘层，此时，涂敷作为 PSG 原材料的溶液，并进行旋涂，从而形成含磷薄膜。利用这种方法，可以形成吸杂区。

[实施例 13]

该实施例中，将说明的实例为，由卤族元素进行吸杂步骤，代替实施例 6 的磷元素吸杂步骤。必要时使用与实施例 1 相同的参考数字。

首先，与实施例 1 的步骤相同，获得图 24A 所示状态。此状态相当于实施例 18C 所示状态。

接着，在获得图 24C 所示状态后，在含卤族元素的气氛中进行热处理。该实施例中，氧气 (O₂) 氛中含有 0.5-10vol%（一般为 3vol%）的氯化氢 (HCl)（图 24B）。

除 HCl 外，可以用选自包括 HF、NF₃、HBr、Cl₂、ClF₃、BCl₃、F₂、Br₂ 等中的一种或多种含卤族元素物质。另外，也可以用卤素的氢化物。

最好是在超过 700℃ 的温度下进行热处理，以便有效地进行氯的吸杂。该温度一般在 800—1000℃（该实施例为 950℃）。通过该处理，彻底去除或减少了整个结晶硅膜中的镍。

本发明人的 SIMS（二次离子质谱仪）结果发现，图 24B 所示步骤后，横向生长区 3501 和 3502 中所含的镍浓度最少降低到 5×10^{17} 原子/cm³（低于检测的下限，所以可以不测量）。

而且，卤族元素通过该热处理进入到横向生长区内部。这样，最后有源层（横向生长区）内卤族元素的浓度为 1×10^{15} — 1×10^{20} 原子/cm³。

本发明人通过 TEM（透射电子显微镜）分析横向生长区 3501 和 3502，结果证明，该区的晶体结构中许多并排排列的棒状或扁平棒状晶体趋向于

一个特定方向聚集在一起。

该晶体结构的特点与上述横向生长区几乎相同。然而，通过本发明人的各种分析，可以得出以下结论，晶格在各棒状晶体（可以称为针状晶体）间的边界（晶界）中是连续的，所以晶界的密度（conformity）很好且电无源。

证明了具有这种晶体结构的结晶硅膜的有源层的 TFT，其电特性优于形成于单晶硅上的 MOSFET。该晶体结构的具体情况见 1996 年 11 月 29 日申请的日体专利申请平 8-335152。

在以此方式获得图 24B 所示状态后，构图硅膜，以形成有源层 3503-3505。有源层 3503 和 3504 分别变成主要构成外围电路的 CMOS 电路的 N 型 TFT 和 P 型 TFT。有源层 3505 变成构成像素矩阵电路的像素 TFT。

接着，利用等离子体 CVD 法，形成将变成栅绝缘膜的氧化硅膜 3506，其厚度为 10-150nm，并在超过 700℃ 的温度下再进行热处理。此时，热处理气氛最好是如上所述的含卤族元素的气氛。这种情况下，处理条件可以与上述条件相同（图 24C）。

另外，热处理结束时，增加在惰性气氛中的热处理，以有效地提高栅绝缘膜 3506 的膜质量。

希望通过该热处理进一步去除残留于有源层中的镍。另外，在有源层 3503-3505 和栅绝缘膜 3506 间的界面形成热氧化膜，并可以得到有源层和栅绝缘膜间的优异界面，该界面几乎没有界面态等。此后，可以用与实施例 6 类似的步骤制造半导体器件。

[实施例 14]

本发明中，除图 2 所示的离子注入法外，可以采用如不用光刻胶掩模直接在非晶硅膜中掺入催化元素的方法，这构成另一实施例。

关于此方法，有一种如只向微小光点辐射离子的 FIB（聚焦离子束）法的技术。根据该技术，利用含催化元素的会聚离子束直接进行构图，以便在所需部位形成所需形状的催化元素掺入区。

根据该实施例，可以简化形成光刻胶掩模的步骤和构图的步骤，所以可以降低制造成本，提高产量。

[实施例 15]

该实施例中，将说明与实施例 2 所示的层间绝缘膜（第一至第三）结合的一些实例。

首先，图 7D 中，用聚酰亚胺作第一和第二层间绝缘膜 557 和 563，作为主要含铝的的布线 558—562 的底层，和作为由钛膜制成的黑掩模 564 的底层。用丙烯酸作第三层间绝缘膜 565，作为像素电极 566 的底层。

在本发明人的实验条件下，由于布线 558—562 和黑掩模 564 的膜生长温度（300℃）比丙烯酸的耐热温度（200℃）略高，所以最好采用能够耐受作为底层的膜生长温度的聚酰亚胺（耐热温度为约 350—400℃）。由于像素电极 566 在室温下形成，所以有低耐热性的丙烯酸可以用作底层。然而，这种结构仅限于像素电极 566 由具有低膜生长温度的材料（如可以在低于丙烯酸的耐热温度下形成膜的材料）例如 ITO 制造的情况。

这种结构具有以下优点。

（1）由于丙烯酸具有光敏性，可以直接构图，而不必利用光刻胶掩模，所以可以简化制造步骤。

（2）由于丙烯酸比聚酰亚胺便宜，氢可以降低制造成本。

（3）ITO 和丙烯酸间的粘附力比 ITO 与聚酰亚胺间的要好。

（4）由于丙烯酸平整性好，所以可以产生均匀的电场，加于像素电极上。

关于其它实例，所有层间绝缘膜皆可以用聚酰亚胺，或所有层间绝缘膜皆可以用丙烯酸。然而，在所有层间绝缘膜用丙烯酸制造时，先决条件是，形成丙烯酸膜后，所进行的步骤应在低于丙烯酸的耐热温度的温度下进行。

[实施例 16]

本发明可以应用于任何半导体器件，任何半导体器件只要其电路利用具有绝缘表面的基片上的 TFT 形成，皆包含在本发明的应用范围内。这种半导体器件包括只用作如 IC 和 VLAI 等的逻辑电路和用于如有源矩阵型电光器件等显示器的器件。

尤其是，关于有源矩阵型电光器件，利用包括图 1 所示的内建逻辑电路的系统显示器，本发明可以应用于有源矩阵型液晶显示器件、有源矩阵型 EL 显示器件、有源矩阵 EC 显示器件等。

这些有源矩阵显示器件大体上分为透射型显示器件和反射型显示器件。例如，透射型液晶显示器件是背光源设置于有源矩阵基片（其上设置有 TFT 的基片）背侧，通过看见透过显示单元的光识别图象的器件。反射型液晶显示器件是从有源矩阵基片的表面侧入的射光被设置于有源矩阵

基片上的像素电极反射，通过看反射光便可识别图象的器件。

尽管透射型显示器件和反射型显示器件的 TFT 结构没有多大差别，但可以知道的特点是，两者间形成像素电极的材料不同。例如，在制造透射型显示器件时，用透明 ITO 等电极作图 14A 中的像素电极 1411 便已足够。而在制造反射型显示器件时，利用具有高反射率的不透明电极作像素电极 1411 方可。

以此方式，通过稍微改变 TFT 的结构，本发明便可用于透射型和反射型显示器件。尤其是，由于对于反射型显示器件来说孔径比不成问题，因此具有设计自由度比透射型显示器件高的优点。例如，在透射型液晶显示器件中，像素区几乎由光通过的窗口部分构成，如图形显示区 1414。另一方面，反射型液晶显示器件中，由于其它电路可以形成于图象显示区的背侧，所以集成度可以进一步提高。

[实施例 17]

在该实施例中，构成像素矩阵电路的像素结构的实例如图 25 所示。然而，为了简化结构省略了像素电极。

图 25 中，11 表示有源层，相当于图 19C 中的有源层 3026。该实施例中，在漏侧形成有源层 11，使之在所有像素中延伸，该实施例的特点在于，有源层也用作附加电容的下电极 12。

栅线 13 通过栅绝缘膜设置于其上。栅线 13 相当于图 20B 中的栅电极 3042。另外，附加电容的上电极 14 形成于除栅线 13 以外的区域。上电极 14 相当于图 20B 中的上电极 3043。

这种情况下，上电极 14 设置成有几乎与将变成下电极的有源层相同的形状，并形成几乎相当于像素所占面积的附加电容。邻近像素的上电极 14 彼此电连接（上电极与栅线并联，以便不与栅线交叉）。即，所有像素中的附加电容的上电极保持相同的电位。

接着，通过第一层间绝缘膜，在栅线 13 和附加电容上电极 14 上形成源电极（源线）15 和漏电极 16。这些电极相当于图 21B 中的源电极 3072 和漏电极 3074。

尽管未示出，但如图 21C 所示，形成层间绝缘膜 3075 和像素电极 3076，并进行已知的单元组装步骤后，便完成了反射型液晶显示器件。在采用该实施例的结构时，即使像素区变小，也可以确保利用该区的附加电容的最大值。

如果将该实施例所示结构制成相当于 XGA, 则很难利用横向生长区形成设置于像素矩阵电路中的 TFT 的有源层。这是因为, XGA 中像素尺寸很小, 约 $30\mu\text{m}^2$, 所以如果利用常规方法形成较大镍掺入区, 那么将不可能通过去除掺入区而形成附加电容的下电极。

然而, 本发明中, 由于采用了在源电极 15 等之下提供镍掺入区, 所以不会发生上述问题。

[实施例 18]

本实施例中, 将说明将本发明应用于不同于实施例 13 的反射型液晶显示器件的实例。图 26A 是该器件的顶视图 (然而, 省略了相对基片、液晶层和像素电极), 图 26B 是其剖面图。

图 26A 和 26B 中, 20 表示有源层, 21 表示栅电极 (栅线), 22 表示源电极 (源线), 23 表示漏电极。此时漏电极 23 形成得较大 (虚线所示区), 所以该电极在像素区的整个表面上延伸。该漏电极 23 用作附加电容的下电极。

在漏电极上形成氮化硅膜 24 (见图 26B), 并在氮化硅膜上形成钛膜 25, 钛膜 25 用作附加电容的上电极, 氮化硅膜 24 夹持在漏电极 23 和钛膜 25 之间, 形成附加电容。

实际上, 如图 26B 所示, 形成像素电极 26 以掩蔽整个像素。然后在其上形成取向膜 (未示出)。这里, 总体来说它们被称为有源矩阵基片。

而且, 如图 26B 所示, 制备相对基片, 该基片为在透明基片 27 上形成有透明导电膜 28 和取向膜 (未示出) 的基片。根据需要, 滤色器、黑掩模等可以设置于相对基片上。

液晶层 30 被密封材料 29 密封, 夹持于相对基片和有源矩阵基片之间。液晶材料可以根据如 ECB 模式或宾主模式等液晶驱动模式适当地改变。

该实施例中, 液晶层不设置于外围电路之上, 以防止在外围电路和相对基片侧的透明导电膜 28 间形成寄生电容。当然, 本发明可应用于液晶层设置于基片整个表面上的结构。

在实施例 13 和 7 中, 尽管说明了构成反射型液晶显示器件的实例, 但不必说, 本发明还可以应用于透射型液晶显示器件。

由于本发明具有电路设计自由度较大的效果, 所以对于提高透射型显示器件的孔径比很有效。

本发明还可应用于除液晶显示器件外的电光器件。这种电光器件包括

EL（电致发光）显示器件、EC（电色）显示器件等。

[实施例 19]

该实施例中，将参照图 16A—16E 说明利用实施例 8 所示的电光器件的应用产品，其中实施例 8 是可以应用本发明的一个实例。

利用本发明的半导体器件包括（数字）视频摄象机、（数字）静态摄象机、头顶式显示器、汽车导航系统。个人计算机、便携式信息终端（汽车电脑、便携式电话等）等。

图 16A 示出了一种汽车电脑，它由主体 2001、摄象部分 2002、图象接收部分 2003、操作开关 2004、和显示器件 2005 构成。在本发明应用于显示器件 2005，以便与显示控制电路、运算电路等成一体时，便可以实现卡式汽车电脑。

图 16B 展示了一种头顶式显示器，它由主体 2101、显示器件 2102 和曲柄部分 2103 构成。在本发明应用于显示器件 2102 时，可以极大地减小此显示器件。

图 16C 展示了一种汽车导航系统，它由主体 2201、显示器件 2202、操作开关 2203 和天线 2204 构成。由于来自卫星的信息传输到汽车导航系统，所以必须进行极高驱动频率的电路的信号处理。在本发明应用于显示器件 2202 时，可以进一步减小汽车导航系统的尺寸，并降低成本。

图 16D 展示了一种便携式电话，它由主体 2301、声音（音频）输出部分 2302、声音（音频）输入部分 2303、显示器件 2304、操作开关 2305 和天线 2306 构成。在本发明应用于显示器件 2304 时，便可以安装数字显示监视器。

图 16E 展示了一种视频摄象机，它由主体 2401、显示器件 2402、声音（音频）输入部分 2403、操作开关 2404、电池 2405 和 图象接收部分 2406 构成。在本发明应用于显示器件 2402 时，可以极大地简化器件结构，从而可以实现极小尺寸器件。

如上所述，本发明的应用范围很广泛，本发明可以应用于任何场合的显示媒体。由于本发明的应用可以使有源矩阵显示器自身具有各种功能，所以可以极大地减小电光器件的尺寸。不久地将来，便可以通过此系统显示器实现卡式的便携式电光器件。

实现本发明的第一发明的极重要结构是获得具有独特晶体结构体的硅薄膜，该薄膜是通过对已利用催化元素结晶化的结晶硅膜进行利用卤族元

素的催化元素吸除工艺得到的。

利用通过实施例 2 所述制造步骤形成的硅薄膜的 TFT 具有以下特点，具有可与利用单晶硅的 MOSFET 相比的亚阈值系数，和高场效应迁移度。由一簇多个棒状或扁平棒状晶体构成的晶体结构体所形成的硅薄膜，具有抑制利用自身抑制短沟道效应的作用，即使 TFT 制作得很小，也可以实现高耐压和高工作速度特性，且不要利用沟道掺杂法等。

通过利用具有极好性能即驱动频率和工作电压范围宽的 TFT，可以在同一基片上形成高频驱动 TFT 和高耐压驱动 TFT。

第二发明的结构是，利用离子注入法作为掺入催化元素的方法，在要求部位形成具有所需生长距离的横向生长区。利用该技术，甚至在电路由沟道长度为 $0.25\text{-}0.7\mu\text{m}$ 的极小 TFT 构成时，也可以形成随电路设计不同而具有合适尺寸的横向生长区，所以可以容易地统一器件特性。

由于可以实现上述效果，所以可以形成一种半导体器件，其中在具有绝缘表面的基片上形成有由 TFT 构成的逻辑电路。另外，可以甚至实现带有包括逻辑电路、驱动电路和像素电路的内建逻辑电路的半导体器件，其中高频驱动 TFT 和高耐压驱动 TFT 装在同一基片上。

由于除像素矩阵电路和驱动电路外，本发明的半导体器件还承载着显示控制电路、存储电路和最终可以包括运算电路的逻辑电路，所以其可以用作功能多且轻便的系统显示器。而且，高频驱动电路设计成使工作电压不会变得比所需电压更大，所以电功耗相当低。

而且，例如在将这种半导体器件应用于液晶显示器件，或利用这种显示器件的应用产品作显示监视器时，可以提供体积小、重量轻且便宜的产品。

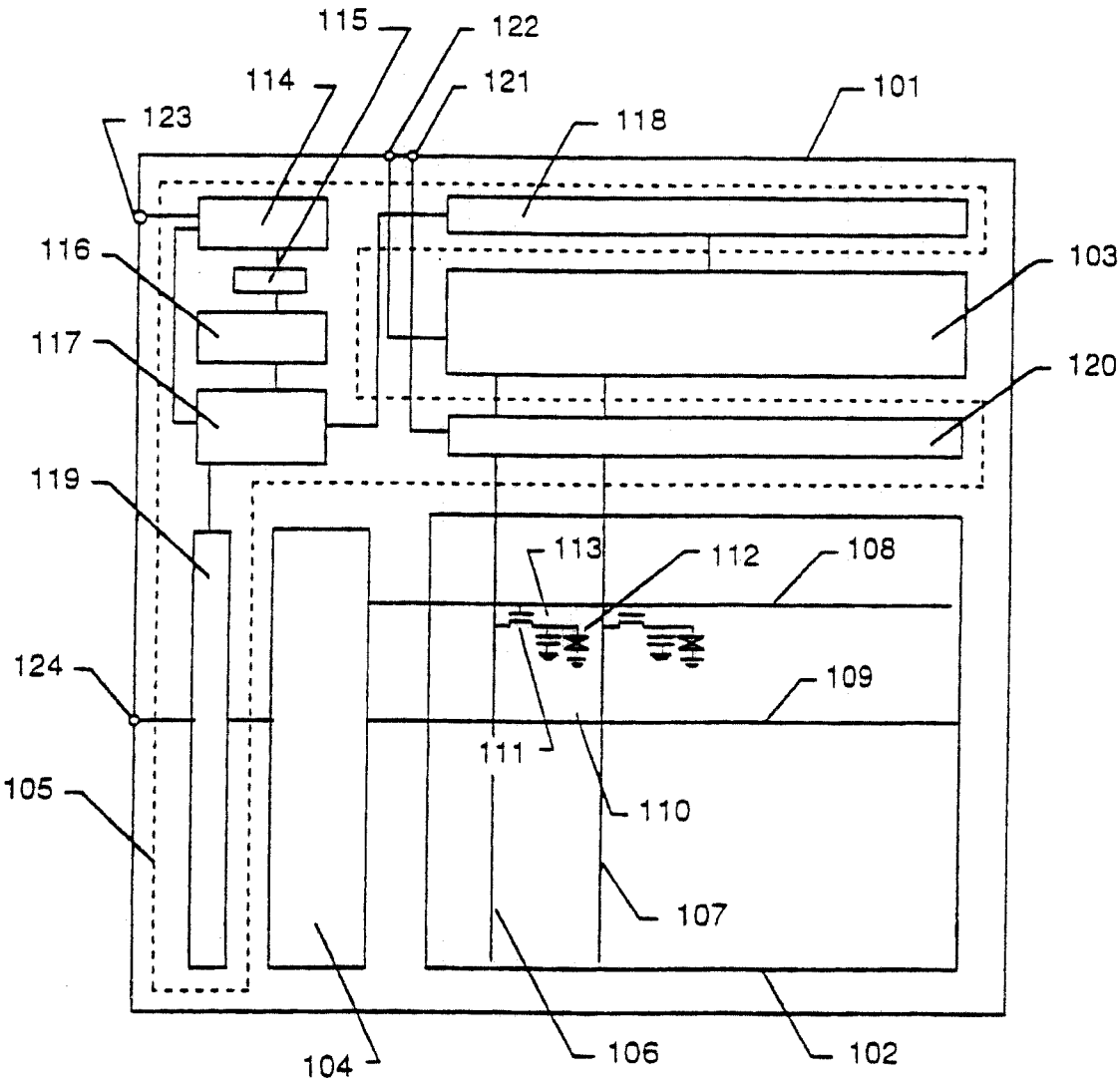


图 1

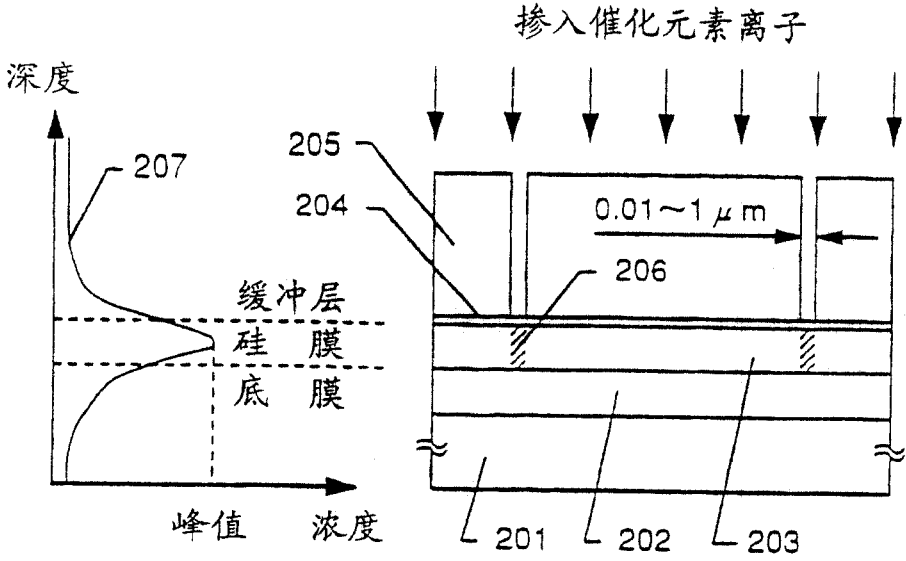


图 2

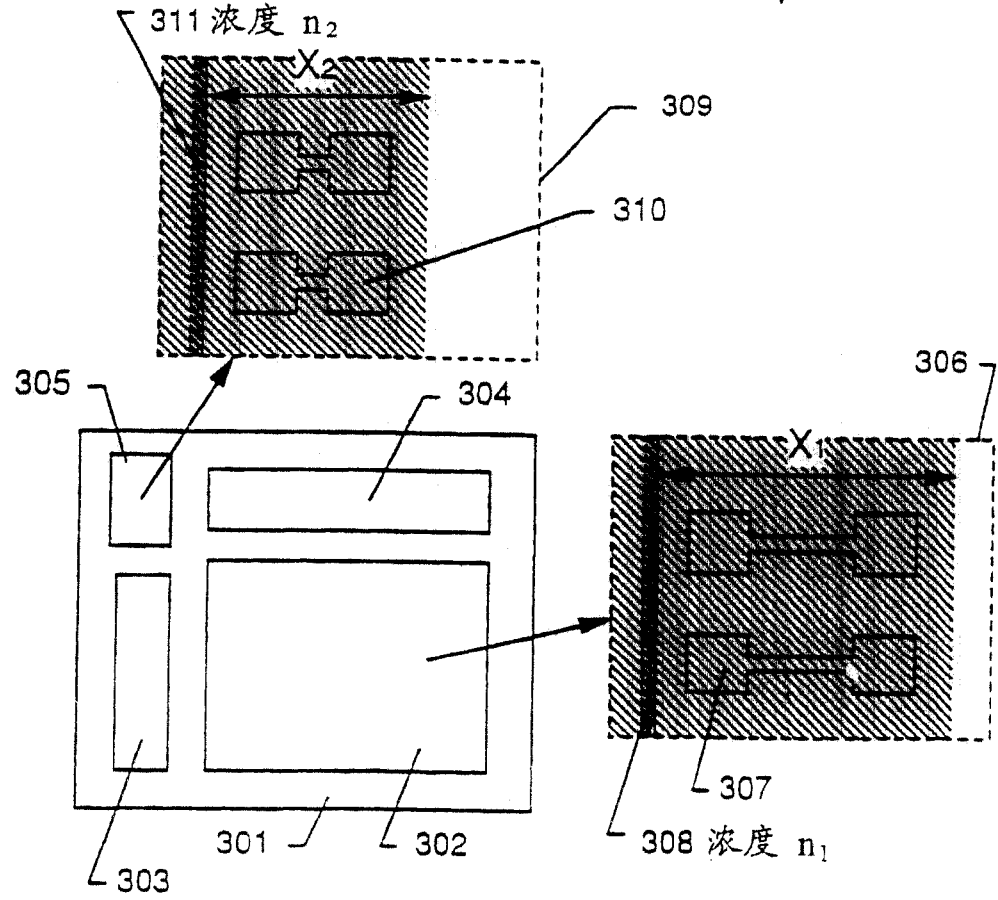


图 3

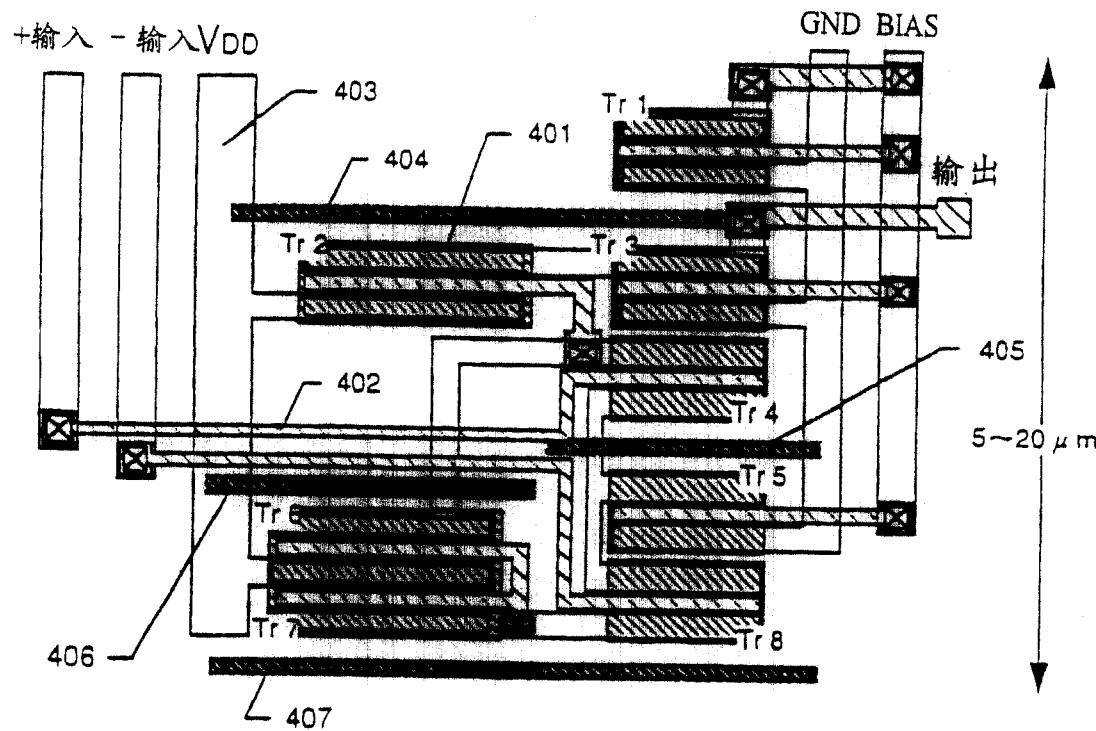


图 4A

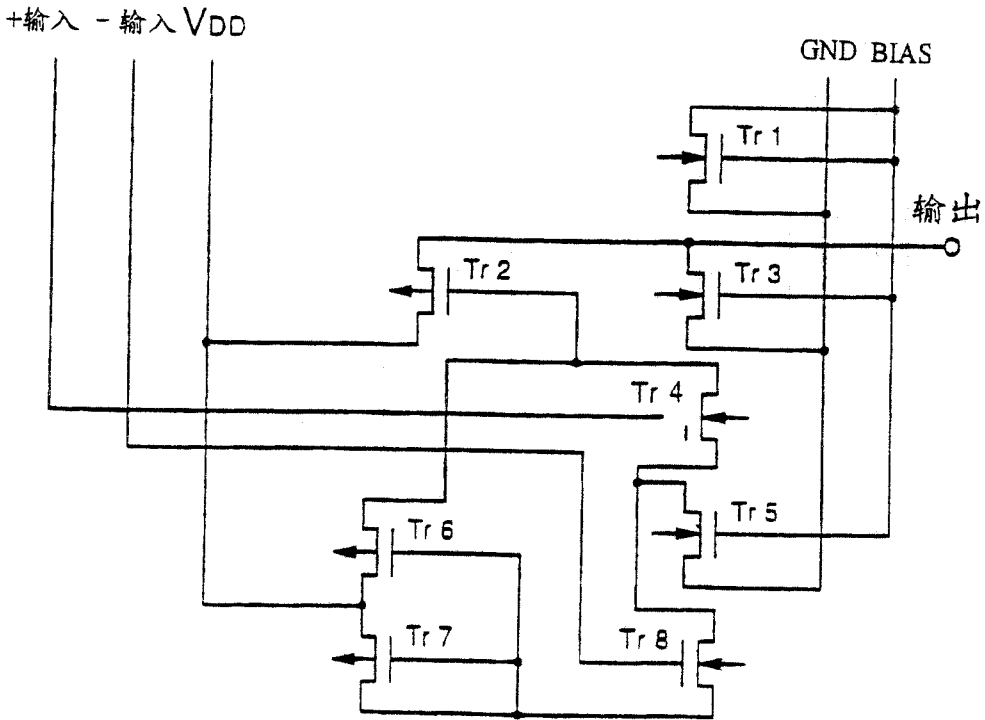
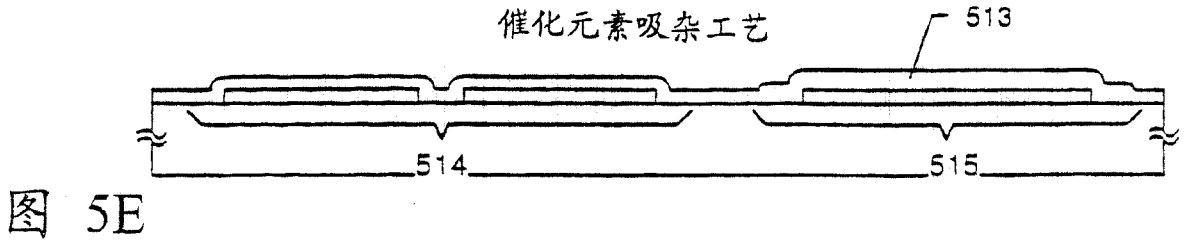
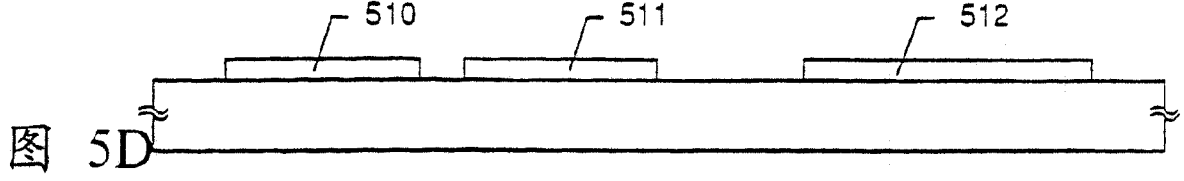
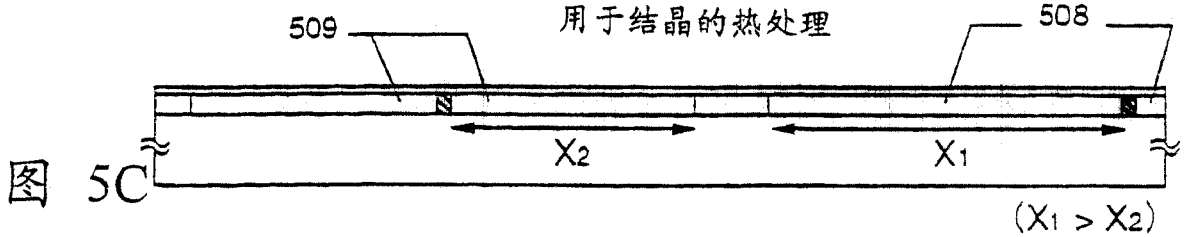
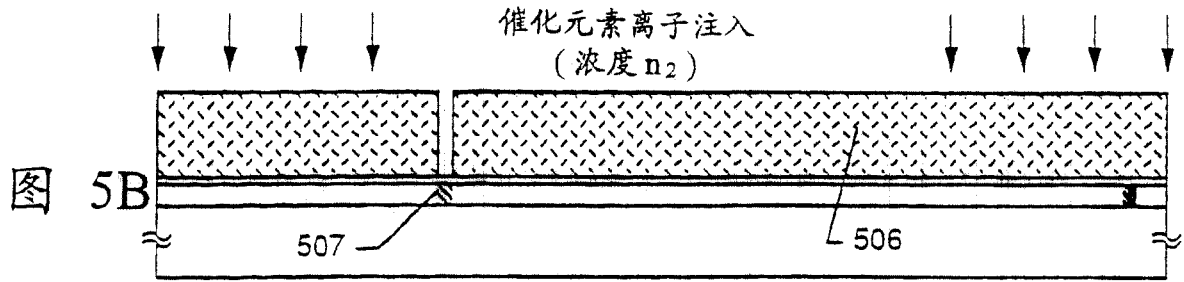
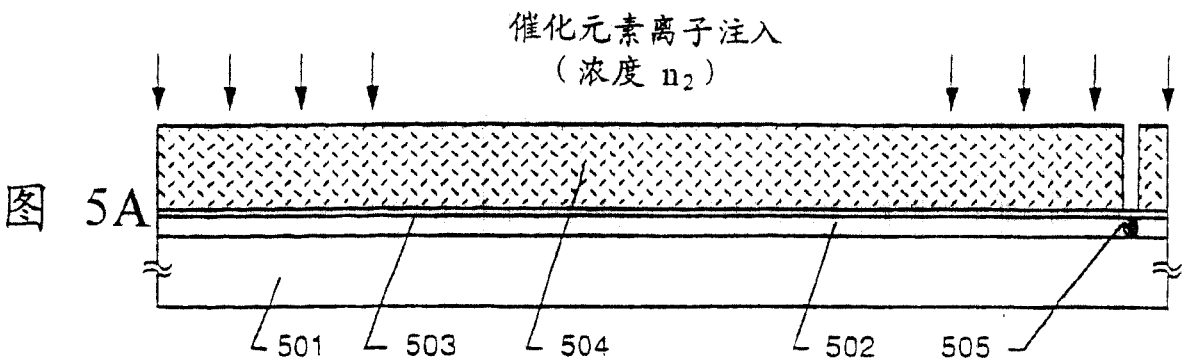
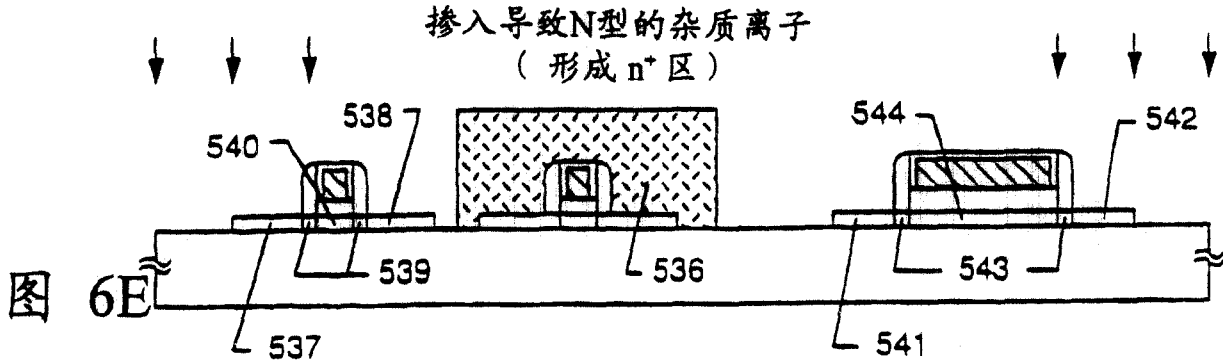
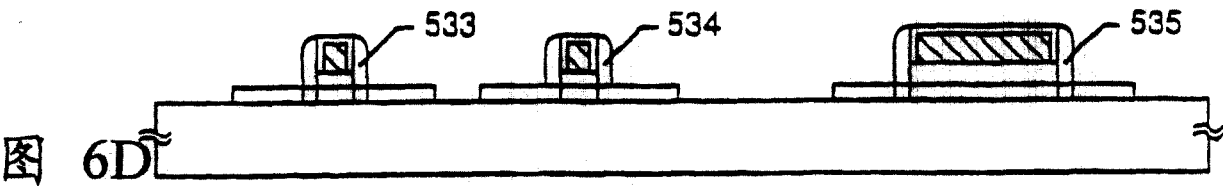
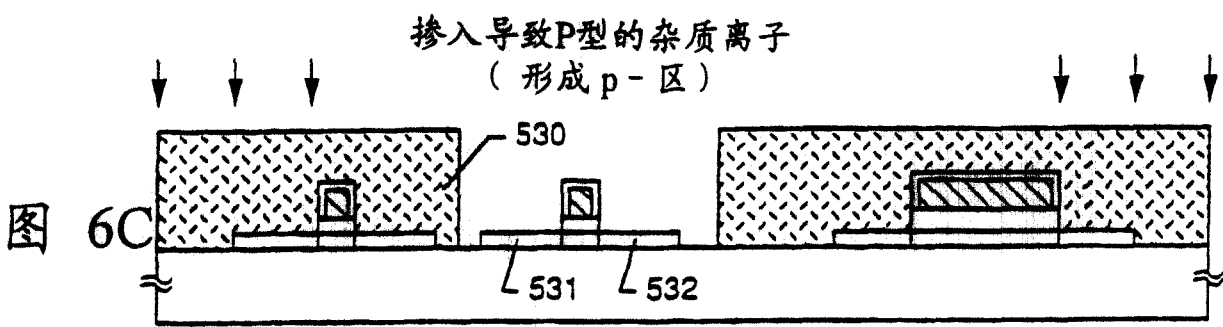
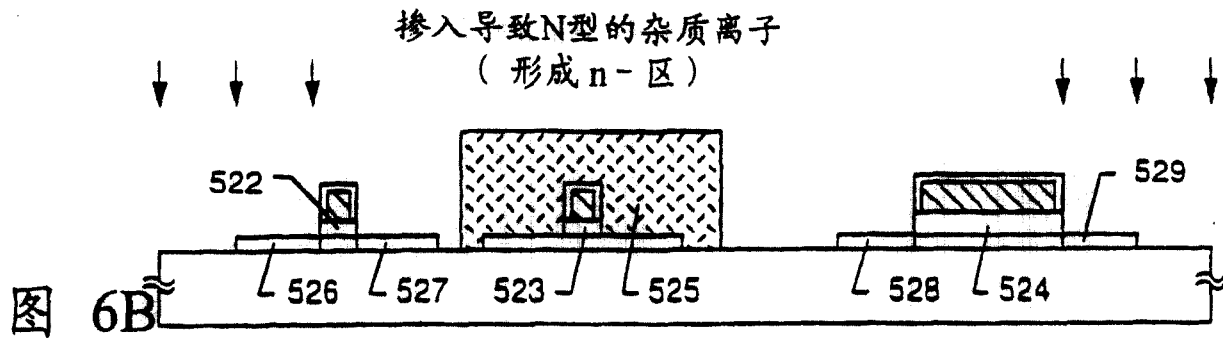
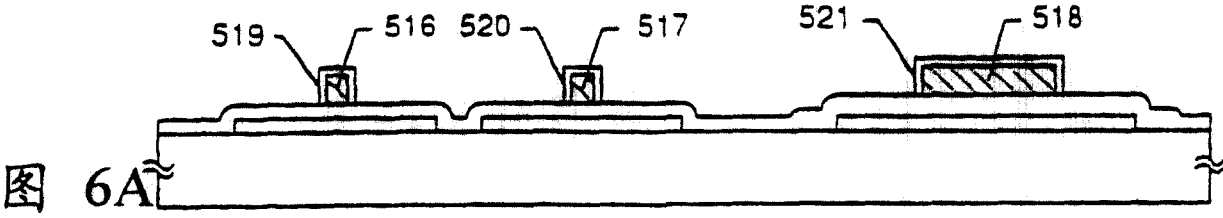


图 4B





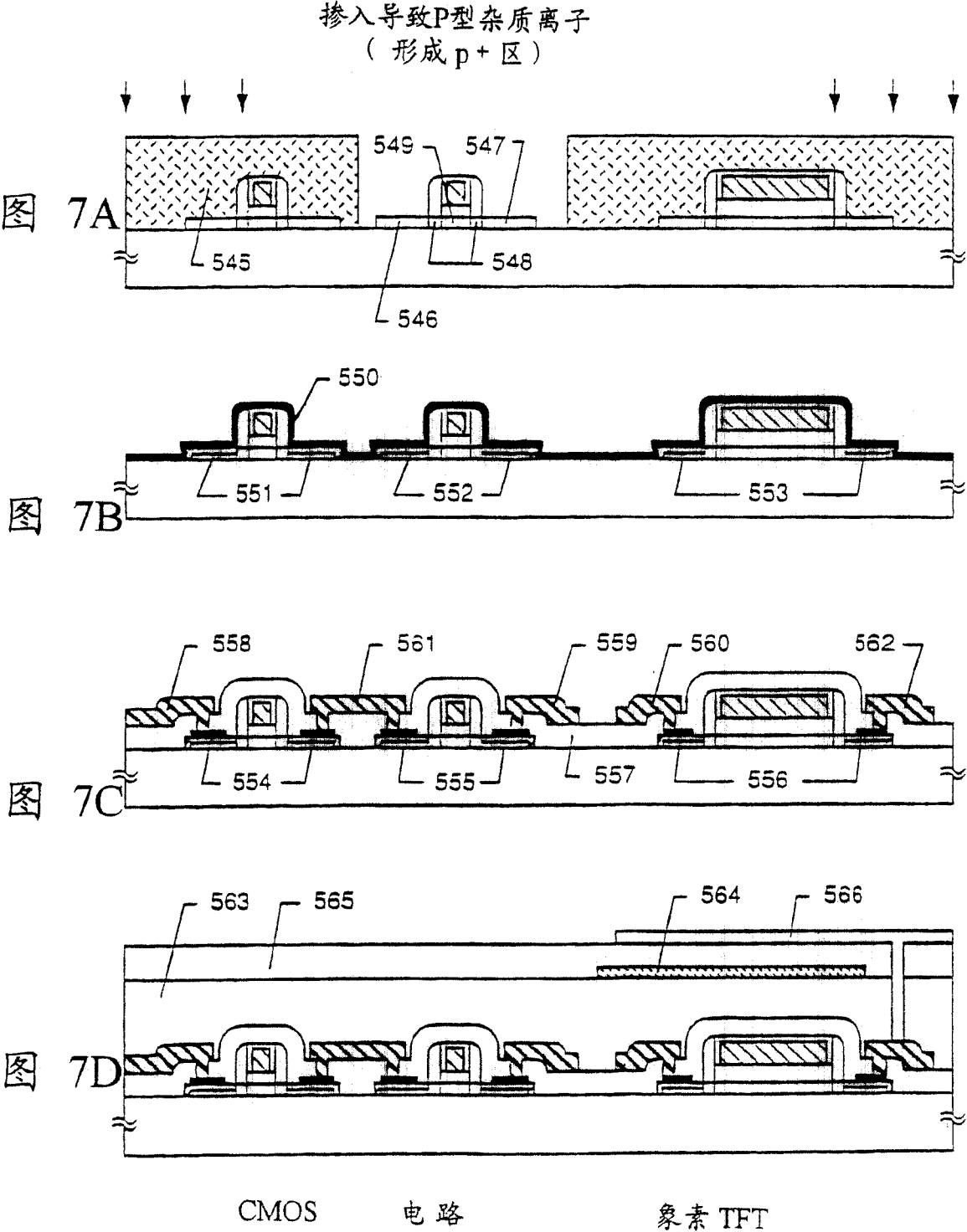




图 8

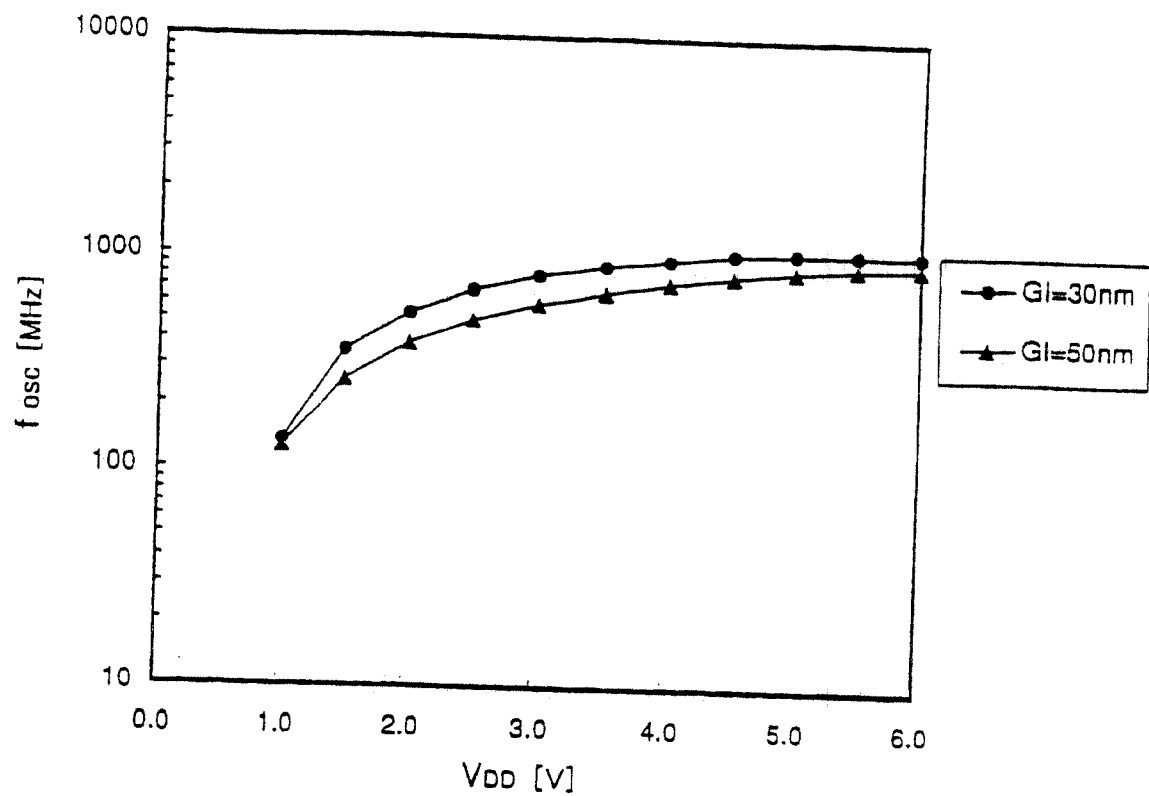


图 9

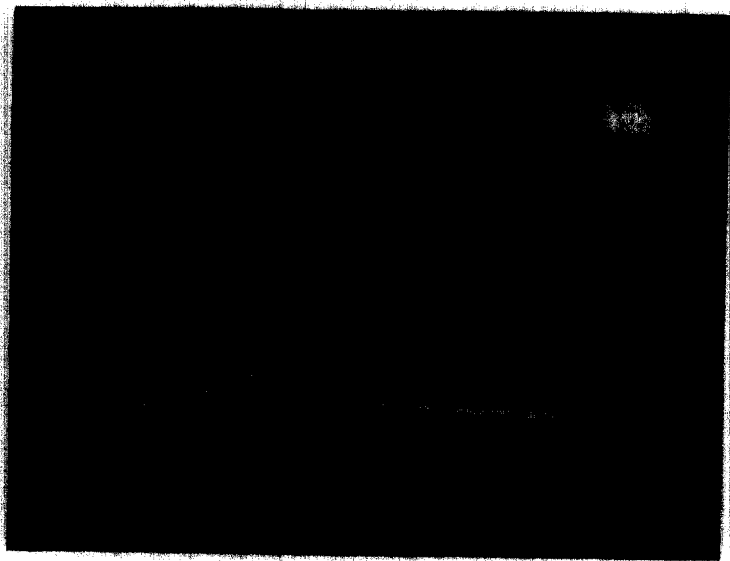


图 10

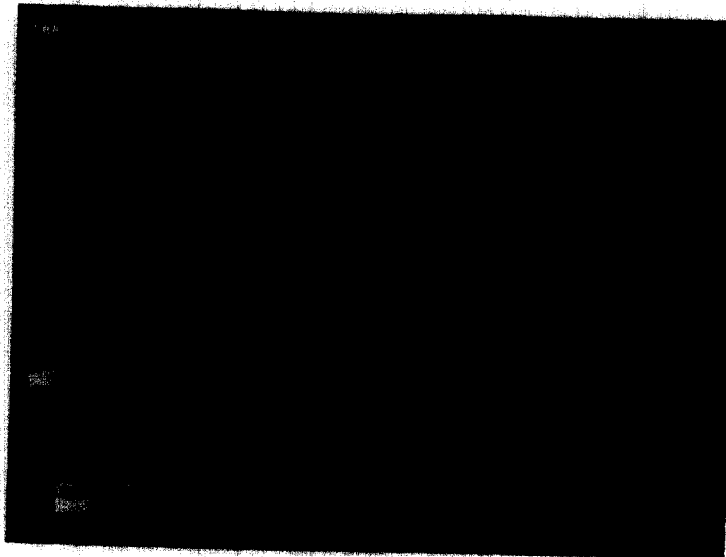


图 11

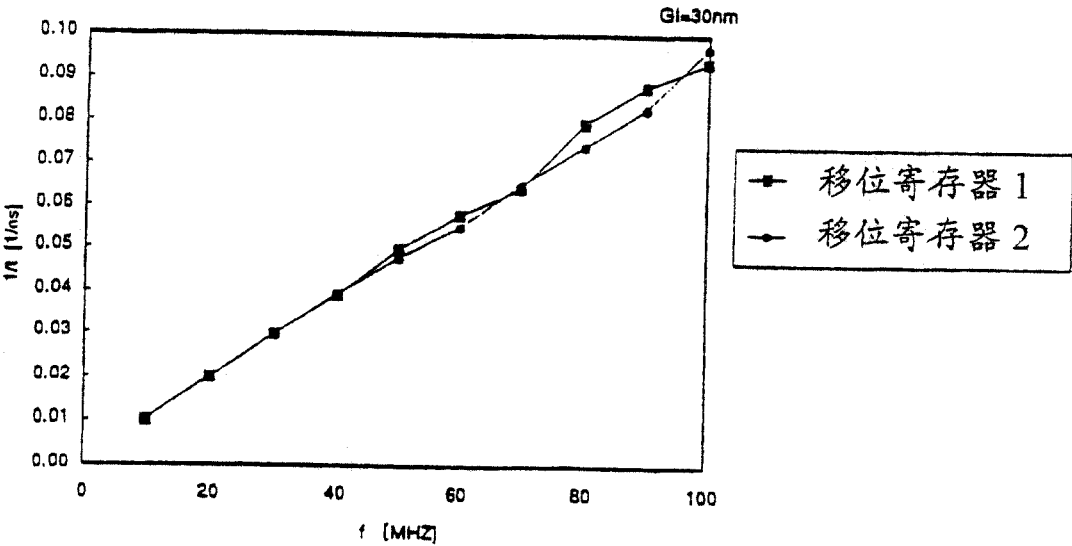


图 12

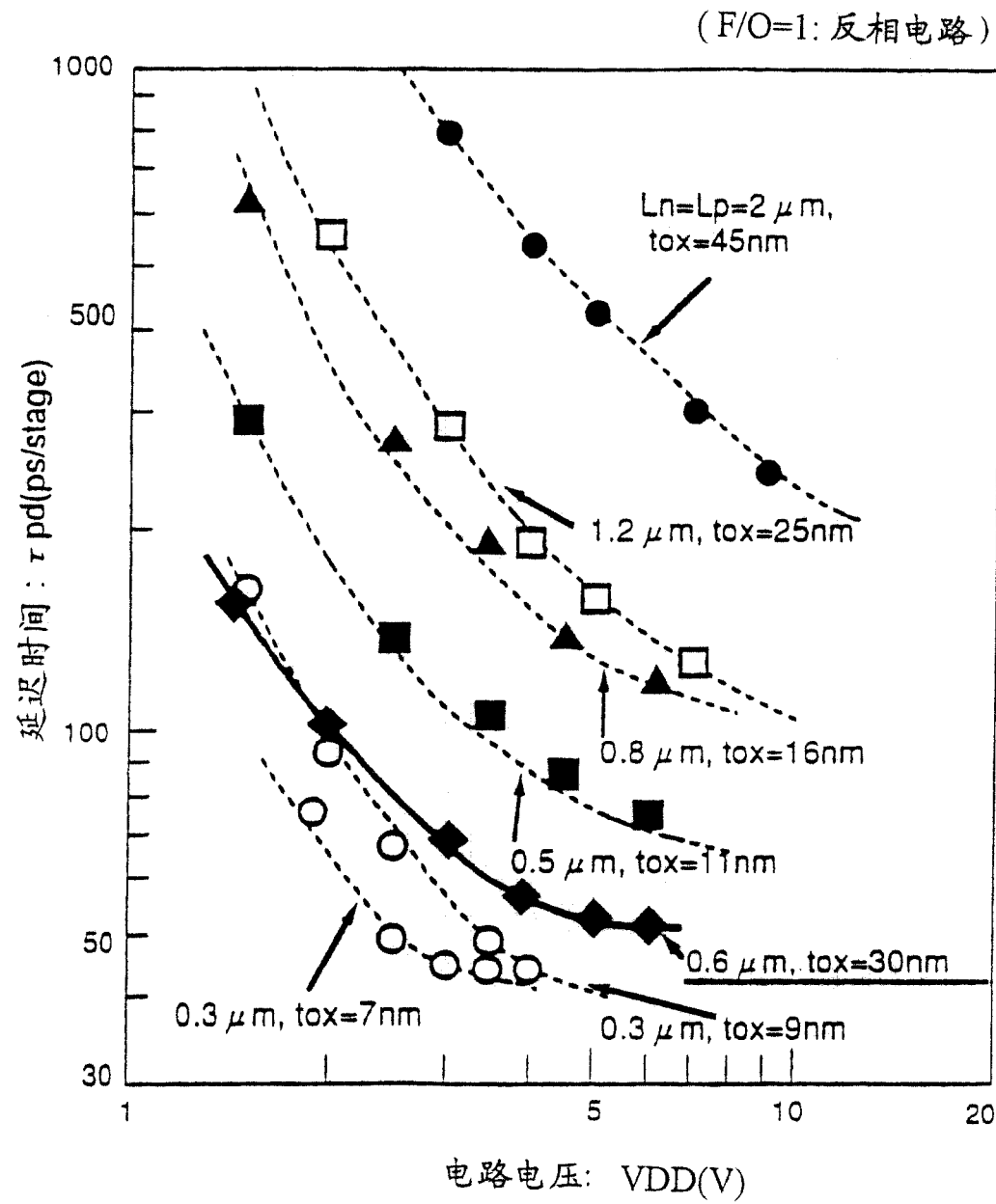


图 13

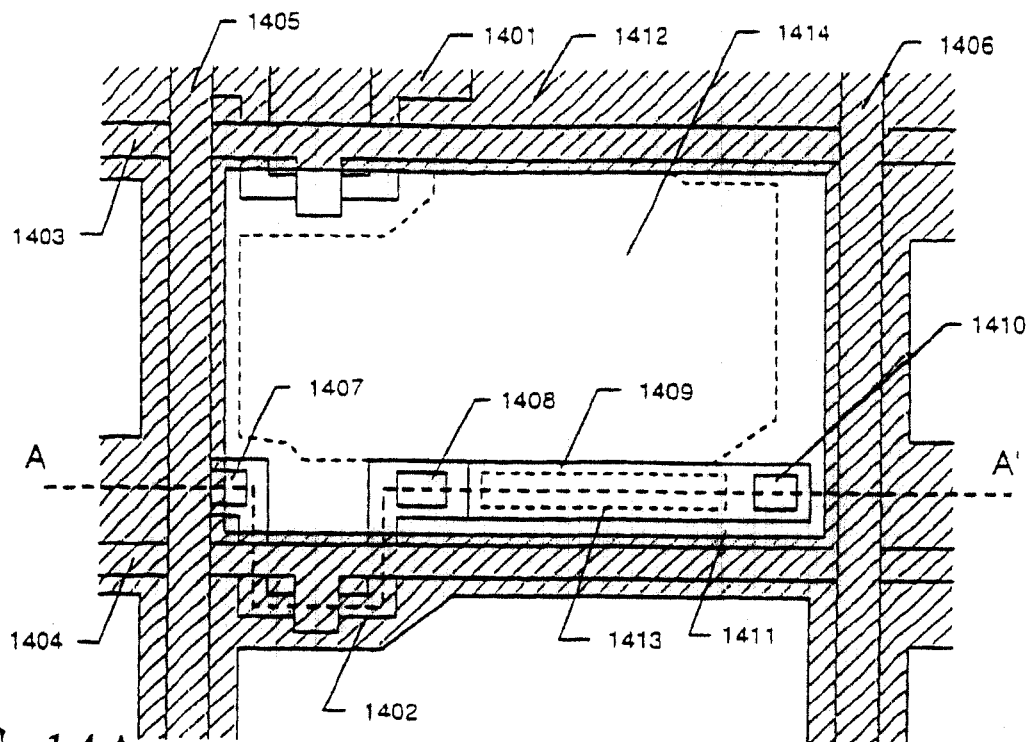


图 14A

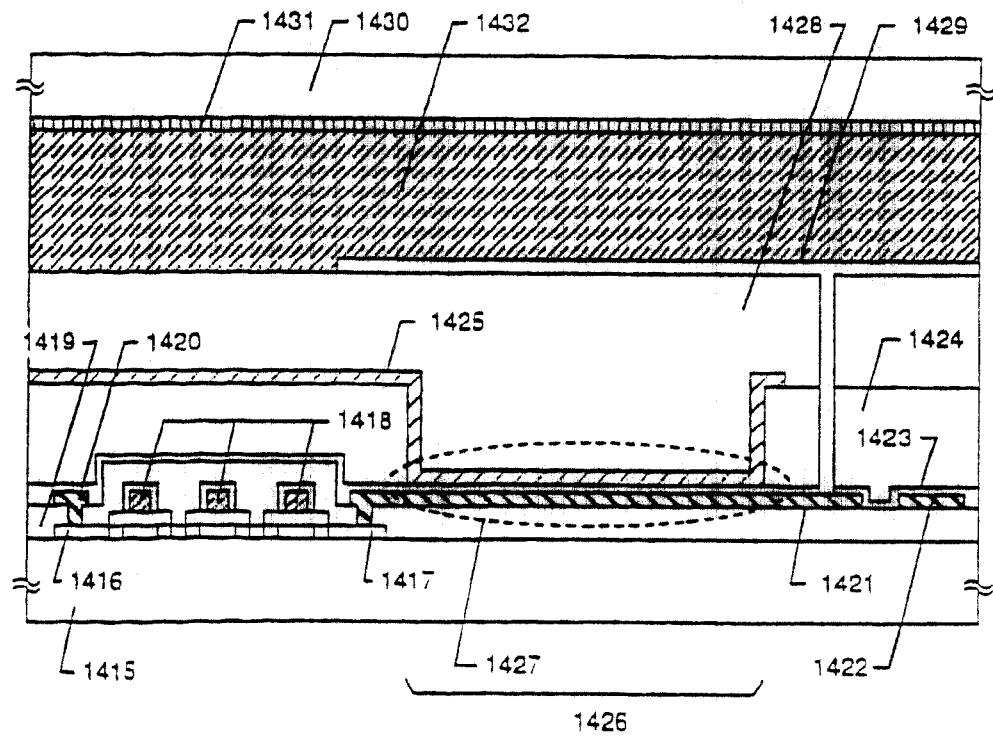


图 14B

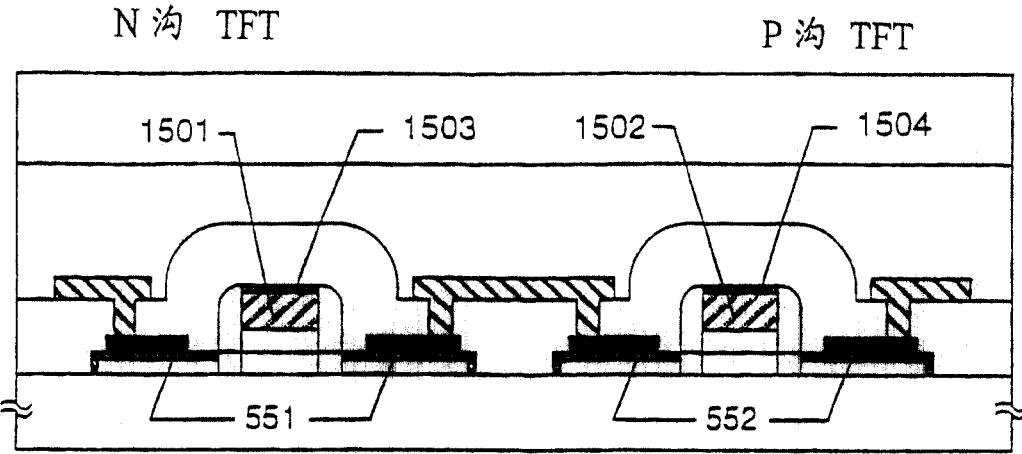


图 15A

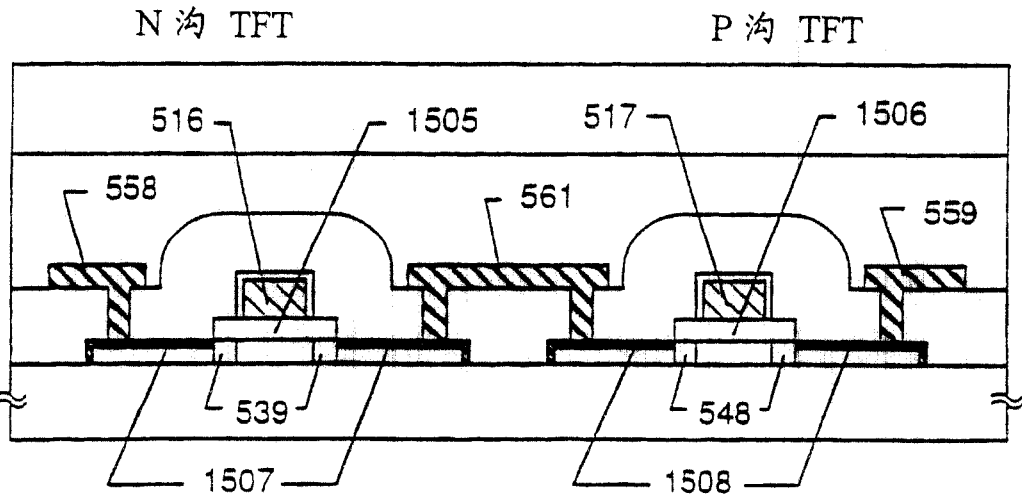


图 15B

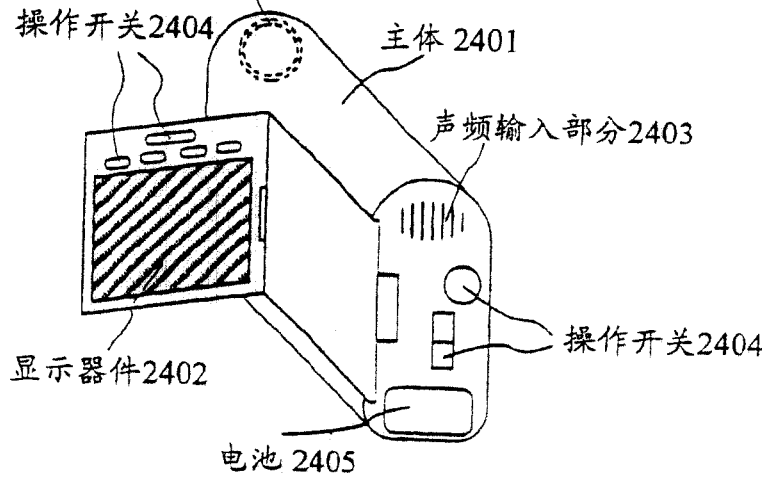
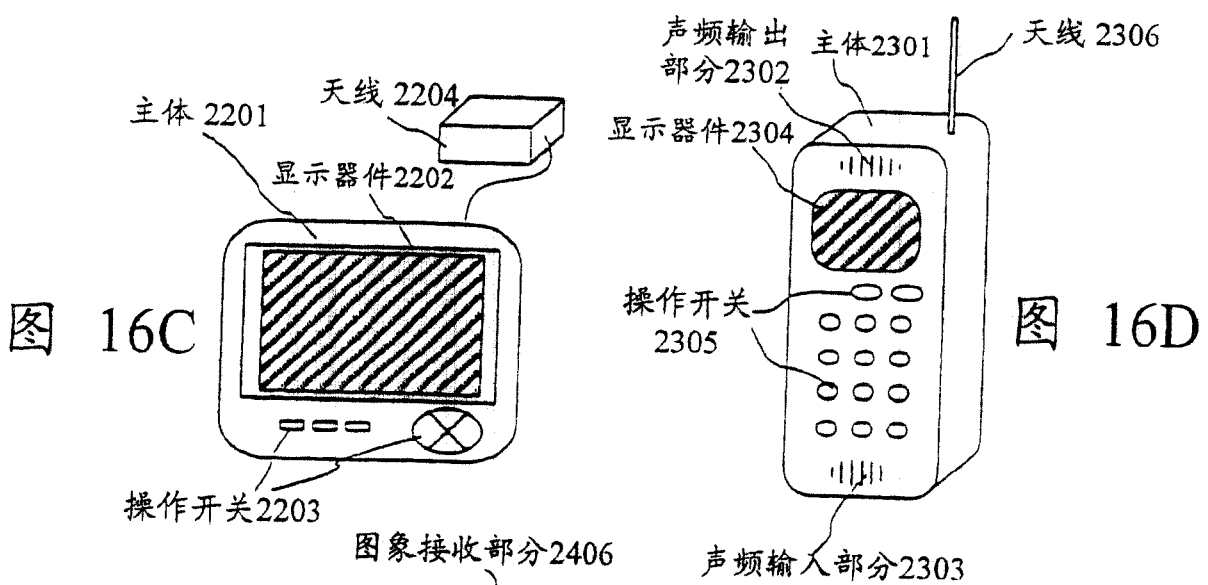
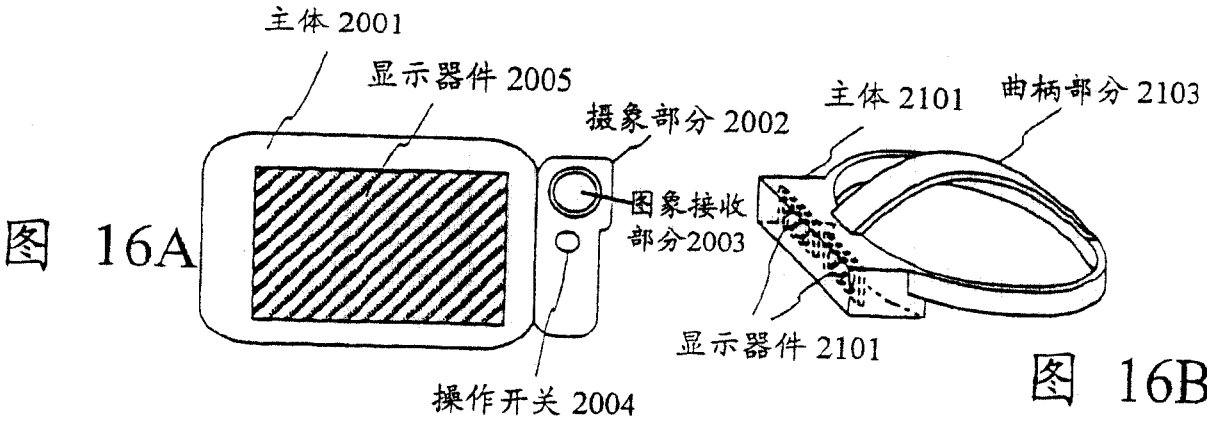


图 16E

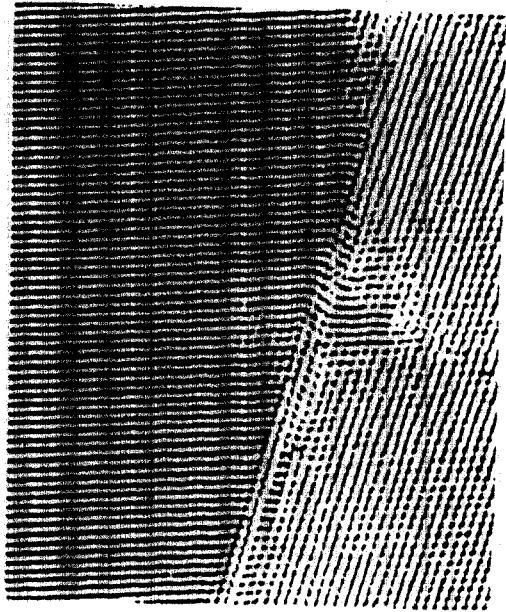


图 17A

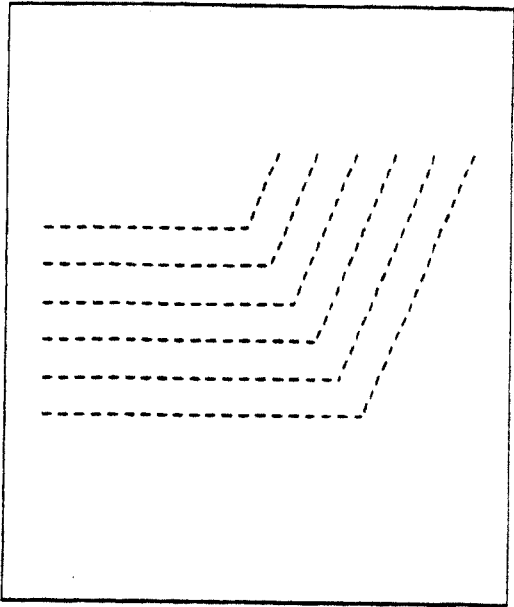


图 17B

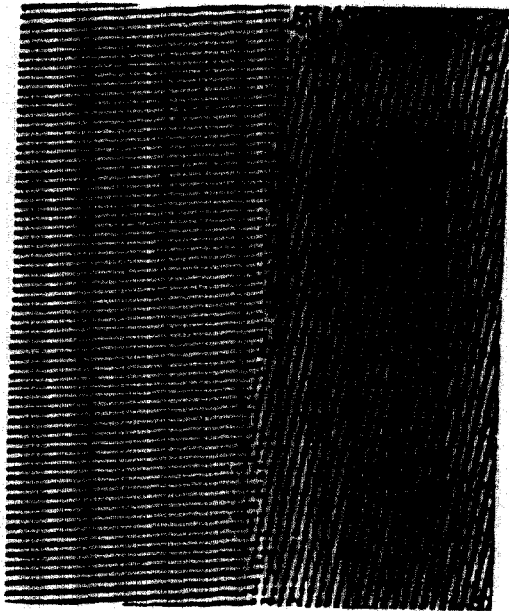


图 17C

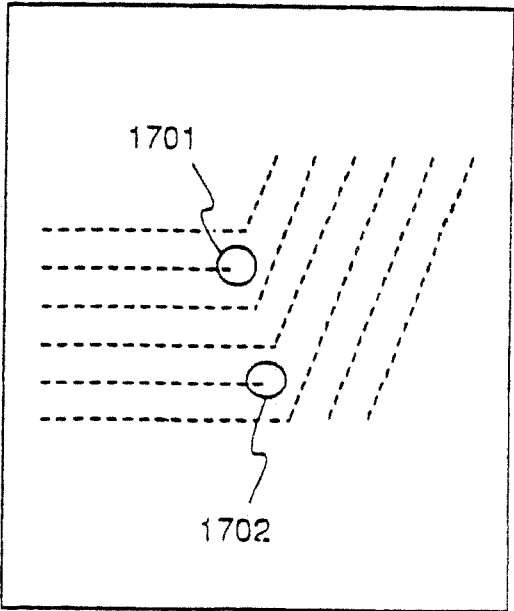
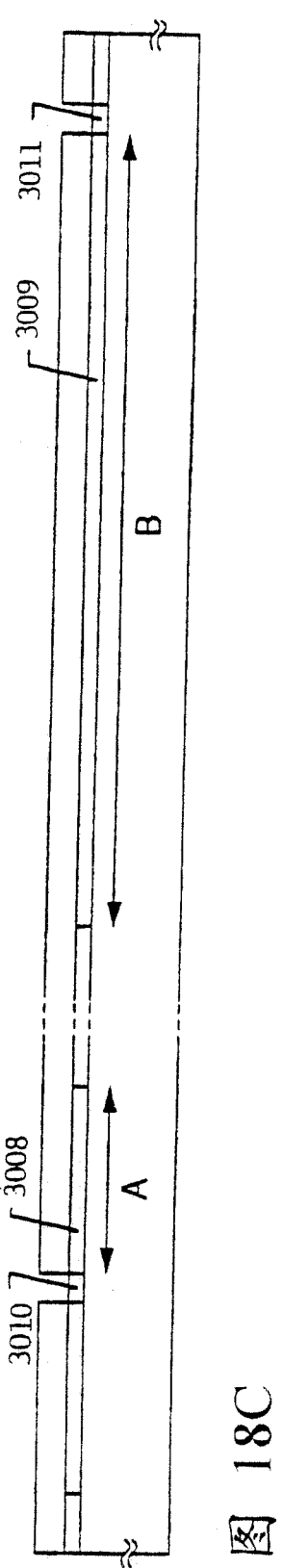
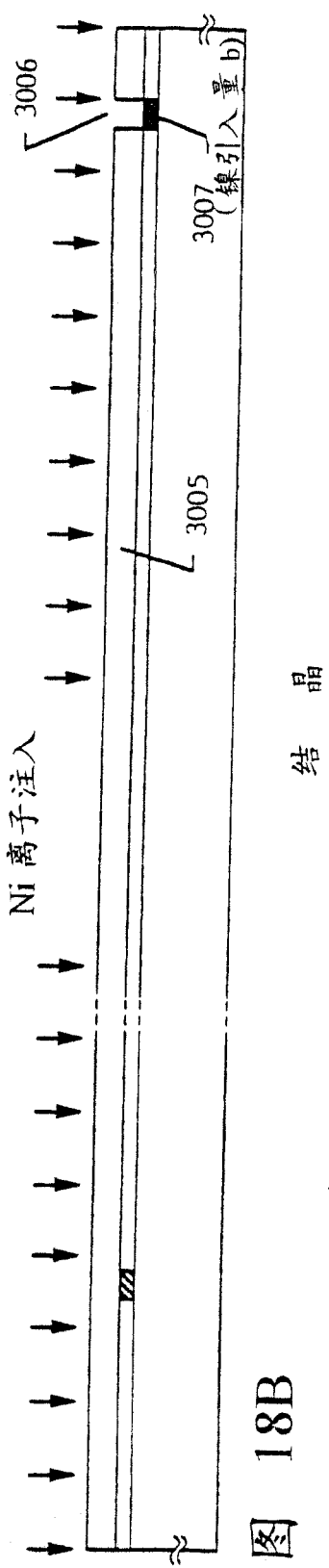
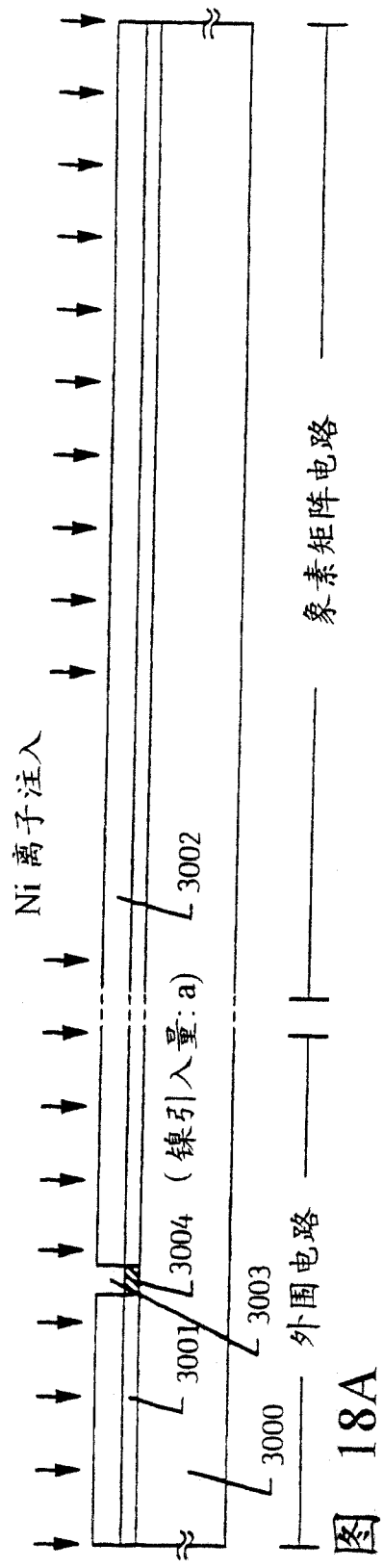


图 17D



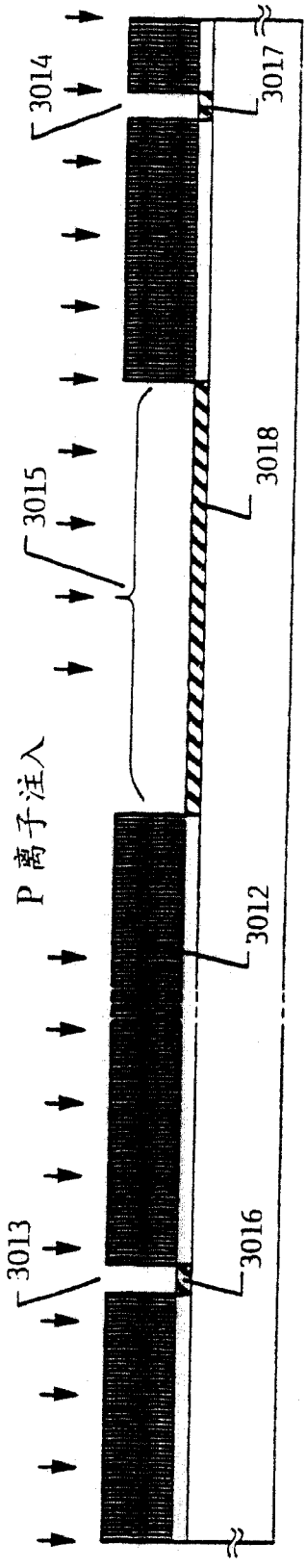


图 19A

磷元素掺杂

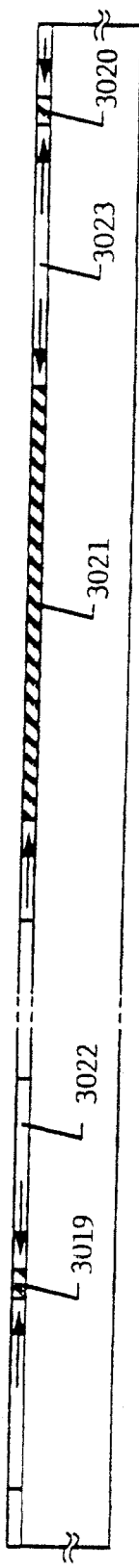


图 19B

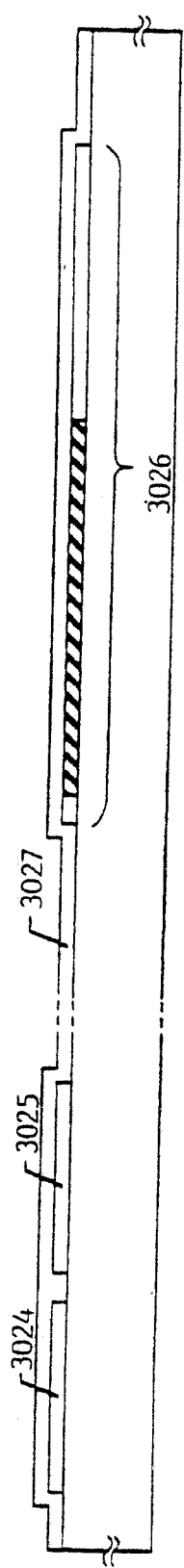
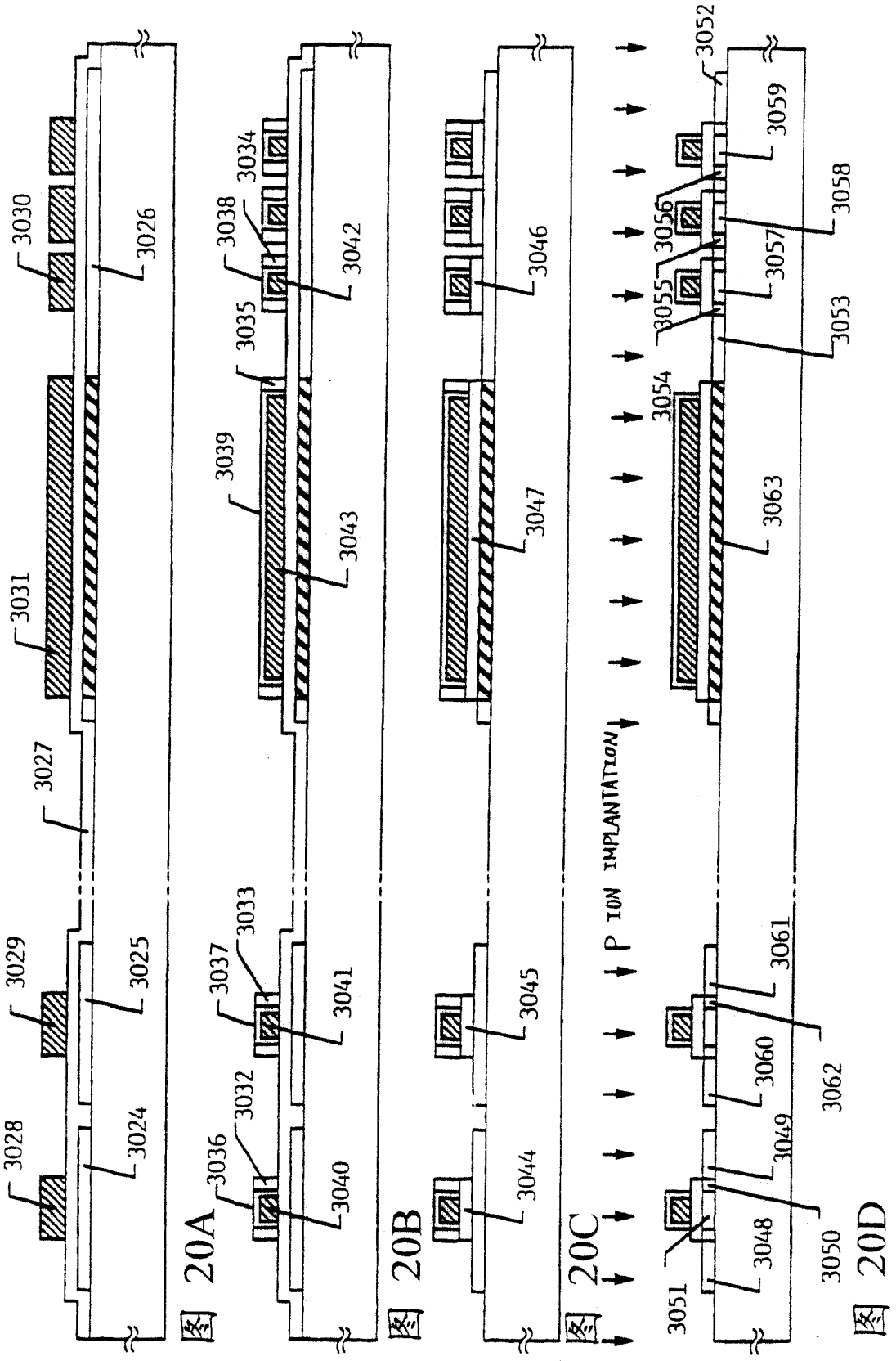
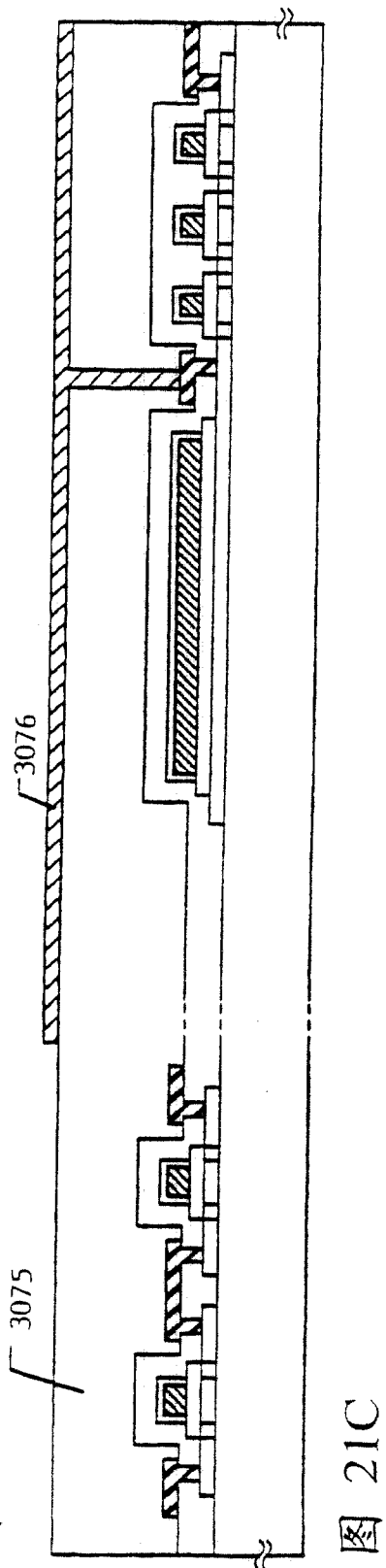
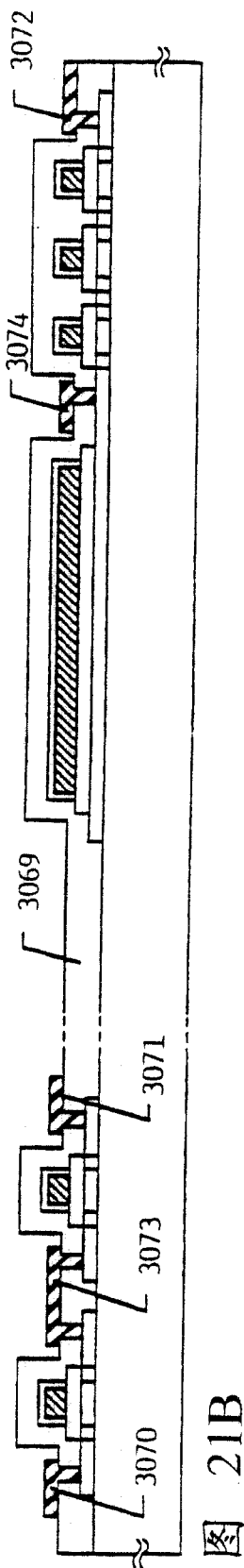
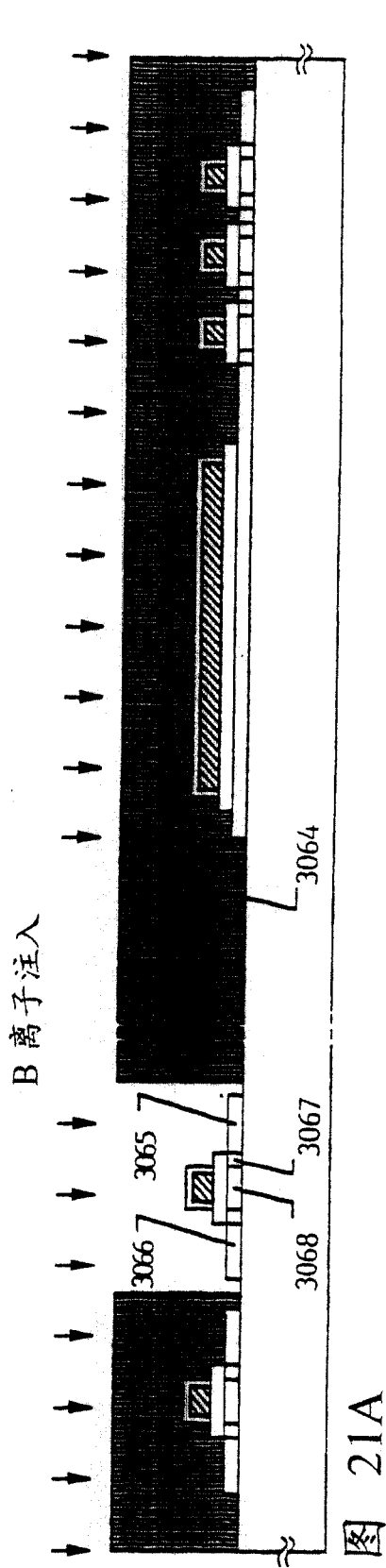


图 19C





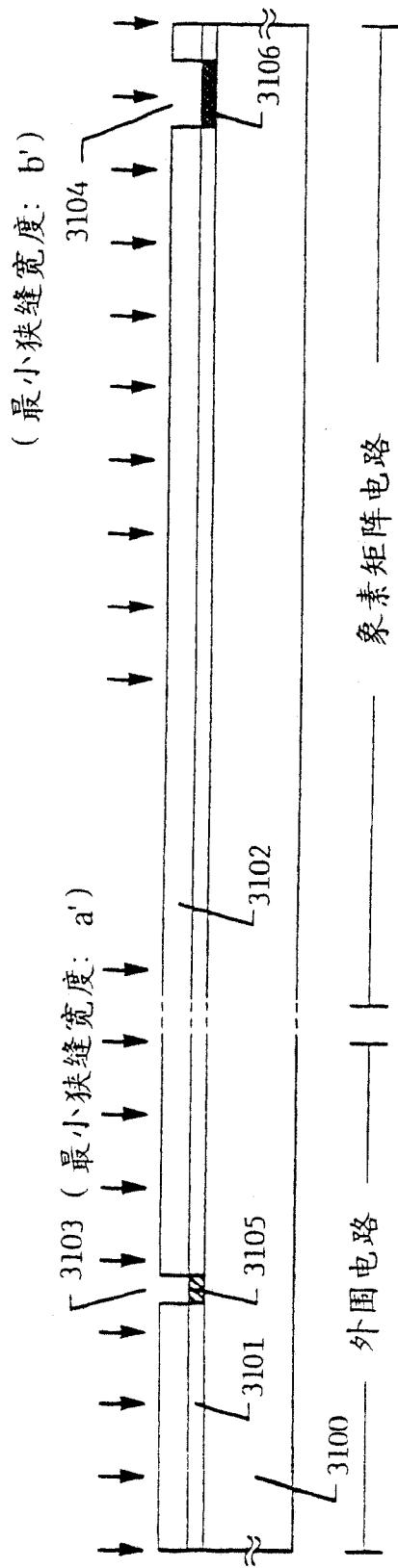


图 22A

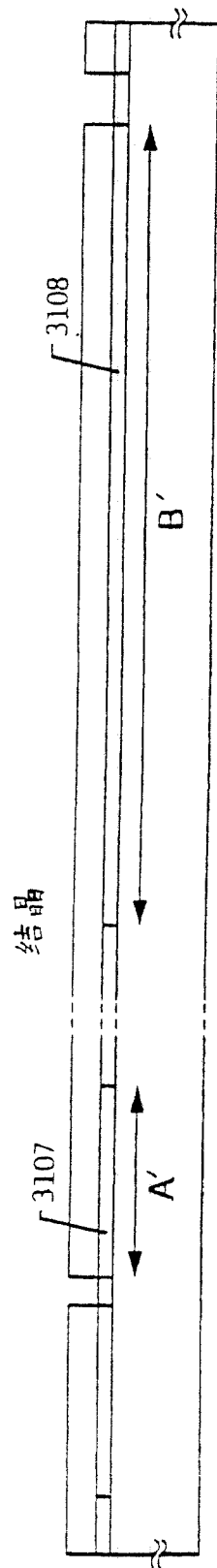


图 22B

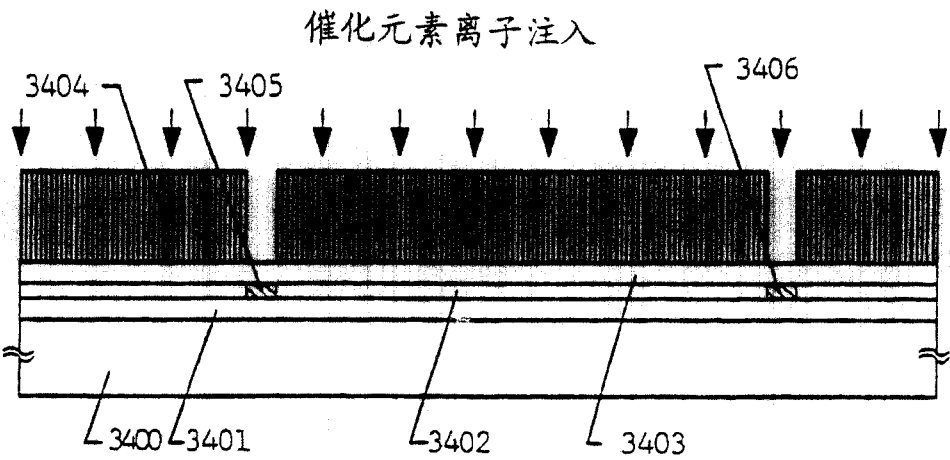


图 23

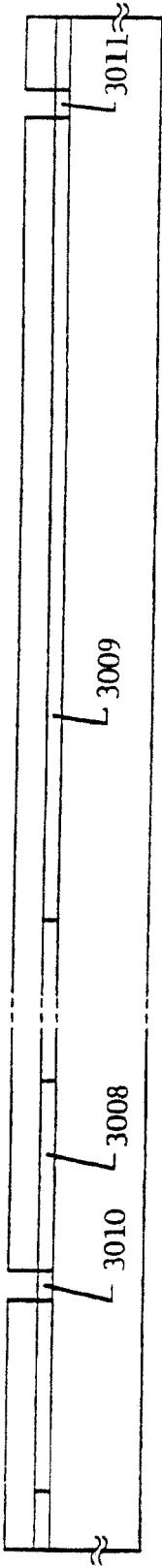


图 24A

用卤素吸杂

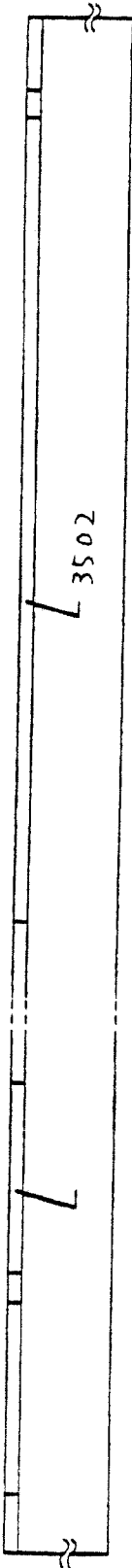


图 24B

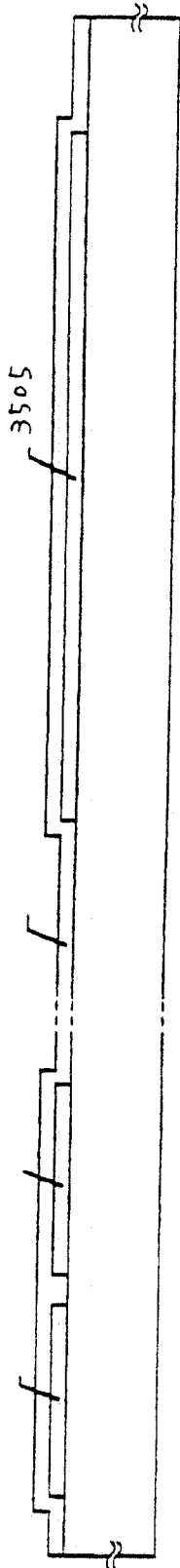


图 24C

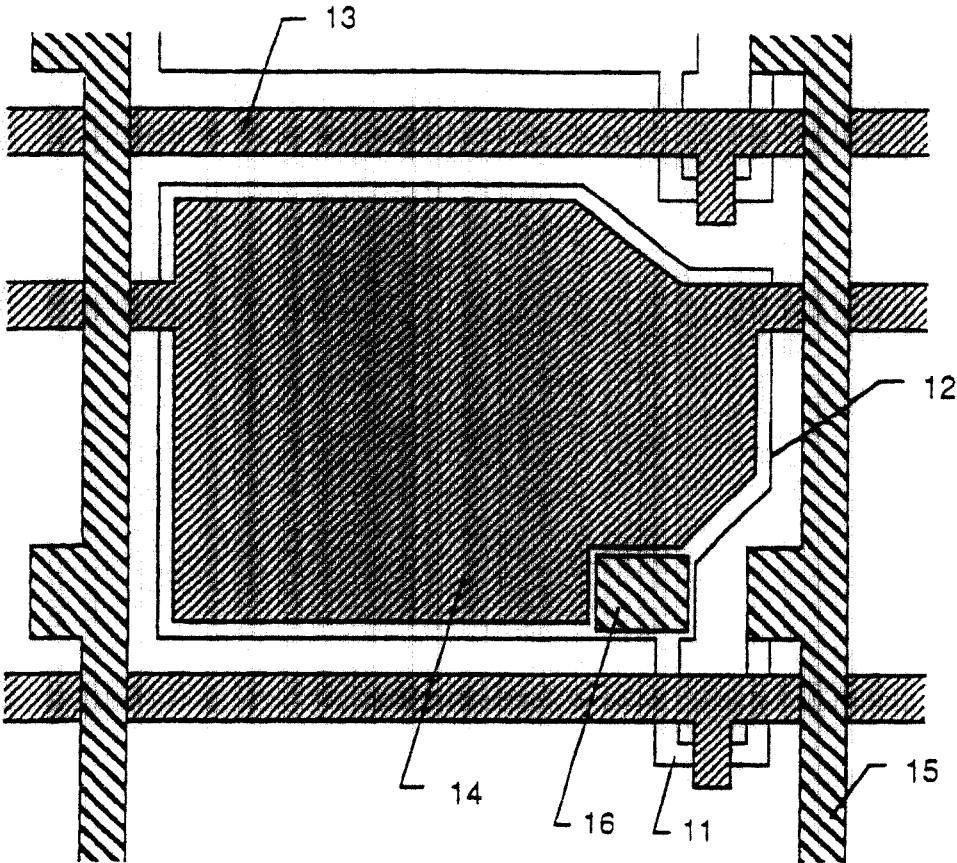


图 25

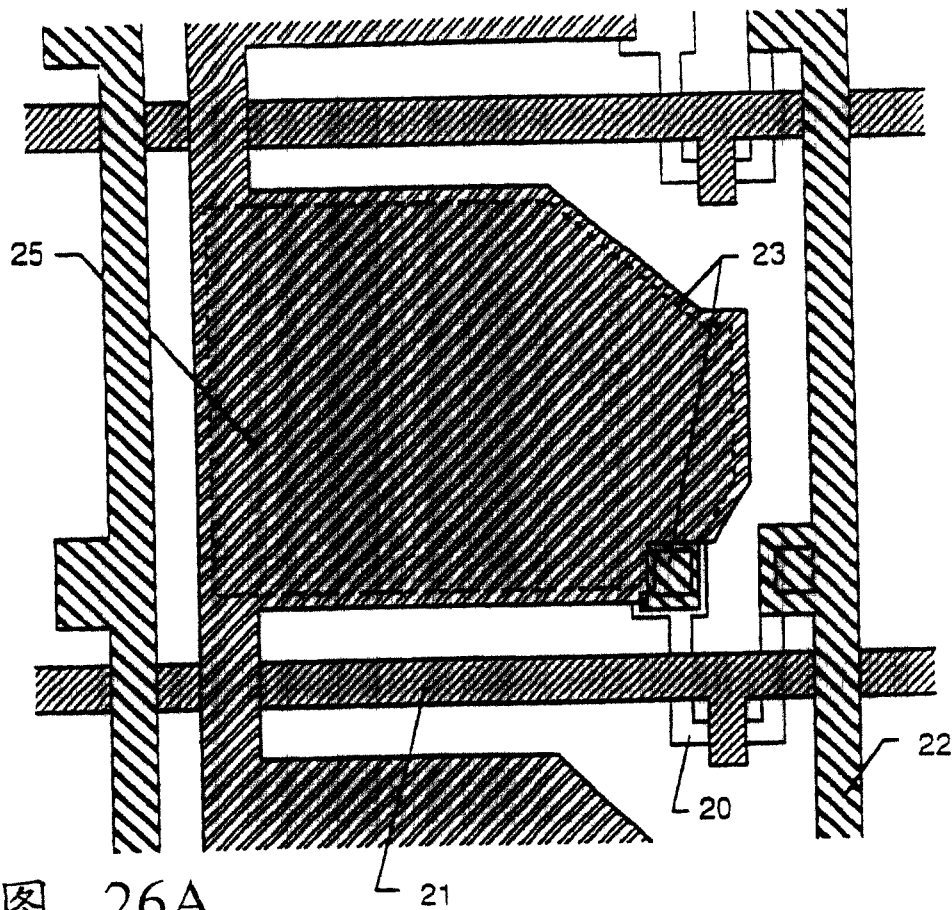


图 26A

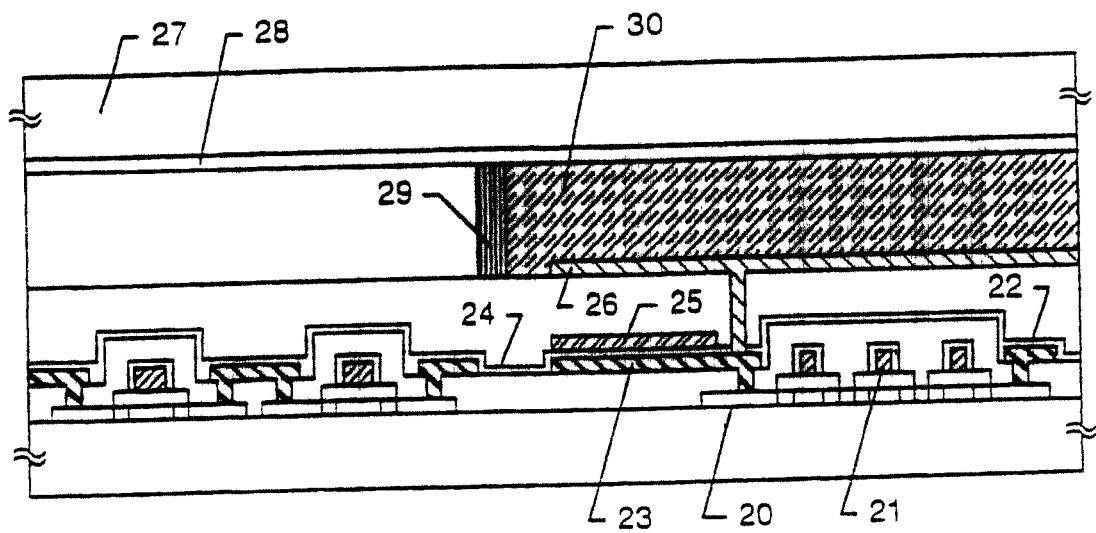


图 26B