(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 108230998 B
(45)授权公告日 2020.01.24

(21)申请号 201810054293.X

(22)申请日 2018.01.19

(65)同一申请的已公布的文献号
申请公布号 CN 108230998 A

(43)申请公布日 2018.06.29

(73)专利权人 昆山国显光电有限公司
地址 215300 江苏省苏州市昆山市开发区龙腾路1号4幢

(72)发明人 吴剑龙 黄秀颀 胡思明 朱晖

(74)专利代理机构 上海思微知识产权代理事务所(普通合伙) 31237
代理人 智云

(51)Int.Cl.
G09G 3/3208(2016.01)

(56)对比文件
CN 207068442 U,2018.03.02,权利要求1-19.
CN 107527589 A,2017.12.29,权利要求16、说明书第[0058]-[0110]段、图4-5.
CN 103632633 A,2014.03.12,全文.
CN 206711576 U,2017.12.05,全文.
US 7880694 B2,2011.02.01,全文.

审查员 纵浩

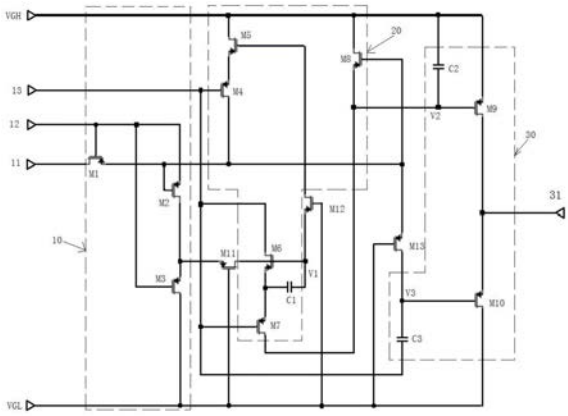
权利要求书3页 说明书13页 附图3页

(54)发明名称

发射控制驱动电路、发射控制驱动器及有机发光显示装置

(57)摘要

本发明提供了一种发射控制驱动电路、发射控制驱动器及有机发光显示装置，隔离单元连接在第二电源与第一栅压控制电路和第二栅压控制电路之间；若第一栅控电压低于第二电源的电压值，所述隔离单元将所述第一栅控电压与所述第一栅压控制电路和所述第二栅压控制电路隔离；若第三栅控电压低于第二电源的电压值，所述隔离单元将所述第三栅控电压与所述第一栅压控制电路和所述第二栅压控制电路隔离。本发明的隔离单元可防止第一栅控电压和第三栅控电压过低，其所连接的晶体管栅源间电压过大，造成击穿事故。



CN 108230998 B

1.一种发射控制驱动电路，其特征在于，所述发射控制驱动电路包括第一栅压控制电路、第二栅压控制电路、输出单元和隔离单元，其中：

所述第一栅压控制电路根据第一输入端、第二输入端和第二电源的信号产生第一栅控电压；

所述第二栅压控制电路根据所述第一栅控电压、所述第一输入端、所述第二输入端、第三输入端、第一电源和所述第二电源的信号产生第二栅控电压和第三栅控电压；

所述输出单元根据所述第二栅控电压、所述第三栅控电压、所述第一电源和所述第二电源的信号产生输出信号；

所述第一栅压控制电路和第二栅压控制电路各自包括若干晶体管，所述若干晶体管还连接所述第一栅控电压和所述第三栅控电压；

所述隔离单元连接在所述第二电源与所述第一栅压控制电路之间，所述隔离单元还连接在所述第二电源与所述第二栅压控制电路之间；

若所述第一栅控电压低于第二电源的电压值，所述隔离单元将所述第一栅控电压与所述第一栅压控制电路隔离，所述隔离单元还将所述第一栅控电压与所述第二栅压控制电路隔离；

若所述第三栅控电压低于第二电源的电压值，所述隔离单元将所述第三栅控电压与所述第一栅压控制电路隔离，所述隔离单元还将所述第三栅控电压与所述第二栅压控制电路隔离。

2.如权利要求1所述的发射控制驱动电路，其特征在于，所述第一栅压控制电路包括第一晶体管、第二晶体管和第三晶体管，其中：

所述第一晶体管、所述第二晶体管和所述第三晶体管为P型薄膜晶体管；

所述第一晶体管的栅极连接所述第二输入端，所述第一晶体管的源极连接所述第二晶体管的栅极，所述第一晶体管的漏极连接所述第一输入端；

所述第二晶体管的源极连接所述第二输入端，所述第二晶体管的漏极连接所述第三晶体管的源极，所述第二晶体管的栅极还连接所述第二栅压控制电路；

所述第三晶体管的栅极连接所述第二输入端，所述第三晶体管的漏极连接所述第二电源，所述第三晶体管的源极还连接所述第二栅压控制电路。

3.如权利要求2所述的发射控制驱动电路，其特征在于，所述第二栅压控制电路包括第四晶体管、第五晶体管、第六晶体管、第七晶体管、第八晶体管和第一电容，其中：

所述第四晶体管、所述第五晶体管、所述第六晶体管、所述第七晶体管和所述第八晶体管为P型薄膜晶体管；

所述第四晶体管的栅极连接所述第三输入端，所述第四晶体管的源极连接所述第五晶体管的源极，所述第四晶体管的漏极连接所述第二晶体管的栅极；

所述第五晶体管的栅极连接所述第三晶体管的源极，所述第五晶体管的漏极连接第一电源；

所述第六晶体管的栅极连接所述第三晶体管的源极，所述第六晶体管的源极连接所述第七晶体管的源极，所述第六晶体管的漏极连接所述第三输入端；

所述第七晶体管的栅极连接所述第三输入端，所述第七晶体管的漏极连接所述第八晶体管的源极；

所述第八晶体管的栅极连接所述第一输入端和输出单元，所述第八晶体管的漏极连接所述第一电源；所述第八晶体管的源极还连接所述输出单元；

所述第一电容的一端连接所述第六晶体管的栅极，另一端连接所述第六晶体管的源极。

4.如权利要求3所述的发射控制驱动电路，其特征在于，所述输出单元包括第九晶体管、第十晶体管、第二电容、第三电容和输出端，其中：

所述第九晶体管和所述第十晶体管为P型薄膜晶体管；

所述第九晶体管的栅极连接所述第八晶体管的源极，所述第九晶体管的源极连接所述第一电源，所述第九晶体管的漏极连接所述第十晶体管的源极；

所述第十晶体管的栅极连接所述第八晶体管的栅极，所述第十晶体管的源极连接所述输出端，所述第十晶体管的漏极连接所述第二电源；

所述第二电容一端连接所述第九晶体管的栅极，另一端连接所述第九晶体管的源极；

所述第三电容一端连接所述第十晶体管的栅极，另一端连接所述第三输入端；

所述输出单元产生的输出信号从所述输出端输出。

5.如权利要求4所述的发射控制驱动电路，其特征在于，所述隔离单元包括第十一晶体管、第十二晶体管和第十三晶体管，其中：

所述第十一晶体管、所述第十二晶体管和所述第十三晶体管为P型薄膜晶体管；

所述第十一晶体管连接在所述第三晶体管的源极和所述第六晶体管的栅极之间，第十一晶体管的栅极连接所述第二电源，所述第十一晶体管的源极连接所述第三晶体管的源极，所述第十一晶体管的漏极连接所述第六晶体管的栅极；

所述第十二晶体管连接在所述第五晶体管的栅极和所述第六晶体管的栅极之间，所述第十二晶体管的栅极连接所述第二电源，所述第十二晶体管的漏极连接所述第五晶体管的栅极，所述第十二晶体管的源极连接所述第六晶体管的栅极；

所述第十三晶体管连接在所述第八晶体管的栅极和所述第十晶体管的栅极之间，所述第十三晶体管的栅极连接所述第二电源，所述第十三晶体管的漏极连接所述第十晶体管的栅极，所述第十三晶体管的源极连接所述第八晶体管的栅极。

6.如权利要求4所述的发射控制驱动电路，其特征在于，所述隔离单元包括第十四晶体管、第十二晶体管和第十五晶体管，其中：

所述第十四晶体管、所述第十二晶体管和所述第十五晶体管为P型薄膜晶体管；

所述第十四晶体管连接在所述第二晶体管的栅极和所述第十晶体管的栅极之间，第十四晶体管的栅极连接所述第二电源，所述第十四晶体管的源极连接所述第二晶体管的栅极，所述第十四晶体管的漏极连接所述第十晶体管的栅极；

所述第十二晶体管连接在所述第五晶体管的栅极和所述第六晶体管的栅极之间，所述第十二晶体管的栅极连接所述第二电源，所述第十二晶体管的漏极连接所述第五晶体管的栅极，所述第十二晶体管的源极连接所述第六晶体管的栅极；

所述第十五晶体管连接在所述第八晶体管的栅极和所述第十晶体管的栅极之间，所述第十五晶体管的栅极连接所述第二电源，所述第十五晶体管的漏极连接所述第十晶体管的栅极和第十四晶体管的漏极，所述第十五晶体管的源极连接所述第八晶体管的栅极。

7.如权利要求5或6所述的发射控制驱动电路，其特征在于，所述第六晶体管的栅极产

生所述第一栅控电压，所述第九晶体管的栅极产生所述第二栅控电压；所述第十晶体管的栅极产生所述第三栅控电压。

8.如权利要求1所述的发射控制驱动电路，其特征在于，所述第一输入端接收前一发射控制驱动电路的输出信号或开始信号，奇数发射控制驱动电路的所述第二输入端接收第一时钟信号，所述第三输入端接收第二时钟信号；偶数发射控制驱动电路的所述第二输入端接收第二时钟信号，所述第三输入端接收第一时钟信号。

9.如权利要求8所述的发射控制驱动电路，其特征在于，所述第一时钟信号和所述第二时钟信号具有相同的时间段并且具有不重叠的相位，所述开始信号在所述第一时钟信号第一个下降沿电压来临时，输出上升沿电压并持续至所述第一时钟信号第三个下降沿电压来临。

10.一种发射控制驱动器，其特征在于，所述发射控制驱动器包括多个如权利要求1～9任一项所述的发射控制驱动电路，每个所述发射控制驱动电路的第一输入端连接前一个发射控制驱动电路的输出单元。

11.一种有机发光显示装置，其特征在于，所述有机发光显示装置包括多个如权利要求10所述的发射控制驱动器。

发射控制驱动电路、发射控制驱动器及有机发光显示装置

技术领域

[0001] 本发明涉及光电技术领域，特别涉及一种发射控制驱动电路、发射控制驱动器及有机发光显示装置。

背景技术

[0002] 近年，国内外开发出了众多类型的显示装置，例如液晶显示装置，等离子显示装置，电润湿显示装置，电泳显示装置，有机发光显示装置等。其中有机发光显示装置利用电子空穴对在特定材料中的复合，发出特定波长的光，来显示图像，具有快速响应，功耗低，轻薄，色域广等优点。

[0003] 如图1所示，有机发光显示装置包括：多个像素(PX11、PX12、…、PXn1、PXn2)形成的像素电路100，用于显示图像；数据驱动器300，将数据电压施加到像素；扫描驱动器200，将扫描信号顺序地施加到像素；发射控制驱动器400，将发射控制信号施加到像素；像素响应扫描信号而接收数据电压，像素产生具有与数据电压对应的预定亮度的光以显示图像。像素的发射时间段由发射控制信号控制。发射控制驱动器400响应于初始控制信号被初始化，并产生发射控制信号。

[0004] 现有的发射控制驱动器中需要有电容进行电压的保持等作用，但电容两端的电压具有自举效应，会造成电容两端的电压下降过快，这时与电容连接的晶体管会有栅源间电压降过大的风险，可能会造成晶体管击穿损坏。

发明内容

[0005] 本发明的目的在于提供一种发射控制驱动电路、发射控制驱动器及有机发光显示装置，以解决现有的有机发光显示装置的发射控制驱动电路晶体管击穿的问题。

[0006] 为解决上述技术问题，本发明提供一种发射控制驱动电路，所述发射控制驱动电路包括第一栅压控制电路、第二栅压控制电路、输出单元和隔离单元，其中：

[0007] 所述第一栅压控制电路根据第一输入端、第二输入端和第二电源的信号产生第一栅控电压；

[0008] 所述第二栅压控制电路根据所述第一栅控电压、所述第一输入端、所述第二输入端、所述第三输入端、所述第一电源和所述第二电源的信号产生第二栅控电压和第三栅控电压；

[0009] 所述输出单元根据所述第二栅控电压、所述第三栅控电压、所述第一电源和所述第二电源的信号产生输出信号；

[0010] 所述第一栅压控制电路和第二栅压控制电路各自包括若干晶体管，所述若干晶体管还连接所述第一栅控电压和所述第三栅控电压；

[0011] 所述隔离单元连接在所述第二电源与所述第一栅压控制电路和所述第二栅压控制电路之间；

[0012] 若所述第一栅控电压低于第二电源的电压值，所述隔离单元将所述第一栅控电压

与所述第一栅压控制电路和所述第二栅压控制电路隔离；

[0013] 若所述第三栅控电压低于第二电源的电压值，所述隔离单元将所述第三栅控电压与所述第一栅压控制电路和所述第二栅压控制电路隔离。

[0014] 可选的，在所述的发射控制驱动电路中，所述第一栅压控制电路包括第一晶体管、第二晶体管和第三晶体管，其中：

[0015] 所述第一晶体管、所述第二晶体管和所述第三晶体管为P型薄膜晶体管；

[0016] 所述第一晶体管的栅极连接所述第二输入端，所述第一晶体管的源极连接所述第二晶体管的栅极，所述第一晶体管的漏极连接所述第一输入端；

[0017] 所述第二晶体管的源极极连接所述第二输入端，所述第二晶体管的漏极连接所述第三晶体管的源极，所述第二晶体管的栅极还连接所述第二栅压控制电路；

[0018] 所述第三晶体管的栅极连接所述第二输入端，所述第三晶体管的漏极连接所述第二电源，所述第三晶体管的源极还连接所述第二栅压控制电路。

[0019] 可选的，在所述的发射控制驱动电路中，所述第二栅压控制电路包括第四晶体管、第五晶体管、第六晶体管、第七晶体管、第八晶体管和第一电容，其中：

[0020] 所述第四晶体管、所述第五晶体管、所述第六晶体管、所述第七晶体管和所述第八晶体管为P型薄膜晶体管；

[0021] 所述第四晶体管的栅极连接所述第三输入端，所述第四晶体管的源极连接所述第五晶体管的源极，所述第四晶体管的漏极连接所述第二晶体管的栅极；

[0022] 所述第五晶体管的栅极连接所述第三晶体管的源极，所述第五晶体管的漏极连接第一电源；

[0023] 所述第六晶体管的栅极连接所述第三晶体管的源极，所述第六晶体管的源极连接所述第七晶体管的源极，所述第六晶体管的漏极连接所述第三输入端；

[0024] 所述第七晶体管的栅极连接所述第三输入端，所述第七晶体管的漏极连接所述第八晶体管的源极；

[0025] 所述第八晶体管的栅极连接所述第一输入端和输出单元，所述第八晶体管的漏极连接所述第一电源；所述第八晶体管的源极还连接所述输出单元；

[0026] 所述第一电容的一端连接所述第六晶体管的栅极，另一端连接所述第六晶体管的源极。

[0027] 可选的，在所述的发射控制驱动电路中，所述输出单元包括第九晶体管、第十晶体管、第二电容、第三电容和输出端，其中：

[0028] 所述第九晶体管和所述第十晶体管为P型薄膜晶体管；

[0029] 所述第九晶体管的栅极连接所述第八晶体管的源极，所述第九晶体管的源极连接所述第一电源，所述第九晶体管的漏极连接所述第十晶体管的源极；

[0030] 所述第十晶体管的栅极连接所述第八晶体管的栅极，所述第十晶体管的源极连接所述输出端，所述第十晶体管的漏极连接所述第二电源；

[0031] 所述第二电容一端连接所述第九晶体管的栅极，另一端连接所述第九晶体管的源极；

[0032] 所述第三电容一端连接所述第十晶体管的栅极，另一端连接所述第三输入端；

[0033] 所述输出单元产生的输出信号从所述输出端输出。

[0034] 可选的，在所述的发射控制驱动电路中，所述隔离单元包括第十一晶体管、第十二晶体管和第十三晶体管，其中：

[0035] 所述第十一晶体管、所述第十二晶体管和所述第十三晶体管为P型薄膜晶体管；

[0036] 所述第十一晶体管连接在所述第三晶体管的源极和所述第六晶体管的栅极之间，第十一晶体管的栅极连接所述第二电源，所述第十一晶体管的源极连接所述第三晶体管的源极，所述第十一晶体管的漏极连接所述第六晶体管的栅极；

[0037] 所述第十二晶体管连接在所述第五晶体管的栅极和所述第六晶体管的栅极之间，所述第十二晶体管的栅极连接所述第二电源，所述第十二晶体管的漏极连接所述第五晶体管的栅极，所述第十二晶体管的源极连接所述第六晶体管的栅极；

[0038] 所述第十三晶体管连接在所述第八晶体管的栅极和所述第十晶体管的栅极之间，所述第十三晶体管的栅极连接所述第二电源，所述第十三晶体管的漏极连接所述第十晶体管的栅极，所述第十三晶体管的源极连接所述第八晶体管的栅极。

[0039] 可选的，在所述的发射控制驱动电路中，所述隔离单元包括第十四晶体管、第十二晶体管和第十五晶体管，其中：

[0040] 所述第十四晶体管、所述第十二晶体管和所述第十五晶体管为P型薄膜晶体管；

[0041] 所述第十四晶体管连接在所述第二晶体管的栅极和所述第十晶体管的栅极之间，第十四晶体管的栅极连接所述第二电源，所述第十四晶体管的源极连接所述第二晶体管的栅极，所述第十四晶体管的漏极连接所述第十晶体管的栅极；

[0042] 所述第十二晶体管连接在所述第五晶体管的栅极和所述第六晶体管的栅极之间，所述第十二晶体管的栅极连接所述第二电源，所述第十二晶体管的漏极连接所述第五晶体管的栅极，所述第十二晶体管的源极连接所述第六晶体管的栅极；

[0043] 所述第十五晶体管连接在所述第八晶体管的栅极和所述第十晶体管的栅极之间，所述第十五晶体管的栅极连接所述第二电源，所述第十五晶体管的漏极连接所述第十晶体管的栅极和第十四晶体管的漏极，所述第十五晶体管的源极连接所述第八晶体管的栅极。

[0044] 可选的，在所述的发射控制驱动电路中，所述第六晶体管的栅极产生所述第一栅控电压，所述第九晶体管的栅极产生所述第二栅控电压；所述第十晶体管的栅极产生所述第三栅控电压。

[0045] 可选的，在所述的发射控制驱动电路中，所述第一输入端接收前一发射控制驱动电路的输出信号或开始信号，奇数发射控制驱动电路的所述第二输入端接收第一时钟信号，所述第三输入端接收第二时钟信号；偶数发射控制驱动电路的所述第二输入端接收第二时钟信号，所述第三输入端接收第一时钟信号。

[0046] 可选的，在所述的发射控制驱动电路中，所述第一时钟信号和所述第二时钟信号具有相同的时间段并且具有不重叠的相位，所述开始信号在所述第一时钟信号第一个下降沿电压来临时，输出上升沿电压并持续至所述第一时钟信号第三个下降沿电压来临。

[0047] 可选的，在所述的发射控制驱动电路中，所述第一电源的电压值高于所述第二电源的电压值。

[0048] 本发明还提供发射控制驱动器，所述发射控制驱动器包括多个如上述任一项所述的发射控制驱动电路，每个所述发射控制驱动电路的第一输入端连接前一个发射控制驱动电路的输出单元。

[0049] 本发明还提供一种有机发光显示装置，所述有机发光显示装置包括多个如上所述的发射控制驱动器。

[0050] 在本发明提供的发射控制驱动电路中，若第一栅控电压低于第二电源的电压值，隔离单元将所述第一栅控电压与第一栅压控制电路和第二栅压控制电路隔离，防止第一栅控电压过低造成第一栅压控制电路和所述第二栅压控制电路连接第一栅控电压的若干晶体管栅源间电压过大从而损坏；若第三栅控电压低于第二电源的电压值，隔离单元将所述第三栅控电压与所述第一栅压控制电路和所述第二栅压控制电路隔离，防止第三栅控电压过低造成第一栅压控制电路和第二栅压控制电路连接第三栅控电压的若干晶体管栅源间电压过大从而损坏。

[0051] 另外，由于所述隔离单元包括第十一晶体管、第十二晶体管和第十三晶体管，且皆为P型薄膜晶体管，且第十一晶体管、第十二晶体管和第十三晶体管的栅极连接第二电源，当第十一晶体管、第十二晶体管和第十三晶体管的源漏极电压没有过低时，第十一晶体管、第十二晶体管和第十三晶体管自动导通，第十一晶体管、第十二晶体管和第十三晶体管的源漏极电压过低时(低于第二电源)，第十一晶体管、第十二晶体管和第十三晶体管自动关断，进行源漏极的隔离。

附图说明

[0052] 图1是现有技术中有机发光显示装置示意图；

[0053] 图2是本发明一实施例多个发射控制驱动电路连接示意图；

[0054] 图3是本发明一实施例发射控制驱动电路示意图；

[0055] 图4是本发明一实施例发射控制驱动电路信号波形图；

[0056] 图5是本发明另一实施例发射控制驱动电路示意图；

[0057] 图中所示：1-第一个发射控制驱动电路(奇数发射控制驱动电路)；2-第二个发射控制驱动电路(偶数发射控制驱动电路)；10-第一栅压控制电路；11-第一输入端；12-第二输入端；13-第三输入端；20-第二栅压控制电路；30-输出单元；31-输出端；100-像素电路；200-扫描驱动器；300-数据驱动器；400-发射控制驱动电路。

具体实施方式

[0058] 以下结合附图和具体实施例对本发明提出的发射控制驱动电路、发射控制驱动器及有机发光显示装置作进一步详细说明。根据下面说明和权利要求书，本发明的优点和特征将更清楚。需说明的是，附图均采用非常简化的形式且均使用非精准的比例，仅用以方便、明晰地辅助说明本发明实施例的目的。

[0059] 〈实施例一〉

[0060] 为实现上述思想，本实施例提供一种发射控制驱动电路，如图2所示，第一个发射控制驱动电路1的输出端连接第二个发射控制驱动电路2，并按该结构依次连接后续的发射控制驱动电路，并最终形成图1中的发射控制驱动器400，第一个发射控制驱动电路1为奇数发射控制驱动电路，第二个发射控制驱动电路2为偶数发射控制驱动电路，图2中的每个所述发射控制驱动电路的详细电路结构图如图3所示，包括第一栅压控制电路10、第二栅压控制电路20、输出单元30和隔离单元。

[0061] 具体的，所述第一栅压控制电路10根据第一输入端11、第二输入端12和第二电源VGL的信号产生第一栅控电压V1；所述第二栅压控制电路20根据所述第一栅控电压V1、所述第一输入端11、所述第二输入端12、所述第三输入端13、所述第一电源VGH和所述第二电源VGL的信号产生第二栅控电压V2和第三栅控电压V3；所述输出单元30根据所述第二栅控电压V2、所述第三栅控电压V3、所述第一电源VGH和所述第二电源VGL的信号产生输出信号；所述第一栅压控制电路和第二栅压控制电路各自包括若干晶体管，所述若干晶体管还连接所述第一栅控电压和所述第三栅控电压；第一栅压控制电路和第一栅控电压之间连接的晶体管为第二晶体管M2，第二栅压控制电路和第一栅控电压之间连接的晶体管为第五晶体管M5，第二栅压控制电路和第三栅控电压之间连接的晶体管为第八晶体管M8，所述隔离单元连接在所述第二电源VGL与所述第一栅压控制电路10和所述第二栅压控制电路20之间；若所述第一栅控电压V1低于第二电源VGL的电压值，所述隔离单元将所述第一栅控电压V1与所述第一栅压控制电路10和所述第二栅压控制电路20隔离，即第二晶体管M2的漏极与第一栅控电压V1隔离，第五晶体管M5的栅极与第一栅控电压V1隔离；若所述第三栅控电压V3低于第二电源VGL的电压值，所述隔离单元将所述第三栅控电压V3与所述第二栅压控制电路20隔离，即第八晶体管M8的漏极与第三栅控电压V3隔离。

[0062] 具体的，在所述的发射控制驱动电路中，所述第一栅压控制电路10包括第一晶体管M1、第二晶体管M2和第三晶体管M3，其中：所述第一晶体管M1、所述第二晶体管M2和所述第三晶体管M3为P型薄膜晶体管；所述第一晶体管M1的栅极连接所述第二输入端12，所述第一晶体管M1的源极连接所述第二晶体管M2的栅极，所述第一晶体管M1的漏极连接所述第一输入端11；所述第二晶体管M2的源极连接所述第二输入端12，所述第二晶体管M2的漏极连接所述第三晶体管M3的源极，所述第二晶体管M2的栅极还连接所述第二栅压控制电路20；所述第三晶体管M3的栅极连接所述第二输入端12，所述第三晶体管M3的漏极连接所述第二电源VGL，所述第三晶体管M3的源极还连接所述第二栅压控制电路20。其中第二晶体管的数量可以为多个且依次相连接，且多个第二晶体管的栅极均连接第一晶体管的源极，每个第二晶体管的源极和相邻的第二晶体管的漏极相连接，多个第二晶体管的串联，可以减小晶体管关断后源漏极间的漏电流，提高晶体管关断的可靠性。

[0063] 进一步的，在所述的发射控制驱动电路中，所述第二栅压控制电路20包括第四晶体管M4、第五晶体管M5、第六晶体管M6、第七晶体管M7、第八晶体管M8和第一电容C1，其中：所述第四晶体管M4、所述第五晶体管M5、所述第六晶体管M6、所述第七晶体管M7和所述第八晶体管M8为P型薄膜晶体管；所述第四晶体管M4的栅极连接所述第三输入端13，所述第四晶体管M4的源极连接所述第五晶体管M5的源极，所述第四晶体管M4的漏极连接所述第二晶体管M2的栅极；所述第五晶体管M5的栅极(依次通过M12的漏源极和M11的漏源极)耦合至所述第三晶体管M3的源极，所述第五晶体管M5的漏极连接第一电源VGH；所述第六晶体管M6的栅极连接所述第三晶体管M3的源极，所述第六晶体管M6的源极连接所述第七晶体管M7的源极，所述第六晶体管M6的漏极连接所述第三输入端13；所述第七晶体管M7的栅极连接所述第三输入端13，所述第七晶体管M7的漏极连接所述第八晶体管M8的源极；所述第八晶体管M8的栅极连接所述第一输入端11和输出单元30，所述第八晶体管M8的漏极连接所述第一电源VGH；所述第八晶体管M8的源极还连接所述输出单元30；所述第一电容C1的一端连接所述第六晶体管M6的栅极，另一端连接所述第六晶体管M6的源极。

[0064] 如图3所示，在所述的发射控制驱动电路中，所述输出单元30包括第九晶体管M9、第十晶体管M10、第二电容C2、第三电容C3和输出端31，其中：所述第九晶体管M9和所述第十晶体管M10为P型薄膜晶体管；所述第九晶体管M9的栅极连接所述第八晶体管M8的源极，所述第九晶体管M9的源极连接所述第一电源VGH，所述第九晶体管M9的漏极连接所述第十晶体管M10的源极；所述第十晶体管M10的栅极连接所述第八晶体管M8的栅极，所述第十晶体管M10的源极连接所述输出端31，所述第十晶体管M10的漏极连接所述第二电源VGL；所述第二电容C2一端连接所述第九晶体管M9的栅极，另一端连接所述第九晶体管M9的源极；所述第三电容C3一端连接所述第十晶体管M10的栅极，另一端连接所述第三输入端13；所述输出单元30产生的输出信号从所述输出端31输出。

[0065] 具体的，在所述的发射控制驱动电路中，所述隔离单元包括第十一晶体管M11、第十二晶体管M12和第十三晶体管M13，其中：所述第十一晶体管M11、所述第十二晶体管M12和所述第十三晶体管M13为P型薄膜晶体管；所述第十一晶体管M11连接在所述第三晶体管M3的源极和所述第六晶体管M6的栅极之间，第十一晶体管M11的栅极连接所述第二电源VGL，所述第十一晶体管M11的源极连接所述第三晶体管M3的源极，所述第十一晶体管M11的漏极连接所述第六晶体管M6的栅极；所述第十二晶体管M12连接在所述第五晶体管M5的栅极和所述第六晶体管M6的栅极之间，所述第十二晶体管M12的栅极连接所述第二电源VGL，所述第十二晶体管M12的漏极连接所述第五晶体管M5的栅极，所述第十二晶体管M12的源极连接所述第六晶体管M6的栅极；所述第十三晶体管M13连接在所述第八晶体管M8的栅极和所述第十晶体管M10的栅极之间，所述第十三晶体管M13的栅极连接所述第二电源VGL，所述第十三晶体管M13的漏极连接所述第十晶体管M10的栅极，所述第十三晶体管M13的源极连接所述第八晶体管M8的栅极。

[0066] 进一步的，在所述的发射控制驱动电路中，所述第六晶体管M6的栅极产生所述第一栅控电压V1，所述第九晶体管M9的栅极产生所述第二栅控电压V2；所述第十晶体管M10的栅极产生所述第三栅控电压V3。

[0067] 如图2～4所示，在所述的发射控制驱动电路中，所述第一输入端11接收前一发射控制驱动电路的输出信号，第二个发射控制驱动电路2的第一输入端连接到第一个发射控制驱动电路1的输出端，接收第一个发射控制驱动电路1的输出信号EM1，输出信号EM1的波形如图4所示，第一个发射控制驱动电路1的第一输入端11接收开始信号EIN，开始信号EIN的波形如图4所示，奇数发射控制驱动电路，例如第一个发射控制驱动电路1的所述第二输入端12接收第一时钟信号ECK1，奇数发射控制驱动电路，例如第一个发射控制驱动电路1的所述第三输入端13接收第二时钟信号ECK2；偶数发射控制驱动电路，例如第二个发射控制驱动电路2的所述第二输入端12接收第二时钟信号ECK2，偶数发射控制驱动电路，例如第二个发射控制驱动电路2的所述第三输入端13接收第一时钟信号ECK1，第一时钟信号ECK1和第二时钟信号ECK2的波形如图4所示。

[0068] 进一步的，在所述的发射控制驱动电路中，所述第一时钟信号ECK1和所述第二时钟信号ECK2具有相同的时间段并且具有不重叠的相位，如图4所示，所述开始信号EIN在所述第一时钟信号ECK1第二个下降沿电压来临时，输出上升沿电压并持续至所述第一时钟信号ECK1第四个下降沿电压来临。所述第一电源VGH的电压值高于所述第二电源VGL的电压值。

[0069] 本实施例还提供一种发射控制驱动器，所述发射控制驱动器包括多个如上所述的发射控制驱动电路，每个所述发射控制驱动电路的第一输入端连接前一个发射控制驱动电路的输出单元。

[0070] 本实施例还提供一种有机发光显示装置，所述有机发光显示装置包括多个如上所述的发射控制驱动器。

[0071] 在本实施例提供的发射控制驱动电路及有机发光显示装置中，若第一栅控电压V1低于第二电源VGL的电压值，隔离单元将所述第一栅控电压V1与第一栅压控制电路10和第二栅压控制电路20隔离，防止第一栅控电压V1过低造成第一栅压控制电路10和所述第二栅压控制电路20的晶体管(第二晶体管M2和第五晶体管M5)栅源间电压过大从而损坏；若第三栅控电压V3低于第二电源VGL的电压值，隔离单元将所述第三栅控电压V3与所述第二栅压控制电路20隔离(第三栅控电压V3低于第二电源VGL的电压值时，第十三晶体管M13的栅极电压大于源极电压，M13关断，将V3与第八晶体管的栅极隔离)，防止第三栅控电压V3过低造成第二栅压控制电路20的晶体管(第八晶体管M8)栅源间电压(VGH和V3)过大从而损坏。

[0072] 另外，由于所述隔离单元包括第十一晶体管M11、第十二晶体管M12和第十三晶体管M13，且皆为P型薄膜晶体管，且第十一晶体管M11、第十二晶体管M12和第十三晶体管M13的栅极连接第二电源VGL，当第十一晶体管M11、第十二晶体管M12和第十三晶体管M13的源漏极电压没有过低时，第十一晶体管M11、第十二晶体管M12和第十三晶体管M13自动导通，第十一晶体管M11、第十二晶体管M12和第十三晶体管M13的源漏极电压过低时(低于第二电源VGL)，第十一晶体管M11、第十二晶体管M12和第十三晶体管M13自动关断，进行源漏极的隔离。

[0073] 本实施例对第一个发射控制驱动电路的时序波形进行分析，如图4所示，开始信号EIN和第一时钟信号ECK1在第一时间点t1具有低电平，第二时钟信号ECK2在第一时间段t1具有高电平。由于第十一晶体管M11、第十二晶体管M12和第十三晶体管M13皆为P型薄膜晶体管，且其栅极连接第二电源，因此在以下分析中的正常情况下相当于导通的导线，不予赘述。

[0074] 具有低电平的第一时钟信号ECK1被施加到第一晶体管M1的栅极端和第三晶体管M3的栅极端。因此，第一晶体管M1和第三晶体管M3导通。

[0075] 具有低电平的开始信号EIN通过导通的第一晶体管M1被施加到第二晶体管M2的栅极端和第三栅控电压V3。因此，第二晶体管M2导通，并且第三栅控电压V3处的电压具有低电平。

[0076] 具有低电平的第一时钟信号ECK1和第二电源VGL分别通过导通的第二晶体管M2和导通的第三晶体管M3被施加第一栅控电压V1。因此，第一栅控电压V1处的电压具有低电平。

[0077] 具有高电平的第二时钟信号ECK2被施加到第四晶体管M4和第七晶体管M7。因此，第四晶体管M4和第七晶体管M7截止。

[0078] 由于第三栅控电压V3为低电平，所以第八晶体管M8导通。第一电源VGH通过导通的第八晶体管M8被施加到第二栅控电压V2。因此，第二栅控电压V2处的电压具有高电平。第二电容C2被充有第一电源VGH。换言之，第二电容C2被充有具有高电平的电压。由于第二栅控电压V2处的电压具有高电平，所以第九晶体管M9截止。

[0079] 由于第三栅控电压V3处的电压具有低电平，所以第十晶体管M10导通。由于导通的

第十晶体管M10,第二电源VGL被施加到第一发射控制线EM1,因此,第一个发射控制驱动电路的输出信号EM1具有低电平。

[0080] 在第二时间点t2,开始信号EIN具有低电平,第一时钟信号ECK1和第二时钟信号ECK2具有高电平。第一晶体管M1和第三晶体管M3通过具有高电平的第一时钟信号ECK1截止。

[0081] 由于第三栅控电压V3处的电压保持低电平,所以第二晶体管M2导通。具有高电平的第一时钟信号ECK1通过导通的第二晶体管M2被施加到第一栅控电压V1。因此,第一栅控电压V1处的电压具有高电平。

[0082] 第三栅控电压V3处的电压具有低电平,因此,第八晶体管M8和第十晶体管M10导通。第一电源VGH通过导通的第八晶体管M8被施加到第二栅控电压V2,从而第二栅控电压V2处的电压保持在高电平。

[0083] 由于第二栅控电压V2处的电压具有高电平并且第三栅控电压V3处的电压具有低电平,所以第九晶体管M9截止并且第十晶体管M10导通。因此,第一发射控制信号保持在低电平。

[0084] 在第三时间点t3,第二时钟信号ECK2从高电平转变为低电平,然后从低电平再次转变成高电平。因此,由于第三电容C3的耦合,第三栅控电压V3处的电势通过第二时钟信号ECK2的电势的变化而被自举(bootstrapped)。即,在第二时间点t2第二时钟信号ECK2为高电平时,第三栅控电压V3尚且为低电平,当第三时间点t3第二时钟信号ECK2从高电平转变为低电平时,由于第三电容C3的耦合(自举效应),则第三栅控电压V3的电平进一步降低,甚至具有低于第二电源VGL的电压,此时,对第八晶体管M8来说,其栅极电压大大低于源极电压(第八晶体管的漏极连接到第一电源VGH,且此时第八晶体管导通,源极电压也为高电平),若此时第八晶体管的栅极直接连接第三栅控电压V3,会造成击穿损坏,为了避免此风险,本实施例加入了第十三晶体管M13,此时第十三晶体管的漏极连接在第三栅控电压V3上,栅极连接第二电源VGL,由于第三栅控电压低于第二电源VGL,第十三晶体管快速关断,使第八晶体管与第三栅控电压隔离,防止第八晶体管损坏。由于第十晶体管的源极(此时第十晶体管导通)连接第二电源,为低电平,所以第十晶体管的栅源电压相差较小,不会损坏,继续导通,第一发射控制信号保持在低电平。

[0085] 在第四时间点段t4,开始信号EIN和第二时钟信号ECK2具有高电平,第一时钟信号ECK1具有低电平,此时第二时钟信号ECK2结束了低电平,并翻转为高电平,第三电容连接第三输入端13的一端的电压升高结束了自举效应,第三电容结束耦合过程,第三栅控电压V3低电平恢复到第二电源VGL,第十三晶体管继续导通。

[0086] 第一晶体管M1被具有低电平的第一时钟信号ECK1导通,并且具有高电平的开始信号EIN被施加到第三栅控电压V3,第三栅控电压V3处的电压具有高电平,因此,第二晶体管M2和第十晶体管M10截止。

[0087] 第三晶体管M3响应于具有低电平的第一时钟信号ECK1而被导通,并且第二电源VGL被施加到第一栅控电压V1。因此,第一栅控电压V1处的电压具有低电平。

[0088] 第七晶体管M7响应于具有高电平的第二时钟信号ECK2而被截止。由于第三栅控电压V3处的电压具有高电平,所以第八晶体管M8截止。第二栅控电压V2处的电压通过第二电容C2的充电效应被保持在高电平。第二栅控电压V2处的电压保持在高电平,因此,第九晶体

管M9截止。因此，第一发射控制信号被保持在低电平。

[0089] 在第五时间点t5，开始信号EIN和第一时钟信号ECK1具有高电平，并且第二时钟信号ECK2具有低电平。

[0090] 第一晶体管M1和第三晶体管M3通过具有高电平的第一时钟信号ECK1截止。由于第三栅控电压V3处的电压保持在高电平，所以第二晶体管M2、第八晶体管M8和第十晶体管M10截止。

[0091] 第四晶体管M4和第七晶体管M7响应于具有低电平的第二时钟信号ECK2而被导通。另外，第一栅控电压V1处的电压具有低电平，从而第五晶体管M5和第六晶体管M6导通。

[0092] 如上所述的自举，由于第一电容C1的耦合，第一栅控电压V1的电势通过第二时钟信号ECK2的电势的变化被自举。即，在第四时间点t4第二时钟信号ECK2为高电平时，第一栅控电压V1尚且为低电平，当第五时间点t5第二时钟信号ECK2从高电平转变为低电平时，由于第一电容C1的耦合(自举效应)，则第一栅控电压V1的电平进一步降低，甚至具有低于第二电源VGL的电压，此时，对第二晶体管M2来说，若此时第二晶体管的漏极直接连接第一栅控电压V1，其栅极电压(开始信号EIN为高电平)大大高于漏极电压，会造成击穿损坏，为了避免此风险，本实施例加入了第十一晶体管M11，此时第十一晶体管的漏极连接在第一栅控电压V1上，栅极连接第二电源VGL，由于第一栅控电压低于第二电源VGL，第十一晶体管快速关断，使第二晶体管与第一栅控电压隔离，防止第二晶体管损坏。

[0093] 同样的，第一栅控电压V1处的电压的大幅降低也会影响第五晶体管M5，若第五晶体管的栅极直接连接第一栅控电压V1，而第五晶体管的漏极连接第一电源(本思路参考电压，第一电源为高电平，大约7V左右，由于第五晶体管导通，因此源极也保持在7V左右，而栅极在-17.2V左右，栅源间电压为24.2V)，则栅源电压过大会造成击穿损坏，为了避免此风险，本实施例加入了第十二晶体管M12，此时第十二晶体管的源极连接在第一栅控电压V1上，栅极连接第二电源VGL，由于第一栅控电压低于第二电源VGL，第十二晶体管快速关断，使第五晶体管与第一栅控电压隔离(隔离后第五晶体管的栅极电压为-5.3V，栅源间电压从24.2V减小为12.3V)，栅绝缘层被大电压击穿风险大大降低，防止第五晶体管损坏。

[0094] 具有低电平的第二时钟信号ECK2通过导通的第六晶体管M6和第七晶体管M7被施加到第二栅控电压V2。因此，第二栅控电压V2处的电压在第五时间点t5具有低电平。由于第二栅控电压V2处的电压具有低电平，所以第九晶体管M9导通。

[0095] 由于第九晶体管M9导通且第十晶体管M10截止，所以第一发射控制信号被保持在高电平。

[0096] 在第六时间点t6，开始信号EIN和第一时钟信号ECK1具有低电平，并且第二时钟信号ECK2具有高电平。根据第一时间点t1处的操作，第一发射控制信号在第六时间点t6具有低电平。

[0097] 本实施例中，第一至第九晶体管M1-M9均为P型薄膜晶体管。在其它实施例中，第一至第九晶体管M1-M9也可以为N型薄膜晶体管。P型薄膜晶体管在栅极信号为低电平时导通，N型薄膜晶体管在栅极信号为高电平时导通。因此，只要将选择的晶体管类型与导通电位相匹配即可。

[0098] 〈实施例二〉

[0099] 在本实施例中，如图5所示，第一栅压控制电路、第二栅压控制电路、输出单元的结

构与上一实施例中的结构相同，区别在于：所述隔离单元连接在所述第二电源VGL与所述第一栅压控制电路10和所述第二栅压控制电路20之间；若所述第一栅控电压V1低于第二电源VGL的电压值，所述隔离单元将所述第一栅控电压V1与所述第二栅压控制电路20隔离，即第五晶体管M5的栅极与第一栅控电压V1隔离；若所述第三栅控电压V3低于第二电源VGL的电压值，所述隔离单元将所述第三栅控电压V3与所述第一栅压控制电路10和所述第二栅压控制电路20隔离，即第二晶体管M2的源极与第一栅控电压V3隔离，以及第八晶体管M8的漏极与第三栅控电压V3隔离。

[0100] 具体的，所述隔离单元包括第十四晶体管M14、第十二晶体管M12和第十五晶体管M15，其中：所述第十四晶体管M14、所述第十二晶体管M12和所述第十五晶体管M15为P型薄膜晶体管；所述第十四晶体管M14连接在所述第二晶体管M2的栅极和所述第十晶体管M10的栅极之间，第十四晶体管M14的栅极连接所述第二电源VGL，所述第十四晶体管M14的源极连接所述第二晶体管M2的栅极，所述第十四晶体管M14的漏极连接所述第十晶体管M10的栅极；所述第十二晶体管M12的结构和连接关系与上一实施例中相同，连接在所述第五晶体管M5的栅极和所述第六晶体管M6的栅极之间，所述第十二晶体管M12的栅极连接所述第二电源VGL，所述第十二晶体管M12的漏极连接所述第五晶体管M5的栅极，所述第十二晶体管M12的源极连接所述第六晶体管M6的栅极；所述第十五晶体管M15连接在所述第八晶体管M8的栅极和所述第十晶体管M10的栅极之间，所述第十五晶体管M15的栅极连接所述第二电源VGL，所述第十五晶体管M15的漏极连接所述第十晶体管M10的栅极和第十四晶体管M14的漏极，所述第十五晶体管M15的源极连接所述第八晶体管M8的栅极。

[0101] 另外，由于所述隔离单元包括第十四晶体管M14、第十二晶体管M12和第十五晶体管M15，且皆为P型薄膜晶体管，且第十四晶体管M14、第十二晶体管M12和第十五晶体管M15的栅极连接第二电源VGL，当第十四晶体管M14、第十二晶体管M12和第十五晶体管M15的源漏极电压没有过低时，第十四晶体管M14、第十二晶体管M12和第十五晶体管M15自动导通，第十四晶体管M14、第十二晶体管M12和第十五晶体管M15的源漏极电压过低时(低于第二电源VGL)，第十四晶体管M14、第十二晶体管M12和第十五晶体管M15自动关断，进行源漏极的隔离。

[0102] 本实施例对第一个发射控制驱动电路的时序波形进行分析，如图4所示，开始信号EIN和第一时钟信号ECK1在第一时间点t1具有低电平，第二时钟信号ECK2在第一时间段t1具有高电平。由于第十四晶体管M14、第十二晶体管M12和第十五晶体管M15皆为P型薄膜晶体管，且其栅极连接第二电源，因此在以下分析中的正常情况下相当于导通的导线，不予赘述。

[0103] 具有低电平的第一时钟信号ECK1被施加到第一晶体管M1的栅极端和第三晶体管M3的栅极端。因此，第一晶体管M1和第三晶体管M3导通。

[0104] 具有低电平的开始信号EIN通过导通的第一晶体管M1被施加到第二晶体管M2的栅极端和第三栅控电压V3。因此，第二晶体管M2导通，并且第三栅控电压V3处的电压具有低电平。

[0105] 具有低电平的第一时钟信号ECK1和第二电源VGL分别通过导通的第二晶体管M2和导通的第三晶体管M3被施加第一栅控电压V1。因此，第一栅控电压V1处的电压具有低电平。

[0106] 具有高电平的第二时钟信号ECK2被施加到第四晶体管M4和第七晶体管M7。因此，

第四晶体管M4和第七晶体管M7截止。

[0107] 由于第三栅控电压V3为低电平,所以第八晶体管M8导通。第一电源VGH通过导通的第八晶体管M8被施加到第二栅控电压V2。因此,第二栅控电压V2处的电压具有高电平。第二电容C2被充有第一电源VGH。换言之,第二电容C2被充有具有高电平的电压。由于第二栅控电压V2处的电压具有高电平,所以第九晶体管M9截止。

[0108] 由于第三栅控电压V3处的电压具有低电平,所以第十晶体管M10导通。由于导通的第十晶体管M10,第二电源VGL被施加到第一发射控制线EM1,因此,第一个发射控制驱动电路的输出信号EM1具有低电平。

[0109] 在第二时间点t2,开始信号EIN具有低电平,第一时钟信号ECK1和第二时钟信号ECK2具有高电平。第一晶体管M1和第三晶体管M3通过具有高电平的第一时钟信号ECK1截止。

[0110] 由于第三栅控电压V3处的电压保持低电平,所以第二晶体管M2导通。具有高电平的第一时钟信号ECK1通过导通的第二晶体管M2被施加到第一栅控电压V1。因此,第一栅控电压V1处的电压具有高电平。

[0111] 第三栅控电压V3处的电压具有低电平,因此,第八晶体管M8和第十晶体管M10导通。第一电源VGH通过导通的第八晶体管M8被施加到第二栅控电压V2,从而第二栅控电压V2处的电压保持在高电平。

[0112] 由于第二栅控电压V2处的电压具有高电平并且第三栅控电压V3处的电压具有低电平,所以第九晶体管M9截止并且第十晶体管M10导通。因此,第一发射控制信号保持在低电平。

[0113] 在第三时间点t3,第二时钟信号ECK2从高电平转变为低电平,然后从低电平再次转变成高电平。因此,由于第三电容C3的耦合,第三栅控电压V3处的电势通过第二时钟信号ECK2的电势的变化而被自举(bootstrapped)。即,在第二时间点t2第二时钟信号ECK2为高电平时,第三栅控电压V3尚且为低电平,当第三时间点t3第二时钟信号ECK2从高电平转变为低电平时,由于第三电容C3的耦合(自举效应),则第三栅控电压V3的电平进一步降低,甚至具有低于第二电源VGL的电压,此时,对于第二晶体管M2来说,其栅极电压大大低于源极电压(第二晶体管的源极电压连接第二输入端12,此时第一时钟信号ECK1为高电平),若此时第二晶体管的栅极直接连接第三栅控电压V3,会造成击穿损坏,为了避免此风险,本实施例加入了第十四晶体管M14,此时第十四晶体管M14的漏极连接在第三栅控电压V3上,栅极连接第二电源VGL,由于第三栅控电压低于第二电源VGL,第十四晶体管M14快速关断,使第二晶体管与第三栅控电压隔离,防止第二晶体管损坏。同理,对第八晶体管M8来说,其栅极电压大大低于源极电压(第八晶体管的漏极连接到第一电源VGH,且此时第八晶体管导通,源极电压也为高电平),若此时第八晶体管的栅极直接连接第三栅控电压V3,会造成击穿损坏,为了避免此风险,本实施例加入了第十五晶体管M15,此时第十五晶体管M15的漏极连接在第三栅控电压V3上,栅极连接第二电源VGL,由于第三栅控电压低于第二电源VGL,第十五晶体管M15快速关断,使第八晶体管与第三栅控电压隔离,防止第八晶体管损坏。由于第十晶体管的源极(此时第十晶体管导通)连接第二电源,为低电平,所以第十晶体管的栅源电压相差较小,不会损坏,继续导通,第一发射控制信号保持在低电平。

[0114] 在第四时间点段t4,开始信号EIN和第二时钟信号ECK2具有高电平,第一时钟信号

ECK1具有低电平，此时第二时钟信号ECK2结束了低电平，并翻转为高电平，第三电容连接第三输入端13的一端的电压升高结束了自举效应，第三电容结束耦合过程，第三栅控电压V3低电平恢复到第二电源VGL，第十四晶体管和第十五晶体管继续导通。

[0115] 第一晶体管M1被具有低电平的第一时钟信号ECK1导通，并且具有高电平的开始信号EIN被施加到第三栅控电压V3，第三栅控电压V3处的电压具有高电平，因此，第二晶体管M2和第十晶体管M10截止。

[0116] 第三晶体管M3响应于具有低电平的第一时钟信号ECK1而被导通，并且第二电源VGL被施加到第一栅控电压V1。因此，第一栅控电压V1处的电压具有低电平。

[0117] 第七晶体管M7响应于具有高电平的第二时钟信号ECK2而被截止。由于第三栅控电压V3处的电压具有高电平，所以第八晶体管M8截止。第二栅控电压V2处的电压通过第二电容C2的充电效应被保持在高电平。第二栅控电压V2处的电压保持在高电平，因此，第九晶体管M9截止。因此，第一发射控制信号被保持在低电平。

[0118] 在第五时间点t5，开始信号EIN和第一时钟信号ECK1具有高电平，并且第二时钟信号ECK2具有低电平。

[0119] 第一晶体管M1和第三晶体管M3通过具有高电平的第一时钟信号ECK1截止。由于第三栅控电压V3处的电压保持在高电平，所以第二晶体管M2、第八晶体管M8和第十晶体管M10截止。

[0120] 第四晶体管M4和第七晶体管M7响应于具有低电平的第二时钟信号ECK2而被导通。另外，第一栅控电压V1处的电压具有低电平，从而第五晶体管M5和第六晶体管M6导通。

[0121] 如上所述的自举，由于第一电容C1的耦合，第一栅控电压V1的电势通过第二时钟信号ECK2的电势的变化被自举。即，在第四时间点t4第二时钟信号ECK2为高电平时，第一栅控电压V1尚且为低电平，当第五时间点t5第二时钟信号ECK2从高电平转变为低电平时，由于第一电容C1的耦合(自举效应)，则第一栅控电压V1的电平进一步降低，甚至具有低于第二电源VGL的电压。第一栅控电压V1处的电压的大幅降低也会影响第五晶体管M5，若第五晶体管的栅极直接连接第一栅控电压V1，而第五晶体管的漏极连接第一电源(高电平)，则栅源电压过大会造成击穿损坏，为了避免此风险，本实施例加入了第十二晶体管M12，此时第十二晶体管的源极连接在第一栅控电压V1上，栅极连接第二电源VGL，由于第一栅控电压低于第二电源VGL，第十二晶体管快速关断，使第五晶体管与第一栅控电压隔离，防止第五晶体管损坏。

[0122] 具有低电平的第二时钟信号ECK2通过导通的第六晶体管M6和第七晶体管M7被施加到第二栅控电压V2。因此，第二栅控电压V2处的电压在第五时间点t5具有低电平。由于第二栅控电压V2处的电压具有低电平，所以第九晶体管M9导通。

[0123] 由于第九晶体管M9导通且第十晶体管M10截止，所以第一发射控制信号被保持在高电平。

[0124] 在第六时间点t6，开始信号EIN和第一时钟信号ECK1具有低电平，并且第二时钟信号ECK2具有高电平。根据第一时间点t1处的操作，第一发射控制信号在第六时间点t6具有低电平。

[0125] 综上，上述实施例对发射控制驱动电路的不同构型进行了详细说明，当然，本发明包括但不局限于上述实施中所列举的构型，任何在上述实施例提供的构型基础上进行变换

的内容,均属于本发明所保护的范围。本领域技术人员可以根据上述实施例的内容举一反三。

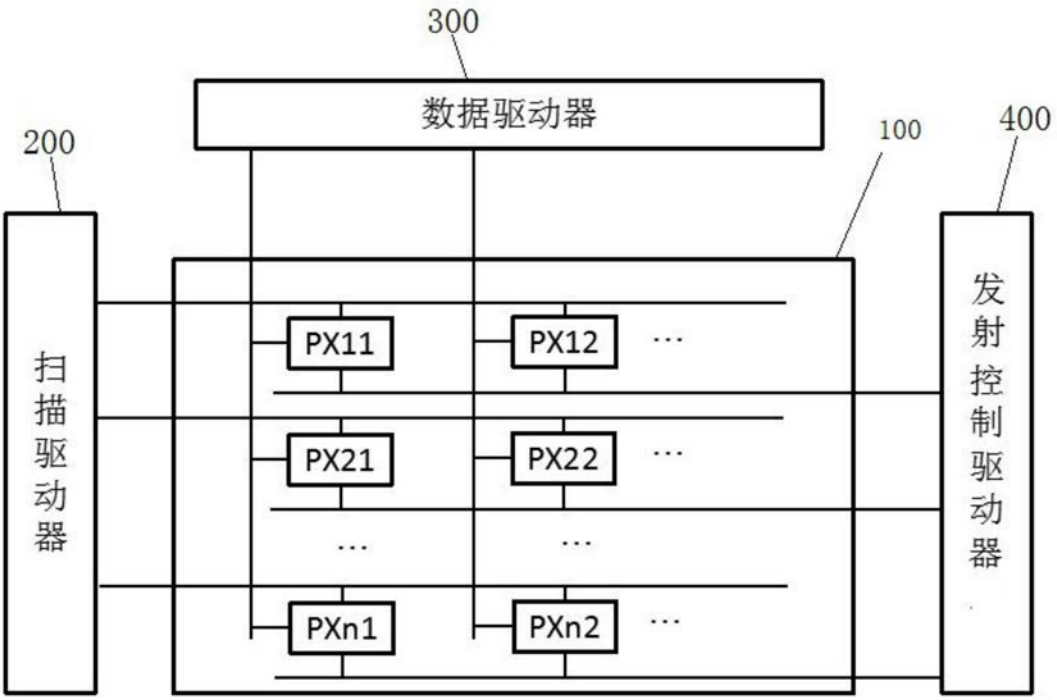

300
数据驱动器
200
100
400
扫描驱动器
发射控制驱动器
PX11
PX12
PX21
PX22
PXn1
PXn2

图1

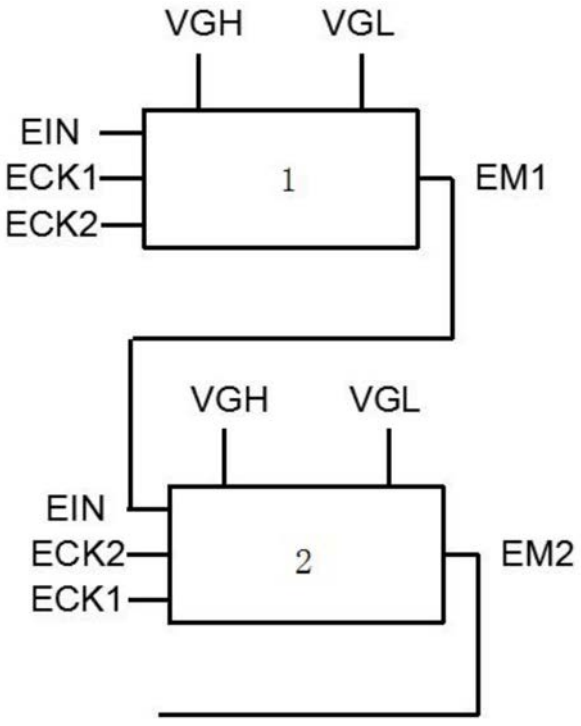

VGH
VGL
EIN
ECK1
ECK2
1
EM1
VGH
VGL
EIN
ECK2
ECK1
2
EM2

图2

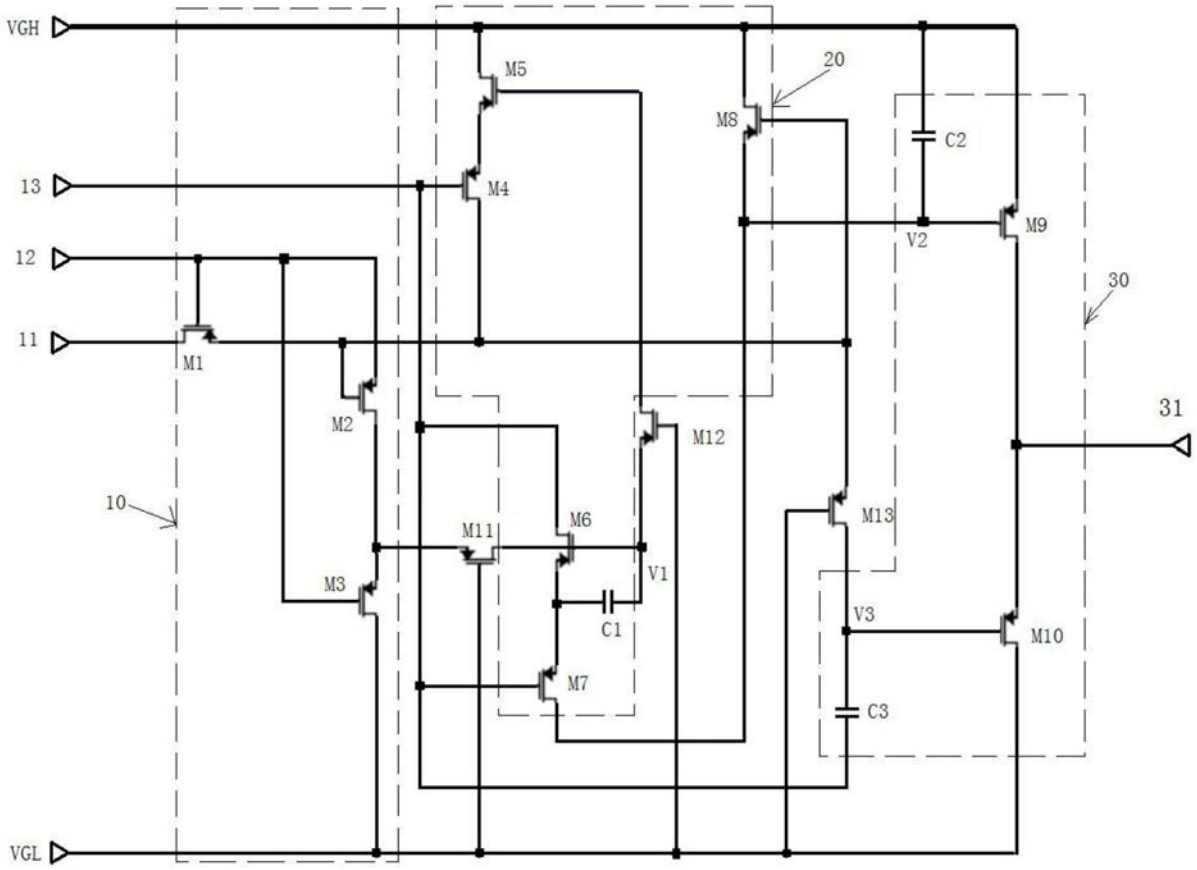

VGH
13
12
11
VGL
M1
M2
M3
M4
M5
M6
M7
M8
M9
M10
M11
M12
M13
C1
C2
C3
V1
V2
V3
10
20
30
31

图3

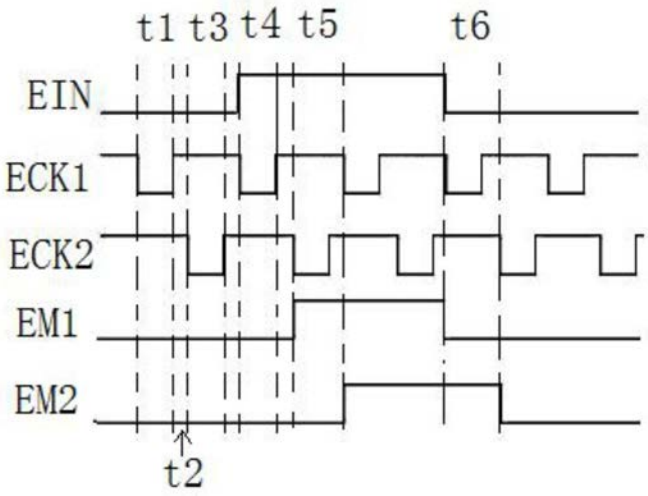

t1 t3 t4 t5
t6
EIN
ECK1
ECK2
EM1
EM2
t2

图4

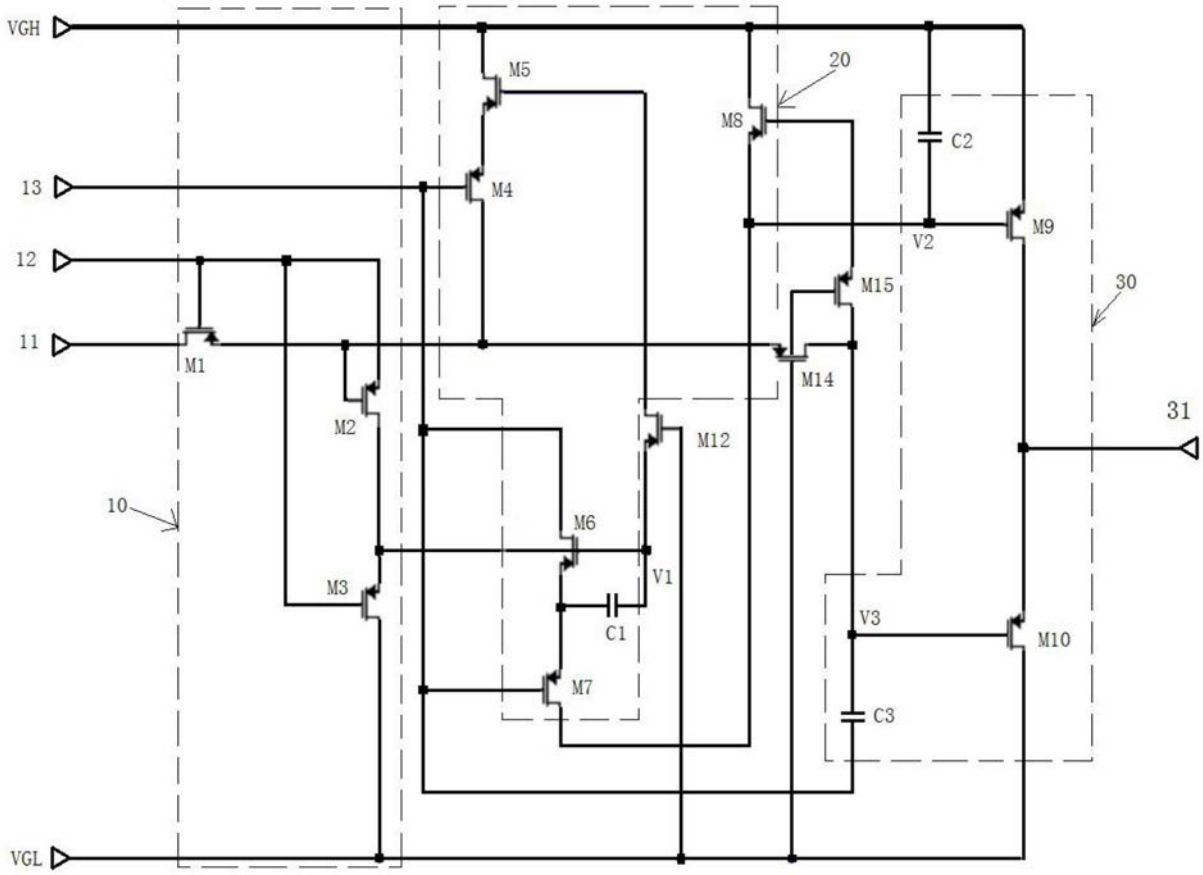

VGH
13
12
11
VGL
10
M1
M2
M3
M4
M5
M6
M7
M8
M9
M10
M12
M14
M15
C1
C2
C3
V1
V2
V3
20
30
31

图5