

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(11) 공개번호 10-2019-0117197
(43) 공개일자 2019년10월16일

(51) 국제특허분류(Int. Cl.)
H01L 29/423 (2006.01) H01L 21/02 (2006.01)
(52) CPC특허분류
H01L 29/42356 (2013.01)
H01L 21/0228 (2013.01)
(21) 출원번호 10-2018-0040420
(22) 출원일자 2018년04월06일
심사청구일자 2018년04월06일

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암
동5가)
(72) 발명자
유현용
서울특별시 서초구 사평대로 240, 503동 706호 (반포동, 미도2차아파트)
정승근
서울특별시 송파구 올림픽로35가길 9, 101동 220
4호
(뒷면에 계속)
(74) 대리인
김홍석

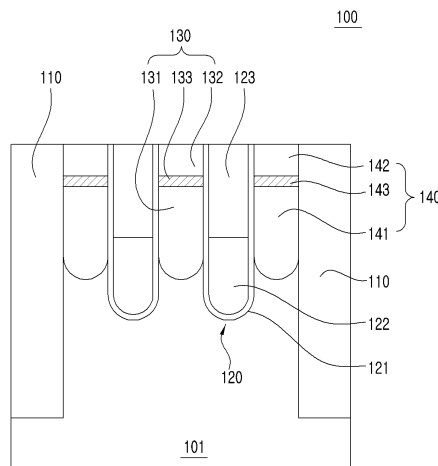
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 누설 전류를 감소시키는 구조를 포함하는 반도체 메모리 소자

(57) 요약

본 발명의 반도체 메모리 소자는 반도체 기판, 상기 기판에 불순물을 도핑하여 형성되는 제1 활성 영역, 상기 기판에 상기 불순물을 도핑하여 형성되며, 상기 제1 활성 영역과 특정 간격만큼 이격되어 위치하는 제2 활성 영역, 상기 기판 상에서 상기 제1 활성 영역 및 상기 제2 활성 영역 사이에 형성되며, 상기 제1 활성 영역 또는 상기 제2 활성 영역과 일부 중첩되어 인접하는 게이트, 상기 제1 활성 영역 상에 형성되는 제1 유전층, 상기 제2 활성 영역 상에 형성되는 제2 유전층, 상기 제1 유전층 상에 형성되는 제1 금속 콘택, 그리고 상기 제2 유전층 상에 형성되는 제2 금속 콘택을 포함하되, 상기 제1 활성 영역 또는 상기 제2 활성 영역 중 적어도 하나는 기준 도핑 농도보다 낮게 도핑될 수 있다.

대표도 - 도2



(52) CPC특허분류

H01L 29/42352 (2013.01)

H01L 29/78 (2013.01)

(72) 발명자

김승환

서울특별시 동대문구 천호대로31길 19, 305호

김광식

서울특별시 성북구 인촌로7가길 58, 501호

명세서

청구범위

청구항 1

반도체 기판;

상기 기판에 불순물을 도핑하여 형성되는 제1 활성 영역;

상기 기판에 상기 불순물을 도핑하여 형성되며, 상기 제1 활성 영역과 특정 간격만큼 이격되어 위치하는 제2 활성 영역;

상기 기판 상에서 상기 제1 활성 영역 및 상기 제2 활성 영역 사이에 형성되며, 상기 제1 활성 영역 또는 상기 제2 활성 영역과 일부 중첩되어 인접하는 게이트;

상기 제1 활성 영역 상에 형성되는 제1 유전층;

상기 제2 활성 영역 상에 형성되는 제2 유전층;

상기 제1 유전층 상에 형성되는 제1 금속 콘택; 그리고

상기 제2 유전층 상에 형성되는 제2 금속 콘택을 포함하되,

상기 제1 활성 영역 또는 상기 제2 활성 영역 중 적어도 하나는 기준 도핑 농도보다 낮게 도핑되는 반도체 메모리 소자.

청구항 2

제1항에 있어서,

상기 제1 유전층 및 상기 제2 유전층은 ZnO, TiO₂, HfO₂, Al₂O₃, SiN 및 ZrO₂ 중 하나로 구성되는 반도체 메모리 소자.

청구항 3

제1항에 있어서,

상기 제1 금속 콘택 및 상기 제2 금속 콘택은 Ti, TiN 및 TaN 중 하나로 구성되는 반도체 메모리 소자.

청구항 4

제1항에 있어서,

상기 기준 도핑 농도는 $2 \times 10^{19} \text{ cm}^{-3}$ 인 것을 특징으로 하는 반도체 메모리 소자.

청구항 5

제1항에 있어서,

상기 제1 활성 영역 또는 상기 제2 활성 영역 중 적어도 하나는 $5 \times 10^{17} \text{ cm}^{-3}$ 내지 $5 \times 10^{18} \text{ cm}^{-3}$ 사이의 농도로 도핑되는 것을 특징으로 하는 반도체 메모리 소자.

청구항 6

제1항에 있어서,

상기 게이트가 매립 게이트인 경우, 상기 제1 활성 영역 및 상기 활성 영역 사이에 게이트 트렌치가 형성되고, 상기 게이트 트렌치의 하부에 상기 게이트가 형성되고, 상기 기판과 상기 게이트 사이에 게이트 절연막이 형성되는 반도체 메모리 소자.

청구항 7

제1항에 있어서,

상기 제1 활성 영역 및 상기 제2 활성 영역 사이에 형성되는 복수의 활성 영역들을 더 포함하되,

상기 게이트는 상기 제1 활성 영역과 중첩되는 제1 게이트 및 상기 제2 활성 영역과 중첩되는 제2 게이트를 포함하는 반도체 메모리 소자.

청구항 8

제1항에 있어서,

상기 제1 유전층 및 상기 제2 유전층은 원자층 증착 공정(ALD)을 통해 형성되는 반도체 메모리 소자.

청구항 9

제1항에 있어서,

상기 제1 활성 영역 또는 상기 제2 활성 영역 중 적어도 하나의 도핑 농도는 상기 제1 유전층 또는 상기 제2 유전층의 두께에 따라 조절되는 컨택 저항의 임계값에 기초하여 결정되는 반도체 메모리 소자.

청구항 10

반도체 기판;

상기 기판에 불순물을 도핑하여 형성되는 제1 활성 영역;

상기 기판에 상기 불순물을 도핑하여 형성되며, 상기 소스와 특정 간격만큼 이격되어 위치하는 제2 활성 영역;

상기 기판 상에서 상기 제1 활성 영역 및 상기 제2 활성 영역 사이에 형성되며, 상기 제1 활성 영역 또는 상기 제2 활성 영역과 일부 중첩되어 인접하는 게이트;

상기 제1 활성 영역 상에 형성되는 유전층;

상기 유전층 상에 형성되는 제1 금속 컨택; 그리고

상기 제2 활성 영역 상에 형성되는 제2 금속 컨택을 포함하되,

상기 제1 활성 영역은 상기 제2 활성 영역보다 낮은 농도로 도핑되는 반도체 메모리 소자.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 메모리 소자에 관한 것으로, 좀 더 구체적으로 활성 영역의 도핑 농도를 낮추고 활성 영역에서 금속-유전층-반도체 구조를 포함하여 누설 전류를 감소시키는 반도체 메모리 소자에 관한 것이다.

배경 기술

[0002] 일반적으로, 반도체는 전기전도도에 따른 물질의 분류 가운데 하나로 도체와 부도체의 중간영역에 속하는 물질로서, 순수한 상태에서는 부도체와 비슷하지만 불순물의 첨가나 기타 조작에 의해 전기전도도가 늘어나는 성질을 가진다. 이러한 반도체는 불순물을 첨가하고 도체를 연결하여 트랜지스터 등의 반도체 소자를 생성하는데 사용되며, 반도체 소자를 사용하여 만들어진 여러 가지 기능을 가지는 장치를 반도체 소자라 한다. 이러한 반도체 소자의 대표적인 예로는 반도체 기억 장치가 있다.

[0003] 반도체 소자는 다수의 트랜지스터들을 포함한다. 트랜지스터는 게이트(gate), 소스(source) 및 드레인(drain)의 세 영역을 포함하며, 게이트로 입력되는 신호(전압의 크기)에 따라 소스와 드레인 간 전하의 이동이 일어난다. 소스와 드레인 간 전하의 이동은 채널(channel) 영역을 통해 이루어지는데 바로 이 채널이 반도체의 성질을 이용한 것이다.

[0004] 일반적으로, 트랜지스터의 제조 방법은 반도체 기판에 게이트를 형성하고 게이트의 양 옆의 반도체 기판에 불순물을 도핑하여 소스와 드레인을 형성한다. 이 경우 게이트 아래 소스와 드레인 사이가 트랜지스터의 채널 영역

이 된다. 이러한 수평 채널 영역을 가지는 트랜지스터는 일정 면적의 반도체 기판을 차지하게 되므로, 복잡한 반도체 기억 장치의 경우 내부에 포함된 다수의 트랜지스터들로 인하여 전체 면적을 줄이는데 어려움이 발생한다.

[0005] 이러한 문제를 해결하기 위해 방법으로, 실리콘 기판을 식각하여 게이트의 일부 또는 전부를 매립하는 구조인 리세스 게이트/핀 게이트/매립 게이트 등의 3차원 구조의 트랜지스터가 도입되었다.

[0006] 최근 반도체 메모리 소자, 특히 DRAM(Dynamic Random Access Memory) 소자의 대용량화에 대한 요구가 점점 커짐에도 불구하고, 칩 크기 증가의 한계에 의해 디램 소자의 용량증가 또한 한계를 보이는 실정이다. 칩 크기가 증가하게 되면 웨이퍼 당 칩의 수가 감소하여 소자의 생산성이 감소하게 된다. 따라서 최근에는 셀 레이아웃을 변화시켜 셀 면적을 감소시키고, 그에 따라 보다 많은 메모리 셀을 하나의 웨이퍼에 집적시키고자 하는 노력을 기울이고 있다.

[0007] 그 노력의 결실 중 하나로 매립 게이트 구조가 개발되었는데, 매립게이트는 도전 물질(게이트 전극)과 활성 영역의 N형 정션(Junction) 또는 스토리지노드 콘택 사이에서 반도체 메모리 소자의 GIDL(Gate Induced Drain Leakage)에 의한 누설 전류가 증가하며, GIDL 특성의 열화로 인하여 반도체 메모리 소자의 전체적인 특성이 저하되는 문제가 있다.

선행기술문헌

특허문헌

[0008] (특허문헌 0001) 대한민국 공개특허 제10-2016-0126147호

발명의 내용

해결하려는 과제

[0009] 본 발명의 목적은 GIDL(gate induced drain leakage) 현상에 의한 누설 전류를 감소시키는 구조를 가지는 반도체 메모리 소자를 제공하는 데 있다.

과제의 해결 수단

[0010] 본 발명의 실시 예에 따른 반도체 메모리 소자는 반도체 기판, 상기 기판에 불순물을 도핑하여 형성되는 제1 활성 영역, 상기 기판에 상기 불순물을 도핑하여 형성되며, 상기 제1 활성 영역과 특정 간격만큼 이격되어 위치하는 제2 활성 영역, 상기 기판 상에서 상기 제1 활성 영역 및 상기 제2 활성 영역 사이에 형성되며, 상기 제1 활성 영역 또는 상기 제2 활성 영역과 일부 중첩되어 인접하는 게이트, 상기 제1 활성 영역 상에 형성되는 제1 유전층, 상기 제2 활성 영역 상에 형성되는 제2 유전층, 상기 제1 유전층 상에 형성되는 제1 금속 콘택, 그리고 상기 제2 유전층 상에 형성되는 제2 금속 콘택을 포함하되, 상기 제1 활성 영역 또는 상기 제2 활성 영역 중 적어도 하나는 기준 도핑 농도보다 낮게 도핑될 수 있다.

[0011] 실시 예로서, 상기 제1 유전층 및 상기 제2 유전층은 ZnO, TiO₂, HfO₂, Al₂O₃, SiN 및 ZrO₂ 중 하나로 구성될 수 있다.

[0012] 실시 예로서, 상기 제1 금속 콘택 및 상기 제2 금속 콘택은 Ti, TiN 및 TaN 중 하나로 구성될 수 있다.

[0013] 실시 예로서, 상기 기준 도핑 농도는 $2 \times 10^{19} \text{ cm}^{-3}$ 인 것을 특징으로 할 수 있다.

[0014] 실시 예로서, 상기 제1 활성 영역 또는 상기 제2 활성 영역 중 적어도 하나는 $5 \times 10^{17} \text{ cm}^{-3}$ 내지 $5 \times 10^{18} \text{ cm}^{-3}$ 사이의 농도로 도핑되는 것을 특징으로 할 수 있다.

[0015] 실시 예로서, 상기 게이트가 매립 게이트인 경우, 상기 제1 활성 영역 및 상기 활성 영역 사이에 게이트 트렌치가 형성되고, 상기 게이트 트렌치의 하부에 상기 게이트가 형성되고, 상기 기판과 상기 게이트 사이에 게이트 절연막이 형성될 수 있다.

[0016] 실시 예로서, 상기 제1 활성 영역 및 상기 제2 활성 영역 사이에 형성되는 복수의 활성 영역들을 더 포함하되, 상기 게이트는 상기 제1 활성 영역과 중첩되는 제1 게이트 및 상기 제2 활성 영역과 중첩되는 제2 게이트를 포

함할 수 있다.

[0017] 실시 예로서, 상기 제1 유전층 및 상기 제2 유전층은 원자층 증착 공정(ALD)을 통해 형성될 수 있다.

[0018] 실시 예로서, 상기 제1 활성 영역 또는 상기 제2 활성 영역 중 적어도 하나의 도핑 농도는 상기 제1 유전층 또는 상기 제2 유전층의 두께에 따라 조절되는 컨택 저항의 임계값에 기초하여 결정될 수 있다.

[0019] 본 발명의 실시 예에 따른 반도체 메모리 소자는 반도체 기판, 상기 기판에 불순물을 도핑하여 형성되는 제1 활성 영역, 상기 기판에 상기 불순물을 도핑하여 형성되며, 상기 소스와 특정 간격만큼 이격되어 위치하는 제2 활성 영역, 상기 기판 상에서 상기 제1 활성 영역 및 상기 제2 활성 영역 사이에 형성되며, 상기 제1 활성 영역 또는 상기 제2 활성 영역과 일부 중첩되어 인접하는 게이트, 상기 제1 활성 영역 상에 형성되는 유전층, 상기 유전층 상에 형성되는 제1 금속 컨택, 그리고 상기 제2 활성 영역 상에 형성되는 제2 금속 컨택을 포함하되, 상기 제1 활성 영역은 상기 제2 활성 영역보다 낮은 농도로 도핑될 수 있다.

발명의 효과

[0020] 본 발명의 실시 예에 따르면, 활성 영역의 도핑 농도를 낮추고 활성 영역에서 금속-유전층-반도체 구조를 포함하여 GIDL 현상에 의한 누설 전류를 감소시키는 반도체 메모리 소자를 제공할 수 있다.

도면의 간단한 설명

[0021] 도 1은 매립 게이트 구조를 포함하는 일반적인 반도체 메모리 소자를 보여주는 단면도이다.

도 2는 본 발명의 실시 예에 따른 반도체 메모리 소자를 보여주는 단면도이다.

도 3은 금속과 반도체 사이의 컨택 저항을 보여주는 도면이다.

도 4 및 도 5는 MIGS(Metal Induced Gap States) 효과를 보여주는 도면이다.

도 6은 MIS 구조의 효과를 보여주는 도면이다.

도 7은 유전층과 반도체층 사이의 전도띠 오프셋(CBO, Conduction Band Offset)을 보여주는 도면이다.

도 8은 MIS 구조에서 유전층의 두께와 컨택 저항의 크기 사이의 관계를 보여주는 도면이다.

도 9는 도 2의 반도체 메모리 소자에 있어서 소스와 드레인의 도핑 농도에 따른 효과 및 MIS 컨택 구조의 적용에 따른 효과를 보여주는 도면이다.

도 10은 본 발명의 다른 실시 예에 따른 반도체 메모리 소자를 보여주는 단면도이다.

도 11은 본 발명의 또 다른 실시 예에 따른 반도체 메모리 소자를 보여주는 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0022] 앞의 일반적인 설명 및 다음의 상세한 설명 모두 예시적이라는 것이 이해되어야 하며, 청구된 발명의 추가적인 설명이 제공되는 것으로 여겨져야 한다. 참조부호들이 본 발명의 바람직한 실시 예들에 상세히 표시되어 있으며, 그것의 예들이 참조 도면들에 표시되어 있다. 가능한 어떤 경우에도, 동일한 참조 번호들이 동일한 또는 유사한 부분을 참조하기 위해서 설명 및 도면들에 사용된다.

[0023] 제 1 또는 제 2 등의 용어를 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만, 예를 들어 본 발명의 개념에 따른 권리 범위로부터 이탈되지 않은 채, 제 1 구성요소는 제 2 구성요소로 명명될 수 있고, 유사하게 제 2 구성요소는 제 1 구성요소로도 명명될 수 있다.

[0024] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 표현들, 예를 들어 "~사이에"와 "바로~사이에" 또는 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.

[0025] 본 명세서에서 사용한 용어는 단지 특정한 실시 예들을 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의

도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함으로 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0026] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 갖는 것으로 해석되어야 하며, 본 명세서에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

[0027] 이하, 실시 예들을 첨부된 도면을 참조하여 상세하게 설명한다. 그러나 특허출원의 범위가 이러한 실시 예들에 의해 제한되거나 한정되는 것은 아니다. 각 도면에 제시된 동일한 참조 부호는 동일한 부재를 나타낸다.

[0028] 도 1은 매립 게이트 구조를 포함하는 일반적인 반도체 메모리 소자를 보여주는 단면도이다. 도 1을 참조하면, 반도체 메모리 소자(10)는 매립 게이트(22), 드레인(31) 및 소스(41)를 포함할 수 있다. 예시적으로, 반도체 메모리 소자(10)는 DRAM일 수 있다.

[0029] 반도체 메모리 소자(10)는 기판(11) 상에 소자분리막(12)을 통해 구분될 수 있다. 게이트 트렌치(20)는 소자분리막(12) 사이의 기판(11) 상에 형성될 수 있다. 게이트 절연막(21)은 게이트 트렌치(20)의 표면에 형성되고, 매립 게이트(22)는 게이트 트렌치(20)의 하부에 형성되고, 그리고 게이트 보호막 패턴(23)은 게이트 트렌치(20)의 상부에 형성될 수 있다. 드레인(31) 및 소스(42)는 게이트 트렌치(20)의 양측에 형성될 수 있다. 드레인(31) 및 소스(42)는 매립 게이트(22)와 일부 영역이 중첩하여 인접할 수 있다. 비트 라인 콘택(32)은 드레인(31)에 접촉되어 형성되고, 스토리지 노드 콘택(42)은 소스(41)에 접촉되어 형성될 수 있다. 예를 들면, 비트 라인 콘택(32) 및 스토리지 노드 콘택(42)은 금속으로 구성될 수 있다. 비트 라인 콘택(32) 및 스토리지 노드 콘택(42)은 Ti, TiN, TaN 등으로 형성될 수 있다. 예를 들면, 도 1과 같이 드레인(31) 및 소스(42)에서 금속과 반도체가 접촉되어 있는 구조는 MS(Metal-Semiconductor) 콘택 구조라고 정의한다.

[0030] 일반적으로 반도체 메모리 소자(10)에서 드레인(31)과 비트 라인 콘택(32) 사이 또는 소스(41)와 스토리지 노드 콘택(42) 사이의 콘택 저항을 줄이기 위해, 드레인(31) 및 소스(41)는 고농도로 도핑될 수 있다. 하지만, 드레인(31) 및 소스(41)가 고농도로 도핑되는 경우, 드레인(31) 또는 소스(41)와 매립 게이트(22)가 중첩되는 부분에서 BTBT(band to band tunneling)를 야기하여 누설 전류를 발생하는 GIDL(gate induced drain leakage) 현상이 심화될 수 있다. 한편, 드레인(31) 및 소스(41)의 도핑 농도를 낮추면 GIDL 현상은 줄일 수 있지만, 드레인(31)과 비트 라인 콘택(32) 사이 또는 소스(41)와 스토리지 노드 콘택(42) 사이의 콘택 저항이 증가하는 문제점이 있다.

[0031] 도 2는 본 발명의 실시 예에 따른 반도체 메모리 소자를 보여주는 단면도이다. 도 2를 참조하면, 반도체 메모리 소자(100)는 매립 게이트(122), 드레인(131) 및 소스(141)를 포함할 수 있다. 드레인(131) 및 소스(141)는 활성 영역으로 표현될 수 있다. 예시적으로, 반도체 메모리 소자(100)는 DRAM일 수 있다.

[0032] 반도체 메모리 소자(100)는 기판(101) 상에서 소자분리막(110)을 통해 구분될 수 있다. 게이트 트렌치(120)는 소자분리막(110) 사이의 기판(101) 상에 형성될 수 있다. 게이트 절연막(121)은 게이트 트렌치(120)의 표면에 형성되고, 매립 게이트(122)는 게이트 트렌치(120)의 하부에 형성되고, 그리고 게이트 보호막 패턴(123)은 게이트 트렌치(120)의 상부에 형성될 수 있다. 드레인(131) 및 소스(142)는 게이트 트렌치(120)의 양측에 형성될 수 있다. 드레인(131) 및 소스(142)는 매립 게이트(122)와 일부 영역이 중첩되어 인접할 수 있다. 비트 라인 콘택(132)은 드레인(131)의 상부에 형성되고, 스토리지 노드 콘택(142)은 소스(141)의 상부에 형성될 수 있다. 도시되지 않았지만, 비트 라인 콘택(132)은 DRAM의 비트 라인에 연결되고, 스토리지 노드 콘택(142)은 DRAM의 커패시터에 연결될 수 있다. 예를 들면, 비트 라인 콘택(132) 및 스토리지 노드 콘택(142)은 금속으로 구성될 수 있다. 비트 라인 콘택(132) 및 스토리지 노드 콘택(142)은 Ti, TiN, TaN 등으로 형성될 수 있다.

[0033] 본 발명의 실시 예에 따른 반도체 메모리 소자(100)는 우선 GIDL 현상에 의한 누설 전류를 감소시킬 수 있다. 예를 들면, 반도체 메모리 소자(100)의 드레인(131) 및 소스(141)는 도 1의 드레인(31) 및 소스(41)보다 더 낮은 농도로 불순물이 도핑될 수 있다. 도 1의 드레인(31) 및 소스(41)는 기준 도핑 농도로 불순물이 도핑될 수 있다. 예시적으로, 기준 도핑 농도는 $2 \times 10^{19} \text{ cm}^{-3}$ 일 수 있다. 기준 도핑 농도는 도 1의 드레인(31) 및 소스(41)가 금속인 비트 라인 콘택(32) 및 스토리지 노드 콘택(42)과 직접 연결되는 경우 반도체 메모리 소자(10)가 동

작 가능한 도핑 농도이다. 즉, 반도체 메모리 소자(100)의 드레인(131) 및 소스(141)는 기준 도핑 농도보다 낮은 농도로 도핑될 수 있다. 드레인(131) 및 소스(141)가 기준 도핑 농도보다 낮은 농도로 도핑되면, 드레인(131) 또는 소스(141)의 에너지 밴드와 매립 게이트(122)의 에너지 밴드 사이의 폭이 증가하여 BTBT 현상이 감소할 수 있다. 따라서, 드레인(131)과 매립 게이트(122) 사이 또는 소스(141)와 매립게이트(122) 사이에서 GIDL 현상에 의한 누설 전류는 감소할 수 있다. 다만, 드레인(131) 및 소스(141)의 도핑 농도를 낮추면, 드레인(131)과 비트 라인 콘택(132) 사이 또는 소스(141)와 스토리지 노드 콘택(142) 사이의 콘택 저항이 증가할 수 있다.

[0034] 한편, 이러한 콘택 저항 증가 문제를 해결하기 위해, 본 발명의 실시 예에 따른 반도체 메모리 소자(100)는 유전층(133, 143)을 포함할 수 있다. 유전층(133)은 드레인(131)과 비트 라인 콘택(132) 사이에 형성될 수 있다. 유전층(143)은 소스(141)와 스토리지 노드 콘택(142) 사이에 형성될 수 있다. 도 1과 같이 금속인 비트 라인 콘택(32) 및 스토리지 노드 콘택(42)이 반도체인 드레인(31) 및 소스(41)와 직접 접촉하는 경우, 접촉면의 콘택 저항이 증가할 수 있다. 반면에, 금속층과 반도체층 사이에 유전층이 삽입되면, 금속층과 반도체층 사이의 콘택 저항이 감소할 수 있다. 예를 들면, 유전층(133)은 드레인(131)과 비트 라인 콘택(132) 사이의 콘택 저항을 감소시킬 수 있다. 유전층(143)은 소스(141)와 스토리지 노드 콘택(142) 사이의 콘택 저항을 감소시킬 수 있다. 유전층(133, 143)에 의해 콘택 저항이 감소되는 효과는 도 3 내지 도 7에서 자세히 설명한다. 예를 들면, 도 2와 같이 드레인(131) 또는 소스(141)에서 금속과 반도체 사이에 유전층이 삽입되어 있는 구조는 MIS(Metal-Interlayer-Semiconductor) 콘택 구조라고 정의한다. 일 실시 예로서, 유전층(133, 143)은 ZnO, TiO₂, HfO₂, Al₂O₃, SiN, ZrO₂ 등과 같이 밴드갭 에너지가 큰 유전체 물질이 사용될 수 있다.

[0035] 따라서, 반도체 메모리 소자(100)는 드레인(131) 및 소스(141)의 낮은 도핑 농도를 통해 GIDL 현상에 의한 누설 전류를 감소시키고, 이로 인해 증가될 수 있는 콘택 저항을 유전층(133, 143)을 통해 낮출 수 있다. 결국, 반도체 메모리 소자(100)는 GIDL 현상에 의한 누설 전류를 감소시키면서 반도체 메모리 성능을 유지할 수 있다.

[0036] 일 실시 예로서, 유전층(133, 143)은 드레인(131)과 비트 라인 콘택(132) 사이 또는 소스(141)와 스토리지 노드 콘택(142) 사이 중 적어도 한 곳에 형성될 수 있다. 또한, 드레인(131)의 도핑 농도는 소스(141)의 도핑 농도보다 낮게 형성될 수 있다. 반대로, 소스(141)의 도핑 농도는 드레인(131)의 도핑 농도보다 낮게 형성될 수 있다. 또한, 드레인(131) 및 소스(141) 중에 한쪽만 유전층이 형성된 경우, 유전층이 형성된 쪽(드레인 또는 소스)의 도핑 농도를 낮게 형성할 수 있다.

[0037] 일 실시 예로서, MIS 콘택 구조에서, 드레인(131) 또는 소스(141)의 특정 도핑 농도에서 드레인(131) 또는 소스(141)의 콘택 저항은 유전층(133, 143)의 두께에 따라 임계값(최소값)을 가질 수 있다. 따라서, 드레인(131) 또는 소스(141)의 도핑 농도는 유전층(133, 143)의 두께에 따라 조절되는 콘택 저항의 임계값에 기초하여 결정될 수 있다.

[0038] 한편, 유전층(133, 143)은 원자층 증착 공정(Atomic Layer Deposition, ALD)을 통해 형성될 수 있다. 먼저, 하드 마스크 패턴을 통해 드레인(131)과 소스(141)에 도핑을 해주고 ALD 공정 방식을 이용하여 얇은 유전층(133, 143)을 증착시켜준다. 원자층 증착 공정의 경우, 복잡한 형상의 3차원 구조에서도 뛰어난 균일도를 가지는 나노 두께의 박막 증착이 가능하기 때문에 나노급 반도체 소자 제조의 적합하다. 박막 형성에 필요한 원소를 번갈아 공급하여 한 원자층씩 흡착되도록 하는 기술로, AX와 BY라는 기체의 형태의 물질을 원료로 이용하여 AB라는 고체물질로 된 박막을 증착하고 부산물로 기체 형태의 XY를 생성하는 방식으로 AX(기체)+BY(기체)→AB(고체)+XY(기체)의 반응을 통해 원자층을 적층한다. 증착과정에서 원료 공급 단계에서 원료의 공급이 충분하다면 박막의 성장 속도는 원료 공급 주기의 횟수에만 비례하기 때문에 박막의 두께는 수 Å(앙스트롬) 단위로 정밀하게 제어할 수 있다. 박막의 두께와 조성을 정밀하게 조정할 수 있고, 불순물이 적고, 핀 홀 등의 결함이 없는 양질의 박막제조가 가능하다. 또한, 3차원 구조도 균일하게 적층이 가능하며 대면적 증착도 가능하다. 스퍼터(Sputter)나 증착기(Evaporator)와 같은 물리적 방식의 공정 장비를 사용할 시, 유전층의 특성이 좋지 않고, 증착률이 높아 얇은 층을 형성하기 어렵다. 유전층 증착 후, n형과 p형 반도체 소자에 따라 각각에 알맞은 금속을 증착시킨다.

[0039] 도 3 내지 도 7에서 도 2의 유전층(133, 143)에 의해 콘택 저항이 감소되는 효과에 대하여 자세히 설명한다. 도 3은 금속과 반도체 사이의 콘택 저항을 보여주는 도면이다. 도 4 및 도 5는 MIGS(Metal Induced Gap States) 효과를 보여주는 도면이다.

[0040] 도 3 내지 도 5를 참조하면, 도 1과 같이 금속층(32, 42)과 반도체층(31, 41)을 직접 접촉하는 경우, 금속과 반도체 사이에 쇼트키(schottky) 장벽으로 인한 콘택 저항의 증가가 발생한다. 또한, 금속과 반도체 사이에는

MIGS(Metal Induced Gap States)라는 효과가 존재하기 때문에 쇼트키 장벽을 효과적으로 감소시킬 수 없다. MIGS는 반도체에 접합한 금속에 의해 반도체의 표면에 상태 밀도를 유도하여 페르미-레벨(Fermi-level)이 각 반도체 물질의 고유 특성인 CNL(Charge Neutral Level)에 가까워지게 한다. 이를 페르미-레벨 피닝(Fermi-level Pinning)이라고 한다.

- [0041] 도 3에서, 반도체의 경우, CNL이 가전자대(Valence Band) 쪽에 존재한다. 예를 들면, n형 반도체와 금속 사이에는 페르미-레벨 피닝으로 인해 쇼트키 장벽이 커지는 것을 확인할 수 있다.
- [0042] 한편, 도 2와 같이, 금속층(132, 142)과 반도체층(131, 141) 사이에 유전층(133, 143)을 삽입하여 MIS(Metal-Interlayer-Semiconductor) 구조를 형성함으로써 MIGS 현상으로 인한 페르미-레벨 피닝을 감소시킬 수 있다.
- [0043] 도 6은 MIS 구조의 효과를 보여주는 도면이다. 도 7은 유전층과 반도체층 사이의 전도띠 오프셋(CBO, Conduction Band Offset)을 보여주는 도면이다. 도 8은 MIS 구조에서 유전층의 두께와 콘택 저항의 크기 사이의 관계를 보여주는 도면이다.
- [0044] 도 6 내지 도 8을 참조하면, 금속과 반도체 사이에 유전층을 삽입할 경우, MIGS를 효과적으로 감소시킬 수 있고, 전자가 터널링(tunneling)을 통해 쉽게 통과할 수 있기 때문에 콘택 저항을 감소시킬 수 있다. 하지만, 유전층이 두꺼워질 경우, 전자가 뚫고 지나갈 수 없기 때문에 오히려 콘택 저항이 다시 증가할 수 있다. 따라서, 이러한 문제점을 해결하기 위하여, 유전층은 콘택 저항이 최소가 되는 두께로 형성되거나, 임계치 이상의 밴드갭 에너지를 갖는 물질로 형성될 수 있다. 밴드갭 에너지의 임계치는 실험 등을 통해 설정되거나, 반도체 소자를 제조하는 제조자에 의해 미리 설정될 수 있다. 또한, 복수의 물질 중 밴드갭 에너지가 가장 큰 물질을 이용하여 유전층을 형성할 수 있다. 일 실시 예로서, 유전층은 ZnO, TiO₂, HfO₂, Al₂O₃, SiN, ZrO₂ 등과 같이 밴드갭 에너지가 큰 유전체 물질이 사용될 수 있다.
- [0045] 한편, 도 7에서, 유전층은 반도체와의 전도띠 오프셋(CBO)이 임계치 이하인 물질로 형성될 수 있다. 유전층과 반도체의 전도띠 오프셋(CBO)이 작은 경우 전자가 터널링하기 쉬워져 콘택 저항을 더 감소시킬 수 있다. 도 2의 유전층(133, 143)으로 반도체와 전도띠 오프셋(CBO)이 매우 작은 물질을 사용하면 터널링 두께가 더욱 줄어들게 된다. 또한, 반도체와의 전도띠 오프셋(CBO)이 작은 물질을 사용하면 터널링 두께가 얇기 때문에, 유전층이 어느 정도 두꺼워져도 낮은 콘택 저항값을 유지하게 된다. 예를 들면, 실리콘과 전도띠 오프셋(CBO)이 매우 작은 차이를 가지고 있는 유전층으로는 ZnO나 TiO₂와 같은 물질들이 있다. 전도띠 오프셋(CBO)의 임계치는 실험 등을 통해 설정되거나, 반도체 소자를 제조하는 제조자에 의해 미리 설정될 수 있다. 또한, 복수의 물질 중 반도체층과의 전도띠 오프셋(CBO)이 가장 작은 물질을 이용하여 유전층을 형성할 수 있다.
- [0046] 도 8에서, 유전층의 두께에 따라 콘택 저항이 바뀌는 것을 볼 수 있는데, 두께가 너무 얇을 경우 MIGS를 충분히 낮춰 주지 못해 여전히 높은 쇼트키 장벽을 가지고 있어 콘택 저항이 높고, 두께가 너무 두꺼울 경우 전자가 터널링하여 통과하지 못해 높은 콘택 저항을 가지게 된다.
- [0047] 한편, n형 반도체에 유전층을 증착한 후, 옴릭(Ohmic) 콘택을 하기 위해서는 일함수가 작은 금속을 사용해야 한다. 하지만, p형 반도체에 같은 일함수를 갖는 금속을 사용한다면, 정공이 바라보는 가전자대 쪽의 쇼트키 장벽이 크기 때문에 일함수가 큰 금속을 사용해야 한다. 즉, n형과 p형 반도체 장치는 금속과 반도체의 접합 시에 형성되는 페르미-레벨 일치에 따라 달라지는 터널링 쇼트키 장벽으로 인해 다른 일함수를 가진 금속을 사용해야 한다. 따라서, 금속층은 반도체가 n형 반도체인 경우, 반도체층의 전자친화도와 차이가 임계치 이하인 금속으로 형성되고, 반도체가 p형 반도체인 경우, 반도체층의 전자친화도 및 밴드갭 에너지의 합과의 차이가 임계치 이하인 금속으로 형성될 수 있다. 금속을 선정하는 임계치는 실험 등을 통해 설정되거나, 반도체 소자를 제조하는 제조자에 의해 미리 설정될 수 있다. 또한, 복수의 물질 중 반도체층의 전자친화도와 차이가 또는 반도체층의 전자친화도 및 밴드갭 에너지의 합과의 차이가 가장 작은 물질을 이용하여 금속층을 형성할 수 있다.
- [0048] 도 9는 도 2의 반도체 메모리 소자에 있어서 소스와 드레인의 도핑 농도에 따른 효과 및 MIS 콘택 구조의 적용에 따른 효과를 보여주는 도면이다. 도 9를 참조하면, MS(Metal-Semiconductor) 콘택 구조는 도 1의 반도체 메모리 소자(10)의 소스/드레인에 적용된 구조이고, MIS(Metal-Interlayer-Semiconductor) 콘택 구조는 도 2의 반도체 메모리 소자(100)의 소스/드레인에 적용된 구조이다.
- [0049] MIS 콘택 구조의 소스/드레인 도핑 농도는 MS 콘택 구조의 소스/드레인 도핑 농도(기준 도핑 농도)보다 낮은 수치를 보여준다. MIS 콘택 구조에서 GIDL 현상에 의한 누설 전류는 낮은 소스/드레인 도핑 농도로 인하여 MS 콘택 구조보다 현저히 감소될 수 있다. 한편, MIS 콘택 구조의 턴 오프 전류(I_{off}) 및 턴 온 전류(I_{on})는 MS 콘택 구조보다 증가할 수 있다. 즉, MIS 콘택 구조에 의해 소스/드레인의 콘택 저항이 감소한 것이다. 일 실시 예로

서, 도 2의 반도체 메모리 소자(100)의 드레인(131) 또는 소스(141)의 도핑 농도는 $5 \times 10^{17} \text{ cm}^{-3}$ 내지 $5 \times 10^{18} \text{ cm}^{-3}$ 사이의 값을 가질 수 있다.

- [0050] 따라서, 도 2의 본 발명의 실시 예에 따른 반도체 메모리 소자(100)는 낮은 소스/드레인 도핑 농도를 통해 GIDL 현상에 의한 누설 전류를 감소시키며, MIS 컨택 구조를 통해 소스/드레인의 컨택 저항을 감소시켜 도 1의 일반적인 반도체 메모리 소자(10)보다 전력 소모를 감소하고 동작 성능을 향상시킬 수 있다.
- [0051] 도 10은 본 발명의 다른 실시 예에 따른 반도체 메모리 소자를 보여주는 단면도이다. 도 10을 참조하면, 반도체 메모리 소자(200)는 플래시 메모리(Flash Memory)일 수 있다. 반도체 메모리 소자(200)는 스트링 선택 트랜지스터(240), 복수의 메모리 셀들(260a, 260b) 및 접지 선택 트랜지스터(250)를 포함할 수 있다. 또한, 반도체 메모리 소자(200)는 MIS 구조를 가지는 비트 라인 연결부(220) 및 접지 라인 연결부(230)를 포함할 수 있다.
- [0052] 반도체 메모리 소자(200)는 기판(201) 상에 활성 영역들(211~216)이 형성되고, 활성 영역들(211~216) 상에 스트링 선택 트랜지스터(240), 메모리 셀들(260a, 260b) 및 접지 선택 트랜지스터(250)가 형성될 수 있다. 스트링 선택 트랜지스터(240)는 선택 게이트(242) 및 게이트 절연막(241)을 포함할 수 있다. 접지 선택 트랜지스터(250)는 선택 게이트(252) 및 게이트 절연막(251)을 포함할 수 있다. 메모리 셀들(260a, 260b) 각각은 터널링 절연막(261a, 261b), 플로팅 게이트(262a, 262b), 게이트 절연막(263a, 263b) 및 제어 게이트(264a, 264b)를 포함할 수 있다. 비트 라인 연결부(220)에서, 비트 라인 컨택(222), 유전층(221) 및 활성 영역(211)은 MIS 구조를 형성할 수 있다. 접지 라인 연결부(230)에서, 접지 라인 컨택(232), 유전층(231) 및 활성 영역(216)은 MIS 구조를 형성할 수 있다. 활성 영역들(211~216)은 도 1의 드레인(31) 및 소스(41)보다 낮은 농도로 도핑될 수 있다. 즉, 활성 영역들(211~216)은 기준 도핑 농도보다 낮은 농도로 도핑될 수 있다.
- [0053] 반도체 메모리 소자(200)에서, 하나의 메모리 셀(260a)에 접지 전압이 인가되고 인접한 메모리 셀(260b)에 패스 전압(고전압)이 인가되는 경우, 메모리 셀(260a)과 활성 영역(213) 사이에서 GIDL 현상에 의한 누설 전류가 발생할 수 있다. 이러한 누설 전류를 감소시키기 위해, 본 발명의 실시 예에 따른 반도체 메모리 소자(200)는 비트 라인 연결부(220) 및 접지 라인 연결부(230)에서 MIS 구조를 사용하고, 활성 영역들(211~216)을 낮은 농도로 도핑할 수 있다.
- [0054] 예를 들면, 활성 영역들(211~216)을 낮은 농도로 도핑하면, GIDL 현상에 의한 누설 전류는 감소할 수 있다. 다만, 활성 영역들(211~216)을 낮은 농도로 도핑하면 누설 전류는 감소하는 반면에 비트 라인 컨택(222) 및 접지 라인 컨택(232)의 컨택 저항이 증가할 수 있다. 이를 해결하기 위해 비트 라인 연결부(220) 및 접지 라인 연결부(230)에서 MIS 구조를 사용하면, 비트 라인 컨택(222) 및 접지 라인 컨택(232)의 컨택 저항은 감소되고, 반도체 메모리 소자(200)는 충분한 동작 전류를 확보할 수 있다.
- [0055] 일 실시 예로서, MIS 컨택 구조에서, 활성 영역들(211~216)의 특정 도핑 농도에서 활성 영역들(211, 216)의 컨택 저항은 유전층(221, 231)의 두께에 따라 임계값(최소값)을 가질 수 있다. 따라서, 활성 영역들(211~216)의 도핑 농도는 유전층(221, 231)의 두께에 따라 조절되는 컨택 저항의 임계값에 기초하여 결정될 수 있다.
- [0056] 도 11은 본 발명의 또 다른 실시 예에 따른 반도체 메모리 소자를 보여주는 단면도이다. 도 11을 참조하면, 반도체 메모리 소자(300)는 Z-RAM일 수 있다.
- [0057] 반도체 메모리 소자(300)는 절연층(301) 상에 형성된 기판(302) 및 기판(302)에 도핑되어 형성된 드레인(311)과 소스(312)를 포함할 수 있다. 드레인(311) 및 소스(312)는 활성 영역으로 표현될 수 있다. 기판(302)은 소자분리막(303, 304)에 의해 구분될 수 있다. 기판(302)은 SOI(silicon on insulator) 기판일 수 있다. 반도체 메모리 소자(300)는 게이트(322), 비트 라인 컨택(342) 및 스토리지 노드 컨택(352)을 포함할 수 있다. 게이트(322)는 기판(302) 상에 형성되며, 드레인(311) 및 소스(312) 사이에 형성될 수 있다. 게이트 절연막(321)은 게이트(322)와 기판(302) 사이에 형성될 수 있다. 유전층(341)은 드레인(311)과 비트 라인 컨택(342) 사이에 형성될 수 있다. 유전층(351)은 소스(312)와 스토리지 노드 컨택(352) 사이에 형성될 수 있다. 예를 들면, 비트 라인 컨택(342) 및 스토리지 노드 컨택(352)은 금속으로 구성될 수 있다. 비트 라인 컨택(342) 및 스토리지 노드 컨택(352)은 Ti, TiN, TaN 등으로 형성될 수 있다. 반도체 메모리 소자(300)는 드레인(311) 또는 소스(312)와 게이트(322)가 중첩되는 부분에서 GIDL 현상에 의한 누설 전류가 발생할 수 있다.
- [0058] 본 발명의 실시 예에 따른 반도체 메모리 소자(300)는 우선 GIDL 현상에 의한 누설 전류를 감소시킬 수 있다. 예를 들면, 반도체 메모리 소자(300)의 드레인(311) 및 소스(312)는 도 1의 드레인(31) 및 소스(41)보다 낮은 농도로 불순물이 도핑될 수 있다. 즉, 드레인(311) 및 소스(312)는 기준 도핑 농도보다 낮은 농도로 도핑될 수 있다. 드레인(311) 및 소스(312)가 낮은 농도로 도핑되면, 드레인(311) 또는 소스(312)의 에너지 밴드와 게이트

(322)의 에너지 밴드 사이의 폭이 증가하여 BTBT 현상이 감소할 수 있다. 따라서, 드레인(311)과 게이트(322) 사이 또는 소스(312)와 게이트(322) 사이에서 GIDL 현상에 의한 누설 전류는 감소할 수 있다. 다만, 드레인(311) 및 소스(312)의 도핑 농도를 낮추면, 드레인(311)과 비트 라인 콘택(342) 사이 또는 소스(312)와 스토리지 노드 콘택(352) 사이의 콘택 저항이 증가할 수 있다.

[0059] 한편, 이러한 콘택 저항 증가 문제를 해결하기 위해, 본 발명의 실시 예에 따른 반도체 메모리 소자(300)는 유전층(341, 351)을 포함할 수 있다. 즉, 반도체 메모리 소자(300)는 드레인(311) 및 소스(312)에서 MIS 콘택 구조를 가질 수 있다. 유전층(341)은 드레인(311)과 비트 라인 콘택(342) 사이에 형성될 수 있다. 유전층(351)은 소스(312)와 스토리지 노드 콘택(352) 사이에 형성될 수 있다. 도 1과 같이 금속인 비트 라인 콘택(32) 및 스토리지 노드 콘택(42)이 반도체인 드레인(31) 및 소스(41)와 직접 접촉하는 경우, 접촉면의 콘택 저항이 증가할 수 있다. 반면에, 금속층과 반도체층 사이에 유전층이 삽입되면, 금속층과 반도체층 사이의 콘택 저항이 감소할 수 있다. 예를 들면, 유전층(341)은 드레인(311)과 비트 라인 콘택(342) 사이의 콘택 저항을 감소시킬 수 있다. 유전층(312)은 소스(312)와 스토리지 노드 콘택(352) 사이의 콘택 저항을 감소시킬 수 있다. 유전층(311, 312)에 의해 콘택 저항이 감소되는 효과는 도 3 내지 도 7에서 자세히 설명되었다. 일 실시 예로서, 유전층(311, 312)은 ZnO, TiO₂, HfO₂, Al₂O₃, SiN, ZrO₂ 등과 같이 밴드갭 에너지가 큰 유전체 물질이 사용될 수 있다.

[0060] 따라서, 반도체 메모리 소자(300)는 드레인(311) 및 소스(312)의 낮은 도핑 농도를 통해 GIDL 현상에 의한 누설 전류를 감소시키고, 이로 인해 증가될 수 있는 콘택 저항을 유전층(341, 351)을 통해 낮출 수 있다. 결국, 반도체 메모리 소자(300)는 GIDL 현상에 의한 누설 전류를 감소시키면서 반도체 메모리 성능을 유지할 수 있다.

[0061] 일 실시 예로서, 유전층(341, 351)은 드레인(311)과 비트 라인 콘택(342) 사이 또는 소스(312)와 스토리지 노드 콘택(352) 사이 중 적어도 한 곳에 형성될 수 있다. 또한, 드레인(311)의 도핑 농도는 소스(312)의 도핑 농도보다 낮게 형성될 수 있다. 반대로, 소스(312)의 도핑 농도는 드레인(311)의 도핑 농도보다 낮게 형성될 수 있다. 또한, 드레인(311) 및 소스(312) 중에 한쪽만 유전층이 형성된 경우, 유전층이 형성된 쪽(드레인 또는 소스)의 도핑 농도를 낮게 형성할 수 있다.

[0062] 일 실시 예로서, MIS 콘택 구조에서, 드레인(311) 또는 소스(312)의 특정 도핑 농도에서 드레인(311) 또는 소스(312)의 콘택 저항은 유전층(341, 351)의 두께에 따라 임계값(최소값)을 가질 수 있다. 따라서, 드레인(311) 또는 소스(312)의 도핑 농도는 유전층(341, 351)의 두께에 따라 조절되는 콘택 저항의 임계값에 기초하여 결정될 수 있다.

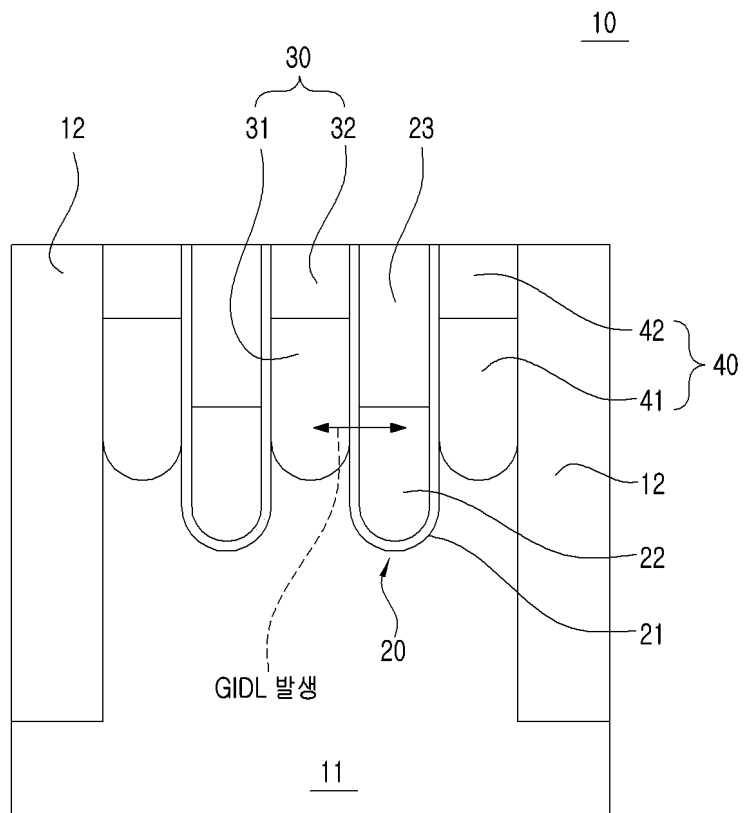
[0063] 이상에서와 같이 도면과 명세서에서 실시 예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허 청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서 본 발명의 진정한 기술적 보호 범위는 첨부된 특허 청구범위의 기술적 사상에 의해 정해져야 할 것이다.

부호의 설명

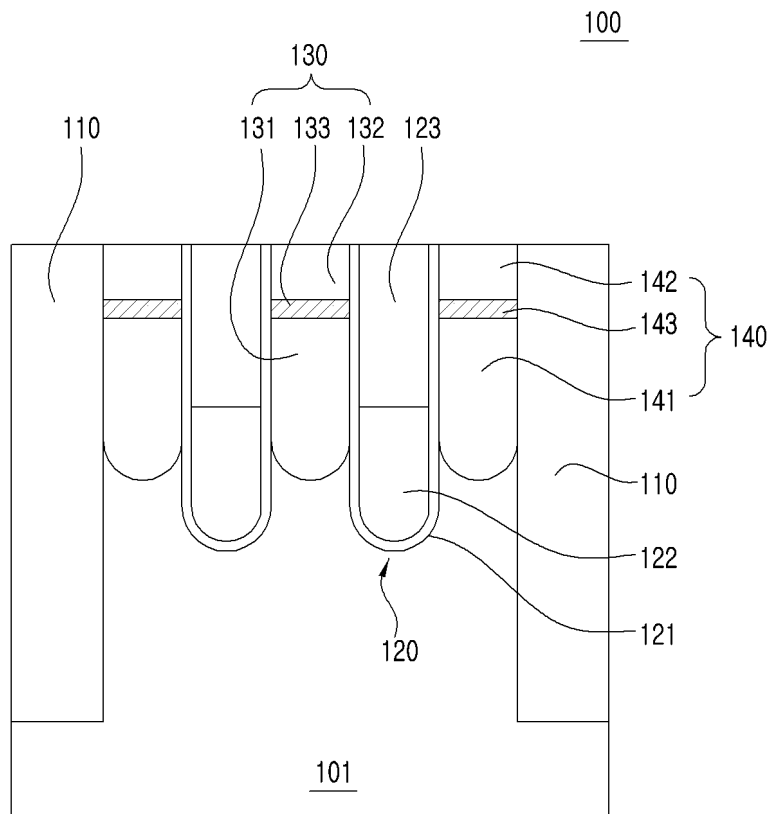
[0064] 10, 100, 200, 300: 반도체 메모리 소자
11, 101, 201, 302: 기판
12, 110, 202, 203, 303, 304: 소자분리막
31, 131, 311: 드레인
32, 132, 222, 342: 비트 라인 콘택
42, 142, 352: 스토리지 노드 콘택
232: 접지 라인 콘택
41, 141, 312: 소스
133, 143, 221, 231, 341, 351: 유전층
211~216: 활성 영역

도면

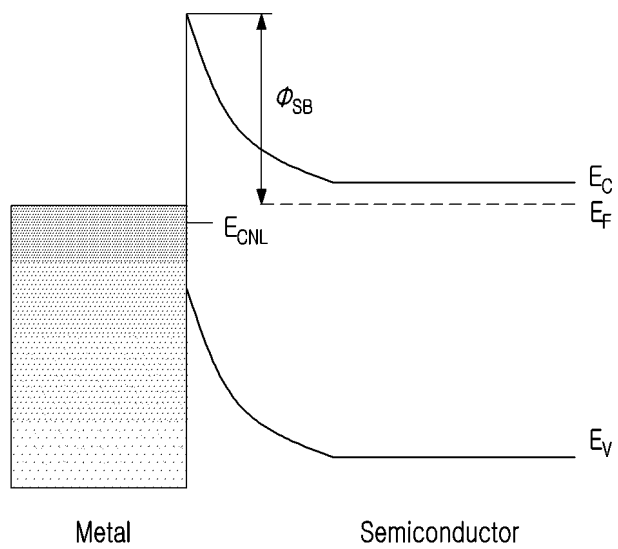
도면1



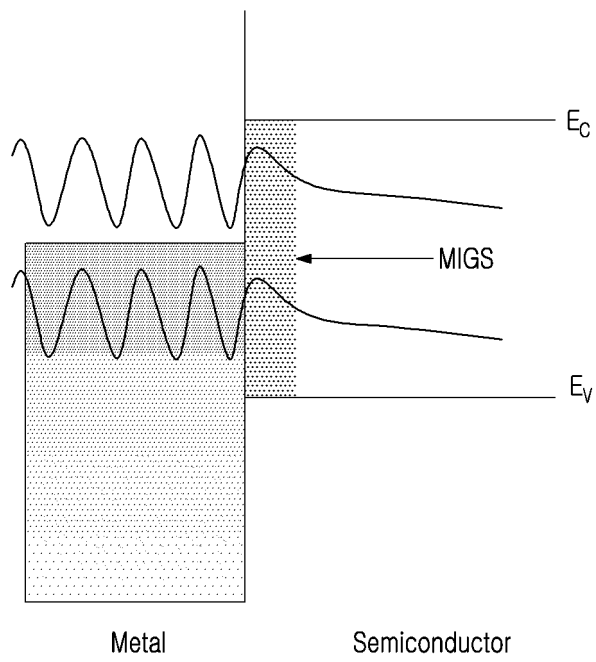
도면2



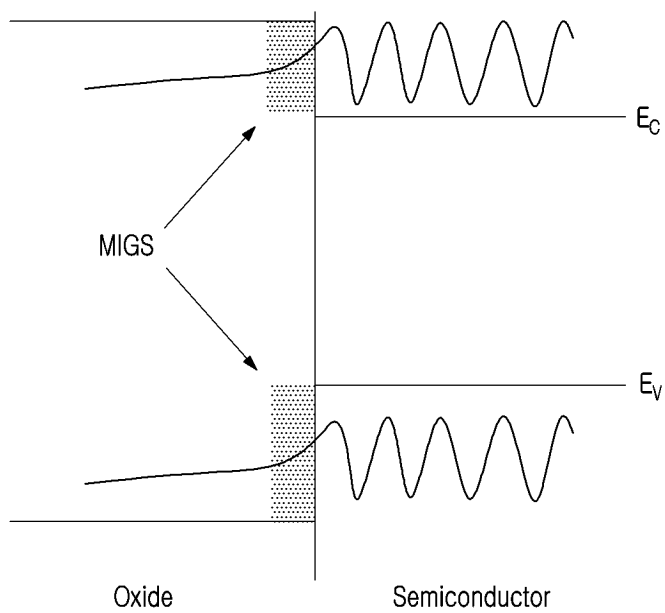
도면3



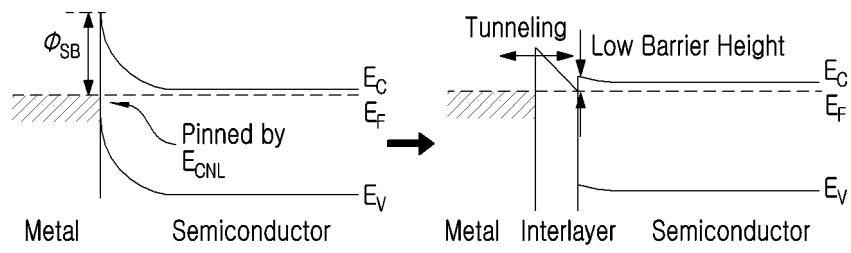
도면4



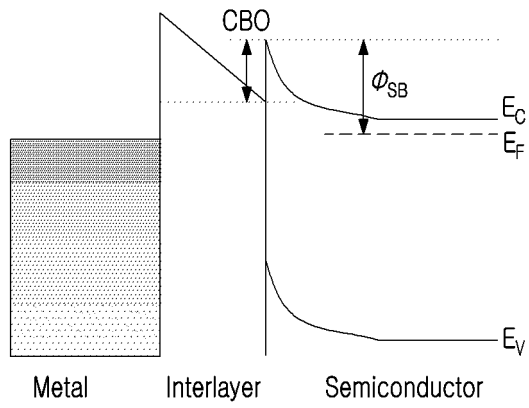
도면5



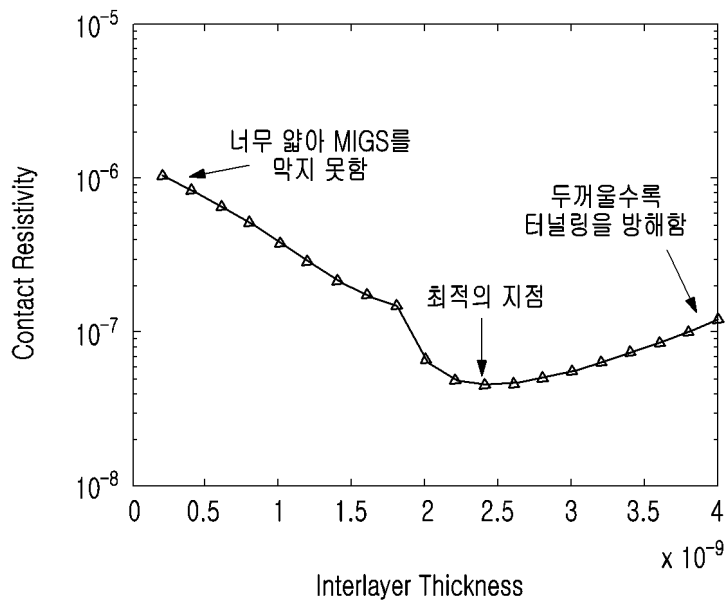
도면6



도면7



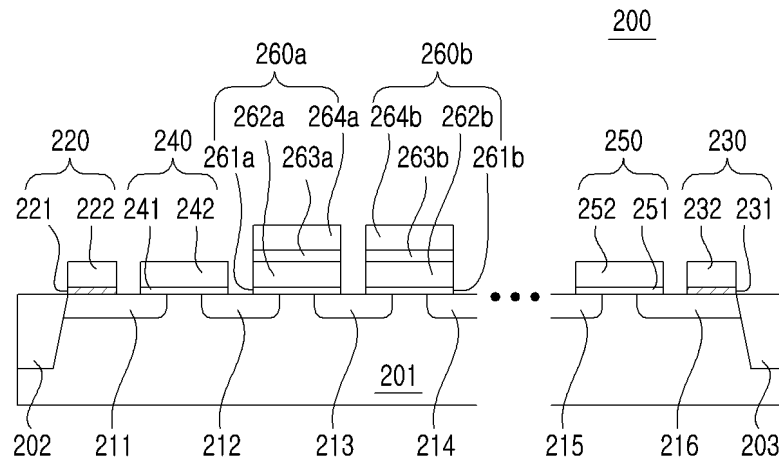
도면8



도면9

컨택 종류	소스/드레인 도핑 농도 (cm^{-3})	I_{off} (A)	I_{on} (A)	I_{GIDL} (A)	SS (mV/V)
M-S	2×10^{19}	1.17×10^{-12}	1.09×10^{-07}	9.23×10^{-13}	80.804
M-I-S	5×10^{18}	3.89×10^{-13}	5.47×10^{-06}	$< 10^{-15}$	64.440
M-I-S	1×10^{18}	3.12×10^{-13}	1.63×10^{-06}		63.457
M-I-S	5×10^{17}	2.92×10^{-13}	8.11×10^{-07}		63.375

도면10



도면11

