

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 1 区分

【発行日】平成21年4月30日(2009.4.30)

【公表番号】特表2008-534962(P2008-534962A)

【公表日】平成20年8月28日(2008.8.28)

【年通号数】公開・登録公報2008-034

【出願番号】特願2008-504131(P2008-504131)

【国際特許分類】

G 0 1 R 19/04 (2006.01)

G 0 1 R 19/00 (2006.01)

【F I】

G 0 1 R 19/04 A

G 0 1 R 19/00 T

G 0 1 R 19/00 N

【手続補正書】

【提出日】平成21年3月10日(2009.3.10)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

電流を検知する回路であって、

出力と、電流を示す第 1 及び第 2 の基準電位をサンプリングするよう構成された入力とを有する第 1 のスイッチト・キャパシタ回路網と、

出力と、前記第 1 のスイッチト・キャパシタ回路網の前記出力に結合された入力とを有する増幅器であって、前記第 1 及び第 2 の基準電位に基づいて第 1 及び第 2 の増幅された電位を前記増幅器の出力に生成するよう構成された増幅器とを備える回路。

【請求項 2】

前記増幅器の前記入力に結合された第 1 の端子と、前記増幅器の前記出力に結合された第 2 の端子とを有する第 2 のスイッチト・キャパシタ回路網であって、前記増幅器の前記入力におけるオフセット電圧をキャンセルするよう構成された第 2 のスイッチト・キャパシタ回路網を更に備える請求項 1 記載の回路。

【請求項 3】

前記増幅器の前記入力に、第 1 及び第 2 の入力を備え、

前記増幅器の前記出力に、第 1 及び第 2 の出力を備え、

前記第 2 のスイッチト・キャパシタ回路網が、

前記増幅器の前記第 1 の入力に結合された第 1 の電極と、前記第 1 のフェーズにおいて第 3 の基準電位に結合され、また前記第 2 のフェーズにおいて前記増幅器の前記第 1 の出力に結合された第 2 の電極とを有する第 1 のスイッチング可能なキャパシタと、

前記増幅器の前記第 2 の入力に結合された第 1 の電極と、前記第 1 のフェーズにおいて前記第 3 の基準電位に結合され、また前記第 2 のフェーズにおいて前記増幅器の前記第 2 の出力に結合された第 2 の電極とを有する第 2 のスイッチング可能なキャパシタとを備える

請求項 2 記載の回路。

【請求項 4】

電流を検知する回路であって、

前記電流を示す第 1 及び第 2 の基準電位を検知するよう構成された第 1 のスイッチト・キャパシタ回路網を備える第 1 の利得段と、

出力を有し、且つ前記第 1 の利得段に結合された第 2 のスイッチト・キャパシタ回路網を備える第 2 の利得段であって、前記第 1 及び第 2 の基準電位から前記出力に第 1 及び第 2 の増幅された基準電位を生成するよう構成された第 2 の利得段と、

前記第 2 の利得段の前記出力に結合された入力と、出力とを有するサンプル／ホールド（S／H）段であって、第 1 及び第 2 のサンプリングされた電位を前記第 1 及び第 2 の増幅された基準電位から所定の期間にわたり得るよう構成されたサンプル／ホールド（S／H 段）と、

前記 S／H 段の前記出力に結合され、且つ前記第 1 及び第 2 のサンプリングされた電位を前記 S／H 段から受け取るよう構成されたアナログ／デジタル変換器とを備える回路。

【請求項 5】

電流を検知する回路であって、

出力を有する第 1 のスイッチト・キャパシタ回路網であって、前記電流を示す第 1 及び第 2 の基準電位をサンプリングするよう構成された第 1 のスイッチト・キャパシタ回路網と、

前記第 1 のスイッチト・キャパシタ回路網の前記出力に結合された入力と、出力とを有する増幅器であって、第 1 の増幅された電位を前記第 1 及び第 2 の基準電位から生成するよう構成された増幅器と、

前記増幅器の前記出力に結合された入力と、前記増幅器の前記入力に結合された出力とを有する第 2 のスイッチト・キャパシタ回路網であって、第 2 の増幅された電位を前記第 1 の増幅された電位から生成するよう構成された第 2 のスイッチト・キャパシタ回路網と、

前記増幅器の前記出力に結合された入力を有する S／H 段であって、サンプリングされた電位を前記増幅された電位から生成し、且つ前記サンプリングされた電位を所定の期間にわたり保持するよう構成された S／H 段とを備える回路。