

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2017 年 6 月 29 日 (29.06.2017)



(10) 国际公布号
WO 2017/107257 A1

- (51) 国际专利分类号:
G09G 3/20 (2006.01)
- (21) 国际申请号: PCT/CN2016/070623
- (22) 国际申请日: 2016 年 1 月 12 日 (12.01.2016)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201510990551.1 2015 年 12 月 24 日 (24.12.2015) CN
- (71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号丁珂, Guangdong 518132 (CN)。
- (72) 发明人: 杜鹏 (DU, Peng); 中国广东省深圳市光明新区塘明大道 9-2 号丁珂, Guangdong 518132 (CN)。
- (74) 代理人: 深圳翼盛智成知识产权事务所(普通合伙) (ESSEN PATENT & TRADEMARK AGENCY); 中国

广东省深圳市福田区深南大道 6021 号喜年中心 A 座 1709-1711, Guangdong 518040 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

[见续页]

(54) Title: ARRAY GATE DRIVE CIRCUIT AND DISPLAY PANEL

(54) 发明名称: 阵列栅极驱动电路与显示面板

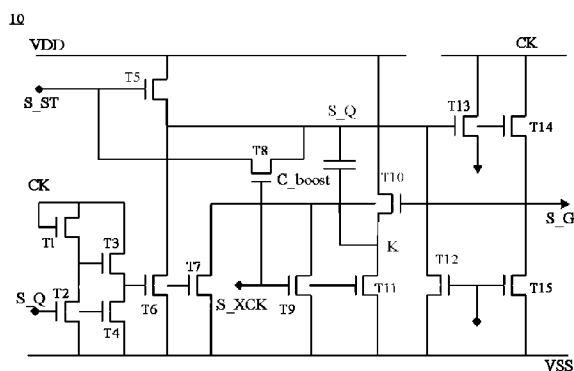


图 1

(57) Abstract: An array gate drive circuit located in a display panel. The array gate drive circuit comprises a first thin-type transistor (T1), a second thin-type transistor (T2), a third thin-type transistor (T3), a fourth thin-type transistor (T4), a fifth thin-type transistor (T5), a sixth thin-type transistor (T6), a seventh thin-type transistor (T7), an eighth thin-type transistor (T8), a ninth thin-type transistor (T9), a first boot thin-type transistor (T10), a second boot thin-type transistor (T11), a boost capacitor (C_boost), a twelfth thin-type transistor (T12), a thirteenth thin-type transistor (T13), a fourteenth thin-type transistor (T14) and a fifteenth thin-type transistor (T15). The boost capacitor (C_boost) is connected between a drain electrode of the eighth thin-type transistor (T8) and a voltage dividing point (K). The voltage dividing point (K) is located between the first boost thin-type transistor (T10) and the second boost thin-type transistor (T11). The level of a gate output signal (S_Q) output by a gate electrode of the second thin-type transistor (T2) is pulled high via the first boost thin-type transistor (T10), the second boost thin-type transistor (T11) and the boost capacitor (C_boost).

(57) 摘要:

[见续页]

**本国际公布:**

— 包括国际检索报告(条约第 21 条(3))。

一种阵列栅极驱动电路，位于一显示面板中，所述阵列栅极驱动电路包括一第一薄型晶体管(T1)、一第二薄型晶体管(T2)、一第三薄型晶体管(T3)、一第四薄型晶体管(T4)、一第五薄型晶体管(T5)、一第六薄型晶体管(T6)、一第七薄型晶体管(T7)、一第八薄型晶体管(T8)、一第九薄型晶体管(T9)、一第一升压薄型晶体管(T10)、一第二升压薄型晶体管(T11)、一升压电容(C_boost)、一第十二薄型晶体管(T12)、一第十三薄型晶体管(T13)、一第十四薄型晶体管(T14)、以及一第十五薄型晶体管(T15)。所述升压电容(C_boost)连接于所述第八薄型晶体管(T8)的一漏极与一分压点(K)之间。所述分压点(K)位于所述第一和第二升压薄型晶体管(T10 和 T11)之间。透过所述第一升压薄型晶体管(T10)、所述第二升压薄型晶体管(T11)，与所述升压电容(C_boost)拉高所述第二薄型晶体管(T2)的一栅极所输出的一栅极输出信号(S_Q)的电位。

阵列栅极驱动电路与显示面板

技术领域

- [1] 本发明涉及一种阵列栅极驱动电路与显示面板，特别是用于非晶硅薄膜晶体管(thin film transistor, TFT)的阵列栅极驱动电路与显示面板。

背景技术

- [2] 阵列栅极驱动电路(Gate-driver On Array)技术现在已经在面板中被广泛采用，它可以节省栅极集成电路(integrated circuit, IC)的成本，也能够缩减面板边框的宽度，对现在流行的窄边框设计非常有利，是未来面板设计的一个重要技术。
- [3] 通常使用非晶硅(Amorphous Silicon, a-Si)薄膜晶体管的阵列栅极驱动电路往往都需要设计一个升压电容，这个电容一端连接于栅极输出端，另外一端连接阵列栅极驱动电路对应的栅极线。当阵列栅极驱动电路输出栅极脉冲时，升压电容可以抬升栅极输出端的电位，保证阵列栅极驱动电路的正常输出。
- [4] 但是这种设计也存在一个缺点，升压电容直接和栅极线连接，在栅极脉冲输出时，它一方面抬升栅极输出端的电压，但另一方面也成为了栅极线的一个寄生电容，直接后果就是造成栅极脉冲的电阻电容延迟(RC Delay)更加严重。随着面板的尺寸的逐渐增大，分辨率的逐渐提高，栅极线的负载电容越来越大，而升压电容的存在就使得这个问题更加突出。这样很可能造成面板内的像素充电不足，从而降低面板的显示品质。

对发明的公开

技术问题

- [5] 鉴于以上问题，本发明针对这个问题，对阵列栅极驱动电路的升压电容结构进行了重新设计，采用了两个薄型晶体管在装置电压(高电位)VDD和公共接地电压(低电位)VSS之间进行分压，并将中间的分压点连接一升压电容，利用分压点电位的变化对栅极输出端电位进行抬升，达到与现有阵列栅极驱动电路设计同样的效果。

问题的解决方案

技术解决方案

- [6] 本发明一实施例提出一种阵列栅极驱动电路，位于一显示面板中，所述阵列栅极驱动电路包括一第一薄型晶体管，所述第一薄型晶体管的一栅极与一源极相连并接收一频率信号；一第二薄型晶体管，所述第二薄型晶体管的一源极与所述第一薄型晶体管的一漏极相连，且所述第二薄型晶体管的一栅极输出一栅极输出信号；一第三薄型晶体管，所述第三薄型晶体管的一栅极与所述第二薄型晶体管的所述源极相连，所述第三薄型晶体管的一源极与所述第一薄型晶体管的所述源极相连；一第四薄型晶体管，所述第四薄型晶体管的一源极与所述第三薄型晶体管的一漏极相连，所述第四薄型晶体管的一栅极与所述第二薄型晶体管的所述栅极相连；一第五薄型晶体管；一第六薄型晶体管，所述第六薄型晶体管的一源极与所述第五薄型晶体管的一漏极相连，所述第六薄型晶体管的一栅极与所述第四薄型晶体管的所述源极相连；一第七薄型晶体管，所述第七薄型晶体管的一栅极与所述第六薄型晶体管的所述栅极相连；一第八薄型晶体管，所述第八薄型晶体管的一源极与所述第五薄型晶体管的一栅极相连，所述第八薄型晶体管的一漏极与所述第五薄型晶体管的一漏极相连；一第九薄型晶体管，所述第九薄型晶体管的一栅极与所述第八薄型晶体管的一栅极相连，所述第九薄型晶体管的一源极与所述第七薄型晶体管的一源极相连；一第一升压薄型晶体管，所述第一升压薄型晶体管的一栅极与所述第九薄型晶体管的所述源极相连，并且输出一栅极线输出信号；一第二升压薄型晶体管，所述第二升压薄型晶体管的一源极与所述第一升压薄型晶体管的一漏极相连于一分压点；一升压电容，连接于所述第八薄型晶体管的一漏极与所述分压点之间；一第十二薄型晶体管，所述第十二薄型晶体管的一源极与所述第八薄型晶体管的所述漏极相连；一第十三薄型晶体管，所述第十三薄型晶体管的一栅极与所述第十二薄型晶体管的所述源极相连；一第十四薄型晶体管，所述第十四薄型晶体管的一栅极与所述第十三薄型晶体管的所述栅极相连，所述第十四薄型晶体管的一漏极与所述第一升压薄型晶体管的所述栅极相连；以及一第十五薄型晶体管，所述第十五薄型晶体管的一源极与所述第十四薄型晶体管的所述漏极相连，所述第十五薄型晶体管的一栅极与所述第十二薄型晶体管的一栅极相连。

- [7] 较优选地，所述第二升压薄型晶体管的一栅极与所述第九薄型晶体管的所述栅极相连接。
- [8] 较优选地，所述第二升压薄型晶体管的一栅极与上一级阵列栅极驱动电路传下来的起始信号相连接。
- [9] 较优选地，所述第二升压薄型晶体管的所述栅极接收所述显示面板所传送的一控制信号，所述控制信号控制所述第一升压薄型晶体管与所述第二升压薄型晶体管的其中至少一个是关断状态。
- [10] 较优选地，当所述第一升压薄型晶体管被导通时，所述第二升压薄型晶体管被关断，所述分压点的电压是一高电位，并能通过所述升压电容拉高所述栅极输出信号的电位。
- [11] 较优选地，当所述第一升压薄型晶体管被关断时，所述第二升压薄型晶体管被导通，所述分压点的电压是一低电位，无法通过所述升压电容拉高所述栅极输出信号的电位。

发明的有益效果

有益效果

- [12] 本发明中升压电容不再直接和栅极线连接，降低了栅极线上的寄生电容，对面板显示品质的改善是非常有利的。

对附图的简要说明

附图说明

- [13] 图1是依据本发明一实施例的阵列栅极驱动电路的电路图；
- [14] 图2是图1中的数组栅极驱动电路在正常工作时的波形图；以及
- [15] 图3是依据本发明另一实施例的阵列栅极驱动电路的电路图。

实施该发明的最佳实施例

本发明的最佳实施方式

- [16] 以下各实施例的说明是参考附加的图式，用以例示本专利申请可用以实施的特定实施例。本专利申请所提到的方向用语，例如「上」、「下」、「前」、「后」、「左」、「右」、「内」、「外」、「侧面」等，仅是参考附加图式的

方向。因此，使用的方向用语是用以说明及理解本专利申请，而非用以限制本专利申请。

- [17] 请参照图1，图1是依据本发明一实施例的阵列栅极驱动电路的电路图，如图1所示，阵列栅极驱动电路10位于一显示面板中，所述阵列栅极驱动电路10包括一第一薄型晶体管T1，所述第一薄型晶体管T1的一栅极与一源极相连并接收一频率信号CK；一第二薄型晶体管T2，所述第二薄型晶体管T2的一源极与所述第一薄型晶体管T1的一漏极相连，且所述第二薄型晶体管T2的一栅极输出一栅极输出信号S_Q；一第三薄型晶体管T3，所述第三薄型晶体管T3的一栅极与所述第二薄型晶体管T2的所述源极相连，所述第三薄型晶体管T3的一源极与所述第一薄型晶体管T1的所述源极相连；一第四薄型晶体管T4，所述第四薄型晶体管T4的一源极与所述第三薄型晶体管T3的一漏极相连，所述第四薄型晶体管T4的一栅极与所述第二薄型晶体管T2的所述栅极相连；一第五薄型晶体管T5；一第六薄型晶体管T6，所述第六薄型晶体管T6的一源极与所述第五薄型晶体管T5的一漏极相连，所述第六薄型晶体管T6的一栅极与所述第四薄型晶体管T4的所述源极相连；一第七薄型晶体管T7，所述第七薄型晶体管T7的一栅极与所述第六薄型晶体管T6的所述栅极相连；一第八薄型晶体管T8，所述第八薄型晶体管T8的一源极与所述第五薄型晶体管T5的一栅极相连，所述第八薄型晶体管T8的一漏极与所述第五薄型晶体管T5的一漏极相连；一第九薄型晶体管T9，所述第九薄型晶体管T9的一栅极与所述第八薄型晶体管T8的一栅极相连，所述第九薄型晶体管T9的一源极与所述第七薄型晶体管T7的一源极相连；一第一升压薄型晶体管T10，所述第一升压薄型晶体管T10的一栅极与所述第九薄型晶体管T9的所述源极相连，并且输出一栅极线输出信号S_G；一第二升压薄型晶体管T11，所述第二升压薄型晶体管T11的一源极与所述第一升压薄型晶体管T10的一漏极相连于一分压点K，所述第二升压薄型晶体管T11的一栅极与所述第九薄型晶体管T9的所述栅极相连；一升压电容C_boost，连接于所述第八薄型晶体管T8的一漏极与所述分压点K之间；一第十二薄型晶体管T12，所述第十二薄型晶体管T12的一源极与所述第八薄型晶体管T8的所述漏极相连；一第十三薄型晶体管T13，所述第十三薄型晶体管T13的一栅极与所述第十二薄型晶体管T12的所述源极相连；

一第十四薄型晶体管T14，所述第十四薄型晶体管T14的一栅极与所述第十三薄型晶体管T13的所述栅极相连，所述第十四薄型晶体管T14的一漏极与所述第一升压薄型晶体管T10的所述栅极相连；以及一第十五薄型晶体管T15，所述第十五薄型晶体管T15的一源极与所述第十四薄型晶体管T14的所述漏极相连，所述第十五薄型晶体管T15的一栅极与所述第十二薄型晶体管T12的一栅极相连。

[18] 其中在装置电压VDD和公共接地电压VSS之间，由两个串联的TFT支路，第一升压薄型晶体管T10与第二升压薄型晶体管T11进行连接，第一升压薄型晶体管T10的栅极与本级数组栅极驱动电路10对应的栅极线(无图示)连接，第二升压薄型晶体管T11的栅极接收信号S_XCK，较优选地，所述控制信号S_XCK控制所述第一升压薄型晶体管T10与所述第二升压薄型晶体管T11的其中至少一个是关断状态，使这条支路的电流维持在一个很小的状态，不会使得GOA电路的功耗增加。较优选地，当所述第一升压薄型晶体管T10被导通时，所述第二升压薄型晶体管T11被关断，所述分压点K的电压是一高电位，并能通过所述升压电容C_boost拉高所述栅极输出信号S_Q的电位，而当所述第一升压薄型晶体管T10被关断时，所述第二升压薄型晶体管T11被导通，所述分压点K的电压是一低电位，无法通过所述升压电容C_boost拉高所述栅极输出信号S_Q的电位。

[19] 如上所述，升压电容C_boost一端和栅极输出端连接，另外一端则是和分压点K相连，数组栅极驱动电路10正常工作时，分压点K的电压波形和栅极线输出信号S_G的波形是完全一致的，所以当栅极线输出时，升压电容C_boost仍然能够对栅极输出信号S_Q的电位起到拉升的作用。这种新的结构设计避免了栅极线直接与升压电容C_boost连接，从而降低了栅极线的负载，降低了电阻电压延迟(RC Delay)，对像素的充电和显示品质的改善都是非常有利的。

[20] 请参照图2，图2是图1中的数组栅极驱动电路在正常工作时的波形图，从图2中可以看到，分压点K的电压在频率信号CK1、CK2、CK3、CK4的整个时序内，只有本级栅极线输出栅极线输出信号S_G时是高电位，其他时间分压点K都是出于低电位状态，这与本级栅极线的波形是完全一致的，因此它就可以代替传统数组栅极驱动电路中的栅极线与升压电容连接。

[21] 另外，栅极输出信号S_Q的波形和传统的数组栅极驱动电路是相同的，上一级

的数组栅极驱动电路(无图标)打开时,栅极输出信号S_Q电位进行第一次拉升,而本级数组栅极驱动电路10输出时,栅极输出信号S_Q电位进行第二次拉升,保证了数组栅极驱动电路10的正常工作。升压电容C_{boost}往往都设计的比较大,所以这样设计带来的改善是非常明显的。由于栅极线的寄生电容减小,栅极线输出信号的波形更加接近于理想波形,面内像素的充电和显示品质都能得到提升。

[22] 请参照图3,图3是依据本发明另一实施例的阵列栅极驱动电路10'的电路图,与图1中的阵列栅极驱动电路10相比,图3中第二升压薄型晶体管T11'的栅极与上一级阵列栅极驱动电路(无图示)传下来的起始信号S_{ST}'连接,这样也同样可以保证在任一时间点第一升压薄型晶体管T10'和第二升压薄型晶体管T11'至少有一个是被关断的状态,也能保证电路功耗不会增加。上一级阵列栅极驱动电路输出时,第二升压薄型晶体管T11'是被导通的状态,第一升压薄型晶体管T10'被关断,分压点K'为低电位。而当本级阵列栅极驱动电路10'输出时,第一升压薄型晶体管T10'被导通,第二升压薄型晶体管T11'被关闭,分压点K'为高电位,此时它可以通过升压电容C_{boost}'对栅极输出信号S_Q'的电位进行拉升。而在其他时间点,第一升压薄型晶体管T10'和第二升压薄型晶体管T11'都同时处于低电位状态,通过其他下拉电路的下拉和升压电容C_{boost}'的耦合作用,分压点K'都会维持在一个低电位的状态。这样设计的优点在与避免了第二升压薄型晶体管T11'的栅极受到控制信号S_{XCK}'的高频加压,对电路信赖性的提升是有利的。

[23] 本发明中升压电容不再直接和栅极线连接,降低了栅极线上的寄生电容,对面板显示品质的改善是非常有利的。

[24] 综上所述,虽然本发明已以优选实施例揭露如上,但上述优选实施例并非用以限制本发明,本领域的普通技术人员,在不脱离本发明的精神和范围内,均可作各种更动与润饰,因此本发明的保护范围以权利要求界定的范围为准。

权利要求书

[权利要求 1]

一种显示面板，包括一阵列栅极驱动电路，其特征在于，所述阵列栅极驱动电路包括：

一第一薄型晶体管，所述第一薄型晶体管的一栅极与一源极相连并接收一频率信号；

一第二薄型晶体管，所述第二薄型晶体管的一源极与所述第一薄型晶体管的一漏极相连，且所述第二薄型晶体管的一栅极输出一栅极输出信号；

一第三薄型晶体管，所述第三薄型晶体管的一栅极与所述第二薄型晶体管的所述源极相连，所述第三薄型晶体管的一源极与所述第一薄型晶体管的所述源极相连；

一第四薄型晶体管，所述第四薄型晶体管的一源极与所述第三薄型晶体管的一漏极相连，所述第四薄型晶体管的一栅极与所述第二薄型晶体管的所述栅极相连；

一第五薄型晶体管；

一第六薄型晶体管，所述第六薄型晶体管的一源极与所述第五薄型晶体管的一漏极相连，所述第六薄型晶体管的一栅极与所述第四薄型晶体管的所述源极相连；

一第七薄型晶体管，所述第七薄型晶体管的一栅极与所述第六薄型晶体管的所述栅极相连；

一第八薄型晶体管，所述第八薄型晶体管的一源极与所述第五薄型晶体管的一栅极相连，所述第八薄型晶体管的一漏极与所述第五薄型晶体管的一漏极相连；

一第九薄型晶体管，所述第九薄型晶体管的一栅极与所述第八薄型晶体管的一栅极相连，所述第九薄型晶体管的一源极与所述第七薄型晶体管的一源极相连；

一第一升压薄型晶体管，所述第一升压薄型晶体管的一栅极与所述第九薄型晶体管的所述源极相连，并且输出一栅极线输出信号

;

一第二升压薄型晶体管，所述第二升压薄型晶体管的一源极与所述第一升压薄型晶体管的一漏极相连于一分压点，所述第二升压薄型晶体管的一栅极与所述第九薄型晶体管的所述栅极和上一级阵列栅极驱动电路传下来的起始信号中之一者相连；

一升压电容，连接于所述第八薄型晶体管的一漏极与所述分压点之间；

一第十二薄型晶体管，所述第十二薄型晶体管的一源极与所述第八薄型晶体管的所述漏极相连；

一第十三薄型晶体管，所述第十三薄型晶体管的一栅极与所述第十二薄型晶体管的所述源极相连；

一第十四薄型晶体管，所述第十四薄型晶体管的一栅极与所述第十三薄型晶体管的所述栅极相连，所述第十四薄型晶体管的一漏极与所述第一升压薄型晶体管的所述栅极相连；以及

一第十五薄型晶体管，所述第十五薄型晶体管的一源极与所述第十四薄型晶体管的所述漏极相连，所述第十五薄型晶体管的一栅极与所述第十二薄型晶体管的一栅极相连；

其中，所述第二升压薄型晶体管的所述栅极接收所述显示面板所传送的一控制信号。

[权利要求 2]

一种阵列栅极驱动电路，位于一显示面板中，其特征在于，包括：

一第一升压薄型晶体管，所述第一升压薄型晶体管的一栅极输出一栅极线输出信号；

一第二升压薄型晶体管，所述第二升压薄型晶体管的一源极与所述第一升压薄型晶体管的一漏极相连于一分压点；以及

一升压电容，连接于所述分压点；

其中，所述第二升压薄型晶体管的所述栅极接收所述显示面板所传送的一控制信号，所述控制信号控制所述第一升压薄型晶体管

与所述第二升压薄型晶体管的其中至少一个是关断状态。

[权利要求 3]

如权利要求2所述的阵列栅极驱动电路，其特征在于，另包括：

一第一薄型晶体管，所述第一薄型晶体管的一栅极与一源极相连并接收一频率信号；

一第二薄型晶体管，所述第二薄型晶体管的一源极与所述第一薄型晶体管的一漏极相连，且所述第二薄型晶体管的一栅极输出一栅极输出信号；

一第三薄型晶体管，所述第三薄型晶体管的一栅极与所述第二薄型晶体管的所述源极相连，所述第三薄型晶体管的一源极与所述第一薄型晶体管的所述源极相连；

一第四薄型晶体管，所述第四薄型晶体管的一源极与所述第三薄型晶体管的一漏极相连，所述第四薄型晶体管的一栅极与所述第二薄型晶体管的所述栅极相连；

一第五薄型晶体管；

一第六薄型晶体管，所述第六薄型晶体管的一源极与所述第五薄型晶体管的一漏极相连，所述第六薄型晶体管的一栅极与所述第四薄型晶体管的所述源极相连；

一第七薄型晶体管，所述第七薄型晶体管的一栅极与所述第六薄型晶体管的所述栅极相连；

一第八薄型晶体管，所述第八薄型晶体管的一源极与所述第五薄型晶体管的一栅极相连，所述第八薄型晶体管的一漏极与所述第五薄型晶体管的一漏极与所述升压电容相连；

一第九薄型晶体管，所述第九薄型晶体管的一栅极与所述第八薄型晶体管的一栅极相连，所述第九薄型晶体管的一源极与所述第七薄型晶体管的一源极与所述第一升压薄型晶体管的所述栅极相连；

一第十二薄型晶体管，所述第十二薄型晶体管的一源极与所述第八薄型晶体管的所述漏极相连；

一第十三薄型晶体管，所述第十三薄型晶体管的一栅极与所述第十二薄型晶体管的所述源极相连；

一第十四薄型晶体管，所述第十四薄型晶体管的一栅极与所述第十三薄型晶体管的所述栅极相连，所述第十四薄型晶体管的一漏极与所述第一升压薄型晶体管的所述栅极相连；以及

一第十五薄型晶体管，所述第十五薄型晶体管的一源极与所述第十四薄型晶体管的所述漏极相连，所述第十五薄型晶体管的一栅极与所述第十二薄型晶体管的一栅极相连。

[权利要求 4] 如权利要求3所述的阵列栅极驱动电路，其特征在于，所述第二升压薄型晶体管的一栅极与所述第九薄型晶体管的所述栅极相连接。

[权利要求 5] 如权利要求3所述的阵列栅极驱动电路，其特征在于，所述第二升压薄型晶体管的一栅极与上一级阵列栅极驱动电路传下来的起始信号相连接。

[权利要求 6] 如权利要求5所述的阵列栅极驱动电路，其特征在于，当所述第一升压薄型晶体管被导通时，所述第二升压薄型晶体管被关断，所述分压点的电压是一高电位，并能通过所述升压电容拉高所述栅极输出信号的电位。

[权利要求 7] 如权利要求5所述的阵列栅极驱动电路，其特征在于，当所述第一升压薄型晶体管被关断时，所述第二升压薄型晶体管被导通，所述分压点的电压是一低电位，无法通过所述升压电容拉高所述栅极输出信号的电位。

[权利要求 8] 一种显示面板，包括一阵列栅极驱动电路，其特征在于，所述阵列栅极驱动电路包括：

一第一薄型晶体管，所述第一薄型晶体管的一栅极与一源极相连并接收一频率信号；

一第二薄型晶体管，所述第二薄型晶体管的一源极与所述第一薄型晶体管的一漏极相连，且所述第二薄型晶体管的一栅极输出一

栅极输出信号；

一第三薄型晶体管，所述第三薄型晶体管的一栅极与所述第二薄型晶体管的所述源极相连，所述第三薄型晶体管的一源极与所述第一薄型晶体管的所述源极相连；

一第四薄型晶体管，所述第四薄型晶体管的一源极与所述第三薄型晶体管的一漏极相连，所述第四薄型晶体管的一栅极与所述第二薄型晶体管的所述栅极相连；

一第五薄型晶体管；

一第六薄型晶体管，所述第六薄型晶体管的一源极与所述第五薄型晶体管的一漏极相连，所述第六薄型晶体管的一栅极与所述第四薄型晶体管的所述源极相连；

一第七薄型晶体管，所述第七薄型晶体管的一栅极与所述第六薄型晶体管的所述栅极相连；

一第八薄型晶体管，所述第八薄型晶体管的一源极与所述第五薄型晶体管的一栅极相连，所述第八薄型晶体管的一漏极与所述第五薄型晶体管的一漏极相连；

一第九薄型晶体管，所述第九薄型晶体管的一栅极与所述第八薄型晶体管的一栅极相连，所述第九薄型晶体管的一源极与所述第七薄型晶体管的一源极相连；

一第一升压薄型晶体管，所述第一升压薄型晶体管的一栅极与所述第九薄型晶体管的所述源极相连，并且输出一栅极线输出信号；

一第二升压薄型晶体管，所述第二升压薄型晶体管的一源极与所述第一升压薄型晶体管的一漏极相连于一分压点，所述第二升压薄型晶体管的一栅极与所述第九薄型晶体管的所述栅极和上一级阵列栅极驱动电路传下来的起始信号中之一者相连；

一升压电容，连接于所述第八薄型晶体管的一漏极与所述分压点之间；

一第十二薄型晶体管，所述第十二薄型晶体管的一源极与所述第八薄型晶体管的所述漏极相连；

一第十三薄型晶体管，所述第十三薄型晶体管的一栅极与所述第十二薄型晶体管的所述源极相连；

一第十四薄型晶体管，所述第十四薄型晶体管的一栅极与所述第十三薄型晶体管的所述栅极相连，所述第十四薄型晶体管的一漏极与所述第一升压薄型晶体管的所述栅极相连；以及

一第十五薄型晶体管，所述第十五薄型晶体管的一源极与所述第十四薄型晶体管的所述漏极相连，所述第十五薄型晶体管的一栅极与所述第十二薄型晶体管的一栅极相连。

[权利要求 9] 如权利要求8所述的显示面板，其特征在于，所述第二升压薄型晶体管的所述栅极接收所述显示面板所传送的一控制信号，所述控制信号控制所述第一升压薄型晶体管与所述第二升压薄型晶体管的其中至少一个是关断状态。

[权利要求 10] 如权利要求9所述的显示面板，其特征在于，当所述第一升压薄型晶体管被导通时，所述第二升压薄型晶体管被关断，所述分压点的电压是一高电位，并能通过所述升压电容拉高所述栅极输出信号的电位。

[权利要求 11] 如权利要求9所述的显示面板，其特征在于，当所述第一升压薄型晶体管被关断时，所述第二升压薄型晶体管被导通，所述分压点的电压是一低电位，无法通过所述升压电容拉高所述栅极输出信号的电位。

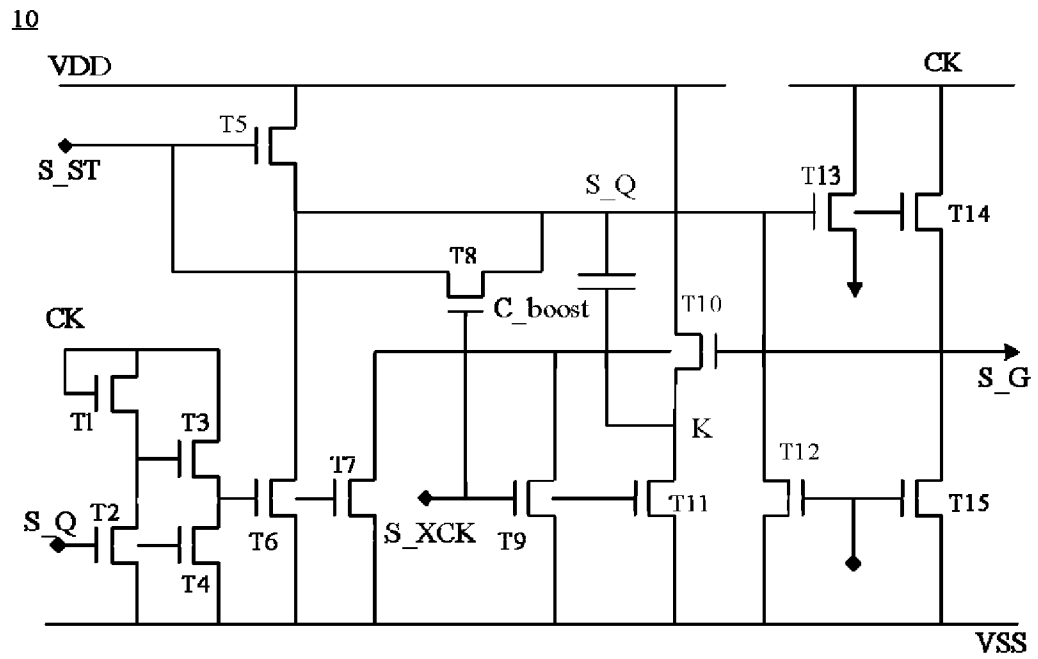


图 1

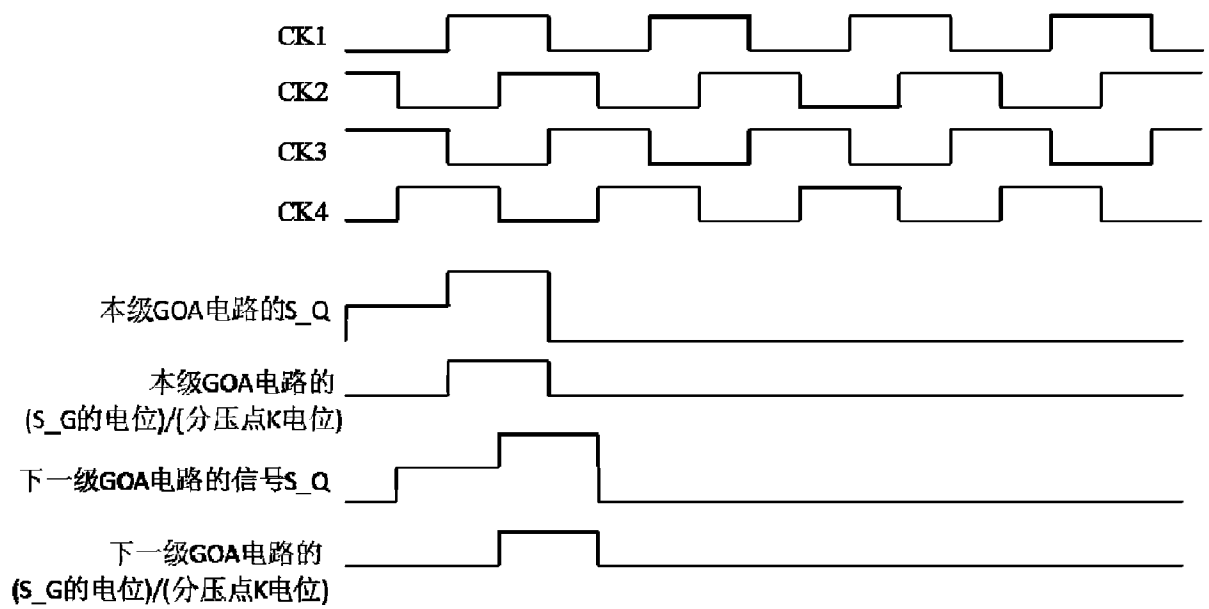


图 2

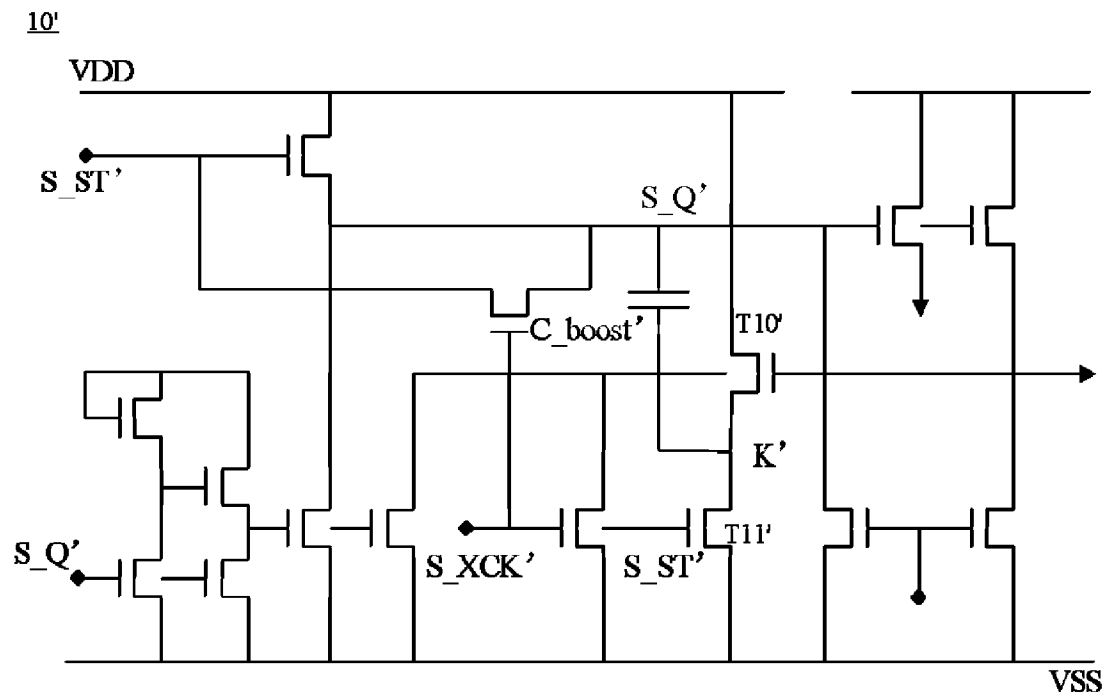


图 3

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2016/070623

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/20 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G: G02F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT; CNKI; WPI; EPODOC: china star optoelectronics, du, peng, panel, gate, liquid, crystal, display+, scan+, line, gate, driv+,
capacit+, boost+, divid +, point+, delay, delay

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 104167191 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 26 November 2014 (26.11.2014) description, paragraphs [0037]-[0049], and figures 1-6	1-11
A	CN 103928007 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 16 July 2014 (16.07.2014) the whole document	1-11
A	CN 105118459 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD. et al.) 02 December 2015 (02.12.2015) the whole document	1-11
A	CN 103488362 A (PEKING UNIVERSITY SHENZHEN GRADUATE SCHOOL) 01 January 2014 (01.01.2014) the whole document	1-11
A	CN 104795034 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD. et al.) 22 July 2015 (22.07.2015) the whole document	1-11
A	WO 2015170700 A1 (SHARP K.K.) 12 November 2015 (12.11.2015) the whole document	1-11

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 14 July 2016	Date of mailing of the international search report 26 July 2016
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer WANG, Lepin Telephone No. (86-10) 61648487

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2016/070623

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 104167191 A	26 November 2014	WO 2016000280 A1	07 January 2016
		US 2016005372 A1	07 January 2016
CN 103928007 A	16 July 2014	CN 103928007 B	20 January 2016
		WO 2015161513 A1	29 October 2015
CN 105118459 A	02 December 2015	None	
CN 103488362 A	01 January 2014	None	
CN 104795034 A	22 July 2015	None	
WO 2015170700 A1	12 November 2015	None	

A. 主题的分类 G09G 3/20 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类																							
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) G09G; G02F 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) CNPAT, CNKI, WPI, EPODOC: 华星光电, 杜鹏, 显示, 液晶, 面板, 栅线, 扫描线, 栅极, 闸极, 门, 驱动, 电容, 升压, 自举, 分压, 延迟, liquid, crystal, display+, scan+, line, gate, driv+, capacit+, boost+, divid+, point+, delay																							
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>CN 104167191 A (深圳市华星光电技术有限公司) 2014年 11月 26日 (2014 - 11 - 26) 说明书第37-49段、图1-6</td> <td>1-11</td> </tr> <tr> <td>A</td> <td>CN 103928007 A (深圳市华星光电技术有限公司) 2014年 7月 16日 (2014 - 07 - 16) 全文</td> <td>1-11</td> </tr> <tr> <td>A</td> <td>CN 105118459 A (深圳市华星光电技术有限公司 等) 2015年 12月 2日 (2015 - 12 - 02) 全文</td> <td>1-11</td> </tr> <tr> <td>A</td> <td>CN 103488362 A (北京大学深圳研究生院) 2014年 1月 1日 (2014 - 01 - 01) 全文</td> <td>1-11</td> </tr> <tr> <td>A</td> <td>CN 104795034 A (深圳市华星光电技术有限公司 等) 2015年 7月 22日 (2015 - 07 - 22) 全文</td> <td>1-11</td> </tr> <tr> <td>A</td> <td>WO 2015170700 A1 (夏普株式会社) 2015年 11月 12日 (2015 - 11 - 12) 全文</td> <td>1-11</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	A	CN 104167191 A (深圳市华星光电技术有限公司) 2014年 11月 26日 (2014 - 11 - 26) 说明书第37-49段、图1-6	1-11	A	CN 103928007 A (深圳市华星光电技术有限公司) 2014年 7月 16日 (2014 - 07 - 16) 全文	1-11	A	CN 105118459 A (深圳市华星光电技术有限公司 等) 2015年 12月 2日 (2015 - 12 - 02) 全文	1-11	A	CN 103488362 A (北京大学深圳研究生院) 2014年 1月 1日 (2014 - 01 - 01) 全文	1-11	A	CN 104795034 A (深圳市华星光电技术有限公司 等) 2015年 7月 22日 (2015 - 07 - 22) 全文	1-11	A	WO 2015170700 A1 (夏普株式会社) 2015年 11月 12日 (2015 - 11 - 12) 全文	1-11
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																					
A	CN 104167191 A (深圳市华星光电技术有限公司) 2014年 11月 26日 (2014 - 11 - 26) 说明书第37-49段、图1-6	1-11																					
A	CN 103928007 A (深圳市华星光电技术有限公司) 2014年 7月 16日 (2014 - 07 - 16) 全文	1-11																					
A	CN 105118459 A (深圳市华星光电技术有限公司 等) 2015年 12月 2日 (2015 - 12 - 02) 全文	1-11																					
A	CN 103488362 A (北京大学深圳研究生院) 2014年 1月 1日 (2014 - 01 - 01) 全文	1-11																					
A	CN 104795034 A (深圳市华星光电技术有限公司 等) 2015年 7月 22日 (2015 - 07 - 22) 全文	1-11																					
A	WO 2015170700 A1 (夏普株式会社) 2015年 11月 12日 (2015 - 11 - 12) 全文	1-11																					
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																							
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																							
国际检索实际完成的日期 2016年 7月 14日		国际检索报告邮寄日期 2016年 7月 26日																					
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		授权官员 王乐妍 电话号码 (86-10)61648487																					

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2016/070623

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	104167191	A	2014年 11月 26日	WO	2016000280	A1	2016年 1月 7日
				US	2016005372	A1	2016年 1月 7日
CN	103928007	A	2014年 7月 16日	CN	103928007	B	2016年 1月 20日
				WO	2015161513	A1	2015年 10月 29日
CN	105118459	A	2015年 12月 2日	无			
CN	103488362	A	2014年 1月 1日	无			
CN	104795034	A	2015年 7月 22日	无			
WO	2015170700	A1	2015年 11月 12日	无			